

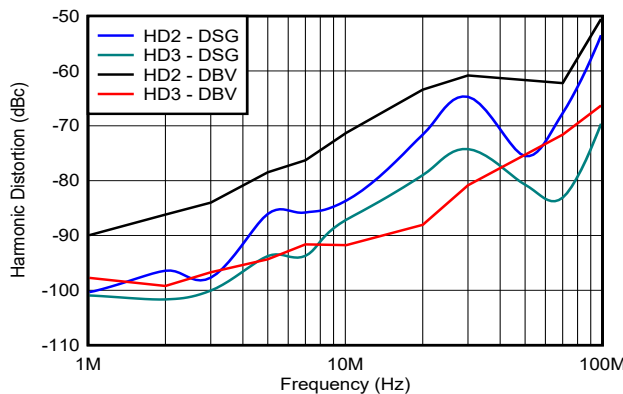
OPA695 具有禁用功能的超宽带电流反馈运算放大器

1 特性

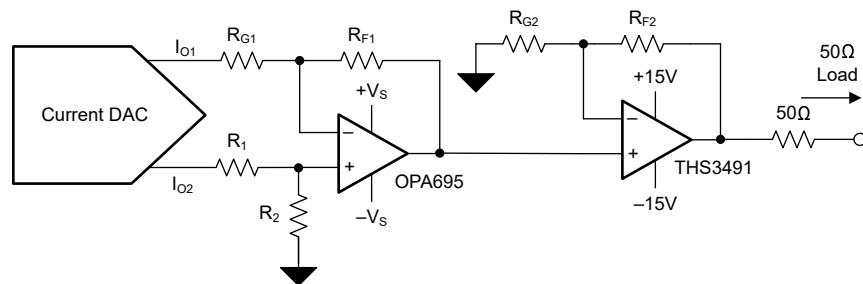
- 高带宽：
 - 1900MHz ($G = +1V/V$)
 - 600MHz ($G = +8V/V$)
- 大信号带宽 ($2V_{PP}$)：540MHz
- 输出电压摆幅： $\pm 4.05V$
- 超高压摆率：5000V/ μs
- 输入电压噪声：2nV/ $\sqrt{Hz}$
- 低失真 ($R_L = 100\Omega$, $V_O = 2V_{PP}$)：
 - 10MHz 时的 HD2、HD3：-65dBc、-92dBc
- 高输出电流： $\pm 140mA$
- 电源电压范围：5V 至 12V
- 电源电流：14mA
- 关断电流：160 μA

2 应用

- 超宽带 ADC 驱动器
- 低成本精密 IF 放大器
- 宽带视频线路驱动器
- 便携式仪器
- 有源滤波器
- 任意波形发生器
- 电流 DAC 驱动器



增益为 8V/V 时谐波失真随频率的变化



典型的任意波形发生器输出驱动电路

3 说明

OPA695 是一款高带宽电流反馈运算放大器，具有出色的 5000V/ μs 压摆率和低输入电压噪声，可提供精密、低失真、高动态范围放大器，以便在高速仪表系统中用作中间增益级。OPA695 针对高增益运行进行了优化，非常适合用于连接电流 DAC 输出，或用作高速数字转换器中的增益级，或用于为电缆调制解调器上行线路驱动器提供高输出功率和低失真。

OPA695 具有 14mA 的低电源电流（在 25°C 条件下）。使用可选的禁用控制引脚可以进一步降低系统功耗。该引脚保持开路或保持高电平可使器件正常运行。如果被拉至低电平，OPA695 电源电流将降至小于 160 μA 。这一省电特性连同出色的 5V 单电源供电特性和超小型 SOT23-6 封装，使得 OPA695 成为便携式应用的理想选择。

OPA695 具有 -40°C 至 +85°C 的宽额定工作温度范围。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
OPA695	D (SOIC, 8)	4.9mm × 6mm
	DBV (SOT-23, 6)	2.9mm × 2.8mm
	DGK (VSSOP, 8)	3mm × 4.9mm
	DSG (WSON, 8)	2mm × 2mm

(1) 有关更多信息，请参阅节 10。

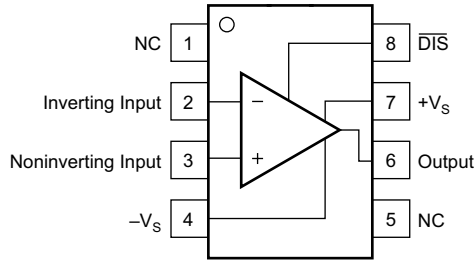
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



内容

1 特性	1	6 详细说明	30
2 应用	1	6.1 概述.....	30
3 说明	1	6.2 功能方框图.....	30
4 引脚配置和功能	3	6.3 特性说明.....	30
5 规格	4	6.4 器件功能模式.....	32
5.1 绝对最大额定值.....	4	7 应用和实施	33
5.2 ESD 等级.....	4	7.1 应用信息.....	33
5.3 建议运行条件.....	4	7.2 典型应用.....	40
5.4 热性能信息.....	4	7.3 电源相关建议.....	42
5.5 电气特性 $V_S = \pm 5V$ 、OPA695ID、 OPA695IDBV、OPA695DSG.....	5	7.4 布局.....	42
5.6 电气特性 $V_S = 5V$ 、OPA695ID、OPA695IDBV、 OPA695DSG.....	7	8 器件和文档支持	44
5.7 电气特性 $V_S = \pm 5V$ 、OPA695IDGK.....	10	8.1 器件支持.....	44
5.8 电气特性 $V_S = 5V$ 、OPA695IDGK.....	13	8.2 文档支持.....	44
5.9 典型特性： $V_S = \pm 5V$ ，OPA695IDBV， OPA695ID，OPA695DSG.....	16	8.3 接收文档更新通知.....	44
5.10 典型特性： $V_S = 5V$ ，OPA695IDBV， OPA695ID，OPA695DSG.....	21	8.4 支持资源.....	44
5.11 典型特性： $V_S = \pm 5V$ ，OPA695IDGK.....	23	8.5 商标.....	44
5.12 典型特性： $V_S = 5V$ ，OPA695IDGK.....	28	8.6 静电放电警告.....	44
		8.7 术语表.....	44
		9 修订历史记录	45
		10 机械、封装和可订购信息	48

4 引脚配置和功能



NC = No Connection

图 4-1. D 封装，8 引脚 SOIC 和 DGK 封装，8 引脚 VSSOP (顶视图)

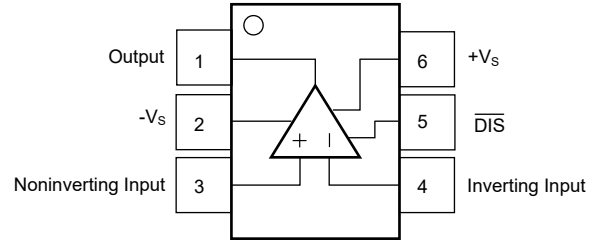
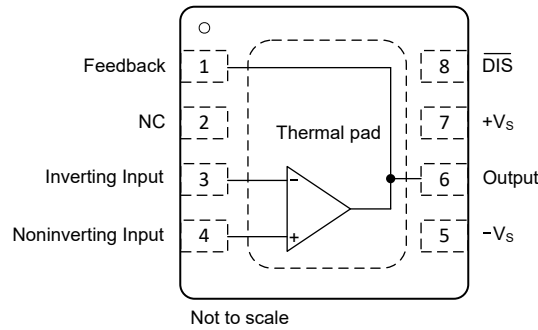


图 4-2. DBV 封装，6 引脚 SOT-23 (顶视图)



Not to scale

图 4-3. DSG 封装，8 引脚 WSON (带外露散热焊盘) (顶视图)

表 4-1. 引脚功能

名称	引脚			类型 ⁽¹⁾	说明
	D (SOIC)、 DGK (VSSOP)	DBV (SOT-23)	DSG (WSON)		
DIS	8	5	8	I	不禁用 (启用)
反馈	—	—	1	—	反馈连接到放大器输出
反相输入	2	4	3	I	反相输入
NC	1、5	—	2	—	未连接
同相输入	3	3	4	I	同相输入
输出	6	1	6	O	输出
-Vs	4	2	5	P	负电源
+Vs	7	6	7	P	正电源
散热焊盘	—	—	—	—	将散热焊盘连接至 -Vs

(1) I = 输入；O = 输出；P = 电源。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V_S	总电源电压, $V_S = (V_{S+}) - (V_{S-})$		13	V
V_{ID}	差分输入电压		± 1.2	V
V_I	输入共模电压		$\pm V_S$	V
	内部功率耗散	请参阅散 热分析		
I_{IN}	连续输入电流		± 10	mA
T_J	结温		150	°C
T_{stg}	贮存温度	-65	125	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件能够在该等条件下或在任何超出建议运行条件的其他条件下正常运行。如果在建议运行条件以外,但在绝对最大额定值范围以内使用,器件可能无法完全正常运行,这可能会影响器件的可靠性、功能与性能,并且可能缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, 除反相输入外的所有引脚 ⁽¹⁾	± 1500	V
		人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, 反向输入 ⁽¹⁾	± 500	
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	± 1000	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
$V_{S+} - V_{S-}$	总电源电压	5		12	V
T_A	工作环境空气温度	-40	25	85	°C

5.4 热性能信息

热指标 ⁽¹⁾		OPA695				单位
		D (SOIC)	DBV (SOT-23)	DGK (VSSOP)	DSG (WSON)	
		8 引脚	6 引脚	6 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	136	164	135	86.5	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	78	80	81	109	°C/W
$R_{\theta JB}$	结至电路板热阻	85	49	56	52.9	°C/W
Ψ_{JT}	结至顶部特征参数	24	28	8.5	8.3	°C/W
Ψ_{JB}	结至电路板特征参数	84	49	48	52.9	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	不适用	不适用	27.7	°C/W

- (1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.5 电气特性 $V_S = \pm 5V$ 、OPA695ID、OPA695IDBV、OPA695DSG

在 $T_A = +25^\circ C$ 、 $G = +8V/V$ 、 $R_F = 402\ \Omega$ 、 $R_L = 100\ \Omega$ (连接至 $V_S/2$) 时测得 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
交流性能							
SSBW	小信号带宽	$V_O = 0.5V_{PP}$	$G = +1V/V$ 、 $R_F = 523\Omega$	1900		MHz	
			$G = +2V/V$ 、 $R_F = 511\Omega$	900			
			$G = +8V/V$ 、 $R_F = 402\Omega$	600			
			$G = +16V/V$ 、 $R_F = 249\Omega$	500			
	0.2-dB 增益平坦度带宽	$V_O = 0.5V_{PP}$ 、 $G = +2V/V$ 、 $R_F = 511\Omega$		120		MHz	
	增益为 $+1V/V$ 时的峰值	$V_O = 0.5V_{PP}$ 、 $R_F = 523\Omega$		3.7		dB	
LSBW	大信号带宽	$V_O = 4V_{PP}$ 、 $G = +8V/V$		510		MHz	
SR	压摆率	$V_O = 4V$ 阶跃	$G = -8V/V$	5000		V/ μs	
			$G = +8V/V$	5000		V/ μs	
	上升和下降时间	$G = +8V/V$	$V_O = 0.5V$ 阶跃	0.65		ns	
			$V_O = 4V$ 阶跃	0.7			
	稳定时间	精度达 0.5%、 $V_O = 2V$ 阶跃， $G = +8V/V$		10		ns	
HD2	二阶谐波失真	$f = 10MHz$	$V_O = 2V_{PP}$ 、 $R_L = 100\Omega$	-75		dBc	
			$V_O = 2V_{PP}$ 、 $R_L = 500\Omega$	-78			
HD3	三阶谐波失真	$f = 10MHz$	$V_O = 2V_{PP}$ 、 $R_L = 100\Omega$	-92		dBc	
			$V_O = 2V_{PP}$ 、 $R_L = 500\Omega$	-86			
e_n	输入电压噪声	$f > 1MHz$		2		nV/ $\sqrt{Hz}$	
i_{n+}	同相输入电流噪声	$f > 1MHz$		14		pA/ $\sqrt{Hz}$	
i_{n-}	反相输入电流噪声	$f > 1MHz$		22		pA/ $\sqrt{Hz}$	
直流性能							
Z_{OL}	开环跨阻增益			45	300	k Ω	
		$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		41			
V_{OS}	输入失调电压	$V_{CM} = 0V$		± 0.3	± 3	mV	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 4		
	平均输入失调电压漂移	$V_{CM} = 0V$ ， $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		3	± 15	$\mu V/^{\circ}C$	
	同相输入偏置电流	$V_{CM} = 0V$		13	± 30	μA	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 41		
	平均非反相输入偏置电流漂移	$V_{CM} = 0V$ ， $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		60	180	nA/ $^{\circ}C$	
	反相输入偏置电流	$V_{CM} = 0V$		± 5	± 60	μA	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 70		
	平均反相输入偏置电流漂移	$V_{CM} = 0V$ ， $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 16	± 160	nA/ $^{\circ}C$	
输入特性							
CMIR	共模输入范围 ⁽¹⁾			± 3.1	± 3.4	V	
		$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 3.0			
CMRR	共模抑制比	$V_{CM} = 0V$ 时， $\Delta V_{IN} = 2V$		51	65	dB	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$	50			
	同相输入阻抗			450 2		k Ω pF	
	反相输入电阻	开环		20		Ω	

5.5 电气特性 $V_S = \pm 5V$ 、OPA695ID、OPA695IDBV、OPA695DSG (续)

在 $T_A = +25^\circ\text{C}$ 、 $G = +8V/V$ 、 $R_F = 402\ \Omega$ 、 $R_L = 100\ \Omega$ (连接至 $V_S/2$) 时测得 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
输出特性							
	输出电压摆幅	无负载		±3.95	±4.05		V
			T _A = -40°C 至 +85°C	±3.85			
		R _L = 100 Ω		±3.65	±3.75		
			T _A = -40°C 至 +85°C	±3.55			
I _O	输出拉电流	V _O = 0V		90	140		mA
			T _A = -40°C 至 +85°C	70			
	输出灌电流	V _O = 0V			-140	- 90	
			T _A = -40°C 至 +85°C		- 70		
Z _O	闭环输出阻抗	G = +8V/V、f = 100kHz			0.02		Ω
电源							
I _Q	静态电流			11.7	14	15.6	mA
		T _A = -40°C 至 +85°C		10	18		
- PSRR	负电源抑制比			51	72		dB
		T _A = -40°C 至 +85°C		48			
禁用模式 (DIS 低电平)							
	关断静态电流	V _{DIS} = 0V			160	200	μ A
			T _A = -40°C 至 +85°C		210		
	禁用时间	V _{IN} = ±0.25V _{DC}			4		μ s
	启用时间	V _{IN} = ±0.25V _{DC}			80		ns
	关断隔离	G = +8V/V、f = 10MHz			70		dB
	禁用时的输出电容				2.5		pF
	启用电压阈值				3	3.5	V
		T _A = -40°C 至 +85°C			3.7		
	禁用电压阈值			1.7	2.3		V
		T _A = -40°C 至 +85°C		1.5			
	DIS 控制引脚输入偏置电流	V _{DIS} = 0V		95	130	μ A	
			T _A = -40°C 至 +85°C		145		
	输出引脚电阻的反馈	V _{DIS} = 0V、DSG 封装			1		Ω

(1) 在 $\pm\text{CMIR}$ 限值时经测试小于 3dB, 低于 CMRR 最小指定值。

5.6 电气特性 $V_S = 5V$ 、OPA695ID、OPA695IDBV、OPA695DSG

在 $T_A = +25^\circ C$ 、 $G = +8V/V$ 、 $R_F = 348\ \Omega$ 、 $R_L = 100\ \Omega$ (连接至 $V_S/2$) 时测得 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
交流性能							
SSBW	小信号带宽	$V_O = 0.5V_{PP}$	$G = +1V/V$ 、 $R_F = 511\Omega$	1200		MHz	
			$G = +2V/V$ 、 $R_F = 487\Omega$	700			
			$G = +8V/V$ 、 $R_F = 348\Omega$	500			
			$G = +16V/V$ 、 $R_F = 162\Omega$	410			
	0.2-dB 增益平坦度带宽	$V_O = 0.5V_{PP}$ 、 $G = +2V/V$ 、 $R_F = 487\Omega$		110		MHz	
	增益为 +1V/V 时的峰值	$V_O = 0.5V_{PP}$ 、 $R_F = 511\Omega$		2.2		dB	
LSBW	大信号带宽	$V_O = 2V_{PP}$ 、 $G = +8V/V$		430		MHz	
SR	压摆率	$V_O = 2V$ 阶跃， $G = +8V/V$		2500		V/ μs	
	上升和下降时间	$G = +8V/V$	$V_O = 0.5V$ 阶跃	0.7		ns	
			$V_O = 2V$ 阶跃	0.8			
	精度达 0.5% 的稳定时间	$V_O = 2V$ 阶跃。 $G = +8V/V$		10		ns	
HD2	二阶谐波失真	$f = 10MHz$	$V_O = 2V_{PP}$ 、 $R_L = 100\Omega$	-69		dBc	
			$V_O = 2V_{PP}$ 、 $R_L = 500\Omega$	-68			
HD3	三阶谐波失真	$f = 10MHz$	$V_O = 2V_{PP}$ 、 $R_L = 100\Omega$	-62		dBc	
			$V_O = 2V_{PP}$ 、 $R_L = 500\Omega$	-63			
e_n	输入电压噪声	$f > 1MHz$		1.9		nV/ $\sqrt{Hz}$	
i_{n+}	同相输入电流噪声	$f > 1MHz$		14		pA/ $\sqrt{Hz}$	
i_{n-}	反相输入电流噪声	$f > 1MHz$		22		pA/ $\sqrt{Hz}$	
直流性能							
Z_{OL}	开环跨阻增益			40	250	k Ω	
		$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		36			
V_{OS}	输入失调电压	$V_{CM} = V_S/2$		± 0.3	± 3	mV	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 4		
	平均输入失调电压漂移	$V_{CM} = V_S/2$ 、 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 4	± 15	$\mu V/^{\circ}C$	
	同相输入偏置电流	$V_{CM} = V_S/2$		15	± 40	μA	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 50		
	平均非反相输入偏置电流漂移	$V_{CM} = V_S/2$ 、 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		60	± 170	nA/ $^{\circ}C$	
	反相输入偏置电流	$V_{CM} = V_S/2$		± 5	± 60	μA	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 70		
	平均反相输入偏置电流漂移	$V_{CM} = V_S/2$ 、 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 16	± 160	nA/ $^{\circ}C$	
输入特性							
CMIR	共模输入范围 (正)			3.2	3.4	V	
		$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		3.1			
	共模输入范围 (负)				1.6		1.8
		$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$					1.9
CMRR	共模抑制比	$V_{CM} = V_S/2$ 时， $\Delta V_{IN} = 0.5V$		51	65	dB	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$	50			
	同相输入电阻			250 2		k Ω pF	

5.6 电气特性 $V_S = 5V$ 、OPA695ID、OPA695IDBV、OPA695DSG (续)

在 $T_A = +25^{\circ}C$ 、 $G = +8V/V$ 、 $R_F = 348\ \Omega$ 、 $R_L = 100\ \Omega$ (连接至 $V_S/2$) 时测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
	反相输入电阻	开环		21		Ω

5.6 电气特性 $V_S = 5V$ 、OPA695ID、OPA695IDBV、OPA695DSG (续)

在 $T_A = +25^\circ\text{C}$ 、 $G = +8V/V$ 、 $R_F = 348\ \Omega$ 、 $R_L = 100\ \Omega$ (连接至 $V_S/2$) 时测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
输出特性						
V_O	输出电压摆幅 (最大正压)	无负载		3.95	4.05	V
			$T_A = -40^\circ\text{C}$ 至 85°C	3.75		
	输出电压摆幅 (最小正压)	无负载			0.9	
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$		1.05	
I_O	输出拉电流	$V_O = V_S/2$		70	100	mA
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	66		
	输出灌电流	$V_O = V_S/2$			-100	
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$		-60	
Z_{OUT}	闭环输出阻抗	$G = +2V/V$ 、 $f = 100\text{kHz}$		0.02		Ω
电源						
I_Q	静态电流		10.9	13	14.4	mA
		$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	9.1		17.1	
$\overline{\text{PSRR}}$	负电源抑制比			69		dB
禁用模式 ($\overline{\text{DIS}}$ 低电平)						
	关断静态电流 ($+V_S$)	$V_{\overline{\text{DIS}}} = 0V$		120	160	μA
			$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$		180	
	禁用时间	$V_{IN} = \pm 0.25V_{DC}$		5		μs
	启用时间	$V_{IN} = \pm 0.25V_{DC}$		80		ns
	关断隔离	$G = +8V/V$ 、 $f = 10\text{MHz}$		70		dB
	禁用时的输出电容			2.5		pF
	启用电压阈值			3.1	3.5	V
		$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$			3.7	
	禁用电压阈值		1.7	2.4		V
		$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$	1.5			
	$\overline{\text{DIS}}$ 控制引脚输入偏置电流			95	130	μA
		$T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$			149	

5.7 电气特性 $V_S = \pm 5V$ 、OPA695IDGK

在 $T_A = +25^\circ C$ 、 $G = +8V/V$ 、 $V_S = \pm 5V$ 、 $R_F = 402\ \Omega$ 和 $R_L = 100\ \Omega$ (连接到 $V_S/2$) 时测得 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
交流性能							
SSBW	小信号带宽	$V_O = 0.5V_{PP}$	$G = +1V/V$ 、 $R_F = 523\Omega$	1700		MHz	
			$G = +2V/V$ 、 $R_F = 511\Omega$	1400			
			$G = +8V/V$ 、 $R_F = 402\Omega$	450			
			$G = +16V/V$ 、 $R_F = 249\Omega$	350			
	0.2-dB 增益平坦度带宽	$G = +2V/V$ 、 $V_O = 0.5V_{PP}$ 、 $R_F = 511\ \Omega$		320		MHz	
	增益为 $+1V/V$ 时的峰值	$R_F = 523\ \Omega$ 、 $V_O = 0.5V_{PP}$		4.6		dB	
LSBW	大信号带宽	$G = +8V/V$ ， $V_O = 4V_{PP}$		450		MHz	
SR	压摆率	$V_O = 4V$ 阶跃	$G = -8V/V$	4300		V/ μs	
			$G = +8V/V$	2900			
	上升和下降时间	$G = +8V/V$	$V_O = 0.5V$ 阶跃	0.8		ns	
			$V_O = 4V$ 阶跃	1			
	稳定时间	$V_O = 2V$ 阶跃、精度为 0.02%		16		ns	
		$V_O = 2V$ 阶跃、精度为 0.1%		10			
HD2	二阶谐波失真	$f = 10MHz$	$V_O = 2V_{PP}$ 、 $R_L = 100\ \Omega$	-65		dBc	
			$V_O = 2V_{PP}$ 、 $R_L = 500\ \Omega$	-78			
HD3	三阶谐波失真	$f = 10MHz$	$V_O = 2V_{PP}$ 、 $R_L = 100\ \Omega$	-86		dBc	
			$V_O = 2V_{PP}$ 、 $R_L = 500\ \Omega$	-86			
e_n	输入电压噪声	$f > 1MHz$		1.8		nV/ $\sqrt{Hz}$	
i_{n+}	同相输入电流噪声	$f > 1MHz$		18		pA/ $\sqrt{Hz}$	
i_{n-}	反相输入电流噪声	$f > 1MHz$		22		pA/ $\sqrt{Hz}$	
直流性能							
Z_{OL}	开环跨阻增益	$V_O = 0V$		45	85	k Ω	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$	41			
V_{OS}	输入失调电压	$V_{CM} = 0V$		± 0.3	± 3	mV	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 4		
	平均输入失调电压漂移	$V_{CM} = 0V$ ， $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 15		$\mu V/^{\circ}C$	
	同相输入偏置电流	$V_{CM} = 0V$		13	± 30	μA	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 41		
	平均非反相输入偏置电流漂移	$V_{CM} = 0V$ 、 $T_A = T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		$+150$		nA/ $^{\circ}C$	
	反相输入偏置电流	$V_{CM} = 0V$		± 20	± 60	μA	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 70		
	平均反相输入偏置电流漂移	$V_{CM} = 0V$ 、 $T_A = T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 160		nA/ $^{\circ}C$	
输入特性							
CMIR	共模输入范围 ⁽¹⁾			± 3.1	± 3.3	V	
		$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 3			
CMRR	共模抑制比	$V_{CM} = 0V$		51	56	dB	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$	50			
	同相输入阻抗			280 $\parallel$ 1.2		k Ω $\parallel$ pF	

5.7 电气特性 $V_S = \pm 5V$ 、OPA695IDGK (续)

在 $T_A = +25^\circ C$ 、 $G = +8V/V$ 、 $V_S = \pm 5V$ 、 $R_F = 402\ \Omega$ 和 $R_L = 100\ \Omega$ (连接到 $V_S/2$) 时测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
R_i	反相输入电阻	开环		29		Ω

5.7 电气特性 $V_S = \pm 5V$ 、OPA695IDGK (续)

在 $T_A = +25^\circ\text{C}$ 、 $G = +8V/V$ 、 $V_S = \pm 5V$ 、 $R_F = 402\ \Omega$ 和 $R_L = 100\ \Omega$ (连接到 $V_S/2$) 时测得 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
输出特性							
V _O	输出电压摆幅	无负载		±4	±4.2	V	
			T _A = -40°C 至 +85°C	±3.9			
		R _L = 100 Ω		±3.7	±3.9		
			T _A = -40°C 至 +85°C	±3.6			
I _O	输出拉电流	V _O = 0V		90	120	mA	
	T _A = -40°C 至 +85°C		70				
	输出灌电流	V _O = 0V		-120	-90		
	T _A = -40°C 至 +85°C		-70				
Z _{OUT}	闭环输出阻抗	G = +8V/V、f = 100kHz			0.04	Ω	
电源							
I _Q	静态电流			12.6	12.9	13.3	mA
		T _A = -40°C 至 +85°C		11		14.1	
PSRR ⁻	负电源抑制比			51	55		dB
		T _A = -40°C 至 +85°C		48			
禁用模式 ($\overline{\text{DIS}}$ 低电平)							
	关断静态电流 (+V _S)	V _{DIS} = 0V		100	170	μ A	
			T _A = -40°C 至 +85°C		192		
	禁用时间	V _{IN} = ±0.25V _{DC}			1	μ s	
	启用时间	V _{IN} = ±0.25V _{DC}			25	ns	
	关断隔离	G = +8V/V、f = 10MHz			70	dB	
	禁用时的输出电容				4	pF	
	开启干扰	G = +2V/V、R _L = 150 Ω、V _{IN} = 0V			±100	mV	
	关断干扰	G = +2V/V、R _L = 150 Ω、V _{IN} = 0V			±20	mV	
	启用电压阈值				3.3	3.5	V
		T _A = -40°C 至 +85°C				3.7	
	禁用电压阈值				1.7	1.8	V
		T _A = -40°C 至 +85°C			1.5		
	$\overline{\text{DIS}}$ 控制引脚输入偏置电流				75	130	μ A
		T _A = -40°C 至 +85°C				145	

(1) 在 $\pm\text{CMIR}$ 限值时经测试小于 3dB，低于 CMRR 最小指定值。

5.8 电气特性 $V_S = 5V$ 、OPA695IDGK

在 $T_A = +25^\circ C$ 、 $G = +8V/V$ 、 $V_S = 5V$ 、 $R_F = 348\ \Omega$ 和 $R_L = 100\ \Omega$ (连接到 $V_S/2$) 时测得 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
交流性能							
SSBW	小信号带宽	$V_O = 0.5V_{PP}$	$G = +1V/V$ 、 $R_F = 511\Omega$	1400		MHz	
			$G = +2V/V$ 、 $R_F = 487\Omega$	960			
			$G = +8V/V$ 、 $R_F = 348\Omega$	395			
			$G = +16V/V$ 、 $R_F = 162\Omega$	235			
	0.2-dB 增益平坦度带宽	$G = +2$ 、 $V_O = 0.5V_{PP}$ 、 $R_F = 487\Omega$		230		MHz	
	增益为 +1V/V 时的峰值	$R_F = 511\Omega$ 、 $V_O = 0.5V_{PP}$		1	2	dB	
LSBW	大信号带宽	$G = +8V/V$ 、 $V_O = 2V_{PP}$		310		MHz	
SR	压摆率	$G = +8V/V$ 、 $V_O = 2V$ 阶跃		1700		V/ μs	
	上升和下降时间 (10% 至 90%)	$G = +8V/V$	$V_O = 0.5V$ 阶跃	1		ns	
			$V_O = 2V$ 阶跃	1			
	稳定时间	精度达 0.02%、 $V_O = 2V$ 阶跃		16		ns	
		精度达 0.1%、 $V_O = 2V$ 阶跃		10		ns	
HD2	二阶谐波失真	$f = 10MHz$	$V_O = 2V_{PP}$ 、 $R_L = 100\Omega$	-62	-58	dBc	
			$V_O = 2V_{PP}$ 、 $R_L = 500\Omega$	-70	-66		
HD3	三阶谐波失真	$f = 10MHz$	$V_O = 2V_{PP}$ 、 $R_L = 100\Omega$	-66	-64	dBc	
			$V_O = 2V_{PP}$ 、 $R_L = 500\Omega$	-65	-63		
e_n	输入电压噪声	$f > 1MHz$		1.8	2	nV/ $\sqrt{Hz}$	
i_{n+}	同相输入电流噪声	$f > 1MHz$		18	19	pA/ $\sqrt{Hz}$	
i_{n-}	反相输入电流噪声	$f > 1MHz$		22	24	pA/ $\sqrt{Hz}$	
直流性能							
Z_{OL}	开环跨阻增益	$V_O = V_S/2$		40	70	k Ω	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$	36			
	输入失调电压	$V_{CM} = V_S/2$		± 0.3	± 3	mV	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 4		
	平均输入失调电压漂移	$V_{CM} = V_S/2$ 、 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$			± 15	$\mu V/^{\circ}C$	
	同相输入偏置电流	$V_{CM} = V_S/2$		± 5	± 40	μA	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 50		
	平均非反相输入偏置电流漂移	$V_{CM} = V_S/2$ 、 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$			± 170	nA/ $^{\circ}C$	
	反相输入偏置电流	$V_{CM} = V_S/2$		± 5	± 60	μA	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		± 70		
	平均反相输入偏置电流漂移	$V_{CM} = V_S/2$ 、 $T_A = -40^{\circ}C$ 至 $+85^{\circ}C$			± 160	nA/ $^{\circ}C$	
输入特性							
CMIR	共模输入范围 (正) ⁽¹⁾		3.2	3.3	V		
		$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$	3.1				
	共模输入范围 (负) ⁽¹⁾		1.7	1.8			
		$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$		1.9			
CMRR	共模抑制比	$V_{CM} = V_S/2$		51	54	dB	
			$T_A = -40^{\circ}C$ 至 $+85^{\circ}C$	50			

5.8 电气特性 $V_S = 5V$ 、OPA695IDGK (续)

在 $T_A = +25^{\circ}C$ 、 $G = +8V/V$ 、 $V_S = 5V$ 、 $R_F = 348\ \Omega$ 和 $R_L = 100\ \Omega$ (连接到 $V_S/2$) 时测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
	同相输入电阻			280 1.2		k Ω pF
	反相输入电阻	开环		32		Ω

5.8 电气特性 $V_S = 5V$ 、OPA695IDGK (续)

在 $T_A = +25^\circ C$ 、 $G = +8V/V$ 、 $V_S = 5V$ 、 $R_F = 348\ \Omega$ 和 $R_L = 100\ \Omega$ (连接到 $V_S/2$) 时测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
输出特性						
V_O	输出电压摆幅 (最大正压)	无负载		4.0	4.2	V
			$T_A = -40^\circ C$ 至 $+85^\circ C$	3.8		
		$R_L = 100\ \Omega$		3.9	4	
			$T_A = -40^\circ C$ 至 $+85^\circ C$	3.7		
	输出电压摆幅 (最小正压)	无负载			0.8	
			$T_A = -40^\circ C$ 至 $+85^\circ C$		1.2	
		$R_L = 100\ \Omega$			1	
			$T_A = -40^\circ C$ 至 $+85^\circ C$		1.1	
I_O	输出拉电流	$V_O = V_S/2$		70	90	mA
			$T_A = -40^\circ C$ 至 $+85^\circ C$	66		
	输出灌电流	$V_O = V_S/2$			-90	
			$T_A = -40^\circ C$ 至 $+85^\circ C$		-66	
Z_{OUT}	闭环输出阻抗	$G = +2V/V$ 、 $f = 100kHz$		0.05		Ω
电源						
I_Q	静态电流		10.9	11.4	12	mA
		$T_A = -40^\circ C$ 至 $+85^\circ C$	9.1		12.9	
$\overline{PSRR}$	负电源抑制比			56		dB
禁用模式 ($\overline{DIS}$ 低电平)						
	关断静态电流	$V_{DIS} = 0V$		95	160	μA
			$T_A = -40^\circ C$ 至 $+85^\circ C$		180	
	禁用时间	$V_{IN} = \pm 0.25V_{DC}$		1		μs
	启用时间	$V_{IN} = \pm 0.25V_{DC}$		25		ns
	关断隔离	$G = +8V/V$ 、 $f = 10MHz$		70		dB
	禁用时的输出电容			4		pF
	开启干扰	$G = +2V/V$ 、 $R_L = 150\ \Omega$ 、 $V_{IN} = 0V$		± 100		mV
	关断干扰	$G = +2V/V$ 、 $R_L = 150\ \Omega$ 、 $V_{IN} = 0V$		± 20		mV
	使能电压	$T_A = -40^\circ C$ 至 $+85^\circ C$		3.3	3.5	V
					3.7	
	禁用电压阈值	$T_A = -40^\circ C$ 至 $+85^\circ C$		1.7	1.8	V
				1.5		
	$\overline{DIS}$ 控制引脚输入偏置电流	$T_A = -40^\circ C$ 至 $+85^\circ C$		75	130	μA
					149	

(1) 在 $\pm CMIR$ 限值时经测试小于 3dB，低于 CMRR 最小指定值。

5.9 典型特性： $V_S = \pm 5\text{ V}$ ，OPA695IDBV，OPA695ID，OPA695DSG

在 $T_A = +25^\circ\text{C}$ 、 $G = +8\text{ V/V}$ 、 $R_F = 402\ \Omega$ 及 $R_L = 100\ \Omega$ 时测得（除非另有说明）

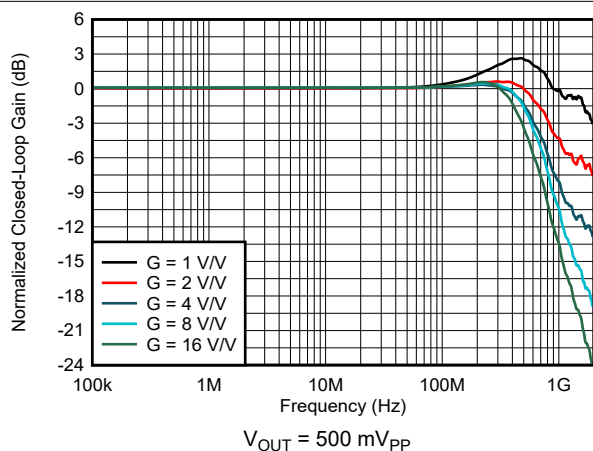


图 5-1. 同相小信号频率响应

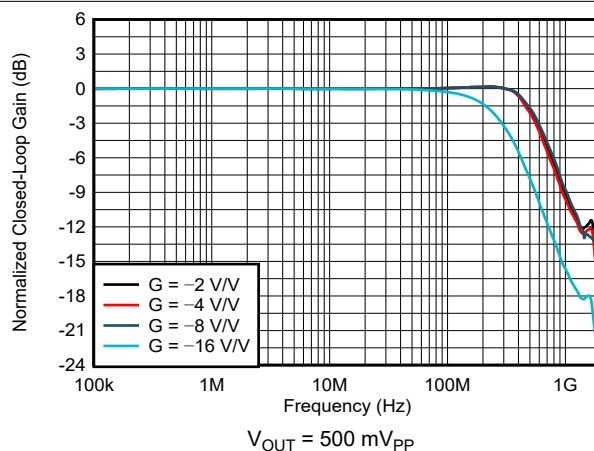


图 5-2. 反相小信号频率响应

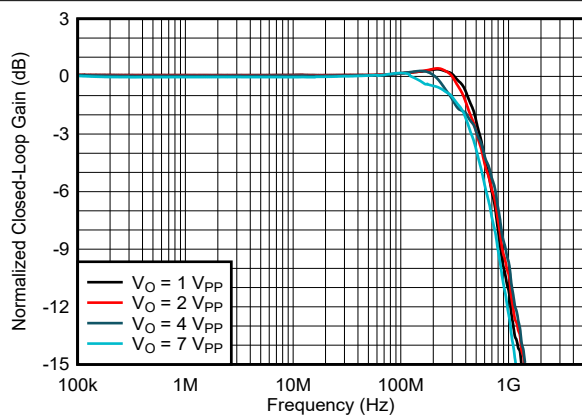


图 5-3. 同相大信号频率响应

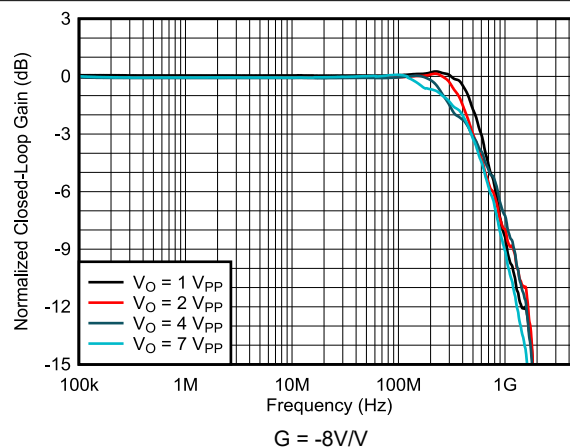


图 5-4. 反相大信号频率响应

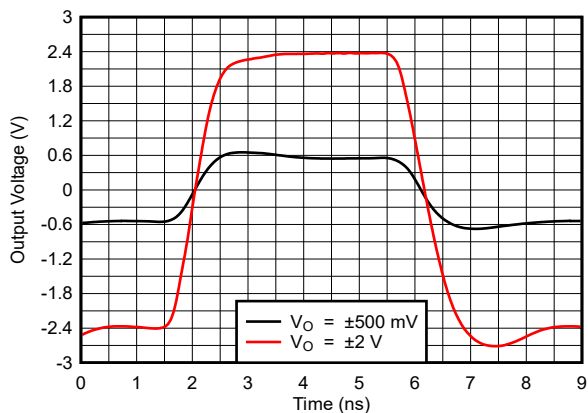


图 5-5. 同相大信号和微小信号频率响应

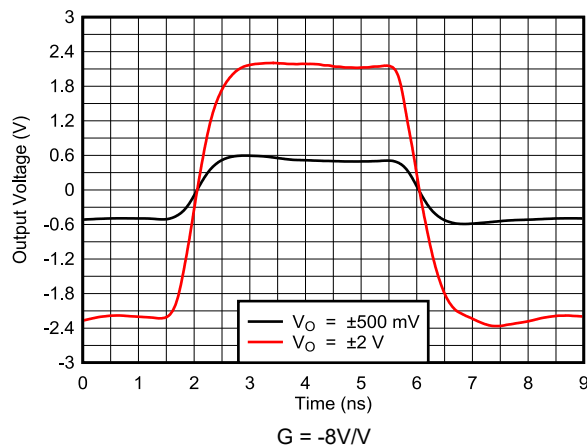


图 5-6. 反相大信号和微小信号频率响应

5.9 典型特性： $V_S = \pm 5\text{ V}$ ，OPA695IDBV，OPA695ID，OPA695DSG（续）

在 $T_A = +25^\circ\text{C}$ 、 $G = +8\text{ V/V}$ 、 $R_F = 402\ \Omega$ 及 $R_L = 100\ \Omega$ 时测得（除非另有说明）

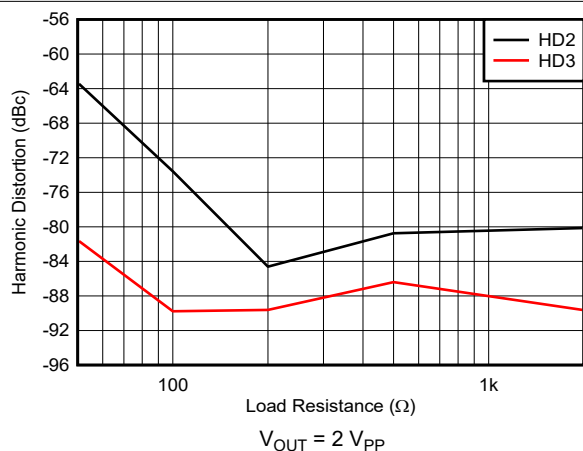


图 5-7. 10MHz 谐波失真与负载电阻间的关系

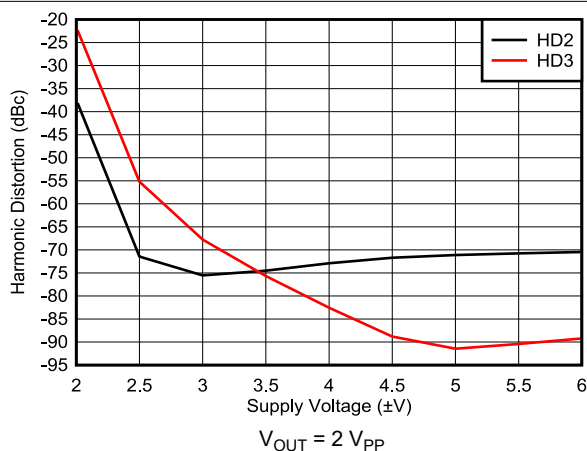


图 5-8. 10MHz 谐波失真与电源电压间的关系

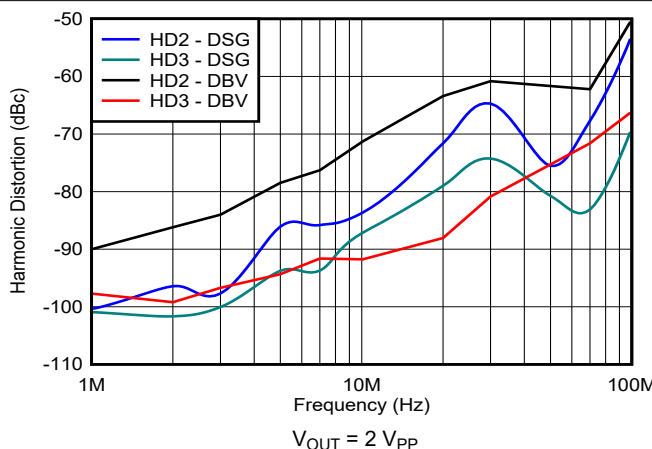


图 5-9. 谐波失真与频率间的关系

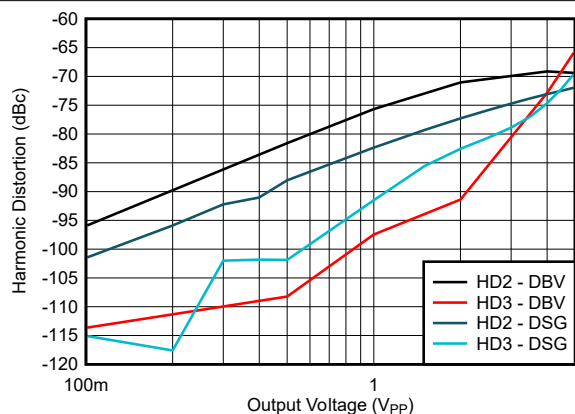


图 5-10. 10MHz 谐波失真与输出电压间的关系

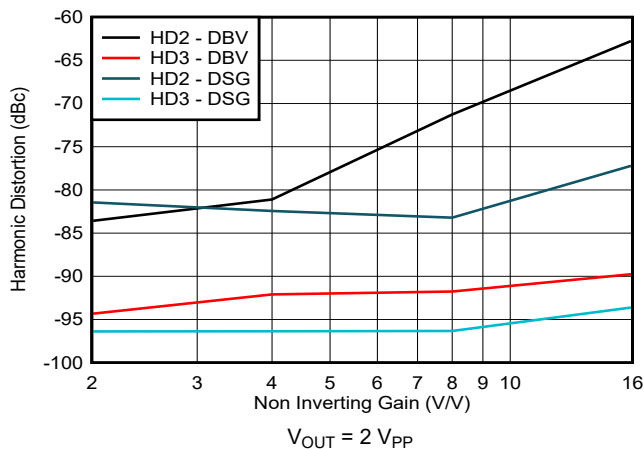


图 5-11. 10MHz 谐波失真与同相增益间的关系

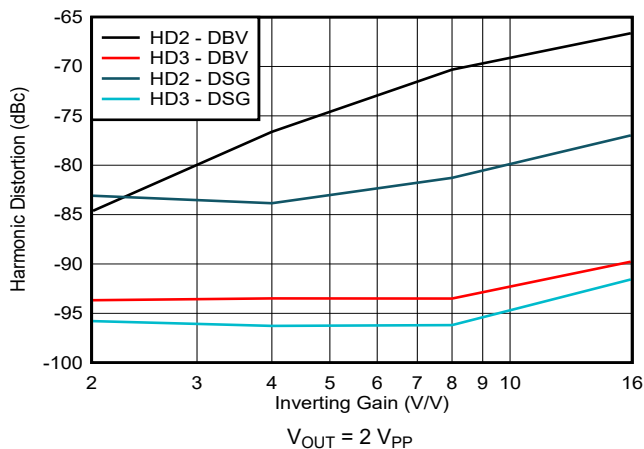


图 5-12. 10MHz 谐波失真与反相增益间的关系

5.9 典型特性： $V_S = \pm 5\text{ V}$ ，OPA695IDBV，OPA695ID，OPA695DSG（续）

在 $T_A = +25^\circ\text{C}$ 、 $G = +8\text{ V/V}$ 、 $R_F = 402\ \Omega$ 及 $R_L = 100\ \Omega$ 时测得（除非另有说明）

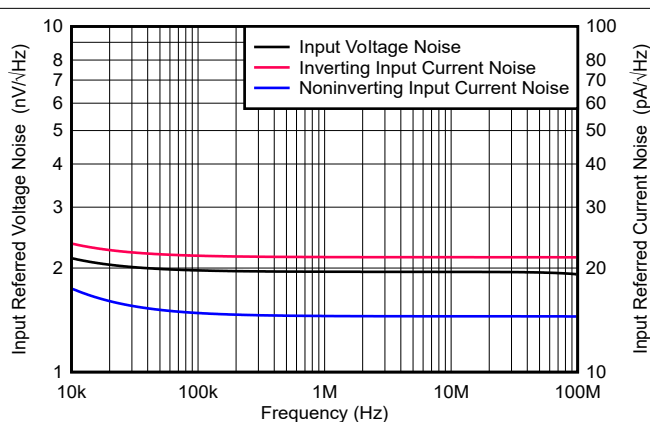


图 5-13. 输入电压和电流噪声密度

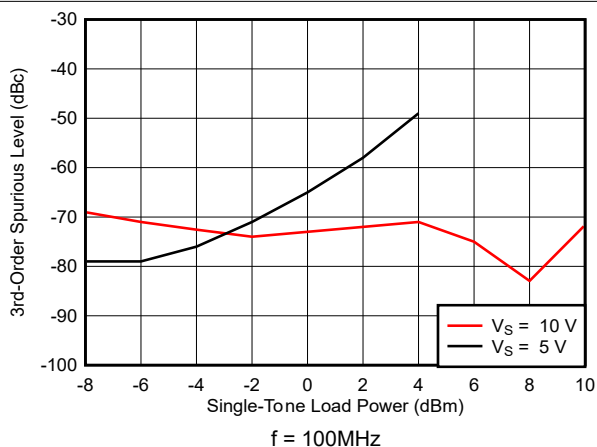


图 5-14. 双音三阶互调失真与频率间的关系

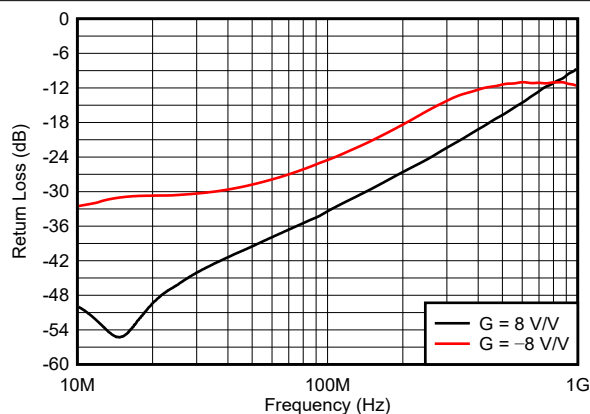


图 5-15. 输入回波损耗与频率间的关系 (S_{11})

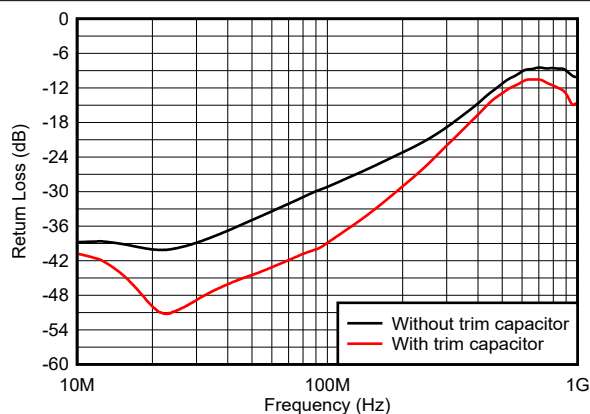


图 5-16. 输出回波损耗与频率间的关系 (S_{22})

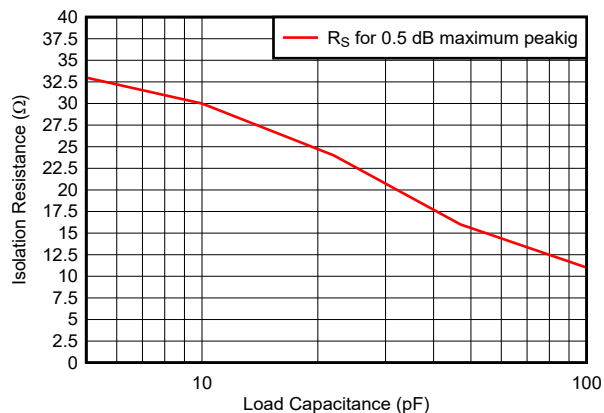


图 5-17. R_S 与电容负载间的关系

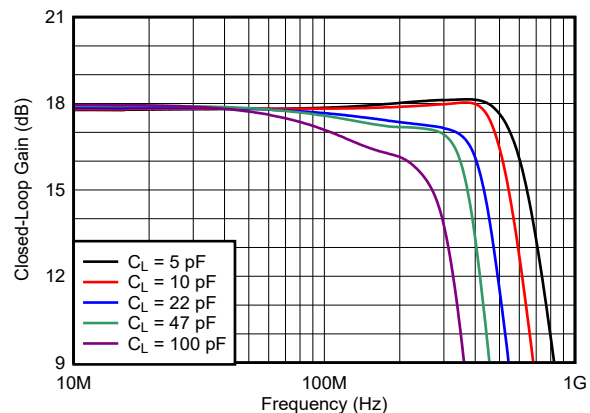


图 5-18. 小信号频率响应与电容负载间的关系

5.9 典型特性： $V_S = \pm 5\text{ V}$ ，OPA695IDBV，OPA695ID，OPA695DSG（续）

在 $T_A = +25^\circ\text{C}$ 、 $G = +8\text{ V/V}$ 、 $R_F = 402\ \Omega$ 及 $R_L = 100\ \Omega$ 时测得（除非另有说明）

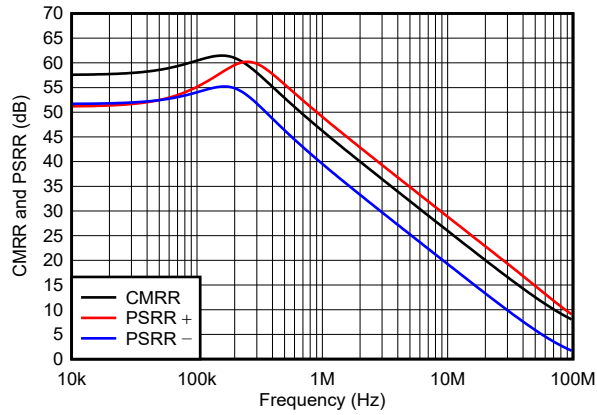


图 5-19. CMRR 和 PSRR 与频率间的关系

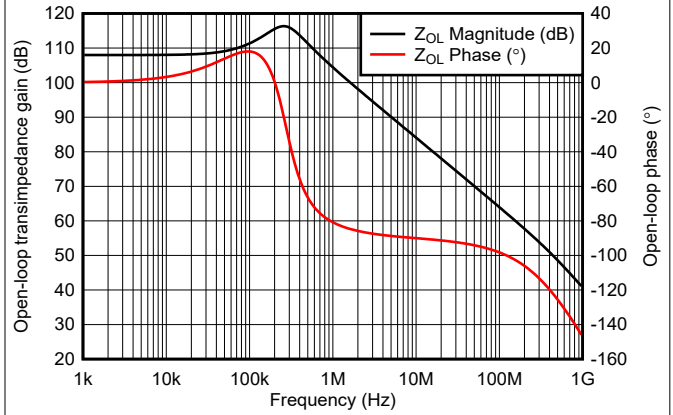


图 5-20. 开环跨阻增益和相位

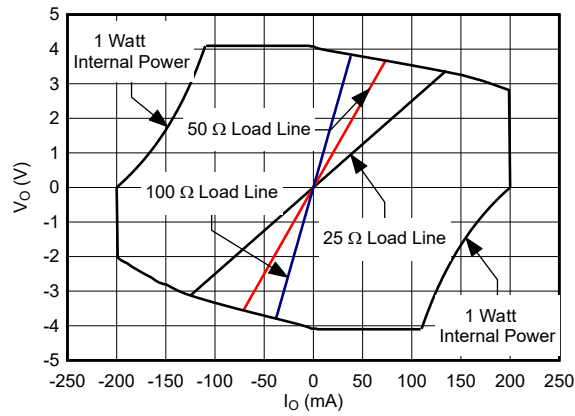


图 5-21. 输出电压和电流限制

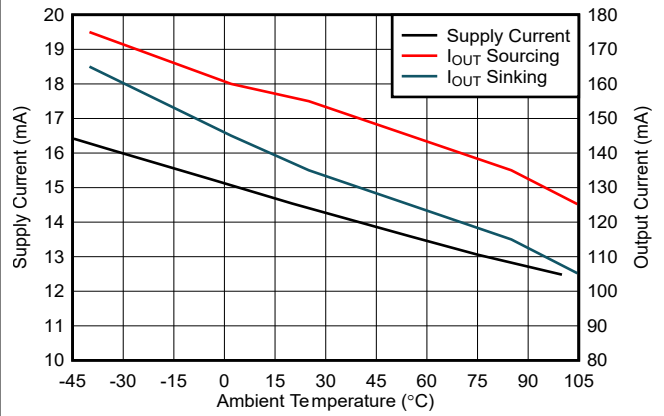


图 5-22. 电源电流和输出电流与温度间的关系

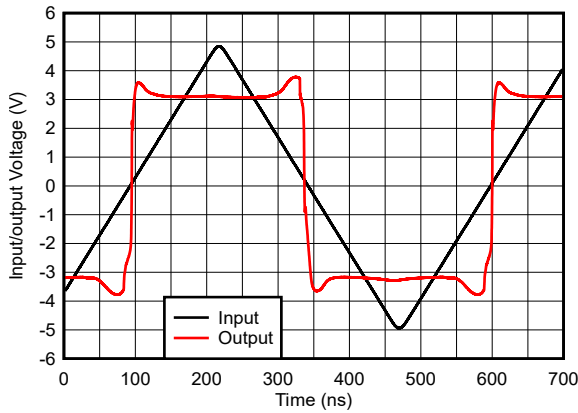


图 5-23. 同相过驱恢复

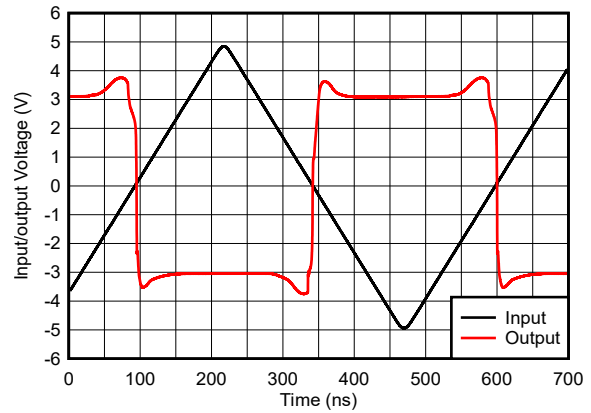


图 5-24. 反相过驱恢复

5.9 典型特性： $V_S = \pm 5\text{ V}$ ，OPA695IDBV，OPA695ID，OPA695DSG（续）

在 $T_A = +25^\circ\text{C}$ 、 $G = +8\text{ V/V}$ 、 $R_F = 402\ \Omega$ 及 $R_L = 100\ \Omega$ 时测得（除非另有说明）

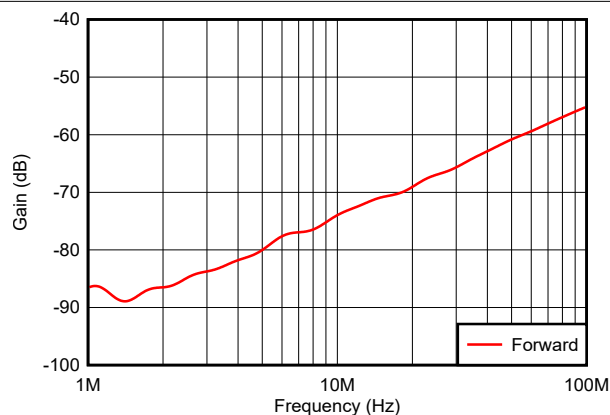


图 5-25. 已禁用馈通与频率间的关系

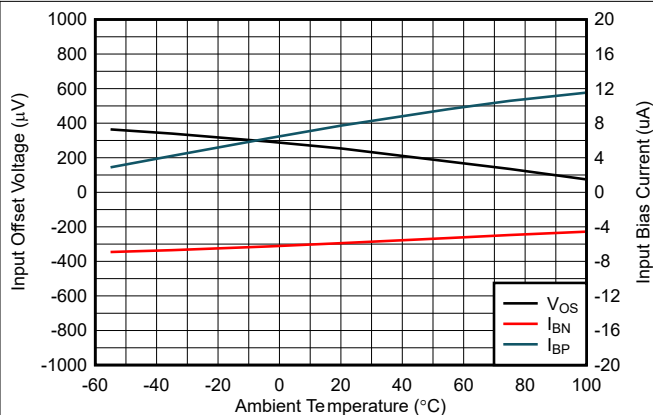


图 5-26. 不同温度下的典型直流漂移

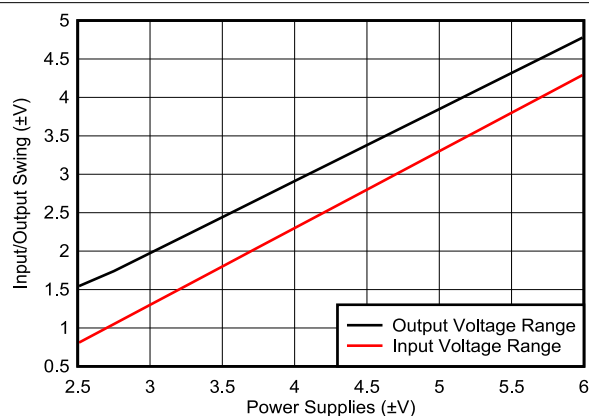


图 5-27. 共模输入和输出摆幅与电源电压间的关系

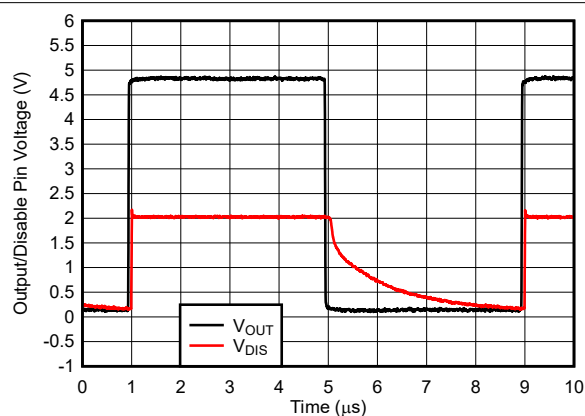


图 5-28. 大信号禁用和使能响应

5.10 典型特性： $V_S = 5V$ ，OPA695IDBV，OPA695ID，OPA695DSG

在 $G = +8V/V$ 、 $R_F = 348\Omega$ 及 $R_L = 100\Omega$ 时测得（除非另有说明）

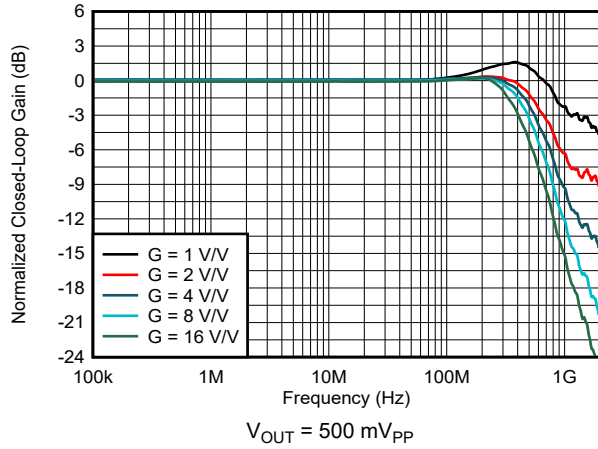


图 5-29. 同相小信号频率响应

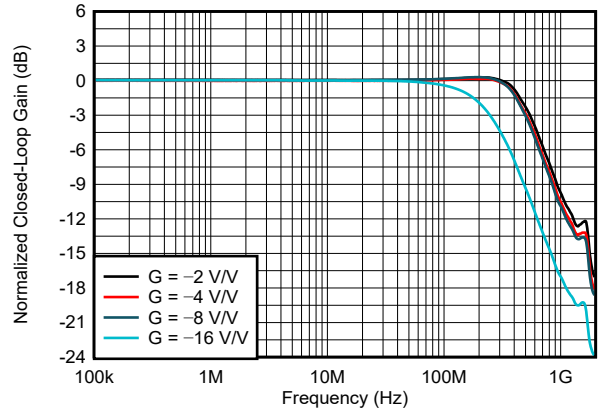


图 5-30. 反相小信号频率响应

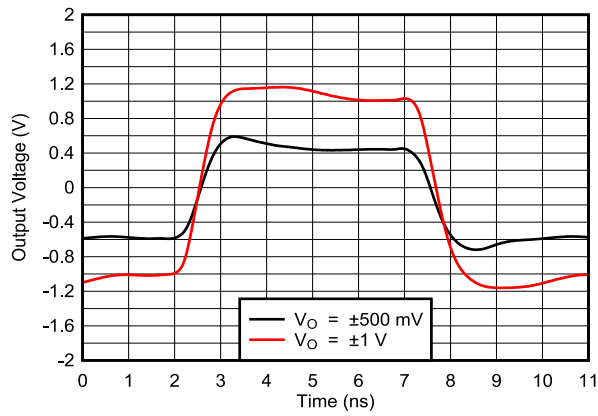


图 5-31. 同相脉冲响应

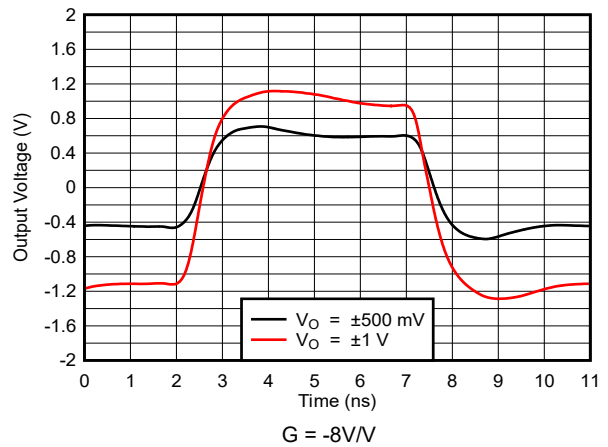


图 5-32. 反相脉冲响应

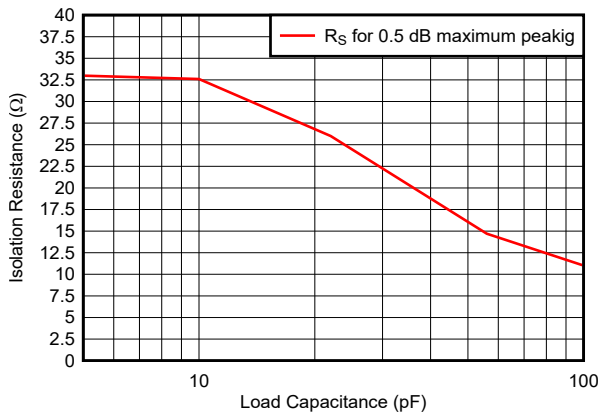


图 5-33. R_S 与电容负载间的关系

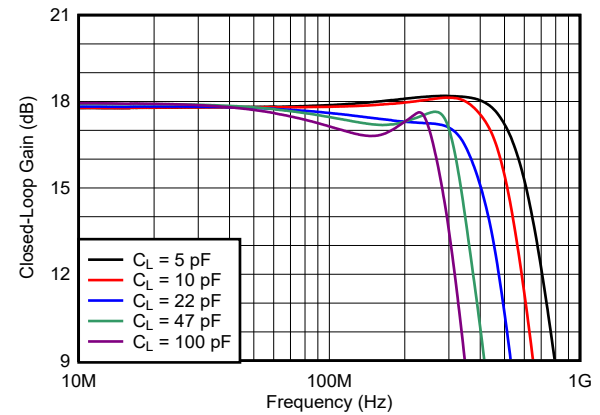


图 5-34. 小信号频率响应与电容负载间的关系

5.10 典型特性： $V_S = 5V$ ，OPA695IDBV，OPA695ID，OPA695DSG（续）

在 $G = +8V/V$ 、 $R_F = 348\Omega$ 及 $R_L = 100\Omega$ 时测得（除非另有说明）

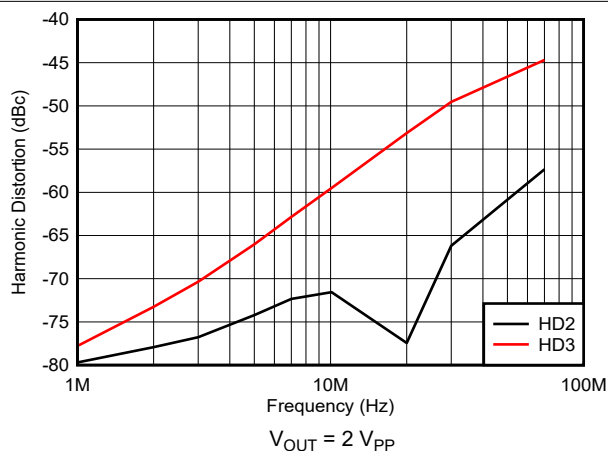


图 5-35. 谐波失真与频率间的关系

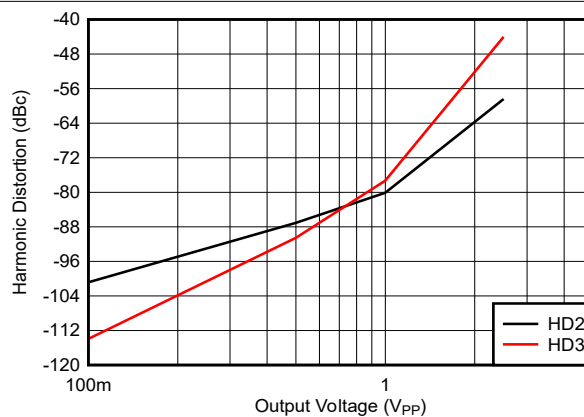


图 5-36. 10MHz 谐波失真与输出电压间的关系

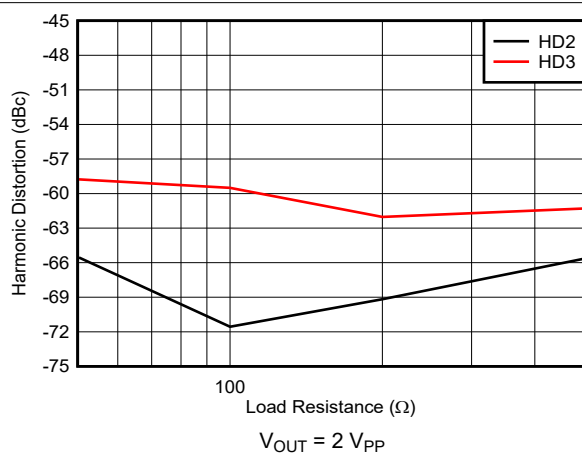


图 5-37. 10MHz 谐波失真与负载电阻间的关系

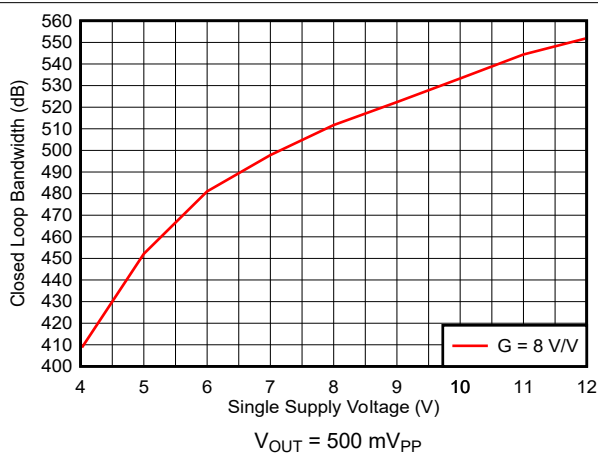


图 5-38. 小信号带宽与单电源电压间的关系

5.11 典型特性： $V_S = \pm 5V$ ，OPA695IDGK

在 $G = +8\text{ V/V}$ 、 $R_F = 402\ \Omega$ 及 $R_L = 100\ \Omega$ 时测得（除非另有说明）

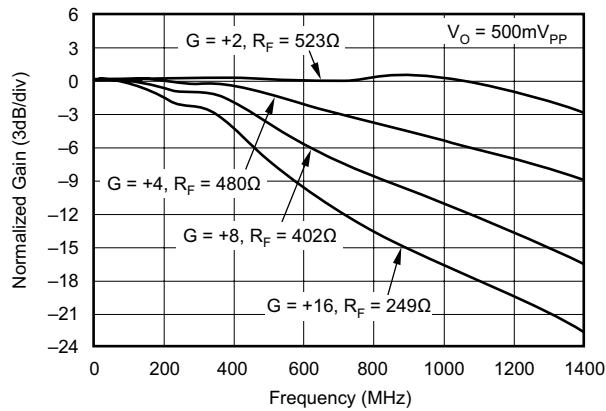


图 5-39. 同相小信号频率响应

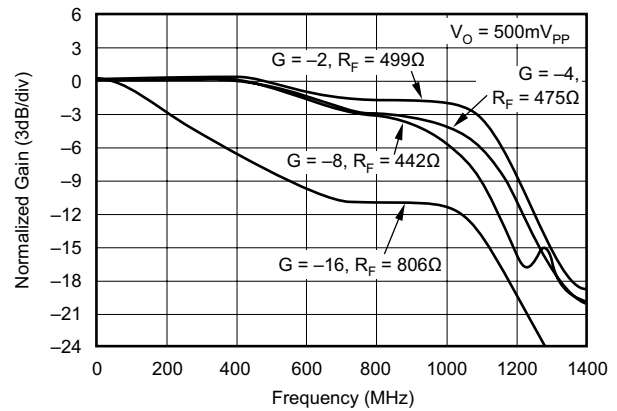


图 5-40. 反相小信号频率响应

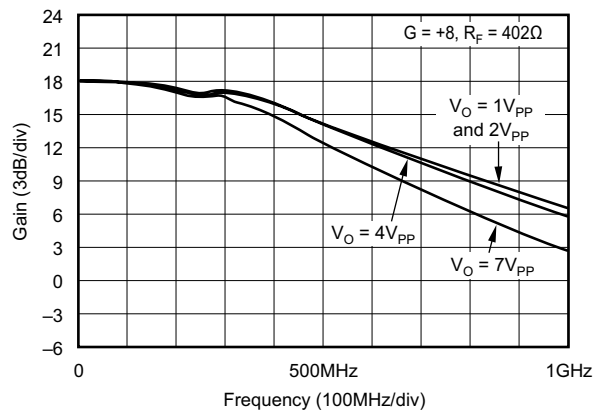


图 5-41. 同相大信号频率响应

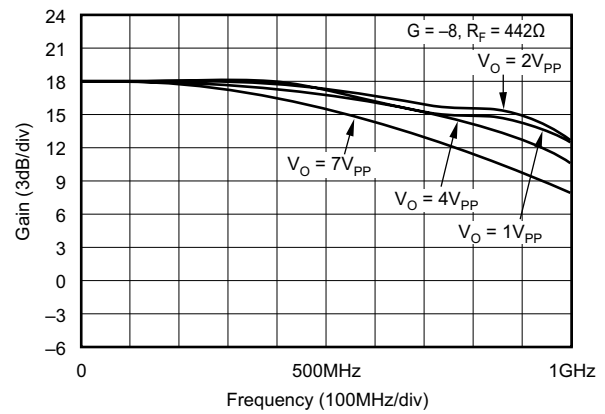


图 5-42. 反相大信号频率响应

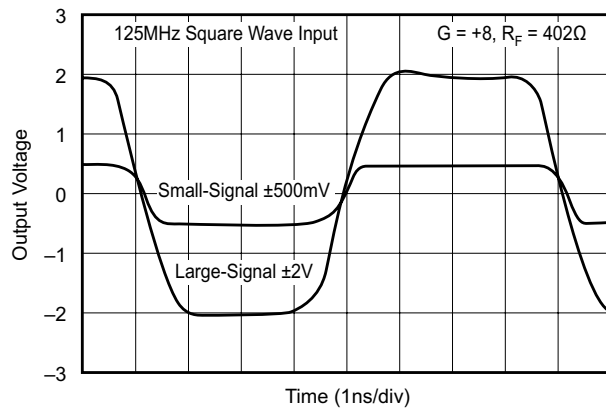


图 5-43. 同相大信号和微小信号频率响应

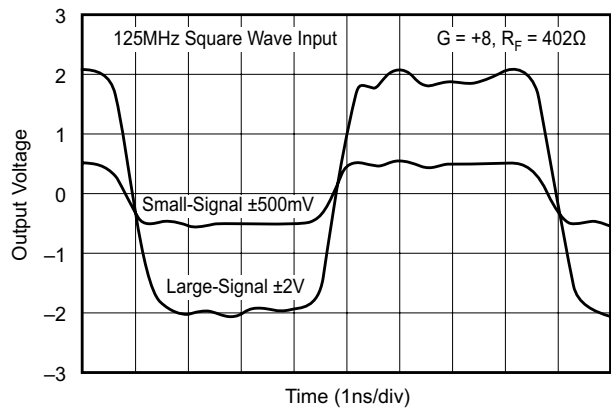


图 5-44. 反相大信号和微小信号频率响应

5.11 典型特性： $V_S = \pm 5V$ ，OPA695IDGK（续）

在 $G = +8V/V$ 、 $R_F = 402\Omega$ 及 $R_L = 100\Omega$ 时测得（除非另有说明）

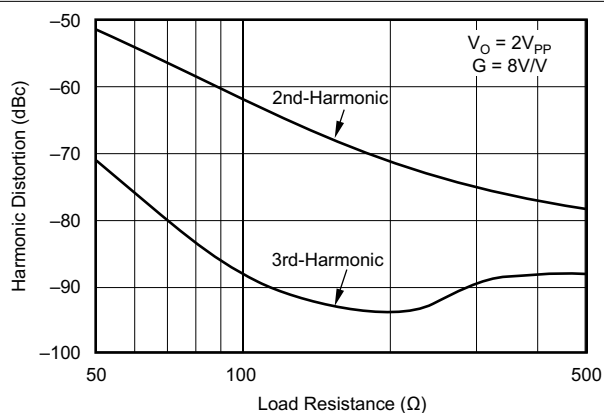


图 5-45. 10MHz 谐波失真与负载电阻间的关系

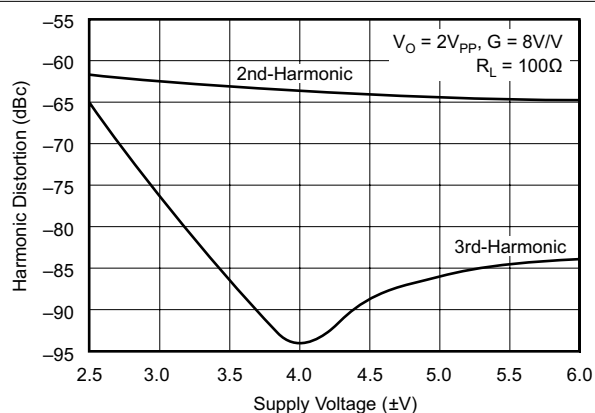


图 5-46. 10MHz 谐波失真与电源电压间的关系

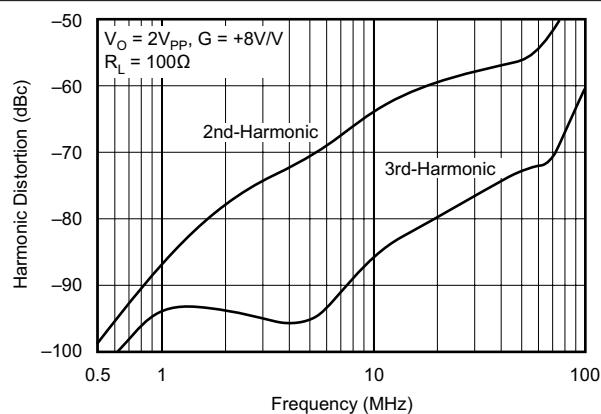


图 5-47. 谐波失真与频率间的关系

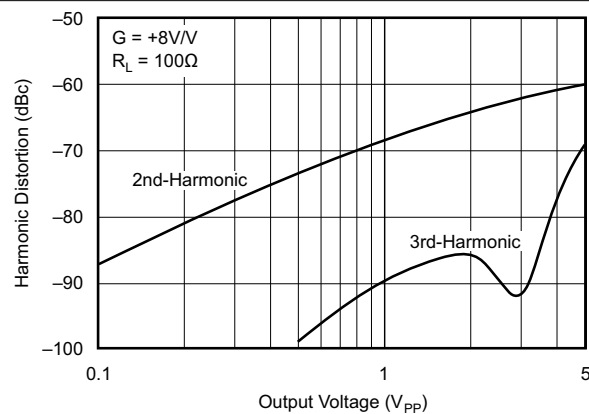


图 5-48. 10MHz 谐波失真与输出电压间的关系

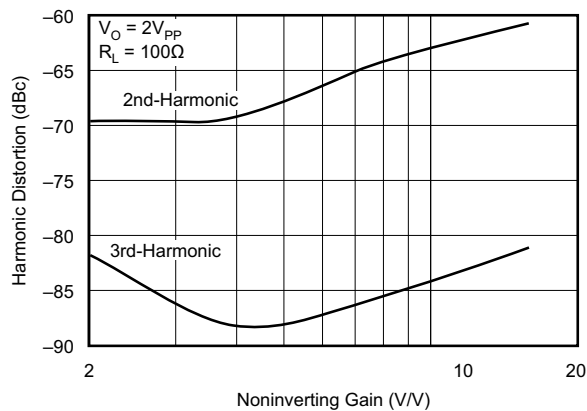


图 5-49. 10MHz 谐波失真与同相增益间的关系

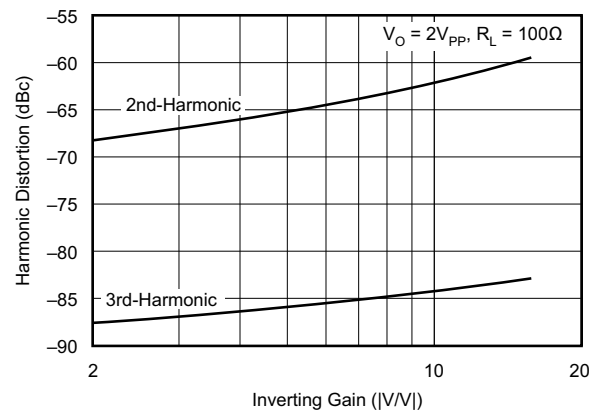


图 5-50. 10MHz 谐波失真与反相增益间的关系

5.11 典型特性： $V_S = \pm 5V$ ，OPA695IDGK（续）

在 $G = +8 V/V$ 、 $R_F = 402 \Omega$ 及 $R_L = 100 \Omega$ 时测得（除非另有说明）

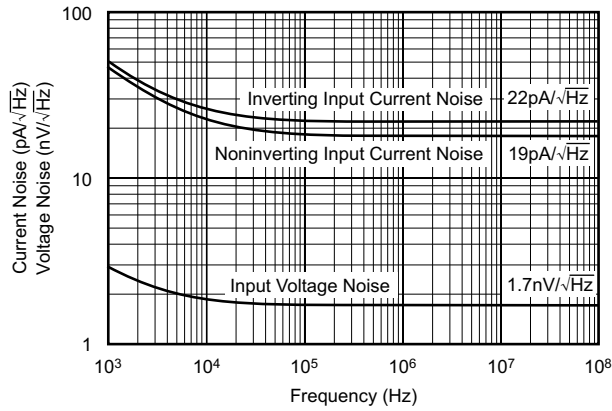


图 5-51. 输入电压和电流噪声密度

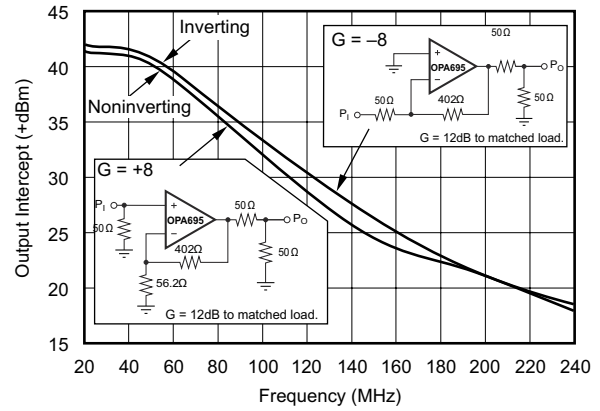


图 5-52. 双音三阶互调截点

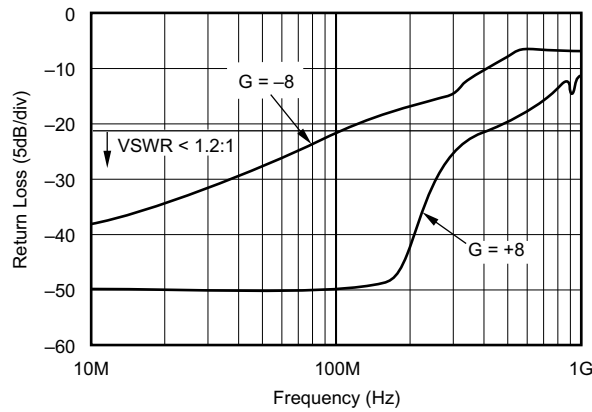


图 5-53. 输入回波损耗与频率间的关系 (S_{11})

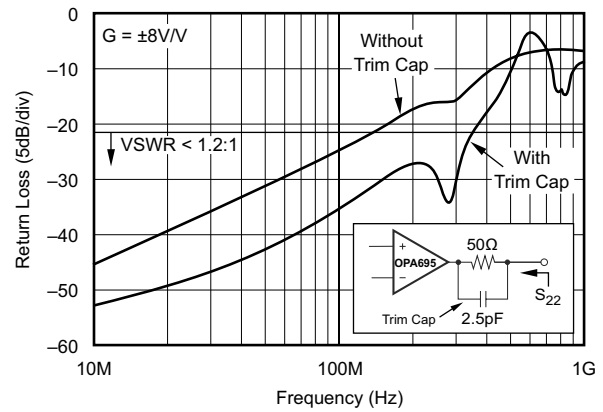


图 5-54. 输出回波损耗与频率间的关系 (S_{22})

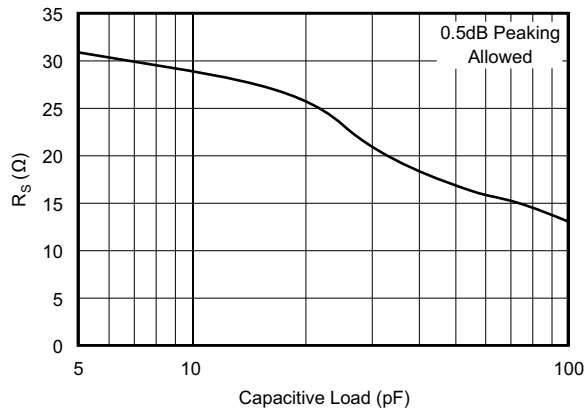


图 5-55. R_S 与电容负载间的关系

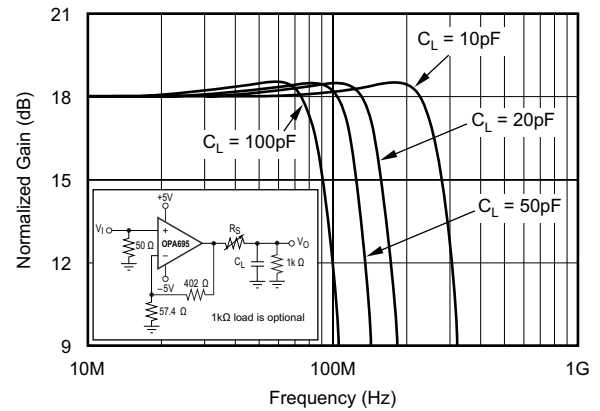


图 5-56. 小信号频率响应与电容负载间的关系

5.11 典型特性： $V_S = \pm 5V$ ，OPA695IDGK（续）

在 $G = +8\text{ V/V}$ 、 $R_F = 402\ \Omega$ 及 $R_L = 100\ \Omega$ 时测得（除非另有说明）

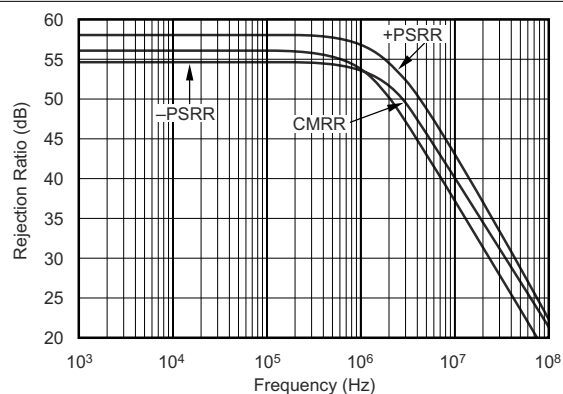


图 5-57. CMRR 和 PSRR 与频率间的关系

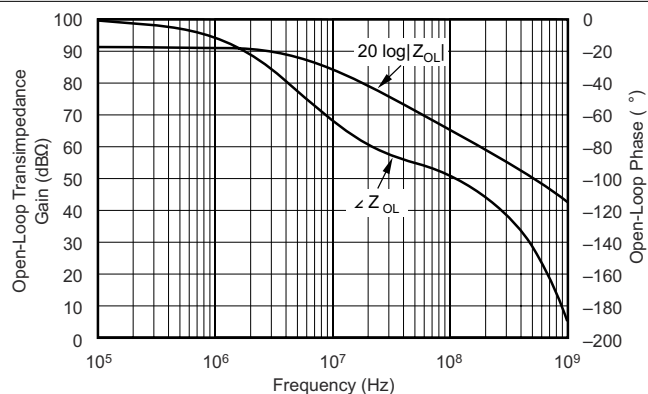


图 5-58. 开环跨阻增益和相位

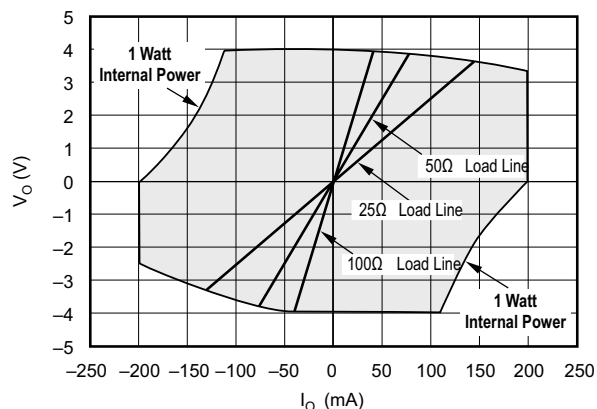


图 5-59. 输出电压和电流限制

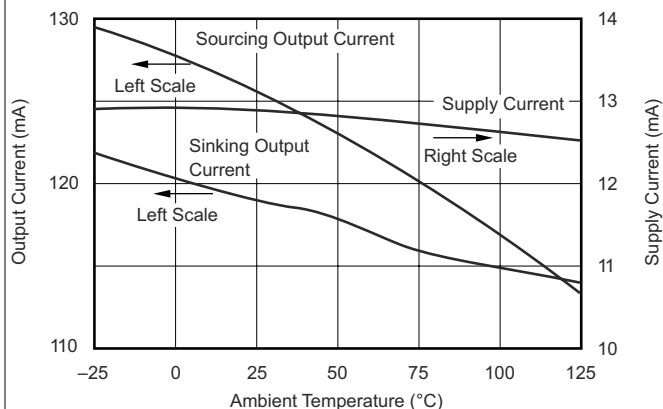


图 5-60. 电源电流和输出电流与温度间的关系

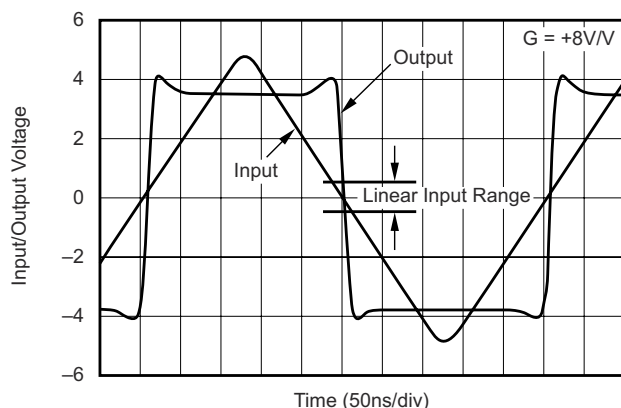


图 5-61. 同相过驱恢复

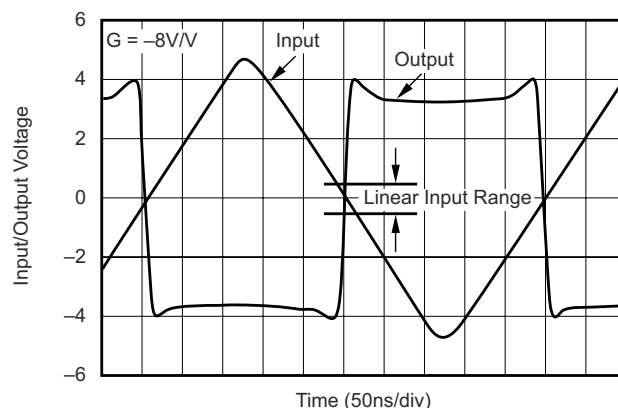


图 5-62. 反相过驱恢复

5.11 典型特性： $V_S = \pm 5V$ ，OPA695IDGK（续）

在 $G = +8\text{ V/V}$ 、 $R_F = 402\ \Omega$ 及 $R_L = 100\ \Omega$ 时测得（除非另有说明）

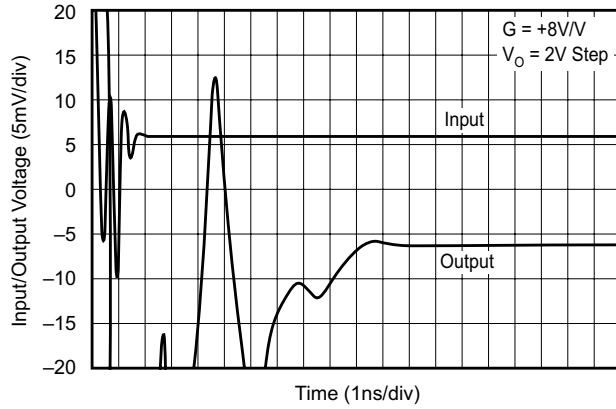


图 5-63. 稳定时间

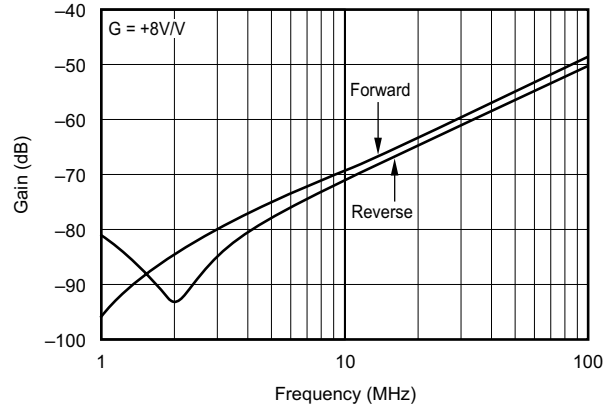


图 5-64. 已禁用馈通与频率间的关系

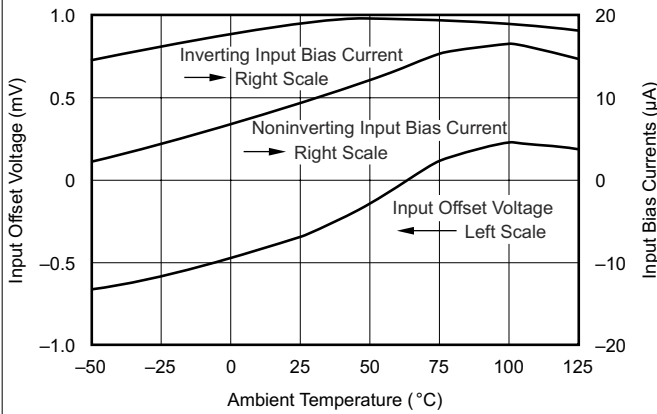


图 5-65. 不同温度下的典型直流漂移

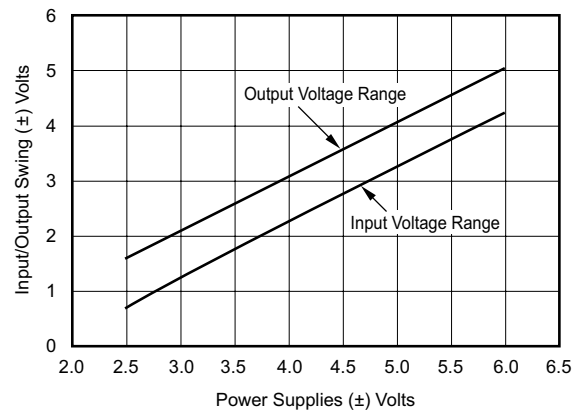


图 5-66. 共模输入和输出摆幅与电源电压间的关系

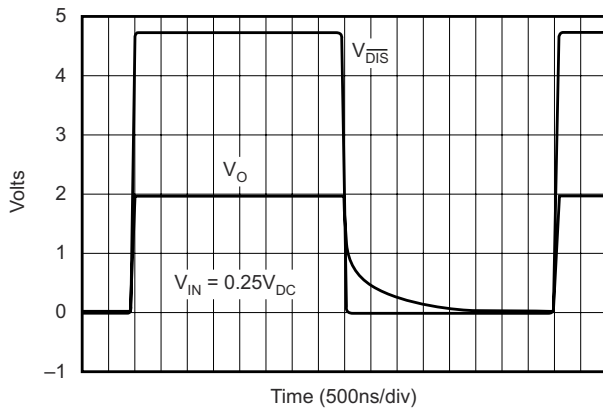


图 5-67. 大信号禁用和使能响应

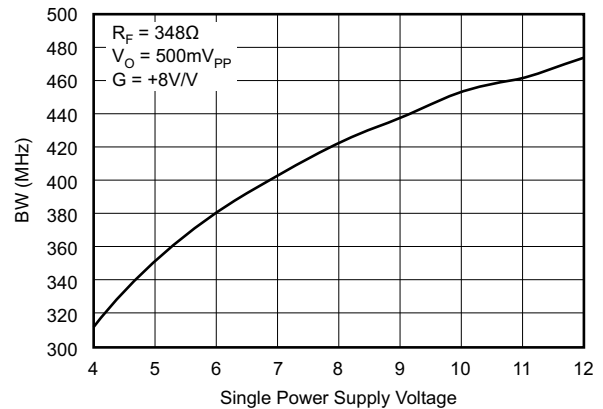


图 5-68. 小信号带宽与单电源电压间的关系

5.12 典型特性： $V_S = 5V$ ，OPA695IDGK

在 $G = +8\text{ V/V}$ 、 $R_F = 348\Omega$ 及 $R_L = 100\Omega$ 时测得（除非另有说明）

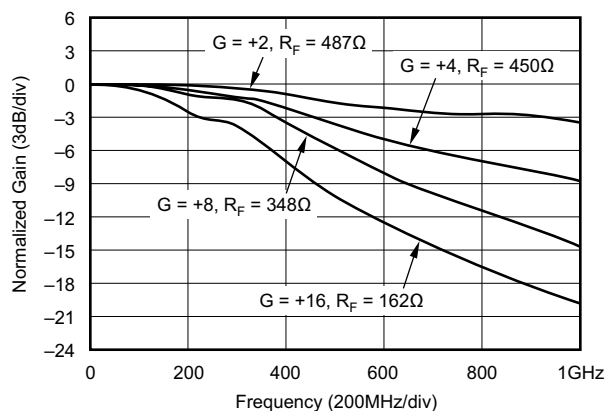


图 5-69. 同相小信号频率响应

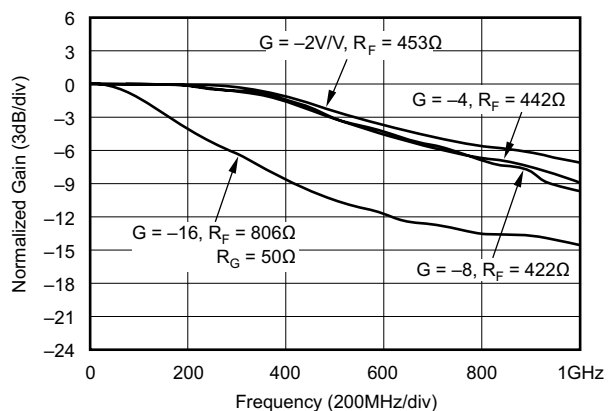


图 5-70. 反相小信号频率响应

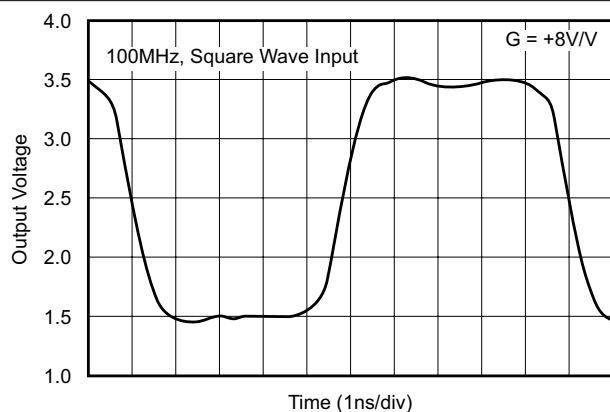


图 5-71. 同相脉冲响应

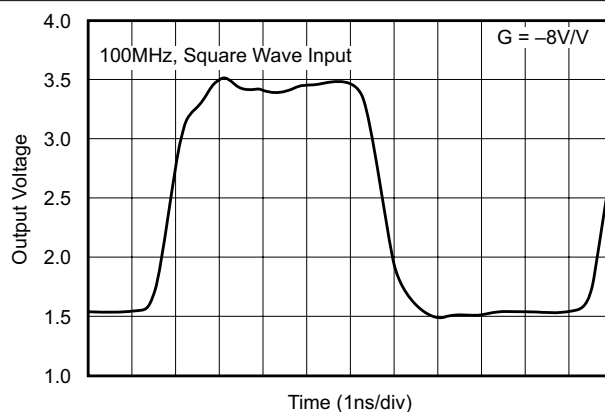


图 5-72. 反相脉冲响应

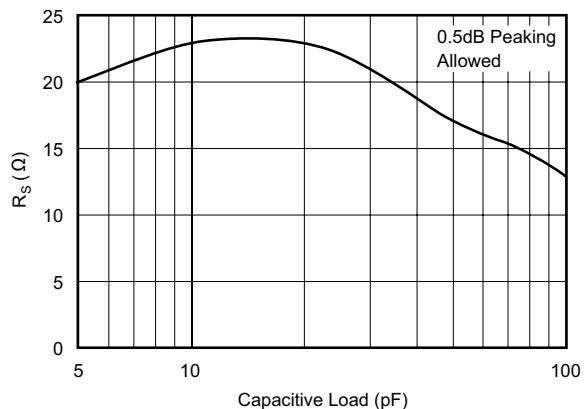


图 5-73. R_S 与电容负载间的关系

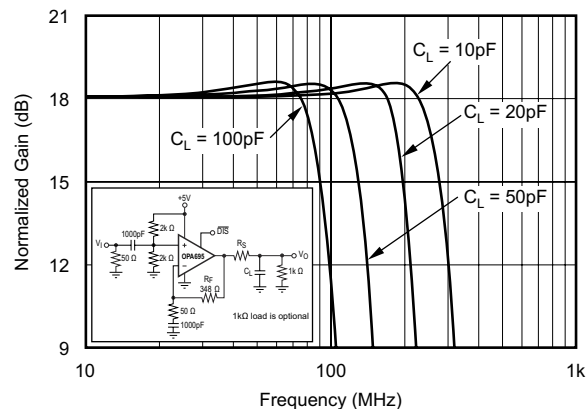


图 5-74. 小信号频率响应与电容负载间的关系

5.12 典型特性： $V_S = 5V$ ，OPA695IDGK（续）

在 $G = +8V/V$ 、 $R_F = 348\Omega$ 及 $R_L = 100\Omega$ 时测得（除非另有说明）

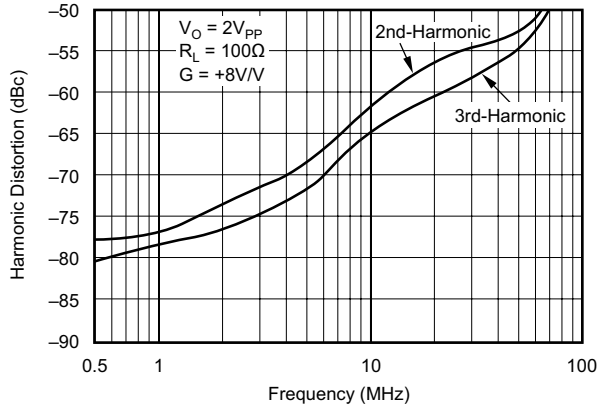


图 5-75. 谐波失真与频率间的关系

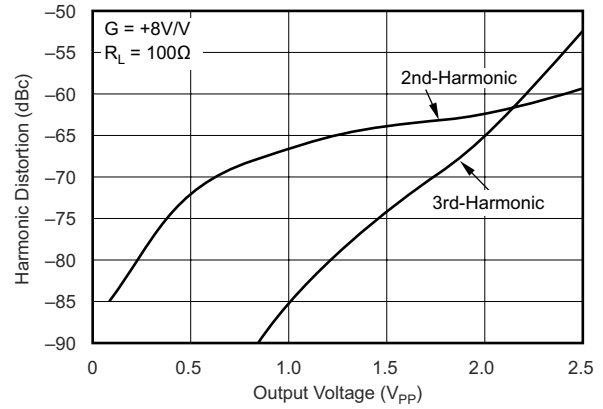


图 5-76. 10MHz 谐波失真与输出电压间的关系

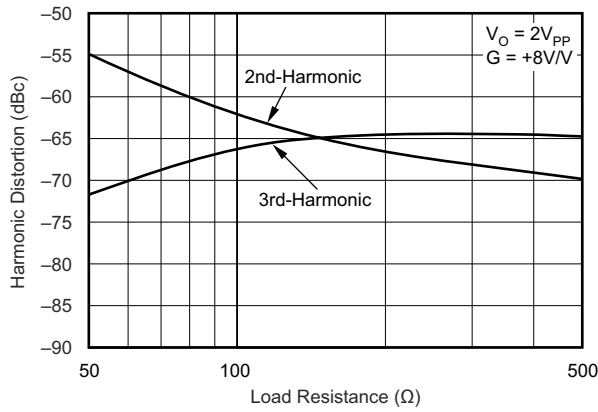


图 5-77. 10MHz 谐波失真与负载电阻间的关系

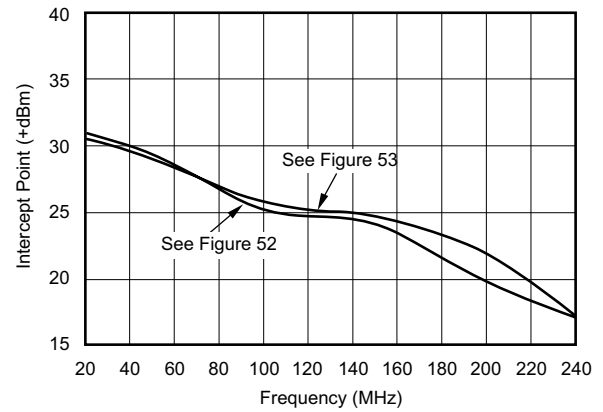


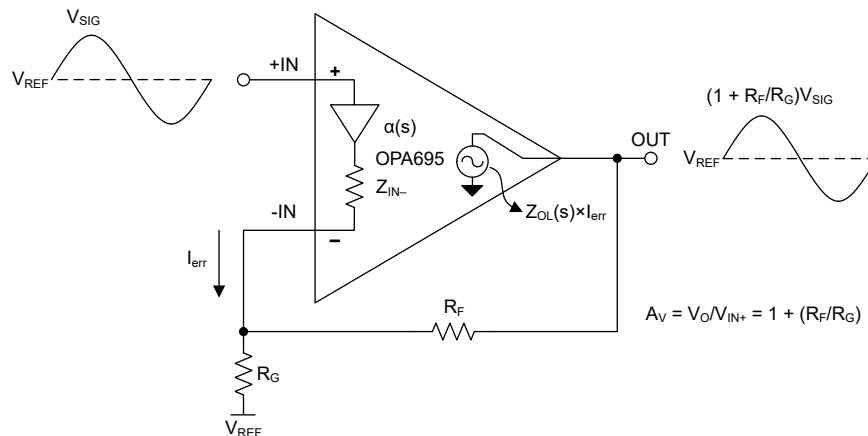
图 5-78. 双音三阶互调截点

6 详细说明

6.1 概述

OPA695 是一款高速电流反馈放大器 (CFA)，旨在在 $\pm 2.5\text{V}$ (5V) 至 $\pm 6\text{V}$ (12V) 的宽电源电压范围内运行，适用于需要低失真以及宽带宽和高压摆率的应用。电流反馈运算放大器的常见应用包括高速数据采集系统中的增益块、同轴电缆驱动器、模数转换器 (ADC) 驱动器和数模转换器 (DAC) 驱动器。OPA695 具有一个断电引脚，可将放大器置于低功耗待机模式，并将静态电流从 14mA 降至 160 μA 。

6.2 功能方框图



6.3 特性说明

6.3.1 宽带电流反馈运算

OPA695 在宽带电流反馈运算放大器中提供新一级性能。该器件在宽增益范围内具有几乎恒定的交流性能，以及 5000V/ μs 的压摆率和超低失真，因此是高速数据采集增益级的理想选择。虽然在 +8V/V 的增益下进行了优化（对于匹配的 50 Ω 负载为 12dB）以提供 600MHz 带宽，但支持从 1V/V 至 40V/V 的增益应用。当增益高于 20V/V 时，信号带宽开始减小，但在增益达到 40V/V（匹配的 50 Ω 负载为 26dB）时仍超过 180 Mhz。该器件还支持单个 +5V 电源运行，具有相似的带宽，但会输出功率能力降低。

图 6-1 显示了用作 $\pm 5\text{V}$ 规格和典型特性曲线基础的直流耦合、+8V/V 增益、双电源电路配置。总有效负载为 $100\Omega \parallel 458\Omega = 82\Omega$ 。禁用控制线 ($\overline{\text{DIS}}$) 通常保留打开，以便正常运行放大器。将禁用线置为低电平以关闭 OPA695。图 6-2 显示了增益为 -8V/V 的直流耦合双电源电路，用作反相典型特性曲线的基础。反相操作提供了多种性能优势。输入级上没有共模信号；因此，失真性能略有改善。除常见的接地电源去耦电容器之外，两个电源引脚之间还包含一个 0.01 μF 电容器。在实际印刷电路板 (PCB) 布局中，对于双电源工作，这个可选的附加电容器通常可将二次谐波失真性能提高 3dB 至 6dB。

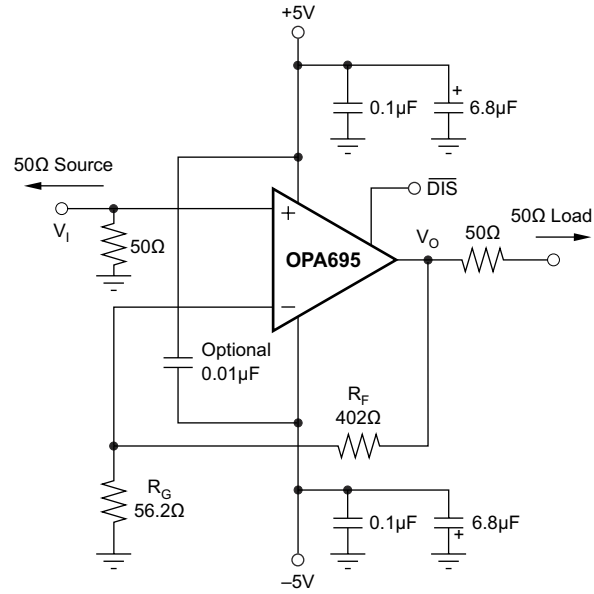


图 6-1. 直流耦合、 $G = +8V/V$ 、双极性电源规格和测试电路

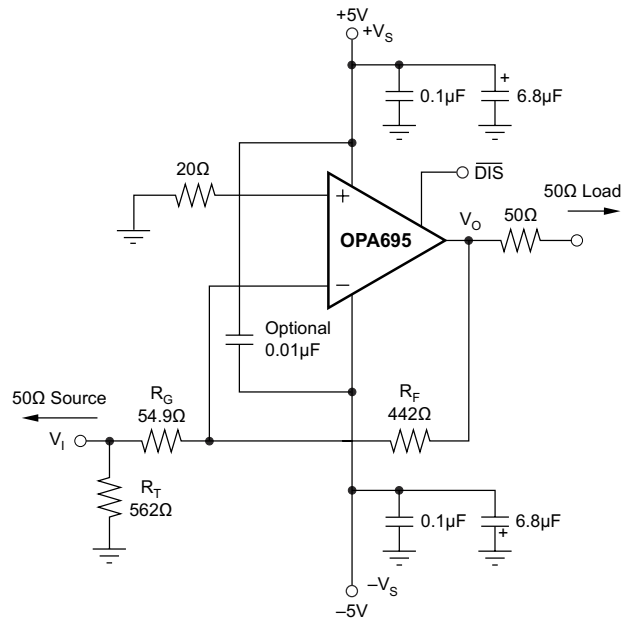


图 6-2. 直流耦合、 $G = -8V/V$ 、双极性电源规格和测试电路

6.3.2 输入和ESD 保护

OPA695 采用超高速的辅助双极性工艺制造而成。这些小尺寸的几何器件的内部结击穿电压相对较低。这些击穿反映在**绝对最大额定值**中，其中报告的绝对最大电源为 $\pm 6.5\text{V}$ 。如图 6-3 所示，所有器件引脚都由连接到电源的内部二极管提供有效的 ESD 保护。

这些二极管亦会适当保护大于电源电压的输入过驱电压。这些保护二极管通常可支持 10mA 的连续电流。在可能有较高电流的情况下（例如，在将 $\pm 15\text{V}$ 电源器件驱动到 OPA695 中的系统中），应在两个输入端添加限流串联电阻器。应尽可能降低这些电阻器的电阻值，因为高电阻值会降低噪声性能和频率响应。

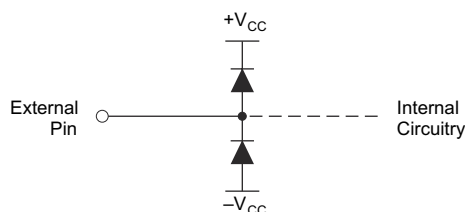


图 6-3. 内部 ESD 保护

6.4 器件功能模式

OPA695 有两种功能模式：启用和禁用。在 $V_S = \pm 5\text{V}$ 双极电源供电下运行时，通过向 $\overline{\text{DIS}}$ 引脚施加逻辑 1 ($> 3.5\text{V}$) 可进入第一个功能模式。在此模式下，放大器将完全启用，消耗的电源电流为 14mA 。

第二个功能模式是禁用状态。通过在 $\overline{\text{DIS}}$ 引脚上施加逻辑 0 ($< 1.7\text{V}$) 即可进入禁用状态。在此模式下，放大器被完全禁用，消耗的电流仅为 $160\mu\text{A}$ 。禁用时，输出和输入节点进入高阻抗状态。当 OPA695 在 $+1\text{V/V}$ 的增益下运行时，输出端的阻抗非常高，并且可以实现出色的信号隔离。在大于 $+1\text{V/V}$ 的增益下运行时，总反馈网络电阻作为输出端的阻抗，但电路仍然显示非常高的正向和反向隔离。如果配置为反相放大器，则输入和输出通过反馈网络电阻进行连接，导致输入到输出隔离相对较差。

7 应用和实例

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 操作建议

7.1.1.1 设置电阻值以优化带宽

在适当调整外部电阻值的情况下，OPA695 等电流反馈运算放大器在信号增益设置基础上保持几乎恒定的带宽。节 5.9 展示了此功能。小信号带宽仅随增益的增加而略有下降。这些曲线还显示针对每个增益设置更改了反馈电阻器。电流反馈运算放大器电路反相侧的 R_F 绝对值可以视为频率响应补偿元件，而 R_F 和 R_G 的比率设置信号增益。图 7-1 显示了 OPA695 小信号频率响应的分析电路。

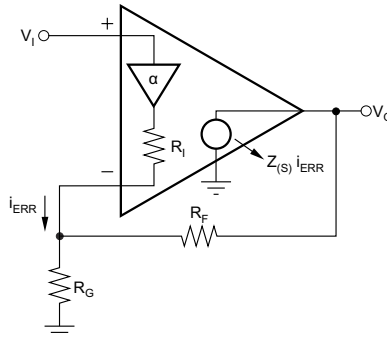


图 7-1. 电流反馈传递函数分析电路

此电流反馈运算放大器模型的关键要素为：

- $\alpha \Rightarrow$ 从同相输入到反相输入的缓冲器增益
- $R_I \Rightarrow$ 缓冲器输出阻抗
- $i_{ERR} \Rightarrow$ 反馈误差电流信号
- $Z(s) \Rightarrow$ 从 i_{ERR} 到 V_O 的频率相关开环跨阻增益

电流反馈运算放大器检测反相节点中的误差电流（相对于电压反馈运算放大器的差分输入误差电压），并通过与频率相关的内部跨阻增益将该误差电流传递到输出端。节 5.9 展示了该开环跨阻响应。此响应类似于电压反馈运算放大器的开环电压增益曲线。有关 CFA 工作原理的更多了解，另请参阅 TI 精密实验室的培训视频。

图 7-2 中显示的 R_F 与增益的值大约等于用于生成典型特性的值，并且为需要优化带宽的设计提供了一个良好的起点。

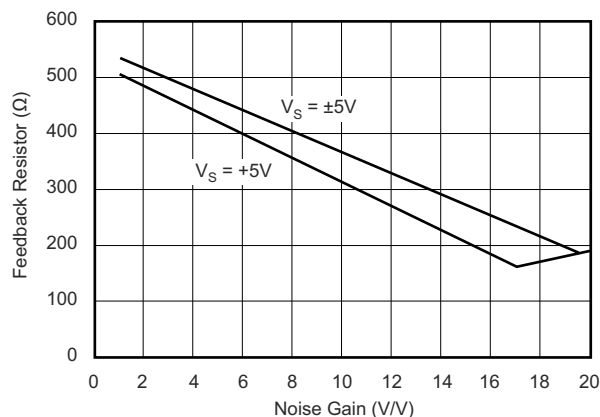


图 7-2. 建议的反馈电阻器与噪声增益间的关系

7.1.1.2 输出电流和电压

OPA695 提供与驱动双端接 $50\ \Omega$ 线路相一致的输出电压和电流能力。对于增益为 $+8V/V$ 的 $100\ \Omega$ 负载 (请参阅图 6-1)，总负载是 $100\ \Omega$ 负载与 $456\ \Omega$ 总反馈网络阻抗的并联组合。该 $82\ \Omega$ 负载需要不超过 $45mA$ 的输出电流才能支持 $100\ \Omega$ 负载指定的 $\pm 3.7V$ 最小输出电压摆幅。该值远小于 $\pm 100mA$ 的最小规格。

对于前面所述的规格，请分别考虑电压和电流限制。在许多应用中，电压乘以电流 (或 $V \cdot I$ 乘积) 与电路运行更为相关，另请参阅图 5-21。该图的 X 轴和 Y 轴分别显示零电压输出电流限制和零电流输出电压限制。四个象限更详细地展示了 OPA695 的输出驱动能力。将电阻器负载线叠加到图上可显示特定负载下可用的输出电压和电流。

为了保持最大的输出级线性，不会提供输出短路保护。没有短路保护通常不是问题，因为大多数应用都在输出端包含一个串联匹配电阻器，如果该电阻器的输出端出现接地短路，则会限制内部功耗。

但是，在大多数情况下，将输出引脚直接短接到相邻的正极电源引脚会损坏放大器。如果需要额外的短路保护，则可以考虑在电源引线中加入一个小串联电阻器。在输出负载较重的情况下，该串联电阻会降低可用的输出电压摆幅。每根电源引线中的 $5\ \Omega$ 串联电阻会在输出短路的情况下将内部功耗限制在 $1W$ 以下，而在所需负载电流高达 $50mA$ 的情况下，可用输出电压摆幅仅为 $0.25V$ 。始终将 $0.1\ \mu F$ 电源去耦电容器直接放置在这些电源限流电阻器之后的电源引脚上。

7.1.1.3 驱动容性负载

对于运算放大器来说，要求最苛刻但很常见的负载条件之一是容性负载。通常情况下，容性负载是 ADC 的输入（包括可推荐用于改善 ADC 线性度的附加外部电容）。当容性负载直接置于输出引脚上时，高速高开环增益放大器（如 OPA695）可能容易降低稳定性和闭环响应峰值。考虑放大器的开环输出电阻时，该容性负载会在信号路径中引入额外的极点，这会减小相位裕度。这一问题已经有几种建议的外部解决方案。当主要考虑因素为频率响应平坦度、脉冲响应保真度和失真时，最简单和最有效的解决方案是在放大器输出端与容性负载之间插入串联隔离电阻器 (R_{ISO}) 来隔离容性负载 (C_L) 与反馈环路。图 7-3 显示了该配置。此配置不会消除环路响应中的极点，但是会移动极点，并在更高的频率下增加零点。额外的零点可用于消除来自容性负载极点的相位滞后，从而增大相位裕度并提高稳定性。

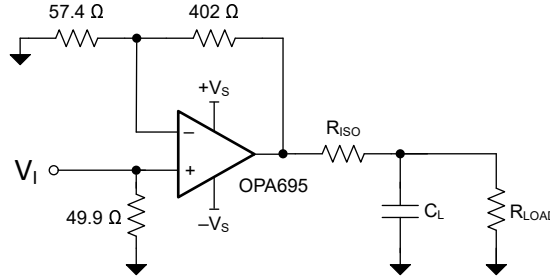


图 7-3. 使用输出串联隔离电阻器驱动大容性负载

典型特性显示了建议的 R_S 与电容负载间的关系以及在负载下产生的频率响应。大于 2pF 的寄生容性负载会开始降低 OPA695 的性能。较长的 PCB 布线、不匹配的电缆以及连接到多个器件都会导致超出该值。务必仔细考虑这种影响，并将建议的串联电阻器放置在尽可能靠近 OPA695 输出引脚的位置（请参阅 节 7.4.1）。

7.1.1.4 失真性能

OPA695 采用 $\pm 5V$ 电源时，在 100 Ω 负载下拥有良好的失真性能。与其他器件相比，OPA695 在较高频率 (> 20MHz) 下具有较低的失真。一般情况下，在基波信号达到非常高的频率或功率等级之前，二次谐波在失真中占主导，而三次谐波分量可以忽略不计。专注于二次谐波，增加负载阻抗可直接改善失真；总负载包括反馈网络。在非反相配置中（参见 图 6-1），此反馈网络负载是 $R_F + R_G$ 的总和，而在反相配置中，反馈网络负载仅为 R_F 。另外，在电源引脚之间提供一个额外的电源解耦电容器 (0.01 μF)（适用于双极性工作模式）也可以改善二阶失真。

7.1.1.5 噪声性能

OPA695 可在电压和电流噪声项之间实现出色的平衡，从而实现低输出噪声。反相电流噪声 ($22\text{pA}/\sqrt{\text{Hz}}$) 低于大多数其他电流反馈运算放大器，而输入电压噪声 ($1.8\text{nV}/\sqrt{\text{Hz}}$) 低于任何单位增益稳定、宽带、电压反馈运算放大器。以较高的同相输入电流噪声 ($18\text{pA}/\sqrt{\text{Hz}}$) 为代价可以实现低输入电压噪声。只要同相节点的交流源阻抗小于 50Ω ，该电流噪声不会对总输出噪声产生显著影响。运算放大器输入电压噪声和两个输入电流噪声项相结合，可在各种工作条件下提供低输出噪声。图 7-4 展示了包含所有噪声项的运算放大器噪声分析模型。在此模型中，所有的噪声项均视为噪声电压或电流密度项（以 $\text{nV}/\sqrt{\text{Hz}}$ 或 $\text{pA}/\sqrt{\text{Hz}}$ 为单位）。

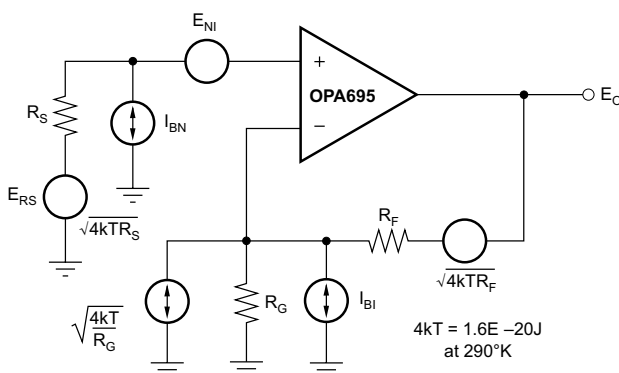


图 7-4. 运算放大器噪声系数分析模型

总输出点噪声电压可以计算为所有输出噪声电压贡献项之和的平方根。方程式 1 使用图 7-8 所示的噪声项显示了输出噪声电压的一般形式。

$$E_O = \sqrt{(E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S)G_N^2 + (I_{BI}R_F)^2 + 4kTR_F}G_N \quad (1)$$

将该表达式除以噪声增益 ($NG = (1 + R_F/R_G)$) 可得出同相输入端的等效输入基准点噪声电压, 如[方程式 2](#) 中所示:

$$E_N = \sqrt{E_{NI}^2 + (I_{BN}R_S)^2 + 4kTR_S + \left(\frac{I_{BI}R_F}{NG}\right)^2 + \frac{4kTR_F}{NG}} \quad (2)$$

将图 6-1 显示的 OPA695 电路和元件值代入这些公式，可计算得出总输出点噪声电压为 $18.7\text{nV}/\sqrt{\text{Hz}}$ ，而总等效输入点噪声电压为 $2.3\text{nV}/\sqrt{\text{Hz}}$ 。该总输入基准点噪声电压高于单独的运算放大器电压噪声规格 ($1.8\text{nV}/\sqrt{\text{Hz}}$)。这反映了反相电流噪声乘以反馈电阻器后添加到输出端的噪声。如果在高增益配置中减小反馈电阻器（如前所述），则方程式 2 给出的总输入基准电压噪声仅接近运算放大器的 $1.8\text{nV}/\sqrt{\text{Hz}}$ 。例如，增益为 +20（使用 $R_F = 200\ \Omega$ ）时，得出 $2.0\text{nV}/\sqrt{\text{Hz}}$ 的总输入基准噪声。

有关运算放大器噪声计算的更完整讨论，请参阅[高速运算放大器噪声分析应用注释](#)，可通过www.ti.com 获取。

7.1.1.6 热分析

对于大多数应用，OPA695 不需要额外的散热器。如本节所述，所需的最高结温决定了允许的最大内部功耗。不要超出 150°C 的结温上限。

工作结温 (T_J) 由 $T_A + P_D \times \theta_{JA}$ 得出。总内部功率耗散 (P_D) 是静态功耗 (P_{DQ}) 和输出级中用于提供负载功率的额外功耗 (P_{DL}) 的总和。静态功耗就是指定的空载电源电流乘以整个器件的总电源电压。 P_{DL} 取决于所需的输出信号和负载。然而, 对于接地的电阻负载, 当输出固定在等于任一电源电压 $1/2$ (对于平等双极电源) 的电压时, P_{DL} 将处于最大值。在此条件下, $P_{DL} = V_S^2 / (4 \times R_L)$, 其中的 R_L 包括反馈网络负载。

请注意，输出级的功率而非负载的功率决定内部功耗。

作为绝对最坏情况下的示例，在图 6-1 的电路中，使用 OPA695IDBV (SOT23-6 封装)，在最高额定环境温度 +85°C 下驱动接地 100 Ω 负载，以计算最大结温 T_J 。

$$P_D = 10 \text{ V} \times 14.1 \text{ mA} + 52 / (4 \times (100 \text{ } \Omega \parallel 458 \text{ } \Omega)) = 217 \text{ mW} \quad (3)$$

$$\text{Maximum } T_J = +85^\circ\text{C} + (0.22 \text{ W} \times 150^\circ\text{C/W}) = 118^\circ\text{C} \quad (4)$$

此最大工作结温远低于大多数系统级目标。大多数应用的功耗较低，因为在此计算中假定了绝对最坏情况下的输出级功率。

7.1.2 LO 缓冲器放大器

OPA695 还可用于缓冲混频器的本机振荡器 (LO)。OPA695 在 +2V/V 的电压增益下运行, 可为 LO 提供出色的负载隔离, 混频器的净增益为 0dB。可以考虑通过 1.4GHz LO 运行的应用, 但理想运行条件是 LO < 1.0GHz 且增益为 +2V/V 还可以通过 OPA695 提供增益, 以便将更高的功率级别驱动到混频器中。图 7-5 显示了将 OPA695 用作 LO 缓冲器的一个选项。OPA695 可驱动多个输出负载; 因此, 通过两个 50Ω 串联输出电阻器将输出分接掉, 两个相同的 LO 信号可以传送到分集接收器中的混频器。该电路为输出引脚设置了 +2V/V 的电压增益来为混频器提供 +1V/V (0dB) 的增益, 但该电路可轻松调节以提供更高的增益。

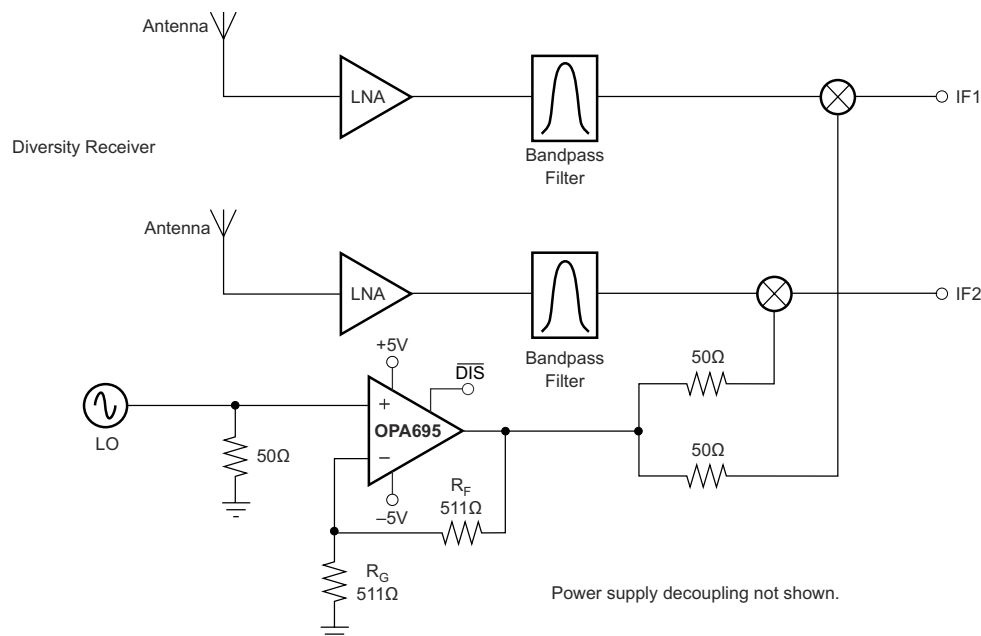


图 7-5. 双路输出 LO 缓冲器

7.1.3 宽带电缆驱动应用

OPA695 的高压摆率和带宽可用于满足最苛刻的电缆驱动应用。

7.1.3.1 电缆调制解调器返回路径驱动器

通常需要标准线缆调制解调器上游驱动器在 5MHz 至 65MHz 带宽范围内驱动高功率，同时使失真小于 -50dBc。由于从放大器输出到线路的高损耗，高度集成的解决方案（包括可编程增益级）通常达不到该目标。OPA695 的更高增益运行能力和极高压摆率提供了低成本器件，可在所需的无杂散动态范围内传递此信号。图 7-6 显示了一个使用 OPA695 作为电缆调制解调器返回路径的上游驱动器的示例。在这种情况下，通过增益电阻器 (R_G) 将驱动器的输入阻抗设置为 75 Ω 。OPA695 提供的 15.5dB 增益显著降低了可调增益级所需的输入电平。在此示例中，物理 75 Ω 输出匹配电阻器以及双工器中的 3dB 损耗使线路上的输出摆幅衰减了 9dB。在此示例中，使用单个 +12V 电源，通过 65MHz 实现 6-V_{PP} 输出引脚电压的最低谐波失真。本示例的测量性能提供 600MHz 微小信号带宽，通过 65MHz 实现低于 -54dBc 的失真，而实现 6V_{PP} 输出引脚电压摆幅。

该电路的另一种替代方案是使用两个 OPA695 器件驱动到输出变压器的差分驱动器，它可以提供更低的失真。差分驱动器可以使可用的线路功率加倍，或通过每级所需的输出摆幅减半来改善失真。必须使用 PGA 禁用功能来实现 MCNS 规范所需的通道禁用。MCNS 禁用规格要求在信号通道关闭时保持输出阻抗匹配。OPA695 的禁用功能主要用于实现节能，并将输出和反相输入引脚置于高阻抗模式，但不保持所需的输出阻抗匹配。关闭图 7-6 输入端的信号，同时保持 OPA695 处于活动状态，可以保持阻抗匹配，同时使线路上的噪声非常小。由于 OPA695 的输入噪声较低，图 7-6 的电路禁用时（PGA 源关闭，但仍呈现 75 Ω 源阻抗）的线路噪声非常低，为 4nV/ $\sqrt{\text{Hz}}$ （-157dBm/Hz）。

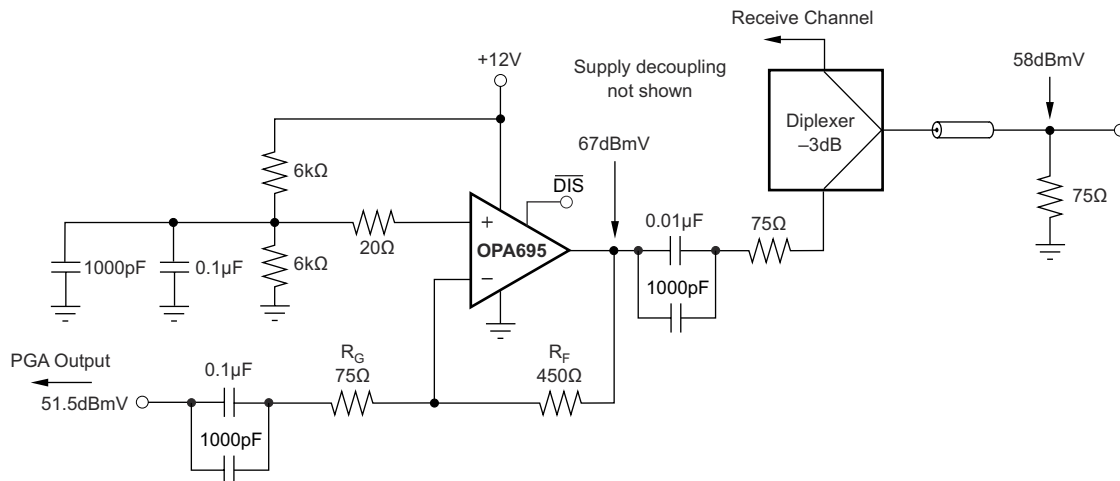


图 7-6. 线缆调制解调器上游驱动器

7.1.3.2 任意波形驱动器

OPA695 可用作中等输出功率任意波形驱动器应用的输出级。通过串联 50 Ω 匹配电阻器将输出驱动到 50 Ω 匹配负载中，当 OPA695 由 $\pm 5\text{V}$ 电源供电时，可以在匹配负载 (15dBm) 下实现最高 4.0V_{PP} 的摆幅。这种功率等级适用于 $\pm 8\text{V/V}$ 增益，并通过 100MHz 提供平坦响应。直接连接互补电流输出 DAC 时，请考虑中图 7-7 针对所考虑的特定 DAC 的峰值输出电流修改的电路。如果需要来自互补电流输出 DAC 的纯交流耦合输出信号，请考虑使用图 7-7 中电路的推挽式输出级。此处的电阻值是针对 20mA 峰值输出电流 DAC 计算得出的，该电流 DAC 在匹配负载 (18dBm) 下产生高达 5-V_{PP} 的摆幅。该方法在负载下提供更高的功率，且二次谐波失真更低。

对于 20mA 峰值输出电流 DAC，由于输出端的 200 Ω 接地电阻，10mA 的中标度电流可提供 2V 直流输出共模工作电压。每个输出的总交流阻抗为 50 Ω ，为 DAC 提供了相对于该 2V 共模电压的 $\pm 0.5\text{V}$ 摆幅。这些电阻器还充当分流器，通过反馈电阻器 (464 Ω) 发出 75% 的 DAC 输出电流。阻断电容器将 OPA695 输出电压参考接地，并在每个放大器输出端将单极 DAC 输出电流转换为 $0.75 \times 20\text{mA} \times 464 \Omega = 7\text{V}_{PP}$ 的双极摆幅。每个输出与另一个输出正好相差 180°，从而产生双 7 V_{PP} 到匹配电阻中。为了限制峰值输出电流并改善失真情况，为图 7-7 的电路设置一个 1.4:1 降压变压器。这将变压器初级侧的 50 Ω 负载反射为 100 Ω 。对于两个放大器输出端的最大 14V_{PP} 摆幅，匹配电阻器将变压器输入端的电压降至 7V_{PP}，然后在变压器输出端 50 Ω 负载下降至最大 5-V_{PP}。这种降压方法将峰值输出电流降低至 $14\text{V}_{PP}/(200 \Omega) = 70\text{mA}$ 。

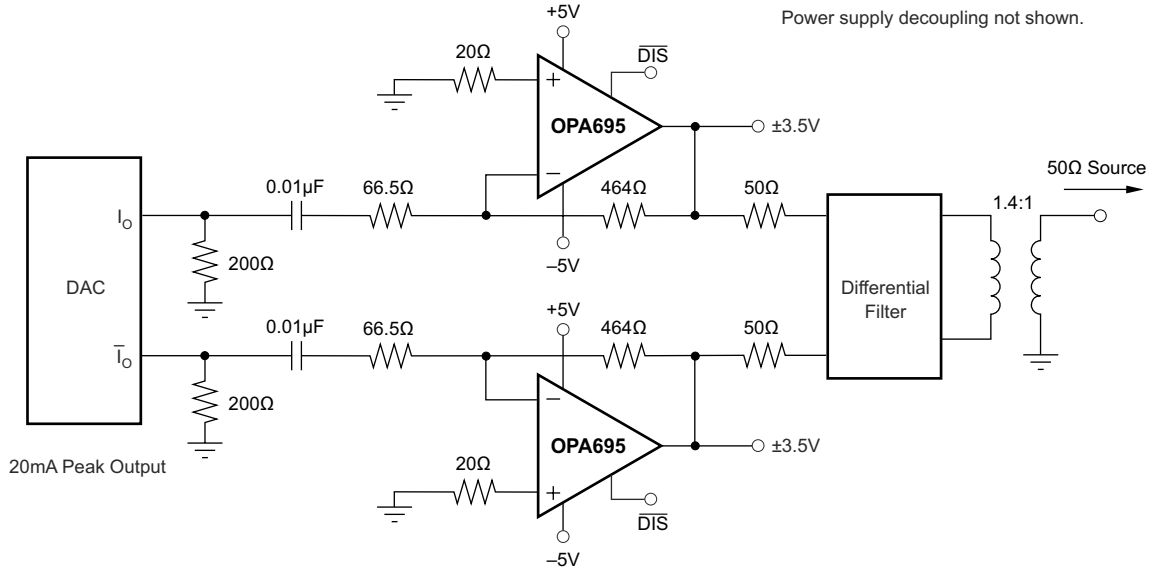


图 7-7. 大功率、宽带交流耦合任意波形驱动器

7.1.4 差分 I/O 应用

在单放大器运行中，OPA695 提供非常低的三阶失真项，以及占主导地位的二阶失真。为了将失真降至最低，尤其是在需要差分输出的情况下，在差分 I/O 设计中运行两个 OPA695 器件可抑制这些偶数阶项、从而在高频率和高功率下提供极低的谐波失真。人们通常更喜欢将差分输出用于高性能 ADC，双绞线驱动和混频器接口。差分 I/O 的两种基本方法是非反相或反相配置。由于输出是差分输出，因此信号极性在一定程度上无意义；因为此处的非反相和反相术语适用于将输入用于两个 OPA695 的情况。每个方法各有其优缺点。图 7-8 显示了非反相差分 I/O 应用的基本起点。

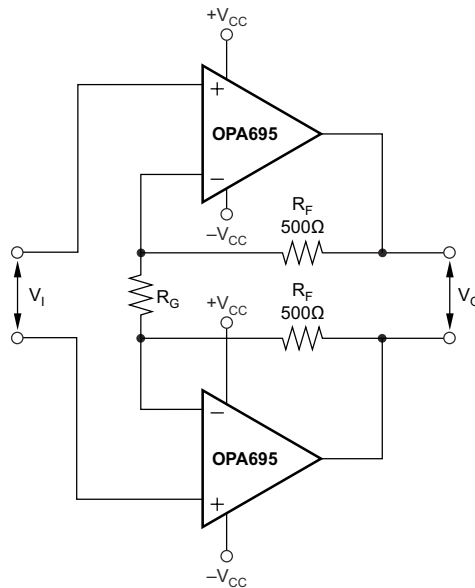


图 7-8. 非反相输入差分 I/O 放大器

这种方法使源端接阻抗与信号增益无关。例如，可以在直接连接到非反相输入的信号路径中加入简单的差分滤波器，无需与增益设置交互。用于图 7-8 电路的差分信号增益是：

$$A_D = 1 + 2 \times R_F / R_G \quad (5)$$

由于 OPA695 是电流反馈放大器，因此带宽主要由反馈电阻器值控制：图 7-8 显示了 $500\ \Omega$ 的典型值。但是，可以仅使用 R_G 电阻器调整差分增益，这使得调整具有相当大的自由度。 R_G 可以是一个无功网络，为差分频率响应提供隔离式整形。交流耦合应用通常包括一个与 R_G 串联的阻断电容器。该阻断电容器在低频时将增益降低到 $+1V/V$ ，在频率较高时升高到之前所示的 A_D 表达式。

图 7-9 展示了配置为反相放大器的差分 I/O 级。在这种情况下，增益电阻器 (R_G) 成为电源的输入电阻的一部分。该配置提供优于非反相配置的噪声性能，但限制了将输入阻抗与增益分别设置的灵活性。

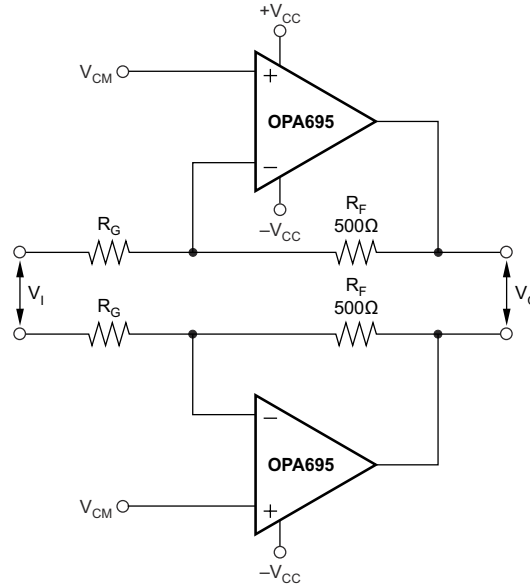


图 7-9. 反相输入差分 I/O 放大器

两个非反相输入提供了简单的共模控制输入，尤其是在电源通过阻断电容器或变压器进行交流耦合的情况下。无论是哪种情况，两个非反相输入上的共模输入电压的输出引脚增益仍然为 $+1V/V$ ，可以轻松地对单电源运行进行共模控制。在此配置中，OPA695 将反馈限制到 $500\text{-}\Omega$ 区域，以实现理想频率响应。 R_F 固定的情况下，输入电阻器可以调整为所需的增益，亦可以改变输入阻抗。该电路从输入到输出的高频共模增益与信号增益相同。同样，如果源包括不需要的共模信号，则可以在输入端使用阻断电容器（用于低频和直流共模）或变压器耦合来抑制该信号。图 7-9 电路的差分信号增益是：

$$A_D = R_F / R_G \quad (6)$$

使用此配置可抑制二次谐波，仅将三次谐波项保留为输出 SFDR 的限制。反相配置的更高转换率还扩展了全功率带宽和低互调失真范围，超过了图 7-8 电路的性能带宽。

7.2 典型应用

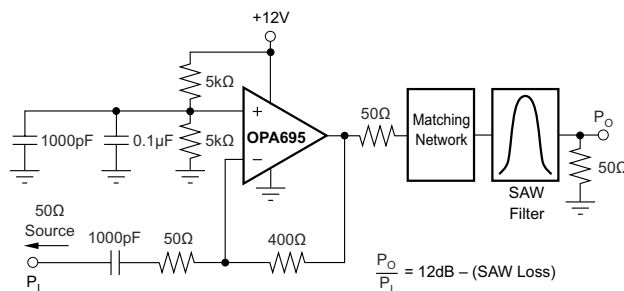


图 7-10. 中频 (IF) 放大器驱动声表面波 (SAW) 滤波器

7.2.1 设计要求

7.2.1.1 SAW 滤波器缓冲器

中频条带中的一项常见要求是用足够的增益缓冲混频器的输出，以补偿窄带 SAW 滤波器的插入损耗。图 7-10 显示了驱动 SAW 滤波器的一种可能配置。图 7-11 显示了 $50\ \Omega$ 负载时的截距。该电路在反相模式下以 -8V/V 的电压增益运行，使用增益设置电阻器提供 $50\ \Omega$ 输入匹配，针对最大带宽（在本例中为 700MHz ）优化了反馈，并通过 $50\ \Omega$ 输出电阻器驱动到 SAW 滤波器输入端的匹配网络。如果 SAW 滤波器产生 12dB 的插入损耗，并会在 SAW 滤波器的通带中向 SAW 输出端的 $50\ \Omega$ 负载（这可能是下一个中频放大器或混频器的输入阻抗）提供 0dB 的净增益。在此应用中使用 OPA695 会将第一个混频器与 SAW 滤波器的阻抗隔离，并在 SAW 滤波器带宽中提供非常低的双音三阶杂散水平。反相运行可提供最宽带宽，增益高达 -12V/V (15.6dB)。同相运行在增益设置高于该值时可提供更高的带宽，但截距和噪声系数性能也略有下降。

7.2.2 详细设计过程

设计过程从计算所需的信号增益和信号摆幅开始。确定增益和摆幅要求后，选择合适的放大器以及所需的电源电压。由于 $50\ \Omega$ 的输入阻抗，增益和输入阻抗需要 $400\ \Omega$ 的反馈电阻值。

在此应用中，电源电压为 12V 且是单端电源。为了提供适当的直流工作点，使用电阻分压器将中间电源电压施加到非反相输入。该电阻分压器由两个 1% 精度 $5\text{k}\ \Omega$ 电阻器和两个陶瓷旁路电容器组成这些元件为非反相输入提供精确的低交流阻抗基准电压。反相输入只需一个交流耦合电容器来将 6V 工作电压与信号源隔离。本例使用了一个 1000pF 的陶瓷电容器。

图 7-10 中的电路显示了 $50\ \Omega$ 的输出电阻值。调整该电阻以适应 SAW 输入阻抗。可能还需要其他 L/C 组件；有关更多详细信息，请参阅 SAW 制造商的设计指南。

7.2.3 应用曲线

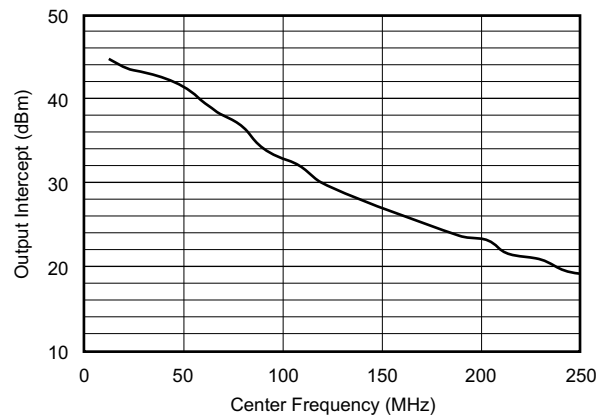


图 7-11. 二音、三阶互调截取

7.3 电源相关建议

高速放大器需要低电感电源布线和低等效串联电阻 (ESR) 旁路电容器。如果可能, 在印刷电路板设计中同时使用电源平面和接地平面, 并保持电源平面靠近电路板层叠中的接地平面。将电源电压设置在期望的放大器输出电压中心, 因此对于以接地为基准的输出信号, 需要分路供电。使用 5V 至 12V 的电源电压

7.4 布局

7.4.1 布局指南

为了使用 OPA695 等高频放大器实现最佳性能, 需要特别注意电路板布局寄生效应和外部元件类型。优化性能的建议包括:

- **尽可能减小所有信号 I/O 引脚的连接到任何交流接地端的寄生电容。**输出引脚和反相输入引脚上的寄生电容可能导致不稳定; 在同相输入端, 寄生电容可与源阻抗发生反应, 造成意外的频带限制。为了减少不必要的电容, 信号 I/O 引脚周围的窗口应在所有接地平面和电源平面中打开。否则, 请保持电路板上其他位置的接地平面和电源平面完好无损。
- **尽可能减小电源引脚到高频 0.1 μ F 去耦电容器的距离 (< 0.25")。**在器件引脚上, 确保接地平面和电源平面布局不靠近信号 I/O 引脚。避免电源布线和接地布线过于狭窄, 以便尽可能减小引脚和去耦电容器之间的电感。电源连接应始终与这些电容器解耦。两个电源 (适用于双极性工作模式) 之间的可选电源解耦电容器可改善二次谐波失真性能。在主电源引脚上使用较大的 (2.2 μ F 至 6.8 μ F) 去耦电容器, 该去耦电容器应在较低频率有效。可将这些去耦电容器放得离器件远一些, 并可在 PCB 同一区域内的多个器件之间共享这些电容器。
- **谨慎选择和放置外部器件有助于确保 OPA695 的高频性能。**使用低电抗类型的电阻器。表面贴装式电阻器最适合, 并可实现更紧密的总体布局。金属膜和碳成分的轴向引线电阻器也可以提供良好的高频性能。尽可能缩短引线和 PCB 走线。切勿在高频应用中使用绕线式电阻器。由于输出引脚和反相输入引脚对寄生电容极为敏感; 因此务必将反馈电阻器和串联输出电阻器 (如有) 尽可能靠近输出引脚放置。将其他网络组件 (例如同相输入终端电阻器) 放置在封装附近。在允许双面组件安装的情况下, 将反馈电阻器直接放置在电路板另一面封装下面, 即输出引脚和反相输入引脚之间。频率响应主要由反馈电阻值决定。增大该值会降低带宽, 而减小该值会导致峰值更高的频率响应。402 Ω 反馈电阻器 (在 ± 5 V 电源上增益为 +8 的典型特性规格中使用) 是良好的设计起点。请注意, 单位增益跟随器应用需要一个 523 Ω 反馈电阻器, 而不是直接短路。即使在单位增益跟随器配置中, 电流反馈运算放大器也需要一个反馈电阻器来控制稳定性。
- **与电路板上其他宽带器件的连接可以使用较短的直接走线或通过板载传输线进行。**对于短连接, 应考虑将布线和下一个器件的输入视为集总容性负载。应使用相对较宽的布线 (50 密耳至 100 密耳), 最好在走线周围打开接地平面和电源平面。估算总电容负载并设置根据隔离电阻与电容负载特性的串联隔离电阻。如果需要很长的走线, 并且可以接受双端接传输线固有的 6dB 信号损耗, 则可以使用微带或带状线技术来实施匹配阻抗传输线 (有关微带和带状线布局技术, 请参阅 ECL 设计手册)。电路板上通常不需要 50 Ω 的环境。实际上, 较高阻抗的环境可以改善失真 (另请参阅失真与负载关系图。) 定义特性电路板走线阻抗 (基于电路板材料和走线尺寸) 后, 在 OPA695 输出端的走线中使用匹配的串联电阻器。还在目标器件的输入上使用终端分流电阻器。请记住, 端接阻抗是分流电阻器和目标器件输入阻抗的并联组合; 将该总有效阻抗设置为与引线阻抗相匹配。凭借 OPA695 的高输出电压和电流能力, 可将多个目标器件视为单独的传输线, 每条传输线都有串联和并联终端。如果不能接受双端接传输线的 6dB 衰减, 则只能在源端对长走线进行串联短接。在本例中, 应将布线视为电容负载, 并根据隔离电阻与电容负载特性设置串联隔离电阻。该设置不能保持信号完整性以及双端接线路。如果目标器件的输入阻抗较低, 则由于连接到端接阻抗的串联输出会形成分压器, 因此会发生一定程度的信号衰减。
- **建议不要插入 OPA695 之类的高速器件。**由插座引起的额外引线长度和引脚间电容可能会造成麻烦的寄生网络, 从而几乎不可能实现平稳的频率响应。通过将 OPA695 直接焊接到电路板上可获得最佳效果。

7.4.2 布局示例

如 [节 7.4.1](#) 中详细介绍和 [图 7-12](#) 中所示, 将输入端接电阻器、输出电阻器和旁路电容器放置在靠近放大器的位置。将电源平面和接地平面放置在放大器下方, 但确保在输入和输出引脚下方移除这些平面, 如 [图 7-12](#) 所示。

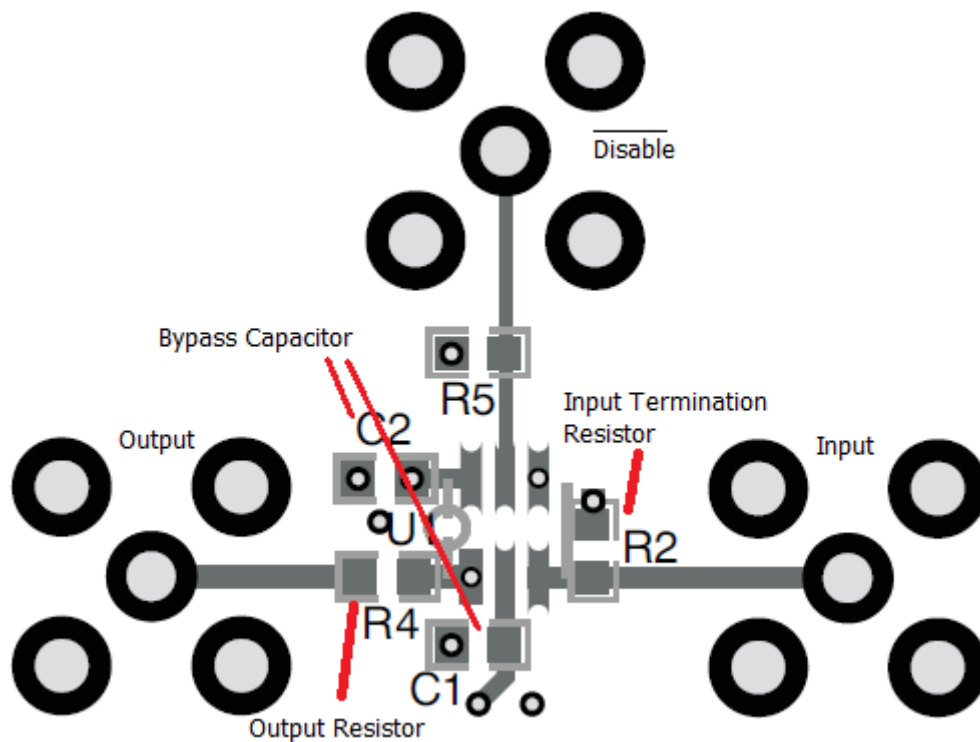


图 7-12. SBOS293 布局

8 器件和文档支持

8.1 器件支持

8.1.1 设计工具

8.1.1.1 演示装置

我们提供两块印刷电路板 (PCB)，可帮助初步评估在两个封装选项中使用 OPA695 时的电路性能。两块电路板都作为空白 PCB 免费提供，并随附一份用户指南。表 8-1 显示了这些装置的摘要信息。

表 8-1. 演示板

产品	封装	订购号	用户指南 文献编号
OPA695ID	VSSOP-8	DEM-OPA-SO-1B	SBOU026
OPA691IDBV	SOT23-6	DEM-OPA-SOT-1B	SBOU027

可在德州仪器 (TI) 网站 (www.ti.com) 上的 [OPA695 产品文件夹](#) 下申请这些演示装置。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[焊接的绝对最大额定值](#)
- 德州仪器 (TI)，[电流反馈运算放大器应用电路指南，应用注释 OA-07](#)
- 德州仪器 (TI)，[应用宽带电流反馈放大器中的常见失误，应用注释 OA-15](#)
- 德州仪器 (TI)，[Comlinear 放大器的噪声分析，应用注释 OA-12](#)
- 德州仪器 (TI)，[半导体和 IC 封装热指标](#)

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision I (October 2024) to Revision J (March 2024) Page

• 添加了 DSG (WSON, 8) 封装和相关内容	1
-----------------------------------	---

Changes from Revision H (April 2015) to Revision I (October 2024) Page

• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 将绝对最大额定值中的电源电压规格从 $\pm 6.5V$ 更改为 $13V$	4
• 更新了绝对最大额定值中的脚注，添加了阐述内容	4
• 在绝对最大额定值中添加了连续输入电流规格	4
• 删除了 ESD 额定值中的机器模型 (MM) 规格	4
• 更新了热性能信息中 D 和 DBV 封装的热性能规格	4
• 删除了所有电气特性表中 $T_A = 0^{\circ}C$ 至 $+70^{\circ}C$ 规格	5
• 删除了电气特性：交流性能部分中的最小、最大和过温规格	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $G = +1V/V$ 时的 SSBW 从 $1700MHz$ 更改为 $1900MHz$	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $G = +2V/V$ 时的 SSBW 从 $1400MHz$ 更改为 $900MHz$	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $G = +8V/V$ 时的典型 SSBW 从 $450MHz$ 更改为 $600MHz$	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $G = +16V/V$ 时的 SSBW 从 $350MHz$ 更改为 $500MHz$	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $0.2dB$ 增益平坦度的带宽从 $320MHz$ 更改为 $120MHz$	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将增益为 $+1V/V$ 时的典型峰值从 $4.6 dB$ 更改为 $3.7dB$	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $G = 8V/V$ 时的 LSBW 从 $450MHz$ 更改为 $510MHz$	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $G = -8V/V$ 时的典型压摆率从 $4300V/\mu s$ 更改为 $5000V/\mu s$	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $G = +8V/V$ 时的典型压摆率从 $4300V/\mu s$ 更改为 $5000V/\mu s$	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $V_O = 0.5V$ 阶跃时的上升和下降时间从 $0.8ns$ 更改为 $0.65ns$	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $V_O = 4V$ 阶跃时的上升和下降时间从 $1ns$ 更改为 $0.7ns$	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将“稳定时间为 $10ns$ ，精度为 0.5% ”更改为“稳定时间为 $10ns$ ，精度为 0.1% ”	5
• 删除了电气特性表中稳定时间精度为 0.02% 和 0.1%	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $R_L = 100\Omega$ 时的典型二阶谐波失真从 $-65dBc$ 更改为 $-75dBc$	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $R_L = 100\Omega$ 时的典型三阶谐波失真从 $-86dBc$ 更改为 $-92dBc$	5
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型输入电压噪声从 $1.8nV/\sqrt{Hz}$ 更改为 $2nV/\sqrt{Hz}$	5

- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型非反相输入电流噪声从 $18pA/\sqrt{Hz}$ 更改为 $14pA/\sqrt{Hz}$ 5
- 删除了所有电气特性中的差分增益和差分相位规格..... 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型开环互阻抗增益从 $85k\Omega$ 更改为 $300k\Omega$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型反相输入偏置电流从 $\pm 20\mu A$ 更改为 $\pm 5\mu A$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，添加平均反相输入偏置电流漂移的典型规格 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型共模输入范围从 $\pm 3.3V$ 更改为 $\pm 3.4V$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型共模抑制比从 $56dB$ 更改为 $65dB$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将非反相输入阻抗从 $280\parallel 1.2(k\Omega\parallel pF)$ 更改为 $450\parallel 2(k\Omega\parallel pF)$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将反相输入电阻从 29Ω 更改为 20Ω 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将无负载最小输出电压摆幅从 $\pm 4V$ 更改为 $\pm 3.95V$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将无负载典型输出电压摆幅从 $\pm 4.2V$ 更改为 $\pm 4.05V$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $T_A = -40^\circ C$ 至 $+85^\circ C$ 时的无负载最小输出电压摆幅从 $\pm 3.9V$ 更改为 $\pm 3.85V$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $R_L = 100\Omega$ 时的最小输出电压摆幅从 $\pm 3.7V$ 更改为 $\pm 3.65V$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $R_L = 100\Omega$ 时的典型输出电压摆幅从 $\pm 3.9V$ 更改为 $\pm 3.75V$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $R_L = 100\Omega$ 、 $T_A = -40^\circ C$ 至 $+85^\circ C$ 时的最小输出电压摆幅从 $\pm 3.6V$ 更改为 $\pm 3.55V$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型输出拉电流从 $120mA$ 更改为 $140mA$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型输出拉电流从 $-120mA$ 更改为 $-140mA$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将闭环输出阻抗从 0.04Ω 更改为 0.02Ω 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型静态电流从 $12.9mA$ 更改为 $14mA$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将最小和最大静态电流从 $12.6mA$ 和 $13.3mA$ 更改为 $11.7mA$ 和 $15.6mA$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $T_A = -40^\circ C$ 至 $+85^\circ C$ 时的最小和最大静态电流从 $11mA$ 和 $14.1mA$ 更改为 $10mA$ 和 $18mA$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型负电源抑制比从 $55dB$ 更改为 $72dB$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将最小断电静态电流从 $-170\mu A$ 更改为 $200\mu A$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型断电静态电流从 $-100\mu A$ 更改为 $160\mu A$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $T_A = -40^\circ C$ 至 $+85^\circ C$ 时的最小断电静态电流从 $-192\mu A$ 更改为 $210\mu A$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将禁用时间从 $1\mu s$ 更改为 $4\mu s$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将使能时间从 $25ns$ 更改为 $80ns$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将禁用输出电容从 $4pF$ 更改为 $2.5pF$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型使能电压阈值从 $3.3V$ 更改为 $3V$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型禁用电压阈值从 $1.8V$ 更改为 $2.3V$ 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型禁用控制引脚输入偏置电流从 $75\mu A$ 更改为 $95\mu A$ 5
- 更新了电气特性中与测试电平相关的脚注和电流极性脚注..... 5
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $G = 1V/V$ 时的 SSBW 从 $1400MHz$ 更改为 $1200MHz$ 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $G = 2V/V$ 时的 SSBW 从 $960MHz$ 更改为 $700MHz$ 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $G = 8V/V$ 时的典型 SSBW 从 $395MHz$ 更改为 $500MHz$ 7

- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $G = 16V/V$ 时的典型 SSBW 从 235MHz 更改为 410MHz 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 0.2dB 增益平坦度的带宽从 230MHz 更改为 110MHz 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将增益为 +1V/V 时的典型峰值从 1 dB 更改为 2.2dB 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $G = 8V/V$ 时的 LSBW 从 310MHz 更改为 430MHz 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $G = +8V/V$ 时的典型压摆率从 1700V/ μs 更改为 2500V/ μs 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $V_O = 0.5V$ 阶跃时的上升和下降时间从 1ns 更改为 0.7ns 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $V_O = 2V$ 阶跃时的上升和下降时间从 1ns 更改为 0.8ns 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将“稳定时间为 10ns，精度为 0.5%”更改为“稳定时间为 10ns，精度为 0.1%” 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $R_L = 100 \Omega$ 时的典型二阶谐波失真从 -62dBc 更改为 -69dBc 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $R_L = 500 \Omega$ 时的典型二阶谐波失真从 -70dBc 更改为 -68dBc 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $R_L = 100 \Omega$ 时的典型三阶谐波失真从 -66dBc 更改为 -62dBc 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $R_L = 500 \Omega$ 时的典型三阶谐波失真从 -65dBc 更改为 -63dBc 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型输入电压噪声从 1.8nV/ $\sqrt{Hz}$ 更改为 1.9nV/ $\sqrt{Hz}$ 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型非反相输入电流噪声从 18pA/ $\sqrt{Hz}$ 更改为 14pA/ $\sqrt{Hz}$ 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型开环互阻抗增益从 70k Ω 更改为 250k Ω 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型非反相输入偏置电流从 $\pm 5 \mu A$ 更改为 $\pm 15 \mu A$ 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型共模输入范围（正）从 3.3V 更改为 3.4V 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型共模输入范围（负）从 1.7V 更改为 1.6V 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型共模抑制比从 54dB 更改为 65dB 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将非反相输入阻抗从 280 || 1.2 (k Ω || pF) 更改为 250 || 2 (k Ω || pF) 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将反相输入电阻从 32 Ω 更改为 21 Ω 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将无负载典型输出电压（正）从 4.2V 更改为 4.05V 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将无负载最小输出电压摆幅（正）从 4V 更改为 3.95V 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $T_A = -40^\circ C$ 至 $+85^\circ C$ 时的无负载最小输出电压摆幅（正）从 3.8V 更改为 3.75V 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将无负载最大输出电压摆幅（负）从 1V 更改为 1.05V 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将无负载典型输出电压摆幅（负）从 0.8V 更改为 0.9V 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $T_A = -40^\circ C$ 至 $+85^\circ C$ 时的无负载最大输出电压摆幅（负）从 1.2V 更改为 1.25V 7
- 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型输出拉电流从 90mA 更改为 100mA 7

• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $T_A = -40^\circ C$ 至 $+85^\circ C$ 时的最小输出灌电流从 $-66mA$ 更改为 $-60mA$	7
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将闭环输出阻抗从 0.05Ω 更改为 0.02Ω	7
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将最大静态电流从 $12mA$ 更改为 $14.4mA$	7
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将 $T_A = -40^\circ C$ 至 $+85^\circ C$ 时的最大静态从 $12.9mA$ 更改为 $17.1mA$	7
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型负电源抑制比从 $51dB$ 更改为 $69dB$	7
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型断电静态电流从 $-95 \mu A$ 更改为 $120 \mu A$...	7
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将禁用时间从 $1 \mu s$ 更改为 $5 \mu s$	7
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将使能时间从 $25ns$ 更改为 $80ns$	7
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型使能电压阈值从 $3.3V$ 更改为 $3.1V$	7
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型禁用电压阈值从 $1.8V$ 更改为 $2.4V$	7
• 在电气特性： $V_S = \pm 5V$ 、OPA695D、OPA695DBV 表中，将典型禁用控制引脚输入偏置电流从 $75 \mu A$ 更改为 $95 \mu A$	7
• 删除了典型特性中的复合视频 $dG/d\phi$ 图： $V_S = \pm 5V$ ，OPA695IDGK	23
• 删除了典型特性中的差分操作图： $V_S = \pm 5V$ ，OPA695IDGK 和差分小信号参数测量信息部分	23
• 删除了特性说明中的射频规格和应用、输入回波损耗 (S11)、输出回波损耗 (S22)、正向增益 (S21)、反向隔离和动态范围限制	30
• 删除了应用信息中的 SAW 滤波器缓冲器和 RGB 视频线路驱动器部分	33

Changes from Revision G (April 2009) to Revision H (April 2015)

Page

• 添加了 ESD 等级表、特性说明部分、器件功能模式、应用和实施部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分	1
--	---

Changes from Revision F (July 2006) to Revision G (April 2009)

Page

• 向封装订购信息表和电气特性表中的热阻规格添加了 DGK (MSOP-8) 封装	1
---	---

Changes from Revision E (March 2006) to Revision F (July 2006)

Page

• 将存储温度范围由 $-40^\circ C$ 至 $+125^\circ C$ 更改为 $-65^\circ C$ 至 $+125^\circ C$	4
--	---

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA695DSGR	Active	Production	WSO (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	O695
OPA695DSGR.B	Active	Production	WSO (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	O695
OPA695ID	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	OPA 695
OPA695IDBVR	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A71L
OPA695IDBVR.B	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A71L
OPA695IDBVT	Obsolete	Production	SOT-23 (DBV) 6	-	-	Call TI	Call TI	-40 to 85	A71L
OPA695IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	695
OPA695IDGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	695
OPA695IDGKT	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	695
OPA695IDGKT.A	Active	Production	VSSOP (DGK) 8	250 SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	695
OPA695IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 695
OPA695IDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 695

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

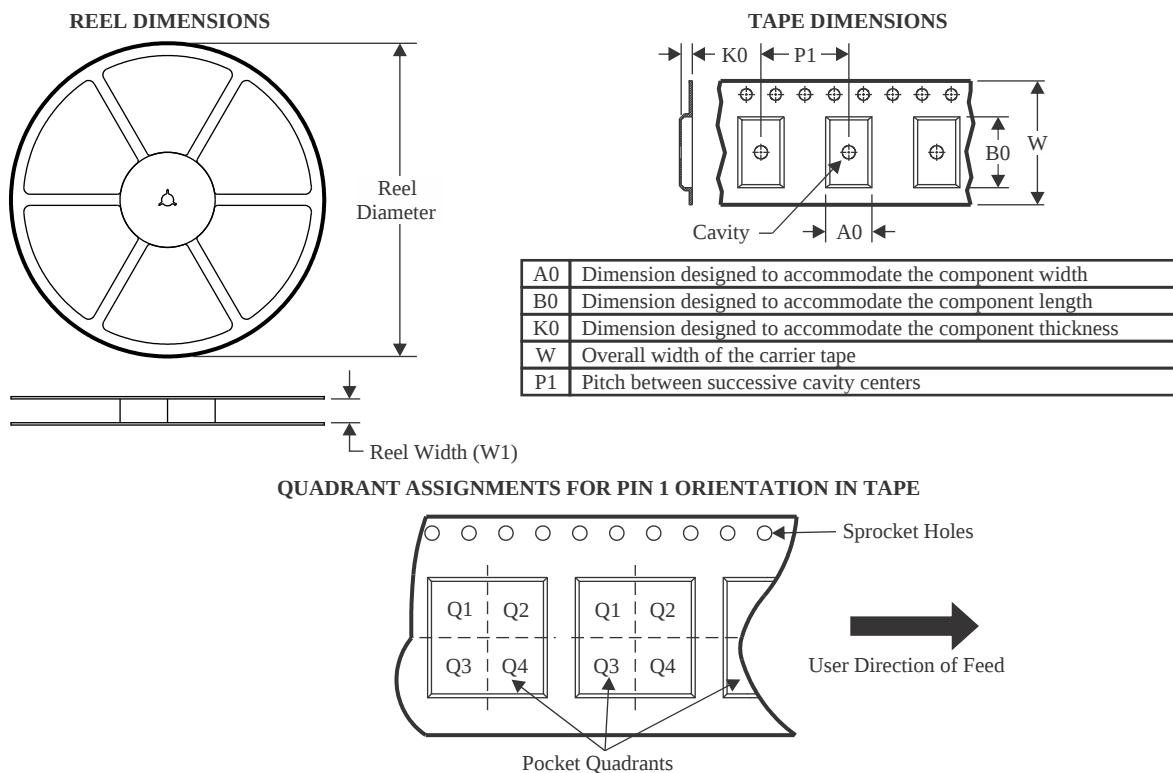
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

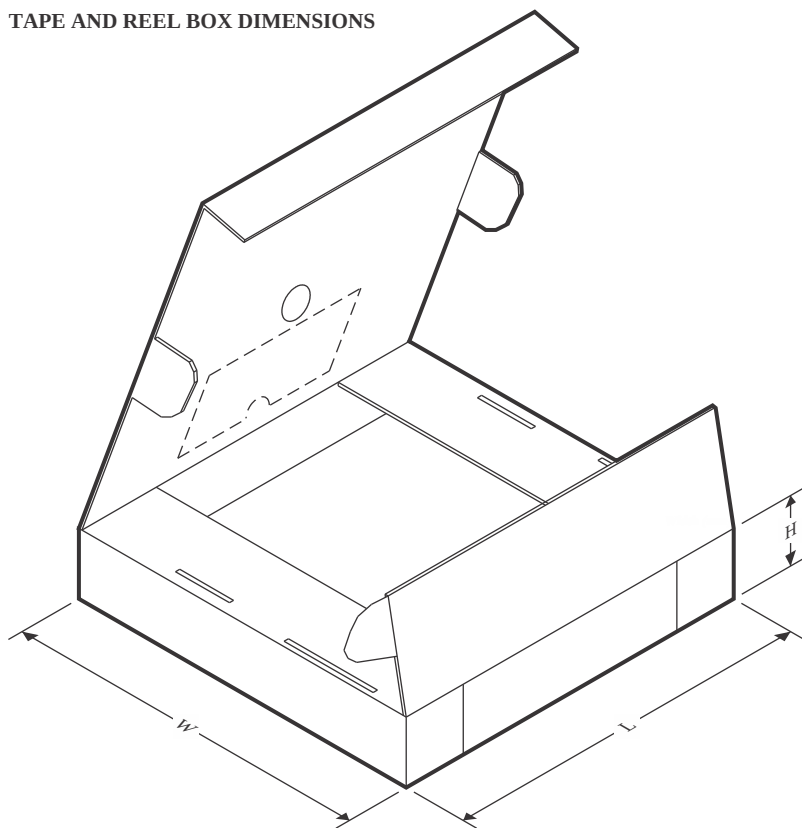
TAPE AND REEL INFORMATION



*All dimensions are nominal

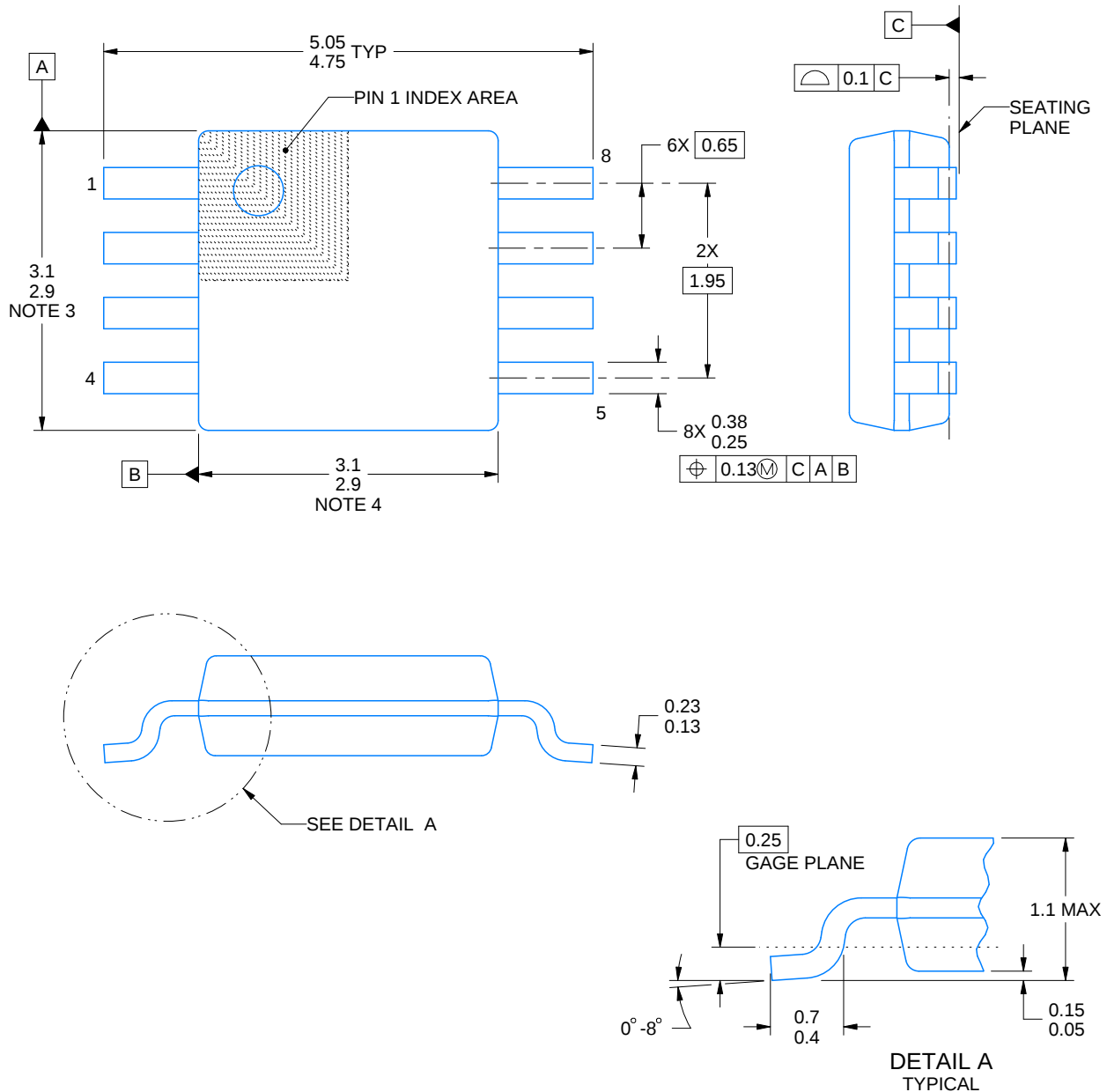
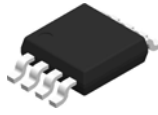
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA695DSGR	WSO	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA695IDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA695IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA695IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA695IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA695DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
OPA695IDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
OPA695IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA695IDGKT	VSSOP	DGK	8	250	213.0	191.0	35.0
OPA695IDR	SOIC	D	8	2500	353.0	353.0	32.0



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

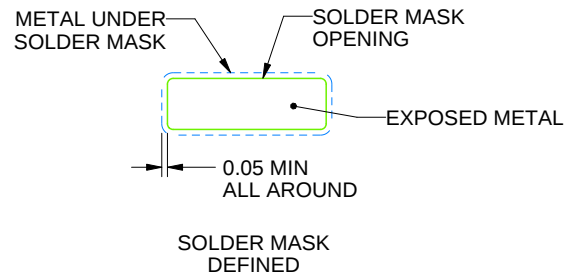
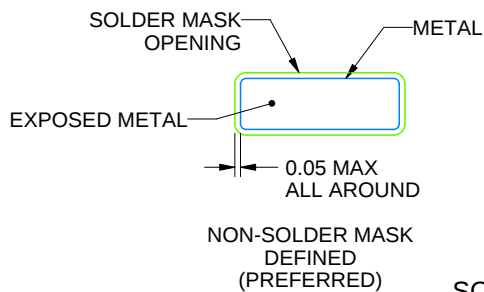
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



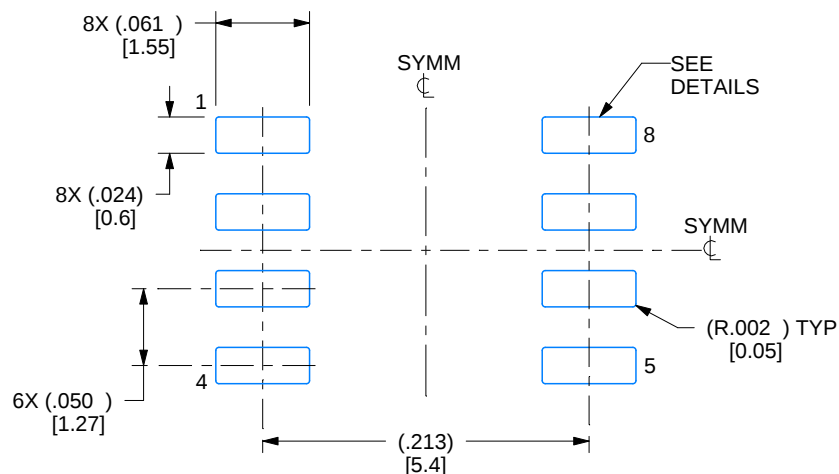
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

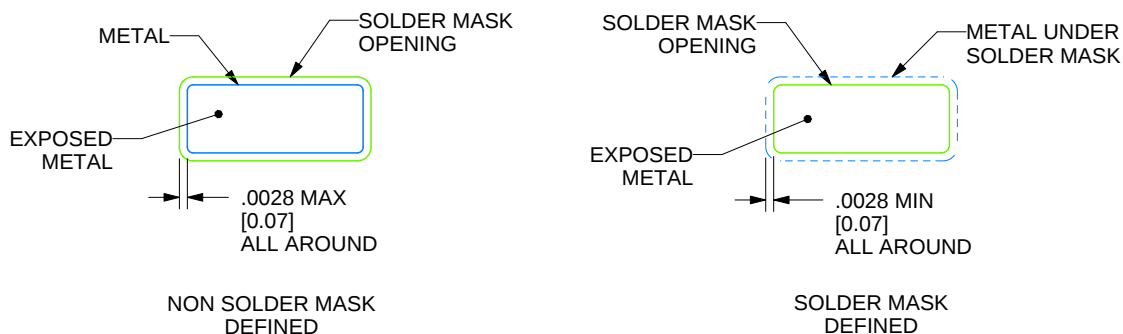
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

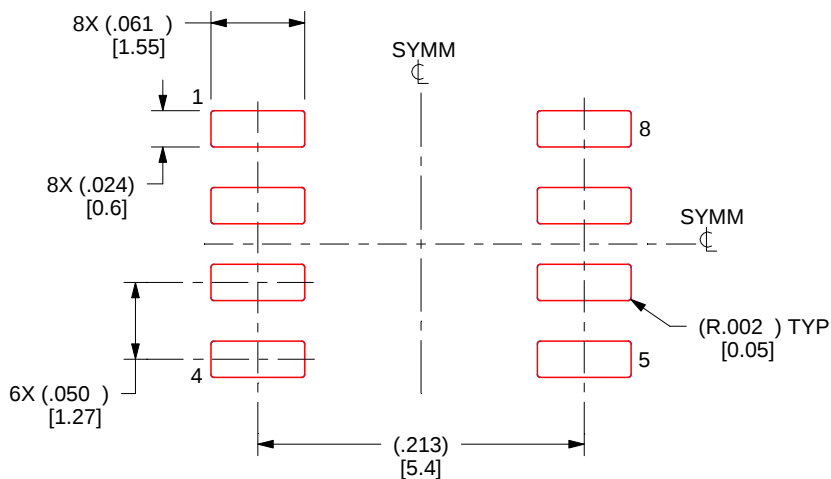
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



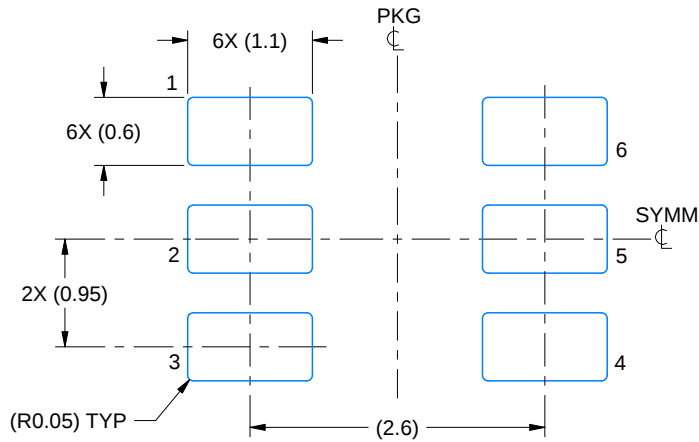
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

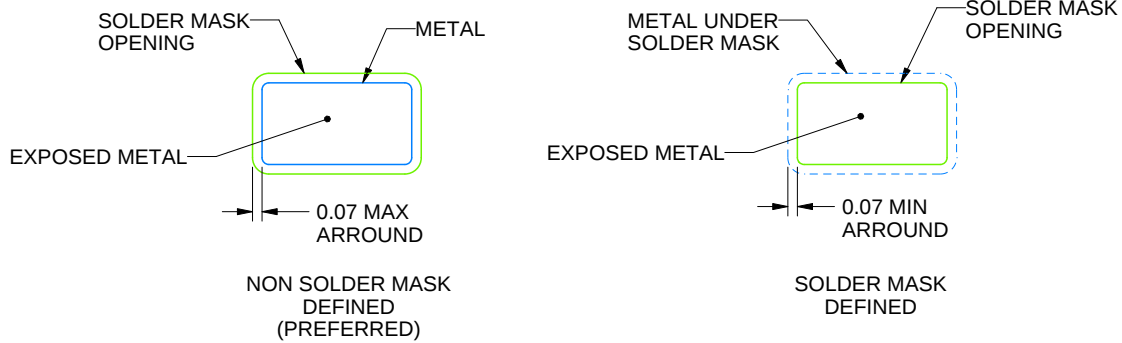
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

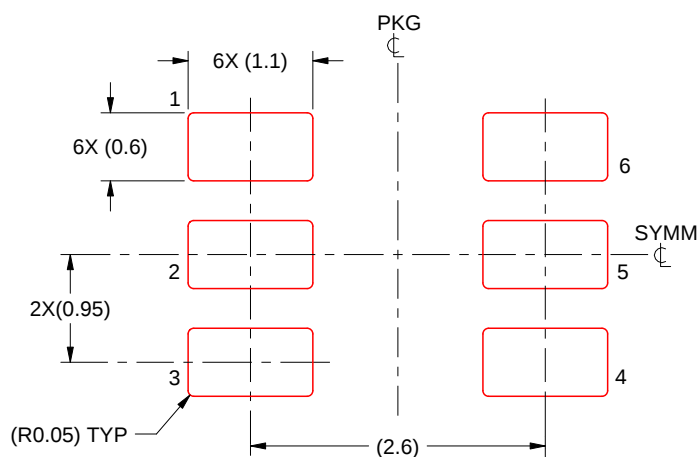
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

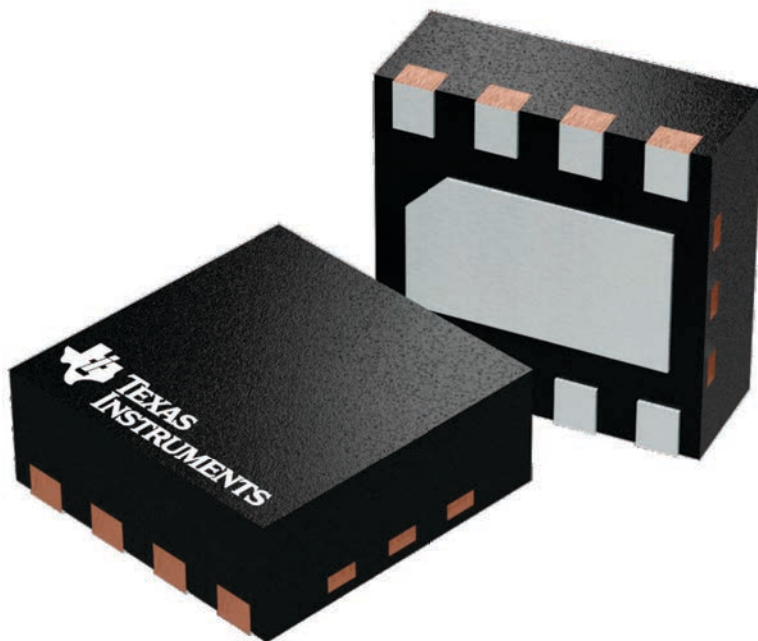
DSG 8

WSON - 0.8 mm max height

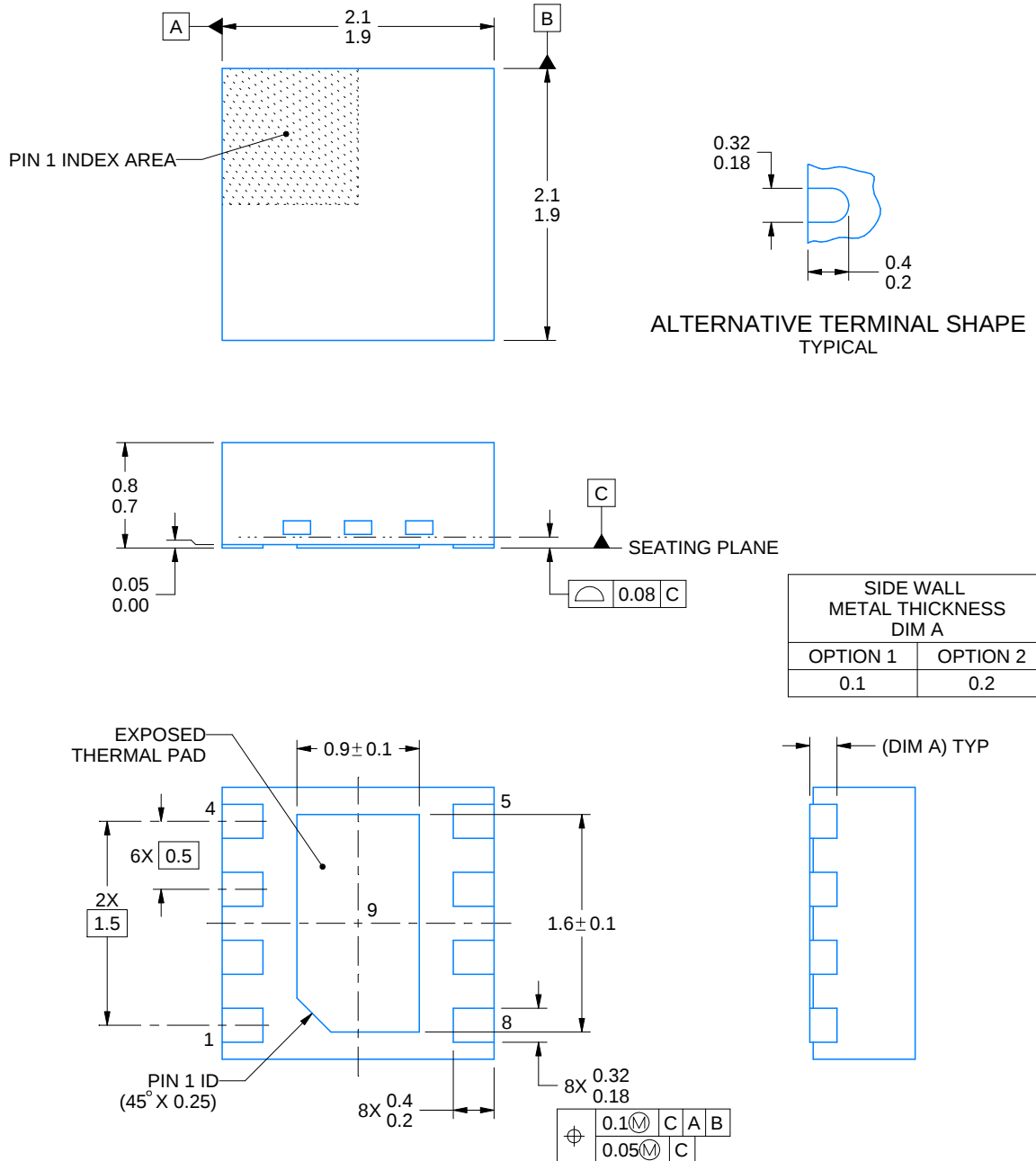
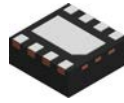
2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224783/A



4218900/E 08/2022

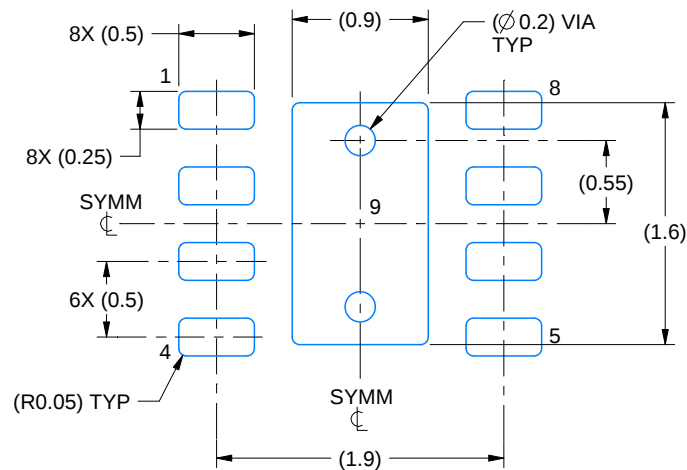
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

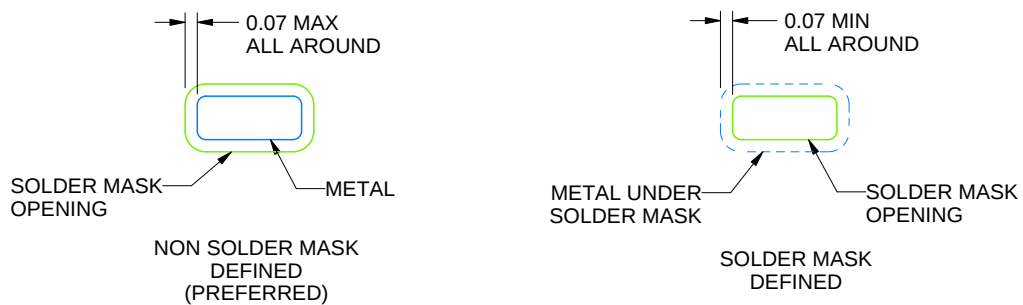
DSG0008A

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218900/E 08/2022

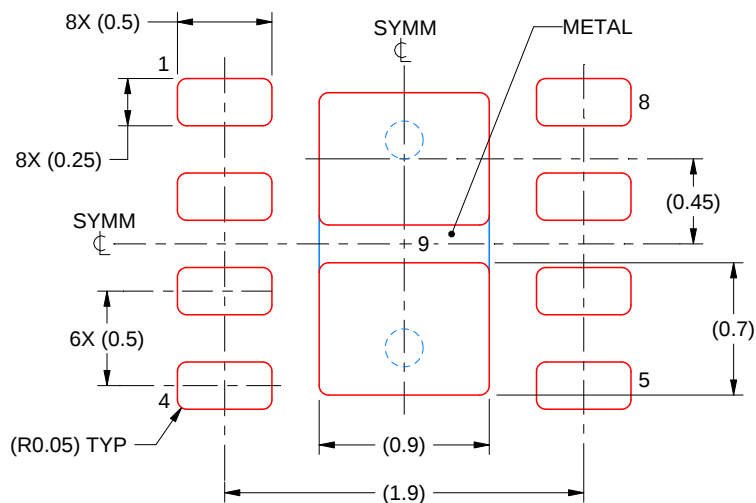
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月