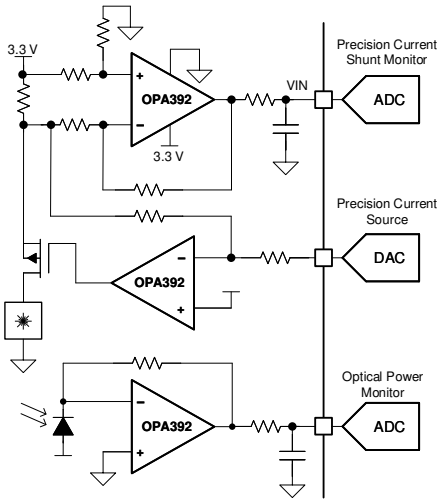
OPAx392 低失调电压、低噪声、低输入偏置电流、轨到轨 I/O、e-trim™ 精密运算放大器

1 特性

- 低失调电压：±10μV（最大值）
- 低温漂：±0.18μV/°C
- 低输入偏置电流：10fA
- 低噪声：10kHz 时为 4.4nV/ √Hz
- 低 1/f 噪声：2μVPP（0.1Hz 至 10Hz）
- 低电源电压运行范围：1.7V 至 5.5V
- 低静态电流：1.22mA
- 快速稳定：0.75μs（1V，0.1%）
- 快速压摆率：4.5V/μs
- 高输出电流：+65mA/–55mA 短路
- 增益带宽：13MHz
- 轨至轨输入和输出
- 额定温度范围：-40°C 至 +125°C
- EMI 和 RFI 已滤除的输入

2 应用

- 多参数患者监护仪
- 心电图 (ECG)
- 化学和气体分析仪
- 光学模块
- 模拟输入模块
- 过程分析（pH、气体、浓度、力和湿度）
- 气体检测仪
- 模拟安防摄像机
- 商用直流/直流
- 脉搏血氧仪
- 数据中心内部互联（长距离、水下）
- 数据采集 (DAQ)



OPAx392 在光学模块中的应用

3 说明

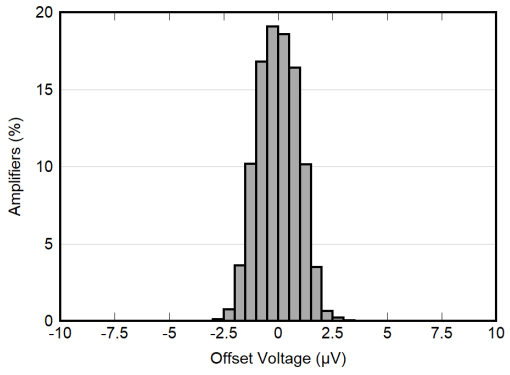
OPAx392 系列运算放大器（OPA392、OPA2392 和 OPA4392）具有超低失调电压、温漂以及输入偏置电流，可实现轨到轨输入和输出。除了精密直流精度，交流性能经优化可实现低噪声和快速稳定的瞬态响应。得益于这些特性，OPAx392 成为驱动高精度模数转换器 (ADC) 或缓冲高分辨率数模转换器 (DAC) 输出的理想选择。

OPAx392 采用 TI 的 e-trim™ 运算放大器技术，无需任何输入斩波或自动置零技术，即可实现超低失调电压以及失调电压温漂。此项技术可针对传感器输入或光电二极管电流至电压测量实现超低输入偏置电流，从而为光学模块或医疗仪表创建高性能跨阻级。

器件信息

器件型号(1)	通道数	封装(2)
OPA392	单通道	DBV（SOT-23，5）
	单通道	DCK（SC70，5）
	单通道	YBJ（DSBGA，6）
OPA2392	双通道	D（SOIC，8）
	双通道	DGK（VSSOP，8）
	双通道	DSG（WSON，8）
	双通道	YBJ（DSBGA，9）
OPA4392	四通道	PW（TSSOP，14）
	四通道	RTE（WQFN，16）(3)

(1) 具体请参阅节 4。
(2) 有关更多信息，请参阅 节 11。
(3) 预发布信息（非量产数据）。



OPAx392 输入失调电压分布

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较表.....2
5 引脚配置和功能.....3
6 规格.....6
6.1 绝对最大额定值.....6
6.2 ESD 等级.....6
6.3 建议运行条件.....6
6.4 OPA392 热性能信息.....7
6.5 OPA2392 热性能信息.....7
6.6 OPA4392 热性能信息.....7
6.7 电气特性.....8
6.8 典型特性.....11
7 详细说明.....19
7.1 概述.....19
7.2 功能方框图.....19
7.3 特性说明.....20
7.4 器件功能模式.....20
8 应用和实现.....21
8.1 应用信息.....21
8.2 典型应用.....21
8.3 电源相关建议.....24
8.4 布局.....24
9 器件和文档支持.....25
9.1 器件支持.....25
9.2 文档支持.....25
9.3 接收文档更新通知.....25
9.4 支持资源.....25
9.5 商标.....25
9.6 静电放电警告.....25
9.7 术语表.....26
10 修订历史记录.....26
11 机械、封装和可订购信息.....26

4 器件比较表

器件	通道数	关断	封装
OPA392	单通道	否	DBV（SOT-23，5）
		否	DCK（SC70，5）
		是	YBJ（DSBGA，6）
OPA2392	双通道	否	D（SOIC，8）
		否	DGK（VSSOP，8）
		否	DSG（WSON，8）
		是	YBJ（DSBGA，9）
OPA4392	四通道	否	PW（TSSOP，14）
		是	RTE（WQFN，16）(1)

(1) 预发布信息（非量产数据）。

Copyright © 2025 Texas Instruments Incorporated

5 引脚配置和功能

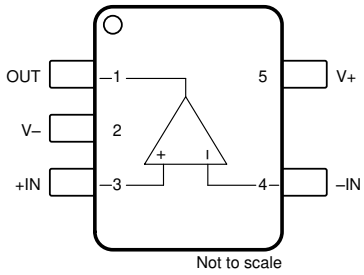


图 5-1. OPA392 DBV 封装，5 引脚 SOT-23（顶视图）

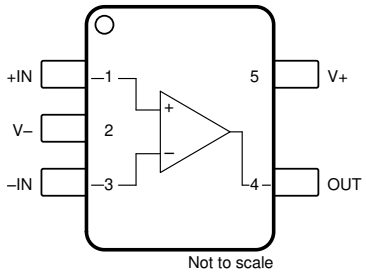


图 5-2. OPA392 DCK 封装，5 引脚 SC70（顶视图）

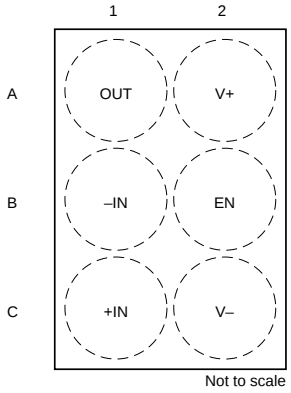


图 5-3. OPA392 YBJ 封装，6 引脚 DSBGA（顶视图）

表 5-1. 引脚功能：OPA392

引脚				类型	说明
名称	编号				
	DBV (SOT-23)	DCK (SC70)	YBJ (DSBGA)		
EN	—	—	B2	输入	使能引脚。高电平 = 已启用放大器。
–IN	4	3	B1	输入	反相输入
+IN	3	1	C1	输入	同相输入
OUT	1	4	A1	输出	输出
V–	2	2	C2	电源	负（最低）电源
V+	5	5	A2	电源	正（最高）电源

Copyright © 2025 Texas Instruments Incorporated

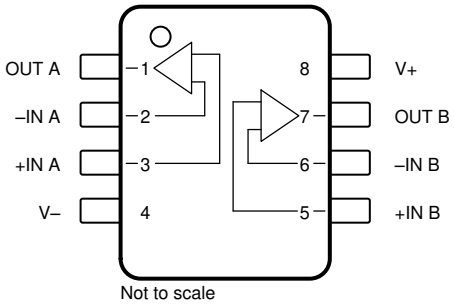


图 5-4. OPA2392 D 封装 8 引脚 SOIC 和 DGK 封装 8 引脚 VSSOP（顶视图）

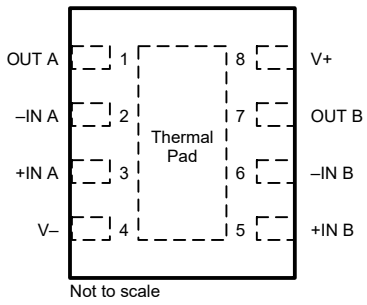


图 5-5. OPA2392 DSG 封装，8 引脚 WSON（带有外露散热焊盘）（顶视图）

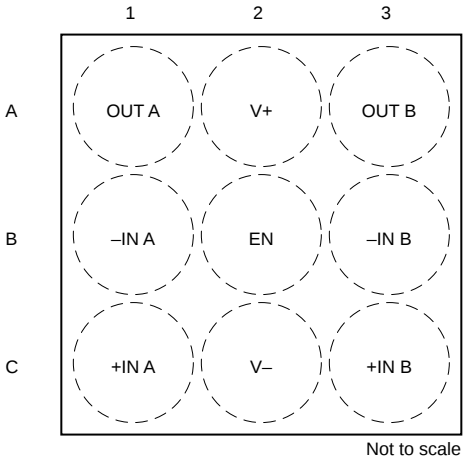


图 5-6. OPA2392 YBJ 封装，9 引脚 DSBGA（顶视图）

表 5-2. 引脚功能：OPA2392

引脚				类型	说明
名称	编号				
	D (SOIC)、DGK (VSSOP)	DSG (WSON)	YBJ (DSBGA)		
EN	—	—	B2	输入	使能引脚。高 = 启用两个放大器。
–IN A	2	2	B1	输入	反相输入，通道 A
+IN A	3	3	C1	输入	同相输入，通道 A
–IN B	6	6	B3	输入	反相输入，通道 B
+IN B	5	5	C3	输入	同相输入，通道 B
OUT A	1	1	A1	输出	输出，通道 A
OUT B	7	7	A3	输出	输出，通道 B
V–	4	4	C2	电源	负（最低）电源
V+	8	8	A2	电源	正（最高）电源
散热焊盘	—	散热焊盘	—	—	将散热焊盘连接至 V–

Copyright © 2025 Texas Instruments Incorporated

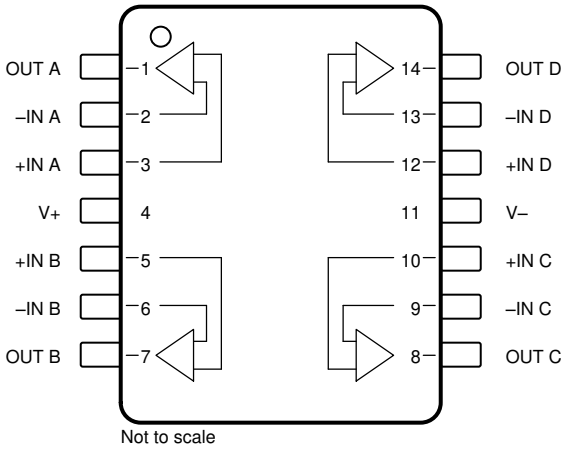


图 5-7. OPA4392 PW 封装，14 引脚 TSSOP（顶视图）

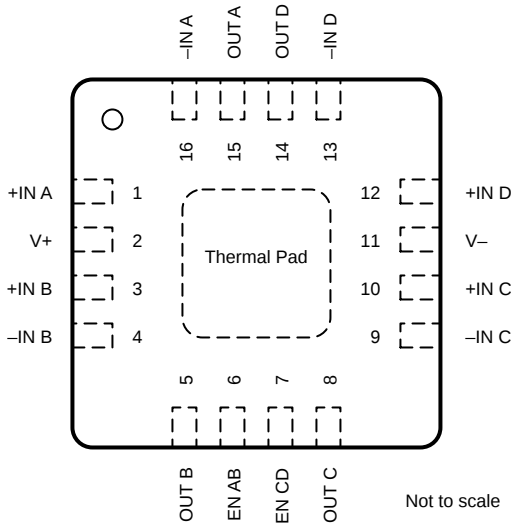


图 5-8. OPA4392 预发布封装，16 引脚 WQFN（顶视图）

表 5-3. 引脚功能：OPA4392

引脚			类型	说明
名称	编号			
	PW (TSSOP)	RTE (WQFN)		
EN AB	—	6	输入	启用 A 和 B 放大器的引脚。高电平 = 已启用放大器 A 和 B。
EN CD	—	7	输入	启用 C 和 D 放大器的引脚。高电平 = 已启用放大器 C 和 D。
–IN A	2	16	输入	反相输入，通道 A
+IN A	3	1	输入	同相输入，通道 A
–IN B	6	4	输入	反相输入，通道 B
+IN B	5	3	输入	同相输入，通道 B
–IN C	9	9	输入	反相输入，通道 C
+IN C	10	10	输入	同相输入，通道 C
–IN D	13	13	输入	反相输入，通道 D
+IN D	12	12	输入	同相输入，通道 D
OUT A	1	15	输出	输出，通道 A
OUT B	7	5	输出	输出，通道 B
OUT C	8	8	输出	输出，通道 C
OUT D	14	14	输出	输出，通道 D
散热焊盘	—	散热焊盘	电源	将散热焊盘连接至 V–
V–	11	11	电源	负（最低）电源
V+	4	2	电源	正（最高）电源

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)	单电源		6	V
		双电源		±3	
	输入电压，所有引脚	共模	(V–) – 0.5	(V+) + 0.5	V
		差分		(V+) – (V–) + 0.2	
	输入电流，所有引脚			±10	mA
	输出短路(2)		持续	持续	
T_A	工作温度		-55	150	°C
T_J	结温		-55	150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 接地短路，每个封装对应一个放大器。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_S	电源电压	单电源	1.7		5.5	V
		双电源	±0.85		±2.75	
T_A	额定温度		-40		125	°C

Copyright © 2025 Texas Instruments Incorporated

6.4 OPA392 热性能信息

热指标(1)		OPA392			单位
		DBV (SOT-23)	DCK (SC70)	YBJ (DSBGA)	
		5 引脚	5 引脚	6 引脚	
$R_{\theta JA}$	结至环境热阻	187.1	220.8	135.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	107.4	124.4	1.1	°C/W
$R_{\theta JB}$	结至电路板热阻	57.5	72.9	38.8	°C/W
Ψ_{JT}	结至顶部特征参数	33.5	46.1	0.4	°C/W
Ψ_{JB}	结至电路板特征参数	57.1	72.6	38.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

6.5 OPA2392 热性能信息

热指标(1)		OPA2392				单位
		D (SOIC)	DGK (VSSOP)	DSG (WSON)	YBJ (DSBGA)	
		8 引脚	8 引脚	8 引脚	9 引脚	
$R_{\theta JA}$	结至环境热阻	131.7	165	70.9	110.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	71.4	53	88.3	0.7	°C/W
$R_{\theta JB}$	结至电路板热阻	75.2	87	37.5	32.1	°C/W
Ψ_{JT}	结至顶部特征参数	21.8	4.9	2.9	0.3	°C/W
Ψ_{JB}	结至电路板特征参数	74.4	85	37.5	32.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	12.8	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

6.6 OPA4392 热性能信息

热指标(1)		OPA4392	单位
		PW (TSSOP)	
		14 引脚	
$R_{\theta JA}$	结至环境热阻	109.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	27.4	°C/W
$R_{\theta JB}$	结至电路板热阻	56.1	°C/W
Ψ_{JT}	结至顶部特征参数	1.5	°C/W
Ψ_{JB}	结至电路板特征参数	54.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2025 Texas Instruments Incorporated

6.7 电气特性

T_A = 25°C，V_S = 1.7V 至 5.5V（单电源）或 V_S = ±0.85V 至 ±2.75V（双电源），R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2，且 V_{OUT} = V_S/2（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_S = 5.0V			±1	±10	μV
			OPA2392D、OPA4392		±1	±20	
			OPA392YBJ、OPA2392YBJ		±1	±25	
		V_S = 5.0V，V_{CM} = (V+) – 200mV			±2	±30	
			OPA2392YBJ		±2	±85	
		V_S = 5.0V，T_A = –40°C 至 +125°C(1)				±100	
		V_{CM} = V–，T_A = –40°C 至 +125°C(1)	OPA392、OPA2392D、YBJ、OPA4392			±125	
			OPA2392DGK			±180	
dV_{OS}/dT	输入偏移电压漂移	V_S = 5.0V	T_A = 0°C 至 85°C		±0.16		μV/°C
			T_A = -40°C 至 +125°C(1)			±0.6	
			V_{CM} = 5.0V，T_A = –40°C 至 +125°C(1)		±0.18	±0.9	
PSRR	电源抑制比	V_{CM} = V–				±30	μV/V
			T_A = -40°C 至 +125°C(1)			±80	
输入偏置电流							
I_B	输入偏置电流(1)				±0.01	±0.8	pA
		T_A = -40°C 至 +85°C				±5	
		T_A = -40°C 至 +125°C				±30	
I_{OS}	输入失调电流(1)				±0.01	±0.8	pA
		T_A = -40°C 至 +85°C				±5	
		T_A = -40°C 至 +125°C				±30	
噪声							
	输入电压噪声	f = 0.1Hz 至 10Hz			2.0		μV_{PP}
			V_{CM} = (V+) – 0.3		3.2		
e_N	输入电压噪声密度	f = 10Hz			42		nV/√Hz
			V_{CM} = (V+) – 0.3		80		
		f = 1kHz			6.5		
			V_{CM} = (V+) – 0.3		10.4		
		f = 10kHz			4.4		
			V_{CM} = (V+) – 0.3		5.8		
i_N	输入电流噪声密度	f = 1kHz	OPA392DBV		70		fA/√Hz
			OPA392YBJ、OPA2392、OPA4392		25		
输入电压							
V_{CM}	共模电压范围			V–		V+	V
CMRR	共模抑制比	(V–) < V_{CM} < (V+) – 1.5V		75	120		dB
			T_A = -40°C 至 +125°C		113		
		(V–) < V_{CM} < (V+)，T_A = –40°C 至 +125°C(1)		66	97		
			V_S = 5.5V	88	111		
输入电容							
Z_{ID}	差分				10^{13} || 2.8		Ω || pF
Z_{ICM}	共模				10^{13} || 3.5		Ω || pF

Copyright © 2025 Texas Instruments Incorporated

6.7 电气特性（续）

T_A = 25°C，V_S = 1.7V 至 5.5V（单电源）或 V_S = ±0.85V 至 ±2.75V（双电源），R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2，且 V_{OUT} = V_S/2（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
开环增益							
A_{OL}	开环电压增益	V_S = 5.5V	(V–) + 50mV < V_{OUT} < (V+) – 50mV	115	132		dB
			(V–) + 100mV < V_O < (V+) – 100mV，R_L = 2kΩ	110	128		
			(V–) + 100mV < V_{OUT} < (V+) – 100mV，R_L = 2kΩ，T_A = –40°C 至 +125°C(1)	100			
		V_S = 1.7V	(V–) + 50mV < V_{OUT} < (V+) – 50mV，V_{CM} = (V+) – 1.15V	106	124		
			(V–) + 100mV < V_{OUT} < (V+) – 100mV，R_L = 2kΩ，V_{CM} = (V+) – 1.15V	106	124		
			(V–) + 100mV < V_{OUT} < (V+) – 100mV，R_L = 2kΩ，V_{CM} = (V+) – 1.15V，T_A = –40°C 至 +125°C(1)	100			
频率响应							
GBW	增益带宽积	A_V = 1000V/V			13		MHz
SR	压摆率	4V 阶跃，增益 = +1	下降		4.5		V/μs
			上升		3.5		
	相位裕度	C_L = 100pF	OPA392DBV、DCK，OPA2392DSG		45		°
			OPA392YBJ、OPA2392D、DGK、YBJ、OPA4392		35		
t_S	趋稳时间	精度为 0.1%，2V 阶跃，增益 = +1			0.75		μs
		精度为 0.01%，2V 阶跃，增益 = +1			1		
	过载恢复时间	V_{IN} × 增益 > V_S			0.45		μs
THD+N	总谐波失真 + 噪声	V_{OUT} = 1V_{RMS}，增益 = +1，f = 1kHz，V_{CM} = (V–) + 1.5V			-112		dB
					0.00025		%
输出							
	距离两个电源轨的电压输出摆幅	V_S = 1.7V				20	mV
			R_L = 2kΩ			30	
		V_S = 5.5V				20	
			R_L = 2kΩ			35	
I_{SC}	短路电流	灌电流，V_S = 5.5V			-55		mA
		拉电流，V_S = 5.5V			65		
R_O	开环输出阻抗	f = 1MHz			120		Ω
电源							
I_Q	每个放大器的静态电流	I_O = 0mA			1.22	1.4	mA
			T_A = -40°C 至 +125°C(1)			1.5	

Copyright © 2025 Texas Instruments Incorporated

6.7 电气特性（续）

T_A = 25°C，V_S = 1.7V 至 5.5V（单电源）或 V_S = ±0.85V 至 ±2.75V（双电源），R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2，且 V_{OUT} = V_S/2（除非另有说明）

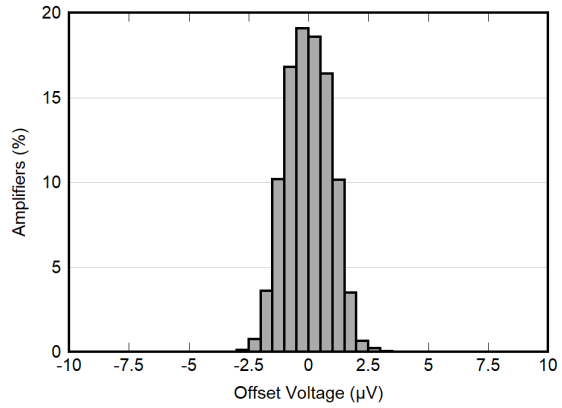
参数		测试条件	最小值	典型值	最大值	单位
关断（仅限 OPA392YBJ、OPA2392YBJ 和 OPA4392RTE）						
I_{QSD}	每个放大器的静态电流	所有放大器均为禁用状态，EN = V–		6		μA
V_{IH}	高电平输入电压	已启用放大器	(V+) – 0.5			V
V_{IL}	低电平输入电压	已禁用放大器			(V–) + 0.5	V
t_{ON}	放大器启用时间	G = 1，V_{OUT} = 0.9 × V_S/2，已启用两个放大器		9.5		μs
t_{OFF}	放大器禁用时间	G = 1，V_{OUT} = 0.1 × V_S/2，已禁用两个放大器		7.8		μs
	EN 引脚输入漏电流	V_{IH} = V+		0.02		μA
		V_{IL} = V–		1		

(1) 根据多个批次的器件组装工作台系统测量值建立的规范。

Copyright © 2025 Texas Instruments Incorporated

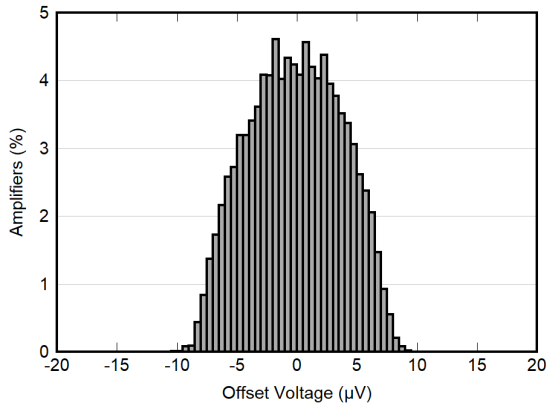
6.8 典型特性

T_A = 25°C，V_S = 5.5V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）



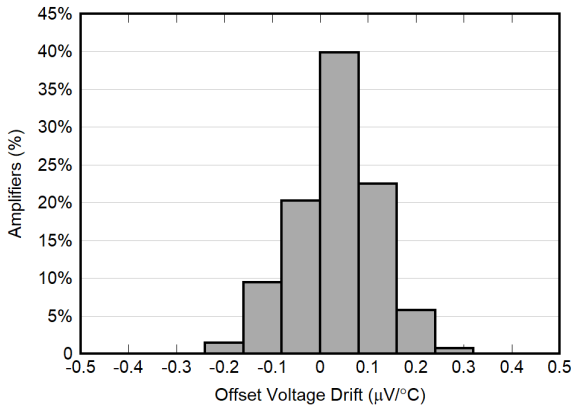
V_S = 5.0V

图 6-1. 失调电压分布图



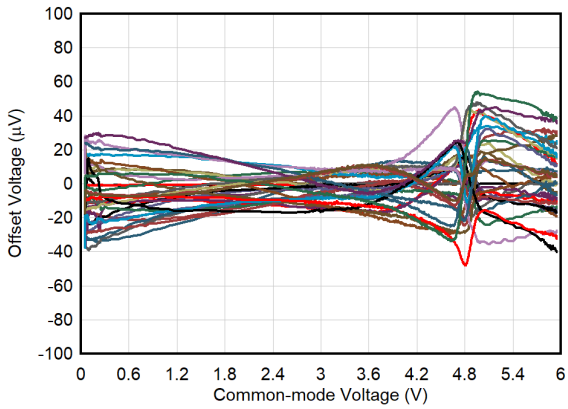
V_S = 5.0V，V_{CM} = 4.8 V

图 6-2. 失调电压分布图



V_S = 5.0V

图 6-3. 失调电压分布图



T_A = -40°C

图 6-4. 失调电压与共模电压间的关系

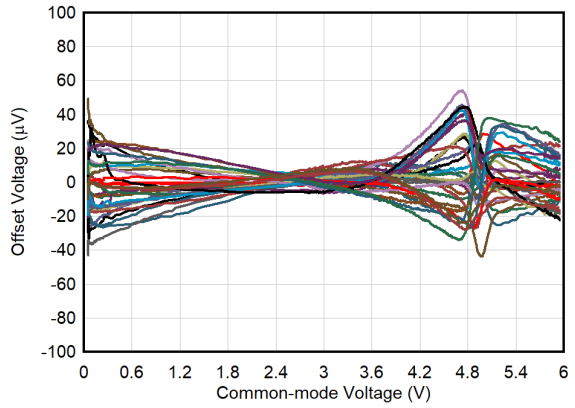
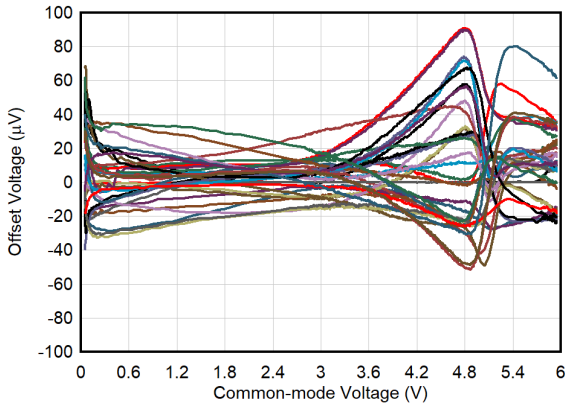


图 6-5. 失调电压与共模电压间的关系



T_A = +125°C

图 6-6. 失调电压与共模电压间的关系

Copyright © 2025 Texas Instruments Incorporated

6.8 典型特性（续）

T_A = 25°C，V_S = 5.5V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）

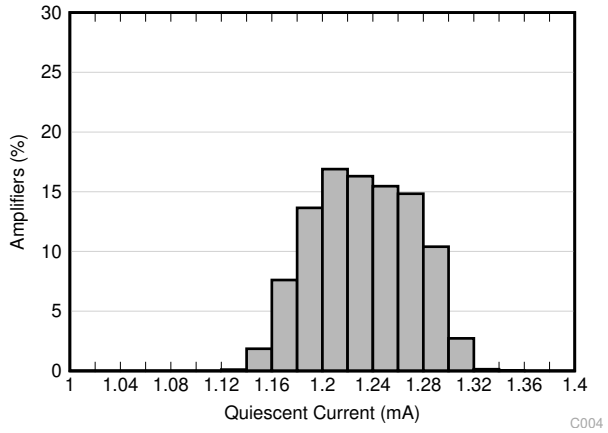


图 6-7. 静态电流分布

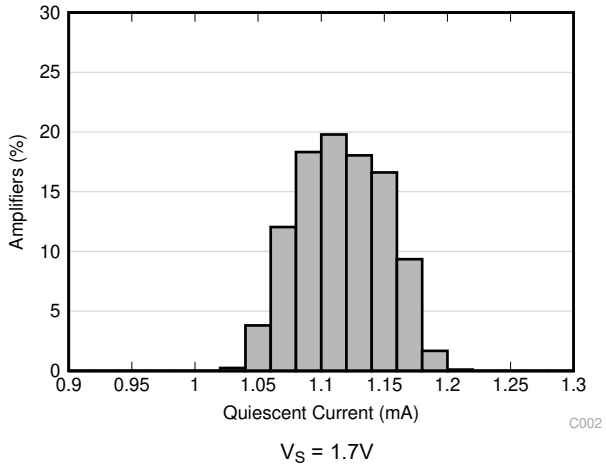


图 6-8. 静态电流分布

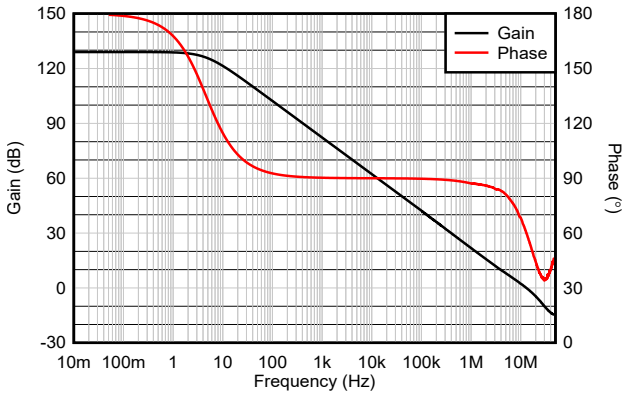


图 6-9. 开环增益和相位与频率间的关系

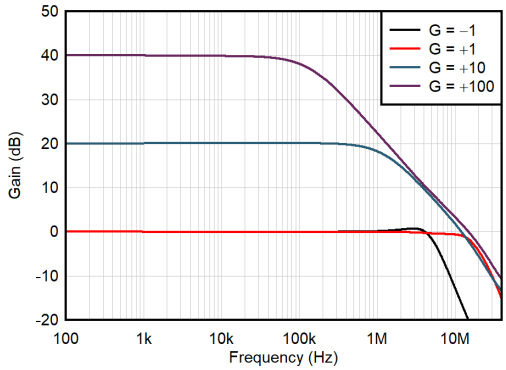
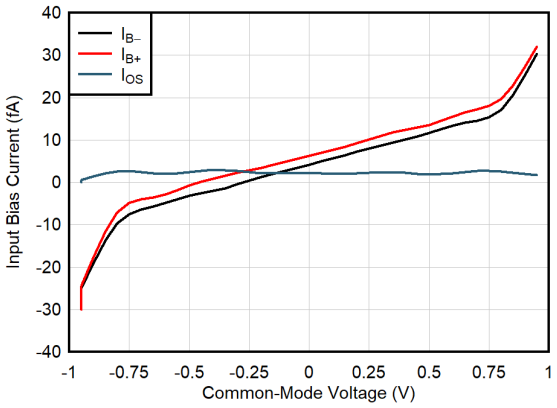


图 6-10. 闭环增益与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

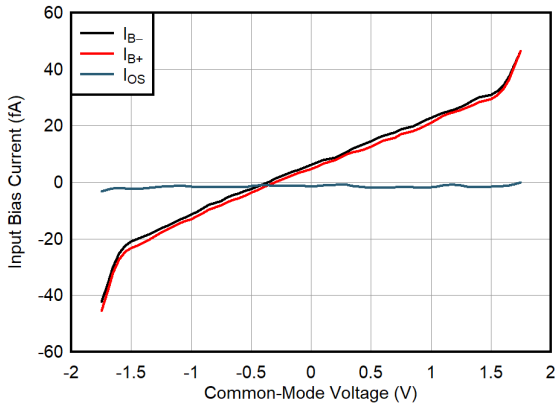
6.8 典型特性（续）

T_A = 25°C，V_S = 5.5V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）



V_S = 1.7V

图 6-11. 输入偏置电流与共模电压间的关系



V_S = 3.3V

图 6-12. 输入偏置电流与共模电压间的关系

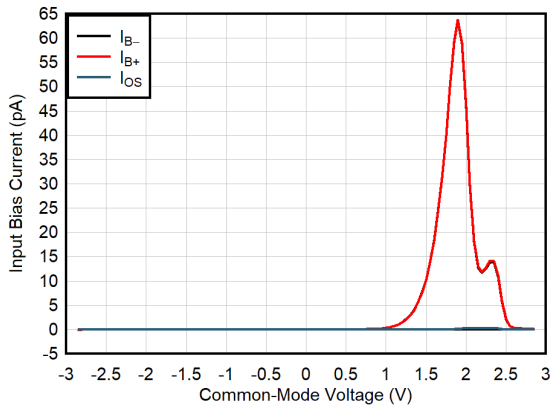


图 6-13. 输入偏置电流与共模电压间的关系

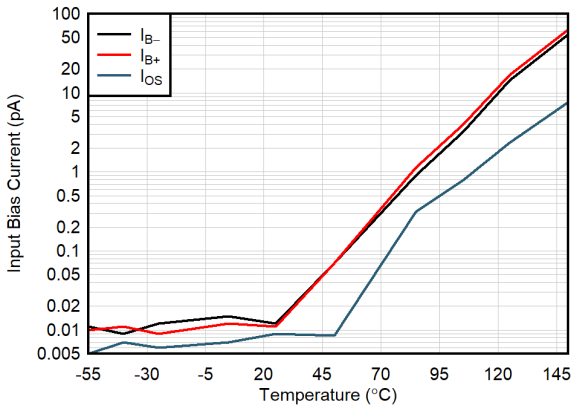


图 6-14. 输入偏置电流与温度间的关系

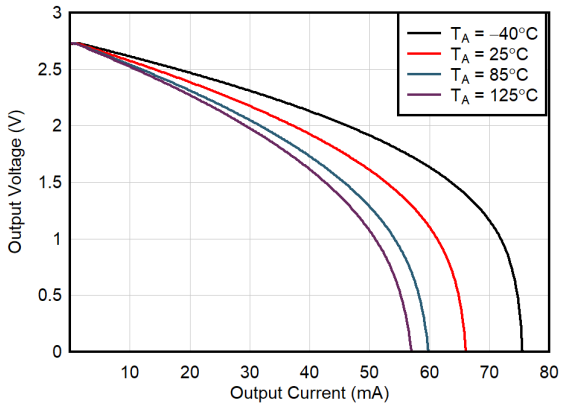


图 6-15. 输出电压摆幅与输出电流（拉电流）间的关系

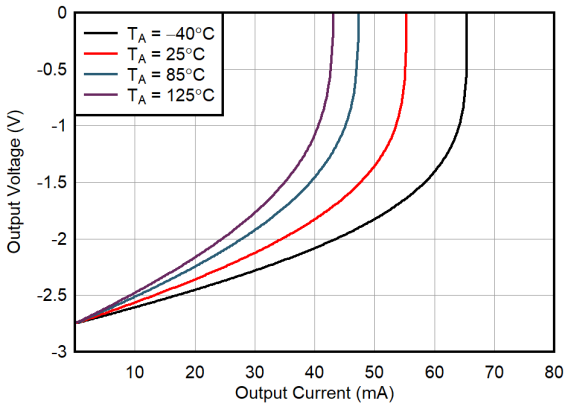
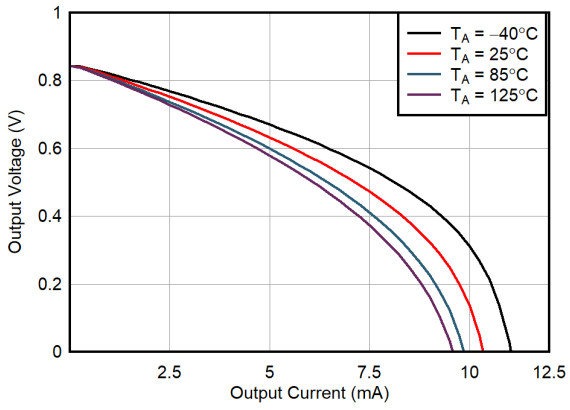


图 6-16. 输出电压摆幅与输出电流（灌电流）间的关系

Copyright © 2025 Texas Instruments Incorporated

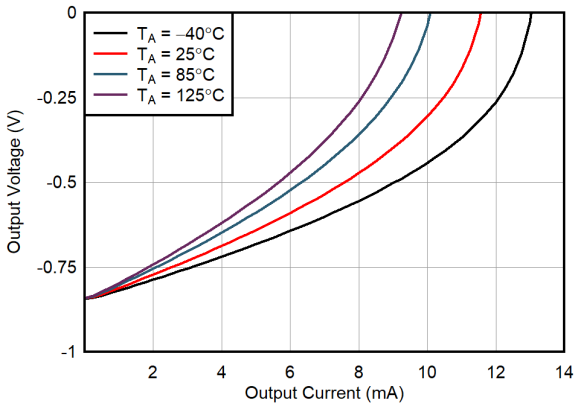
6.8 典型特性（续）

T_A = 25°C，V_S = 5.5V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）



V_S = ±0.85V

图 6-17. 输出电压摆幅与输出电流（拉电流）间的关系



V_S = ±0.85V

图 6-18. 输出电压摆幅与输出电流（灌电流）间的关系

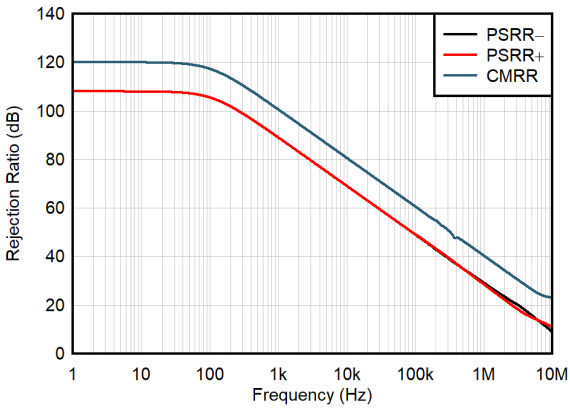
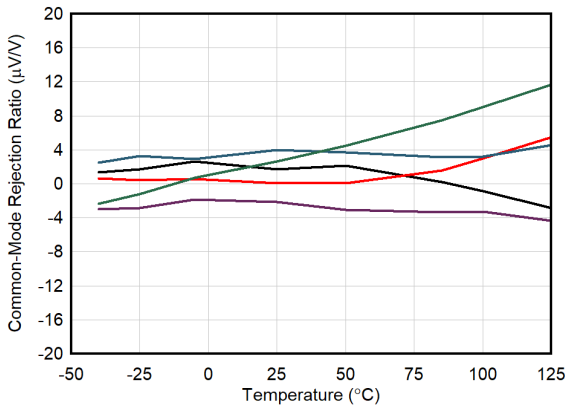
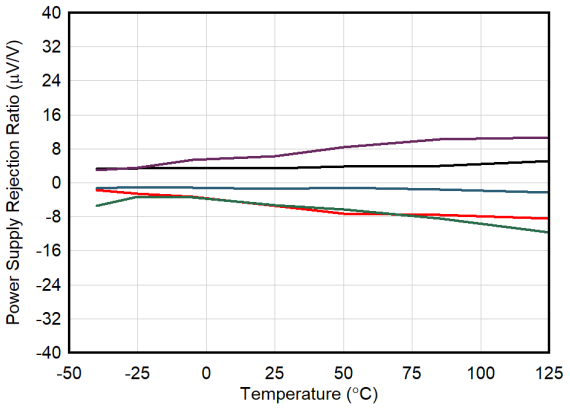


图 6-19. CMRR 和 PSRR 与频率间的关系



5 个单元

图 6-20. CMRR 与温度间的关系



5 个单元

图 6-21. PSRR 与温度间的关系

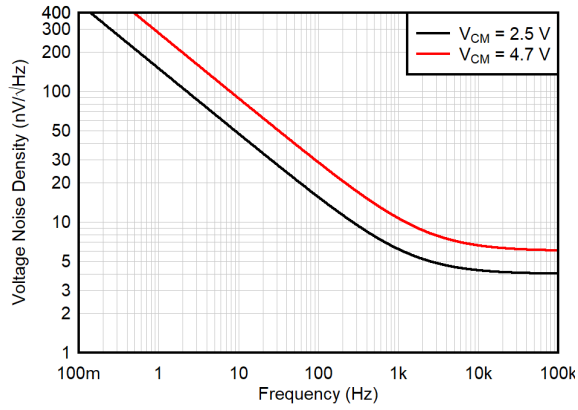
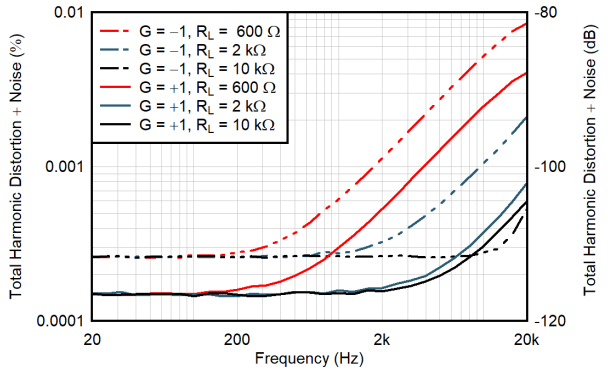


图 6-22. 电压噪声与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

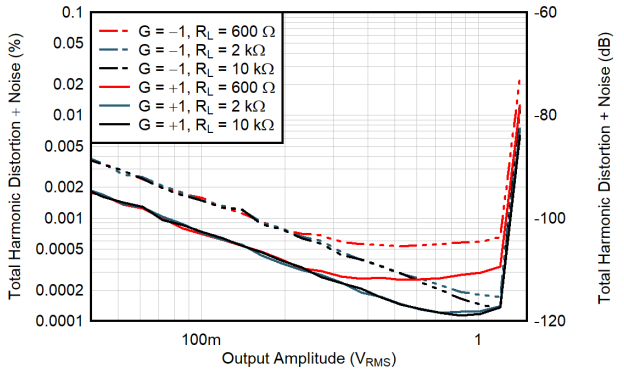
6.8 典型特性（续）

T_A = 25°C，V_S = 5.5V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）



V_{OUT} = 1V_{RMS}

图 6-23. THD+N 比与频率间的关系



f = 1kHz

图 6-24. THD+N 与输出幅度间的关系

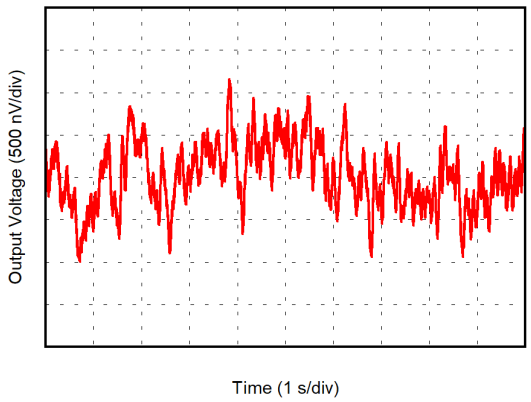
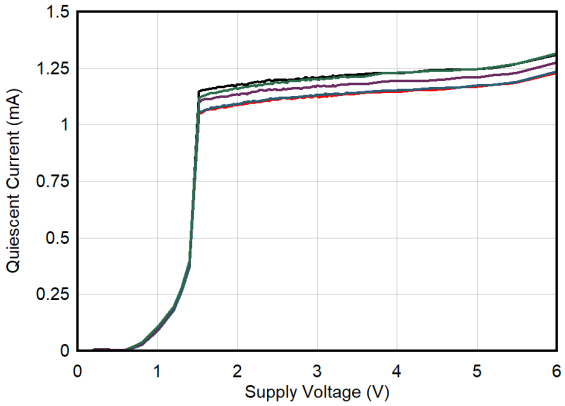
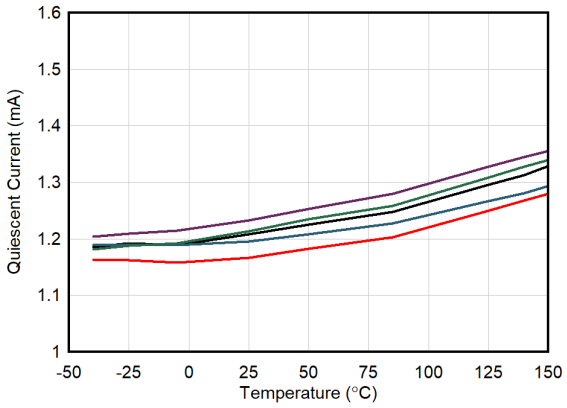


图 6-25. 0.1Hz 至 10Hz 噪声



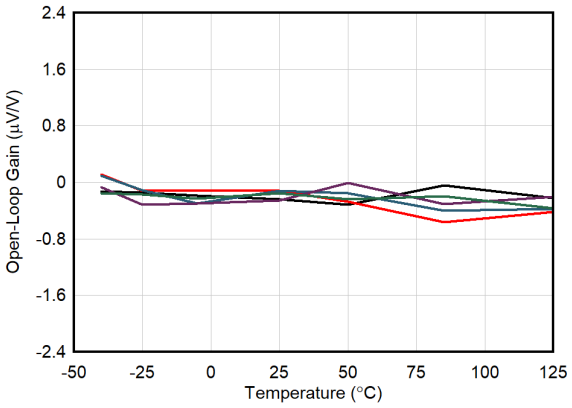
5 个单元

图 6-26. 静态电流与电源电压间的关系



5 个单元

图 6-27. 静态电流与温度间的关系



5 个单元

图 6-28. 开环增益与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

6.8 典型特性（续）

T_A = 25°C，V_S = 5.5V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）

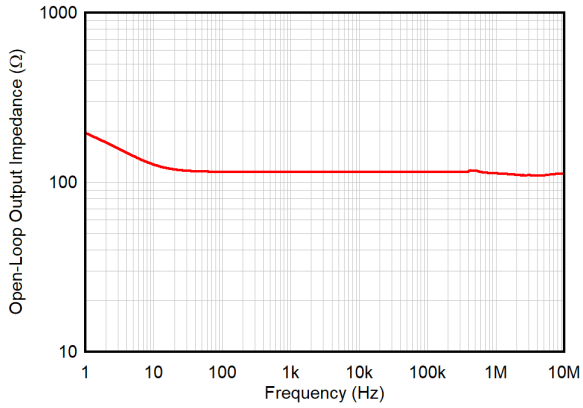


图 6-29. 开环输出阻抗与频率间的关系

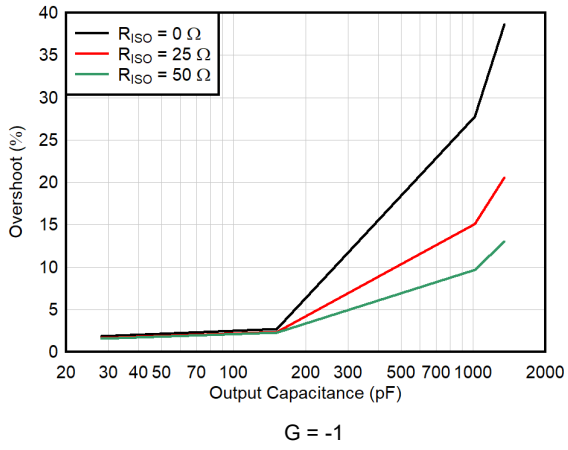


图 6-30. 小信号过冲与容性负载间的关系（10mV 阶跃）

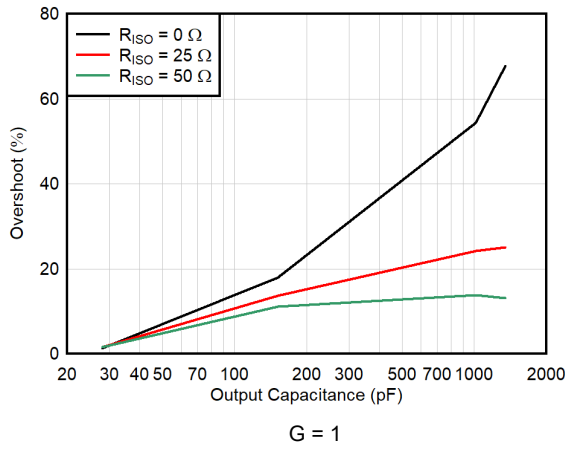


图 6-31. 小信号过冲与容性负载间的关系（10mV 阶跃）

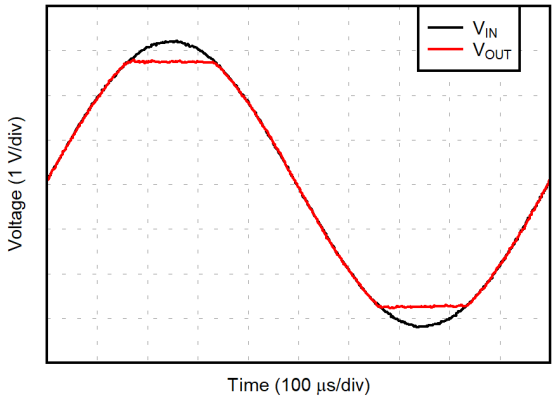


图 6-32. 无相位反转

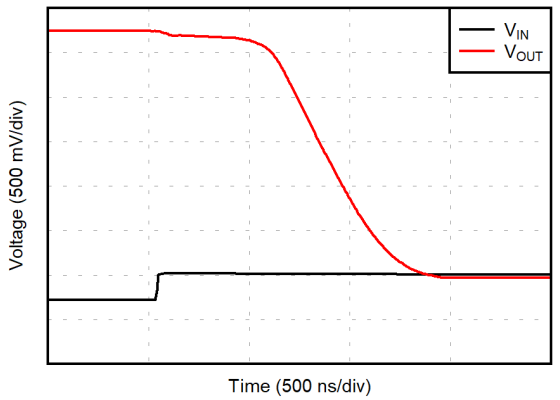


图 6-33. 正过载恢复

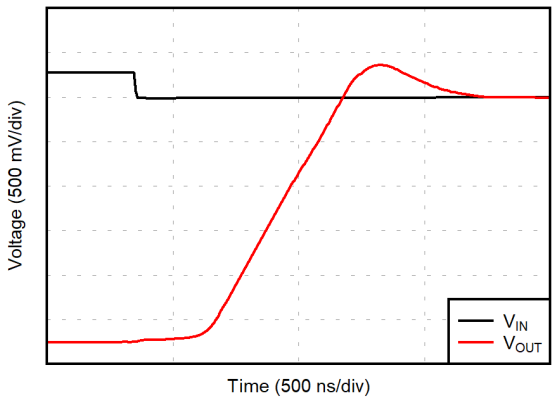
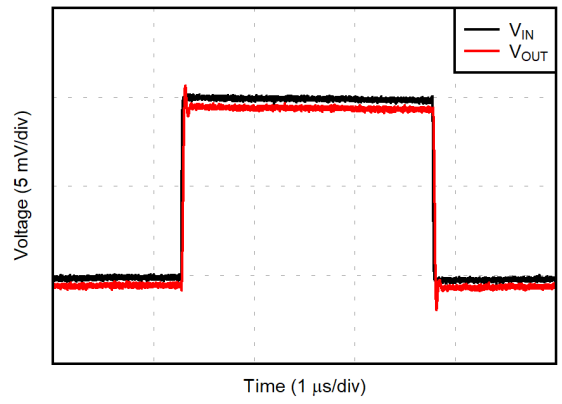


图 6-34. 负过载恢复

Copyright © 2025 Texas Instruments Incorporated

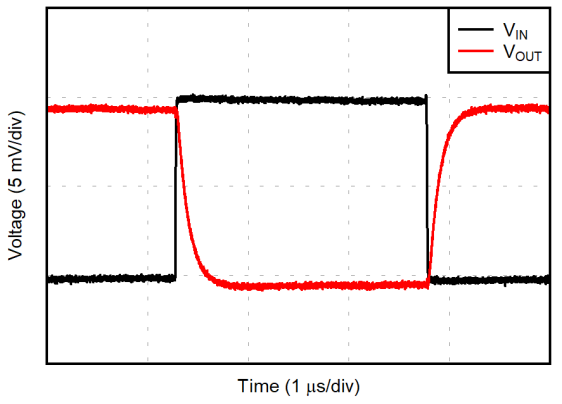
6.8 典型特性（续）

T_A = 25°C，V_S = 5.5V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）



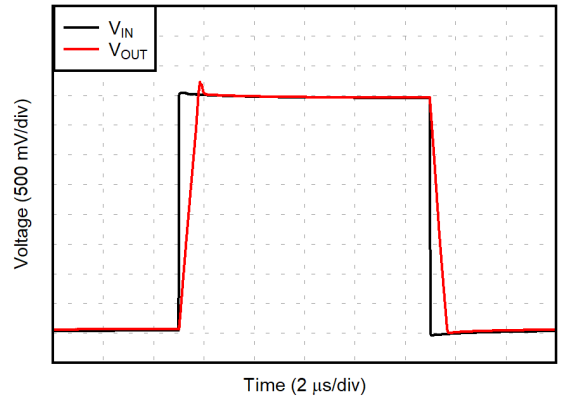
G = 1

图 6-35. 小信号阶跃响应（10mV 阶跃）



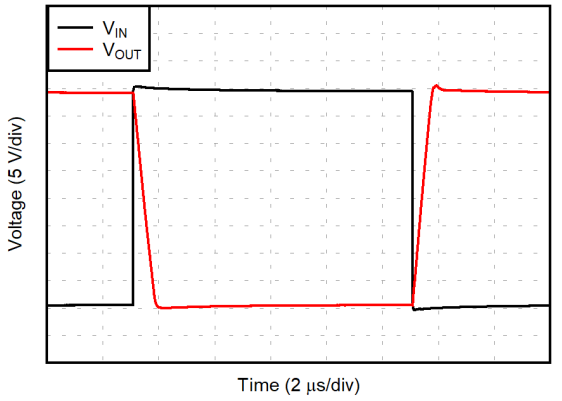
G = -1

图 6-36. 小信号阶跃响应（10mV 阶跃）



G = 1

图 6-37. 大信号阶跃响应（4V 阶跃）



G = -1

图 6-38. 大信号阶跃响应（4V 阶跃）

Copyright © 2025 Texas Instruments Incorporated

6.8 典型特性（续）

T_A = 25°C，V_S = 5.5V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）

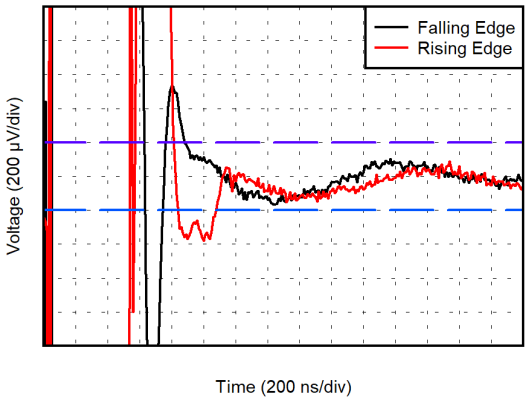


图 6-39. 趋稳时间

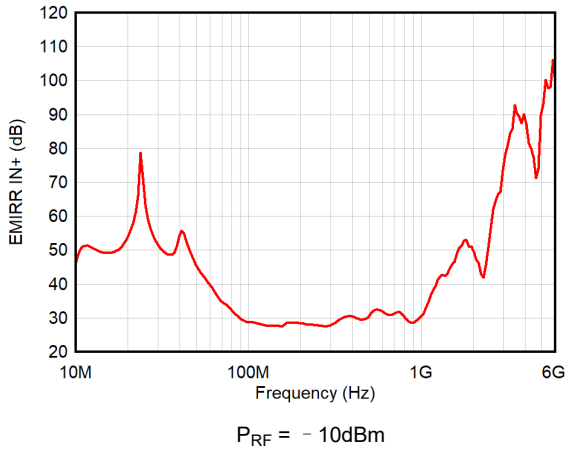


图 6-40. EMIRR 与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

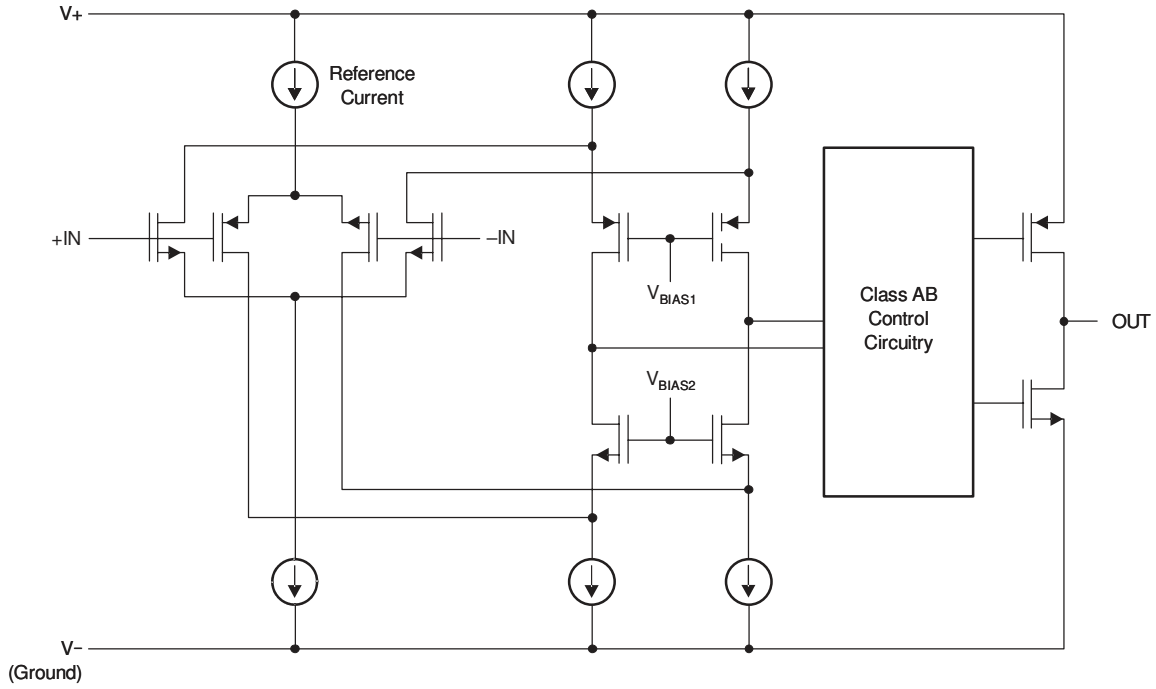
7 详细说明

7.1 概述

OPAx392 是一系列采用专有失调电压修整技术的低失调电压、低噪声 e-trim 运算放大器。这些运算放大器提供超低输入失调电压和漂移，实现出色的输入和输出动态线性性能。OPAx392 的工作电压为 1.7V 至 5.5V，单位增益稳定，设计用于广泛的通用和精密应用。

这些放大器采用先进的 CMOS 技术和高级设计功能，有助于在小型封装选项中实现极低的输入偏置电流、宽输入和输出电压范围、高环路增益，以及低而平坦的输出阻抗。OPAx392 的优势还包括 13MHz 带宽、4.4nV/ √Hz 噪声谱密度和低 1/f 噪声。这些特性使 OPAx392 成为连接传感器、光电二极管和高性能模数转换器 (ADC) 的理想选择。

7.2 功能方框图



7.3 特性说明

7.3.1 低工作电压

OPAx392 系列可使用单电源或双电源，工作范围为 V_S = 1.7V (±0.85V) 至 5.5V (±2.75V)。失调电压被调整为 5.0V，然而，该器件保持低至 V_S = 1.7V 的超低失调电压。

*典型特性*显示了随电源电压或温度范围而变化的主要参数。

7.3.2 低输入偏置电流

OPAx392 的典型输入偏置电流极低（通常为 10fA）。输入偏置电流主要由 ESD 保护二极管的漏电流控制，漏电流与二极管的面积成正比。由于采用了现代工艺技术和先进的静电放电 (ESD) 保护设计，OPAx392 能够实现超低的输入偏置电流，从而更大限度地减小二极管面积。

在过载条件下，偏置电流可能大幅增加。当运算放大器超出线性运行范围时，最有可能出现过载。当运算放大器的输出被驱动至其中一个电源轨时，将无法满足反馈环路的要求，然后各输入引脚会出现差分输入电压。该差分输入电压导致 ESD 单元的正向偏置。图 7-1 显示了等效电路。

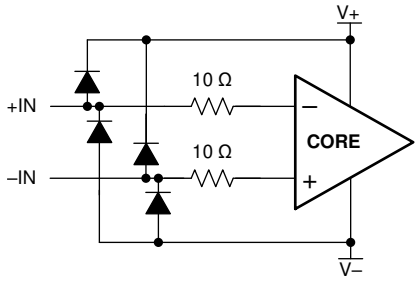


图 7-1. 等效输入电路

7.4 器件功能模式

OPAx392 系列可在电源电压大于 1.7V (±0.85V) 时工作。对于使用 EN 功能的器件（请参阅节 5），当 EN 引脚为低电平时将禁用这些器件。在此状态下，静态电流显着降低，输出为高阻抗。OPAx392 的最大额定电源电压为 5.5V (±2.75V)。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

OPAx392 是单位增益稳定的精密运算放大器系列，并且不会出现意外输出和相位反转。使用专有的 e-trim 运算放大器技术可提供随时间和温度变化的低输入失调电压以及超低输入偏置电流的优势。OPAx392 针对全轨到轨输入进行了优化，允许低电压单电源运行或双电源用途。在正常测试条件下，这些高精度、低噪声微型放大器可提供高阻抗输入（共模范围达到供电轨，在电源电压范围内具有低失调电压）和轨到轨输出（摆幅在电源上下 5mV 以内）。OPAx392 精密放大器设计用于低或高增益的上游模拟信号链应用，以及 DAC 缓冲等下游信号链功能。

8.2 典型应用

此单电源低侧双向电流检测设计示例可检测到从 –1A 到 +1A 的负载电流。单端输出范围从 110mV 到 3.19V。由于失调电压以及轨到轨输入和输出较低，所以此设计使用 OPA392。其中一个放大器配置为差分放大器，另一个放大器提供基准电压。

图 8-1 展示了原理图。

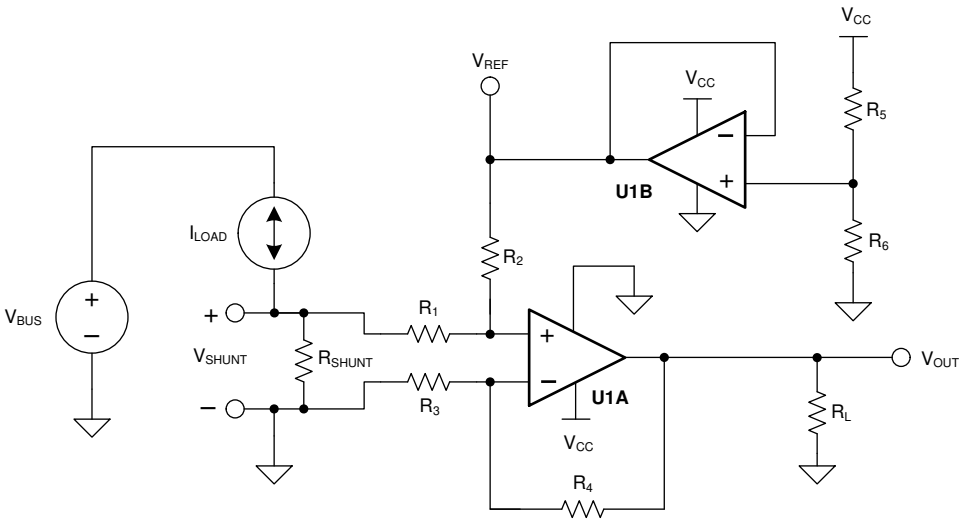


图 8-1. 双向电流感应原理图

8.2.1 设计要求

此设计示例要求如下：

- 电源电压：3.3V
- 输入：-1 A 至 +1 A
- 输出：1.65V ±1.54V（110mV 至 3.19V）

8.2.2 详细设计过程

负载电流 I_{LOAD} 流经分流电阻器 R_{SHUNT}，产生分流电压 V_{SHUNT}。然后由 U1A 和 R_1 至 R_4 构成的差分放大器放大分流电压。差分放大器的增益通过 R_4 与 R_3 之比设定。为了最大程度地减少误差，设置 $R_2 = R_4$ 且 $R_1 = R_3$。基准电压 V_{REF} 通过使用 U1B 缓冲电阻分压器的方式提供。传递函数由 方程式 1 确定。

$$V_{OUT} = V_{SHUNT} \times Gain_{Diff_Amp} + V_{REF} \quad (1)$$

其中

- $V_{SHUNT} = I_{LOAD} \times R_{SHUNT}$
- $Gain_{Diff_Amp} = \frac{R_4}{R_3}$
- $V_{REF} = V_{CC} \times \left(\frac{R_6}{R_5 + R_6} \right)$

该设计中存在两种误差类型：失调电压和增益。增益误差是由分流电阻器的容差和 R_4 与 R_3 之比，以及类似的 R_2 与 R_1 之比造成的。失调电压误差是由分压器（R_5 和 R_6）以及 R_4 / R_3 之比与 R_2 / R_1 之比之间的接近程度而造成的。R2/R1 之比影响差分放大器的 CMRR，最终导致了失调电压误差。

V_{SHUNT} 是低侧测量值，因此 V_{SHUNT} 的值是系统负载的接地电势。所以，必须对 V_{SHUNT} 使用最大值。在此设计中，V_{SHUNT} 的最大值设置为 100mV。方程式 2 计算分流电阻器的最大值，假设最大分流电压为 100mV，最大负载电流为 1A。

$$R_{SHUNT(Max)} = \frac{V_{SHUNT(Max)}}{I_{LOAD(Max)}} = \frac{100\ mV}{1\ A} = 100\ m\Omega \quad (2)$$

R_{SHUNT} 的容差与成本成正比。在此设计中，选择容差为 0.5% 的分流电阻器。如果需要更高的精度，则选择容差为 0.1% 或更高精度的电阻器。

由于负载电流是双向电流，因此分流电压范围为 -100mV 至 +100mV。此电压在到达运算放大器 U1A 前，由 R_1 和 R_2 分压。请确保 U1A 同相节点处的电压在器件的共模范围内。所以，使用共模范围扩展到低于负电源电压的运算放大器（例如 OPA392）非常重要。最后，为了更大限度地减少失调电压误差，OPA392 的典型失调电压仅为 ±0.25μV（最大值 ±5μV）。

假设对称负载电流为 -1 A 至 +1 A，分压电阻器（R_5 和 R_6）必须相等。为了与分流电阻器保持一致，必须选择 0.5% 的容差。为了更大程度地降低功耗，使用了 10kΩ 电阻器。

Copyright © 2025 Texas Instruments Incorporated

要设置差分放大器的增益，必须考虑 OPA392 的共模范围和输出摆幅。方程式 3 和方程式 4 分别展示了在给定 3.3V 电源的情况下 OPA392 的典型共模范围和最大输出摆幅。

$$-100mV < V_{CM} < 3.4V \quad (3)$$

$$100mV < V_{OUT} < 3.2V \quad (4)$$

现在可通过方程式 5 中所示的公式计算差分放大器的增益：

$$Gain_{Diff_Amp} = \frac{V_{OUT_Max} - V_{OUT_Min}}{R_{SHUNT} \times (I_{MAX} - I_{MIN})} = \frac{3.2\ V - 100\ mV}{100\ m\Omega \times [1\ A - (-1A)]} = 15.5\ \frac{V}{V} \quad (5)$$

R_1 和 R_3 的电阻值选定为 1kΩ。R_2 和 R_4 的电阻值选定为 15.4kΩ，因为该值最接近标准值。因此，计算出的差分放大器增益为 15.4V/V。

电路的增益误差主要取决于 R_1 至 R_4，因此选择了容差为 0.1% 的电阻器。该配置降低了设计中需要两点校准的可能性。如有需要，简单的一点校准可消除 0.5% 电阻器产生的失调电压误差。

8.2.3 应用曲线

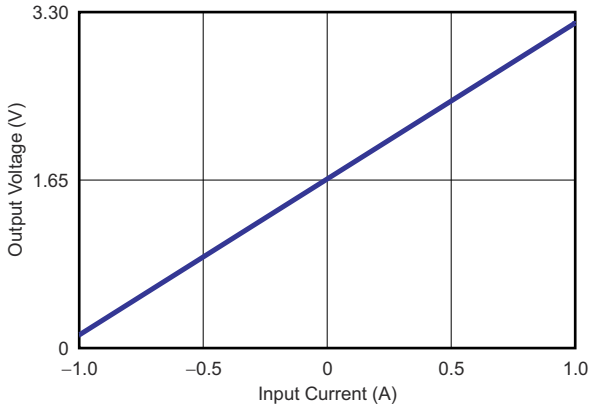


图 8-2. 双向电流检测电路性能：输出电压与输入电流间的关系

8.3 电源相关建议

OPAx392 的额定工作电压范围是 1.7V 至 5.5V（±0.85V 至 ±2.75V）。

小心
超过*绝对最大额定值*表中列出的电源电压可能会对器件造成损坏。

8.4 布局

8.4.1 布局指南

应注重良好的布局实践。尽量缩短走线，如果可以，在使用印刷电路板 (PCB) 接地平面时，请将表面贴装式组件放置在尽可能靠近器件引脚的位置。将 0.1 µF 电容器放置在尽可能靠近电源引脚的位置。在整个模拟电路中贯彻应用这些准则可提高性能并实现各种优势，如降低电磁干扰 (EMI) 易感性。

如要获得最低的失调电压和精度性能，必须优化电路布局和机械条件。避免在因连接不均质导体形成的热电偶结中产生热电（塞贝克）效应的温度梯度。通过确保两个输入端子上的这些电势等效，可以消除这些热电产生的电势。其他布局和设计注意事项包括：

- 使用低热电系数条件（避免异种金属）。
- 当需要超低偏置电流时，使用保护走线更大限度地减少漏电流。
- 将组件与电源或其他热源进行热隔离。
- 将运算放大器和输入电路与气流（如冷却风扇气流）隔离。

遵循这些准则可降低在不同温度下产生结的可能性，这些结可能导致 0.1 µV/°C 或更高的热电电压漂移，具体取决于所使用的材料。

8.4.2 布局示例

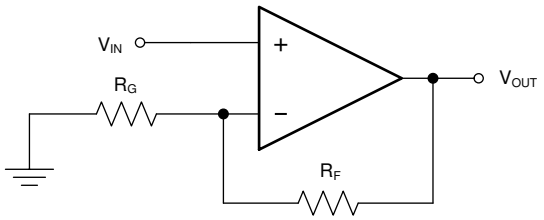


图 8-3. OPA392 布局原理图

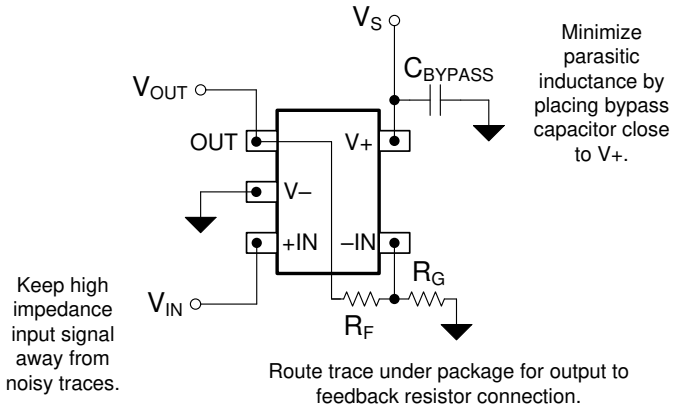


图 8-4. OPA392 布局示例

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 器件支持

9.1.1 开发支持

9.1.1.1 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型解决方案，可降低开发成本并缩短上市时间。

9.1.1.2 TINA-TI™ 仿真软件（免费下载）

TINA-TI™ 仿真软件是一款简单易用、功能强大且基于 SPICE 引擎的电路仿真程序。TINA-TI 仿真软件是 TINA™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 仿真软件提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 仿真软件提供全面的后处理能力，便于用户以多种方式获得结果，用户可从设计和仿真工具网页免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

必须安装 TINA 软件或者 TINA-TI 软件后才能使用这些文件。请从 TINA-TI™ 软件文件夹中下载免费的 TINA-TI 仿真软件。

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*放大器输入共模和输出摆幅限制* 应用手册
- 德州仪器 (TI)，*失调电压校正方法：激光修整、e-Trim™ 和斩波器* 应用简报

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

e-trim™, TINA-TI™, and TI E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

Copyright © 2025 Texas Instruments Incorporated

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision H (April 2024) to Revision I (March 2025) **Page**

- 将 OPA4392 PW (TSSOP, 14) 状态从预发布更改为量产数据（正在供货）并添加了相关内容..... 1

Changes from Revision G (April 2024) to Revision H (November 2024) **Page**

- 将 OPA392 DCK（SC70，5）和 OPA2392 DSG（WSON，8）封装状态从预发布更改为量产数据（正在供货）并添加了相关内容.....1
- 根据最新特性数据，将 OPA2392DGK 在过热范围条件下的最大 V_{OS} 从 ±125μV 更改为 ±180μV..... 8
- 根据最新特性数据，将 OPA392YBJ 以及 OPA2392D、DGK 和 YBJ 的典型相位裕度规格从 45° 更改为 35°.. 8

Changes from Revision F (December 2023) to Revision G (April 2024) **Page**

- 将 OPA2392 DGK（VSSOP，8）封装状态从预告信息（样片预发布）更改为量产数据（正在供货）并添加了相关内容..... 1

Changes from Revision E (September 2023) to Revision F (December 2023) **Page**

- 将 OPA392 YBJ（DSBGA，6）封装状态从预告信息（样片预发布）更改为量产数据（正在供货）并添加了相关内容.....1
- 将 OPA2392 D（SOIC，8）封装状态从预发布更改为量产数据（正在供货）并添加了相关内容..... 1
- 将 OPA2392 DGK（VSSOP，8）封装状态从预发布更改为预告信息（样片预发布）并添加了相关内容.....1

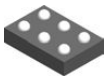
11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

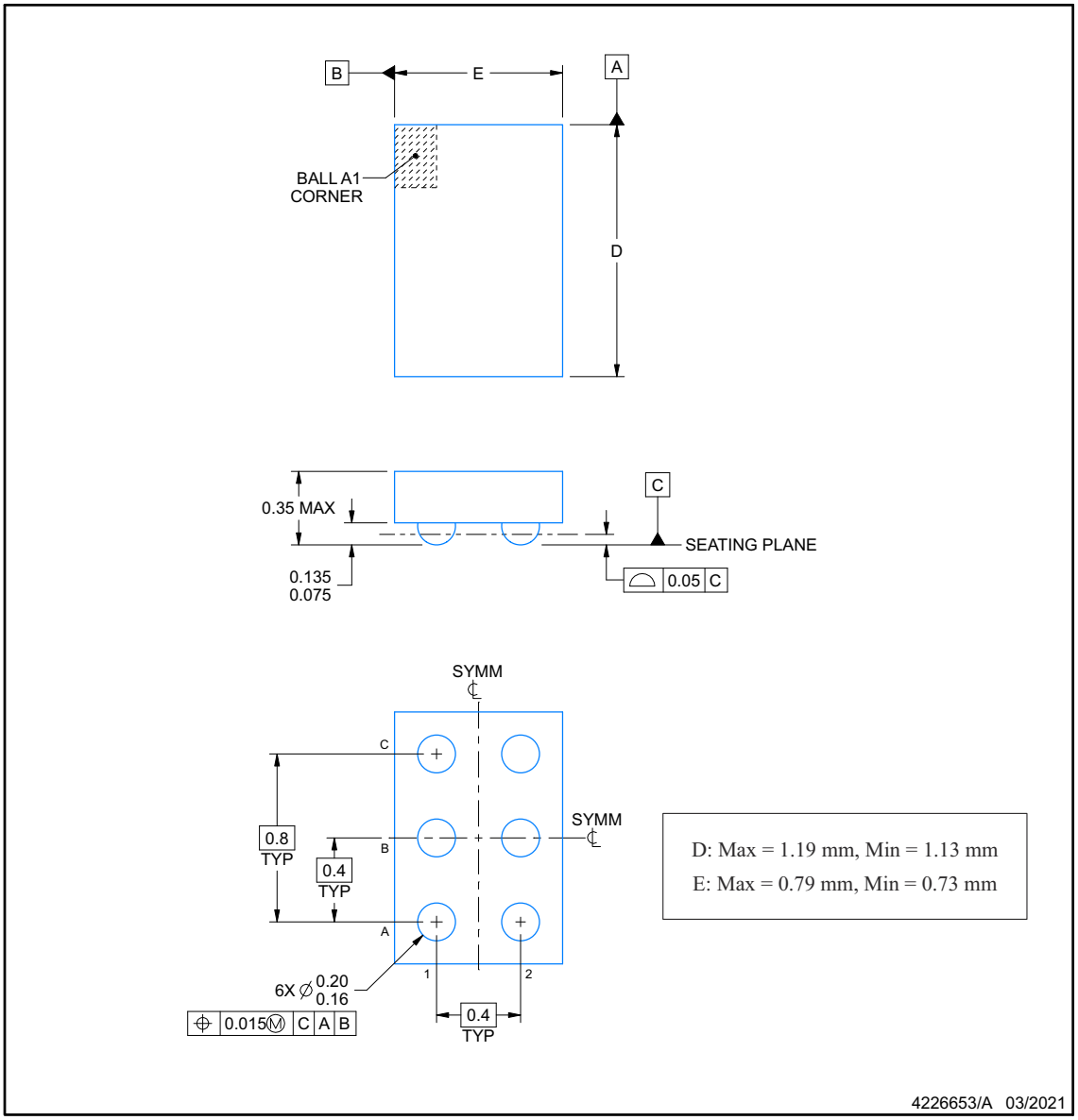
PACKAGE OUTLINE

YBJ0006



DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

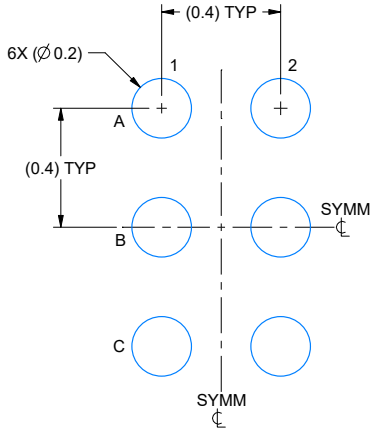
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

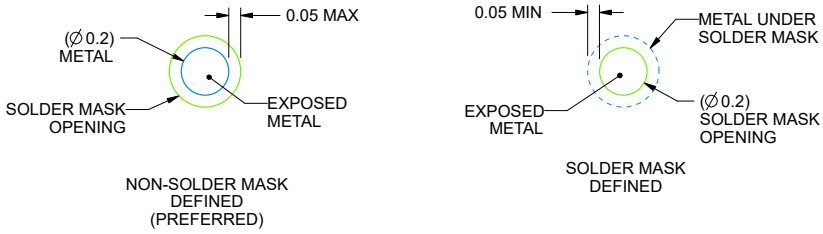
YBJ0006

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4226653/A 03/2021

NOTES: (continued)

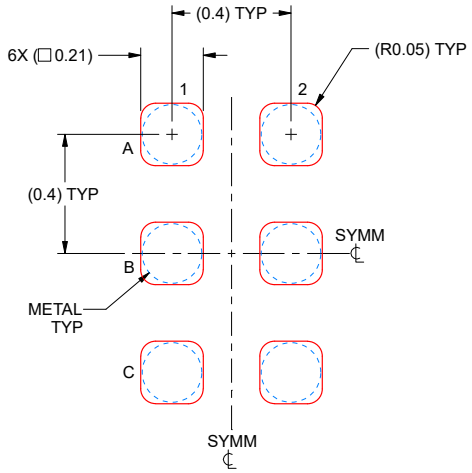
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

YBJ0006 **DSBGA - 0.35 mm max height**

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 50X

4226653/A 03/2021

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

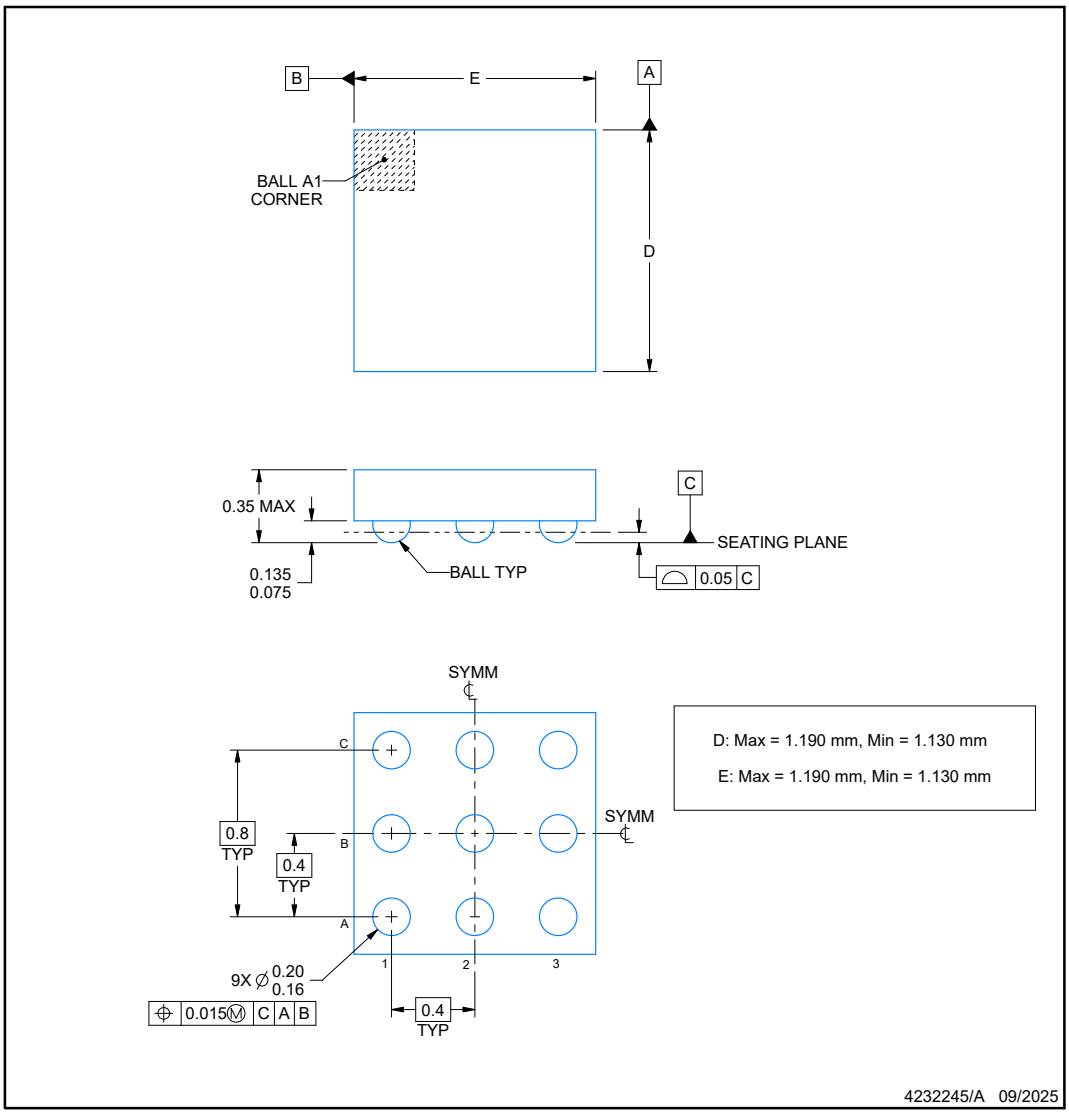
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

YBJ0009-C02

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

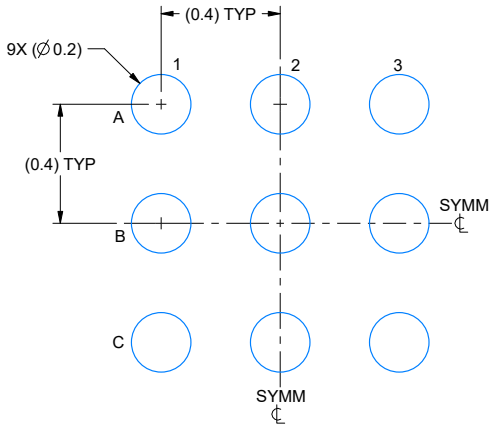
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

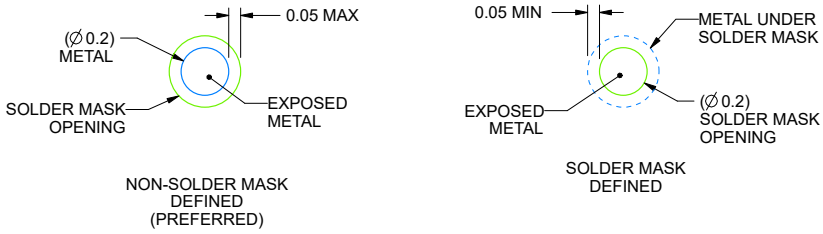
YBJ0009-C02

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4232245/A 09/2025

NOTES: (continued)

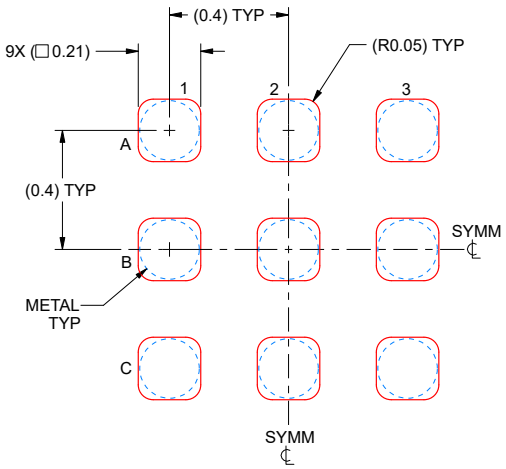
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

YBJ0009-C02 **DSBGA - 0.35 mm max height**

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 50X

4232245/A 09/2025

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2392DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3BJS
OPA2392DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3BJS
OPA2392DR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2392D
OPA2392DR.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2392D
OPA2392DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3B8H
OPA2392DSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3B8H
OPA2392YBJR	Active	Production	DSBGA (YBJ) | 9	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	O23
OPA2392YBJR.A	Active	Production	DSBGA (YBJ) | 9	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	O23
OPA2392YBJT	Active	Production	DSBGA (YBJ) | 9	250 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	O23
OPA2392YBJT.A	Active	Production	DSBGA (YBJ) | 9	250 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	O23
OPA392DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	23GT
OPA392DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	23GT
OPA392DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	23GT
OPA392DBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	23GT
OPA392DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1QL
OPA392DCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1QL
OPA392YBJR	Active	Production	DSBGA (YBJ) | 6	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	PL
OPA392YBJR.A	Active	Production	DSBGA (YBJ) | 6	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	PL
OPA4392PWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4392
OPA4392PWR.A	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4392

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

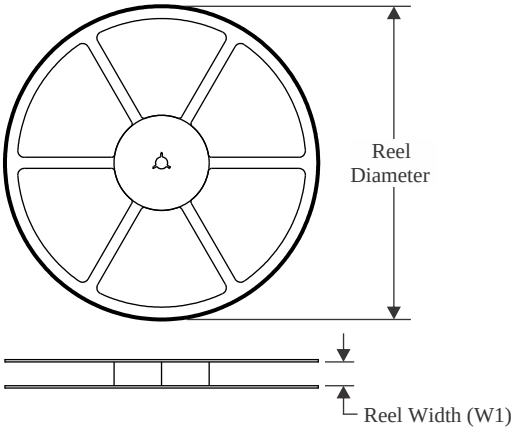
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

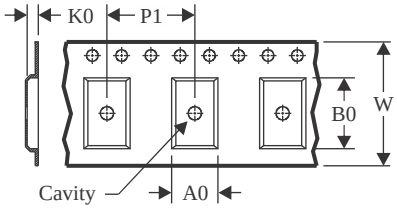
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

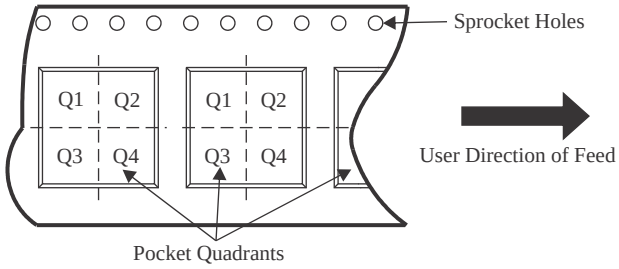


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

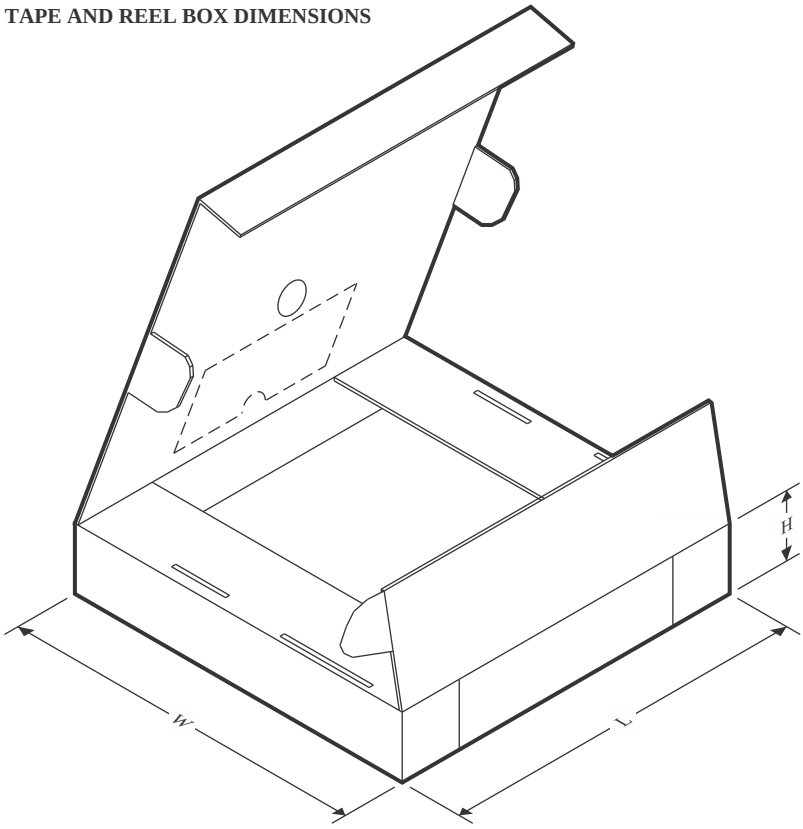
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2392DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2392DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2392DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA2392YBJR	DSBGA	YBJ	9	3000	180.0	8.4	1.26	1.26	0.43	4.0	8.0	Q1
OPA2392YBJT	DSBGA	YBJ	9	250	180.0	8.4	1.26	1.26	0.43	4.0	8.0	Q1
OPA392DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA392DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA392DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA392YBJR	DSBGA	YBJ	6	3000	180.0	8.4	0.85	1.27	0.43	2.0	8.0	Q1
OPA4392PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

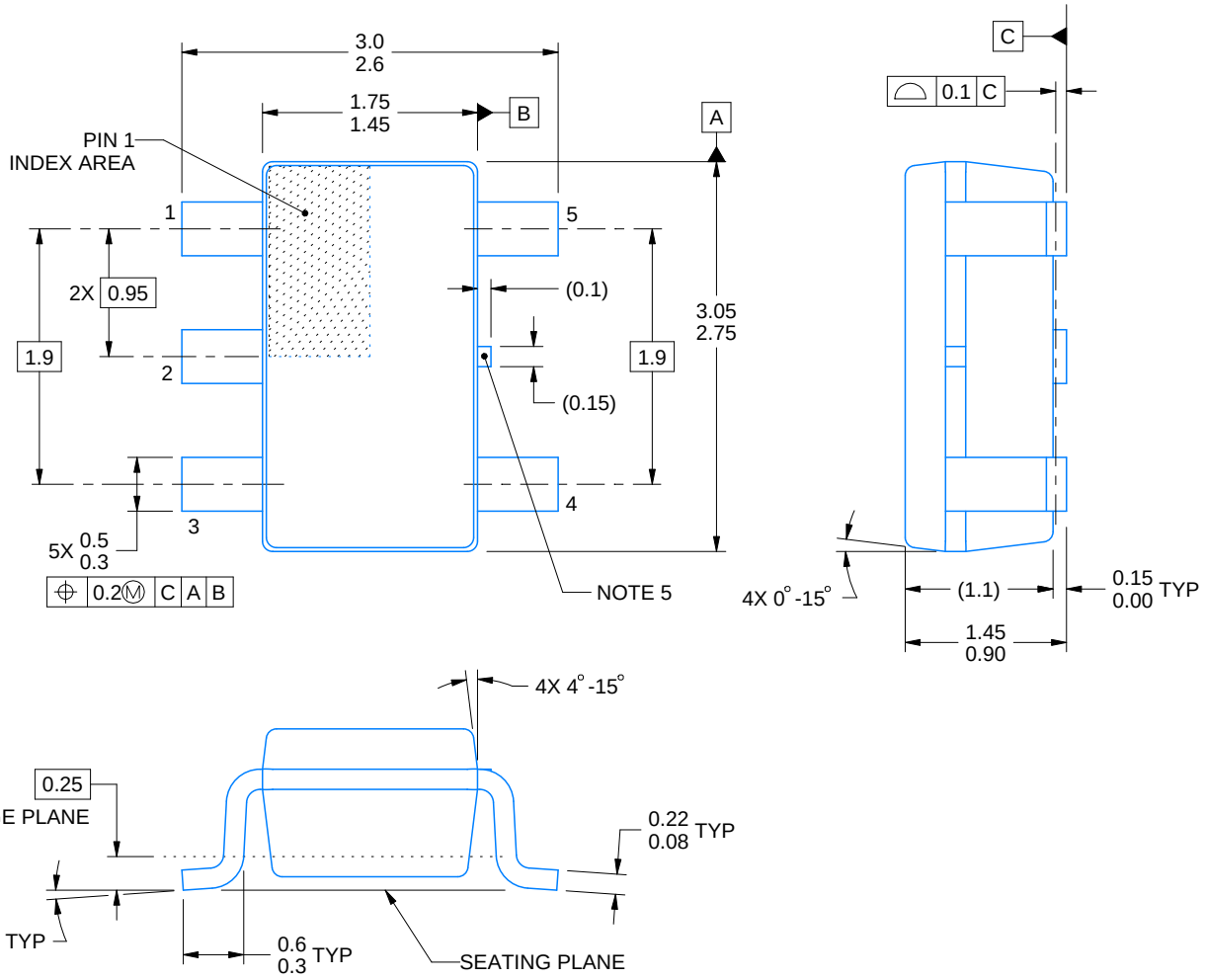
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2392DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2392DR	SOIC	D	8	3000	353.0	353.0	32.0
OPA2392DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
OPA2392YBJR	DSBGA	YBJ	9	3000	182.0	182.0	20.0
OPA2392YBJT	DSBGA	YBJ	9	250	182.0	182.0	20.0
OPA392DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA392DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
OPA392DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
OPA392YBJR	DSBGA	YBJ	6	3000	182.0	182.0	20.0
OPA4392PWR	TSSOP	PW	14	3000	353.0	353.0	32.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

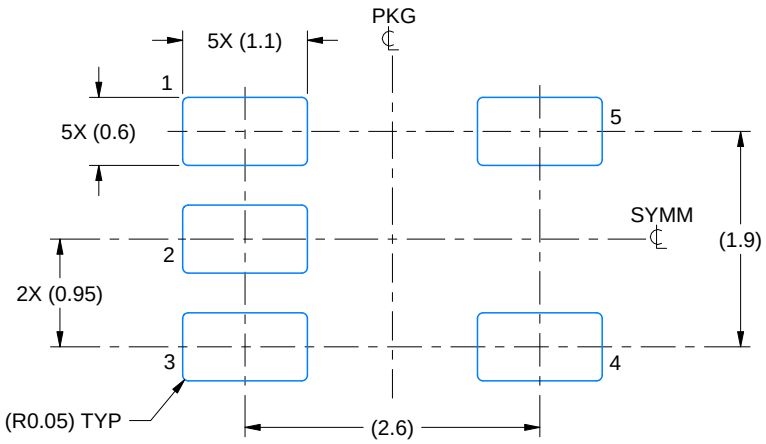
SMALL OUTLINE TRANSISTOR



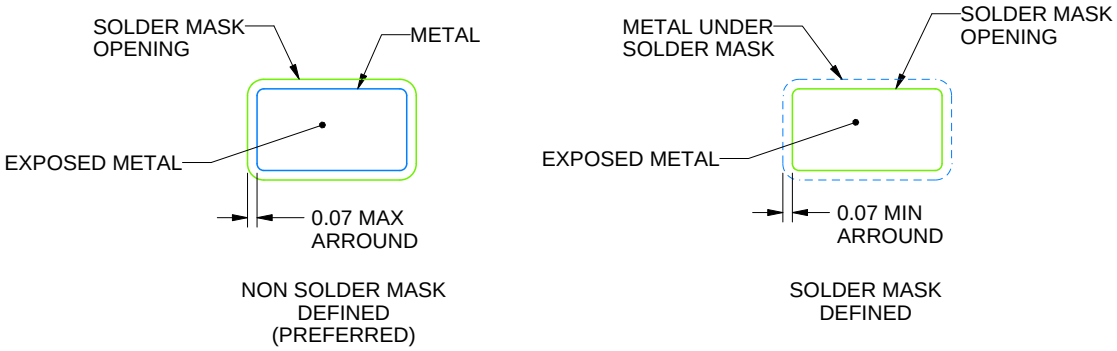
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

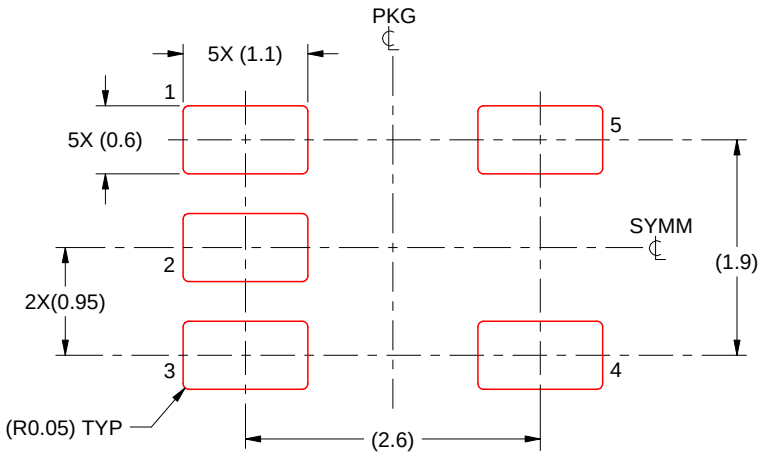


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

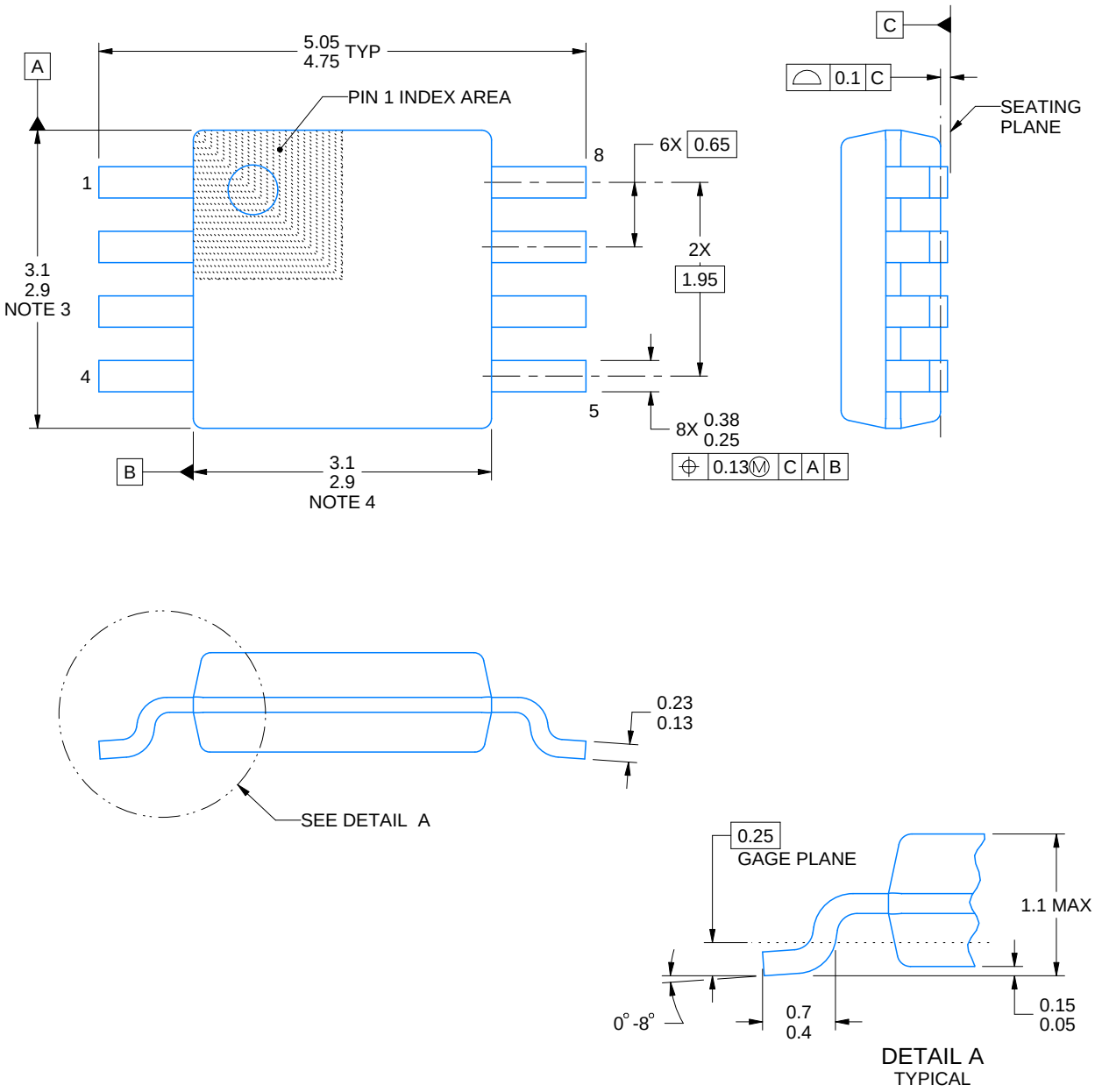
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

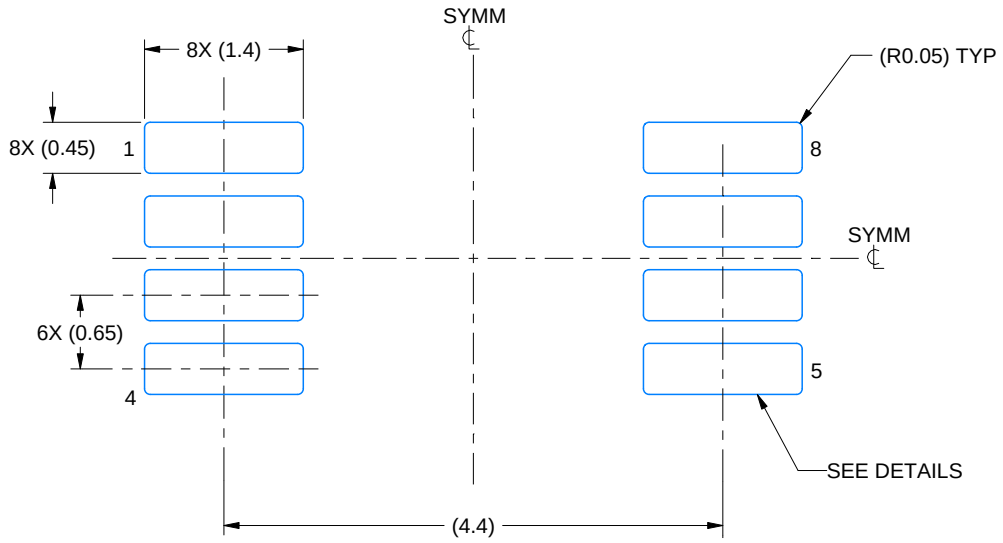
SMALL OUTLINE PACKAGE



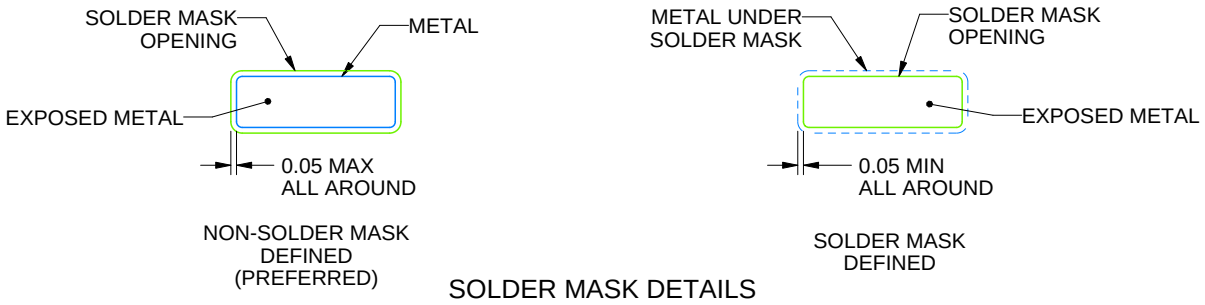
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

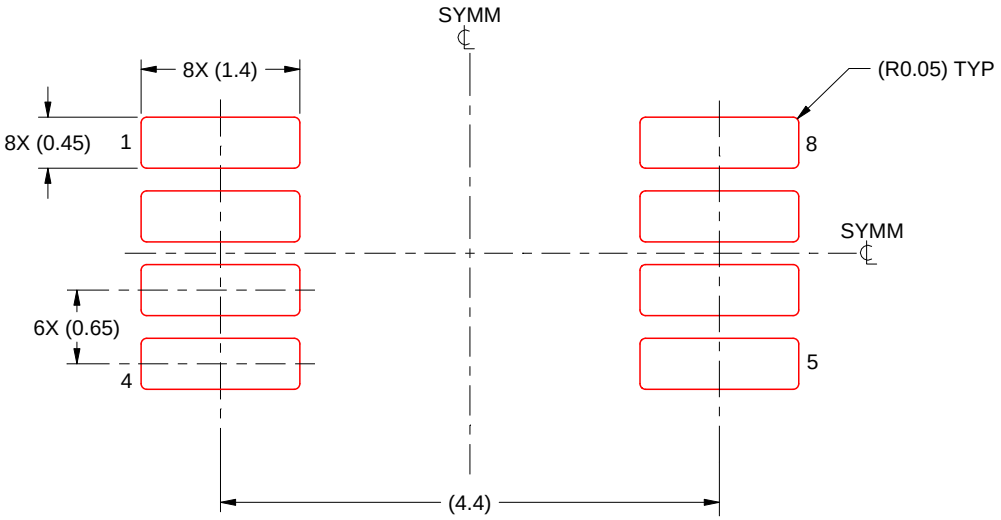


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

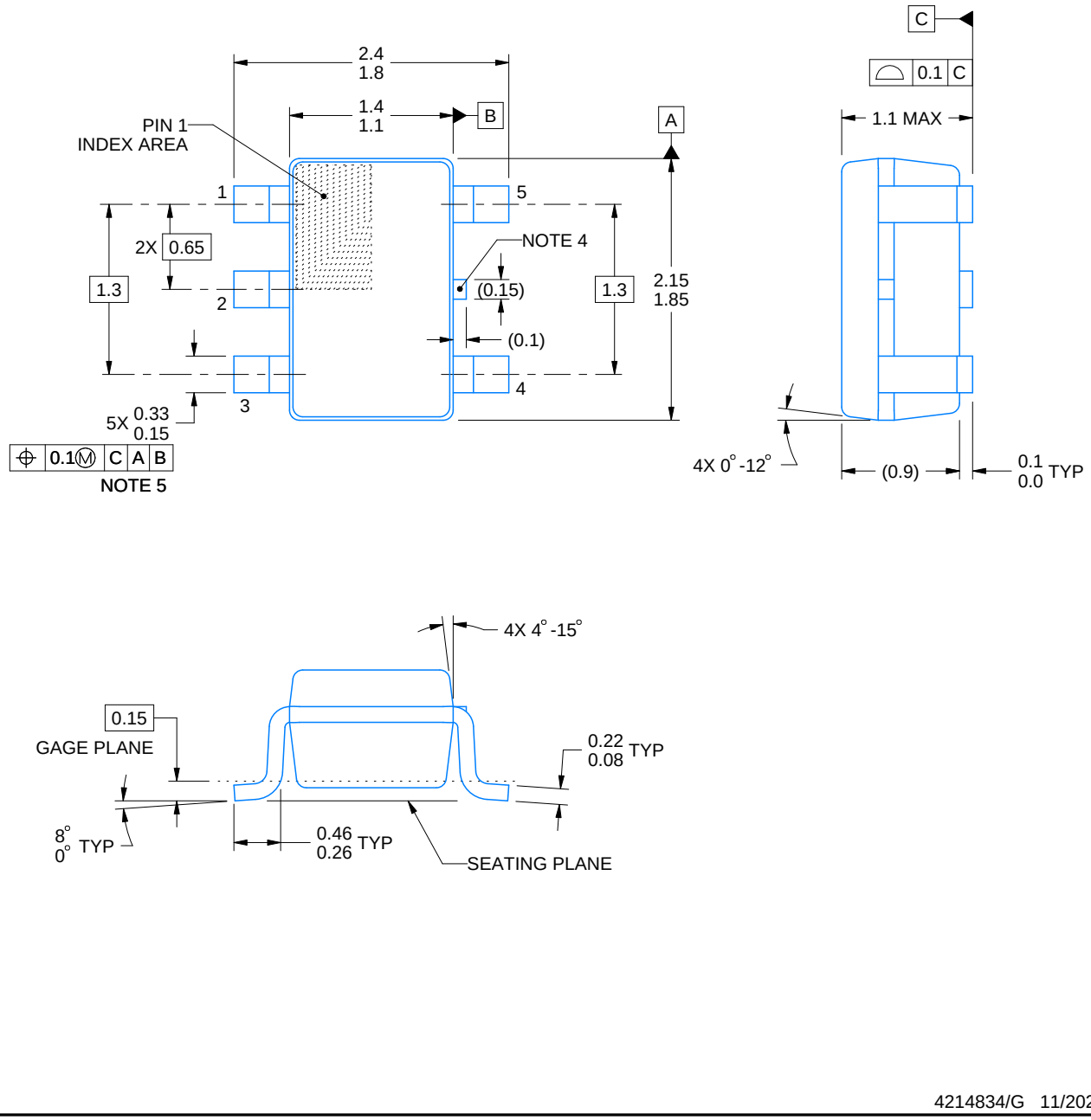
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

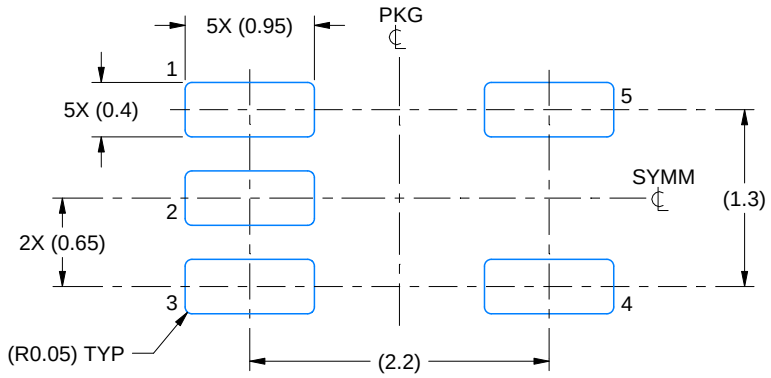
SMALL OUTLINE TRANSISTOR



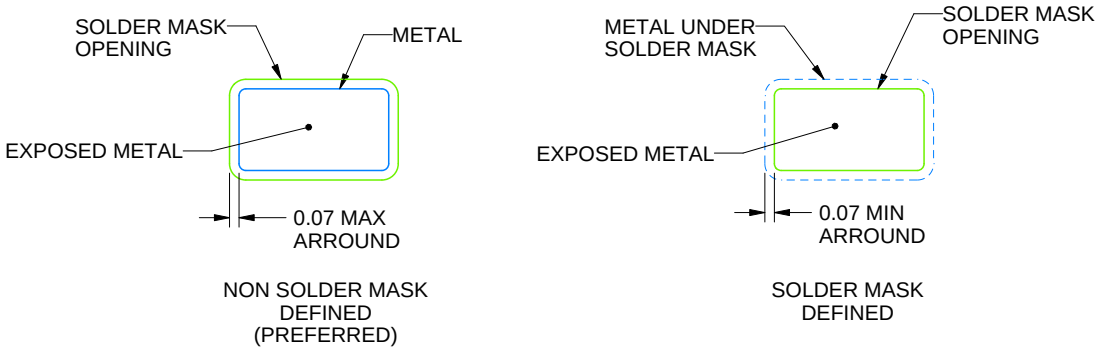
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

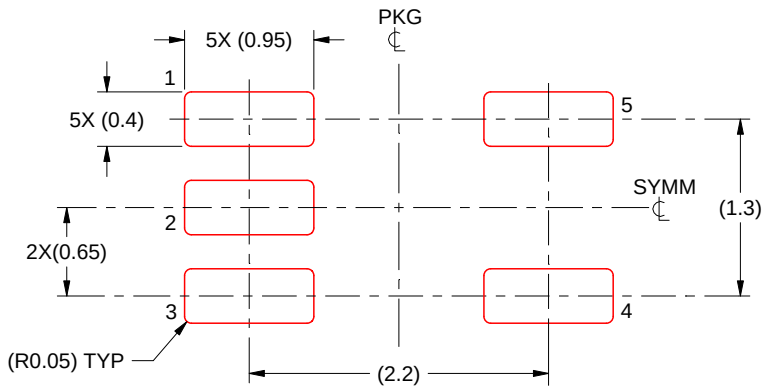


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

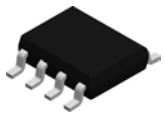


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

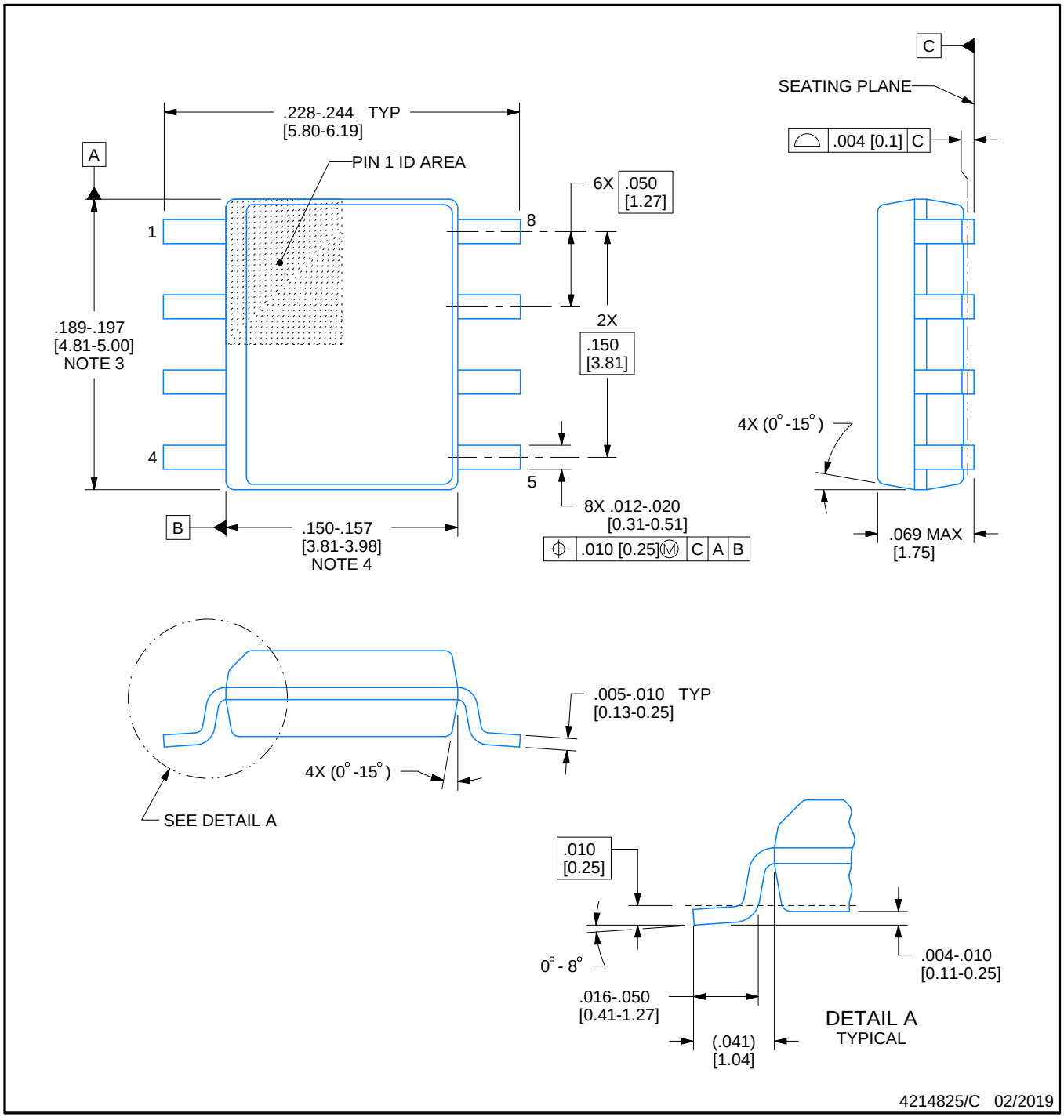


PACKAGE OUTLINE

D0008A

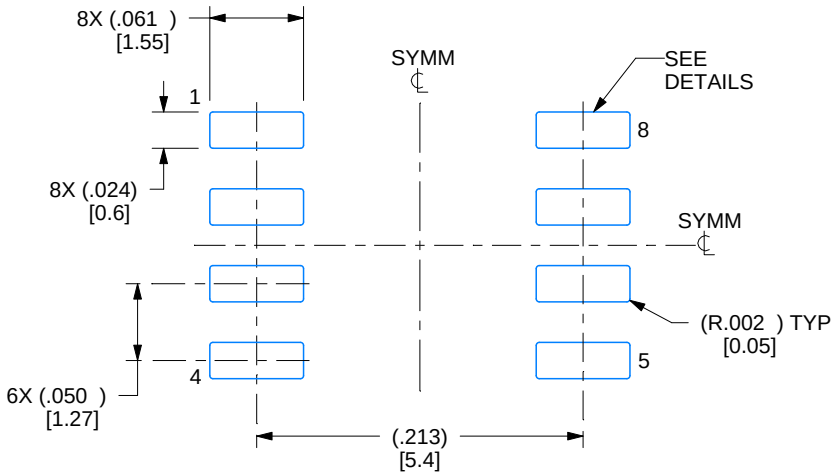
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

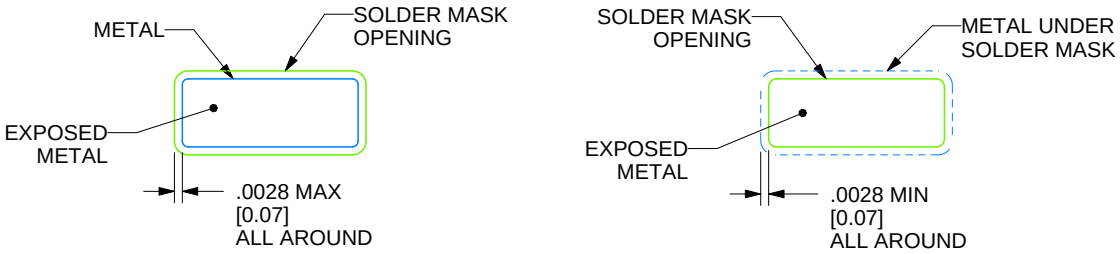


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

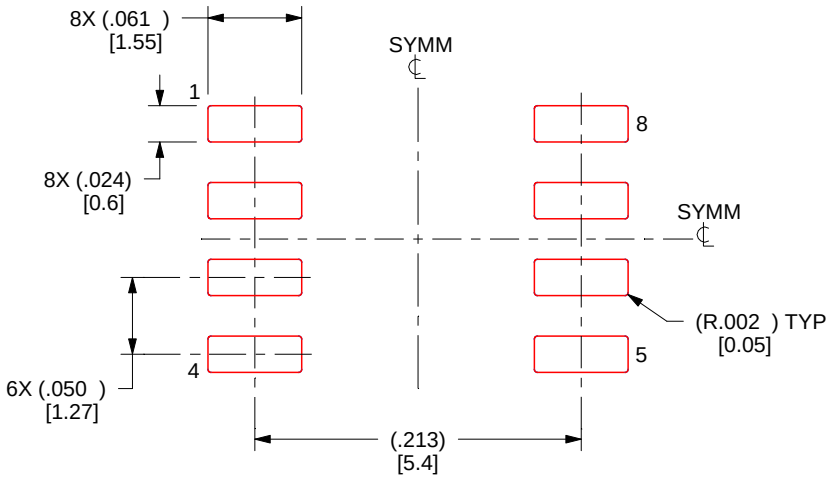
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

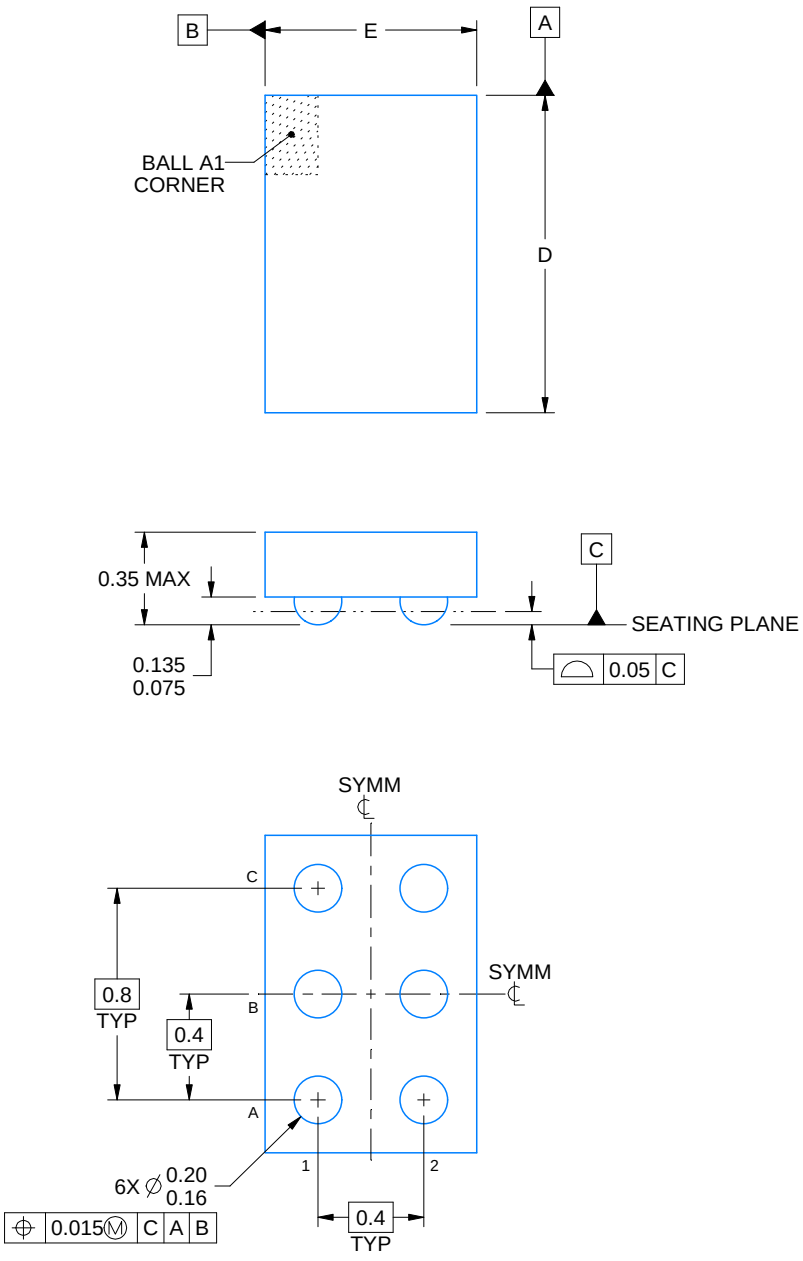
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

YBJ0006

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



4226653/A 03/2021

NOTES:

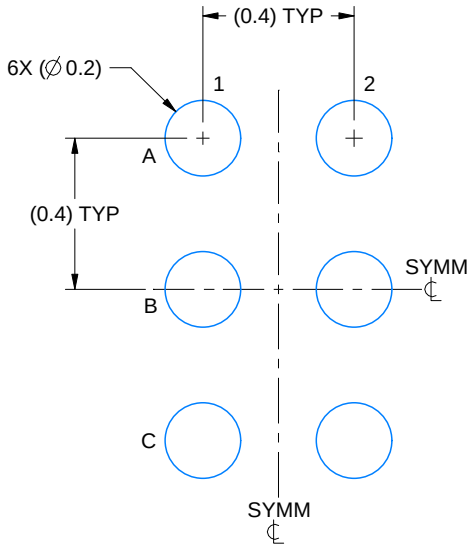
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

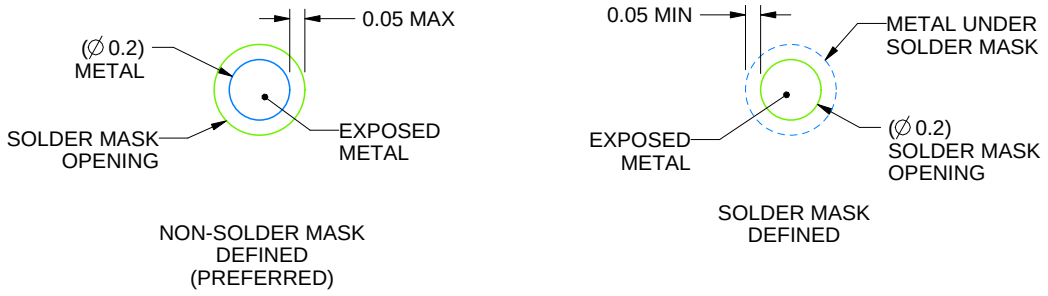
YBJ0006

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X

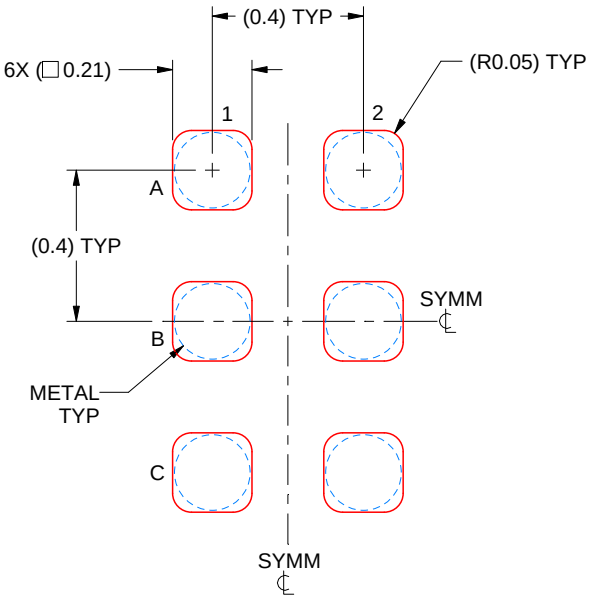


SOLDER MASK DETAILS
NOT TO SCALE

4226653/A 03/2021

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 50X

4226653/A 03/2021

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

GENERIC PACKAGE VIEW

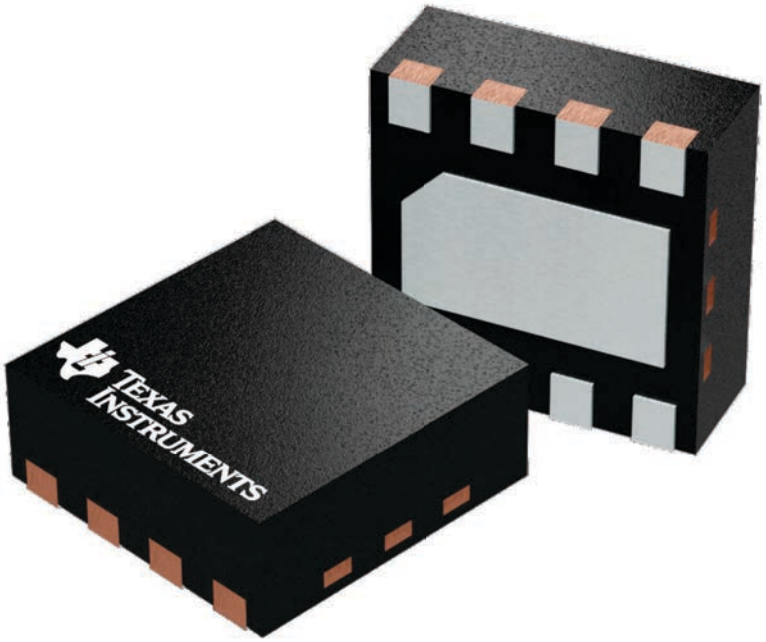
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



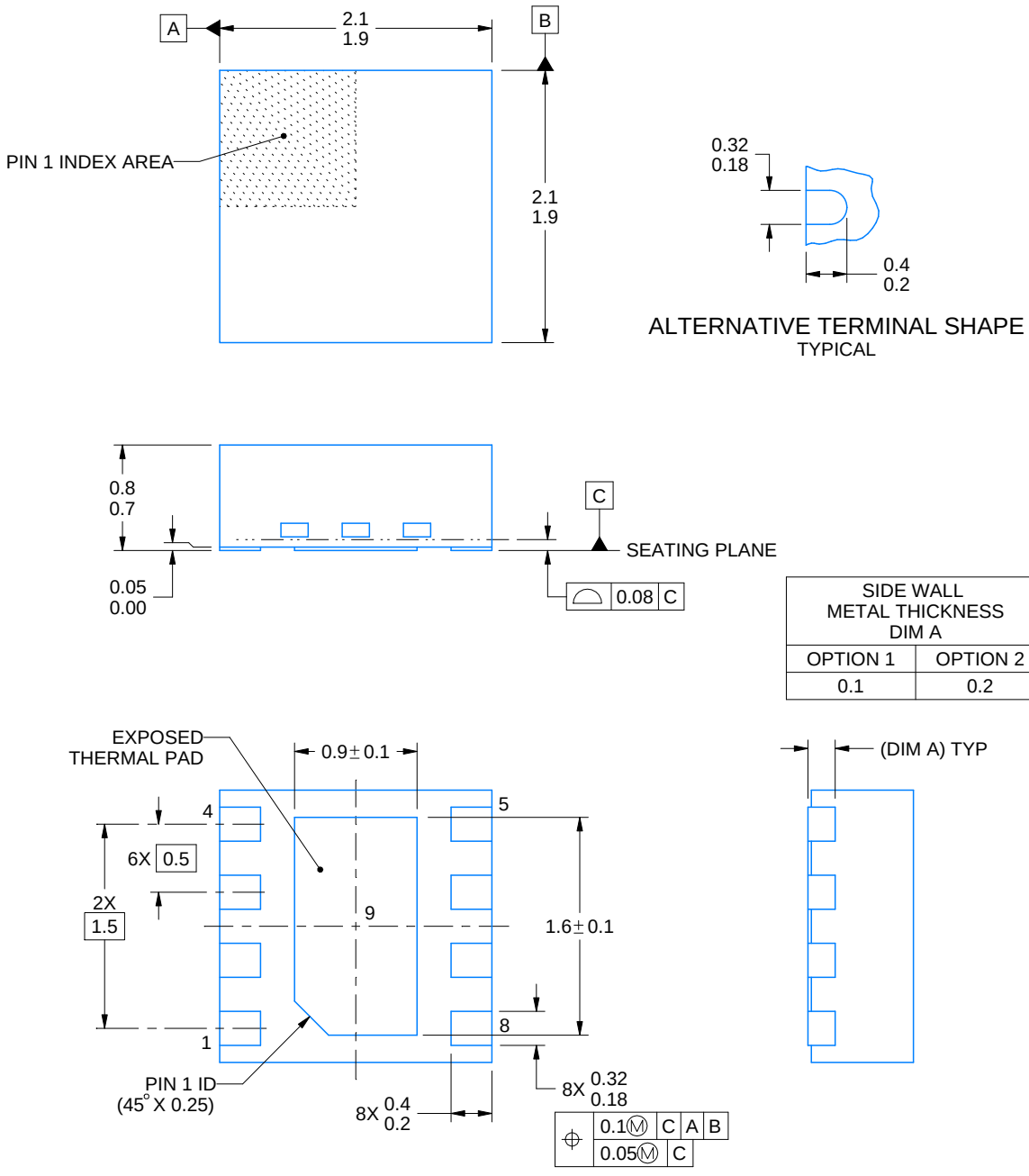
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

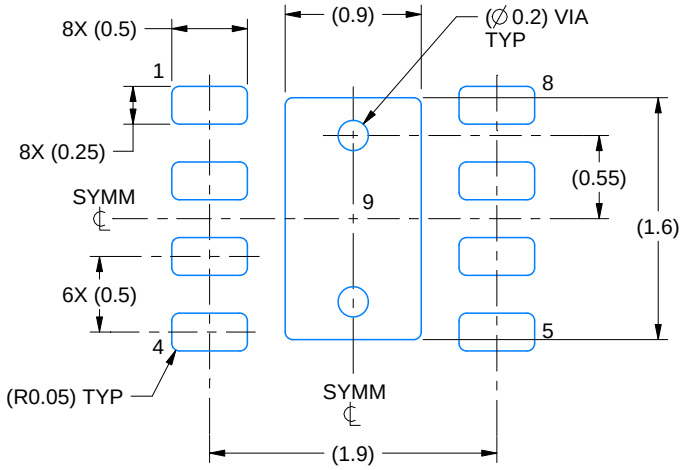
PLASTIC SMALL OUTLINE - NO LEAD



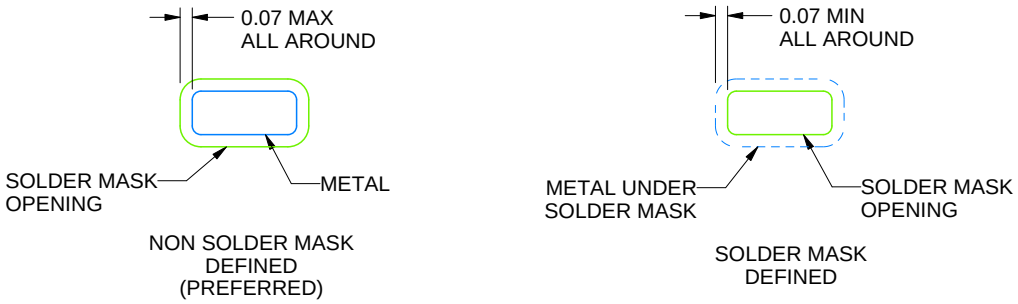
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

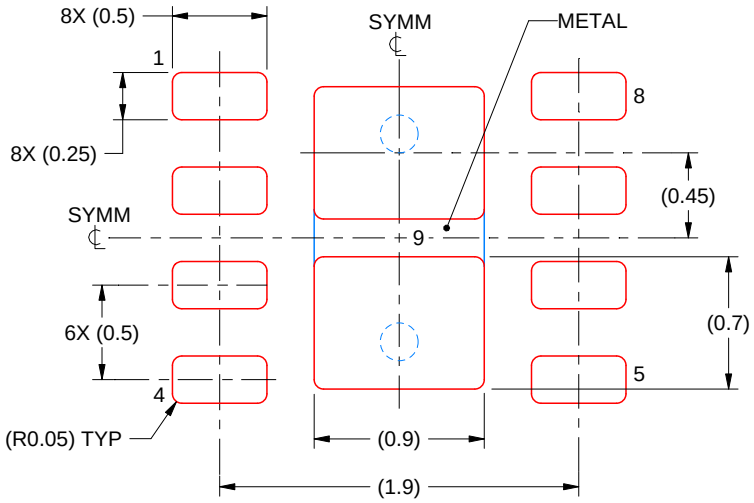


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

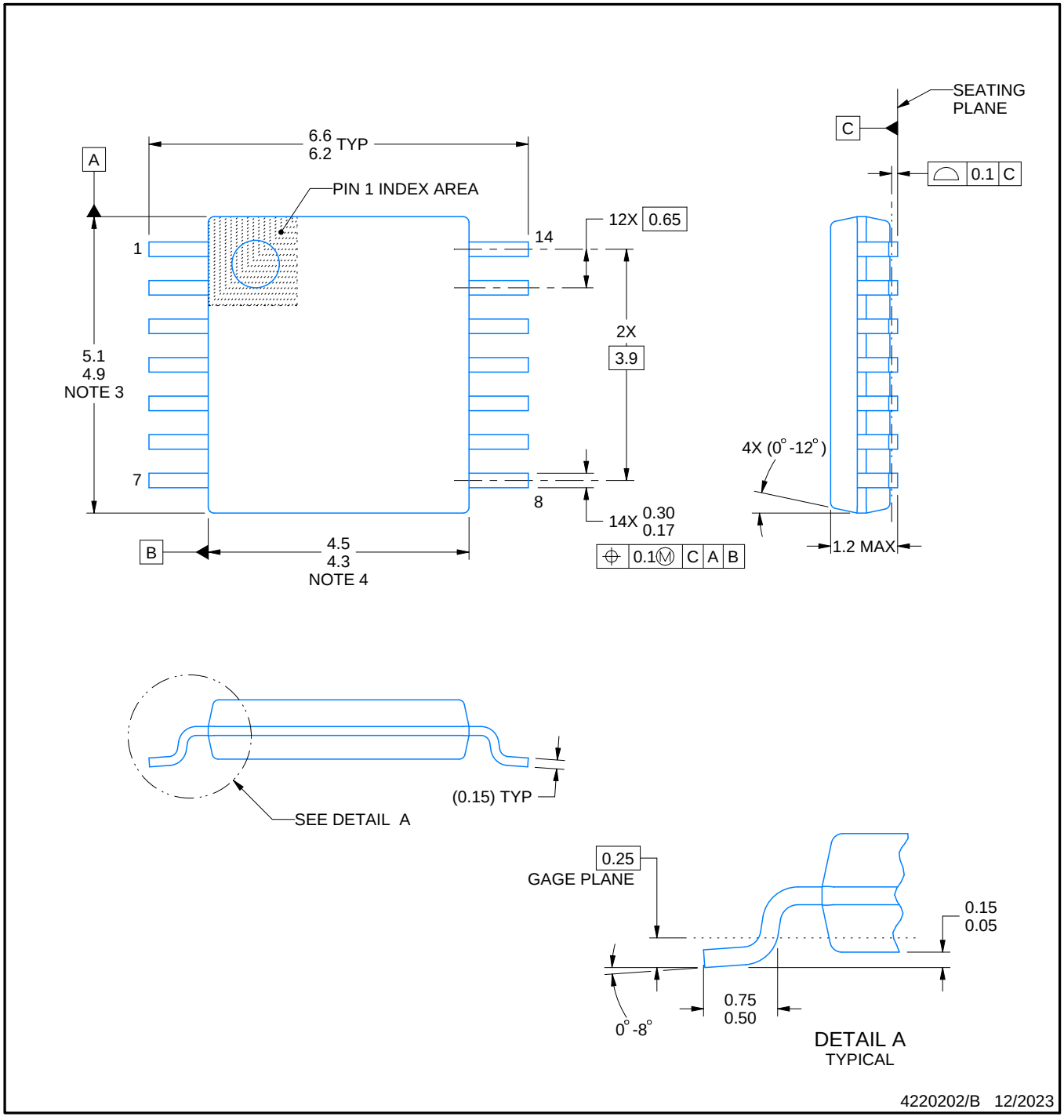
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

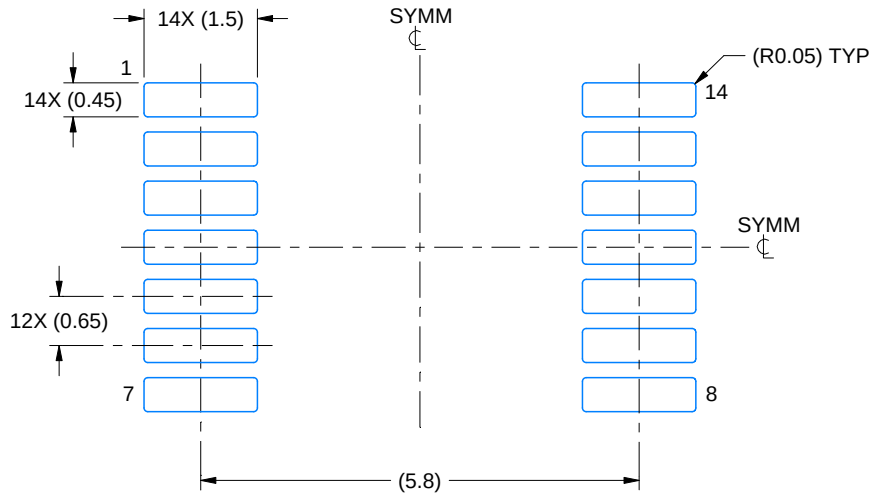
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

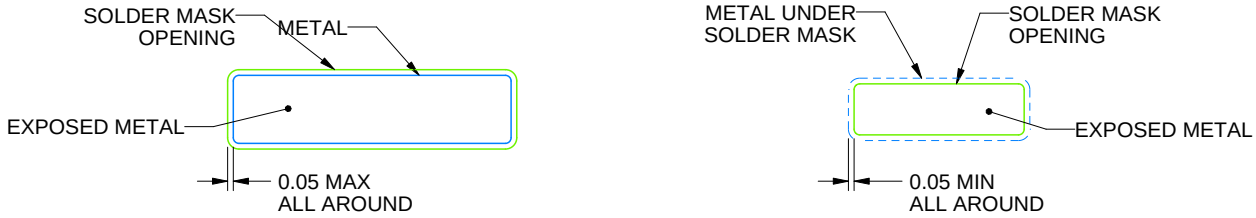


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

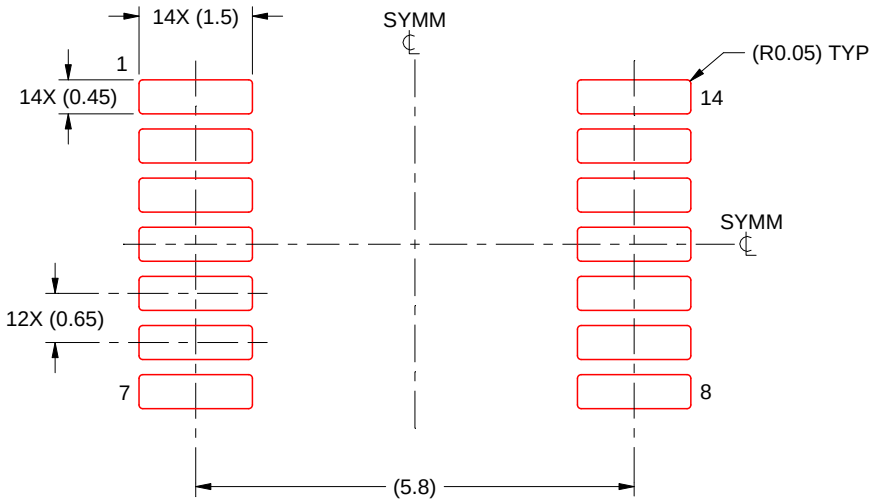


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

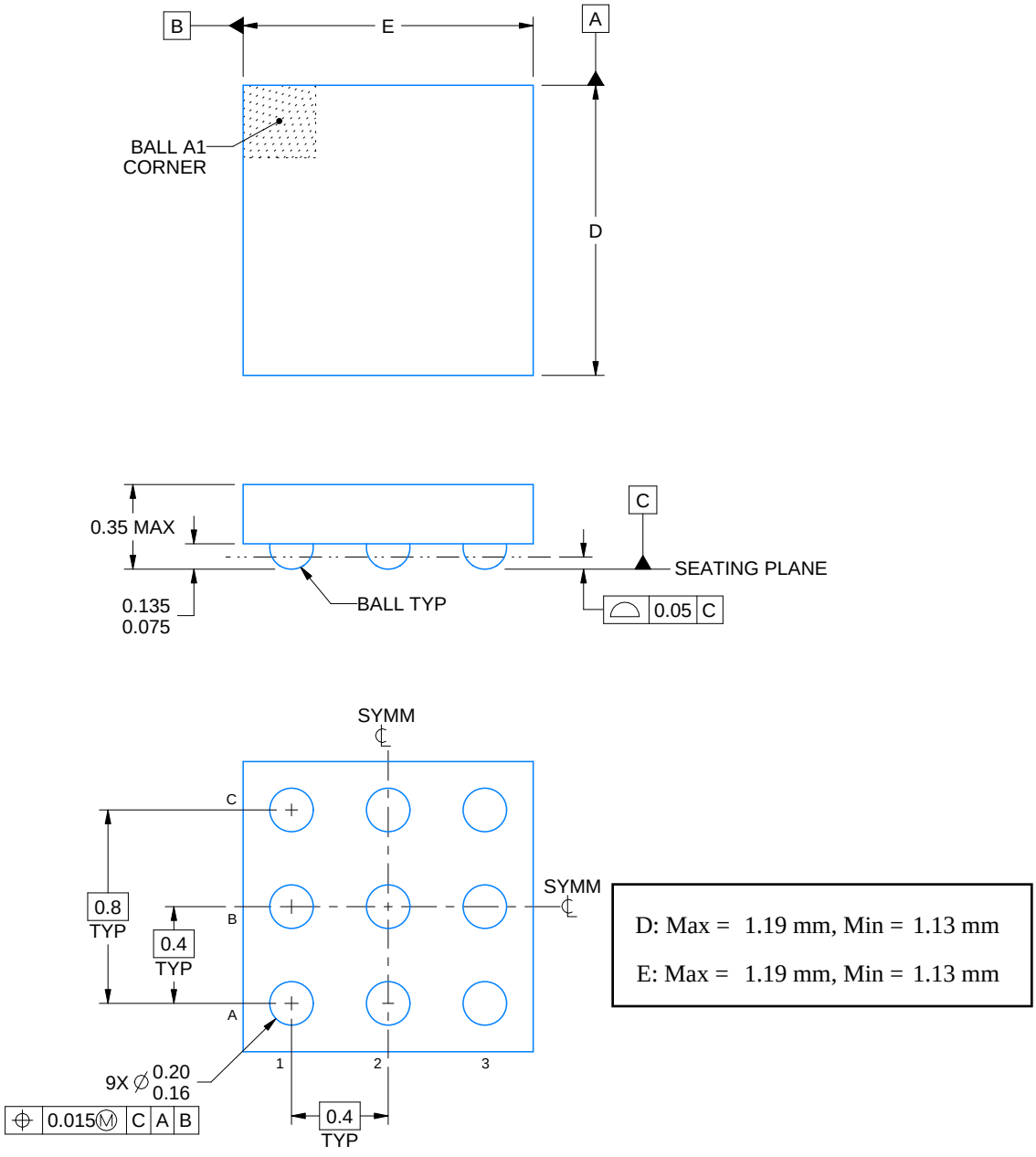
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

YBJ0009

PACKAGE OUTLINE

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



4225688/A 02/2020

NOTES:

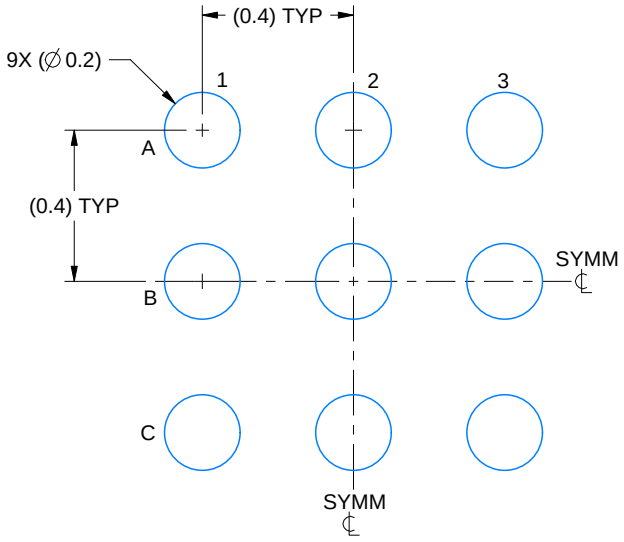
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

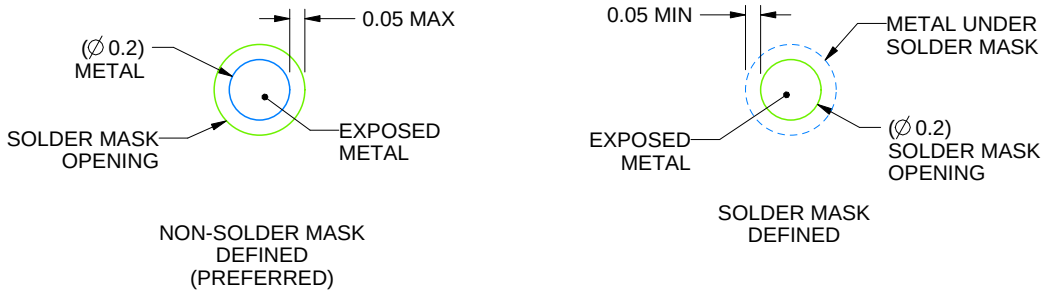
YBJ0009

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4225688/A 02/2020

NOTES: (continued)

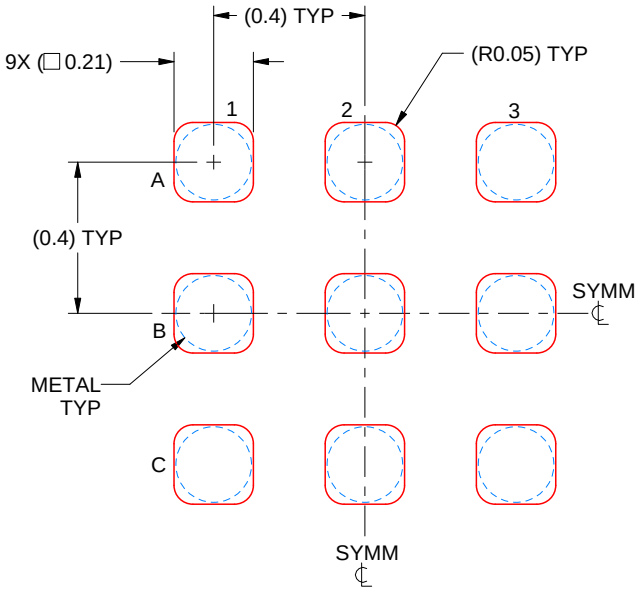
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YBJ0009

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 50X

4225688/A 02/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月