OPAx350 MicroAmplifier 系列高速单电源轨至轨运算放大器

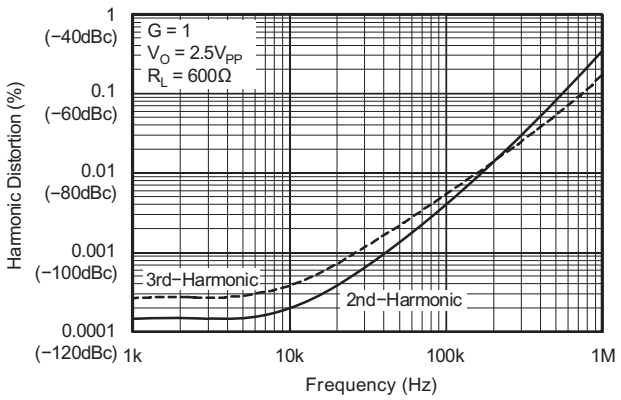
1 特性

- 轨至轨输入
- 轨至轨输出（10mV 范围内）
- 高带宽：38MHz
- 高转换速率：22V/μs
- 低噪声：5nV/√Hz
- 低总谐波失真 (THD) + 噪声：0.0006%
- 单位增益稳定
- 微型封装
- 单通道、双通道和四通道

2 应用

- 手机功率放大器 (PA) 控制环路
- 驱动模数 (A/D) 转换器
- 视频处理
- 数据采集
- 过程控制
- 音频处理
- 通信
- 有源滤波器
- 测试设备

OPAx350 谐波失真



3 说明

OPA350 系列轨至轨 CMOS 运算放大器针对低电压单电源运行进行了优化。轨至轨输入和输出、低噪声 (5nV/√Hz) 和高速运行 (38MHz, 22V/μs) 使得运算放大器非常适合驱动模数 (A/D) 转换器。而且也适用于手机功率放大器 (PA) 控制环路和视频处理（75Ω 驱动能力）以及音频和通用 应用。单通道、双通道和四通道版本具有完全相同的规格，可最大程度地提高设计灵活性。

OPA350 系列运行在一个低至 2.5V 的单电源上，输入共模电压范围介于接地电压以下 300mV 至正电源以上 300mV 之间。10kΩ 负载时，输出电压可以摆动到电源轨的 10mV 以内。双通道和四通道设计具有完全独立的电路，可将串扰降到最低并彻底消除相互作用。

单通道 (OPA350) 和双通道 (OPA2350) 采用微型 MSOP-8 表面贴装、SO-8 表面贴装和 DIP-8 封装。四通道 (OPA4350) 封装采用节省空间的 SSOP-16 表面贴装和 SO-14 表面贴装。所有版本的额定温度范围为 -40°C 至 85°C，工作温度范围为 -55°C 至 150°C。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
OPA350	MSOP (8)	3.00mm × 3.00mm
	SOIC (8)	3.91mm x 4.90mm
	PDIP (8)	6.35mm x 9.81mm
OPA2350	MSOP (8)	3.00mm × 3.00mm
	SOIC (8)	3.91mm x 4.90mm
	PDIP (8)	6.35mm x 9.81mm
OPA4350	SSOP (16)	3.90mm x 4.90mm
	SOIC (14)	3.91mm × 8.65mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 3
6 规格 ... 4
6.1 绝对最大额定值 ... 4
6.2 ESD 额定值 ... 4
6.3 建议的工作条件 ... 4
6.4 热性能信息：OPA350 和 OPA2350 ... 5
6.5 热性能信息：OPA4350 ... 5
6.6 电气特性 ... 6
6.7 典型特性 ... 8
7 详细 说明 ... 12
7.1 概述 ... 12
7.2 功能框图 ... 12
7.3 特性 说明 ... 12
7.4 器件功能模式 ... 16
8 应用和实现 ... 17
8.1 应用信息 ... 17
8.2 典型 应用 ... 17
9 电源建议 ... 21
10 布局 ... 21
10.1 布局指南 ... 21
10.2 布局示例 ... 21
11 器件和文档支持 ... 22
11.1 器件支持 ... 22
11.2 文档支持 ... 22
11.3 相关链接 ... 22
11.4 社区资源 ... 23
11.5 商标 ... 23
11.6 静电放电警告 ... 23
11.7 术语表 ... 23
12 机械、封装和可订购信息 ... 23

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

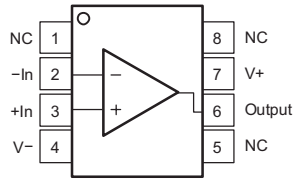
Changes from Revision C (January 2005) to Revision D **Page**

- 已添加 添加了 *ESD 额定值* 表、*特性 说明*部分、*器件功能模式*、*应用和实施*部分、*电源建议*部分、*布局*部分、*器件和文档支持*部分以及*机械、封装和可订购信息*部分。 ... 1

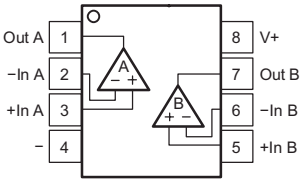
版权 © 2000–2015, Texas Instruments Incorporated

5 引脚配置和功能

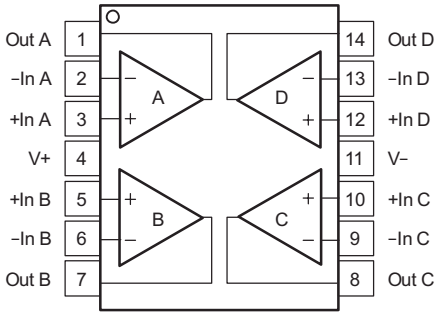
OPA350：P、D 和 DGK 封装
8 引脚 PDIP、SOIC 和 VSSOP
俯视图



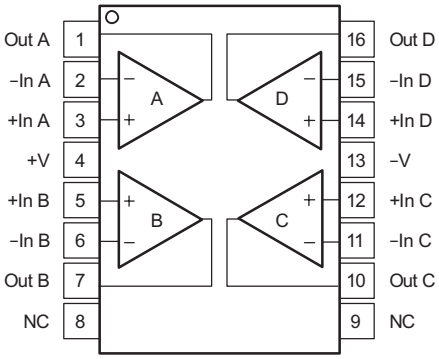
OPA2350：P、D 和 DGK 封装
8 引脚 PDIP、SOIC 和 VSSOP
俯视图



D 封装
14 引脚 SOIC
俯视图



DBQ 封装
16 引脚 SSOP
俯视图



引脚功能

引脚					I/O	说明
名称	OPA350 编号	OPA2350 编号	OPA4350 SO-14 编号	OPA4350 SSOP 编号		
NC	1、5、8	—	—	8, 9	—	无内部连接
–In	2	—	—	—	I	反相输入
+In	3	—	—	—	I	同相输入
V–	4	4	11	13	I	负电源
Output	6	—	—	—	O	输出
V+	7	8	4	4	I	正电源
Out A	—	1	1	1	O	输出通道 A
–In A	—	2	2	2	I	反相输入通道 A
+In A	—	3	3	3	I	同相输入通道 A
+In B	—	5	5	5	I	同相输入通道 B
–In B	—	6	6	6	I	反相输入通道 B
Out B	—	7	7	7	O	输出通道 B
Out C	—	—	8	10	O	输出通道 C
–In C	—	—	9	11	I	反相输入通道 C
+In C	—	—	10	12	I	同相输入通道 C
+In D	—	—	12	14	I	同相输入通道 D
–In D	—	—	13	15	I	反相输入通道 D
Out D	—	—	14	16	O	输出通道 D

版权 © 2000–2015, Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压			7	V
信号输入端(2)	电压	(V-) - 0.3	(V+) + 0.3	V
	电流		10	mA
短路电流(3)		连续		
工作温度		-55	150	°C
引线温度（焊接，10s）			300	°C
结温			150	°C
T_{stg} 贮存温度		-55	150	°C

(1) 超出*绝对最大额定值*下所列值的应力可能会对器件造成永久损坏。这些仅为在极端额定值下的工作情况，这不表示在这些条件下以及其它在超出*推荐的操作条件*下的任何其它操作时，器件能够正常操作. 在绝对最大额定值条件下长时间运行会影响器件可靠性。
(2) 输入端子被二极管钳制至电源轨。对于摆幅超过电源轨 0.3V 的输入信号，必须将其电流限制为 10mA 或者更低。
(3) 对地短路，每个封装含一个放大器。

6.2 ESD 额定值

		值	单位
OPA350、OPA2350、OPA4350（所有封装类型）			
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±1000	V
OPA350、OPA2350、OPA4350（仅 **SOIC** 封装）			
$V_{(ESD)}$ 静电放电	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1500	V

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议的工作条件

在自然通风温度范围内测得（除非另有说明）

	最小值	标称值	最大值	单位
电源电压，(V+)-(V-)	2.7 (±1.35)	5 (±2.5)	5.5 (±2.75)	V
额定温度范围	–40	25	85	°C
工作温度	–55	25	150	°C

版权 © 2000–2015, Texas Instruments Incorporated

6.4 热性能信息：OPA350 和 OPA2350

热指标(1)		OPA350、OPA2350			单位
		DGK (VSSOP)	P (PDIP)	D (SOIC)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	169.2	53.1	140.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	62.8	42.5	89.8	°C/W
$R_{\theta JB}$	结至电路板热阻	89.8	30.3	80.6	°C/W
ψ_{JT}	结至顶部的特征参数	7.5	19.7	28.7	°C/W
ψ_{JB}	结至电路板的特征参数	88.2	30.2	80.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	N/A	N/A	N/A	°C/W

(1) 有关传统和全新热度量的更多信息，请参阅 *IC 封装热度量* 应用报告 （文献号：SPRA953）。

6.5 热性能信息：OPA4350

热指标(1)		OPA4350		单位
		D (SOIC)	DBQ (SSOP)	
		14 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	83.8	115.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	70.7	67	°C/W
$R_{\theta JB}$	结至电路板热阻	59.5	58.3	°C/W
ψ_{JT}	结至顶部的特征参数	11.6	19.9	°C/W
ψ_{JB}	结至电路板的特征参数	37.7	57.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	N/A	N/A	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《*半导体和 IC 封装热指标*》应用报告，SPRA953。

版权 © 2000–2015, Texas Instruments Incorporated

6.6 电气特性

V_S = 2.7V 至 5.5V；所有规格符合 T_A = 25°C，R_L = 1kΩ 并连接到 V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。

参数			测试条件	最小值	典型值(1)	最大值	单位
失调电压							
V_{OS}	输入失调电压		V_S = 5V		±150	±500	µV
		T_A = -40°C 至 85°C				±1	mV
		与温度间的关系	T_A = –40°C 至 85°C		±4		µV/°C
PSRR	与电源抑制比之间的关系		V_S = 2.7V 至 5.5V，V_{CM} = 0V		40	150	µV/V
						175	
	通道分离（双通道、四通道）		直流		0.15		µV/V
输入偏置电流							
I_B	输入偏置电流				±0.5	±10	pA
		与温度间的关系			请参阅 *典型特性*		
I_{OS}	输入失调电流				±0.5	±10	pA
噪声							
	输入电压噪声，f = 100Hz 至 400kHz				4		µVrms
e_n	输入电压噪声密度， f = 10kHz				7		nV/√Hz
	输入电流噪声密度，f = 100kHz				5		nV/√Hz
i_n	电流噪声密度, f=10kHz				4		fA/√Hz
输入电压范围							
V_{CM}	共模电压范围		T_A = -40°C 至 85°C	-0.1		(V+)+0.1	V
CMRR	共模抑制比		V_S = 2.7V，-0.1V < V_{CM} < 2.8V	66	84		dB
			V_S = 5.5V，-0.1V < V_{CM} < 5.6V	74	90		
			T_A = -40°C 至 85°C，V_S = 5.5V，-0.1V < V_{CM} < 5.6V	74			
输入阻抗							
	差分				10^{13} || 2.5		Ω || pF
	共模				10^{13} || 6.5		Ω || pF
开环增益							
A_{OL}	开环电压增益		R_L = 10kΩ，50mV < V_O < (V+) –50mV	100	122		dB
		T_A = –40°C 至 85°C	R_L = 10kΩ，50mV < V_O < (V+) –50mV	100			
			R_L = 1kΩ，200mV < V_O < (V+) –200mV	100	120		
			R_L = 1kΩ，200mV < V_O < (V+) –200mV	100			
频率响应 (C_L = 100pF)							
GBW	增益带宽积		G = 1		38		MHz
SR	压摆率		G = 1		22		V/µs
	趋稳时间	0.1%	G = ±1，2V 阶跃		0.22		µs
		0.01%			0.5		
	过载恢复时间		V_{IN} × G = V_S		0.1		µs
THD+N	总谐波失真 + 噪声		R_L = 600Ω，V_O = 2.5V_{PP}(2)，G = 1，f = 1kHz		0.0006%		
	差分增益误差		G = 2，R_L = 600Ω，V_O = 1.4V(3)		0.17%		
	差分相位误差		G = 2，R_L = 600Ω，V_O = 1.4V(3)		0.17		°
输出							
V_{OUT}	相对于电源轨的电压输出摆幅(4)		R_L = 10kΩ，A_{OL} ≥ 100dB		10	50	mV
		T_A = –40°C 至 85°C	R_L = 10kΩ，A_{OL} ≥ 100dB			50	
			R_L = 1kΩ，A_{OL} ≥ 100dB		25	200	
I_{OUT}	输出电流				±40(5)		mA
I_{SC}	短路电流				±80		mA

(1) V_S = 5V
(2) V_{OUT} = 0.25V 至 2.75V
(3) 使用 NTSC 信号发生器。请参阅 图 31 的测试电路。
(4) 测得输出和电源轨之间的输出电压摆幅。
(5) 请参阅 图 17。

版权 © 2000–2015, Texas Instruments Incorporated

电气特性 (接下页)

V_S = 2.7V 至 5.5V；所有规格符合 T_A = 25°C，R_L = 1kΩ 并连接到 V_S/2 且 V_{OUT} = V_S/2（除非另有说明）。

参数			测试条件	最小值	典型值(1)	最大值	单位
C_{LOAD}	容性负载驱动				请参阅 *典型特性*		
电源							
V_S	工作电压范围		T_A = -40°C 至 85°C	2.7		5.5	V
	最小工作电压				2.5		V
I_Q	静态电流（每个放大器）		I_O=0		5.2	7.5	mA
		T_A = –40°C 至 85°C				8.5	
温度范围							
	额定温度			-40		85	°C
	工作温度范围			–55		150	°C

6.7 典型特性

所有规格符合 T_A = 25°C，V_S = 5V 且 R_L = 1kΩ 并连接到 V_S/2（除非另有说明）。

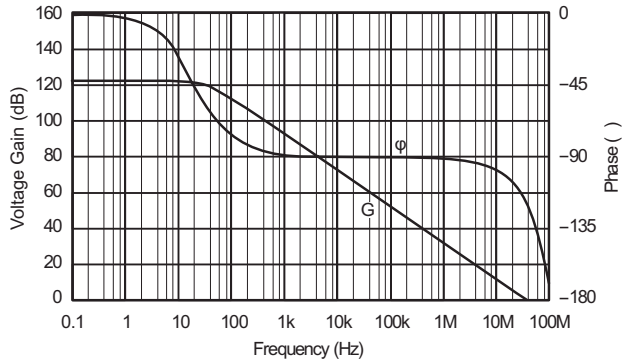


图 **1.** 开环增益和相位与频率间的关系

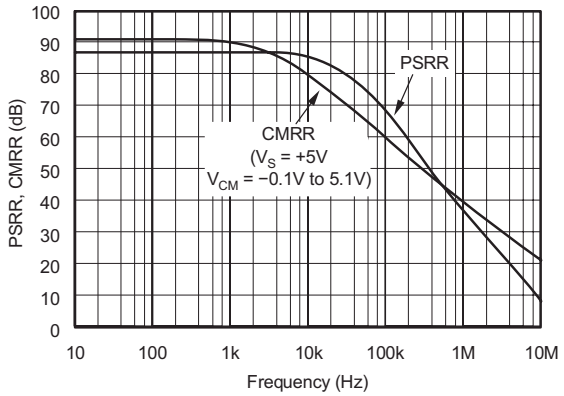


图 **2.** 电源和共模抑制比与频率间的关系

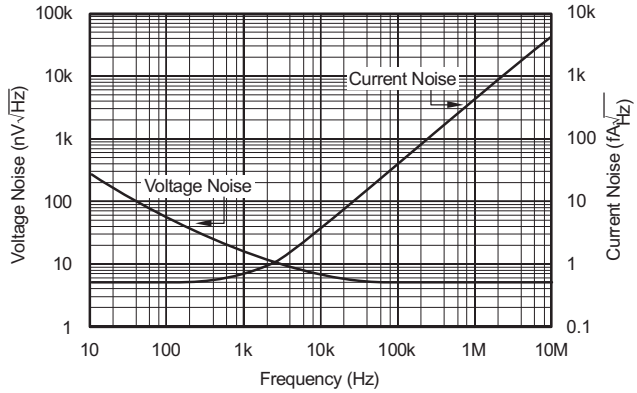


图 **3.** 输入电压和电流噪声频谱密度与频率间的关系

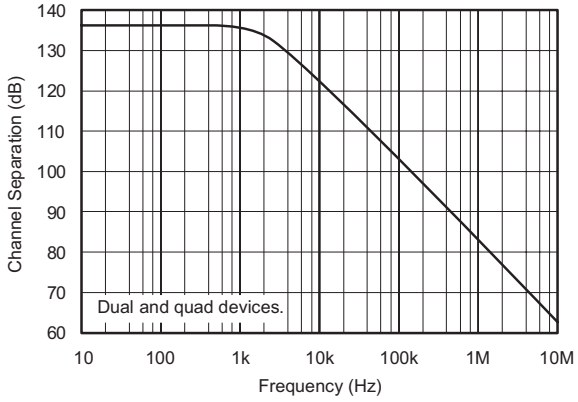


图 **4.** 通道分离与频率间的关系

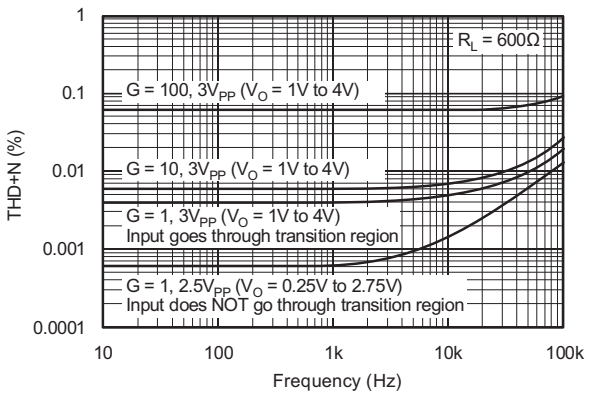


图 **5.** 总谐波失真 + 噪声与频率间的关系

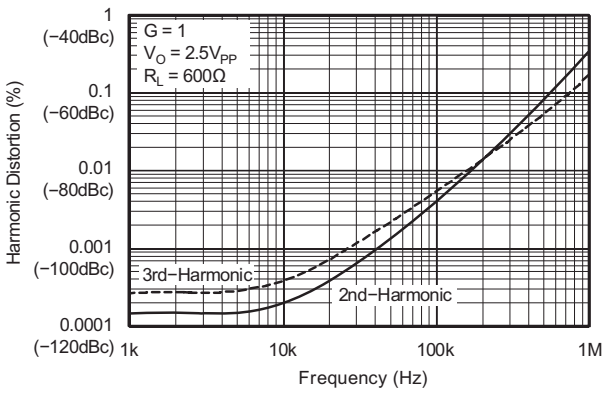


图 **6.** 谐波失真 + 噪声与频率间的关系

版权 © 2000–2015, Texas Instruments Incorporated

典型特性 (接下页)

所有规格符合 T_A = 25°C，V_S = 5V 且 R_L = 1kΩ 并连接到 V_S/2（除非另有说明）。

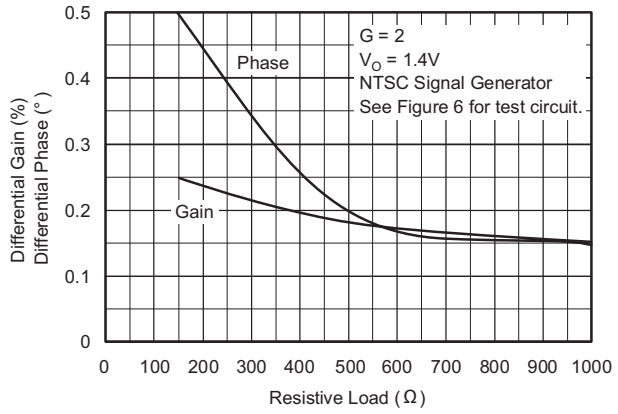


图 **7.** 差分增益和相位与电阻负载间的关系

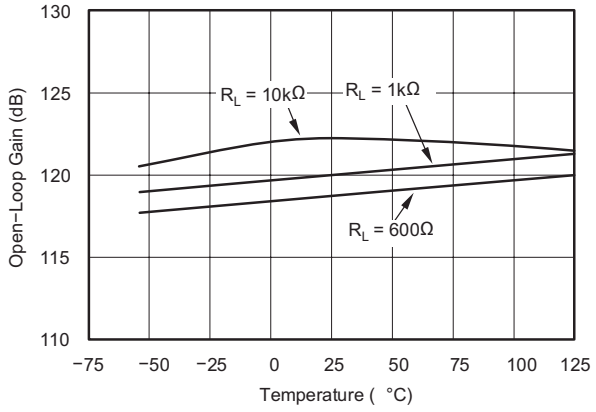


图 **8.** 开环增益与温度间的关系

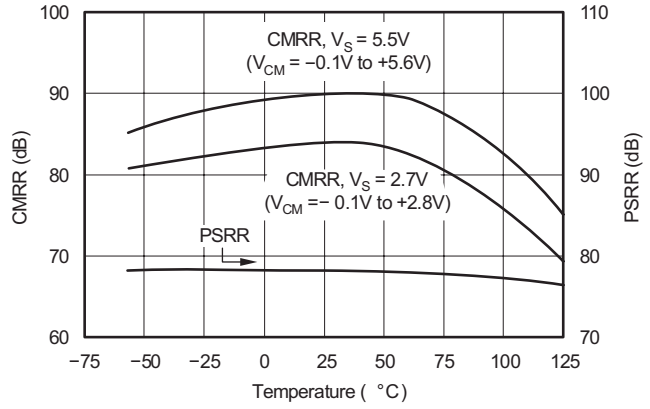


图 **9.** 共模和电源抑制比与温度间的关系

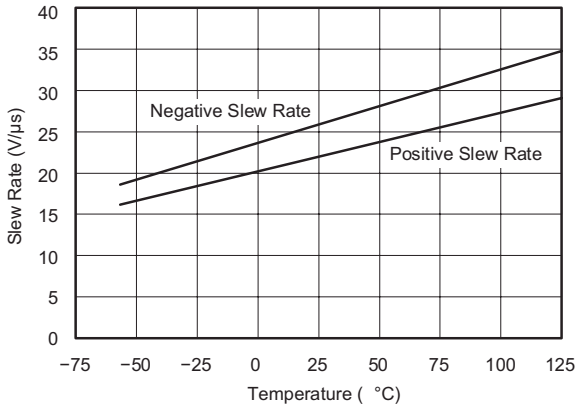


图 **10.** 转换速率与温度间的关系

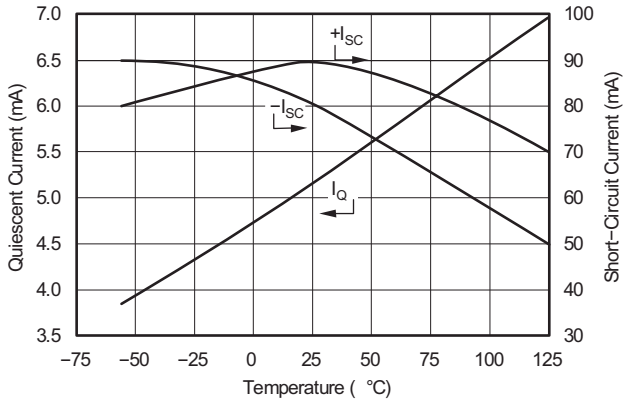


图 **11.** 静态电流和短路电流与温度间的关系

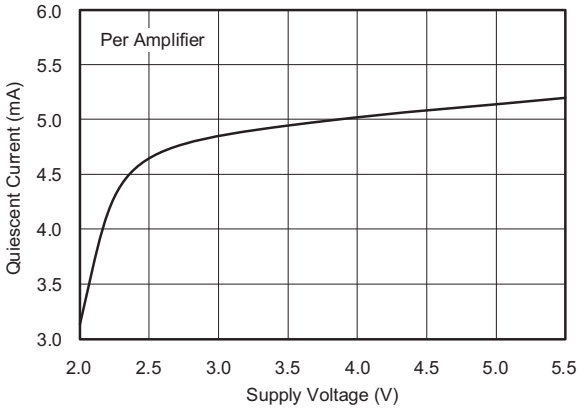


图 **12.** 静态电流与电源电压间的关系

典型特性 (接下页)

所有规格符合 T_A = 25°C，V_S = 5V 且 R_L = 1kΩ 并连接到 V_S/2（除非另有说明）。

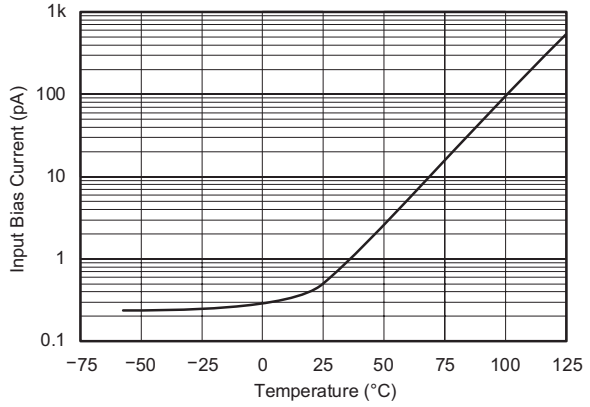


图 **13.** 输入偏置电流与温度间的关系

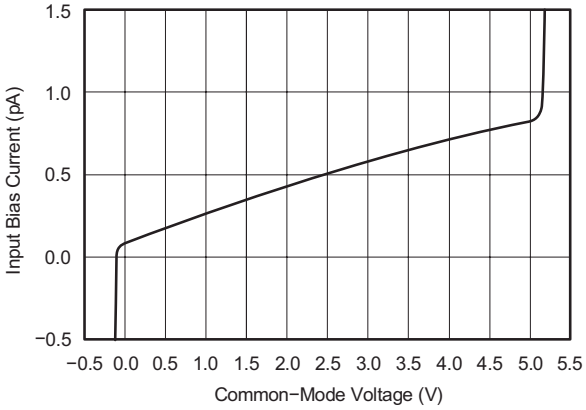


图 **14.** 输入偏置电流与输入共模电压间的关系

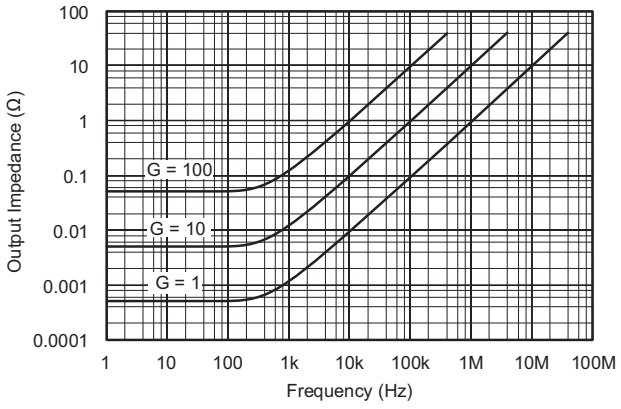


图 **15.** 闭环输出阻抗与频率间的关系

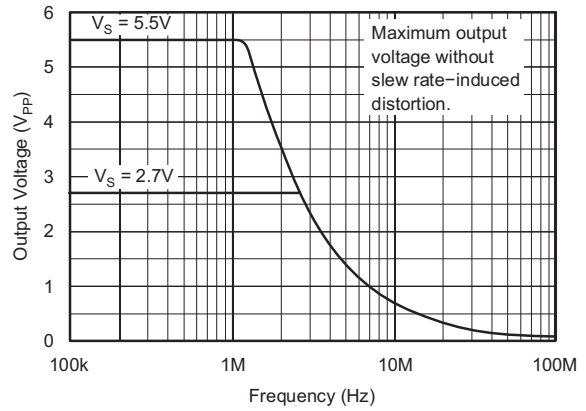


图 **16.** 最大输出电压与频率间的关系

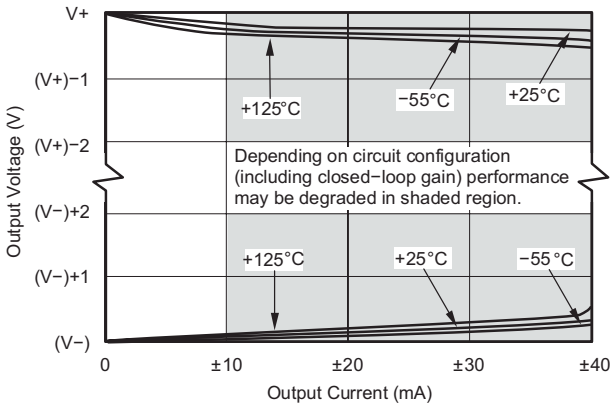


图 **17.** 输出电压摆幅与输出电流间的关系

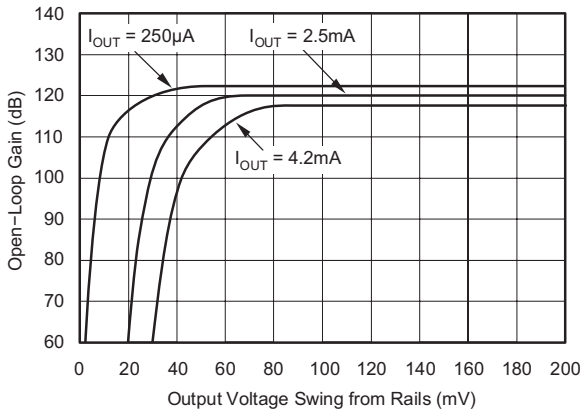


图 **18.** 开环增益与输出电压摆幅间的关系

版权 © 2000–2015, Texas Instruments Incorporated

典型特性 (接下页)

所有规格符合 T_A = 25°C，V_S = 5V 且 R_L = 1kΩ 并连接到 V_S/2（除非另有说明）。

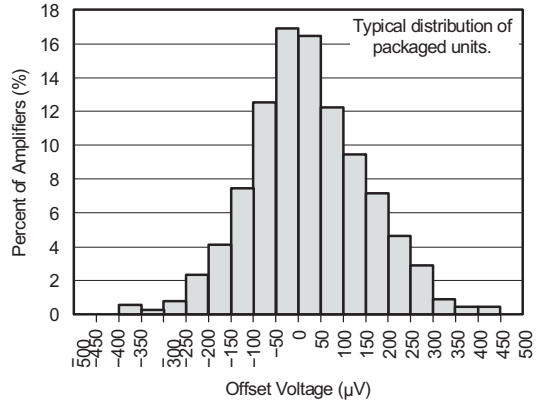


图 **19.** 失调电压产生分布

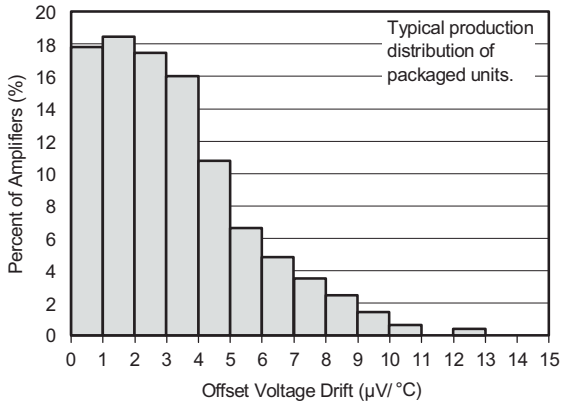


图 **20.** 失调电压漂移产生分布

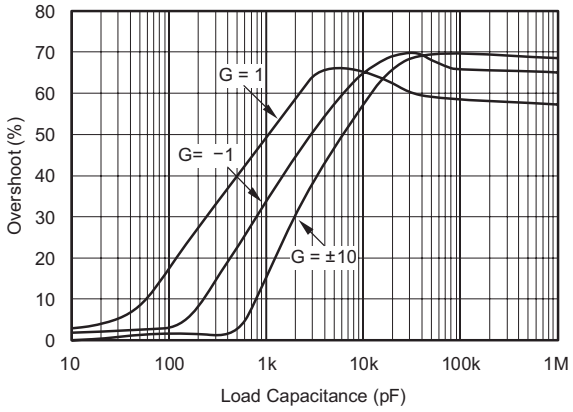


图 **21.** 小信号过冲与负载电容间的关系

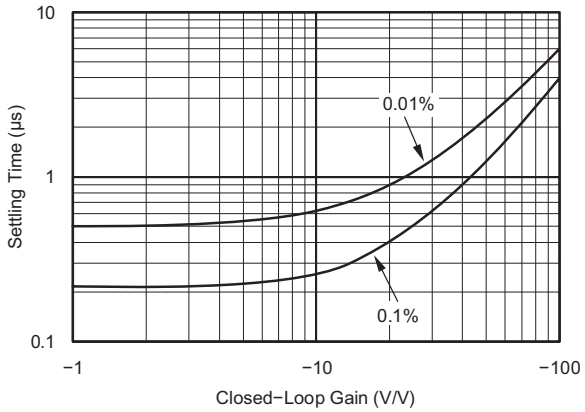


图 **22.** 趋稳时间与闭环增益间的关系

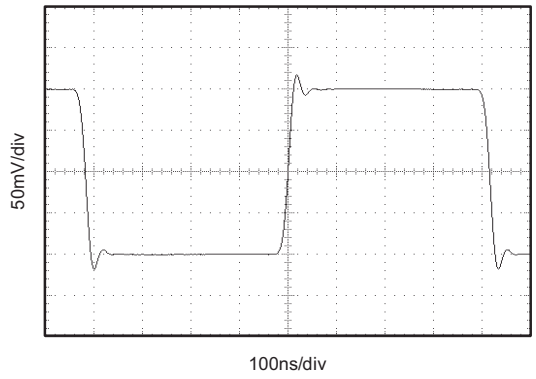


图 **23.** 小信号阶跃响应
C_L = 100pF

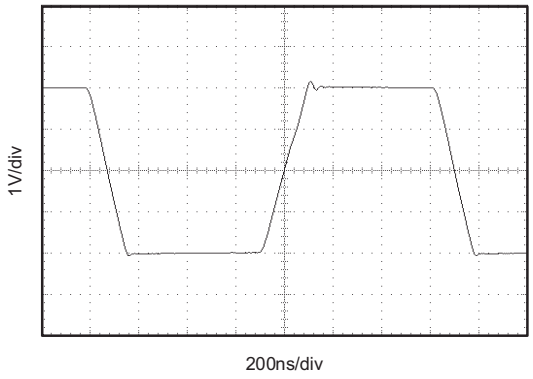


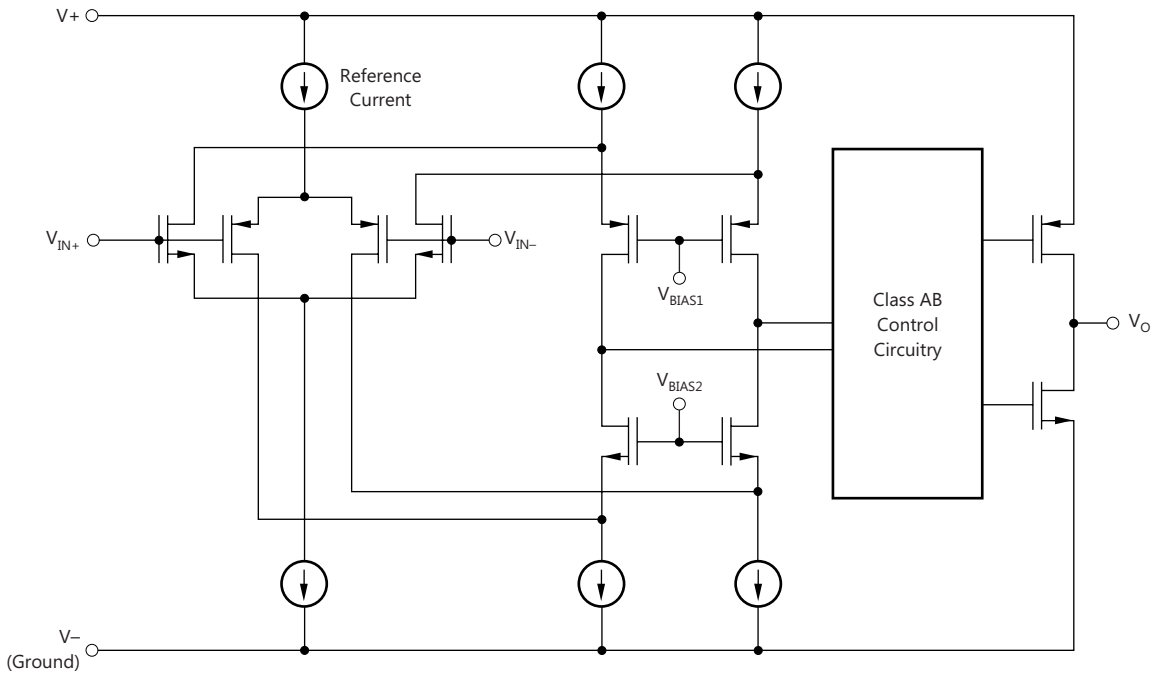
图 **24.** 大信号阶跃响应
C_L = 100pF

7 详细 说明

7.1 概述

OPA350 系列轨至轨 CMOS 运算放大器针对低电压单电源运行进行了优化。轨至轨输入和输出、低噪声 (5nV/√Hz) 和高速运行 (38MHz, 22V/μs) 使得运算放大器非常适合驱动采样模数 (A/D) 转换器。而且也适用于手机功率放大器 (PA) 控制环路和视频处理（75Ω 驱动能力）以及音频和通用 应用。单通道、双通道和四通道版本具有完全相同的规格，可最大程度地提高设计灵活性。

7.2 功能框图



Copyright © 2017, Texas Instruments Incorporated

7.3 特性 说明

OPA350 系列运算放大器采用先进的 0.6 微米 CMOS 工艺进行制造。它们的单位增益稳定，适合各类通用 应用。轨至轨输入和输出使它们非常适合驱动采样模数(A/D)转换器。而且也适用于控制手机中的输出功率。这些 应用 通常要求速度高、噪声低。此外，OPA350 系列为通用和消费类视频 应用 提供低成本解决方案（75Ω 驱动能力）。

OPA350 系列具有出色的交流性能，适合音频 应用。它们的带宽、转换速率、低噪声 (5nV/√Hz)、低 THD (0.0006%) 和小型封装选项极其适合这些 应用。AB 类输出级能够驱动连接至 V+ 和接地间任一点的 600Ω 的负载。

轨至轨输入和输出摆幅可大幅扩大动态范围（尤其在低电压电源 应用中。图 25 显示了采用单位增益配置的 OPA350 的输入和输出波形。运行由一个将 1kΩ 负载连接到 V_S/2 的 5V 单电源供电。输入是一个 $5V_{PP}$ 正弦波。输出电压摆幅约为 $4.95V_{PP}$。

应使用 0.01μF 陶瓷电容器将电源引脚旁通。

版权 © 2000–2015, Texas Instruments Incorporated

特性 说明 **(**接下页**)**

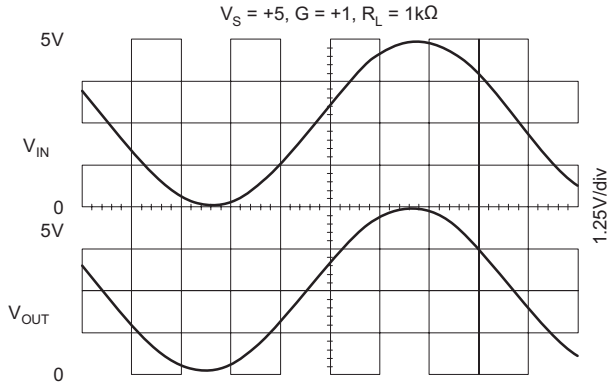


图 **25.** 轨至轨输入和输出

7.3.1 工作电压

OPA350 系列运算放大器的完整额定参数为 2.7V 至 5.5V。实际的电源电压可以介于 2.5V 至 5.5V 之间。在额定电源范围内对参数进行了测试：这是 OPA350 系列的一个特性。而且，有多种规格可供在 -40°C 至 85°C 的温度范围内适用。实际上，在整个工作电压范围内，大多数运行方式并未改变。*典型特性* 中显示了随工作电压或温度的变化而显著变化的参数。

7.3.2 轨至轨输入

OPA350 系列经过测试的输入共模电压范围在电源轨基础上扩展了 100mV。这是由一个互补输入级实现的：一个 N 通道输入差分对和一个 P 通道差分对并联，如 图 26 所示。当输入电压靠近正轨（通常为 (V+) – 1.8V 到高于正电源电压 100mV）时，N 通道对有效；而当输入为低于负电源电压 100mV 到大约 (V+) – 1.8V 范围时，P 通道对打开。在一个通常介于 (V+) – 2V 到 (V+) – 1.6V 的小转换区域内，两个对都打开。此 400mV 转换区域可能会随工艺不同而波动 ±400mV。因此，此转换区域（两个输入级都打开）在低端上的范围介于 (V+) – 2.4V 至 (V+) – 2V 之间，在高端上的范围高达 (V+) – 1.6V 至 (V+) – 1.2V。

版权 © 2000–2015, Texas Instruments Incorporated

特性 说明 (接下页)

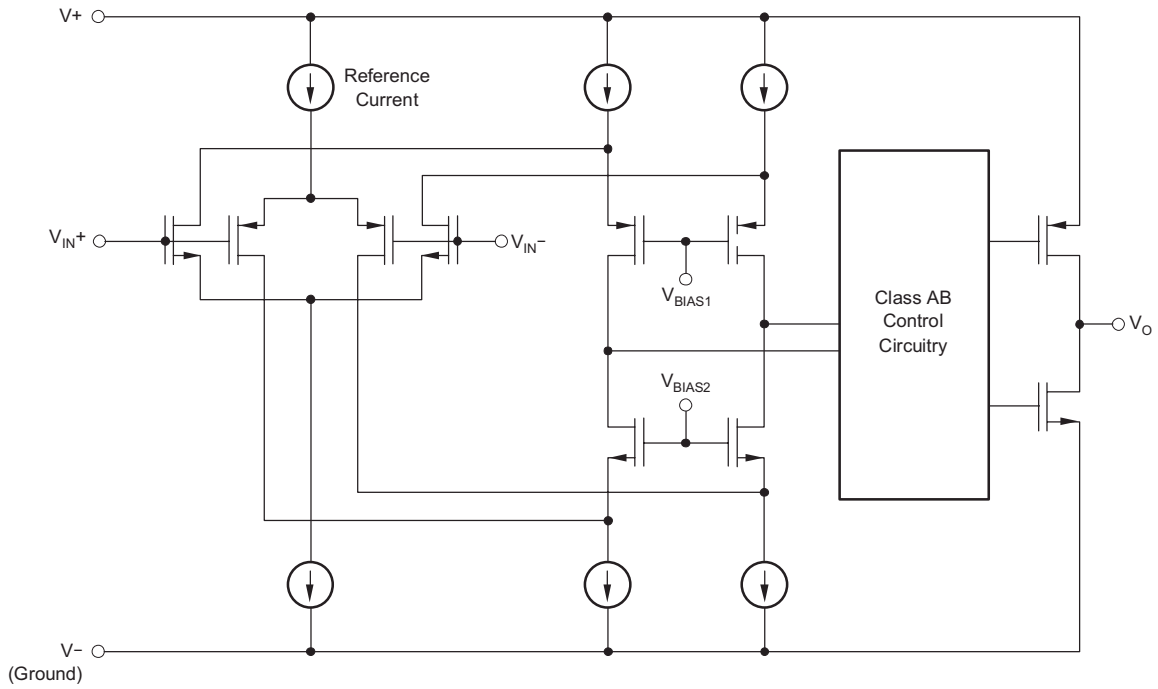


图 **26.** 简化原理图

OPA350 系列运算放大器经过激光修整，减少了 N 通道和 P 通道输入级之间的失调电压差，因此提高了共模抑制，使 N 通道对和 P 通道对之间的转换更加流畅。但是器件在 400mV 转换区域内运行与在该区域外运行相比，PSRR、CMRR、失调电压、温漂和 THD 可能会降级。

双折共源共栅从两个输入对中添加信号，并且将差分信号提供到 AB 类输出级。通常情况下，输入偏置电流大概为 500fA。但是，大输入（比电源轨高 300mV 以上）可能会打开输入保护二极管，导致过多电流流入或流出输入引脚。如果输入引脚的电流不超过 10mA，则系统可以承受超过电源电压 300mV 以上的瞬时电压。可借助输入电阻器轻松实现此限制，如 图 27 所示。许多输入信号本就会将电流限制在 10mA 以下；因此不需要使用限制电阻器。

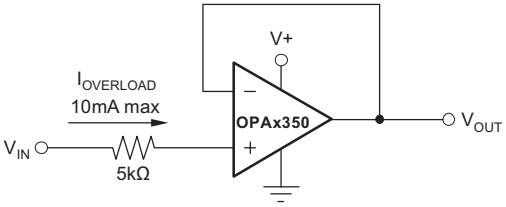


图 **27.** 在电压超过电源电压时提供输入电流保护

7.3.3 轨至轨输出

采用具有共源晶体管的 AB 类输出级来实现轨至轨输出。对于轻电阻负载 (> 10kΩ)，输出电压摆幅通常在距离电源轨 10mV 的范围内。对于较大的电阻负载（600Ω 至 10kΩ），输出可以在距电源轨几十毫伏的范围内摆动，并且保持高开环增益。请参阅 图 17 和 图 18 了解详细信息。

版权 © 2000–2015, Texas Instruments Incorporated

特性 说明 (接下页)

7.3.4 电容负载和稳定性

OPA350 系列运算放大器可驱动各种电容负载。不过在某些特定情况下，所有运算放大器都可能会变得不稳定。在确定稳定性时，运算放大器配置、增益和负载值不过是其中几个要考虑的因素。采用单位增益配置的运算放大器最容易受到电容负载的影响。电容负载受运算放大器输出阻抗以及任何其他负载电阻的影响，在小信号响应中生成一个使相角裕量减小的极点。

如采用单位增益，OPA350 系列运算放大器在大电容负载下表现良好。提高增益可增强放大器驱动更大电容的能力。图 21 显示了 1kΩ 电阻负载时的性能。提高负载电阻可增强电容负载驱动能力。

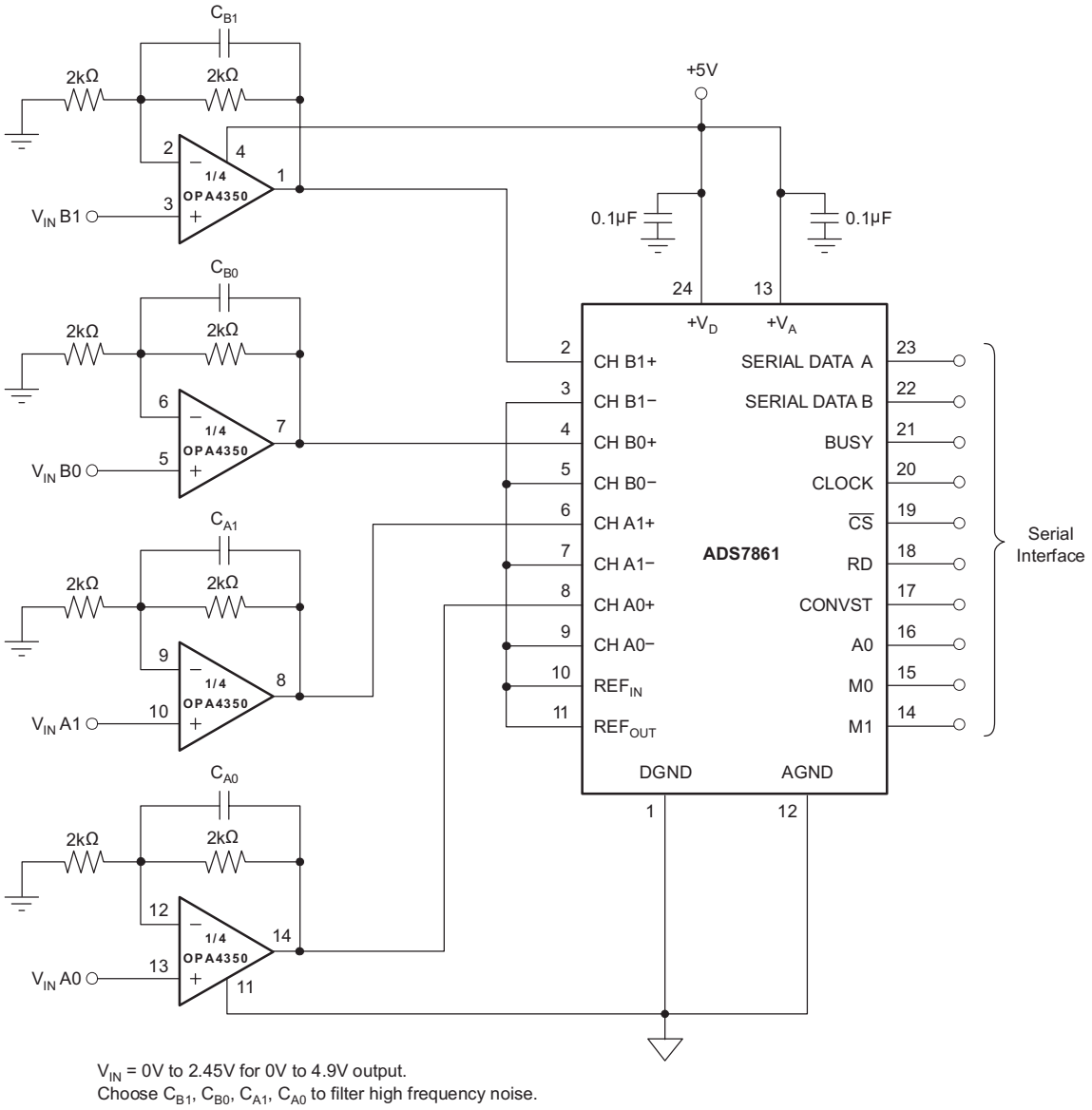
7.3.5 驱动模数 (A/D) 转换器

OPA350 系列运算放大器针对驱动中速（最高 500kHz）采样模数转换器进行了优化，而且在应用于更高速度的转换器时也能提供出色的性能。OPA350 系列不仅提供信号增益，同时还能有效缓冲模数转换器输入电容并实现电荷注入。

图 28 显示了驱动 ADS7861 的 OPA350。ADS7861 是一个双通道、500kHz、12 位采样转换器，采用小型 SSOP-24 封装。与 OPA350 系列的微型封装选项一起使用时，该组合非常适合空间有限的 应用。有关详细信息，请查阅 ADS7861 产品说明书《*双通道 500kSPS 12 位 2 + 2 通道同步采样模数转换器*》(SBAS110)。

版权 © 2000–2015, Texas Instruments Incorporated

特性 说明 (接下页)



V_{IN} = 0V to 2.45V for 0V to 4.9V output.
Choose C_{B1}, C_{B0}, C_{A1}, C_{A0} to filter high frequency noise.

图 **28. OPA4350** 驱动采样模数转换器

7.3.6 输出阻抗

OPA350 共源输出级的低频开环输出阻抗大概为 1kΩ。当运算放大器与反馈连接时，运算放大器的环路增益使该值显著减小。例如，开环增益为 122dB 时，单位增益中的输出阻抗减小到低于 0.001Ω。闭环增益每升高十倍频，环路增益减少相同的量，使得有效输出阻抗增加十倍（参阅 图 15）。

频率增高，运算放大器的开环增益降低，使得输出阻抗升高。但是，在这些频率下，输出也因为寄生电容而变为容性。这将防止输出阻抗过高，导致在驱动电容负载时出现稳定性问题。对于一个具有同等带宽的运算放大器而言，OPA350 具有出色的电容负载驱动能力。

7.4 器件功能模式

OPAx350 具有单一功能模式，可在电源电压大于
2.7V (±1.35V) 时工作。OPAx350 的最大电源电压为 5.5V (±2.75V)。

版权 © 2000–2015, Texas Instruments Incorporated

8 应用和实现

注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

低通滤波器通常用于在信号处理 应用 中降低噪声并防止混叠。OPAx350 非常适合构建高速、高精度的有源滤波器。图 29 展示了信号处理应用中常见的二阶低通 滤波器

8.2 典型 应用

8.2.1 二阶低通滤波器

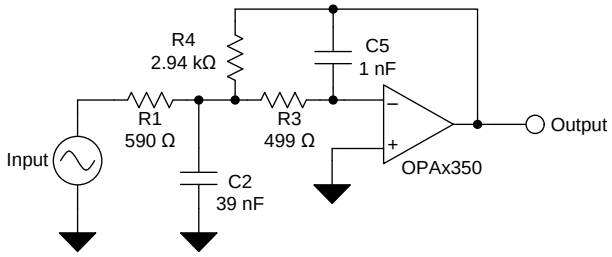


图 29. 二阶低通滤波器

8.2.1.1 设计要求

本设计示例使用以下参数：

- 增益 = 5V/V（反相增益）。
- 低通截止频率 = 25kHz。
- 通带中增益峰值为 3dB 的二阶切比雪夫滤波器响应。

8.2.1.2 详细设计流程

公式 1 展示了用于低通网络功能的无限增益多反馈电路。使用 公式 2 计算电压传递函数。

$$\frac{\text{Output}}{\text{Input}}(s) = \frac{-1/R_1R_3C_2C_5}{s^2 + (s/C_2)(1/R_1 + 1/R_3 + 1/R_4) + 1/R_3R_4C_2C_5} \quad (1)$$

该电路将产生信号反转。对于该电路，可以使用 公式 2 计算直流增益和低通截止频率。

$$\text{Gain} = \frac{R_4}{R_1}$$

$$f_C = \frac{1}{2\pi}\sqrt{(1/R_3R_4C_2C_5)} \quad (2)$$

可使用软件工具简化滤波器设计。WEBENCH® 滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。WEBENCH Filter Designer 通过选择 TI 运算放大器以及 TI 供应商合作伙伴的无源组件来构建优化滤波器设计方案。WEBENCH® 设计中心以基于网络的工具形式提供 WEBENCH® 滤波器设计器。用户通过该工具可在数分钟内完成多级有源滤波器解决方案的设计、优化和仿真。

版权 © 2000–2015, Texas Instruments Incorporated

典型 应用 (接下页)

8.2.1.3 应用曲线

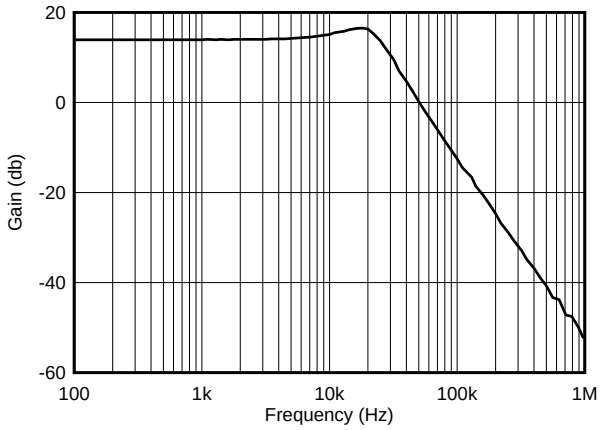


图 30. OPAx350 二阶 25kHz 切比雪夫低通滤波器

8.2.2 单电源视频线路驱动器

图 31 显示了单电源、G = 2 复合视频线路驱动器的电路。复合视频线路驱动器的同步输出扩展到接地值以下。如图所示，运算放大器的输入应交流耦合并正向偏移，以提供充分的信号摆幅来应对单电源配置中的这些负信号。

该输入应与一个 75Ω 的电阻器端接，并与一个 47µF 的电容器交流耦合到一个为该输入提供直流偏置点的分压器。在 图 31 中，该点大概为 (V-) + 1.7V。要设置最佳偏置点，需对复合视频信号的性质有一定的了解。为了发挥最佳性能，要避免 OPA350 的互补输入级的转换区域引起失真。请参阅 *轨至轨输入* 中对轨至轨输入的讨论。

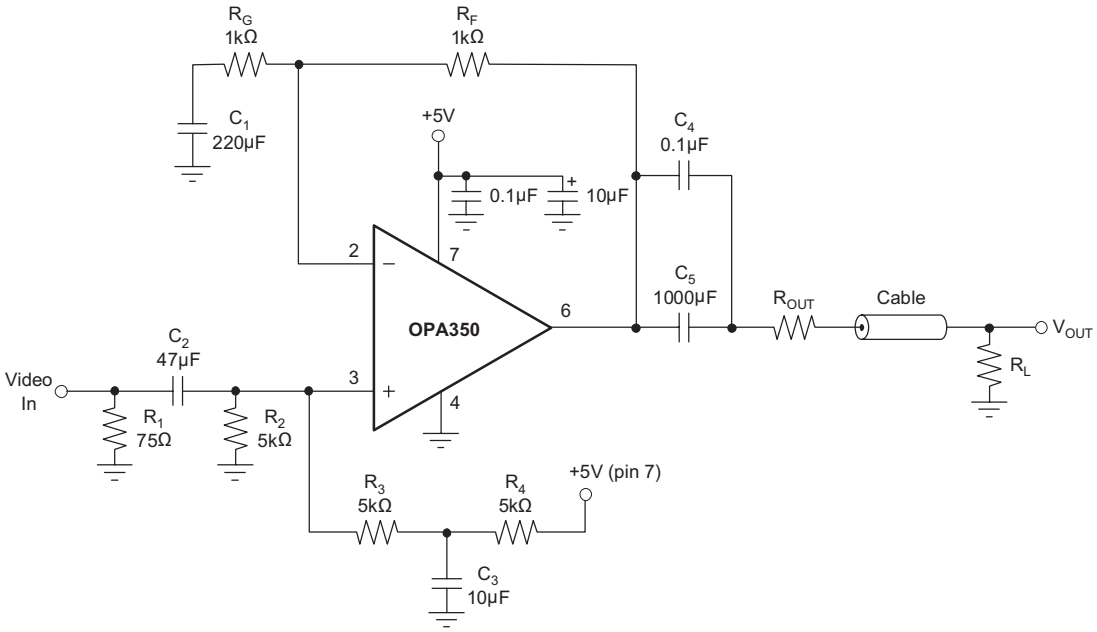


图 31. 单电源视频线路驱动器

8.2.3 添加反馈电容器以改进响应

为了使高阻抗反馈网络获得最佳的趋稳时间和稳定性，可能需要在反馈电阻器 R_F 上添加一个反馈电容器，如 图 32 中所示。该电容器补偿 OPA350 的反馈网络阻抗和输入电容（以及任何寄生布局电容）产生的零。网络阻抗越高，影响越明显。

版权 © 2000–2015, Texas Instruments Incorporated

典型 应用 **(**接下页**)**

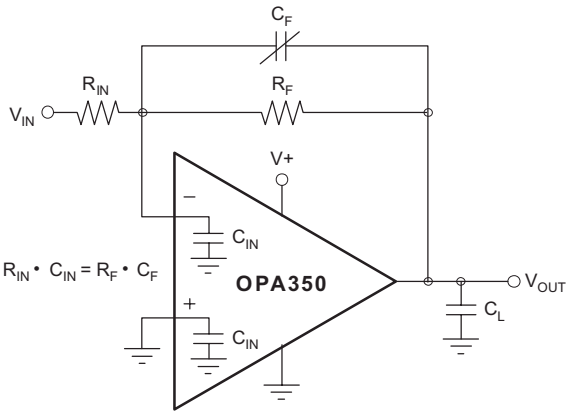


图 **32.** 反馈电容器提高动态性能

可变电容器可用于反馈电容器，因为不同运算放大器的输入电容可能会有差异，而且布局电容很难确定。对于 图 32 中所示的电路，选择可变反馈电容器的值时，应使 OPA350 的输入电阻乘以输入电容（通常是 9pF），再加上估测的寄生布局电容后所得的值，等于反馈电容乘以反馈电阻所得的值：

$$R_{IN} \times C_{IN} = R_F \times C_F \quad (3)$$

其中

- C_{IN} 等于 OPA350 的输入电容（差模和共模电容的和）加上布局电容。

电容器可以变化，直到获得最佳性能。

8.2.4 具有增强高频共模抑制的两级运算放大器仪表放大器

OPAx350 非常适合高输入阻抗 应用， 例如仪表放大器。图 33 中所示的两个放大器配置抑制任何共模信号，并感测到电阻桥产生的小的差分输入电压。当电阻桥产生的差分信号为零时，电压参考将输出设置为 2.5V。OPAx350 高共模抑制与频率响应之间的关系，抑制共模噪声，可从电桥励磁源耦合到电桥电路。根据 图 33 中所示的方程式，电路增益由 R_G 确定。

典型 应用 (接下页)

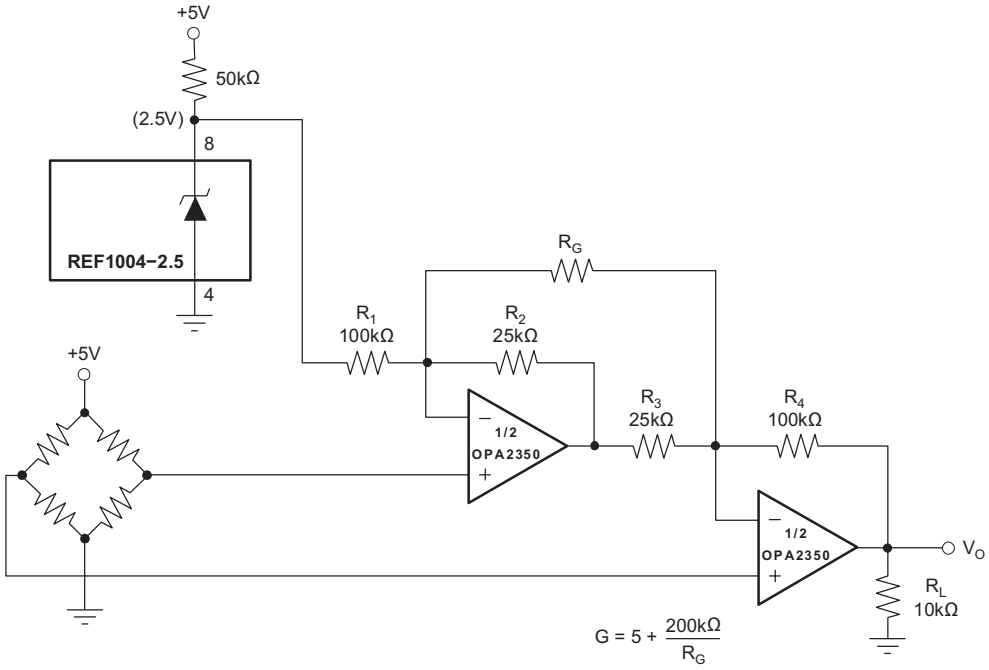


图 **33.** 具有增强的高频共模抑制的两级运算放大器仪表放大器原理图

8.2.5 10kHz 高通滤波器

高通滤波器用于抑制直流信号和低频时变信号，如漂移与温度的关系。图 34 展示了具有 10kHz 低频截止频率的高通滤波器。

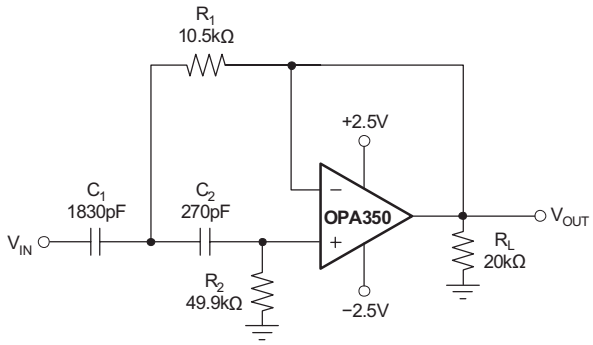


图 **34. 10kHz** 高通滤波器

版权 © 2000–2015, Texas Instruments Incorporated

9 电源建议

OPAx350 的额定工作电压范围是 2.7V 至 5.5V（±1.35V 至 ±2.75V）；多种规格在 –40°C 至 85°C 的温度范围内适用。*典型特性* 中介绍了随工作电压或温度的变化而明显变化的参数。

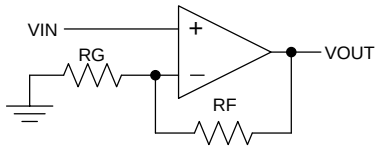
10 布局

10.1 布局指南

为了实现器件的最佳运行性能，应使用良好的 PCB 布局规范，包括：

- 噪声可通过全部电路电源引脚以及运算放大器自身传入模拟电路。旁路电容为局部模拟电路提供低阻抗电源，用于降低耦合噪声。
  - 在每个电源引脚和接地端之间连接低 ESR 0.1µF 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单通道电源 应用。
- 将电路中的模拟部分和数字部分单独接地是最为简单有效的噪声抑制方法。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参阅《*电路板布局技巧*》(SLOA089)。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部组件的位置应尽量靠近器件。如图 35 所示，使 RF 和 RG 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。
- 为获得最佳性能，建议在组装 PCB 板后进行清洗。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。请遵循任何 PCB 水清洁过程，建议将 PCB 组装烘干，以去除清洗时渗入器件封装中的水分。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

10.2 布局示例



(Schematic Representation)

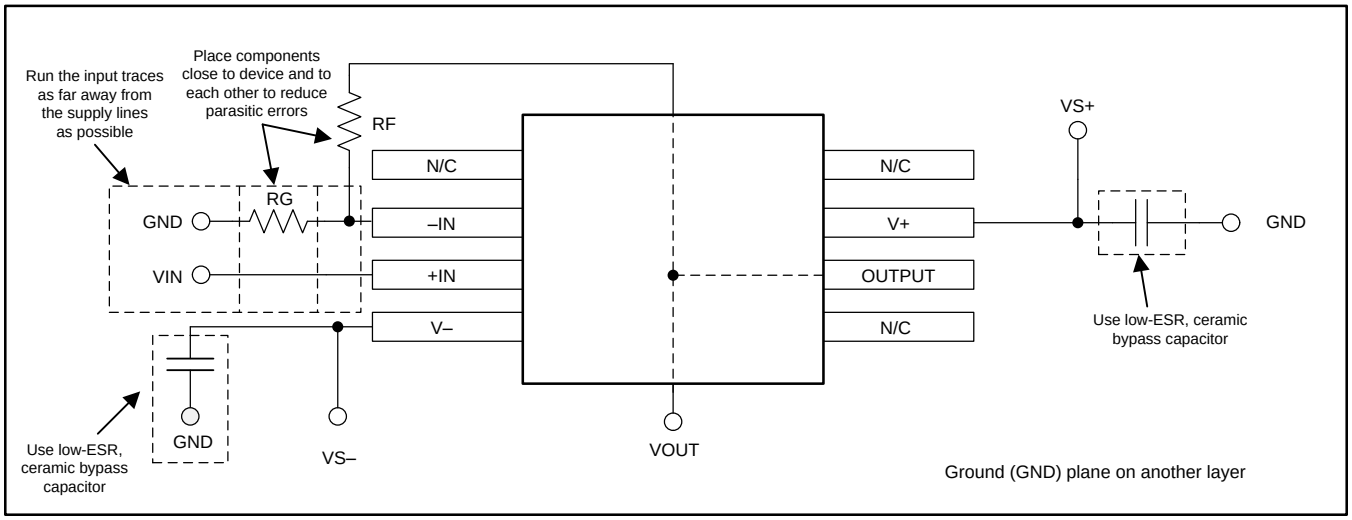


图 **35.** 同相配置的运算放大器电路板布局

11 器件和文档支持

11.1 器件支持

11.1.1 开发支持

11.1.1.1 TINA-TI™（免费软件下载）

TINA™是一款简单、功能强大且易于使用的电路仿真程序，此程序基于 SPICE 引擎。 TINA-TI™ 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析以及其他设计功能。

TINA-TI 可从 Analog eLab Design Center（模拟电子实验室设计中心）免费下载，它提供全面的后续处理能力，使得用户能够以多种方式形成结果。虚拟仪器提供选择输入波形和探测电路节点、电压和波形的功能，从而创建一个动态的快速入门工具。

WEBENCH® 滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。WEBENCH Filter Designer 通过选择 TI 运算放大器以及 TI 供应商合作伙伴的无源组件来构建优化滤波器设计方案。WEBENCH® 设计中心以基于网络的工具形式提供 WEBENCH® 滤波器设计器。用户通过该工具可在数分钟内完成多级有源滤波器解决方案的设计、优化和仿真。

注

这些文件需要安装 TINA 软件（由 DesignSoft™提供）或者 TINA-TI 软件。请从 TINA-TI 文件夹 中下载免费的 TINA-TI 软件。

11.1.1.2 TI 高精度设计

OPA350 采用多种 TI 高精度设计，有关内容可通过 http://www.ti.com.cn/ww/analog/precision-designs/ 在线获取。TI 高精度设计是由 TI 公司高精度模拟 应用 专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。

11.2 文档支持

11.2.1 相关文档

相关文档请参见以下部分：

- *《电路板布局布线技巧》*，SLOA089
- *《适合所有人的运算放大器》*，SLOD006
- *《用直观方式补偿互阻抗放大器》*，SBOS055
- *《高速运算放大器噪声分析》*，SBOA066

11.3 相关链接

下面的表格列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 **1.** 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
OPA350	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2350	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA4350	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

版权 © 2000–2015, Texas Instruments Incorporated

11.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** 此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 ***TI 参考设计支持*** 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

11.5 商标

TINA-TI, E2E are trademarks of Texas Instruments.
TINA, DesignSoft are trademarks of DesignSoft, Inc.
All other trademarks are the property of their respective owners.

11.6 静电放电警告



这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.7 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知和修订此文档。如欲获取此数据表的浏览器版本，请参阅左侧的导航。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2350EA/250	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	D50
OPA2350EA/250.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	D50
OPA2350EA/250G4	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	D50
OPA2350EA/2K5	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	D50
OPA2350EA/2K5.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	D50
OPA2350EA/2K5G4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	D50
OPA2350UA	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 2350UA
OPA2350UA.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 2350UA
OPA2350UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 2350UA
OPA2350UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 2350UA
OPA2350UA/2K5G4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 2350UA
OPA2350UAG4	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 2350UA
OPA350EA/250	Last Time Buy	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	C50
OPA350EA/250.B	Last Time Buy	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	C50
OPA350EA/250G4	Last Time Buy	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	Call TI | Nipdauag | Nipdau	Level-2-260C-1 YEAR	-40 to 85	C50
OPA350EA/250G4.B	Last Time Buy	Production	VSSOP (DGK) | 8	250 | SMALL T&R	No	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	C50
OPA350EA/250G4.B	Last Time Buy	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	C50
OPA350EA/2K5	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	C50
OPA350EA/2K5.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	C50

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA350EA/2K5G4	Last Time Buy	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	C50
OPA350EA/2K5G4.B	Last Time Buy	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	C50
OPA350UA	Last Time Buy	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 350UA
OPA350UA.B	Last Time Buy	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 350UA
OPA350UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 350UA
OPA350UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 350UA
OPA350UA/2K5G4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 350UA
OPA350UAG4	Last Time Buy	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 350UA
OPA4350EA/250	Last Time Buy	Production	SSOP (DBQ) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	OPA 4350EA
OPA4350EA/250.B	Last Time Buy	Production	SSOP (DBQ) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 4350EA
OPA4350EA/250G4	Last Time Buy	Production	SSOP (DBQ) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 4350EA
OPA4350EA/250G4.B	Last Time Buy	Production	SSOP (DBQ) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 4350EA
OPA4350EA/2K5	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 4350EA
OPA4350EA/2K5.B	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 4350EA
OPA4350UA	Last Time Buy	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-	OPA4350UA
OPA4350UA.B	Last Time Buy	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA4350UA
OPA4350UA/2K5	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	OPA4350UA
OPA4350UA/2K5.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA4350UA
OPA4350UA/2K5G4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	See OPA4350UA/2K5	OPA4350UA

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA4350UAG4	Last Time Buy	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA4350UA
OPA4350UAG4.B	Last Time Buy	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA4350UA

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

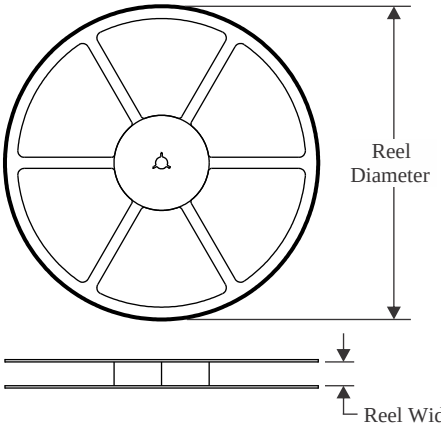
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

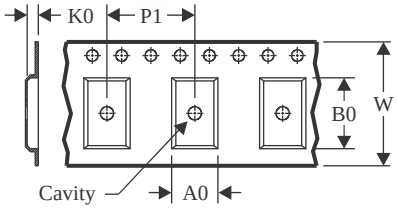
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

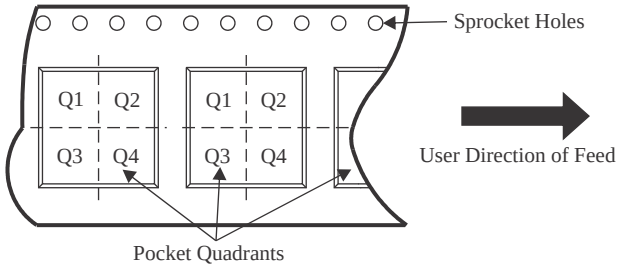


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

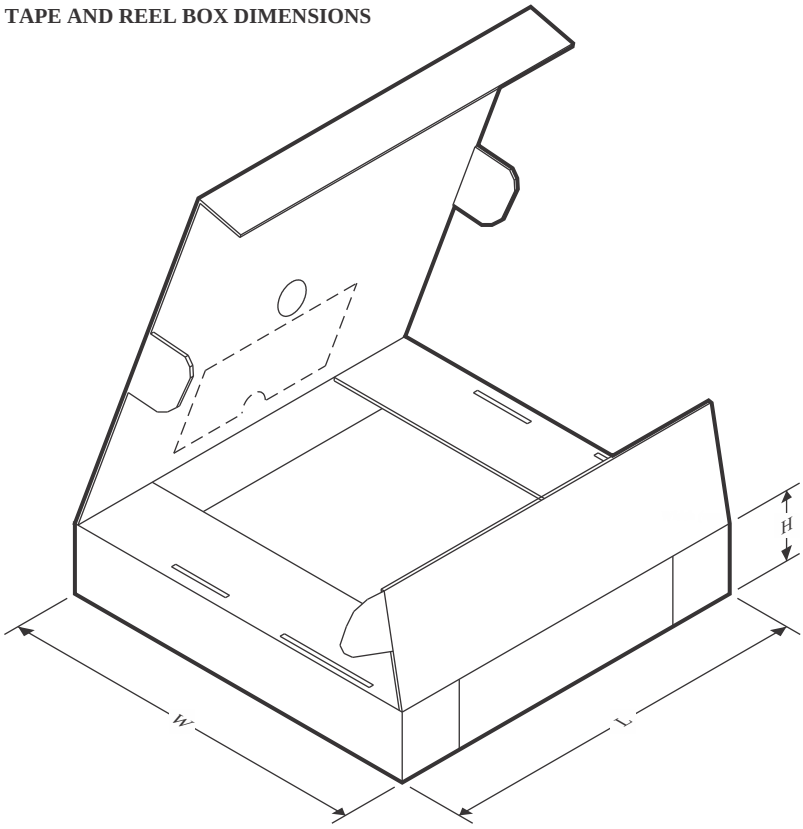
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2350EA/250	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2350EA/2K5	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2350UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA350EA/250	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA350EA/250G4	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA350EA/2K5	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA350EA/2K5G4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA350UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4350EA/250	SSOP	DBQ	16	250	180.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4350EA/250G4	SSOP	DBQ	16	250	180.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4350EA/2K5	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4350UA/2K5	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

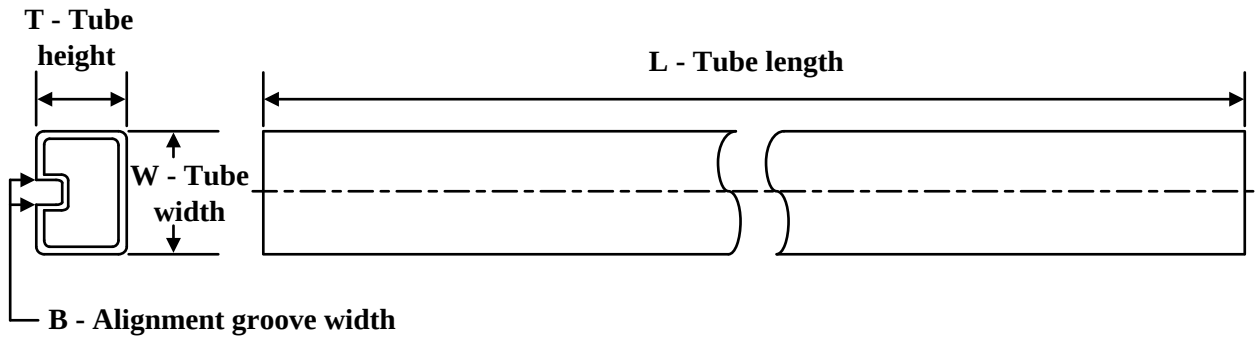
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2350EA/250	VSSOP	DGK	8	250	213.0	191.0	35.0
OPA2350EA/2K5	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2350UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA350EA/250	VSSOP	DGK	8	250	353.0	353.0	32.0
OPA350EA/250G4	VSSOP	DGK	8	250	353.0	353.0	32.0
OPA350EA/2K5	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA350EA/2K5G4	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA350UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA4350EA/250	SSOP	DBQ	16	250	213.0	191.0	35.0
OPA4350EA/250G4	SSOP	DBQ	16	250	213.0	191.0	35.0
OPA4350EA/2K5	SSOP	DBQ	16	2500	353.0	353.0	32.0
OPA4350UA/2K5	SOIC	D	14	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

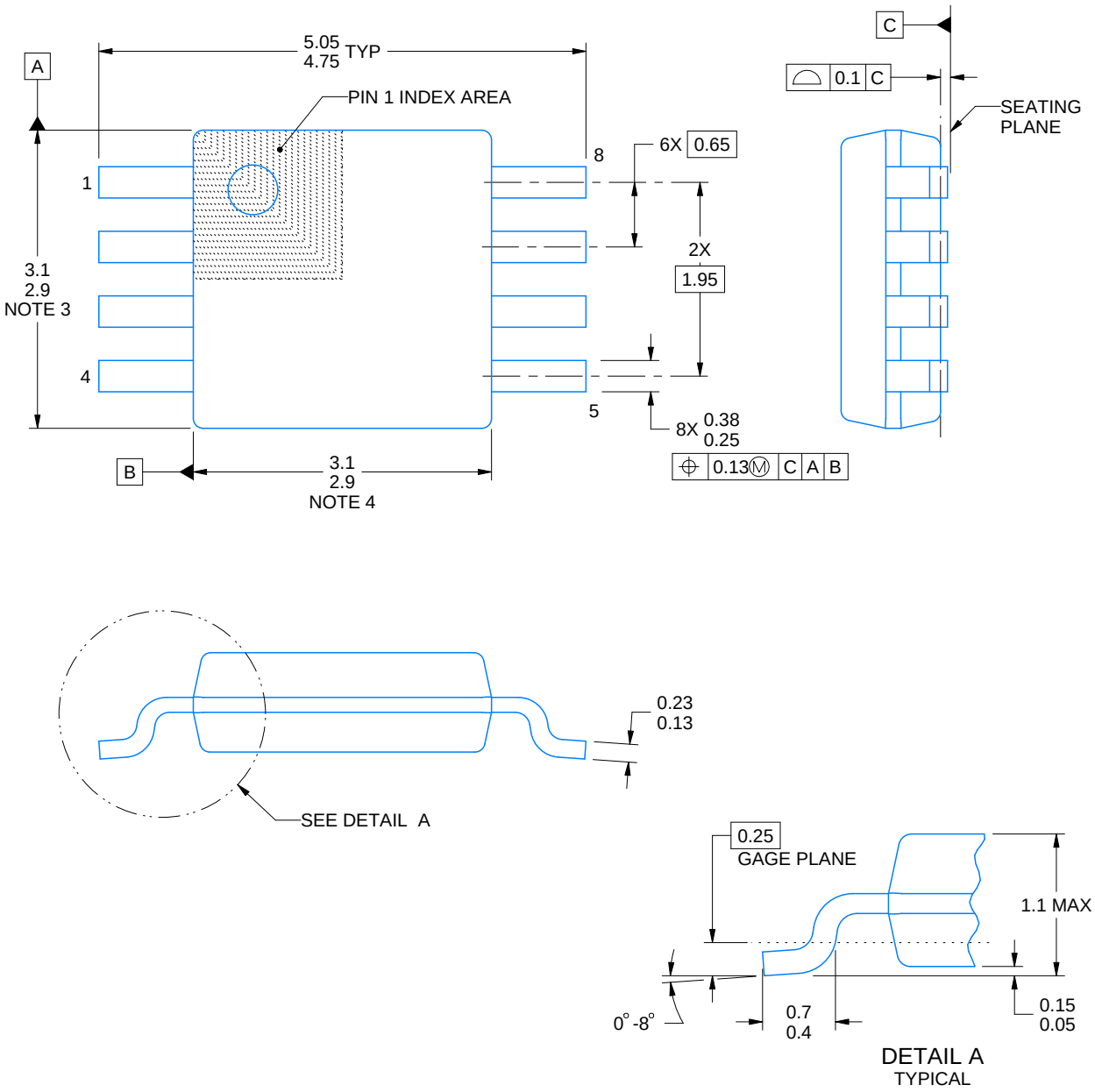
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
OPA2350UA	D	SOIC	8	75	506.6	8	3940	4.32
OPA2350UA.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA2350UAG4	D	SOIC	8	75	506.6	8	3940	4.32
OPA350UA	D	SOIC	8	75	506.6	8	3940	4.32
OPA350UA.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA350UAG4	D	SOIC	8	75	506.6	8	3940	4.32
OPA4350UA	D	SOIC	14	50	506.6	8	3940	4.32
OPA4350UA.B	D	SOIC	14	50	506.6	8	3940	4.32
OPA4350UAG4	D	SOIC	14	50	506.6	8	3940	4.32
OPA4350UAG4.B	D	SOIC	14	50	506.6	8	3940	4.32

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

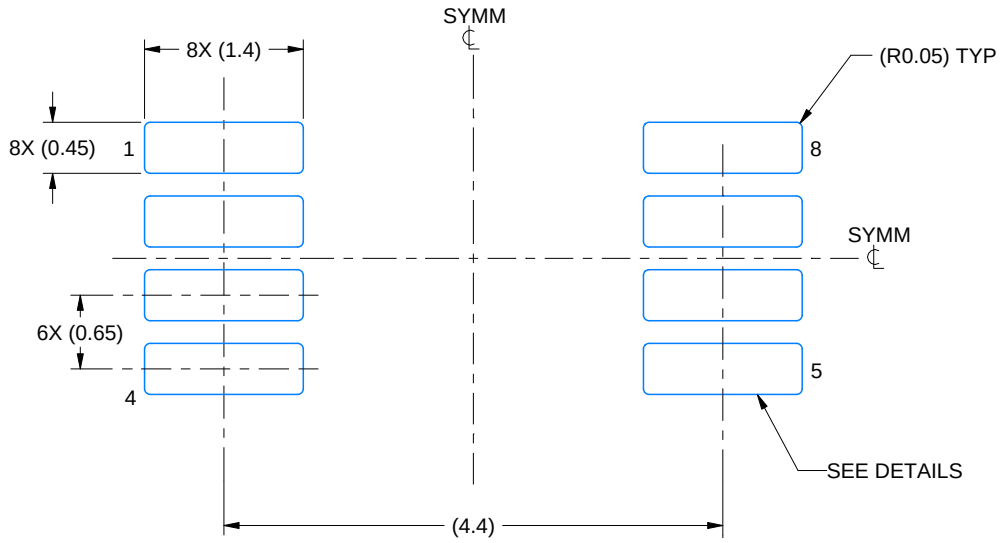
SMALL OUTLINE PACKAGE



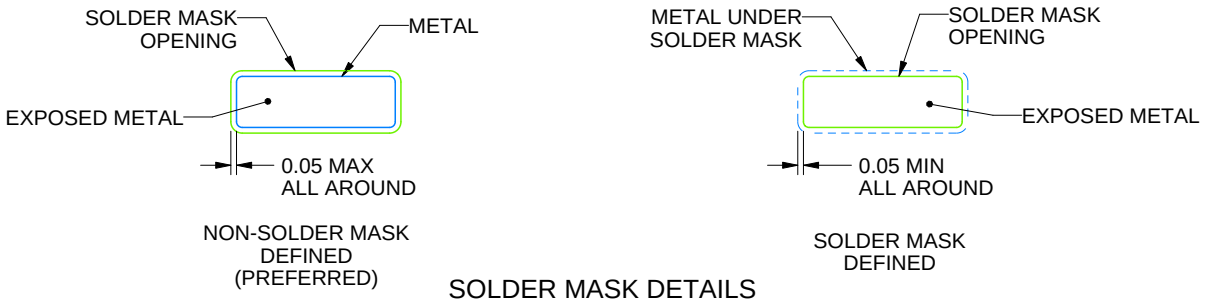
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

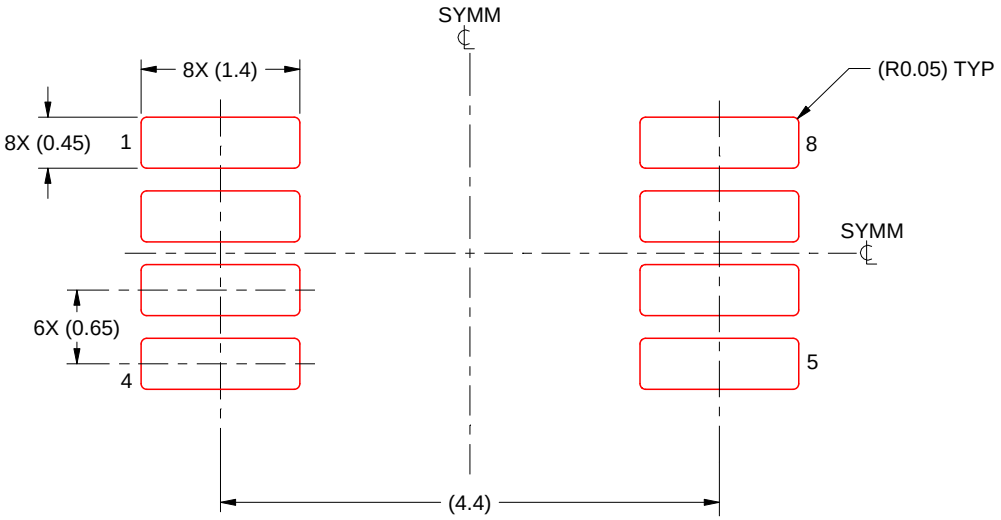


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

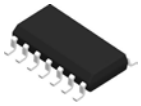


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

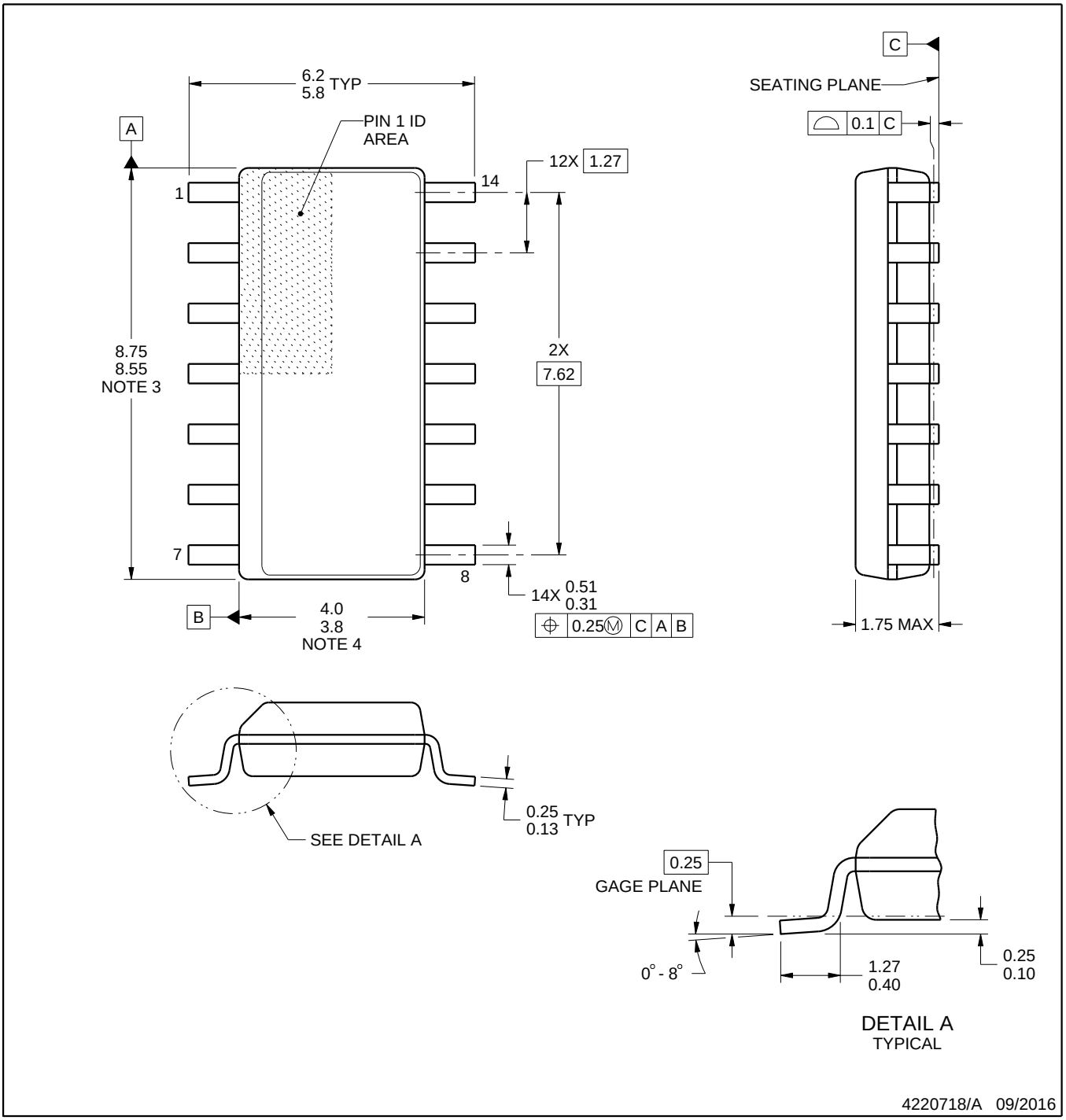


PACKAGE OUTLINE

D0014A

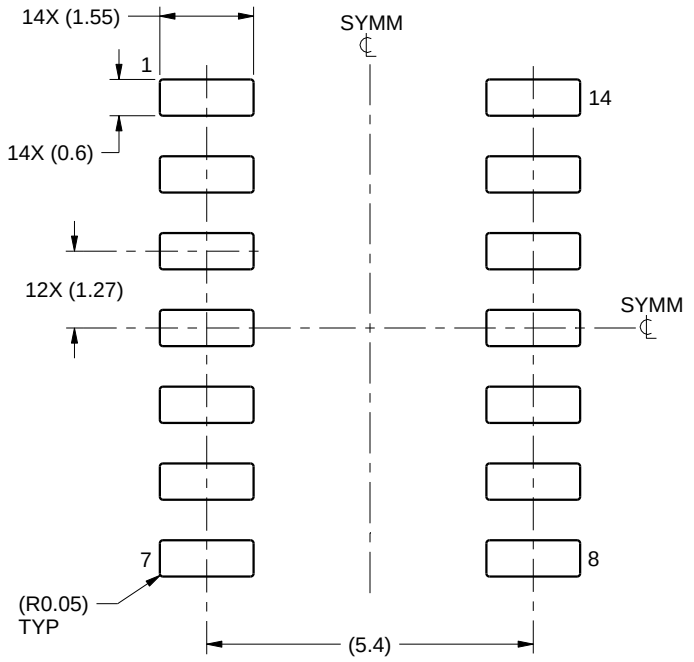
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

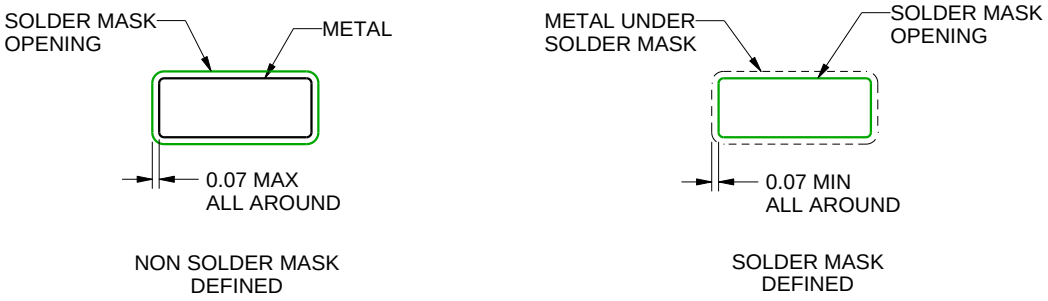


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

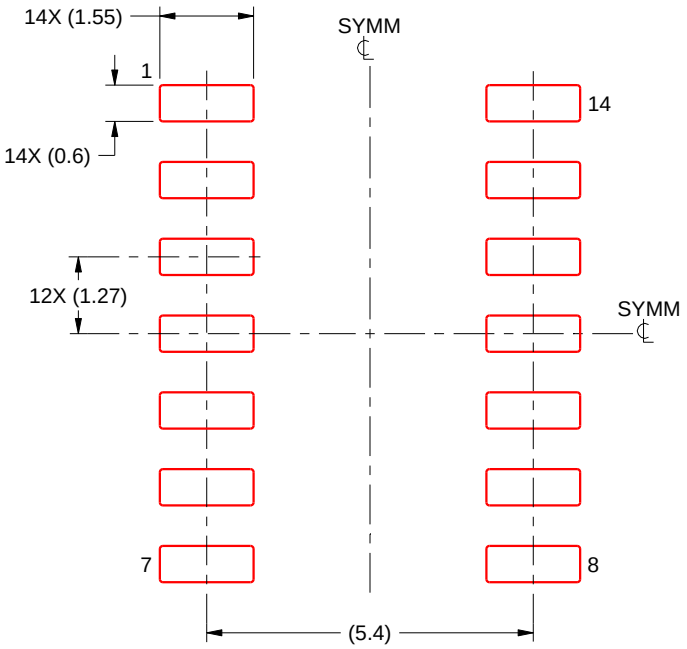
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

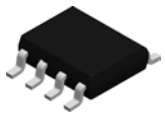


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

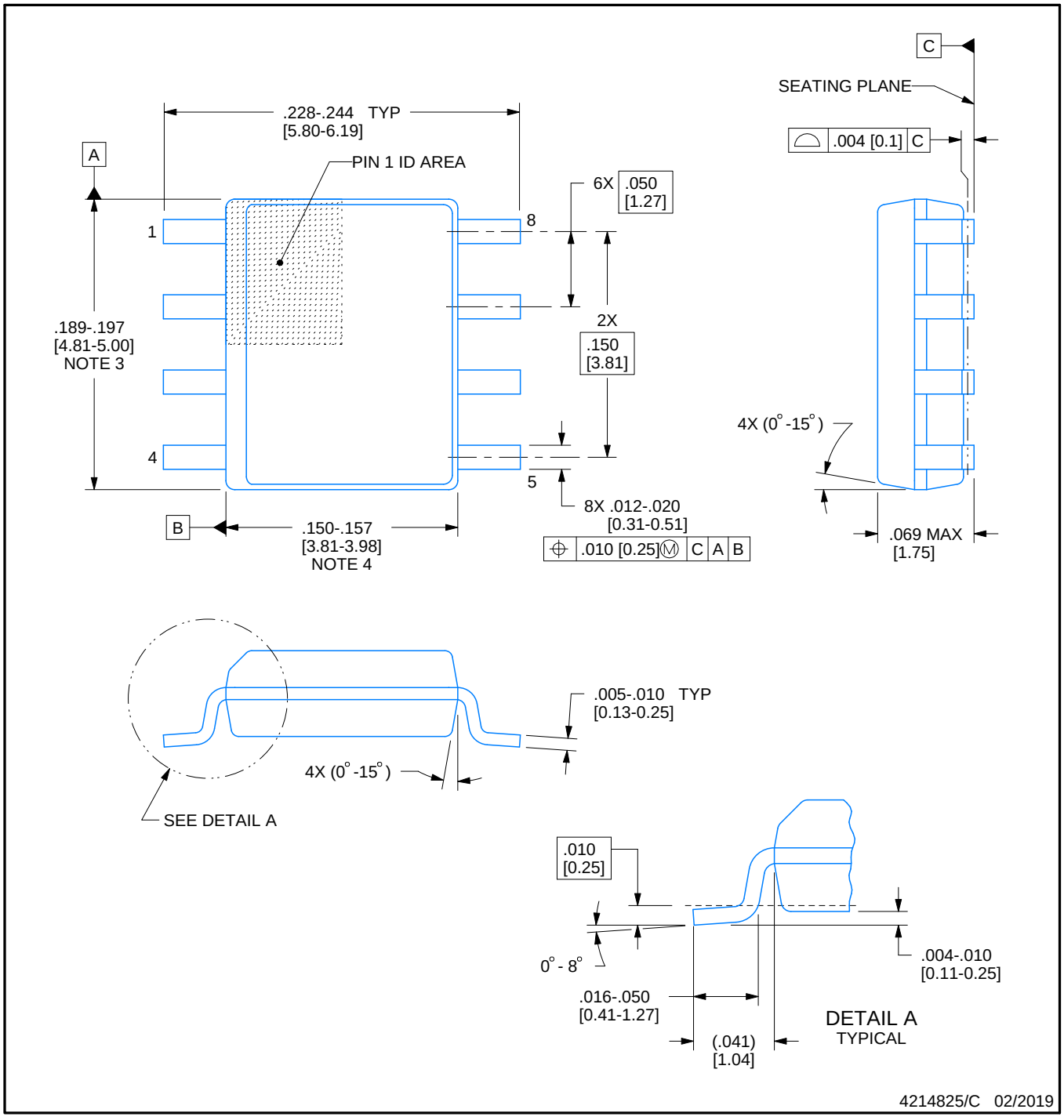


PACKAGE OUTLINE

D0008A

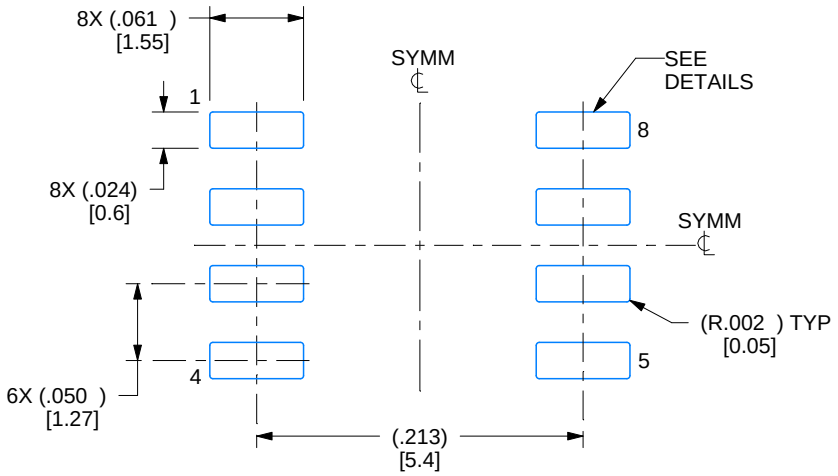
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

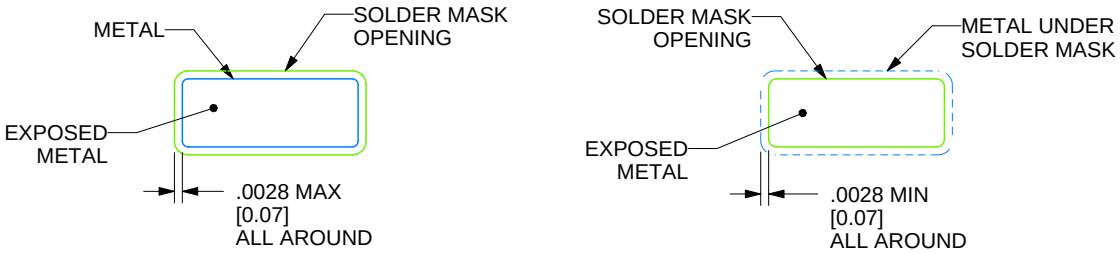


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

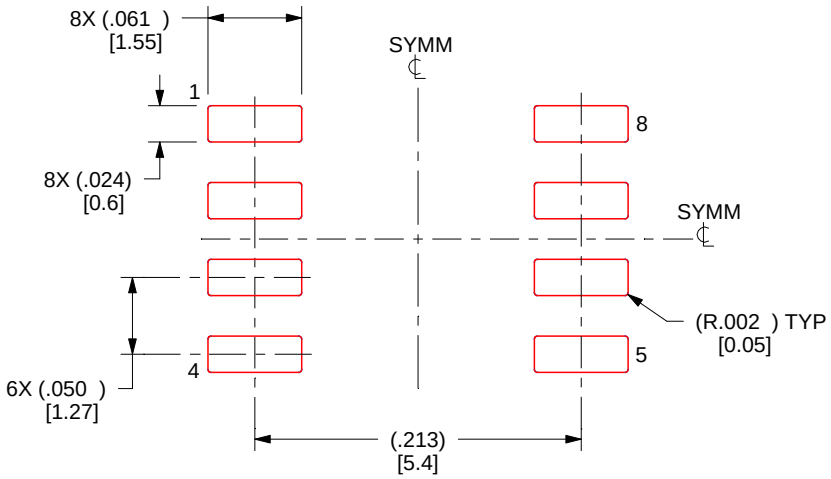
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

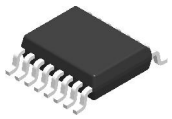


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

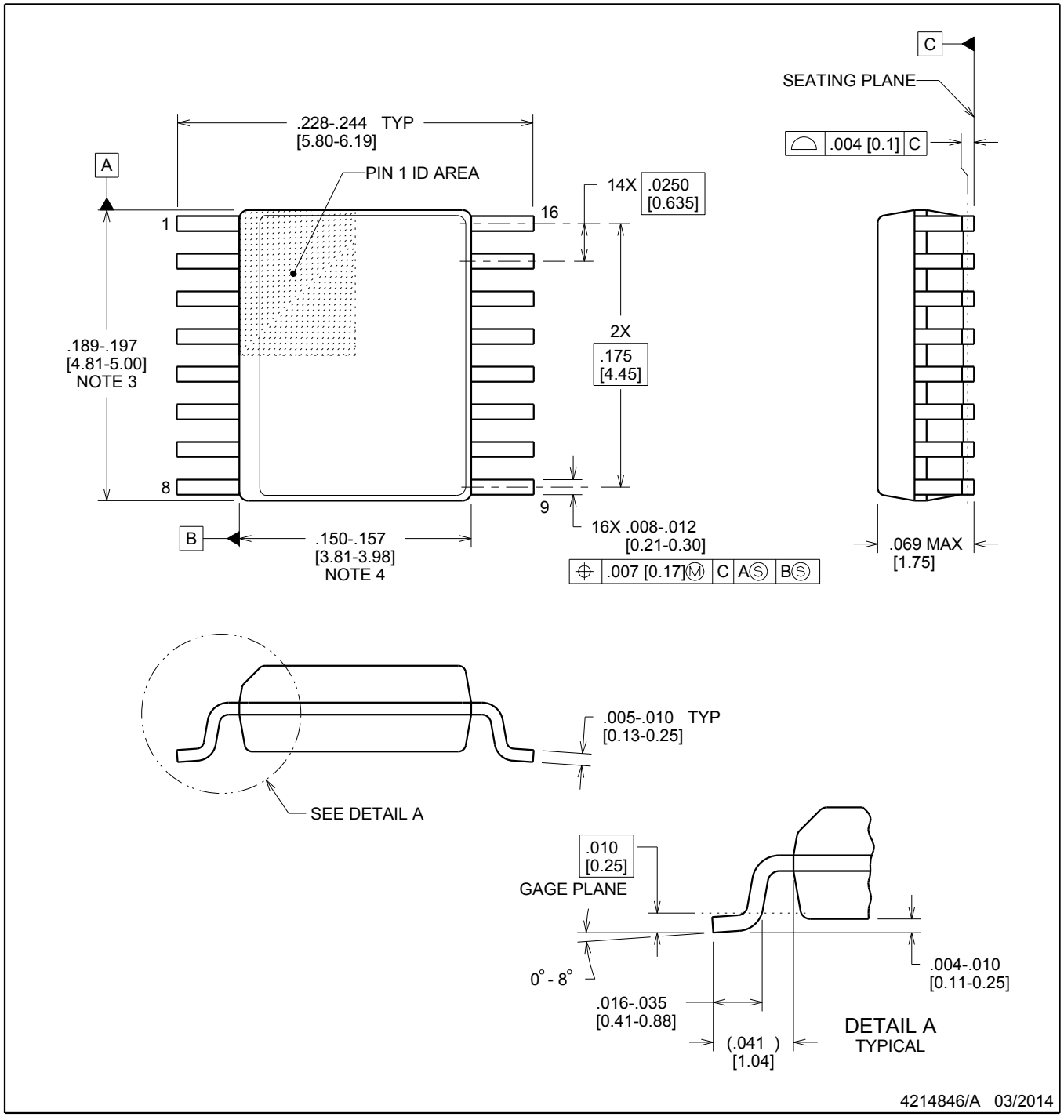


PACKAGE OUTLINE

DBQ0016A

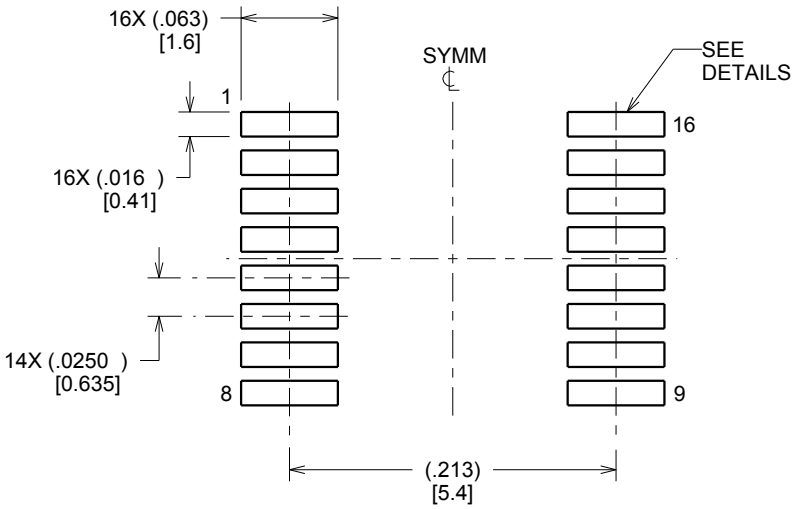
SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE

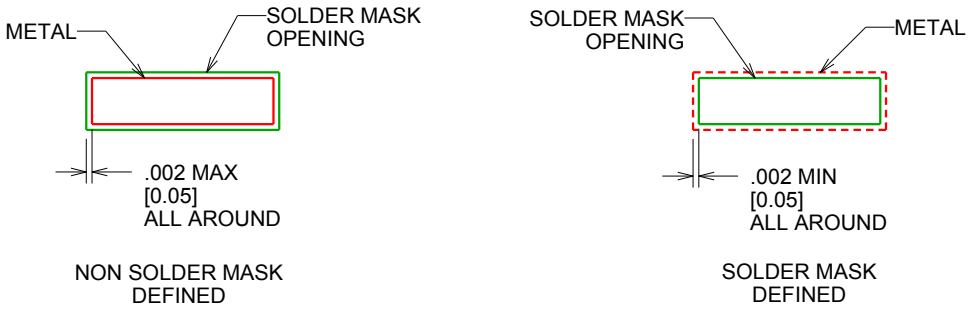


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

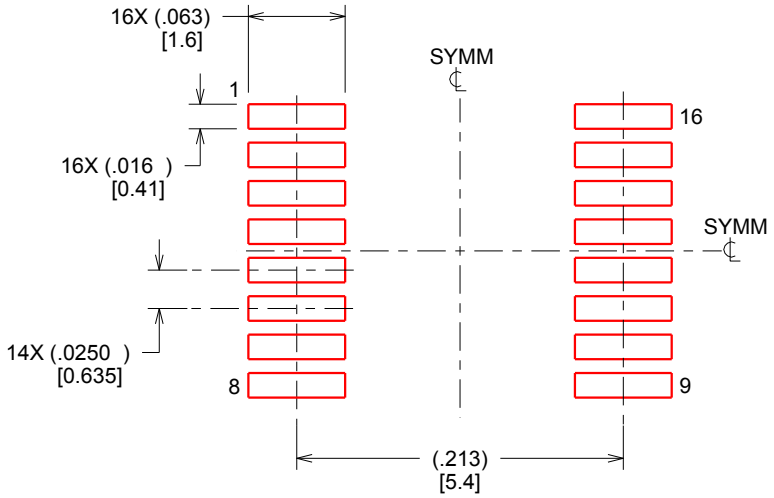
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月