OPAx323 20MHz 高带宽、114dB CMRR、低压（1.7V 至 5.5V）RRIO 零交叉运算放大器

1 特性

- 适用于 1.7V 至 5.5V 应用的零交叉放大器
- 高轨到轨 CMRR：114dB（典型值）
- 高增益带宽积：20MHz
- 快速压摆率：33V/μs（典型值）
- 快速稳定 (0.01%)：在 2V 阶跃下的典型值为 200ns
- 低输入失调电压：±150μV（典型值）
- 低本底噪声：10kHz 时的典型值为 5.5nV/√Hz
- 高输出电流：5.5V 时 I_{SC} 典型值为 ±110mA
- 静态电流：1.6mA/通道（典型值）
- 轨至轨输入和输出
- 单位增益稳定
- 驱动高达 150pF 的电容，而不会出现持续振荡
- 内置 RFI 和 EMI 滤波输入引脚
- 工作温度范围：–40°C 至 125°C

2 应用

- 用于 ADC 的放大器驱动器
- 高侧电流检测
- 电机旋转编码器
- 跨阻光电二极管放大器
- 音频麦克风前置放大器
- 超声波传感器

3 说明

OPAx323 系列运算放大器包括单通道 (OPA323)、双通道 (OPA2323) 和四通道 (OPA4323) 的低压（1.7V 至 5.5V）、高带宽 (20MHz) 运算放大器，具有零交叉输入级和轨至轨输出级。对于具有 ADC 驱动器应用中典型轨至轨摆幅的输入信号，OPAx323 零交叉输入级可实现高线性和低失真。在 0.5MSPS 至 5MSPS 之间的 ADC 采样速度下，20MHz 增益带宽可提供快速稳定响应，具体取决于所需的稳定性能。OPAx323 经良好优化可实现节能，因为该器件仅消耗 1.6mA 的典型静态电流。

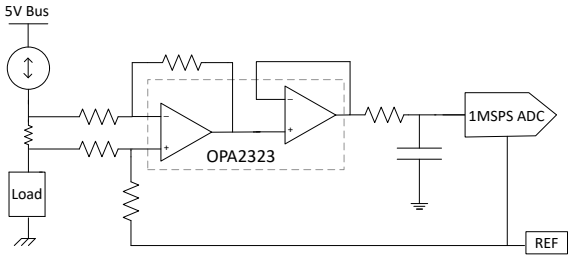
OPAx323 具有 2μV/°C 的最大温漂，5.5nV/rt-Hz 热本底噪声以及最小 100dB 的 CMRR，因此可在惠斯通电桥这样的高增益电压检测应用中轻松提供精密性能。这种更高精度（低失调电压、漂移、噪声、失真和 CMRR）和更高增益带宽（快速稳定和转换）的独特组合支持此类器件用于多种应用，例如电机旋转编码器、麦克风音频前置放大器和超声波传感器。

OPAx323 实现了 33V/μs 的高压摆率，可在电机电流检测应用中快速检测故障。与传统放大器不同，零交叉输入级可在低侧和高侧检测应用中提供相同的精度性能，因此 OPAx323 成为各种终端设备（例如太阳能串式逆变器、电力输送、电网和电动汽车基础设施）中用于电流检测的理想选择。OPAx323S 器件提供关断功能，可进一步降低功耗，并有助于在空闲时禁用放大器。该系列的所有通道型号均采用标准和小尺寸的引线和 QFN 封装。

器件信息

器件型号(1)	通道数	封装(4)	封装尺寸(5)
OPA323	单通道	DBV（SOT-23，5）(3)	2.9mm × 2.8mm
		DCK（SC70，5）	2mm × 1.25mm
		DRL（SOT-5X3，5）(3)	1.6mm × 1.6mm
OPA323S (2)	单通道，关断	DBV（SOT-23，6）(3)	2.9mm × 2.8mm
		DCK（SC70，6）(3)	2mm × 1.25mm
OPA2323	双通道	D（SOIC，8）	4.9mm × 6mm
		DDF（SOT-23，8）	2.9mm × 2.8mm
		DSG（WSON，8）(3)	2mm × 2mm
		DGK（VSSOP，8）	3mm × 4.9mm
		PW（TSSOP，8）(3)	3mm × 6.4mm
OPA2323S (2)	双通道，关断	RUG（X2QFN，10）(3)	1.5mm × 2mm
OPA4323	四通道	D（SOIC，14）(3)	8.65mm × 6mm
		PW（TSSOP，14）	5mm × 6.4mm
		RUC（X2QFN，14）(3)	2mm × 2mm
		DYY（SOT-23，14）	4.2mm × 3.26mm
OPA4323S (2)	四通道，关断	RTE（WQFN，16）(3)	3mm × 3mm

(1) 具体请参阅节 4。
(2) 器件型号仅为预发布状态。
(3) 封装仅为预发布状态。
(4) 有关更多信息，请参阅 节 11。
(5) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



双向高侧电流检测放大器和 ADC 驱动器

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较表.....2
5 引脚配置和功能.....3
6 规格.....9
6.1 绝对最大额定值.....9
6.2 ESD 等级.....9
6.3 建议运行条件.....9
6.4 单通道器件的热性能信息.....10
6.5 双通道器件的热性能信息.....10
6.6 四通道器件的热性能信息.....10
6.7 电气特性.....11
6.8 典型特性.....13
7 详细说明.....26
7.1 概述.....26
7.2 功能方框图.....26
7.3 特性说明.....27
7.4 器件功能模式.....32
8 应用和实施.....33
8.1 应用信息.....33
8.2 典型应用.....33
8.3 电源相关建议.....35
8.4 布局.....35
9 器件和文档支持.....37
9.1 文档支持.....37
9.2 接收文档更新通知.....37
9.3 支持资源.....37
9.4 静电放电警告.....37
9.5 术语表.....37
10 修订历史记录.....37
11 机械、封装和可订购信息.....38

4 器件比较表

器件	编号通道数	SHDN	封装引线										
			SC70 DCK	SOIC D	SOT-23 DBV(2)	SOT-23 DDF	SOT-553 DRL(2)	SOT-23 DYY	TSSOP PW	VSSOP DGK	WQFN RTE (2)	WSON DSG(2)	X2QFN RUG(2)
OPA323	1	否	5	—	5	—	5	—	—	—	—	—	—
OPA323S(1)	1	是	6	—	6	—	—	—	—	—	—	—	—
OPA2323	2	否	—	8	—	8	—	—	8	8	—	8	—
OPA2323S(1)	2	是	—	—	—	—	—	—	—	—	—	—	10
OPA4323	4	否	—	14	—	—	—	14	14	—	—	—	—
OPA4323S	4	是	—	—	—	—	—	—	—	—	16	—	—

(1) 器件仅为预发布版。
(2) 封装仅为预发布版。

Copyright © 2025 Texas Instruments Incorporated

5 引脚配置和功能

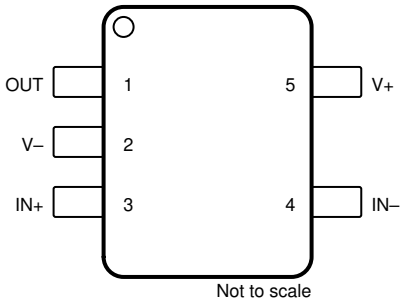


图 5-1. OPA323 DBV 封装，
5 引脚 SOT-23
（顶视图）

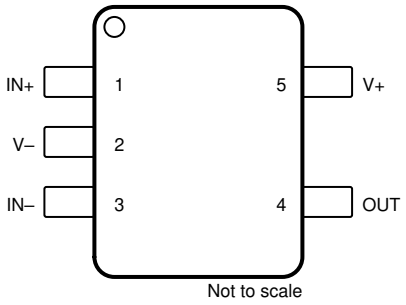


图 5-2. OPA323 DCK 和 DRL 封装，
5 引脚 SC70 和 5 引脚 SOT-5X3
（顶视图）

表 5-1. 引脚功能：OPA323

引脚			类型(1)	说明
名称	SOT-23	SC70、SOT-5X3		
IN –	4	3	I	反相输入
IN+	3	1	I	同相输入
OUT	1	4	O	输出
V –	2	2	I	负（低）电源或接地（对于单电源供电）
V+	5	5	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated

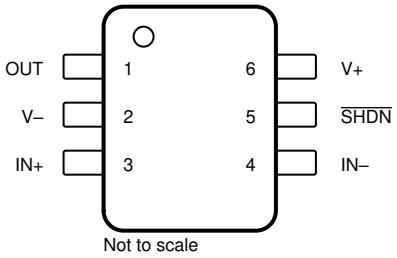


图 5-3. OPA323S DBV 封装，6 引脚 SOT-23（顶视图）

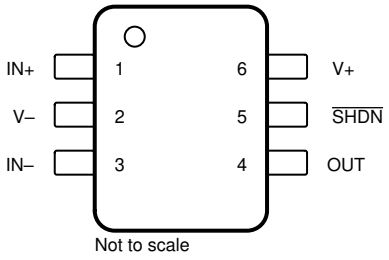


图 5-4. OPA323S DCK 封装，6 引脚 SC70（顶视图）

表 5-2. 引脚功能：OPA323S

引脚			类型(1)	说明
名称	SOT-23	SC70		
IN –	4	3	I	反相输入
IN+	3	1	I	同相输入
OUT	1	4	O	输出
$\overline{\text{SHDN}}$	5	5	I	关断：低 = 禁用放大器，高 = 启用放大器 请参阅*关断功能*了解详情
V –	2	2	I	负（低）电源或接地（对于单电源供电）
V+	6	6	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated

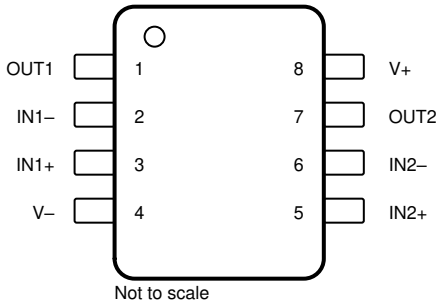
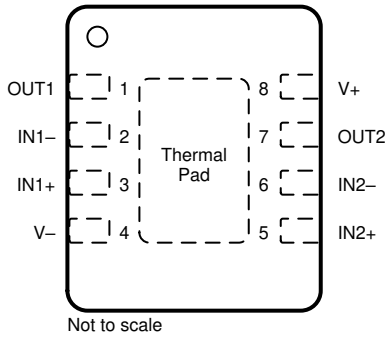


图 5-5. OPA2323 D、PW、DGK 和 DDF 封装，SOIC、TSSOP、VSSOP 和 SOT-23-THIN（顶视图）



将外露散热焊盘连接至 V – 。有关更多信息，请参阅*具有外露散热焊盘的封装*。

图 5-6. OPA2323 DSG 封装，8 引脚 WSON（带有外露散热焊盘）（顶视图）

表 5-3. 引脚功能：OPA2323

引脚		类型(1)	说明
名称	SOIC、TSSOP、VSSOP、SOT-23-THIN、WSON		
IN1 –	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 –	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
V –	4	I	负（低）电源或接地（对于单电源供电）
V+	8	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated

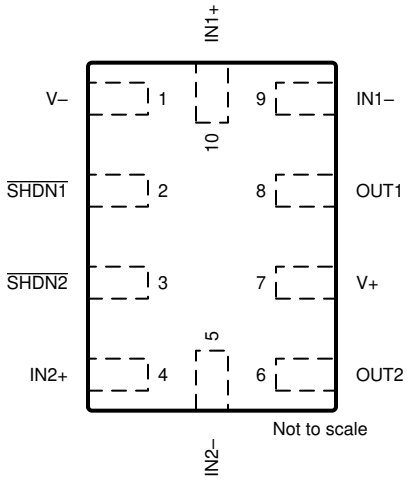


图 5-7. OPA2323S RUG 封装
10 引脚 X2QFN
（顶视图）

表 5-4. 引脚功能：OPA2323S

引脚		类型(1)	说明
名称	X2QFN		
IN1 –	9	I	反相输入，通道 1
IN1+	10	I	同相输入，通道 1
IN2 –	5	I	反相输入，通道 2
IN2+	4	I	同相输入，通道 2
OUT1	8	O	输出，通道 1
OUT2	6	O	输出，通道 2
$\overline{\text{SHDN1}}$	2	I	关断：低 = 禁用放大器，高 = 启用放大器，通道 1。 如需更多信息，请参阅*关断功能*。
$\overline{\text{SHDN2}}$	3	I	关断：低 = 禁用放大器，高 = 启用放大器，通道 2 请参阅*关断功能*了解详情。
V –	1	I	负（低）电源或接地（对于单电源供电）
V+	7	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated

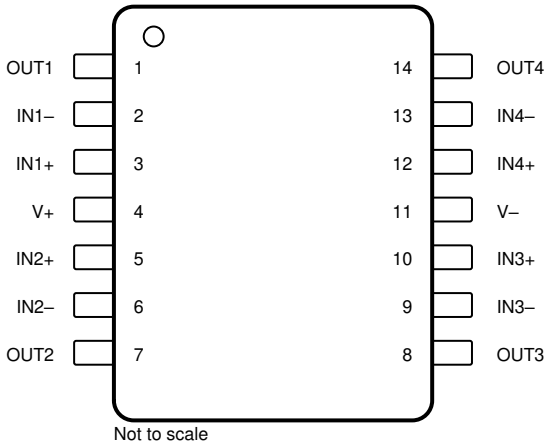


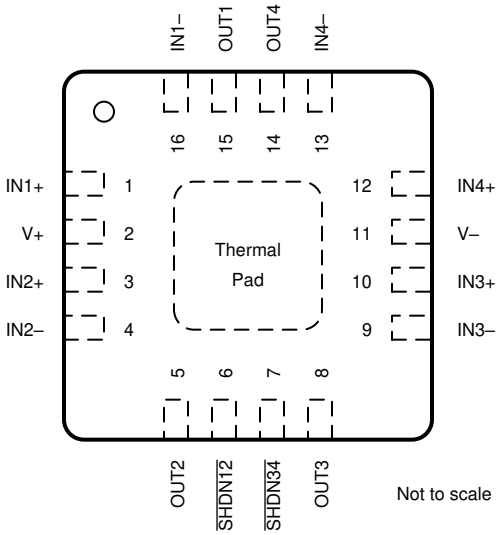
图 5-8. OPA4323 D、PW 和 DYY 封装
14 引脚 SOIC、TSSOP、SOT-23-THN
（顶视图）

表 5-5. 引脚功能：OPA4323

引脚		类型(1)	说明
名称	SOIC、TSSOP		
IN1 –	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 –	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
IN3 –	9	I	反相输入，通道 3
IN3+	10	I	同相输入，通道 3
IN4 –	13	I	反相输入，通道 4
IN4+	12	I	同相输入，通道 4
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
OUT3	8	O	输出，通道 3
OUT4	14	O	输出，通道 4
V –	11	I	负（低）电源或接地（对于单电源供电）
V+	4	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated



A. 将散热焊盘连接至 V – 。

图 5-9. OPA4323S RTE 封装，
16 引脚 WQFN（带有外露散热焊盘）
（顶视图）

表 5-6. 引脚功能：OPA4323S

引脚		类型(1)	说明
名称	WQFN		
IN1+	1	I	同相输入，通道 1
IN1 –	16	I	反相输入，通道 1
IN2+	3	I	同相输入，通道 2
IN2 –	4	I	反相输入，通道 2
IN3+	10	I	同相输入，通道 3
IN3 –	9	I	反相输入，通道 3
IN4+	12	I	同相输入，通道 4
IN4 –	13	I	反相输入，通道 4
$\overline{\text{SHDN12}}$	6	I	关断：低 = 禁用放大器，高 = 启用放大器，通道 1 和 2。 如需更多信息，请参阅*关断功能*。
$\overline{\text{SHDN34}}$	7	I	关断：低 = 禁用放大器，高 = 启用放大器，通道 3 和 4。 如需更多信息，请参阅*关断功能*。
OUT1	15	O	输出，通道 1
OUT2	5	O	输出，通道 2
OUT3	8	O	输出，通道 3
OUT4	14	O	输出，通道 4
V –	11	I	负（低）电源或接地（对于单电源供电）
V+	2	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压，V_S = (V+) – (V–)	电源电压，V_S = (V+) – (V–)	0	7.0	V
信号输入引脚	共模电压 (2) (3)	– 0.5	6.0	V
	差分电压 (2) (3)		±6.0	V
	电流 (3)	-10	10	mA
输出短路(4)		持续		
工作环境温度，T_A		-55	150	°C
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些只是应力额定值，并不意味着器件能够在该等条件下以及在除建议工作条件以外的任何其他条件下正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 输入引脚的摆幅可以超过 (V+)，但不能超过 ±6V。没有从输入引脚到 (V+) 的二极管结构。
(3) 输入引脚被二极管钳制至 (V–)。低于 (V-) 0.3V 的输入信号的电流必须限制在 10mA 或更低。
(4) 接地短路，每个封装对应一个放大器。

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±4000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	OPA4323	±500	V
			OPA323、OPA2323	±250	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_S	电源电压，(V+) – (V–)	1.7	5.5	V
C_{BYP}	电源引脚上的旁路电容器 (1)	0.1		µF
T_A	额定温度	-40	125	°C

(1) 对于 C_{BYP}，请在每个电源引脚和接地之间使用低 ESR 陶瓷电容器。对于单电源运行，只需一个 C_{BYP} 就足够了。确保 C_{BYP} 尽可能靠近器件放置，并且电源布线在到达电源引脚之前经过 C_{BYP}。

Copyright © 2025 Texas Instruments Incorporated

6.4 单通道器件的热性能信息

热指标 (1)		OPA323	单位
		DCK (SC70)	
		5 引脚	
$R_{\theta JA}$	结至环境热阻	196.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	104.5	°C/W
$R_{\theta JB}$	结至电路板热阻	44.8	°C/W
ψ_{JT}	结至顶部特征参数	18.7	°C/W
ψ_{JB}	结至电路板特征参数	44.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅“*半导体和 IC 封装热指标*”应用报告。

6.5 双通道器件的热性能信息

热指标 (1)		OPA2323			单位
		D (SOIC	DGK (VSSOP)	DDF (SOT-23-8)	单位
		8 引脚	8 引脚	8 引脚	单位
$R_{\theta JA}$	结至环境热阻	139.0	173.6	149.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	81.2	65.1	72.9	°C/W
$R_{\theta JB}$	结至电路板热阻	82.4	95.1	68.4	°C/W
ψ_{JT}	结至顶部特征参数	31.3	10.0	4.0	°C/W
ψ_{JB}	结至电路板特征参数	81.6	93.5	68.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅“*半导体和 IC 封装热指标*”应用报告。

6.6 四通道器件的热性能信息

热指标 (1)		OPA4323	OPA4323	单位
		PW (TSSOP)	DYY (SOT)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	115.8	113.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	44.9	49.1	°C/W
$R_{\theta JB}$	结至电路板热阻	58.7	42.4	°C/W
ψ_{JT}	结至顶部特征参数	5.2	1.6	°C/W
ψ_{JB}	结至电路板特征参数	58.1	42.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅“*半导体和 IC 封装热指标*”应用报告。

Copyright © 2025 Texas Instruments Incorporated

6.7 电气特性

V_S = (V+) – (V–) = 1.8V 至 5.5V（±0.85V 至 ±2.75V），T_A = 25°C，R_L = 10kΩ 且连接至 V_S/2，V_{CM} = V_S/2，且 V_{OUT} = V_S/2，除非另有说明。

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_S = 1.8V 至 5.5V			±0.15	±1.25	mV
		V_S = 1.8V 至 5.5V	T_A = -40°C 至 125°C			±1.35	
dV_{OS}/dT	输入失调电压漂移(1)	V_S = 1.8V 至 5.5V	T_A = -40°C 至 125°C		±0.4	±1.8	μV/℃
PSRR	输入失调电压与电源间的关系	V_S = 1.8V 至 5.5V			±5	±20	μV/V
	通道隔离	f = 10kHz			±1		μV/V
输入偏置电流							
I_B	输入偏置电流 (1)	V_S = 1.8V 至 V_S = 5V			±0.5	±20	pA
		V_S = 1.8V 至 V_S = 5V	T_A = -40°C 至 125°C			±1600	pA
I_{OS}	输入失调电流(1)	V_S = 1.8V 至 V_S = 5V			±0.25		pA
		V_S = 1.8V 至 V_S = 5V	T_A = -40°C 至 125°C			±120	pA
噪声							
E_N	输入电压噪声	f = 0.1Hz 至 10Hz			2.8		μV_{PP}
e_N	输入电压噪声密度	f = 100Hz			24		nV/√Hz
		f = 1kHz			9		
		f = 10kHz			5.5		
i_N	输入电流噪声(2)	f = 1kHz			20		fA/√Hz
输入电压范围							
V_I	输入电压范围	V_S = 1.8V 至 5.5V		(V–) – 0.2		(V+) + 0.15	V
CMRR	共模抑制比	V_S = 5.5V，(V–) – 0.2V ≤ V_{CM} ≤ (V+) + 0.10V		100	114		dB
		V_S = 5.5V，(V–) – 0.2V ≤ V_{CM} ≤ (V+) + 0.15V		90	104		dB
		V_S = 5.5V，(V–) – 0.2V ≤ V_{CM} ≤ (V+) + 0.15V	T_A = -40°C 至 125°C	84			dB
		V_S = 1.8V，(V–) – 0.1V ≤ V_{CM} ≤ (V+) + 0.05V		85	103		dB
		V_S = 1.8V，(V–) – 0.1V ≤ V_{CM} ≤ (V+) + 0.05V	T_A = -40°C 至 125°C	80			dB
输入阻抗							
Z_{ID}	差分				80 || 2		GΩ || pF
Z_{ICM}	共模				100 || 1		GΩ || pF
开环增益							
A_{OL}	开环电压增益	V_S = 1.8V，(V–) + 0.1V < V_O < (V+) – 0.1V，R_L = 10kΩ（连接至 V_S/2）		103	120		dB
		V_S = 1.8V，(V–) + 0.2V < V_O < (V+) – 0.2V，R_L = 2kΩ（连接至 V_S/2）		100	115		dB
		V_S = 5.5V，(V–) + 0.1V < V_O < (V+) – 0.1V，R_L = 10kΩ（连接至 V_S/2）		112	125		dB
		V_S = 5.5V，(V–) + 0.2V < V_O < (V+) – 0.2V，R_L = 2kΩ（连接至 V_S/2）		108	120		dB
频率响应							
GBW	增益带宽积	V_S = 5.5V，G = +1，R_L = 10kΩ，C_L = 100pF	T_A = 25°C		20		MHz
SR	压摆率	V_S = 5.5V, G = +1, V_{STEP} = 5V, R_L = 10kΩ, C_L = 100pF			33		V/μs
THD+N	总谐波失真 + 噪声 (3)	V_S = 5V，G = +1，V_O = $4V_{P-P}$，f = 10kHz，R_L = 600Ω（连接至 V_S/2），C_L = 50pF			0.00125		%
t_S	趋稳时间	精度达到 0.1%，V_S = 5.5V，V_{STEP} = 4V，G = +1，C_L = 10pF			200		ns
		精度达到 0.1%，V_S = 5.5V，V_{STEP} = 2V，G = +1，C_L = 10pF			150		
		精度达到 0.01%，V_S = 5.5V，V_{STEP} = 4V，G = +1，C_L = 10pF			250		
		精度达到 0.01%，V_S = 5.5V，V_{STEP} = 2V，G = +1，C_L = 10pF			200		

Copyright © 2025 Texas Instruments Incorporated

6.7 电气特性（续）

V_S = (V+) – (V–) = 1.8V 至 5.5V（±0.85V 至 ±2.75V），T_A = 25°C，R_L = 10kΩ 且连接至 V_S/2，V_{CM} = V_S/2，且 V_{OUT} = V_S/2，除非另有说明。

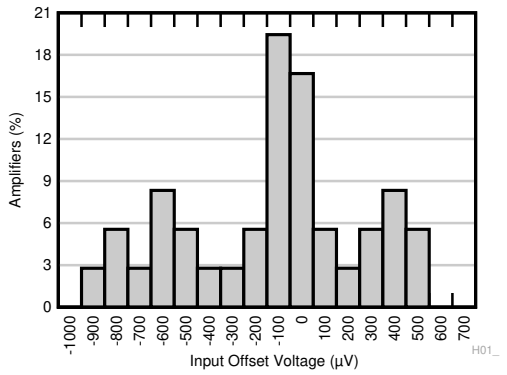
参数		测试条件		最小值	典型值	最大值	单位
GM	增益裕量	V_S = 5.5V，G = +1，R_L = 10kΩ，C_L = 30pF			15		dB
		V_S = 1.8V，G = +1，R_L = 10kΩ，C_L = 30pF			15		dB
PM	相位裕度	V_S = 5.5V，G = +1，R_L = 10kΩ，C_L = 30pF			50		°
		V_S = 1.8V，G = +1，R_L = 10kΩ，C_L = 30pF			52.5		°
$t_{overload}$	过载恢复时间	V_{IN} × 增益 > V_S			130		ns
EMIRR	电磁干扰抑制比	f = 1.8GHz，V_{IN_EMIRR} = 100mV			62		dB
输出							
V_o	相对于电源轨的电压输出摆幅	V_S = 1.8V，R_L = 10kΩ（连接至 V_S/2）			15	25	mV
		V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2）			25	35	mV
		V_S = 5.5V，R_L = 2kΩ（连接至 V_S/2）			45	55	mV
I_{SC}	短路电流(4)	V_S = 1.8V		±20	±40		mA
		V_S = 5.5V		±80	±110		mA
Z_O	开环输出阻抗	f = 10kHz			80		Ω
电源							
I_Q	每个放大器的静态电流	V_S = 5.5V，I_O = 0A			1.6	1.9	mA
			T_A = -40°C 至 125°C			2.0	
	加电时间	V_S = 0V 至 5.5V，90% I_Q 电平			25		μs
关断							
I_{QSD}	每个放大器的关断电流(7)	所有放大器均为禁用状态，$\overline{SHDN}$ = V–			0.5	1	μA
		所有放大器均为禁用状态，$\overline{SHDN}$ = V–，T_A = –40℃ 至 125℃				1.5	μA
Z_{SHDN}	关断时的输出阻抗 (7)	已禁用放大器			43 || 11.5		GΩ || pF
V_{IH}	逻辑高电平阈值电压（放大器为启用状态）(7)			(V–) + 1.15			V
V_{IL}	逻辑低电平阈值电压（放大器为禁用状态）					(V–) + 0.20	V
t_{ON}	放大器启用时间（完全关断）(5) (6) (7)	G = +1，V_{CM} = V_S/2，V_O = 0.9 × V_S/2，R_L 连接至 V–			8		μs
	放大器启用时间（部分关断）(5) (6) (7)	G = +1，V_{CM} = V_S/2，V_O = 0.9 × V_S/2，R_L 连接至 V–			7.5		
t_{OFF}	放大器禁用时间 (5) (7)	G = +1，V_{CM} = V_S/2，V_O = 0.1 × V_S/2，R_L 连接至 V–			1.5		μs
	$\overline{SHDN}$ 引脚输入偏置电流（每个引脚）(7)	(V+) ≥ $\overline{SHDN}$ ≥ (V–) + 1V			30		nA
		(V–) ≤ $\overline{SHDN}$ ≤ (V–) + 0.2V			60		

(1) 根据表征结果指定最大或最小数据。
(2) 典型的输入电流噪声数据是根据设计仿真结果指定的
(3) 三阶滤波器；-3dB 时的带宽 = 80kHz。
(4) 此处指定的短路电流是短路拉电流和灌电流的平均值
(5) 禁用时间 (t_{OFF}) 和启用时间 (t_{ON}) 是指施加给 $\overline{SHDN}$ 引脚的信号为 50% 时到输出电压达到 10%（禁用）或 90%（启用）电平时之间的间隔。
(6) 完全关断是指双路器件的通道 1 和 2 都被禁用 ($\overline{SHDN1}$ = $\overline{SHDN2}$ = V–) 且四路器件的通道 1 至 4 都被禁用 ($\overline{SHDN12}$ = $\overline{SHDN34}$ = V–)。对于部分关断，仅使用 $\overline{SHDN}$ 引脚；在这种模式下，内部偏置电路仍然保持正常工作，并且启用时间更短。
(7) 关断部分处于预发布状态

Copyright © 2025 Texas Instruments Incorporated

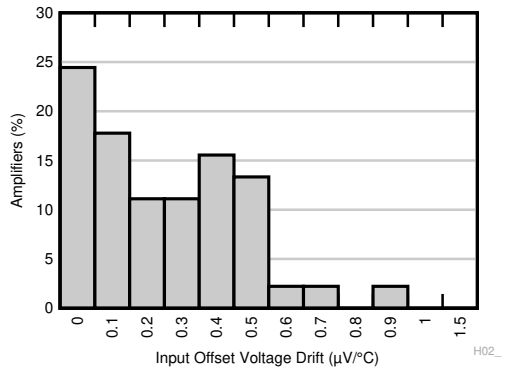
6.8 典型特性

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



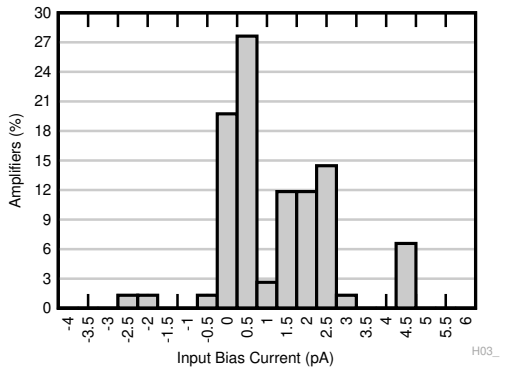
V_S = 5.5V　　V_{CM} = V_S/2　　T_A = 25°C
器件数量 = 36　　均值 = –32µV　　Σ = 190µV

图 6-1. 输入失调电压分布直方图



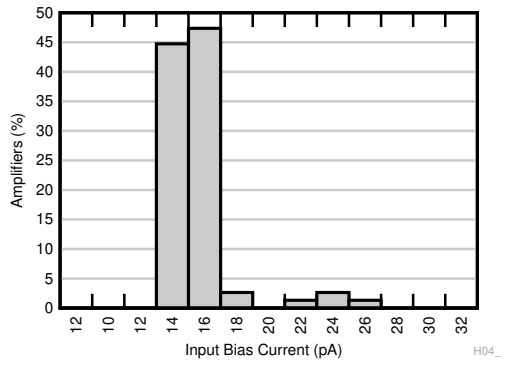
V_S = 5.5V　　V_{CM} = V_S/2　　T_A = -40°C 至 +125°C
器件数量 = 36
均值 = 0.28µV/°C　　Σ = 0.22µV/°C

图 6-2. 输入失调电压漂移分布直方图



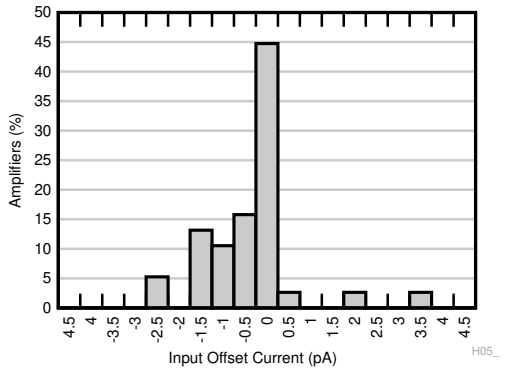
V_S = 5.5V　　V_{CM} = V_S/2　　T_A = 25°C
器件数量 = 90　　均值 = 1pA　　Σ = 2pA

图 6-3. 输入偏置电流分布直方图



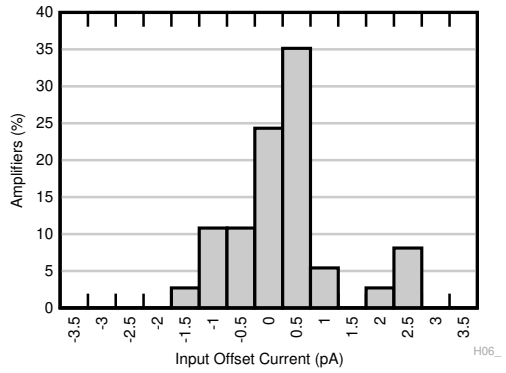
V_S = 5.5V　　V_{CM} = V_S/2　　T_A = 85°C
器件数量 = 90　　均值 = 13pA　　Σ = 2pA

图 6-4. 输入偏置电流分布直方图



V_S = 5.5V　　V_{CM} = V_S/2　　T_A = 25°C
器件数量 = 45　　均值 = –0.1pA　　Σ = 1.7pA

图 6-5. 输入失调电流分布直方图



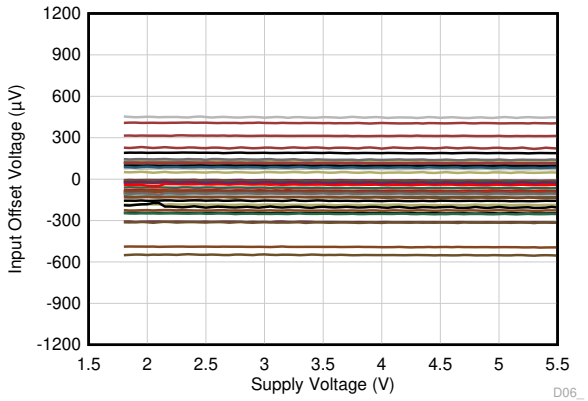
V_S = 5.5V　　V_{CM} = V_S/2　　T_A = 85°C
器件数量 = 45　　均值 = 1.1pA　　Σ = 2.1pA

图 6-6. 输入失调电流分布直方图

Copyright © 2025 Texas Instruments Incorporated

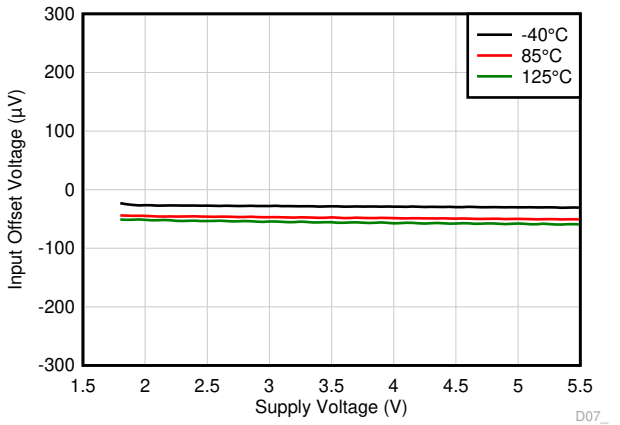
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



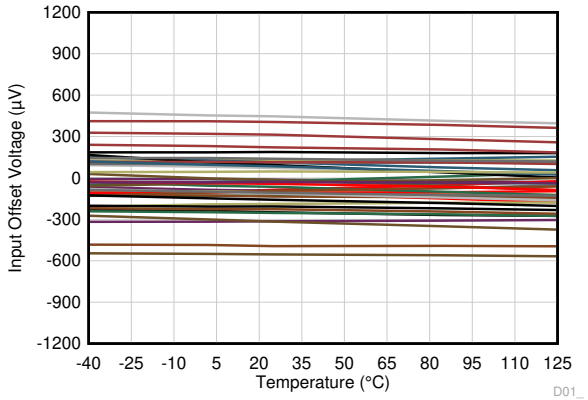
V_{CM} = (V–)　　器件数量 = 45

图 6-7. 输入失调电压与电源电压间的关系



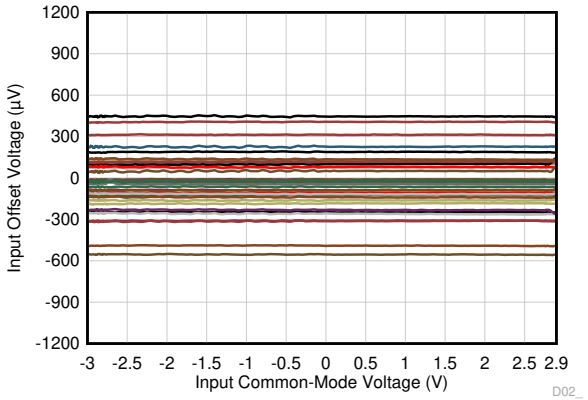
V_{CM} = (V–)　　T_A = –40°C、85°C 和 125°C

图 6-8. 输入失调电压与电源电压间的关系



V_{CM} = V–　　器件数量 = 45

图 6-9. 输入失调电压与温度间的关系



V+ = 2.75V，V– = –2.75V　　器件数量 = 45

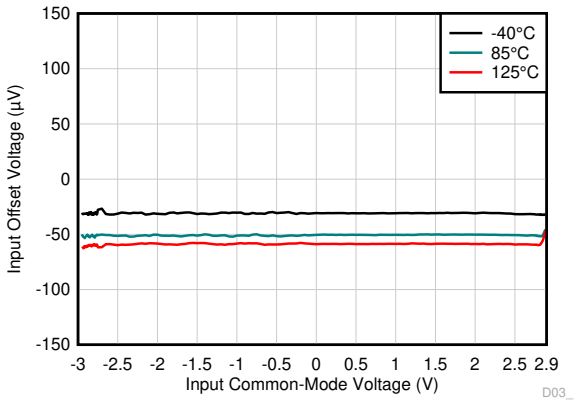
(V–) – 0.25V < V_{CM} < (V+) + 0.15V

图 6-10. 输入偏移偏置电压与共模

Copyright © 2025 Texas Instruments Incorporated

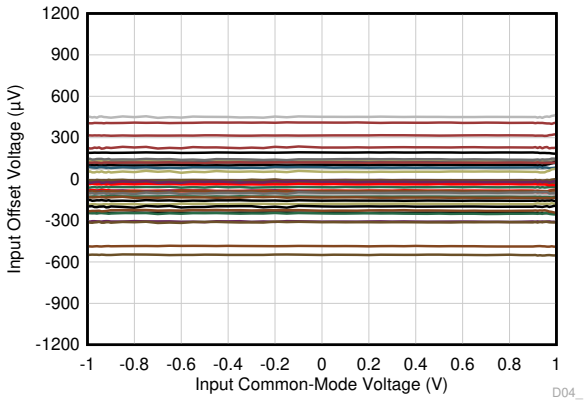
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



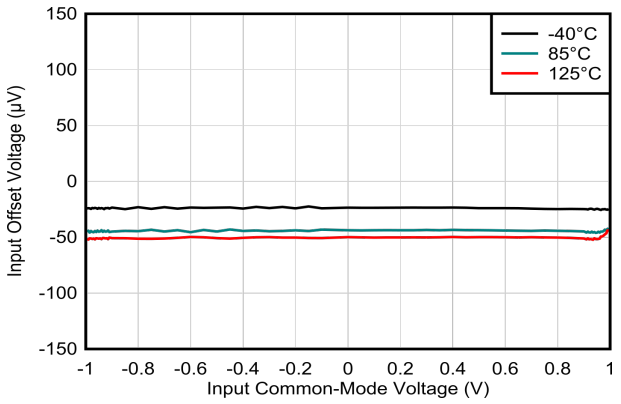
V+ = 2.75V，V– = –2.75V　T_A = –40°C、85°C 和 125°C
(V–) – 0.25V < V_{CM} < (V+) + 0.15V

图 6-11. 输入偏移偏置电压与共模



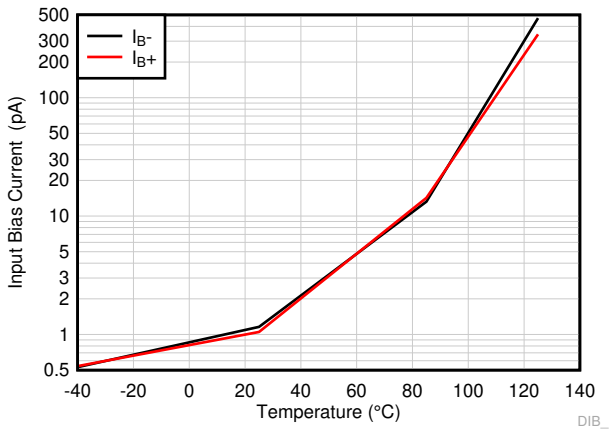
V+ = 0.9V，V– = –0.9V　器件数量 = 45
(V–) – 0.1V < V_{CM} < (V+) + 0.1V

图 6-12. 输入偏移偏置电压与共模



V+ = 0.9V，V– = –0.9V　T_A = –40°C、85°C 和 125°C
(V–) – 0.1V < V_{CM} < (V+) + 0.1V

图 6-13. 输入偏移偏置电压与共模

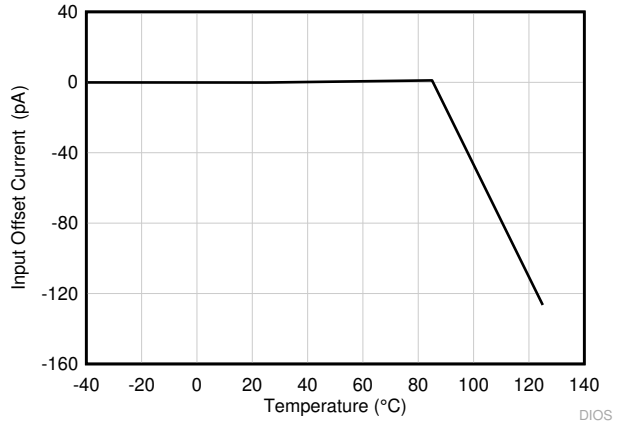


V_S = 5.5V，V_{CM} = V_S/2

图 6-14. I_B 与温度间的关系

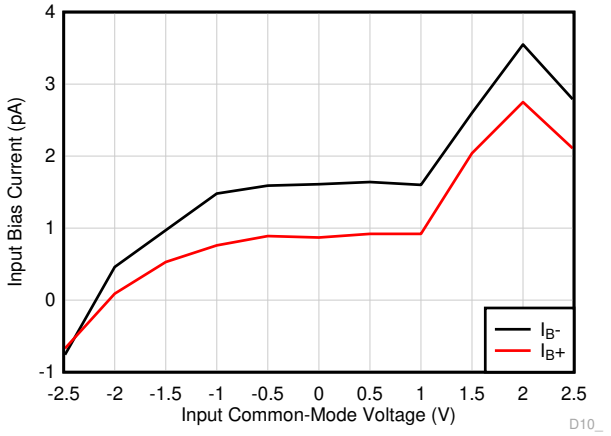
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



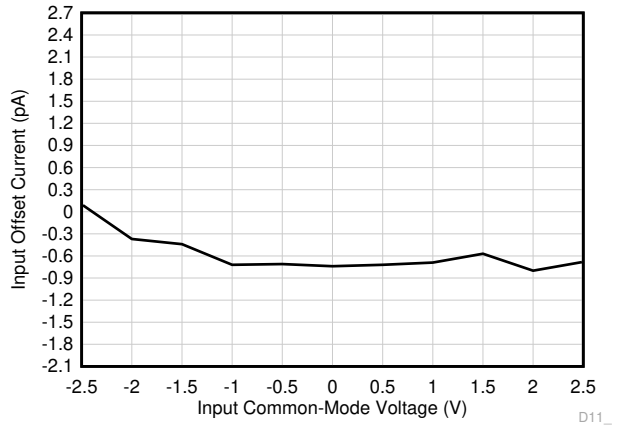
V_S = 5.5V，V_{CM} = V_S/2

图 6-15. I_{OS} 与温度间的关系



V+ = 2.5V，V– = –2.5V，V_{CM} = V_S/2

图 6-16. I_B 与共模电压间的关系



V+ = 2.5V，V– = –2.5V，V_{CM} = V_S/2

图 6-17. I_{OS} 与共模电压间的关系

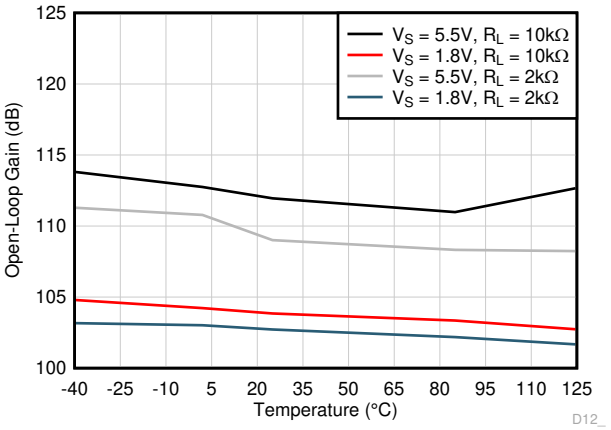
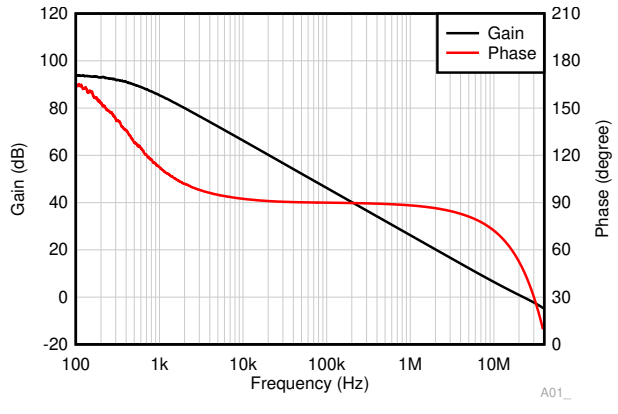


图 6-18. 开环增益与温度间的关系



C_L = 10pF

图 6-19. 开环增益和相位与频率间的关系

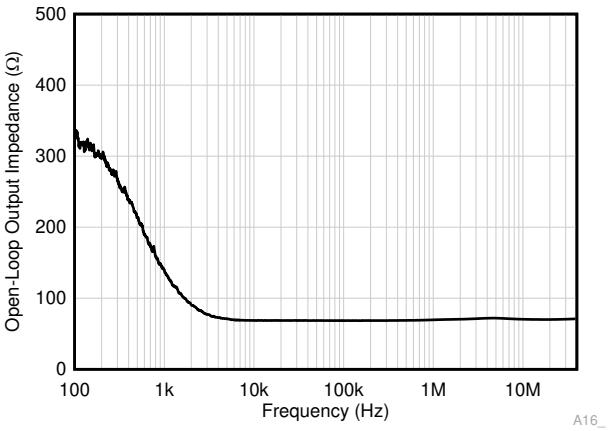
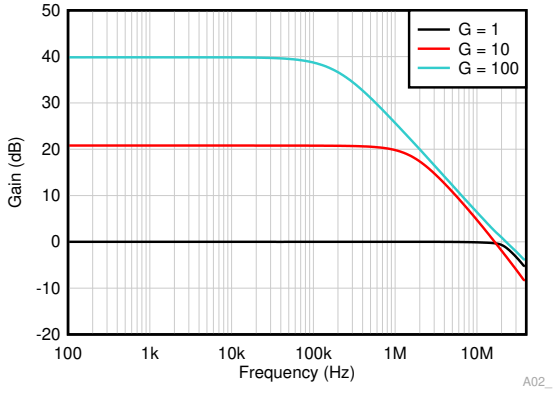


图 6-20. 开环输出阻抗与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

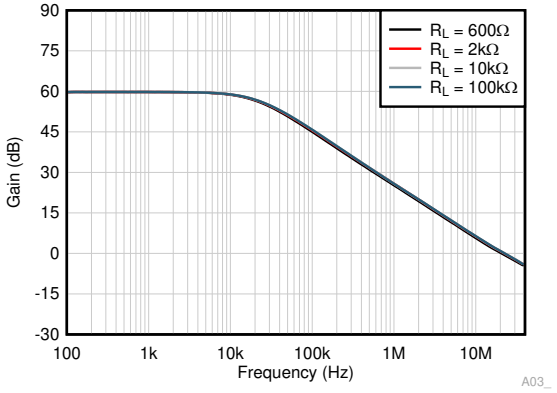
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



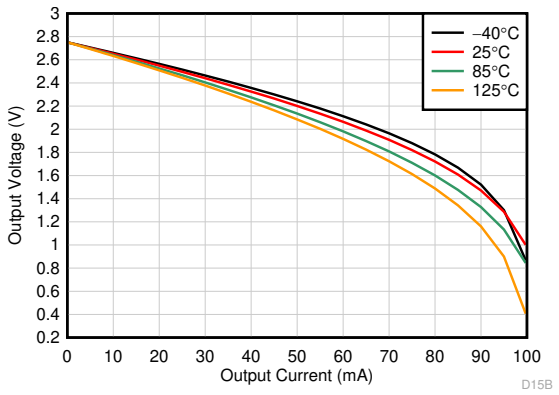
C_L = 10pF

图 6-21. 闭环增益与频率间的关系



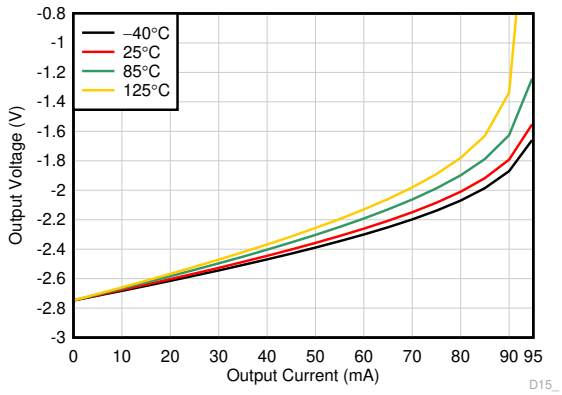
G = 1000 | C_L = 10pF

图 6-22. 闭环增益与频率间的关系



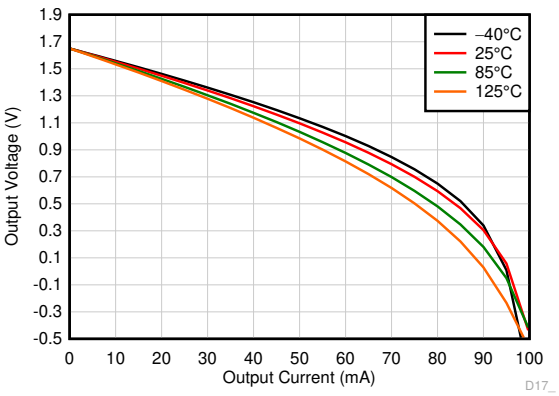
V+ = 2.75V，V– = –2.75V

图 6-23. 输出电压摆幅与输出电流（拉电流）间的关系



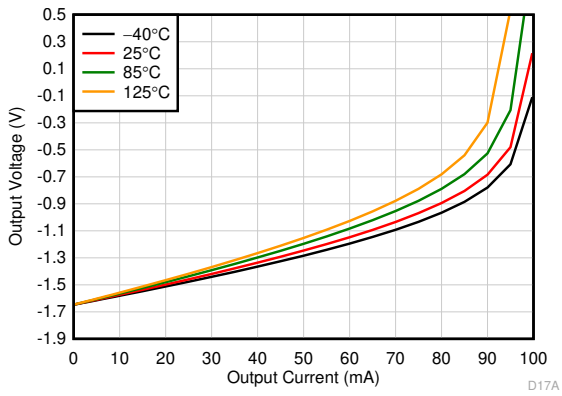
V+ = 2.75V，V– = –2.75V

图 6-24. 输出电压摆幅与输出电流（灌电流）间的关系



V+ = 1.65V，V– = –1.65V

图 6-25. 输出电压摆幅与输出电流（拉电流）间的关系



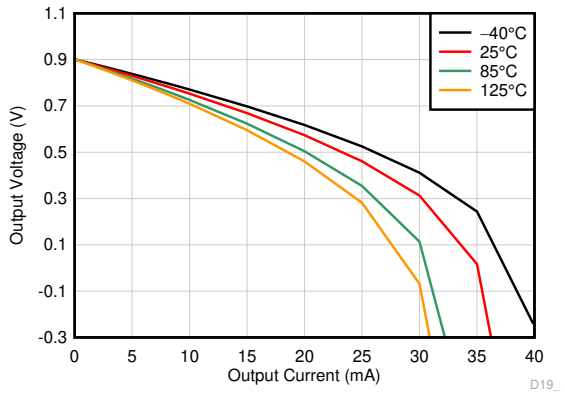
V+ = 1.65V，V– = –1.65V

图 6-26. 输出电压摆幅与输出电流（灌电流）间的关系

Copyright © 2025 Texas Instruments Incorporated

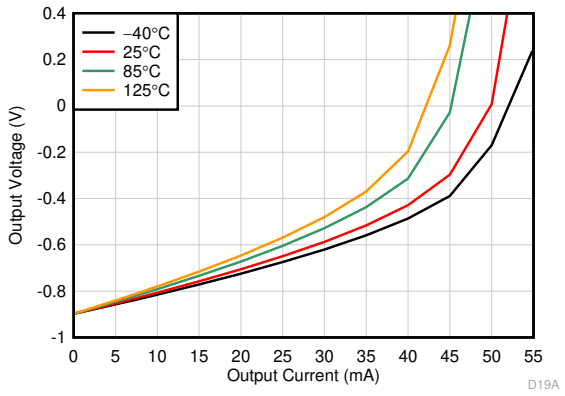
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



V+ = 0.9V，V– = –0.9V

图 6-27. 输出电压摆幅与输出电流（拉电流）间的关系



V+ = 0.9V，V– = –0.9V

图 6-28. 输出电压摆幅与输出电流（灌电流）间的关系

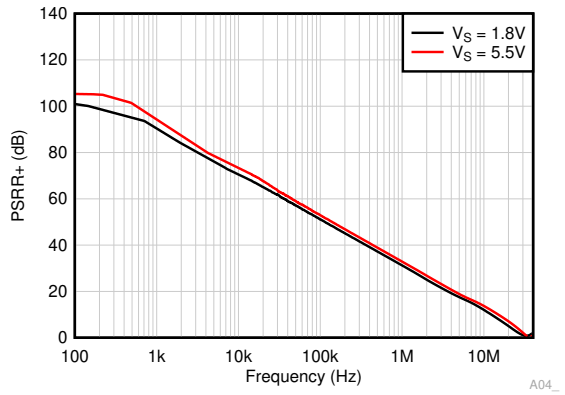


图 6-29. PSRR+ 与频率间的关系

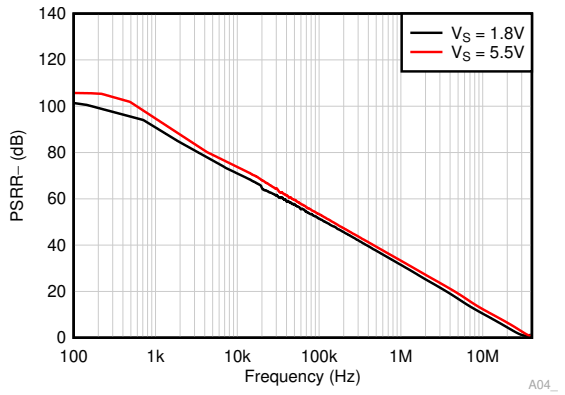
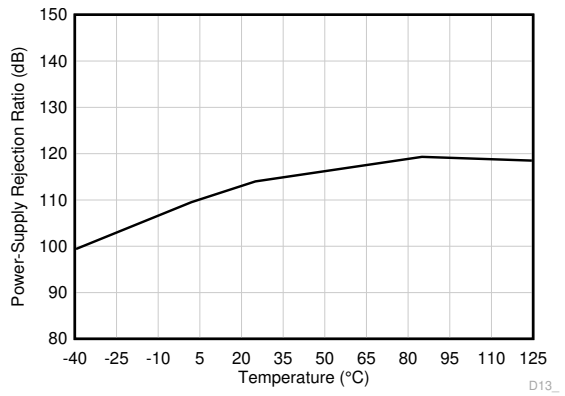


图 6-30. PSRR – 与频率间的关系



V_{CM} = (V–)　　V_S = 1.8V 至 5.5V

图 6-31. 直流 PSRR 与温度间的关系

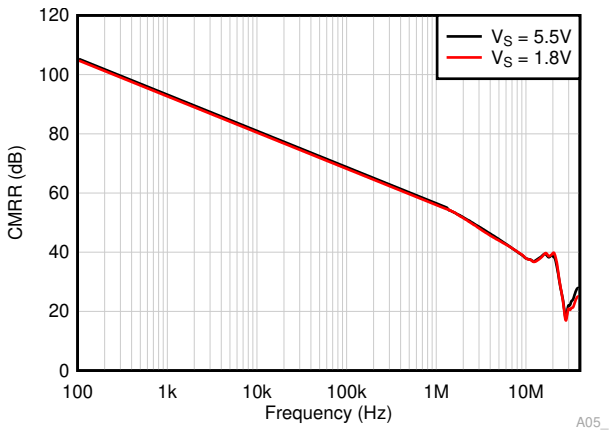


图 6-32. CMRR 与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）

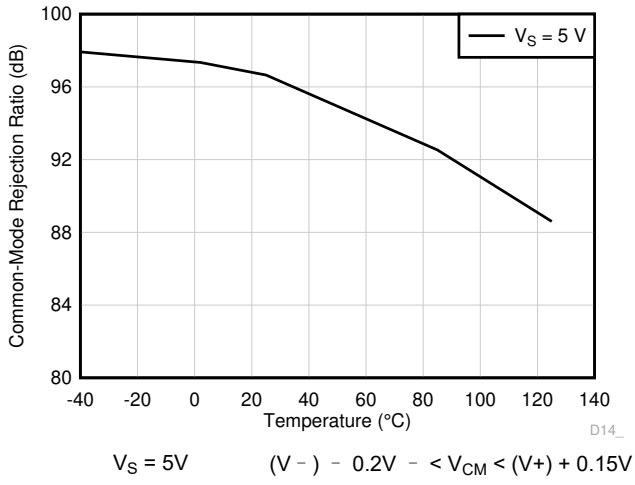


图 6-33. 直流 CMRR 与温度间的关系

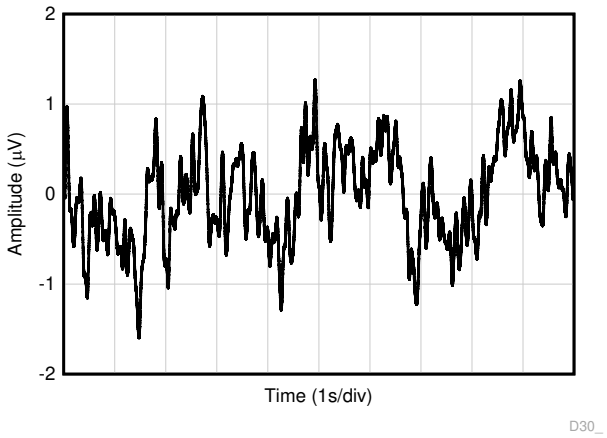


图 6-34. 0.1Hz 至 10Hz 时域电压噪声

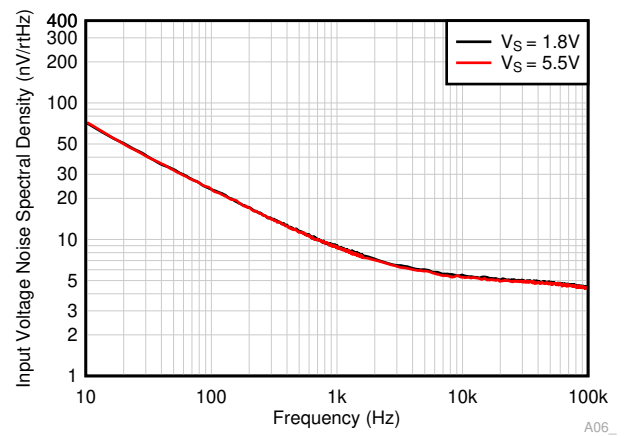


图 6-35. 输入电压噪声频谱密度

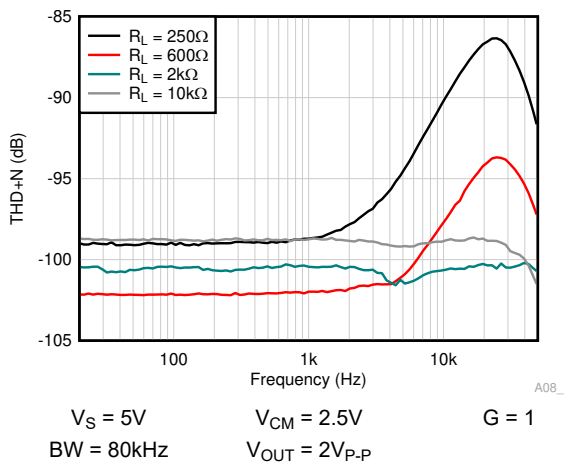
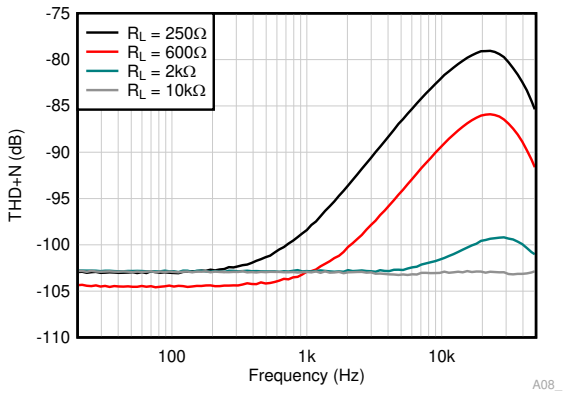


图 6-36. THD+N 与频率间的关系

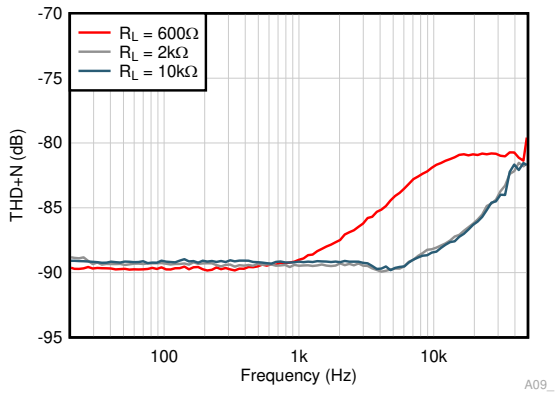
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



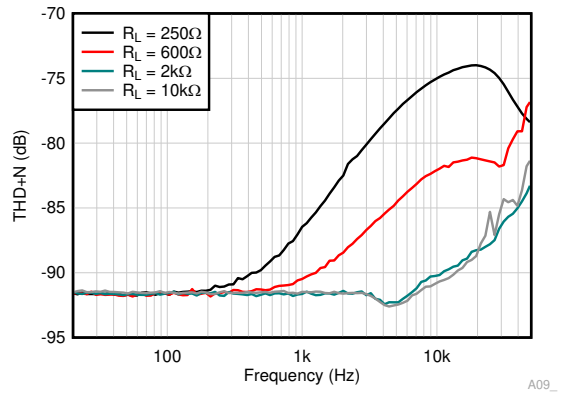
V_S = 5V　　V_{CM} = 2.5V　　G = -1
BW = 80kHz　　V_{OUT} = 2V_{P-P}

图 6-37. THD+N 与频率间的关系



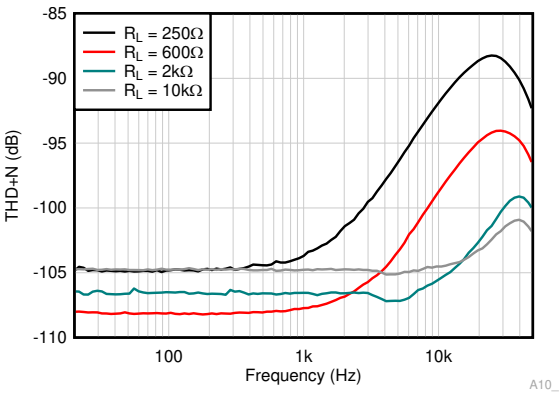
V_S = 5V　　V_{CM} = 2.5V　　G = 10
BW = 80kHz　　V_{OUT} = 2V_{P-P}

图 6-38. THD+N 与频率间的关系



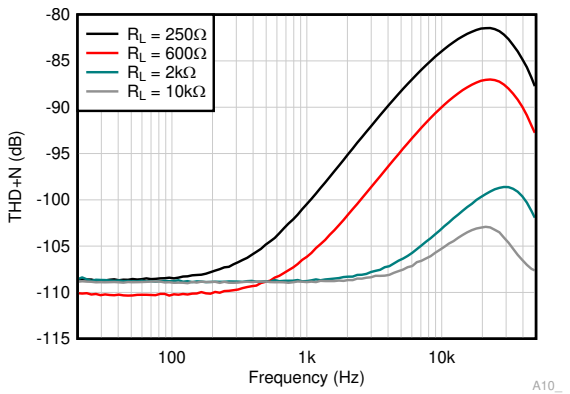
V_S = 5V　　V_{CM} = 2.5V　　G = -10
BW = 80kHz　　V_{OUT} = 2V_{P-P}

图 6-39. THD+N 与频率间的关系



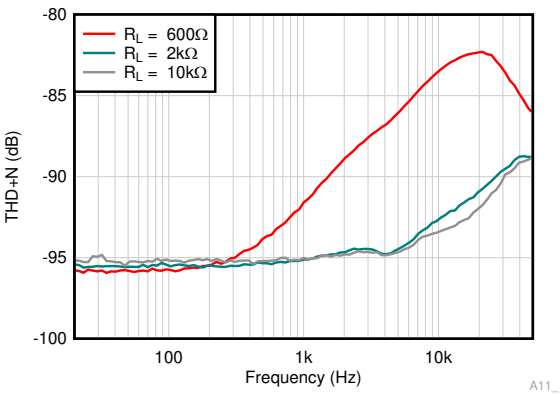
V_S = 5V　　V_{CM} = 2.5V　　G = 1
BW = 80kHz　　V_{OUT} = 4V_{P-P}

图 6-40. THD+N 与频率间的关系



V_S = 5V　　V_{CM} = 2.5V　　G = -1
BW = 80kHz　　V_{OUT} = 4V_{P-P}

图 6-41. THD+N 与频率间的关系



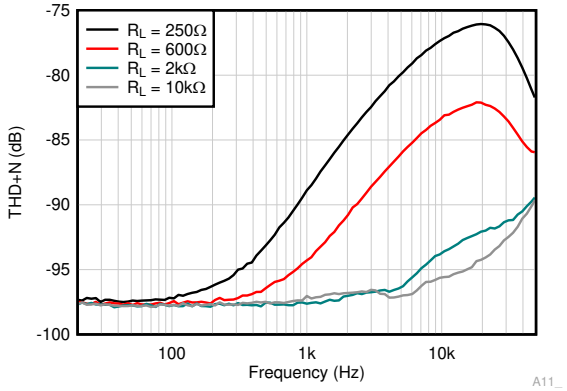
V_S = 5V　　V_{CM} = 2.5V　　G = 10
BW = 80kHz　　V_{OUT} = 4V_{P-P}

图 6-42. THD+N 与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

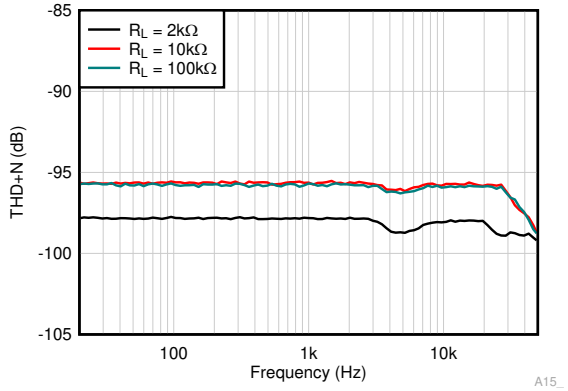
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



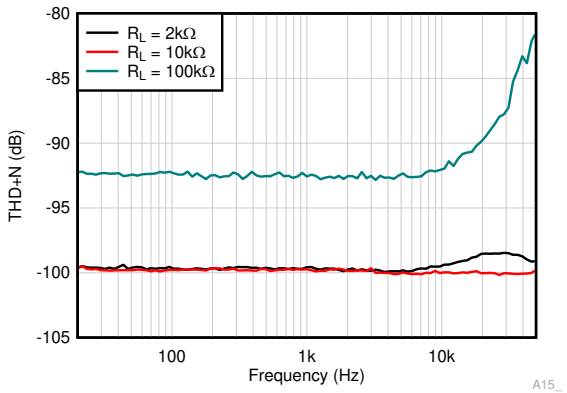
V_S = 5V　　V_{CM} = 2.5V　　G = -10
BW = 80kHz　　V_{OUT} = 4V_{P-P}

图 6-43. THD+N 与频率间的关系



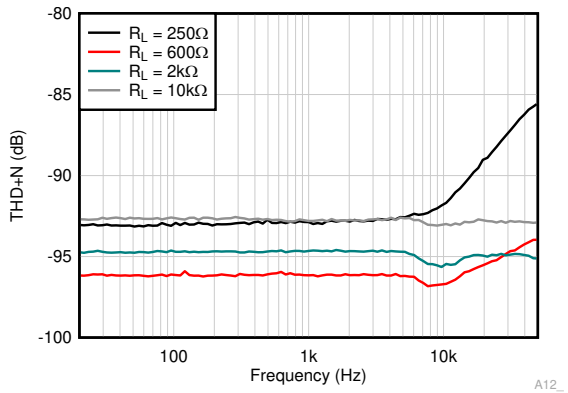
V_S = 5V　　V_{CM} = 2.5V　　G = 1
BW = 80kHz　　V_{OUT} = 1.4V_{P-P}

图 6-44. THD+N 与频率间的关系



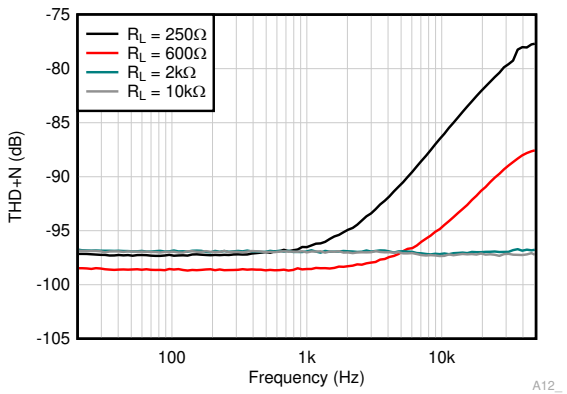
V_S = 5V　　V_{CM} = 2.5V　　G = -1
BW = 80kHz　　V_{OUT} = 1.4V_{P-P}

图 6-45. THD+N 与频率间的关系



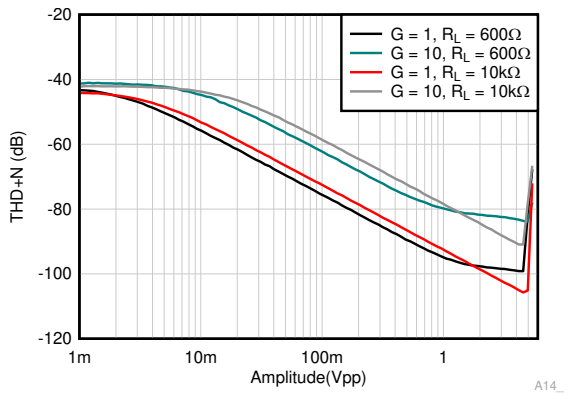
V_S = 3.3V　　V_{CM} = 1.65V　　G = 1
BW = 80kHz　　V_{OUT} = 1V_{P-P}

图 6-46. THD+N 与频率间的关系



V_S = 3.3V　　V_{CM} = 1.65V　　G = -1
BW = 80kHz　　V_{OUT} = 1V_{P-P}

图 6-47. THD+N 与频率间的关系



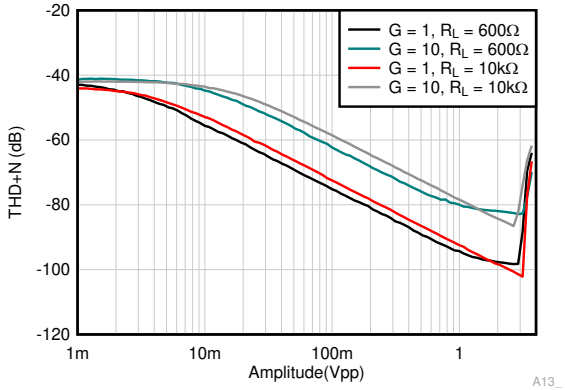
V_S = 5V　　V_{CM} = 2.5V　　f = 1kHz
BW = 80kHz

图 6-48. THD + N 与幅度间的关系

Copyright © 2025 Texas Instruments Incorporated

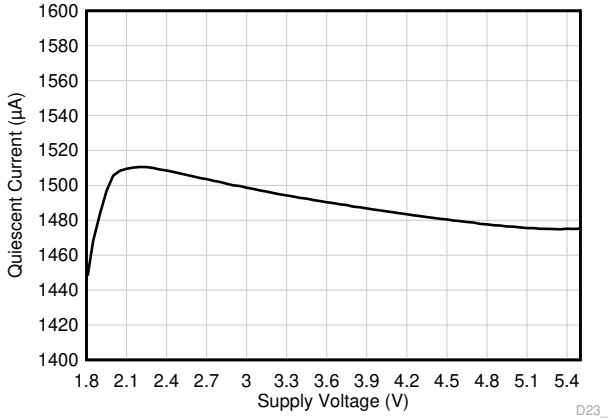
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



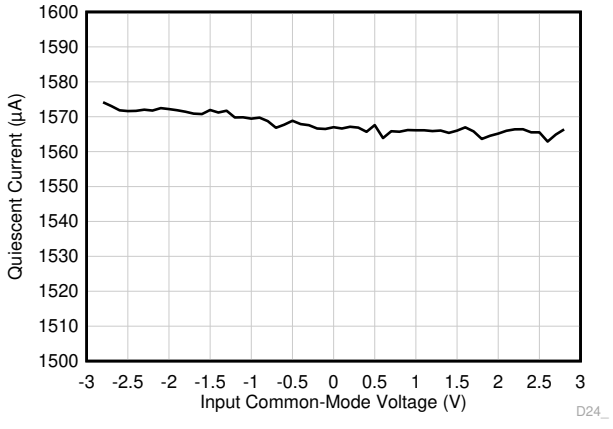
V_S = 3.3V　　V_{CM} = 1.65V　　f = 1kHz
BW = 80kHz

图 6-49. THD + N 与幅度间的关系



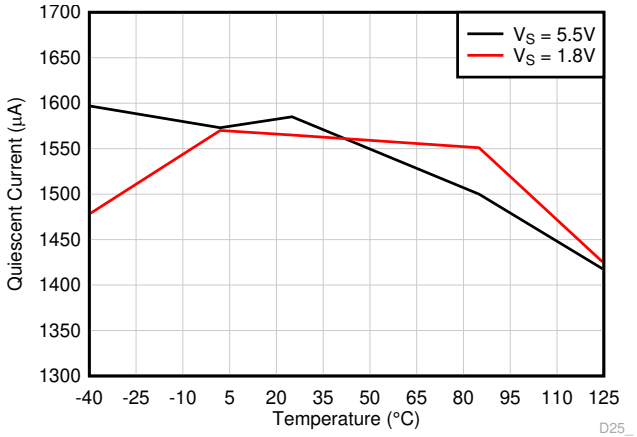
V_{CM} = V_S/2

图 6-50. 静态电流与电源电压间的关系



V+ = 2.75V，V– = –2.75V

图 6-51. 静态电流与共模电压间的关系



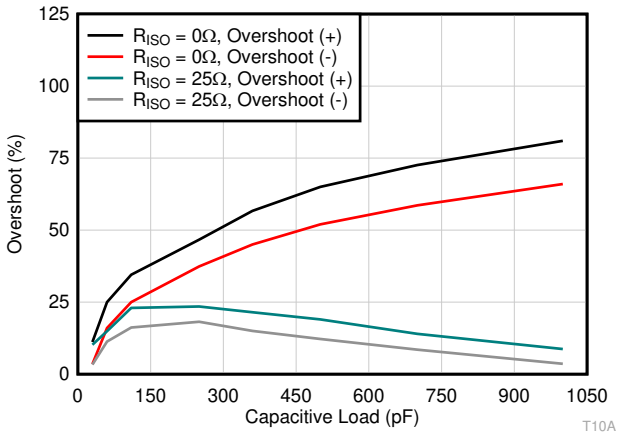
V_{CM} = V_S/2

图 6-52. 静态电流与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

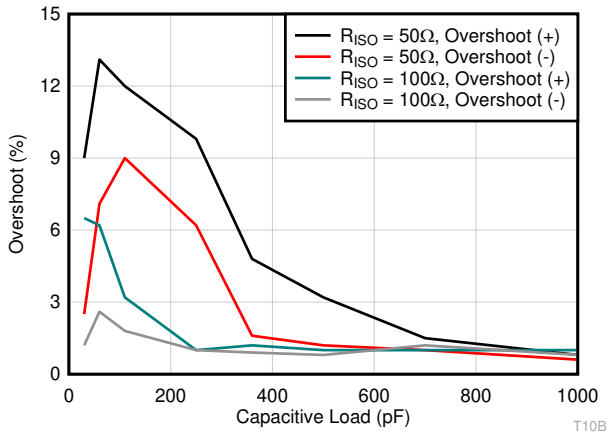
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



G = 1　　V_{IN} = 100mVpp

图 6-53. 小信号过冲与容性负载间的关系



G = 1　　V_{IN} = 100mVpp

图 6-54. 小信号过冲与容性负载间的关系

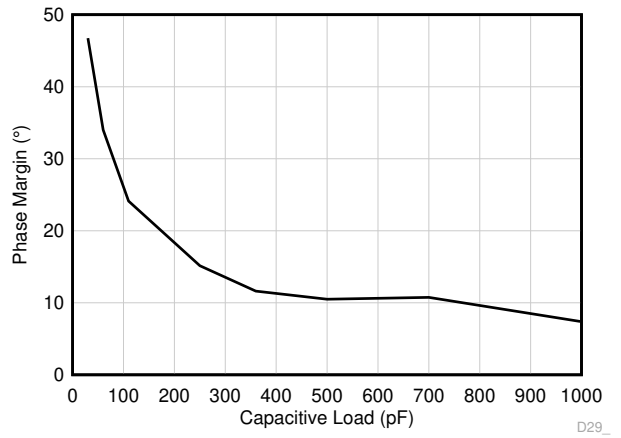
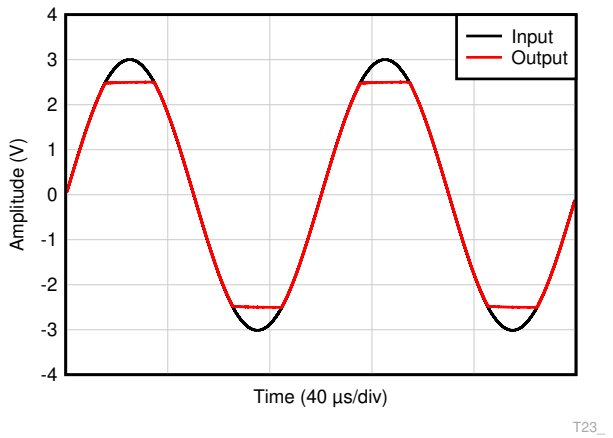
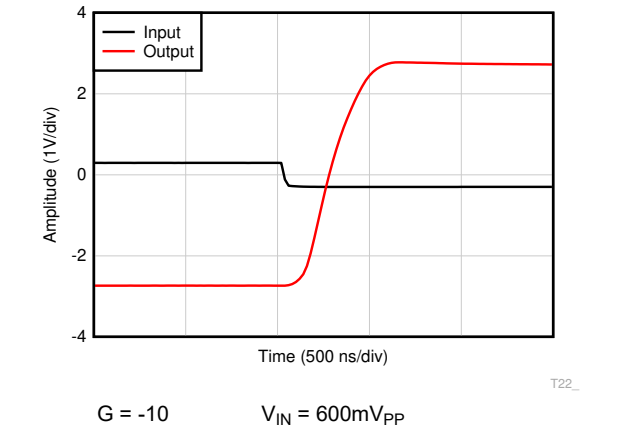


图 6-55. 相位裕度与容性负载间的关系



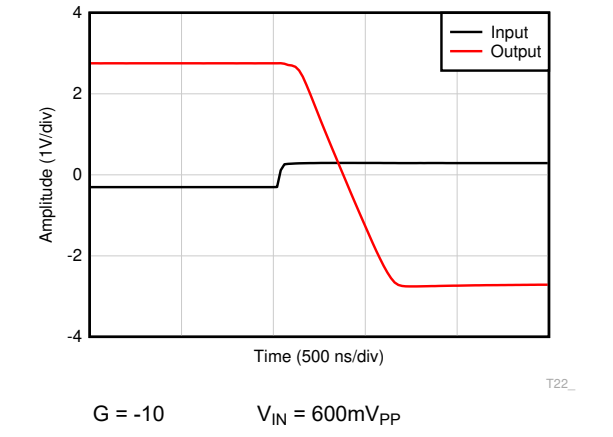
G = 1　　V_{IN} = 6V_{PP}

图 6-56. 无相位反转



G = -10　　V_{IN} = 600mV_{PP}

图 6-57. 过载恢复



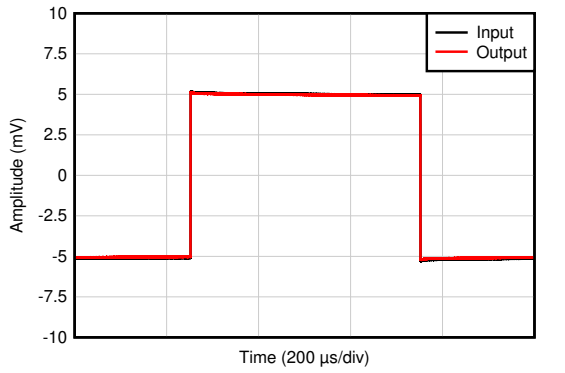
G = -10　　V_{IN} = 600mV_{PP}

图 6-58. 过载恢复

Copyright © 2025 Texas Instruments Incorporated

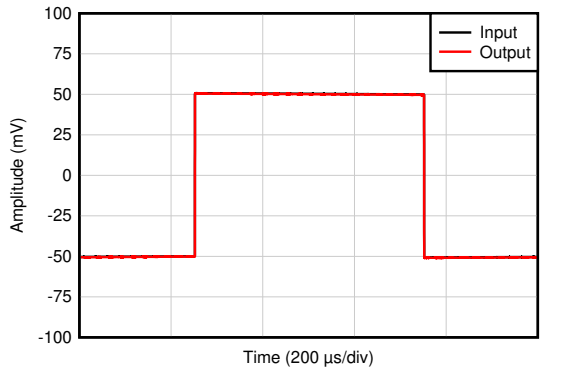
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



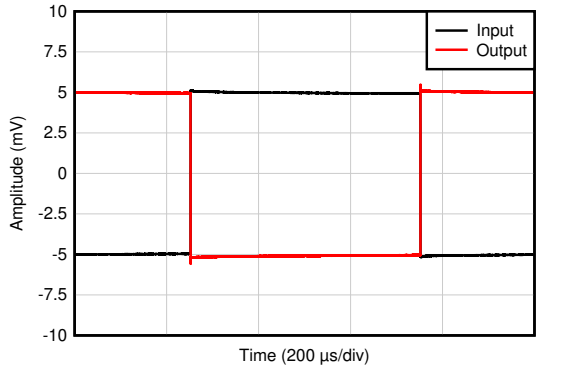
G = 1　　V_{IN} = 10mV_{PP}　　C_L = 10pF

图 6-59. 小信号阶跃响应



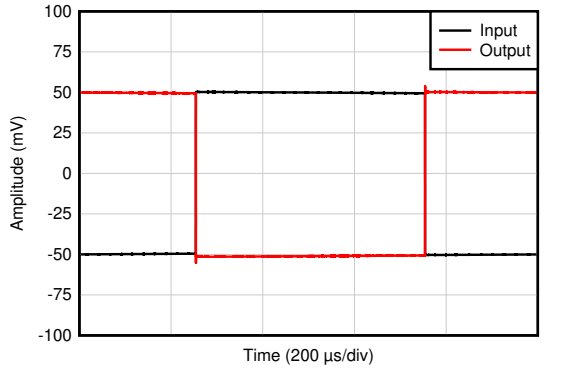
G = 1　　V_{IN} = 100mV_{PP}　　C_L = 10pF

图 6-60. 小信号阶跃响应



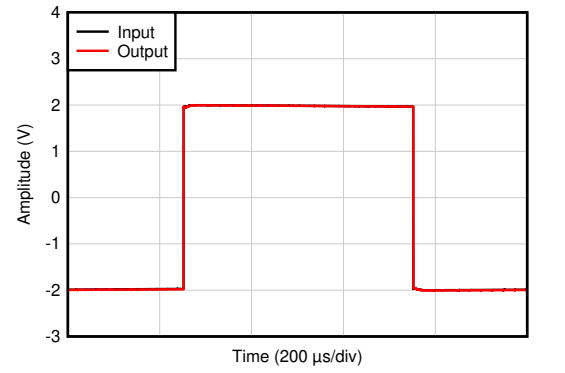
G = -1　　V_{IN} = 10mV_{PP}　　C_L = 10pF

图 6-61. 小信号阶跃响应



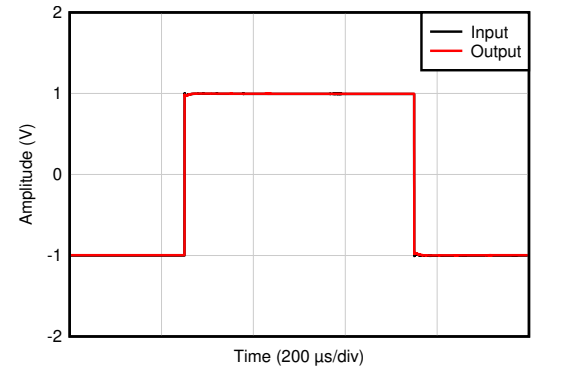
G = -1　　V_{IN} = 100mV_{PP}　　C_L = 10pF

图 6-62. 小信号阶跃响应



G = 1　　V_{IN} = 4V_{PP}　　C_L = 10pF

图 6-63. 大信号阶跃响应



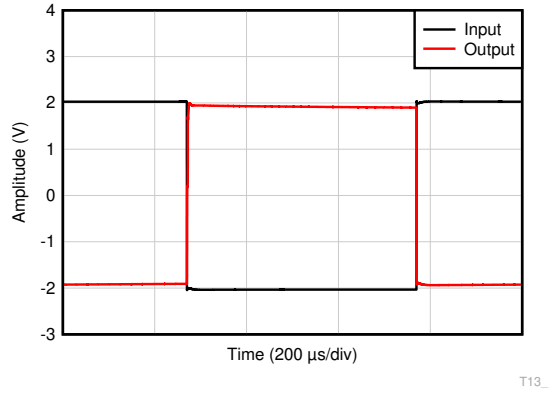
G = 1　　V_{IN} = 2V_{PP}　　C_L = 10pF
R_L = 2kΩ

图 6-64. 大信号阶跃响应

Copyright © 2025 Texas Instruments Incorporated

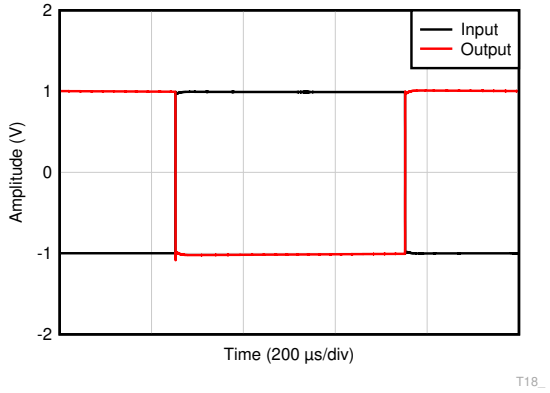
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



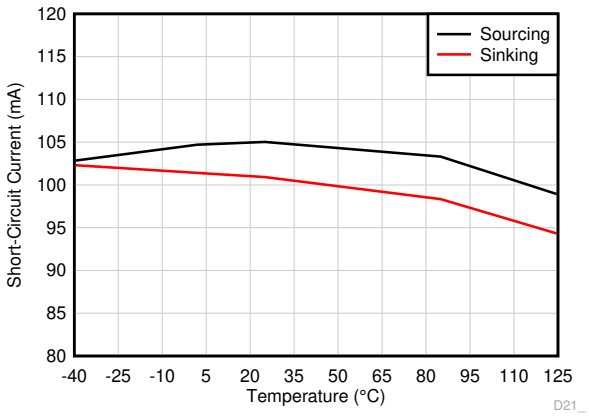
G = -1　　V_{IN} = 4V_{PP}　　C_L = 10pF

图 6-65. 大信号阶跃响应



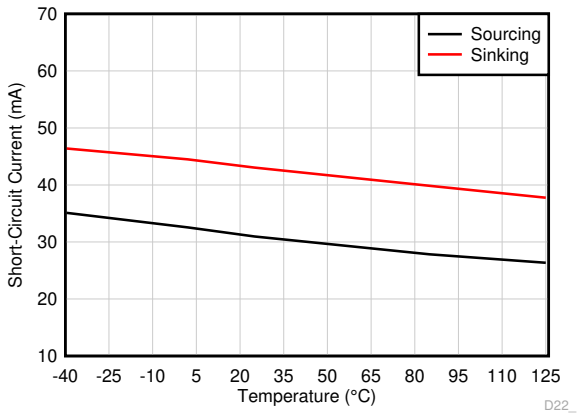
G = -1　　V_{IN} = 2V_{PP}　　C_L = 10pF
R_L = 2kΩ

图 6-66. 大信号阶跃响应



V_S = 5.5V

图 6-67. 短路电流与温度间的关系



V_S = 1.8V

图 6-68. 短路电流与温度间的关系

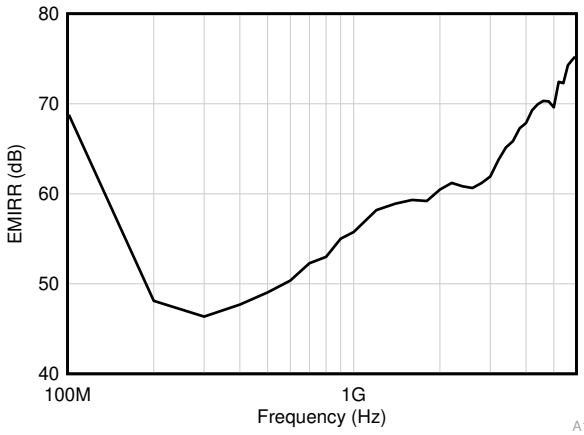


图 6-69. 以同相输入为基准的电磁干扰抑制比 (EMIRR+) 与频率间的关系

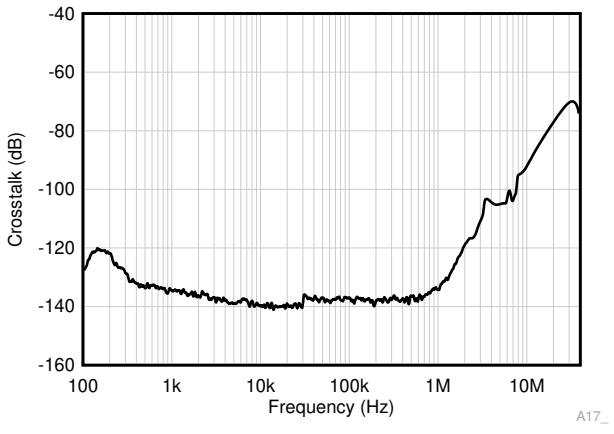


图 6-70. 通道隔离

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

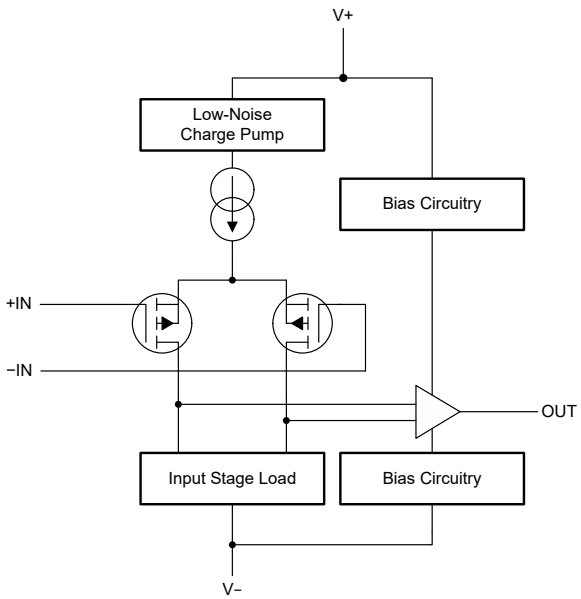
OPAx323 系列运算放大器包括单通道/双通道/四通道（OPA323、OPA2323、OPA4323）、超低电压（1.7V 至 5.5V），高带宽（20MHz）放大器。此系列放大器具有零交叉输入级和轨到轨输出级，可用于工业和汽车市场中的各种应用。输入共模电压范围包括超出电源轨的信号摆幅，并支持将 OPAx323 系列用于许多种单电源或双电源配置。轨到轨输出摆幅大大增加了动态范围，特别是在低电源应用中，此类应用具有 AB 类输出级能够驱动更小的阻性负载。

与互补输入级放大器相比，OPAx323 系列零交叉输入级放大器可为具有轨至轨摆幅的输入信号实现高线性，这些信号在 ADC 驱动器应用中是典型的。在 0.5MSPS 至 5MSPS 之间的 ADC 采样速度下，20MHz 增益带宽有助于提供快速稳定响应，具体取决于所需的稳定性能。OPAx323 可轻松支持高增益电压传感应用（如惠特森电桥）中的精密性能，因为该器件的最大失调电压为 1.25mV，最大漂移为 1.8 μV/°C。这种独特的高精度和高增益带宽组合使其可用于多种应用，例如电机旋转编码器、麦克风音频前置放大器和超声波传感器。

对于 20MHz 增益带宽，OPAx323 系列仅在每个通道消耗 1.6mA 电源电流，因此能够以非常低的功耗提供良好的交流性能。这些器件实现了 33V/μs 的高压摆率，可在电机电流检测应用中快速检测故障。零交叉输入级可在低侧和高侧检测应用中提供相同的交流和直流性能，因此 OPAx323 成为各种终端设备（例如太阳能串式逆变器，电力输送，电网和电动汽车基础设施）中用于电流检测的理想选择。精密跨阻和电压增益应用具有低输入偏置电流（典型值为 0.5pA，最大值为 20pA），良好 PSRR（最大值为 20 μV/V），CMRR（最小值为 100dB）和 A_{OL}（最小值 114dB）。该器件具有空载时的典型相位裕度 60°，可驱动高达 75pF 的电容，相位裕度为 35°。

OPAx323 具有内部电流限制，可在以高输出电流运行时实现更高的稳健性，同时在音频应用中驱动更小的输出阻抗，例如 68Ω、128Ω 和 256Ω 负载。OPAx323 的摆幅非常接近电源轨，并且在 5.5V 电源电压下的短路电流最小为 80mA。OPAx323S 器件提供关断功能，可进一步降低功耗，并有助于在空闲时禁用放大器。这些运算放大器集成了射频抗扰 (RFI) 和电磁干扰 (EMI) 抑制滤波器，具有单位增益稳定性，并且在输入过驱条件下不会出现相位反转。

7.2 功能方框图



Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 工作电压

OPAx323 系列运算放大器的额定工作电压范围为 1.8V 至 5.5V，专为 1.7V 至 1.8V 的放大器工作电压而设计。此外，许多规格在 –40°C 至 125°C 的温度范围内都适用。*典型特性*部分中提供了随工作电压或温度的变化而显著变化的参数。TI 强烈建议在每个电源引脚和接地之间添加低 ESR 陶瓷旁路电容器 (C_{BYP})。对于单电源运行，只需一个 C_{BYP} 就足够了。确保 C_{BYP} 尽可能靠近器件放置，并且电源布线在到达放大器电源端子之前经过 C_{BYP}。

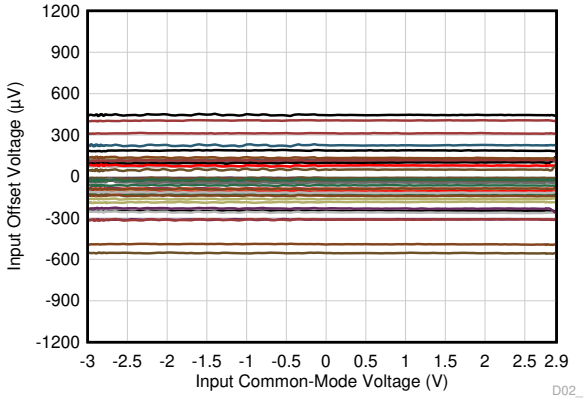
7.3.2 轨到轨输入

OPAx323 系列的输入共模电压范围超出电源轨，共模抑制比 (CMRR) 在 5.5V 时最小为 100dB，如*电气特性*部分所述。该器件经过设计，即使在 1.8V 的超低电源电压下运行时也能实现最小 85dB CMRR 的良好性能。这是通过对放大器输入对使用零交叉输入级架构来实现的。

大多数商用放大器采用互补输入级架构，通常将轨到轨 CMRR 限制在 65dB 以下。这是因为轨到轨输入共模范围内的失调电压性能不是线性的。其中一个输入对，通常是具有更好偏移和噪声性能的 P 通道对，被设计为覆盖大部分共模范围，而 N 通道对则被设计为在一定阈值电压下从正轨缓慢接管。在输入对之间转换时，会在共模上产生较大的失调电压跃变，如 TLV900x 失调电压与共模间的关系 所示。该失调电压跳变不仅影响 CMRR，还限制轨到轨输入信号的线性度 THD。

OPAx323 通过使用内部电荷泵扩展单个 P 通道输入对的共模范围，可在整个轨到轨输入范围内实现线性失调性能，如*功能方框图*所示。这样就不需要 N 通道输入对以及由输入对转换引起的偏移跳变。

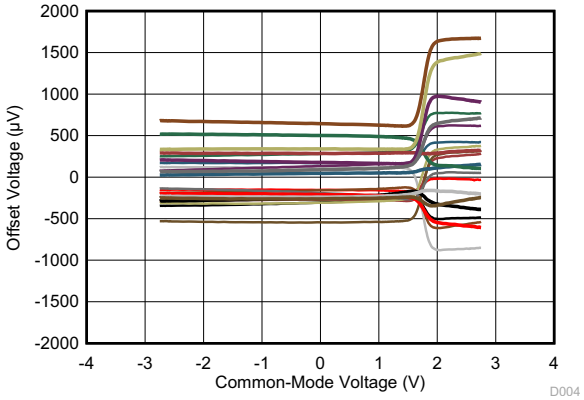
OPAx323 在整个共模电压范围内的失调电压几乎为零，如 图 7-1 所示。这对于在 ADC 驱动器和音频驱动器应用中实现高线性度至关重要。



V+ = 2.75V，V– = –2.75V　　器件数量 = 45

(V–) – 0.25V < V_{CM} < (V+) + 0.15V

图 7-1. OPAx323 失调电压与共模间的关系



V+ = 2.75V，V– = –2.75V

图 7-2. TLV900x 失调电压与共模间的关系

7.3.3 轨到轨输出

OPAx323 提供稳健的输出驱动能力。它采用一个具有共源晶体管的输出级来实现完全的轨到轨输出摆幅功能。该器件的最小输出短路电流设计为 ±80mA，这使其成为室温和 5.5V 下音频驱动器应用的绝佳选择。对于高达 2kΩ 的电阻负载和 5.5V 的电源，输出电压摆幅在最大 55mV 以内，这与任一电源轨相差无几，从而在 ADC 驱动器应用中几乎可以使用 ADC 的整个输入范围。

7.3.4 共模抑制比 (CMRR)

OPAx323 实现了出色的直流和交流 CMRR 性能。器件设计为在整个工作温度范围（–40°C 至 125°C）内的两个电源电压（5.5V 和 1.8V）下具有直流 CMRR 性能。直流 CMRR 指定用于输入电压范围为 (V–) – 0.2V ≤ V_{CM}

Copyright © 2025 Texas Instruments Incorporated

≤ (V+) + 0.15V（工作电压 5.5V）和 (V–) – 0.1V ≤ V_{CM} ≤ (V+) + 0.05V（工作电压 1.8V）的共模超轨。交流 CMRR 在*典型特性*部分显示，并且取决于 PCB 板上输入走线布线。为获得良好的性能，请为两个放大器输入端子保持短且对称的输入走线。

7.3.5 容性负载和稳定性

OPAx323 设计用于需要驱动电容负载的应用。与所有运算放大器一样，可能存在会使器件变得不稳定的特定情况。在确定特定运算放大器的运行是否稳定时，需要考虑放大器电路配置、布局、增益和输出负载等因素。

在单位增益 (1V/V) 缓冲器配置下驱动容性负载的运算放大器比在更高噪声增益下工作的放大器更容易出现不稳定的情况。容性负载与运算放大器输出电阻相结合后，在反馈环路内产生一个使相位裕度降级的极点。当容性负载增加时，相位裕度的降级会增大。在单位增益配置下运行时，OPAx323 的相位裕度为 50°，容性负载为 30pF。器件具有可接受的相位裕度 35°，在高达约 75pF 的纯容性负载下仍能保持稳定，并且不超过 150pF 时无持续振荡。有时某些超大电容器（大于 1μF）的等效串联电阻 (ESR) 足够改变反馈环路内的相位特性，从而使放大器保持稳定。增加放大器闭环增益使得放大器能够驱动更大的电容。如果在电压增益更高时测量放大器的过冲响应，放大器驱动能力的提升会非常明显。

要提升在单位增益配置下运行的放大器的容性负载驱动能力，一种方法是插入一个与输出串联的小型电阻器（一般为 10Ω 到 50Ω），（如图 7-3 中所示）。这个电阻器大大减少了与大容性负载相关的过冲和振铃。这通常是 ADC 驱动器应用中使用的电路配置，其中 C_{LOAD} 用作 ADC 采样电容器的电荷桶。

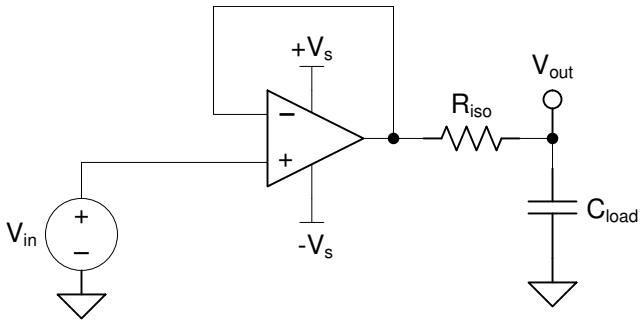


图 7-3. 增强容性负载驱动能力

7.3.6 过载恢复

过载恢复定义为运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出级进入饱和区。一旦其中一个输出进入饱和区，输出级需要额外的时间才能恢复到线性工作状态，这被称为过载恢复时间。在输出级恢复线性工作状态后，放大器开始以指定的转换率转换。因此，传播延迟（过载情况下）等于过载恢复时间与转换时间之和。

OPAx323 系列的过载恢复时间典型值约为 130ns。

7.3.7 EMI 抑制

OPAx323 使用集成电磁干扰 (EMI) 滤波来降低干扰源（如无线通信设备（射频干扰 (RFI)）以及混合使用模拟信号链和数字组件的高密度电路板）产生的 EMI。通过电路设计技术可改进 EMI 抗扰度；OPAx323 受益于这些设计改进措施。德州仪器 (TI) 已具备在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的能力。图 7-4 展示了在 OPAx323 上执行此测试的结果。表 7-1 展示了 OPAx323 在实际应用中通常会遇到的特定频率下的 EMIRR IN+ 值。*运算放大器的 EMI 抑制比应用手册*详细介绍了与运算放大器相关的 EMIRR 性能主题。

Copyright © 2025 Texas Instruments Incorporated

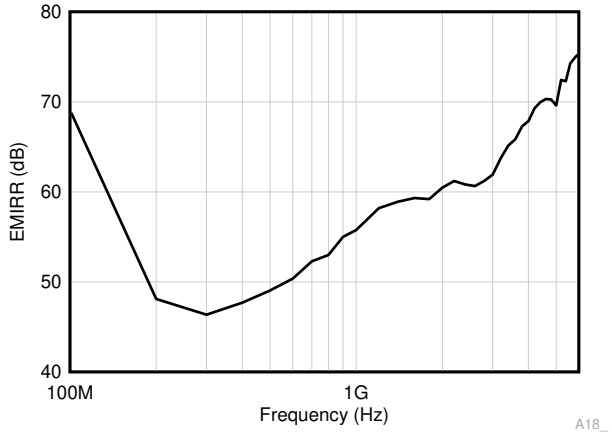


图 7-4. EMIRR 测试

表 7-1. OPAx323 目标频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	48dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS（最高可达 1.6GHz）、GSM、航空移动通信及 UHF 应用	56dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段（1GHz 至 2GHz）	60dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	61dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	67dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段（4GHz 至 8GHz）	70dB

7.3.8 ESD 和电气过载

设计人员经常会问到关于运算放大器耐受电过应力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路以及与电气过载事件的关联性会有所帮助。图 7-5 显示了 OPAx323 器件中包含的 ESD 电路。ESD 保护电路中涉及多个导流二极管，这些二极管从输入引脚和输出引脚连接回内部供电线路，并且输入和输出引脚均连接到运算放大器内部的吸收器件。该保护电路在电路正常工作时处于未运行状态。

请注意，OPAx323 在输入和正电源引脚之间没有连接导流二极管。

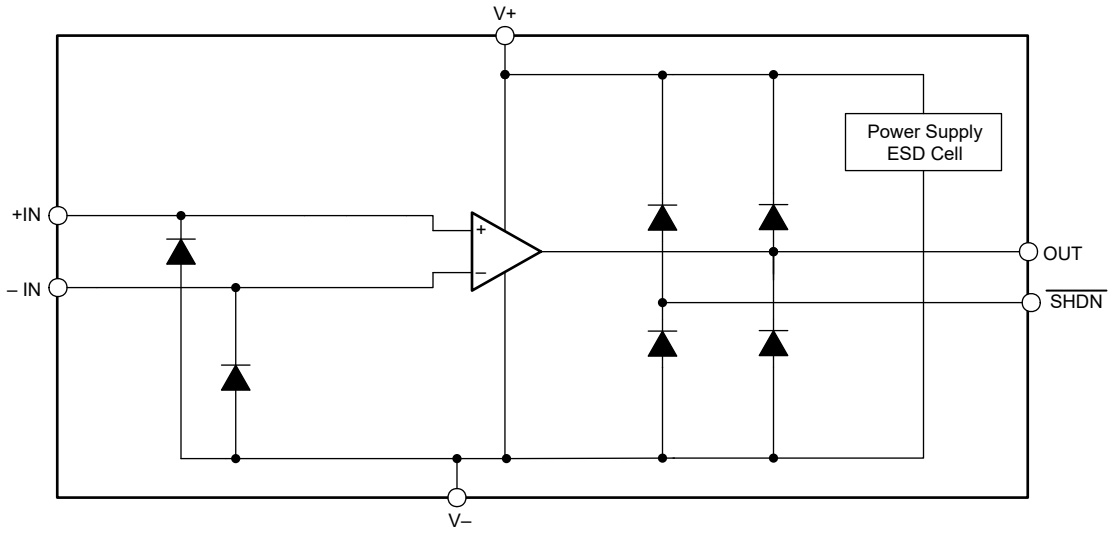


图 7-5. 等效内部 ESD 电路

7.3.9 输入 ESD 保护

OPAx323 系列在所有引脚上均整合了内部 ESD 保护电路。对于输入，此保护主要由失效防护 ESD 输入结构组成，该结构在输入和正电源引脚之间没有连接电流导向二极管，如图 7-5 所示。在电源时序场景中，此功能非常有用，在这些场景中，输入信号可以出现在正电源轨之前。失效防护输入 ESD 结构可防止输入与正电源之间发生短路。有关更多详细信息，请参阅*运算放大器 ESD 保护结构*应用手册。

7.3.10 关断功能

OPAx323S 器件具有 $\overline{\text{SHDN}}$ 引脚，可禁用运算放大器，将其置于低功耗待机模式。在此模式下，运算放大器在室温下消耗的电流通常低于 1000nA。$\overline{\text{SHDN}}$ 引脚为低电平有效，这意味着当 $\overline{\text{SHDN}}$ 引脚的输入为有效逻辑低电平时启用关断模式。

Copyright © 2025 Texas Instruments Incorporated

$\overline{SHDN}$ 引脚以运算放大器的负电源电压为基准。关断特性的阈值在 500 mV（典型值）左右，且不随电源电压的变化而变化。开关阈值中包含了迟滞，以确保顺畅的开关特性。为了确保适当的关断行为，应通过有效逻辑信号驱动 $\overline{SHDN}$ 引脚。有效逻辑低电平是指介于 V– 和 (V–) + 0.2V 之间的电压。有效逻辑高电平是指介于 (V–) + 1V 和 V+ 之间的电压。要启用放大器，必须将 $\overline{SHDN}$ 引脚驱动至有效逻辑高电平。若要禁用放大器，必须将 $\overline{SHDN}$ 引脚驱动至有效逻辑低电平。TI 强烈建议不要将关断引脚悬空、而应将关断引脚连接到有效的高电压或低电压。$\overline{SHDN}$ 引脚上允许的最大电压为 (V+) + 0.5V。超过此电压水平会导致器件损坏。

$\overline{SHDN}$ 引脚为高阻抗 CMOS 输入。双通道运算放大器版本是独立控制的，而四通道运算放大器版本是采用逻辑输入成对控制的。对于电池供电应用，这种特性可用于大幅降低平均电流并延长电池寿命。启用和禁用时间的目标是低于 1µs，以完全关闭所有通道。禁用时，输出呈现高阻抗状态。该架构允许将 OPAx323S 作为门控放大器（或将器件输出复用到公共模拟输出总线上）。关断时间 (t_{OFF}) 取决于负载条件，因为输出电容器上的任何电荷都需要通过任何外部电阻负载或运算放大器放电。为了实现 1µs 关断时间，指定的 10kΩ 负载需达到 1/2 Vs (V_S/2) 且没有容性负载。

Copyright © 2025 Texas Instruments Incorporated

7.3.11 带外露散热焊盘的封装

OPAx323 系列可采用 WQFN-16 (RTE) 和 WSON-8 (DSG) 等封装，此类封装的特点是带有外露的散热焊盘。在封装内部，使用导电化合物将内核连接到该散热焊盘。因此，当使用带有外露散热焊盘的封装时，散热焊盘必须连接到 V – 。不得将散热焊盘连接到 V – 以外的电势，否则可能导致器件的性能与*电气特性*表有所不同。

7.4 器件功能模式

OPAx323 器件具有一种功能模式。只要电源电压在 1.7V (±0.85V) 与 5.5V (±2.75V) 之间，这些器件就处于通电状态。

OPAx323S 器件具有关断引脚，可用于将运算放大器置于低功耗模式。有关更多信息，请参阅*关闭功能*部分。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格。TI 不保证此信息的准确性和完整性。TI 的客户负责确定元件的适用性，以及验证和测试设计实现以确认系统功能。

8.1 应用信息

OPAx323 系列轨到轨输入和输出运算放大器专为各种高增益和高速应用而设计。这些器件的工作电压范围为 1.7V 至 5.5V，具有单位增益稳定特性，也是各种通用应用的卓越选择。只要器件不强制进入短路模式，输出级就能够驱动连接到 V+ 和 V – 之间任意点的小电阻负载。输入共模电压范围包括超轨信号摆幅，并支持将 OPAx323 系列用于许多单电源或双电源配置。

8.2 典型应用

8.2.1 OPAx323 低侧电流检测应用

图 8-1 展示了低侧电流检测应用中配置的 OPA323。

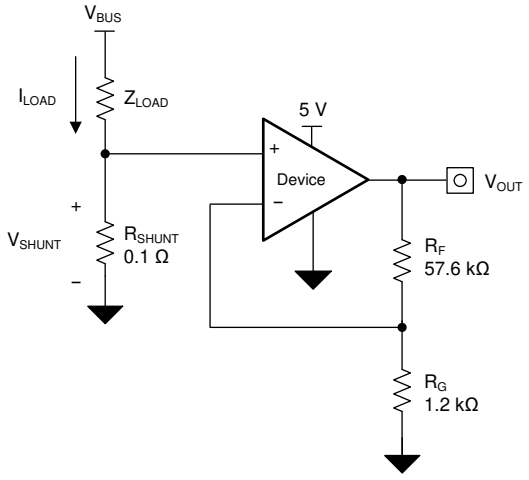


图 8-1. 低侧电流检测应用中的 OPA323

Copyright © 2025 Texas Instruments Incorporated

8.2.1.1 设计要求

此设计的设计要求如下：

- 负载电流：0A 至 1A
- 输出电压最大值：4.9V
- 最大分流电压：100mV

8.2.1.2 详细设计过程

方程式 1 提供了图 8-1 中的电路传递函数。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \quad (1)$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，使用方程式 2 定义了最大分流电阻。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100\ mV}{1\ A} = 100\ m\Omega \quad (2)$$

使用方程式 2 计算出的 R_{SHUNT} 为 100mΩ。I_{LOAD} 和 R_{SHUNT} 产生的压降由 OPA323 放大，从而产生约 0V 至 4.9V 的输出电压。OPA323 产生必要输出电压时所需的增益根据方程式 3 算出。

$$Gain = \frac{V_{OUT_MAX} - V_{OUT_MIN}}{V_{IN_MAX} - V_{IN_MIN}} \quad (3)$$

使用方程式 3 计算出的所需增益为 49V/V，该值由电阻器 R_F 和 R_G 设置。方程式 4 可确定 R_F 和 R_G 电阻器的大小，从而将 OPA323 的增益设置为 49V/V。

$$Gain = 1 + \frac{R_F}{R_G} \quad (4)$$

选择 R_F 为 57.6kΩ 和 R_G 为 1.2kΩ 的组合，可得到 49V/V。图 8-2 展示了图 8-1 中所示电路测得的传递函数。请注意，增益只是反馈和增益电阻器的函数。通过改变电阻器的比率来调整该增益，并且实际电阻器值由设计人员想要建立的阻抗水平确定。阻抗水平决定了电流损耗、杂散电容的影响以及其他一些行为。并不存在适用于每个系统的阻抗选择；应选择适合您的系统参数的阻抗。

8.2.1.3 应用曲线

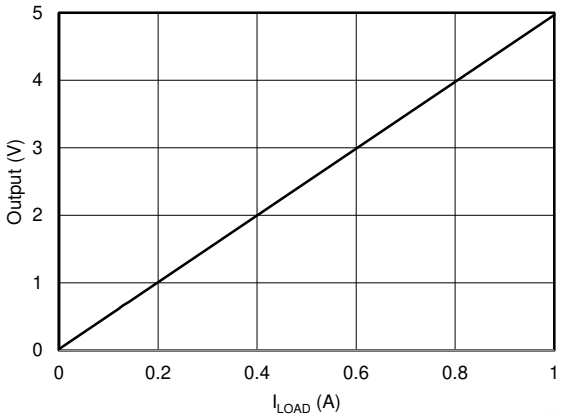


图 8-2. 低侧电流检测传递函数

Copyright © 2025 Texas Instruments Incorporated

8.3 电源相关建议

OPAx323 经过 1.7V 放大器运行测试，完全额定工作电压范围为 1.8V 至 5.5V（±0.9V 至 ±2.75V）；许多规格在 –40°C 至 125°C 的温度范围内适用。*电气特性*部分介绍了可能会随工作电压或温度的变化而显著变化的参数。

小心

电源电压大于 7V 会对器件造成永久损坏；请参阅*绝对最大额定值*表。

TI 强烈建议在每个电源引脚和接地之间添加低 ESR 陶瓷旁路电容器 (C_{BYP})。对于单电源运行，只需一个 C_{BYP} 就足够了。将 C_{BYP} 尽可能靠近器件放置，以减少噪声或高阻抗电源产生的耦合误差。确保电源走线在到达放大器电源端子之前经过 C_{BYP}。如需更多信息，请参阅*布局指南*。

8.4 布局

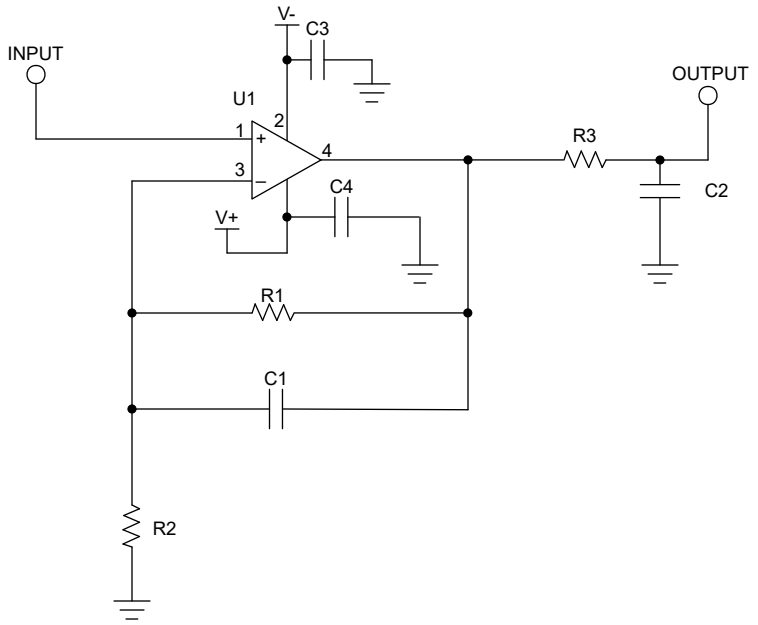
8.4.1 布局指南

为了实现出色的运行性能，请使用良好的印刷电路板 (PCB) 布局实践，包括：

- 噪声可以通过电路板的电源连接传播到模拟电路中，并传播到运算放大器的电源引脚。旁路电容器用于通过提供低阻抗接地路径来降低耦合噪声。
  - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) 0.1µF 陶瓷旁路电容器，并尽量靠近器件放置。从 V+ 到接地端的一个旁路电容器足以满足单电源应用的需求。
- 将电路中模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，应让输入布线尽可能远离电源或输出布线。如果这些走线不能保持分开，则以 90 度角穿过敏感走线比平行于噪声走线来排布走线要好得多。
- 外部元件的位置应尽量靠近器件，如*布局示例*中所示。使 R_1 和 R_2 接近反相输入可更大限度地减小寄生电容。
- 尽可能缩短输入走线的长度。切记，输入走线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。
- TI 建议在组装 PCB 板之后对其进行清洁，以获得卓越性能。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，TI 建议将 PCB 组件烘干，以去除清洁时渗入器件封装中的湿气。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

Copyright © 2025 Texas Instruments Incorporated

8.4.2 布局示例



注意：C3 和 C4 是 C_{BYP} 电容器

图 8-3. 同相配置布局示例的原理图

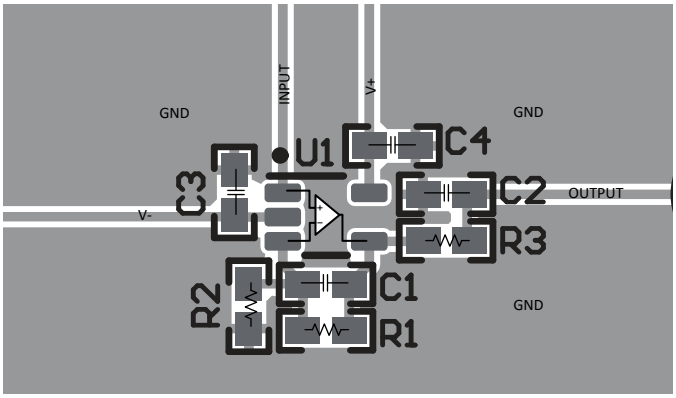


图 8-4. 同相配置的运算放大器电路板布局布线 - SC70 (DCK) 封装

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*QFN/SON PCB 连接* 应用手册
- 德州仪器 (TI)，*Quad Flatpack No-Lead 逻辑封装* 应用手册

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

商标

TI E2E™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (April 2024) to Revision C (April 2025)	Page
• 删除了*典型特性*部分中的最大输出电压与频率间的关系图	13

Changes from Revision A (November 2023) to Revision B (April 2024)	Page
• 将 DGK (VSSOP, 8)、DDF (SOT23-THN) OPA2323 和 DYY (SOT23-THN) OPA4323 的状态从*预发布* 更改为*正在供货*	1
• 将数据表标题中的 CMRR 值从 m *100dB* 更改为 *114dB*	1
• 在*器件信息* 表中将 DYY (SOT-23) 封装选项从 *16* 引脚更改为 *14* 引脚，并将封装从 OPA4323S 移至 OPA4323	1
• 在*器件比较*表中将 DYY (SOT-23) 封装选项从 *16* 引脚更改为 *14* 引脚，并将封装从 OPA4323S 移至 OPA4323	2
• 删除了数据表中的 OPA4310 信息	11
• 更改了*典型特性*部分，添加了更多图。	13

Copyright © 2025 Texas Instruments Incorporated

- 更改了 *轨到轨输入*部分。 27
- 更改了 *EMI 抑制*部分中的 EMIRR 测试图 28
- 更改了 *OPAx323 EMIRR IN+ 对应频率*表中的 900MHz、1.8GHz、2.4GHz、3.6GHz 和 5GHz 频率选项 28

Changes from Revision * (October 2023) to Revision A (November 2023) **Page**

- 将 DCK (SC70, 5) OPA323 状态从 *预发布* 更改为 *正在供货* 1
- 将 D (SOIC, 8) OPA2323 状态从 *预发布* 更改为 *正在供货* 1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2323IDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	23DDF
OPA2323IDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	23DDF
OPA2323IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2DGK
OPA2323IDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2DGK
OPA2323IDR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	2323ID
OPA2323IDR.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	2323ID
OPA323IDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1RG
OPA323IDCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1RG
OPA4323IDYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	125 to -40	O4323IDYYR
OPA4323IDYYR.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	125 to -40	O4323IDYYR
OPA4323IPWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	125 to -40	O4323PW
OPA4323IPWR.A	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	125 to -40	O4323PW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

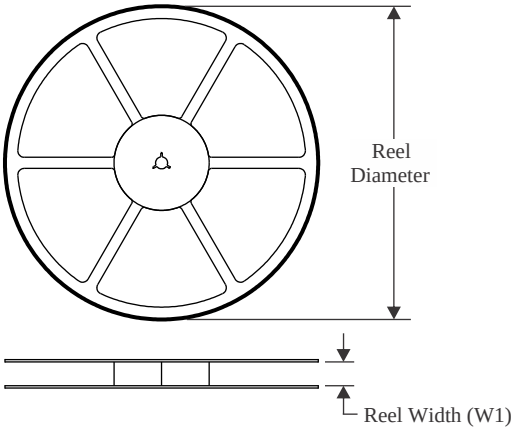
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

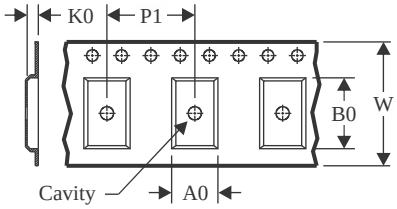
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

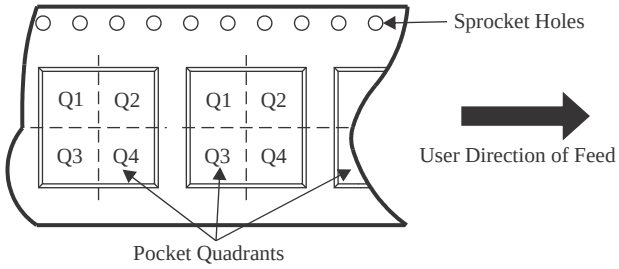


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

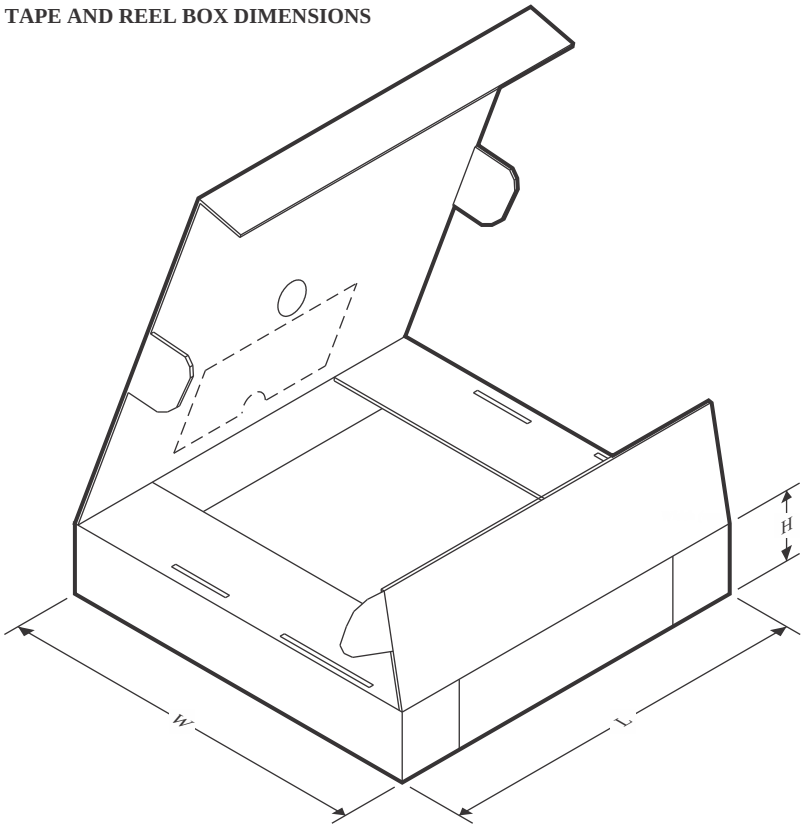
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2323IDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA2323IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA323IDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
OPA4323IDYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
OPA4323IPWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2323IDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
OPA2323IDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA323IDCKR	SC70	DCK	5	3000	190.0	190.0	30.0
OPA4323IDYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
OPA4323IPWR	TSSOP	PW	14	3000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

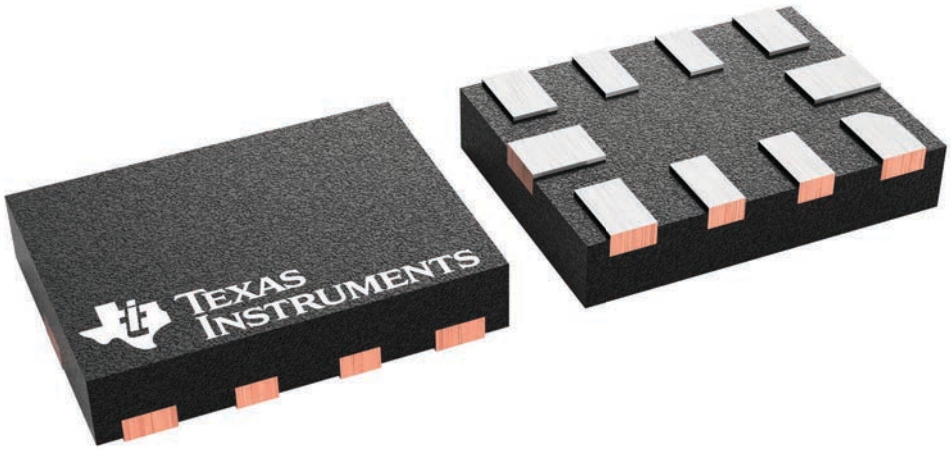
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



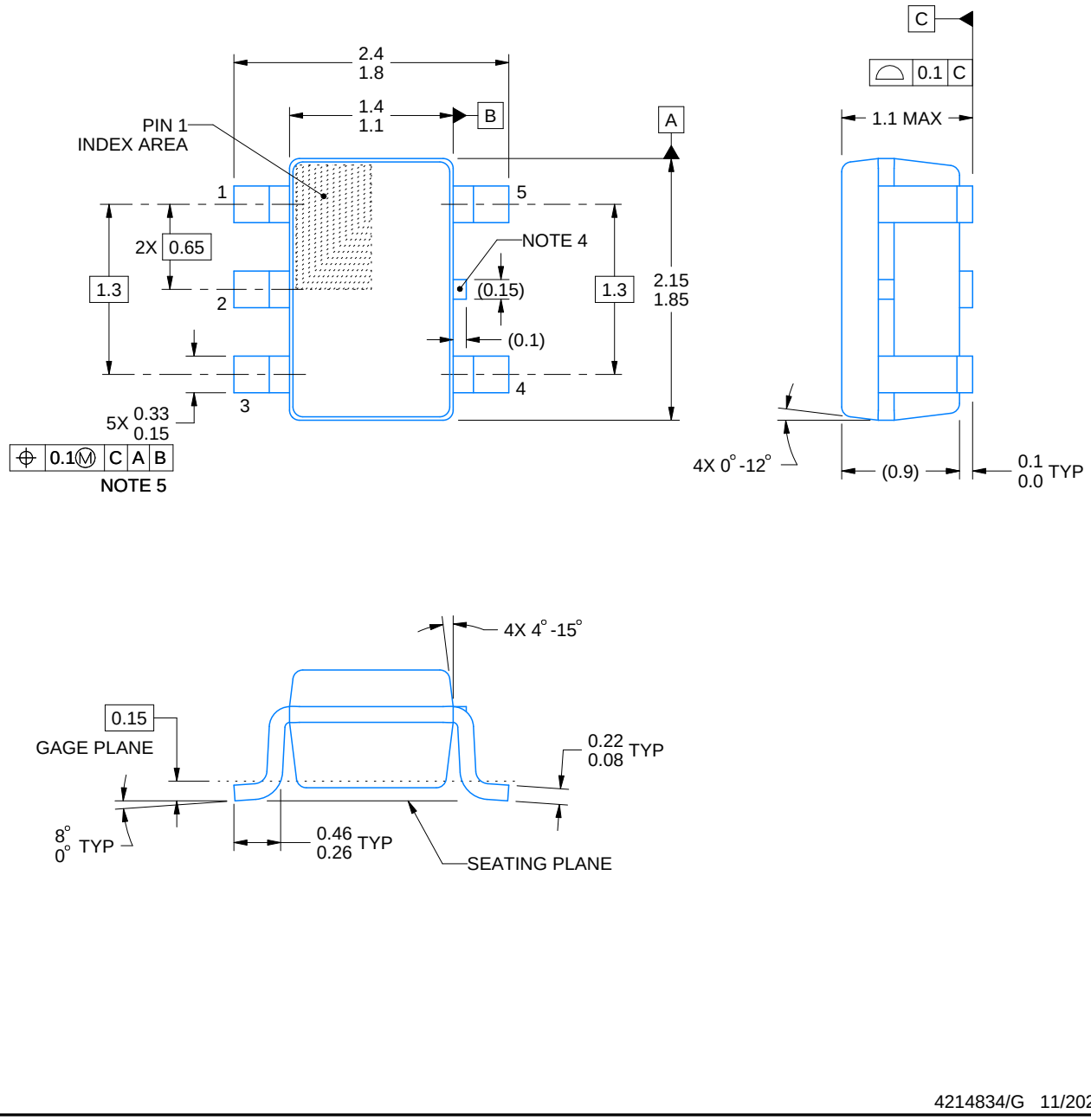
4231768/A

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

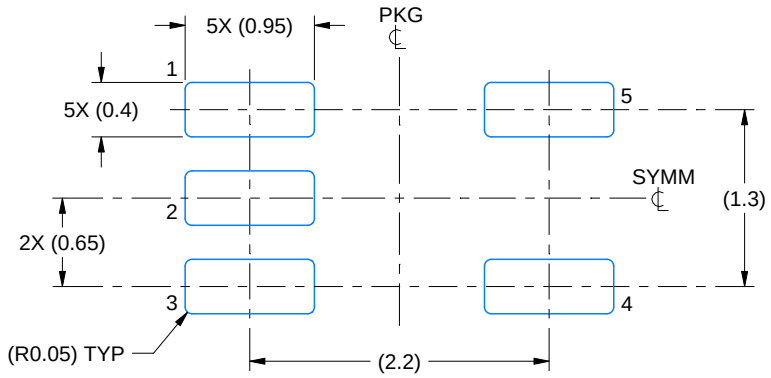
SMALL OUTLINE TRANSISTOR



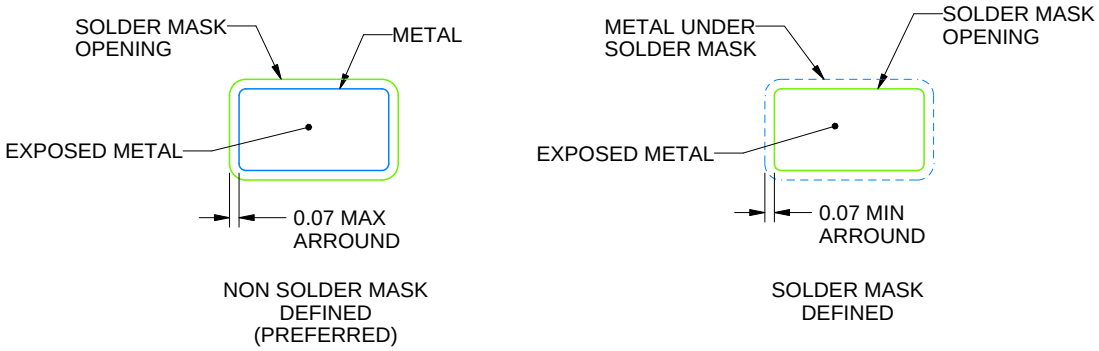
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

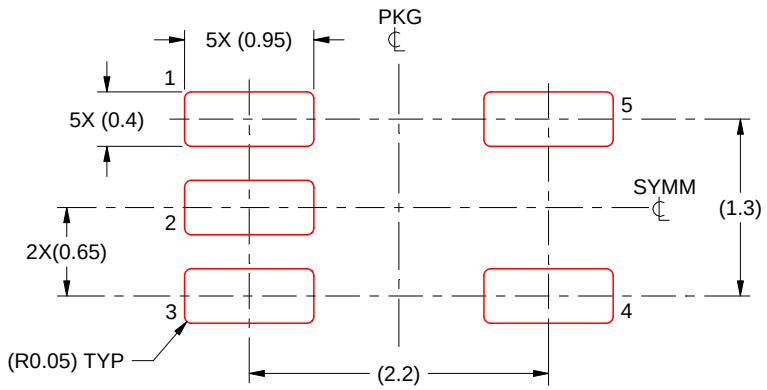


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

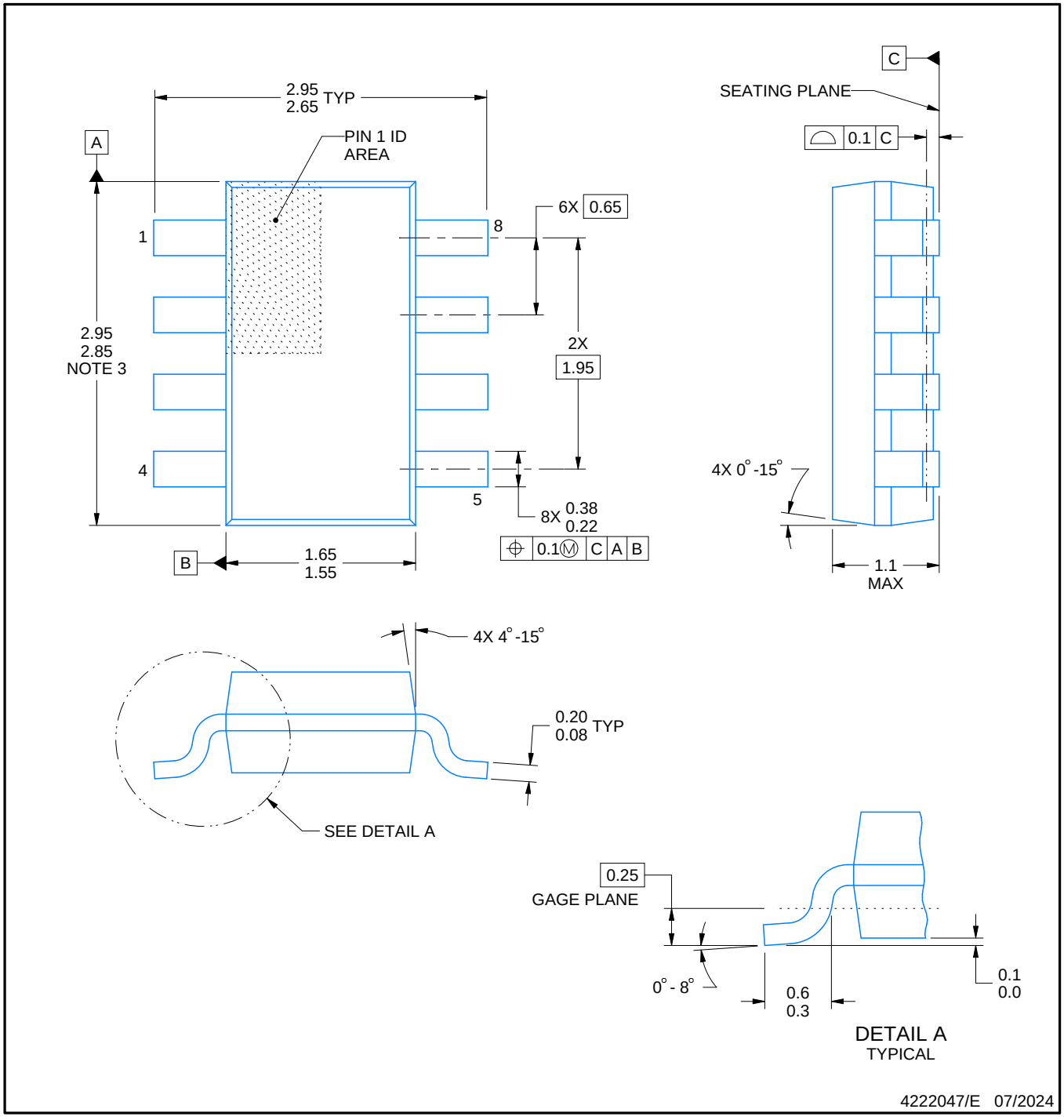
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

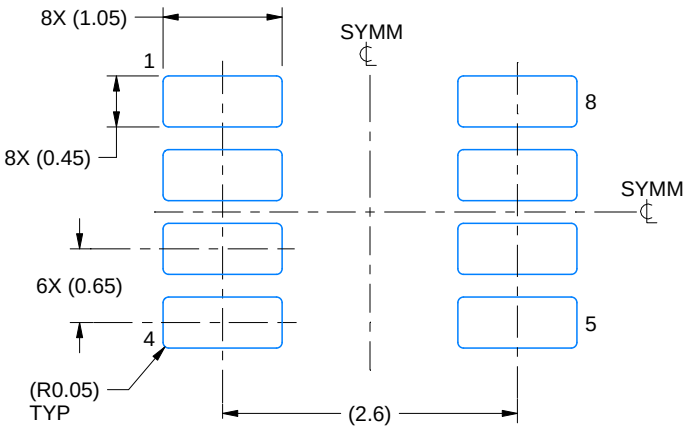
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

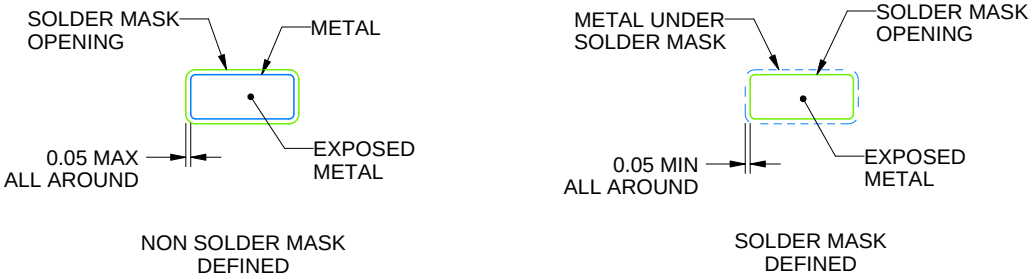


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

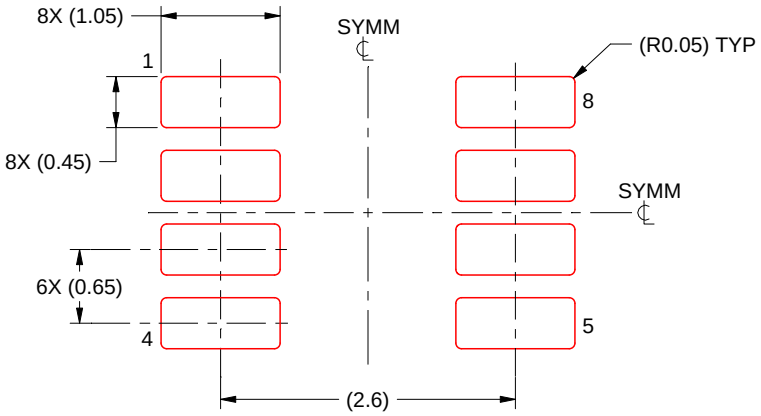
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

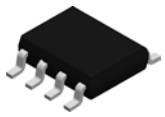


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

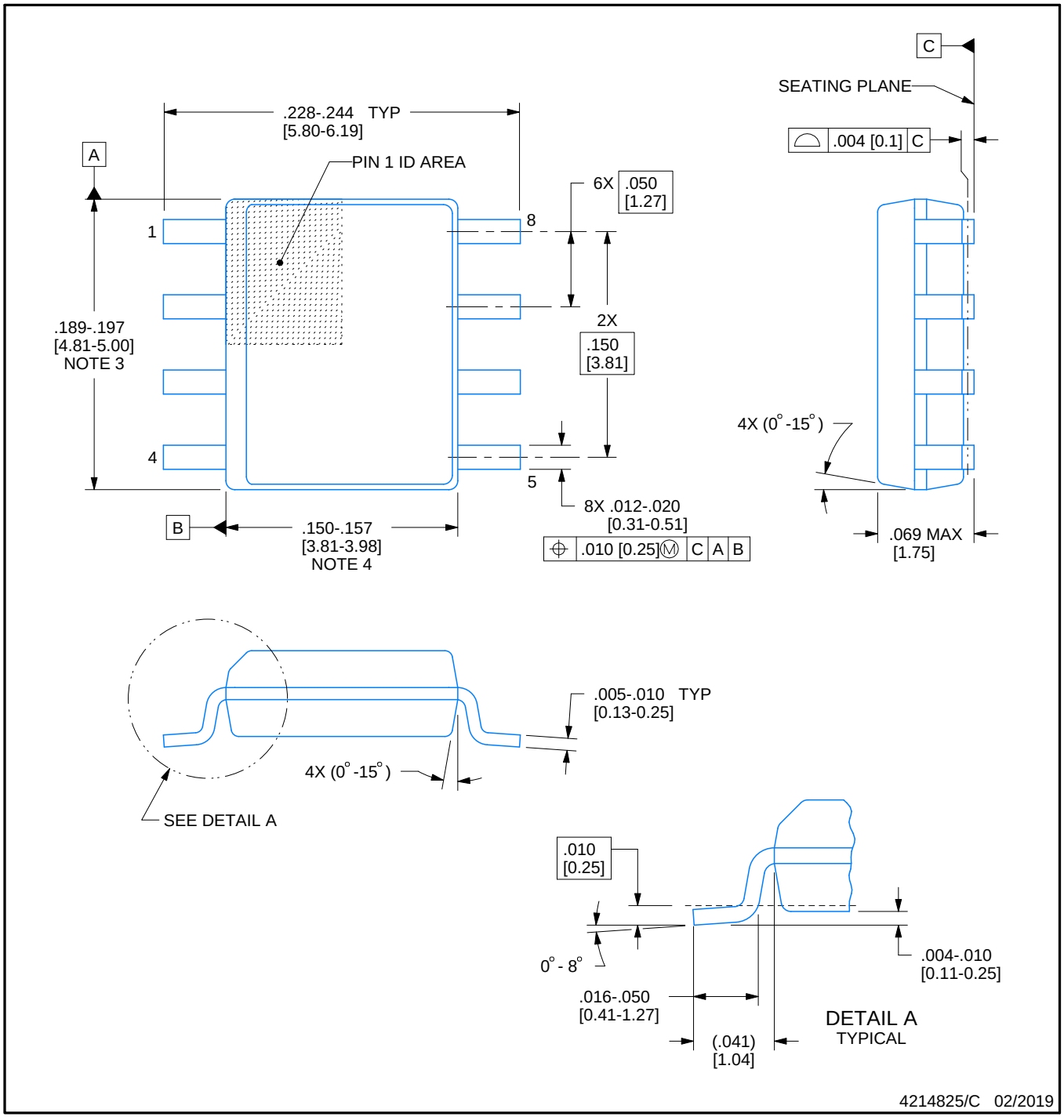


PACKAGE OUTLINE

D0008A

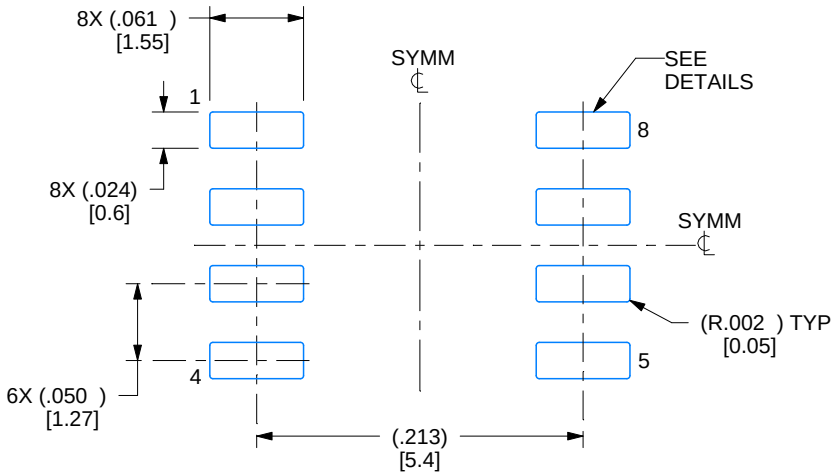
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

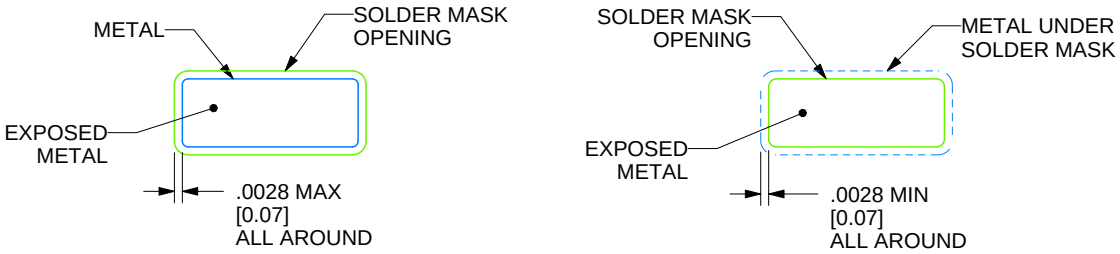


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

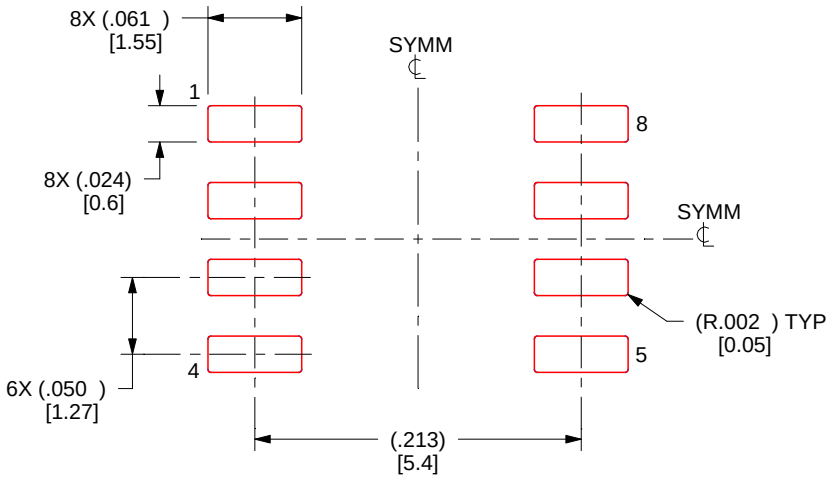
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

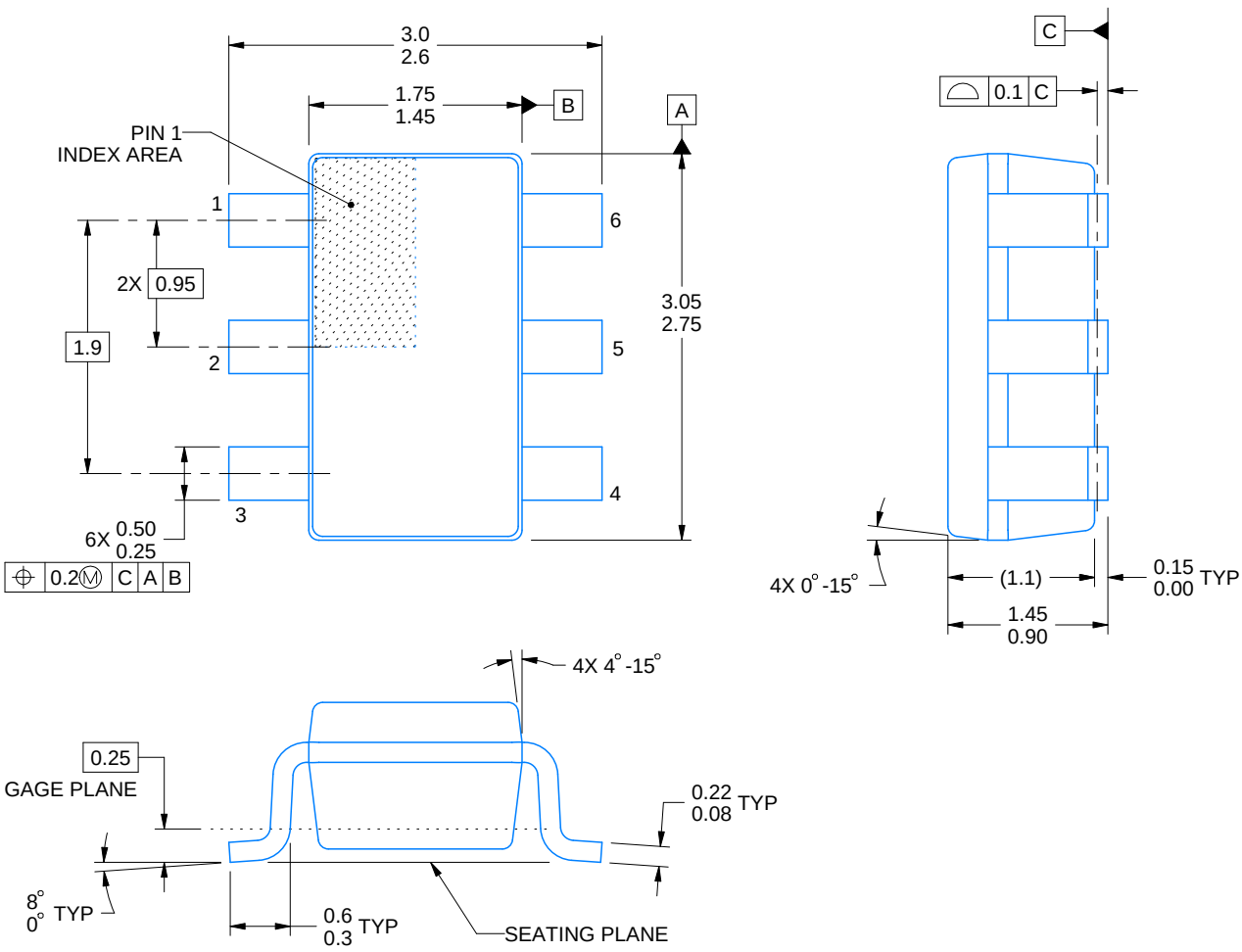
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

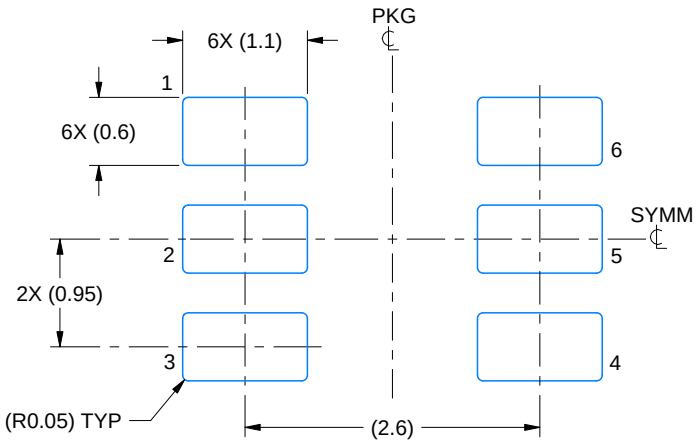
SMALL OUTLINE TRANSISTOR



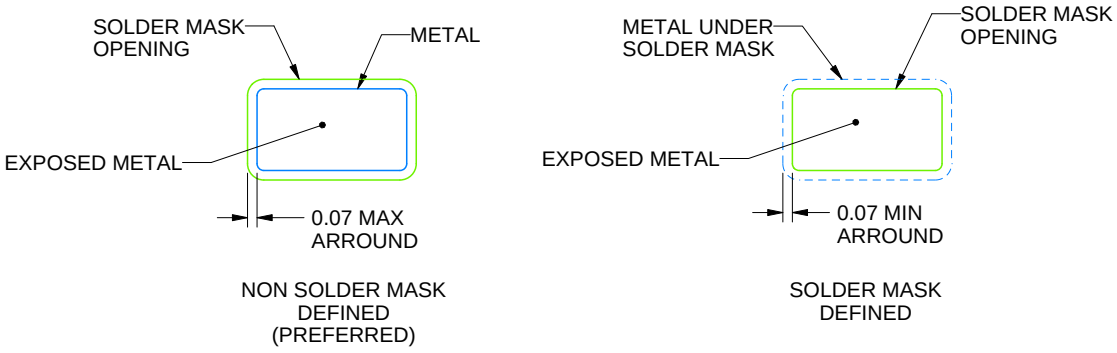
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

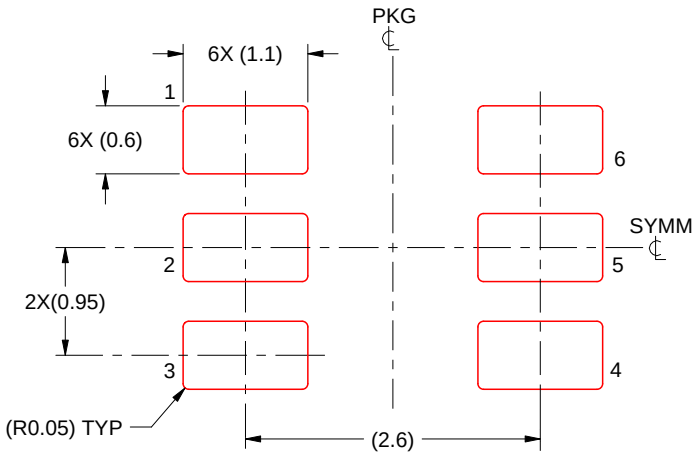


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

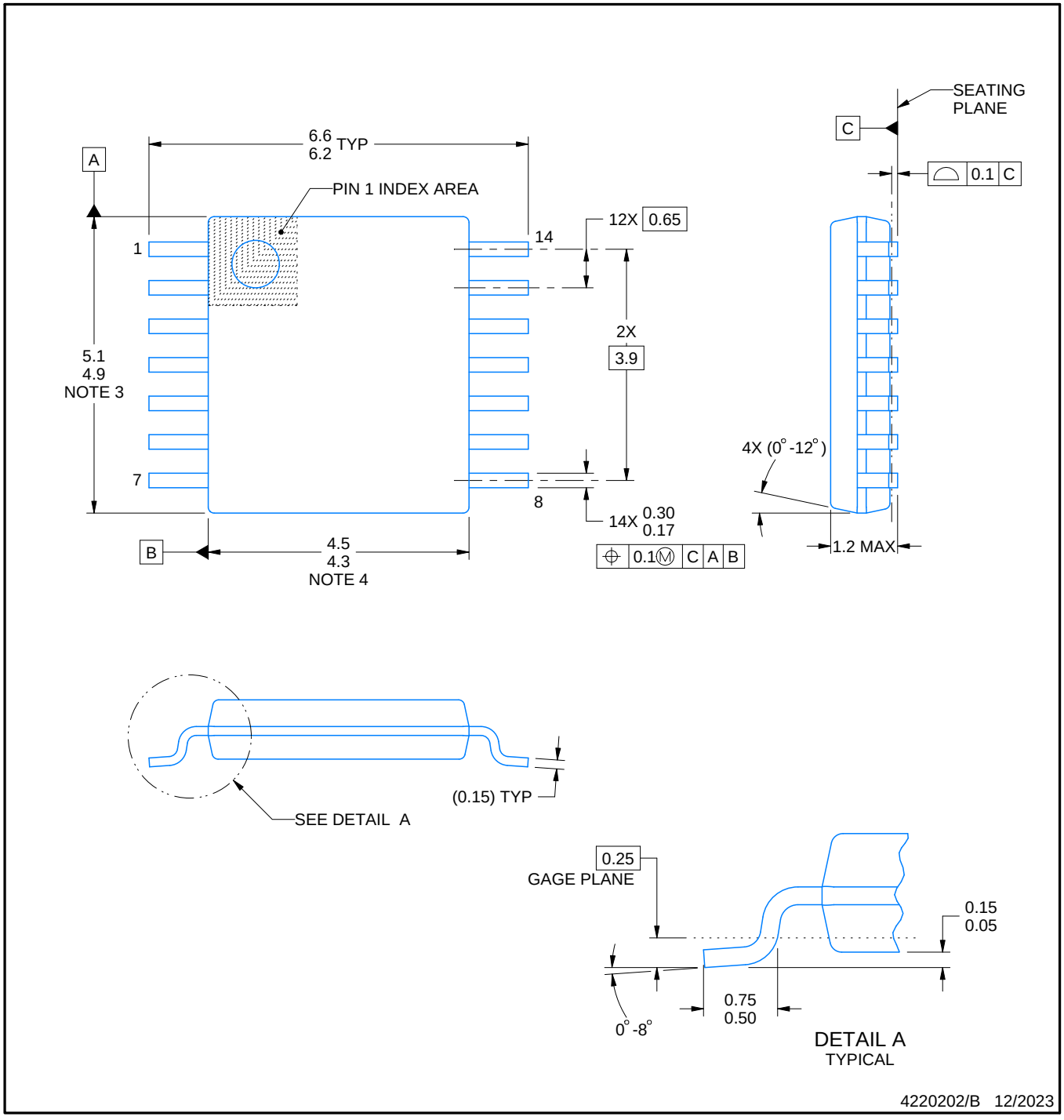
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

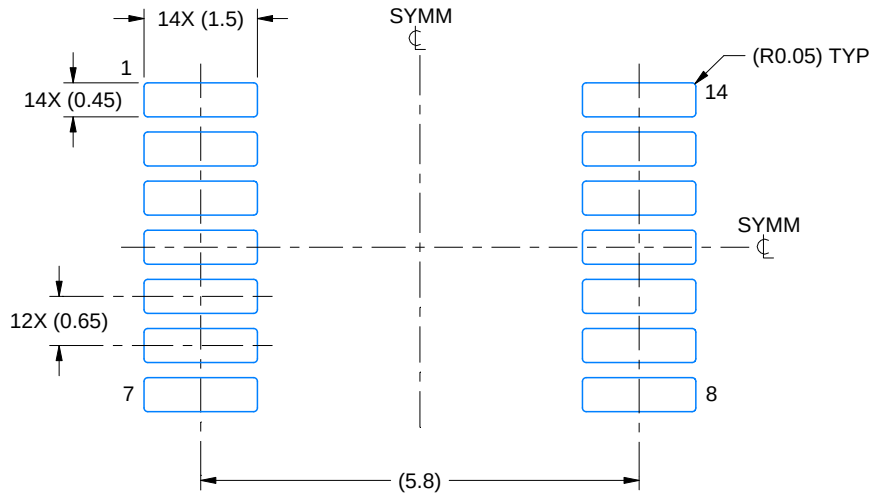
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

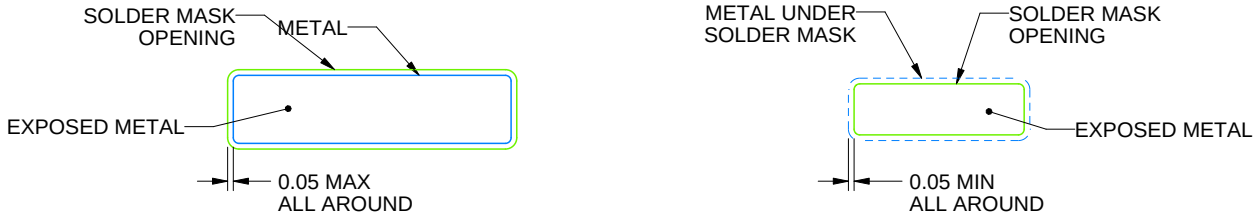


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

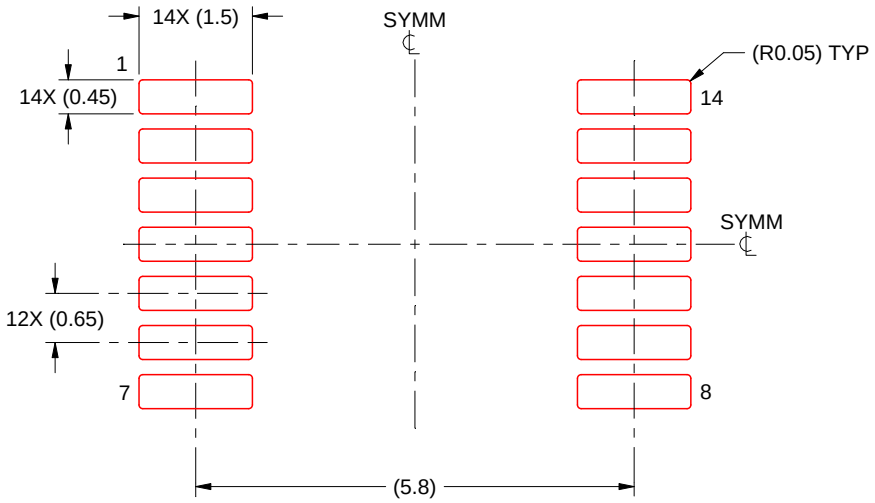


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

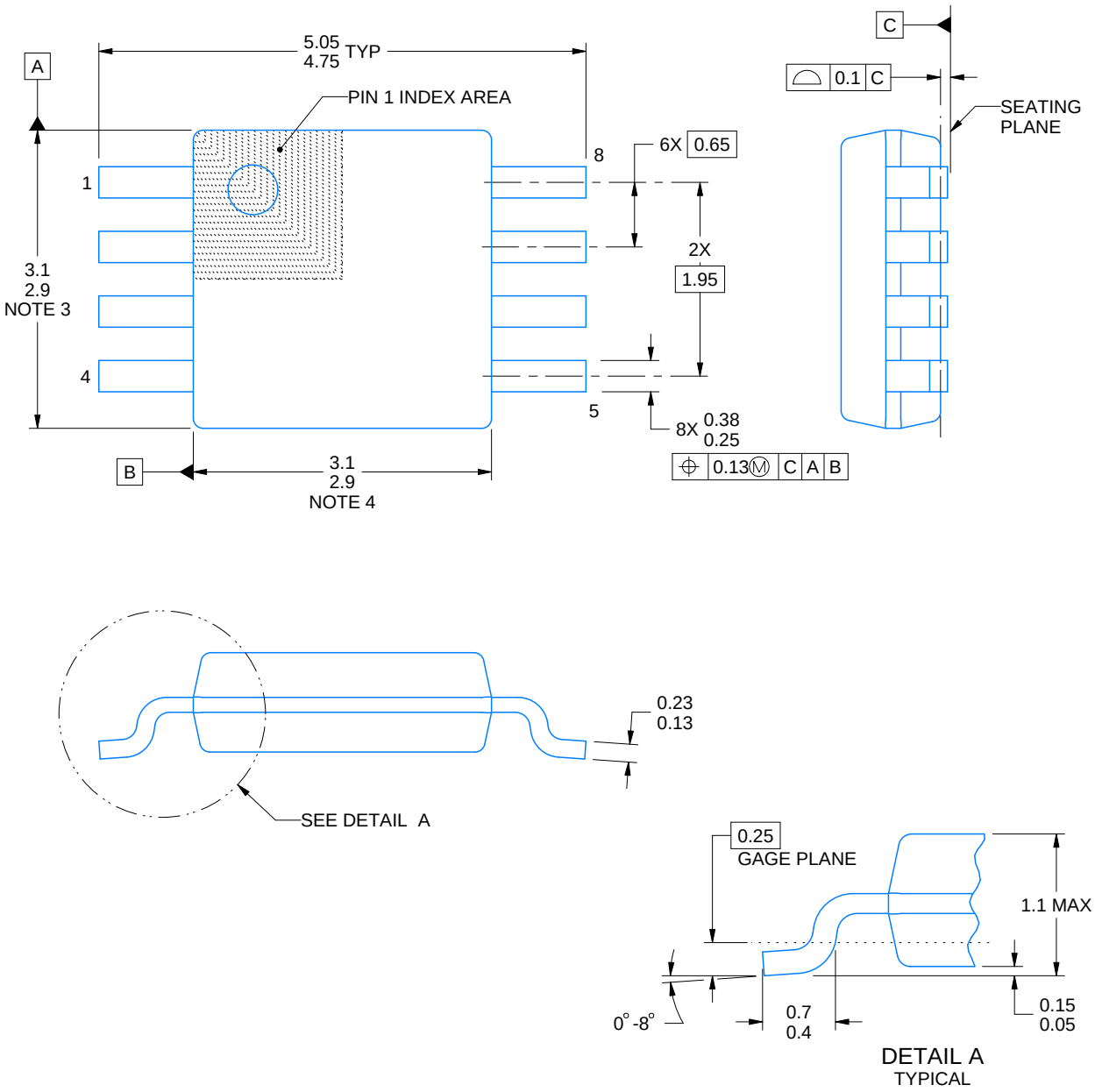
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

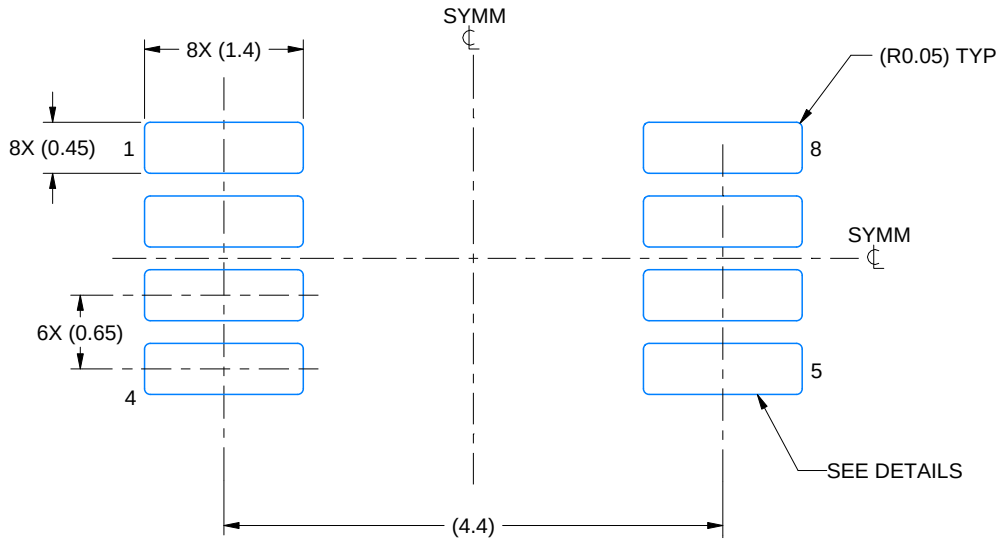
SMALL OUTLINE PACKAGE



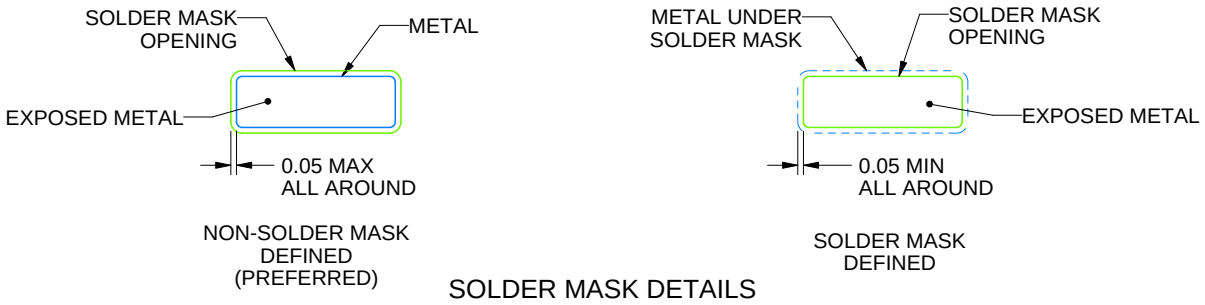
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

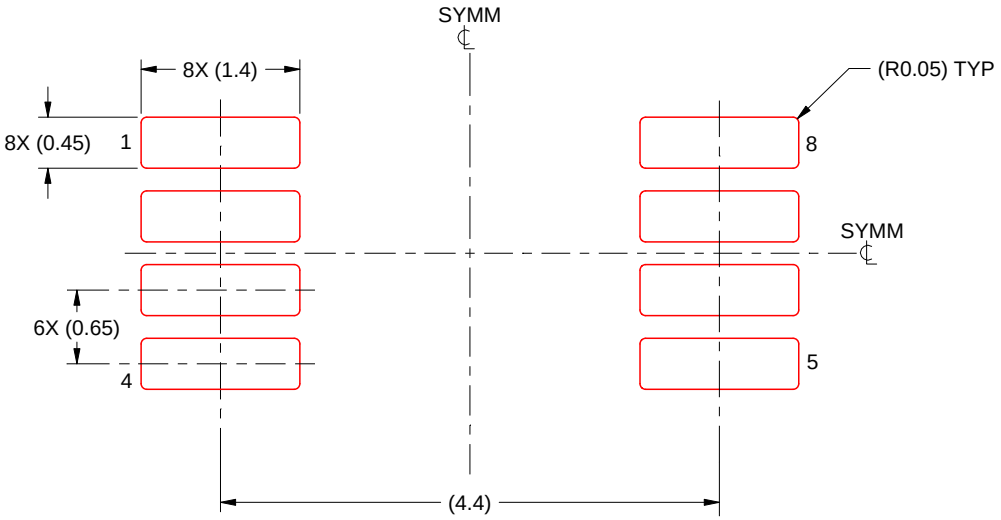


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

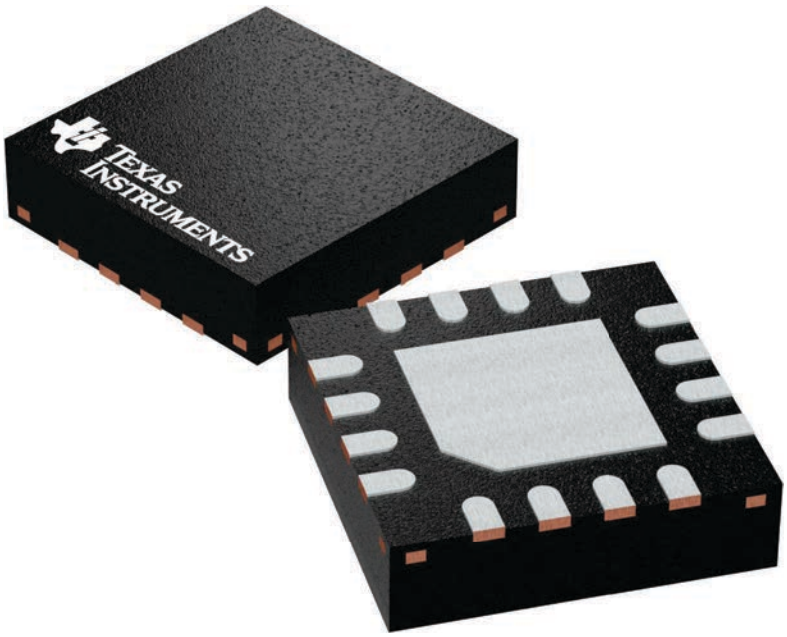
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

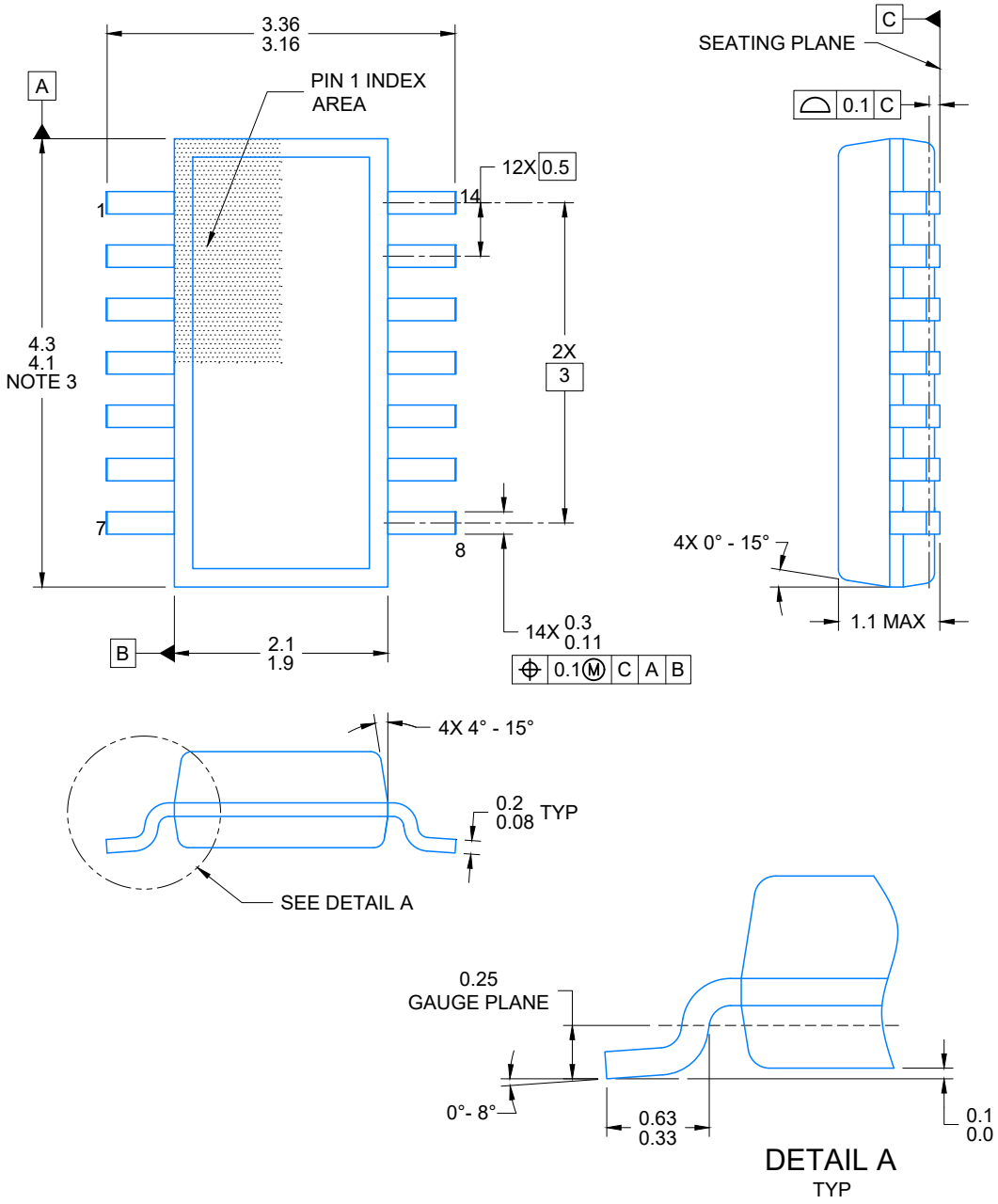


PACKAGE OUTLINE

DYY0014A

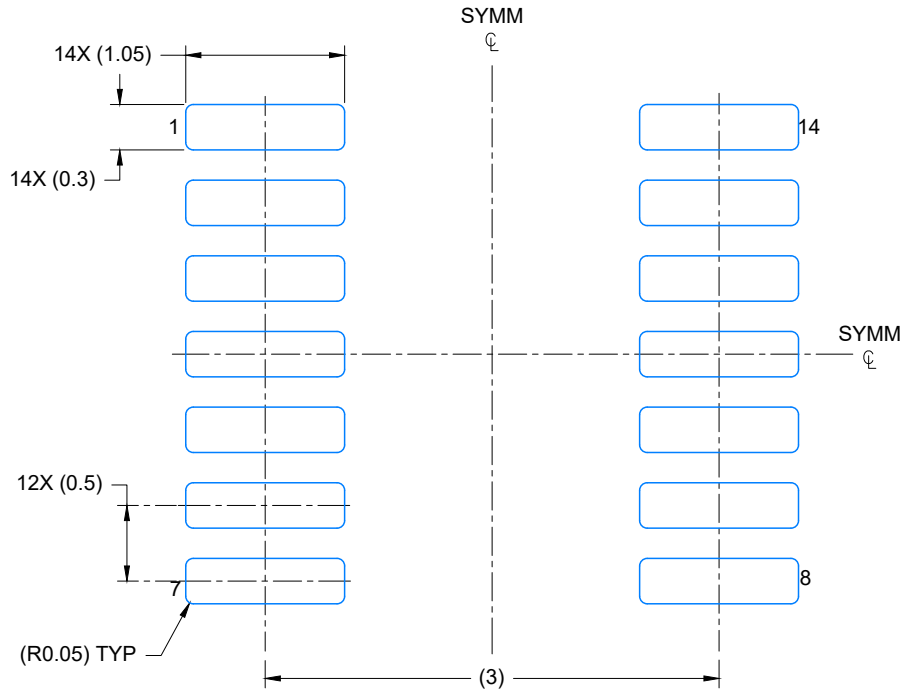
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

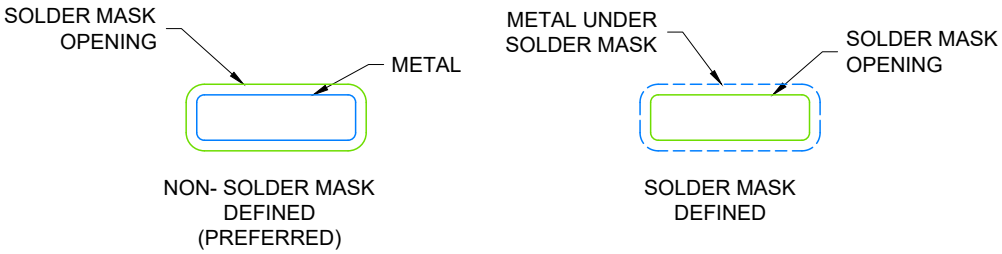


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

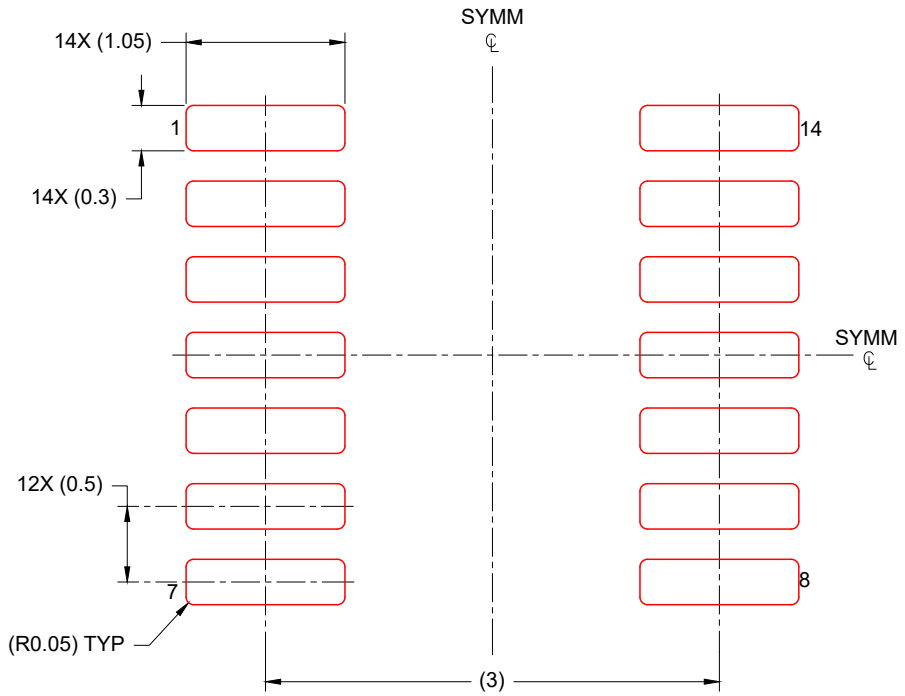


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月