OPAx237 单电源运算放大器 MicroAmplifier 系列

1 特性

- 微型封装：
  - 单通道：SOT23-5、SO-8
  - 双通道：VSSOP-8、SO-8
  - 四通道：SSOP-16（已停产）
- 低失调电压：最大 750μV (V_S=5V)
- 宽电源电压范围：
  - 单电源：2.7V 至 36V
  - 双电源：±1.35V 至 ±18V
- 低静态电流：350μA（最大值）
- 高带宽：1.5MHz

2 应用

- 电池供电仪表
- 便携式器件
- PCMCIA 卡
- 医疗仪器
- 测试设备

3 说明

OPAx237 运算放大器系列是德州仪器 (TI) MicroAmplifier 系列微型产品中的一款。除了尺寸小巧，这些器件还具有低失调电压、低静态电流、低偏置电流和宽电源电压范围。单通道和双通道版本具有完全相同的规格，可大幅提高设计灵活性。这些器件设计用于单电源、电池供电和空间受限的应用，例如 PCMCIA 卡和其它便携式仪器。

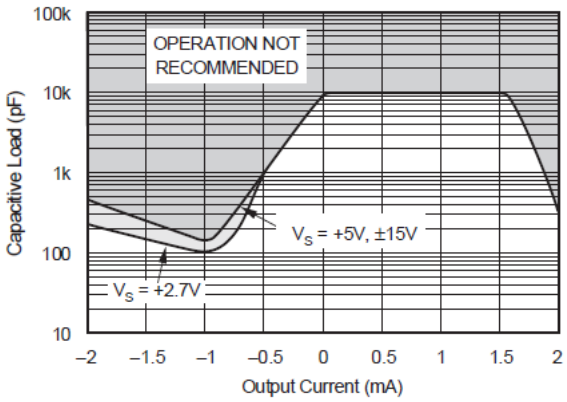
OPAx237 系列运算放大器可采用单电源或双电源供电。采用单电源供电时，输入共模范围延伸到地电位以下，而且输出能摆动到距离地电位 10mV 以内。双通道和四通道设计采用完全独立的电路，可尽可能减少串扰并消除相互干扰。

单通道、双通道和四通道版本采用节省空间的表面贴装型封装。单通道版本采用超微型 5 引脚 SOT23-5 和 SOIC-8 表面贴装型封装。双通道版本采用微型 VSSOP-8 和 SO-8 表面贴装型封装。四通道版本已停产。VSSOP-8 的引脚数与 SO-8 相同，但尺寸只有后者的一半。SOT23-5 尺寸更小，仅为 SOIC-8 尺寸的四分之一。所有器件的额定工作温度范围为 –40°C 至 +85°C。可提供宏模型用于设计分析。

器件信息

产品	通道数	封装(1)
OPA237	单通道	D（SOIC，8）
		DBV（SOT-23，5）
OPA2237	双通道	D（SOIC，8）
		DGK（VSSOP，8）

(1) 有关更多信息，请参阅 节 9。



容性负载稳定性与输出电流间的关系

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 建议运行条件.....4
5.3 OPA237 热性能信息.....4
5.4 OPA2237 热性能信息.....4
5.5 V_S = 2.7V 时的电气特性.....6
5.6 V_S = 5V 时的电气特性.....7
5.7 V_S = 30V 时的电气特性.....8
5.8 典型特性.....9
6 应用和实施.....13
6.1 应用信息.....13
6.2 典型应用.....14
7 器件和文档支持.....15
7.1 接收文档更新通知.....15
7.2 支持资源.....15
7.3 商标.....15
7.4 静电放电警告.....15
7.5 术语表.....15
8 修订历史记录.....15
9 机械、封装和可订购信息.....17

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

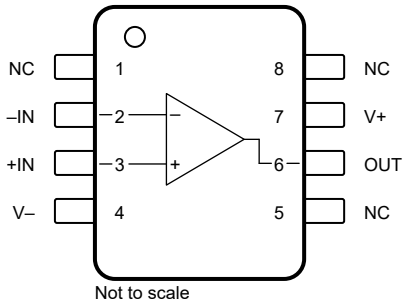


图 4-1. OPA237：D 封装，8 引脚 SOIC（顶视图）

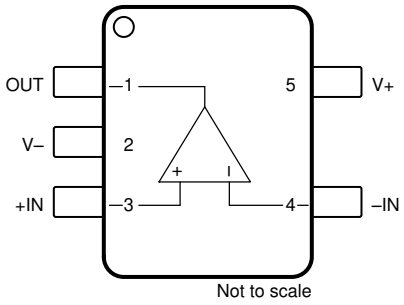


图 4-2. OPA237：DBV 封装，5 引脚 SOT-23（顶视图）

表 4-1. 引脚功能：OPA237

引脚			类型	说明
名称	编号			
	D (SOIC)	DBV (SOT-23)		
–IN	2	4	输入	反相输入
+IN	3	3	输入	同相输入
OUT	6	1	输出	输出
V–	4	2	电源	负（最低）电源
V+	7	5	电源	正（最高）电源

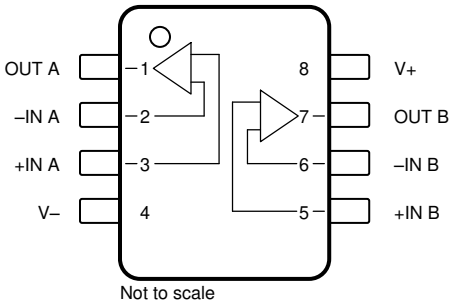


图 4-3. OPA2237：D 封装，8 引脚 SOIC 和 DGK 封装，8 引脚 VSSOP（顶视图）

表 4-2. 引脚功能：OPA2237

引脚		类型	说明
名称	编号		
–IN A	2	输入	反相输入，通道 A
+IN A	3	输入	同相输入，通道 A
–IN B	6	输入	反相输入，通道 B
+IN B	5	输入	同相输入，通道 B
OUT A	1	输出	输出，通道 A
OUT B	7	输出	输出，通道 B
V–	4	电源	负（最低）电源
V+	8	电源	正（最高）电源

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

				最小值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)				36	V
	信号输入引脚	电压	共模	(V–) – 0.7	(V+) + 0.7	V
			差分	-0.7	+0.7	
		电流			±10	mA
I_{SC}	输出短路[(2)]			持续		
T_A	工作温度			-55	125	°C
T_J	结温				150	°C
T_{stg}	贮存温度			-55	125	°C

(1) 超出*绝对最大额定值*的运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件能够在该等条件下或在任何超出*建议运行条件*的其他条件下正常运行。如果在*建议运行条件*以外，但在*绝对最大额定值*范围以内使用，器件可能无法完全正常运行，这可能会影响器件的可靠性、功能与性能，并且可能缩短器件寿命。
(2) 接地短路，每个封装对应一个放大器。

5.2 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)	2.7		36	V
T_A	工作温度	-40		85	°C

5.3 OPA237 热性能信息

热指标[(1)]		OPA237		单位
		DBV (SOT-23)	D (SOIC)	
		5 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	115.8	180.4	℃/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	56.4	67.9	℃/W
$R_{\theta JB}$	结至电路板热阻	56.4	102.1	℃/W
ψ_{JT}	结至顶部特征参数	12.8	10.4	℃/W
ψ_{JB}	结至电路板特征参数	55.9	100.3	℃/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	℃/W

(1) 有关新旧热指标的信息，请参阅 *"半导体和 IC 封装热指标"* 应用手册。

5.4 OPA2237 热性能信息

热指标[(1)]		OPA2237		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	126.9	175.6	℃/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	67.1	63.1	℃/W
$R_{\theta JB}$	结至电路板热阻	70.3	97.2	℃/W
ψ_{JT}	结至顶部特征参数	18.8	7.8	℃/W
ψ_{JB}	结至电路板特征参数	69.5	95.5	℃/W

Copyright © 2025 Texas Instruments Incorporated

热指标[1]		OPA2237		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	℃/W

(1) 有关新旧热指标的信息，请参阅 *“半导体和 IC 封装热指标”* 应用手册。

5.5 V_S = 2.7V 时的电气特性

在 T_A = 25°C、V_O = V_S / 2、R_L = 10kΩ 且连接至 V_S / 2 的条件下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_{CM} = 1V			±250	±950	μV
dV_{OS}/dT	输入偏移电压漂移	T_A = -40°C 至 +85°C			±2	±7.5	μV/°C
PSRR	电源抑制比	2.7V < V_S < 36V			10	30	μV/V
	通道隔离（双通道）				0.5		μV/V
输入偏置电流							
I_B	输入偏置电流 (1)	V_{CM} = 1V			-10	-40	nA
I_{OS}	输入失调电流(1)	V_{CM} = 1V			±0.5	±10	nA
噪声							
	输入电压噪声	f = 0.1Hz 至 10Hz			1		$μV_{PP}$
e_n	输入电压噪声密度	f = 1kHz			28		nV/√Hz
i_n	输入电流噪声密度	f = 1kHz			60		pA/√Hz
输入电压							
V_{CM}	共模电压			(V–) – 0.2		(V+) – 1.5	V
CMRR	共模抑制比	V_{CM} = (V–) – 0.2V 至 (V+) – 1.5V		71	85		dB
输入阻抗							
Z_{IN}	输入阻抗	差分			5 || 4		MΩ || pF
		共模			5 || 2		TΩ || pF
开环增益							
A_{OL}	开环电压增益	V_O = 0.55V 至 1.7V		75	88		dB
频率响应							
GBW	增益带宽积				1.2		MHz
SR	压摆率	G = 1			0.45		V/μs
t_S	趋稳时间	G = –1，C_L = 100pF，1V 阶跃	0.1%		5		μs
			0.01%		8		
输出							
V_O	电压输出	R_L = 100kΩ 至 V–	正电源轨	(V+) – 1	(V+) – 0.75		V
			负电源轨		(V–) + 0.001	(V–) + 0.05	
		R_L = 100kΩ	正电源轨	(V+) – 1	(V+) – 0.75		
			负电源轨		(V–) + 0.02	(V–) + 0.06	
		R_L = 10kΩ	正电源轨	(V+) – 1	(V+) – 0.75		
			负电源轨		(V–) + 0.2	(V–) + 0.3	
I_{SC}	短路电流	拉电流			7		mA
		灌电流			-10		
C_L	容性负载驱动			请参阅*典型特性*			
电源							
I_Q	每个放大器的静态电流				150	350	μA

(1) 由设计和处理指定的输入偏置电流。

Copyright © 2025 Texas Instruments Incorporated

5.6 V_S = 5V 时的电气特性

在 T_A = 25°C、V_O = V_S / 2、R_L = 10kΩ 且连接至 V_S / 2 的条件下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_{CM} = 2.5V			±250	±750	μV
dV_{OS}/dT	输入偏移电压漂移	T_A = -40°C 至 +85°C			±2	±5	μV/°C
PSRR	电源抑制比	2.7V < V_S < 36V			10	30	μV/V
	通道隔离（双通道）				1		μV/V
输入偏置电流							
I_B	输入偏置电流 (1)	V_{CM} = 2.5V			-10	-40	nA
I_{OS}	输入失调电流(1)	V_{CM} = 2.5V			±0.5	±10	nA
噪声							
	输入电压噪声	f = 0.1Hz 至 10Hz			1		$μV_{PP}$
e_n	输入电压噪声密度	f = 1kHz			28		nV/√Hz
i_n	输入电流噪声密度	f = 1kHz			60		fA/√Hz
输入电压							
V_{CM}	共模电压			(V–) – 0.2		(V+) – 1.5	V
CMRR	共模抑制比	V_{CM} = (V–) – 0.2V 至 (V+) – 1.5V		76	86		dB
输入阻抗							
Z_{IN}	输入阻抗	差分			5 || 4		MΩ || pF
		共模			5 || 2		TΩ || pF
开环增益							
A_{OL}	开环电压增益	V_O = 0.5V 至 4V		75	88		dB
频率响应							
GBW	增益带宽积				1.4		MHz
SR	压摆率	G = 1			0.45		V/μs
t_S	趋稳时间	G = –1，C_L = 100pF，3V 阶跃	0.1%		11		μs
			0.01%		16		
输出							
V_O	电压输出	R_L = 100kΩ 至 V–	正电源轨	(V+) – 1.5	(V+) – 0.75		V
			负电源轨		(V–) + 0.001	(V–) + 0.1	
		R_L = 100kΩ	正电源轨	(V+) – 1.5	(V+) – 0.75		
			负电源轨		(V–) + 0.04	(V–) + 0.12	
		R_L =10kΩ	正电源轨	(V+) – 1.5	(V+) – 0.75		
			负电源轨		(V–) + 0.35	(V–) + 0.6	
I_{SC}	短路电流	拉电流			8		mA
		灌电流			-10		
C_L	容性负载驱动				请参阅*典型特性*		
电源							
I_Q	每个放大器的静态电流				170	350	μA

(1) 由设计和处理指定的输入偏置电流。

5.7 V_S = 30V 时的电气特性

在 T_A = 25°C、V_O = V_S / 2、R_L = 10kΩ 且连接至 V_S / 2 的条件下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_{CM} = V_S/2			±350	±950	μV
dV_{OS}/dT	输入偏移电压漂移	T_A = -40°C 至 +85°C			±2.5	±7	μV/°C
PSRR	电源抑制比	2.7V < V_S < 36V			10	30	μV/V
	通道隔离（双通道）				1		μV/V
输入偏置电流							
I_B	输入偏置电流 (1)	V_{CM} = V_S/2			-8.5	-40	nA
I_{OS}	输入失调电流(1)	V_{CM} = V_S/2			±0.5	±10	nA
噪声							
	输入电压噪声	f = 0.1Hz 至 10Hz			1		$μV_{PP}$
e_n	输入电压噪声密度	f = 1kHz			28		nV/√Hz
i_n	输入电流噪声密度	f = 1kHz			80		fA/√Hz
输入电压							
V_{CM}	共模电压			(V–) – 0.2		(V+) – 1.5	V
CMRR	共模抑制比	V_{CM} = (V–) 至 (V+) – 1.5V		80	90		dB
输入阻抗							
Z_{IN}	输入阻抗	差分			5 || 4		MΩ || pF
		共模			5 || 2		TΩ || pF
开环增益							
A_{OL}	开环电压增益	V_O = (V–) + 1V 至 (V+) – 1.2V		80	88		dB
频率响应							
GBW	增益带宽积				1.5		MHz
SR	压摆率	G = 1			0.44		V/μs
t_S	趋稳时间	G = –1，C_L = 100pF，10V 阶跃	0.1%		20		μs
			0.01%		24		
输出							
V_O	电压输出	R_L = 100kΩ	正电源轨	(V+) – 1.2	(V+) – 0.9		V
			负电源轨		(V–) + 0.3	(V–) + 0.5	
		R_L = 10kΩ	正电源轨	(V+) – 1.2	(V+) – 0.9		
			负电源轨		(V–) + 0.85	(V–) + 1	
I_{SC}	短路电流	拉电流			9.5		mA
		灌电流			-10		
C_L	容性负载驱动				请参阅*典型特性*		
电源							
I_Q	每个放大器的静态电流				200	475	μA

(1) 由设计和处理指定的输入偏置电流。

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性

在 T_A = 25°C 和 R_L = 10kΩ 的条件下测得（除非另有说明）

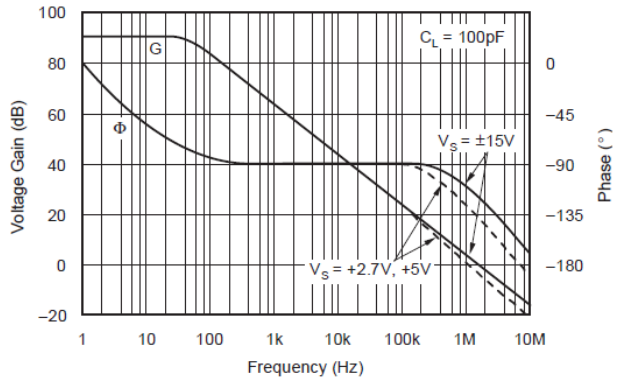


图 5-1. 开环增益和相位与频率间的关系

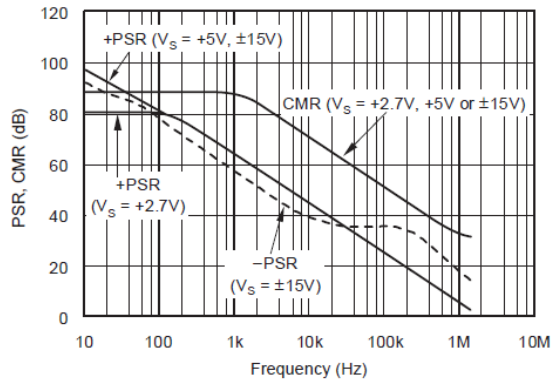


图 5-2. 电源和共模抑制与频率间的关系

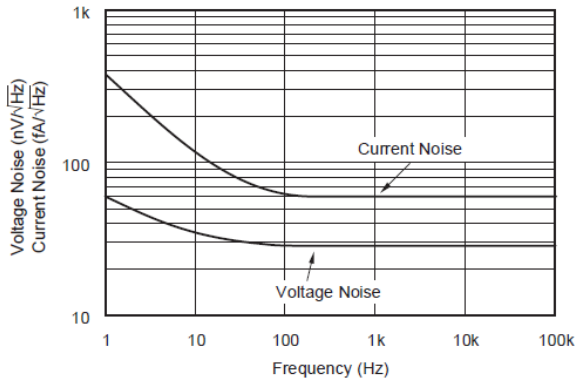


图 5-3. 输入噪声和电流噪声频谱密度与频率间的关系

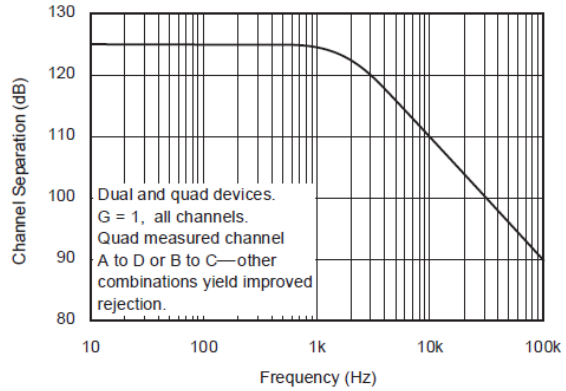


图 5-4. 通道隔离与频率间的关系

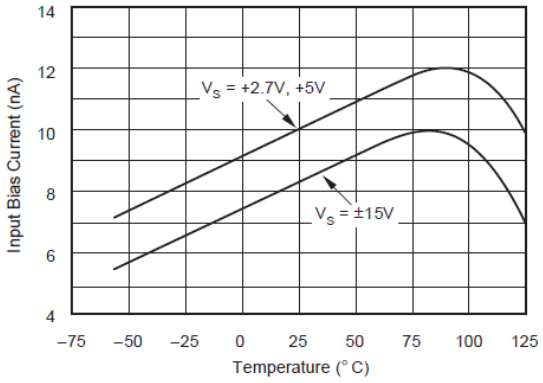


图 5-5. 输入偏置电流与温度间的关系

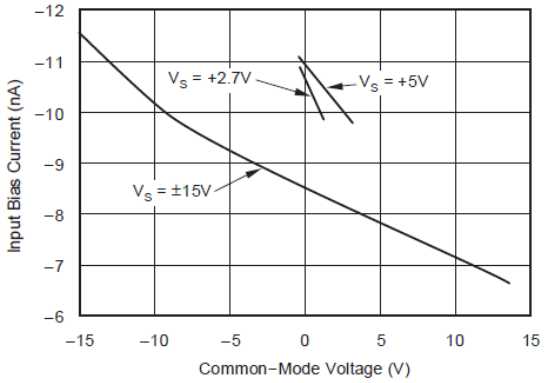


图 5-6. 输入偏置电流与输入共模电压间的关系

5.8 典型特性（续）

在 T_A = 25°C 和 R_L = 10kΩ 的条件下测得（除非另有说明）

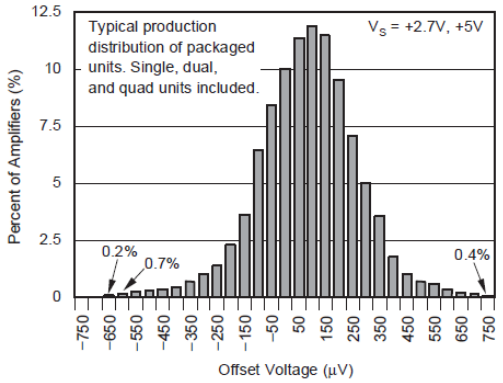


图 5-7. 失调电压产生分布

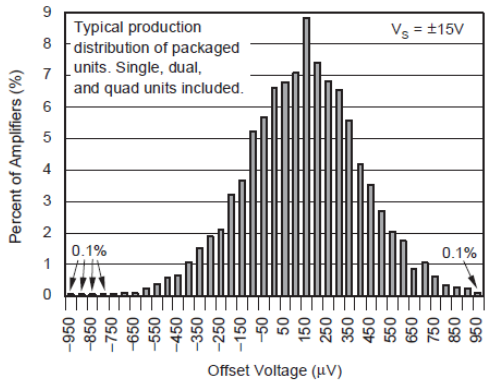


图 5-8. 失调电压产生分布

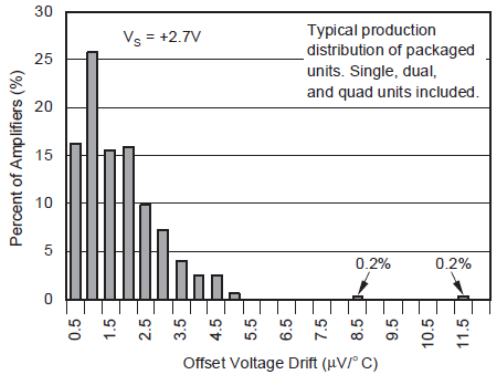


图 5-9. 偏移电压漂移产生分布

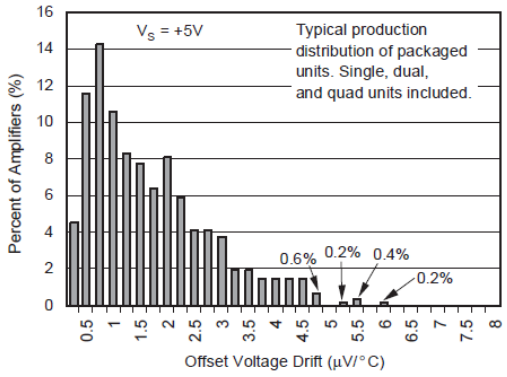


图 5-10. 偏移电压漂移产生分布

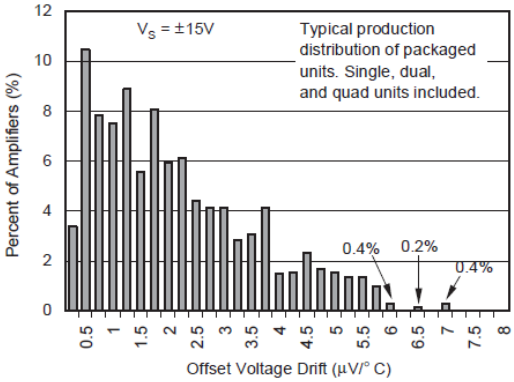


图 5-11. 偏移电压漂移产生分布

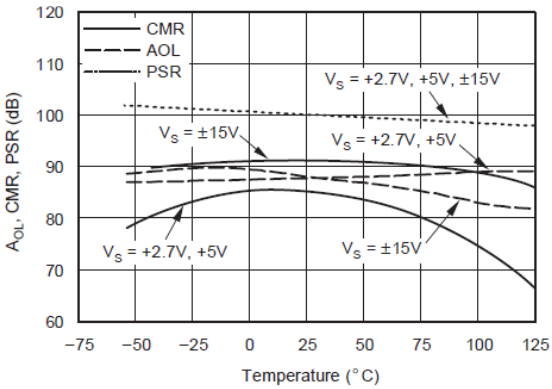
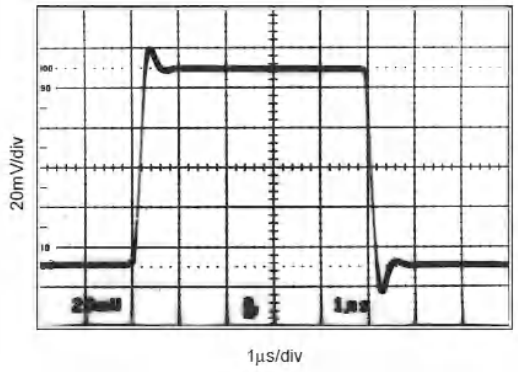


图 5-12. A_{OL}、CMR、PSR 与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

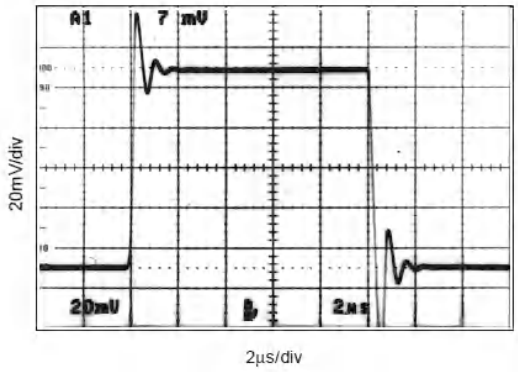
5.8 典型特性（续）

在 T_A = 25°C 和 R_L = 10kΩ 的条件下测得（除非另有说明）



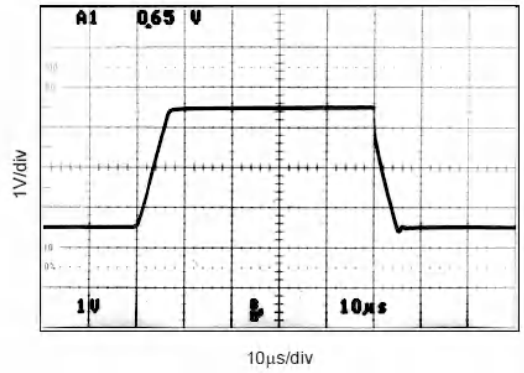
G = 1　　C_L = 100pF　　V_S = 5V

图 5-13. 小信号阶跃响应



G = 1　　C_L = 220pF　　V_S = 5V

图 5-14. 小信号阶跃响应



G = 1　　C_L = 100pF　　V_S = 5V

图 5-15. 大信号阶跃响应

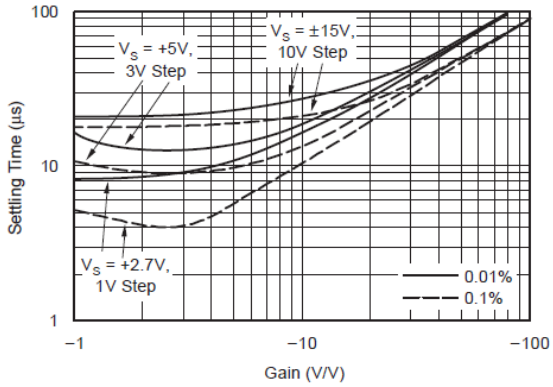


图 5-16. 稳定时间与增益间的关系

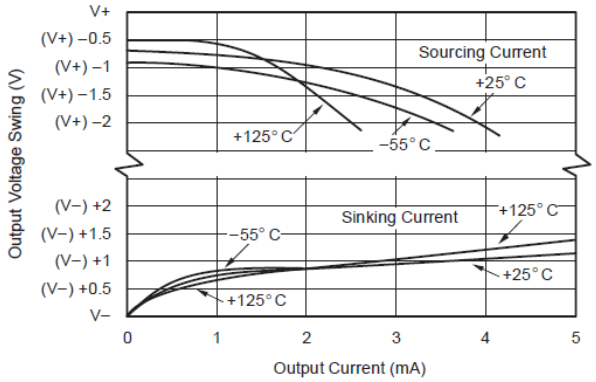


图 5-17. 输出电压摆幅与输出电流间的关系

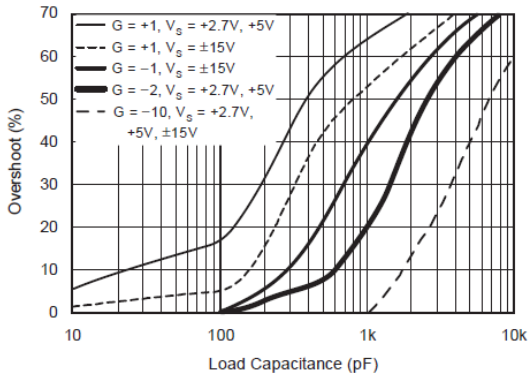


图 5-18. 小信号过冲与负载电容间的关系

5.8 典型特性（续）

在 T_A = 25°C 和 R_L = 10kΩ 的条件下测得（除非另有说明）

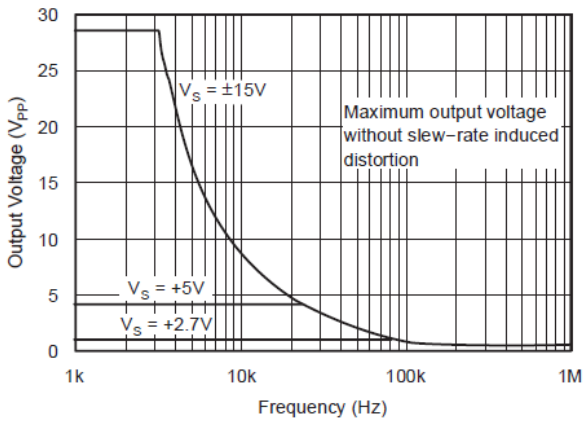


图 5-19. 最大输出电压与频率间的关系

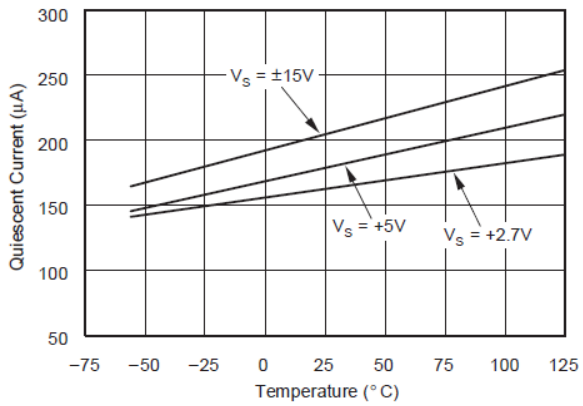


图 5-20. 静态电流与温度间的关系

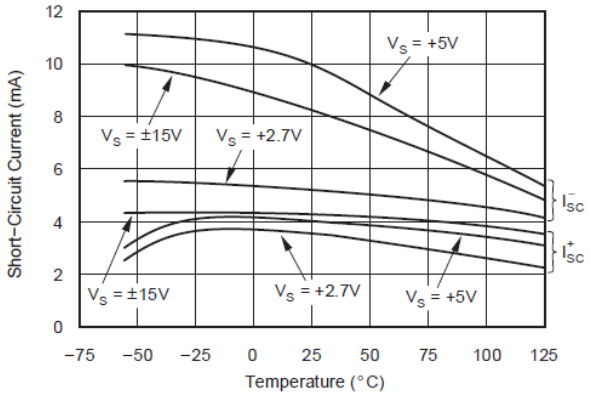


图 5-21. 短路电流与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

6 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

6.1 应用信息

OPA237 系列运算放大器具有单位增益稳定特性，是各种通用应用的理想选择。使用 10nF 陶瓷电容器旁路电源引脚。

6.1.1 工作电压

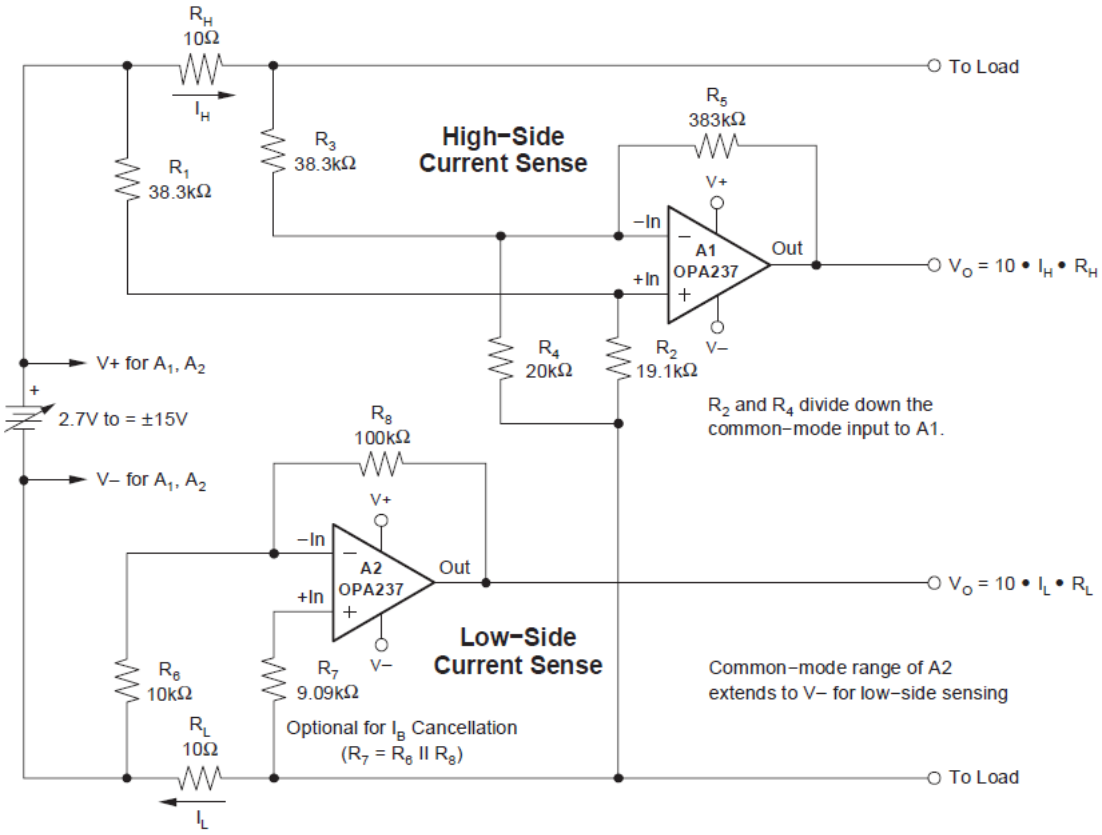
OPA237 系列运算放大器采用单电源（2.7V 至 36V）或双电源（±1.35V 至 ±18V）供电，具有出色性能。大多数特性在整个工作电压范围内保持不变。*“典型特性”*中显示了随工作电压变化而显著变化的参数。可使用 2.7V、5V 和 ±15V 电源针对规格进行量产测试。

6.1.2 输出电流和稳定性

OPA237 系列运算放大器可驱动大容性负载。但是，在某些受限的输出条件下，任何运算放大器都可能会变得不稳定。图 6-2 显示了 OPA237 可能不稳定的区域。这些负载条件很少遇到，特别是在单电源应用中。例如，在使用 5V 电源且 10kΩ 负载连接至 $V_S/2$ 时。

OPA237 系列运算放大器在容性负载高达 4,000pF（灌电流）和高达 10,000pF（拉电流）时保持稳定。此外，在负载接地的单电源应用中，运算放大器仅提供电流，如 图 6-2 所示，运算放大器可驱动 10,000pF 的容性负载，输出电流高达 1.5mA。

6.2 典型应用



注意：低侧和高侧检测电路可独立使用。

图 6-1. 低侧和高侧电池电流检测

6.2.1 应用曲线

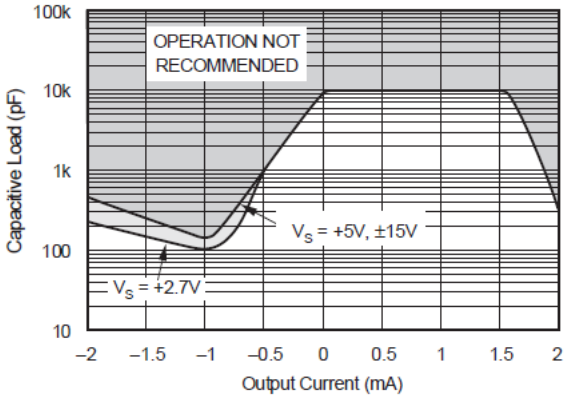


图 6-2. 容性负载稳定性与输出电流间的关系

Copyright © 2025 Texas Instruments Incorporated

7 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

7.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

7.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

7.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

7.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

7.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (February 2007) to Revision B (April 2025) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 将 *“特性”* 中的静态电流单位从 μV 更改为了 μA 1
- 将 *“引脚配置和功能”* 更新为了最新标准并添加了 *“引脚功能”* 表 3
- 在 *“绝对最大额定值”* 中添加了输入电流 4
- 添加了 *“建议运行条件”* 4
- 添加了*热性能信息* 4
- 更新了 OPA237 封装的结至环境热阻 4
- 更新了 OPA2237 封装的结至环境热阻 4
- 将所有 *“电气特性”* 表更新为了最新格式 6
- 添加了测试条件 $V_O = V_S/2$ 6
- 将最大输入失调电压从 ±750μV 更改为了 ±950μV 6
- 删除了表注“通过晶圆级测试测定，置信度为 95%” 6
- 将最大输入偏移电压漂移从 5μV/℃ 更改为了 7.5μV/℃ 6
- 更新了表注 1 6
- 更新了 V_{CM} 范围格式以参考电源轨 6
- 将最小共模抑制比从 75dB 更改为了 71dB 6
- 将差分输入阻抗从 $5 \cdot 10^6 \Omega$ 更改为了 5MΩ 6
- 将共模输入阻抗从 $5 \cdot 10^9 \Omega$ 更改为了 5TΩ 6

- 将最小开环电压增益从 80dB 更改为了 75dB.....6
- 将开环电压增益的测试条件从 0.5V 更改为了 0.55V.....6
- 将典型压摆率从 0.5V/μs 更改为了 0.45V/μs.....6
- 在负电源轨行中添加了 V－，并将正负标签移动到了电压输出测试条件中.....6
- 将 R_L = 100kΩ 时的电压输出测试条件从“地电位”更改为了 V－.....6
- 将负电源轨的 R_L = 100kΩ 时的最大电压输出从 0.01V 更改为了 (V－) + 0.05V.....6
- 更新了短路电流，以分别显示拉电流和灌电流行.....6
- 将短路拉电流从 3.5mA 更改为了 7mA.....6
- 将短路灌电流从 －5mA 更改为了 －10mA.....6
- 将典型静态电流从 160μA 更改为了 150μA.....6
- 添加了测试条件 $V_O = V_S/2$.....7
- 删除了表注“通过晶圆级测试测定，置信度为 95%”.....7
- 将通道隔离从 0.5μV/V 更改为了 1μV/V.....7
- 更新了表注 1.....7
- 更新了 V_{CM} 范围格式以参考电源轨.....7
- 将最小共模抑制比从 78dB 更改为了 76dB.....7
- 将差分输入阻抗从 $5•10^6$Ω 更改为了 5MΩ.....7
- 将共模输入阻抗从 $5•10^9$Ω 更改为了 5TΩ.....7
- 将典型压摆率从 0.5V/μs 更改为 0.45V/μs.....7
- 在负电源轨行中添加了 V－，并将正负标签移动到了电压输出测试条件中.....7
- 将 RL = 100kΩ 时的电压输出测试条件从“地电位”更改为了 V－.....7
- 将正电源轨的最小电压输出从 (V+) － 1V 更改为了 (V+) － 1.5V.....7
- 将负电源轨的最大电压输出从 (V－) + 0.01V 更改为了 (V－) + 0.1V.....7
- 将正电源轨的最小电压输出从 (V+) － 1V 更改为了 (V+) － 1.5V.....7
- 将负电源轨的最大电压输出从 (V－) + 0.5V 更改为了 (V－) + 0.6V.....7
- 更新了短路电流，以分别显示拉电流和灌电流行.....7
- 将短路拉电流从 4mA 更改为了 8mA.....7
- 添加了测试条件 $V_O = V_S/2$.....8
- 将输入失调电压的测试条件从 V_{CM} = 0V 更改为了 $V_{CM} = V_S/2$.....8
- 删除了表注“通过晶圆级测试测定，置信度为 95%”.....8
- 将通道隔离从 0.5μV/V 更改为了 1μV/V.....8
- 更新了表注 1.....8
- 将输入偏置电流的测试条件从 V_{CM} = 0V 更改为了 $V_{CM} = V_S/2$.....8
- 将输入失调电流的测试条件从 V_{CM} = 0V 更改为了 $V_{CM} = V_S/2$.....8
- 将输入电流噪声密度从 60fA/√Hz 更改为了 80fA/√Hz.....8
- 更新了 V_{CM} 范围格式以参考电源轨.....8
- 将差分输入阻抗从 $5•10^6$Ω 更改为了 5MΩ.....8
- 将共模输入阻抗从 $5•10^9$Ω 更改为了 5TΩ.....8
- 将压摆率从 0.5V/μs 更改为了 0.44V/μs.....8
- 将 0.1% 精度时的趋稳时间从 18μs 更改为了 20μs.....8
- 将 0.01% 精度时的趋稳时间从 21μs 更改为了 24μs.....8
- 在负电源轨行中添加了 V－，并将正负标签移动到了电压输出测试条件中.....8
- 更新了短路电流，以分别显示拉电流和灌电流行.....8
- 将短路拉电流从 4.5mA 更改为了 9.5mA.....8
- 将短路灌电流从 －8mA 更改为了 －10mA.....8
- 删除了静态电流规格中的 ± 符号.....8

Copyright © 2025 Texas Instruments Incorporated

9 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2237EA/2K5	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-40 to 85	B37A
OPA2237EA/2K5.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-40 to 85	B37A
OPA2237EA/2K5.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-40 to 85	B37A
OPA2237UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	(OP2237, OPA) 2237UA
OPA2237UA/2K5.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	(OP2237, OPA) 2237UA
OPA2237UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	(OP2237, OPA) 2237UA
OPA2237UAE4	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Call TI	See OPA2237UA	
OPA237NA/3K	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 70	A37A
OPA237NA/3K.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 70	A37A
OPA237NA/3K.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 70	A37A
OPA237NA/3K1G4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 70	A37A
OPA237NA/3K1G4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 70	A37A
OPA237UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 70	(OP237, OPA) 237UA
OPA237UA/2K5.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 70	(OP237, OPA) 237UA
OPA237UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 70	(OP237, OPA) 237UA

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

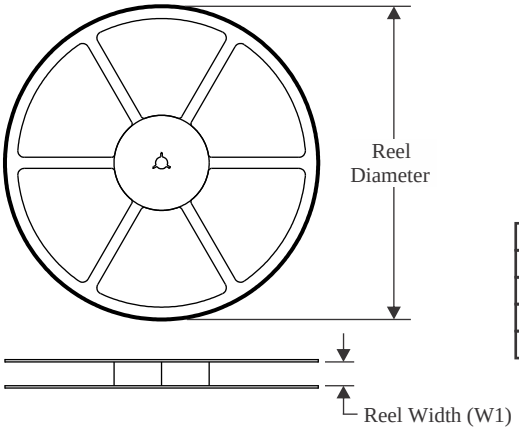
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

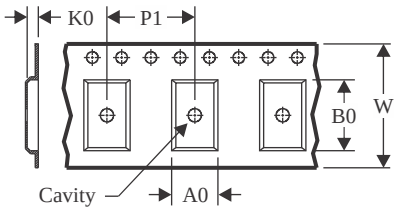
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

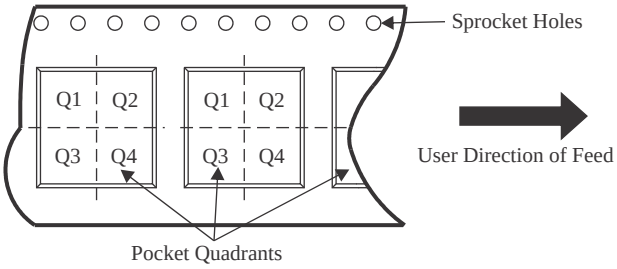


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

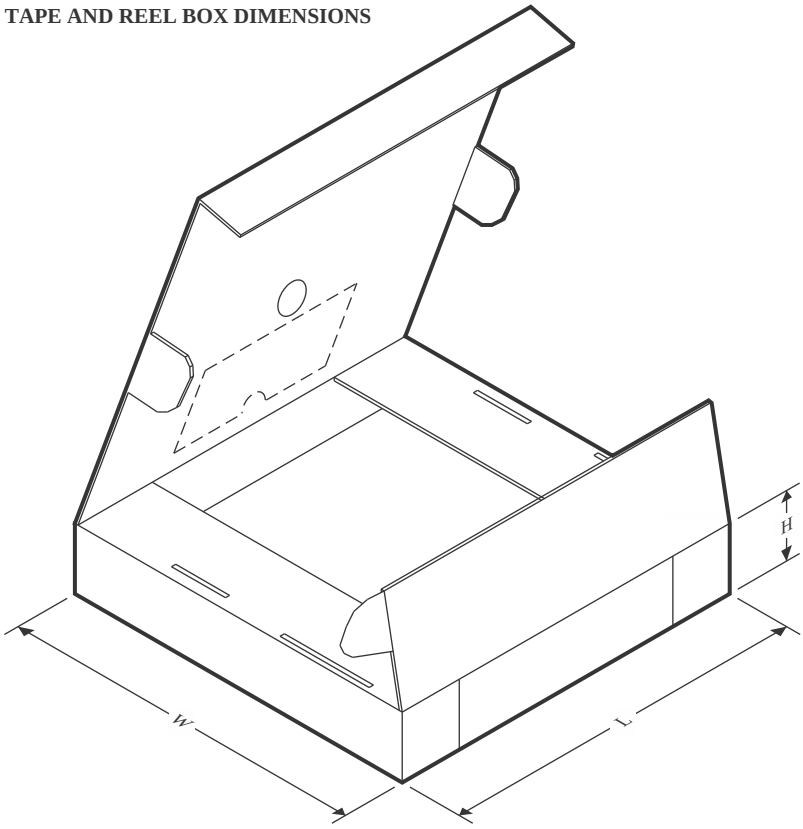
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

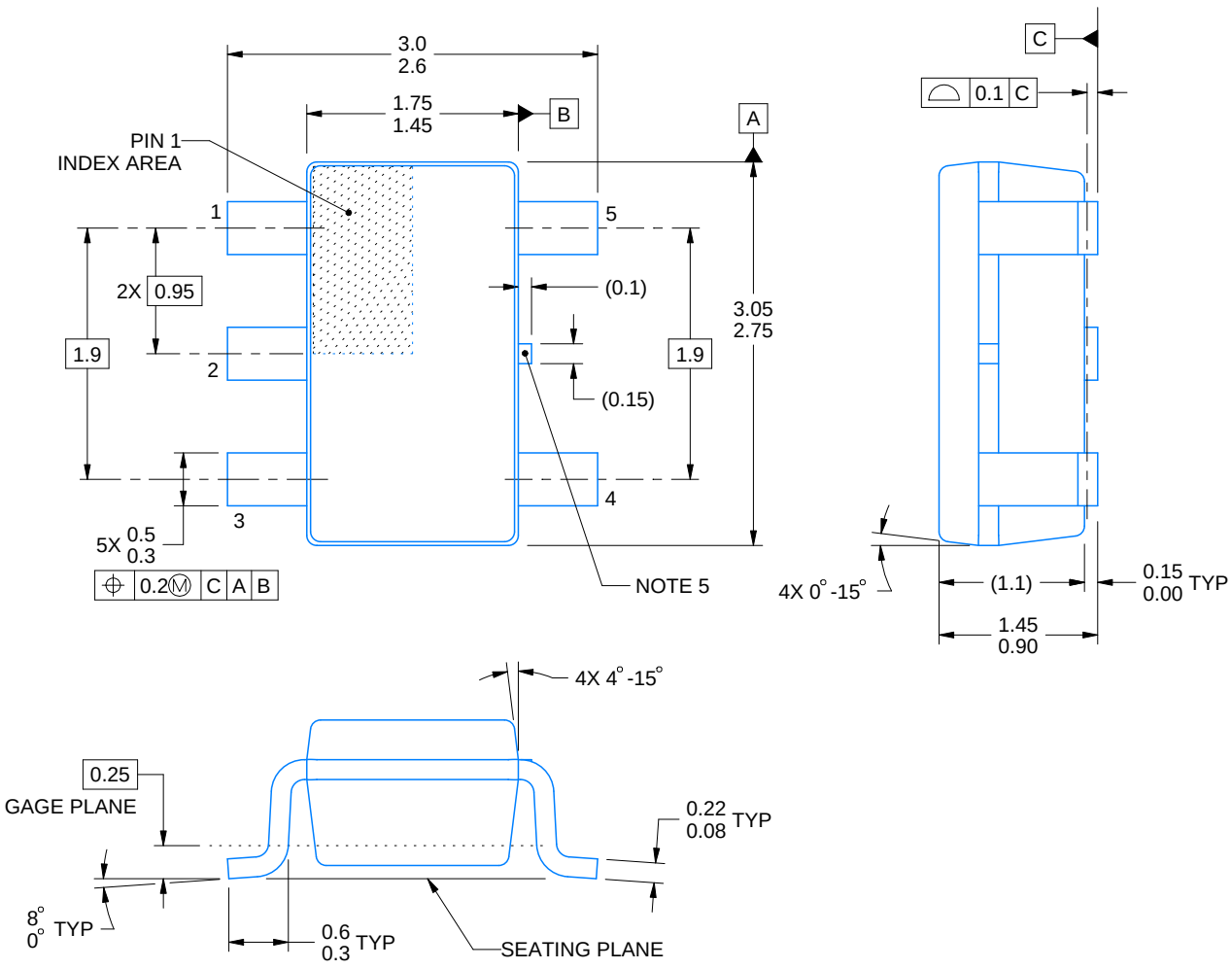
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2237EA/2K5	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2237UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA237NA/3K	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA237NA/3K	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA237NA/3K1G4	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA237UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

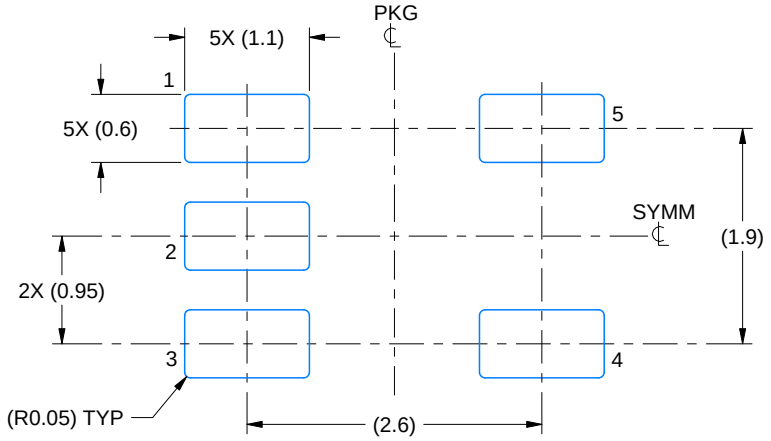
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2237EA/2K5	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2237UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
OPA237NA/3K	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA237NA/3K	SOT-23	DBV	5	3000	210.0	185.0	35.0
OPA237NA/3K1G4	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA237UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0



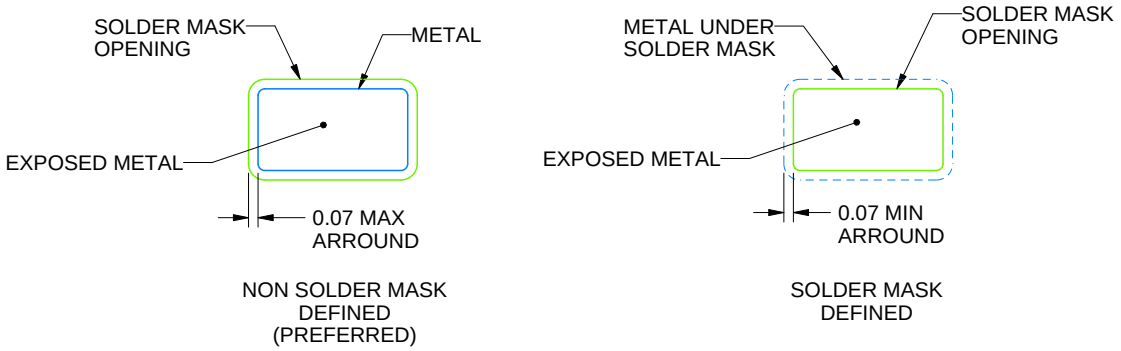
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

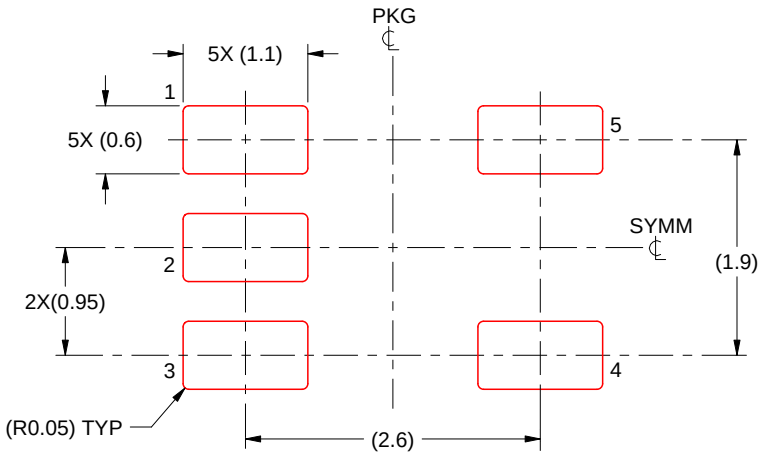


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

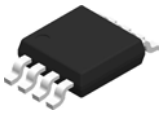
4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

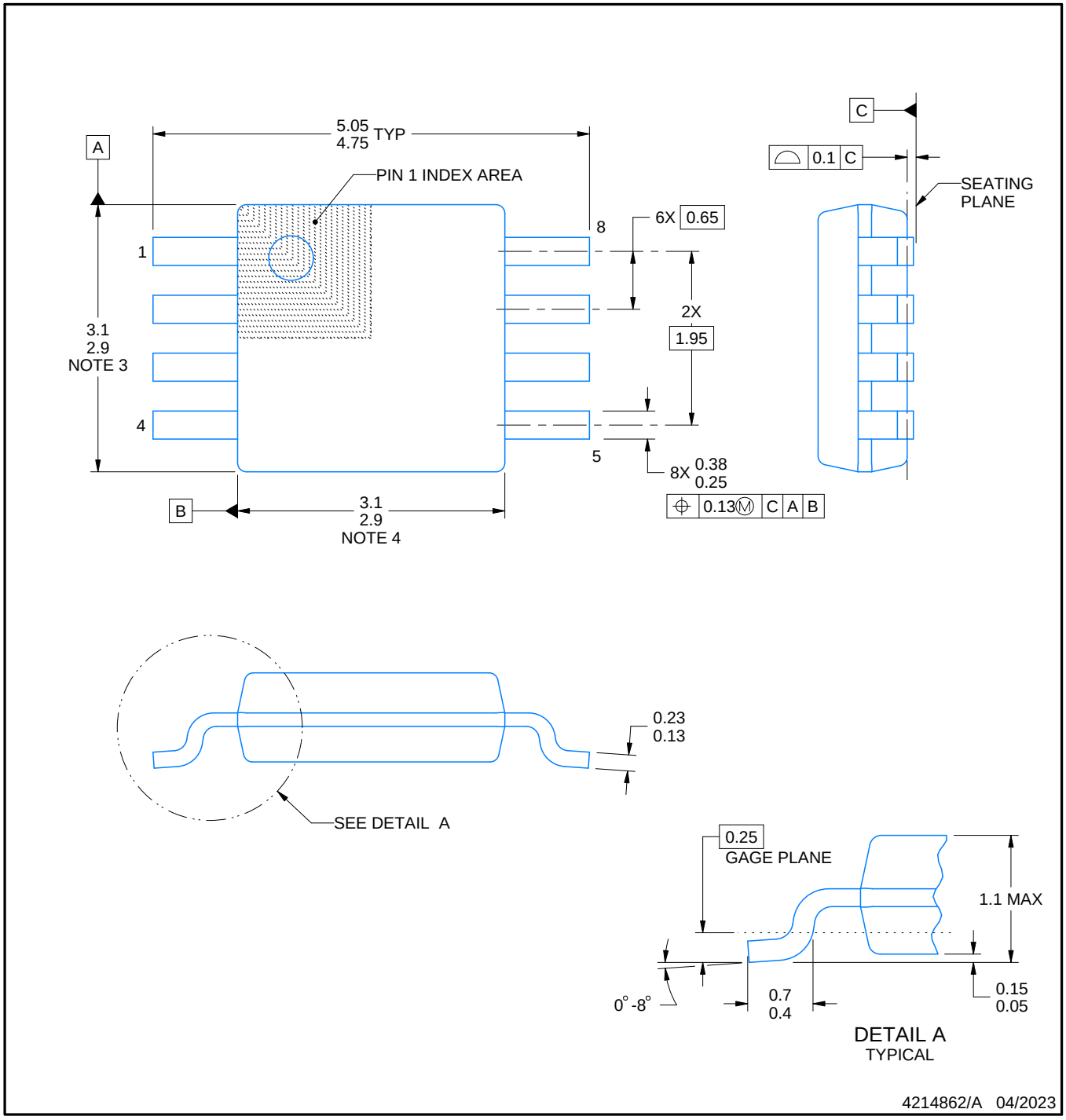
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

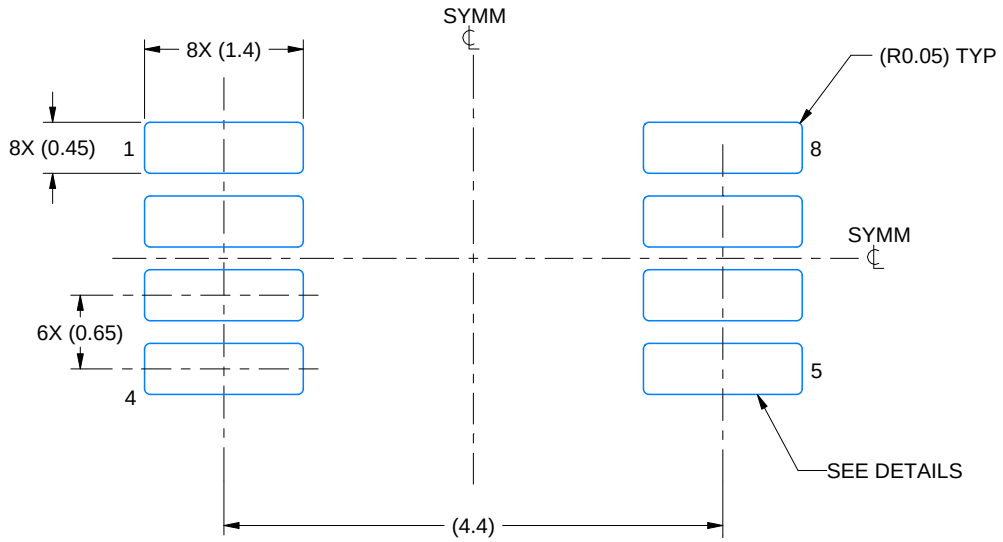
SMALL OUTLINE PACKAGE



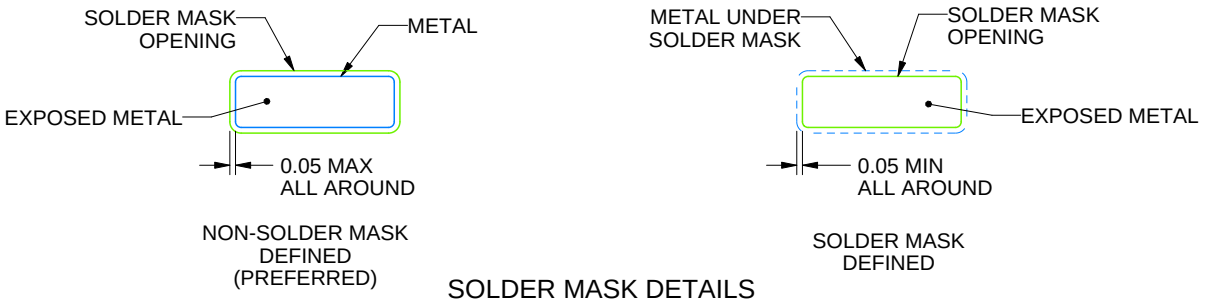
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

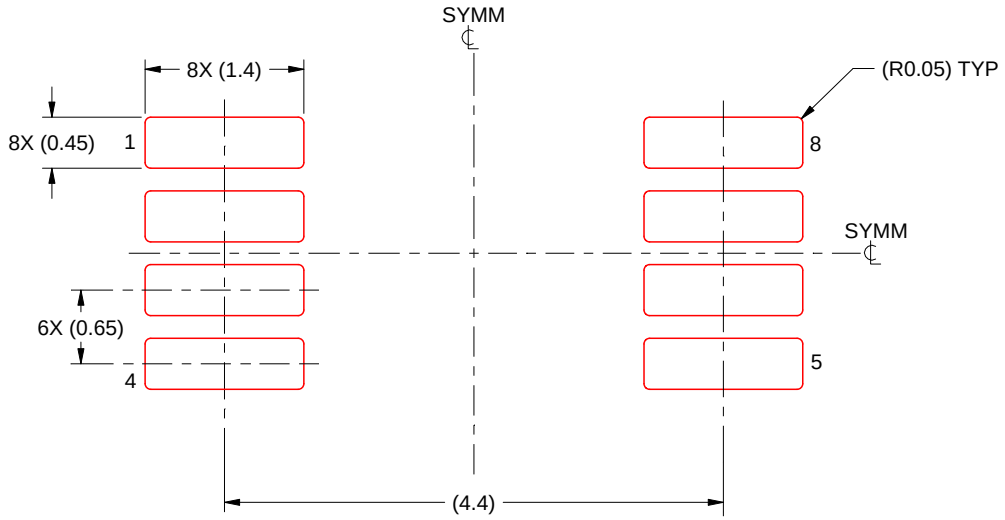


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

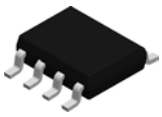


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

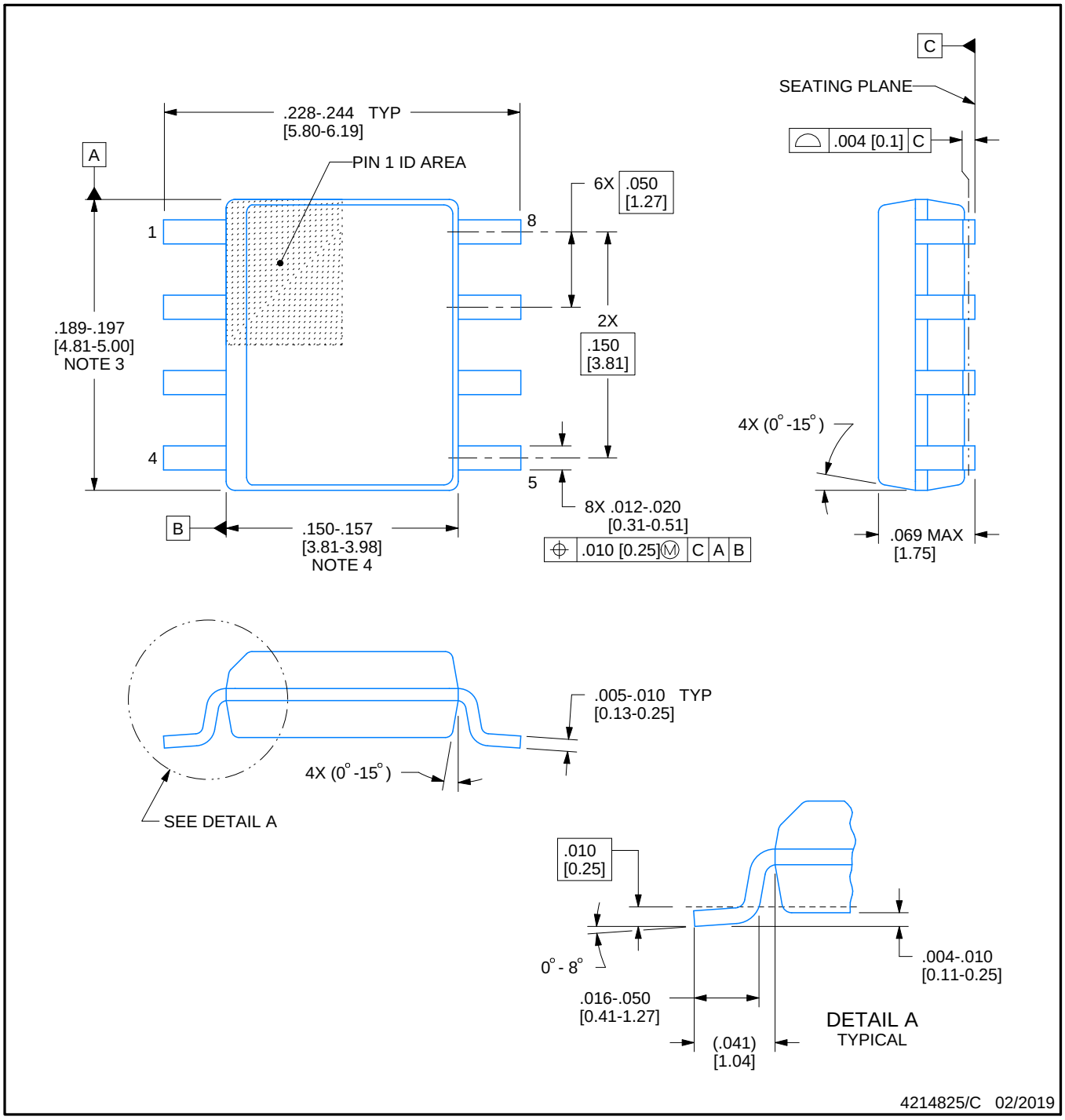


PACKAGE OUTLINE

D0008A

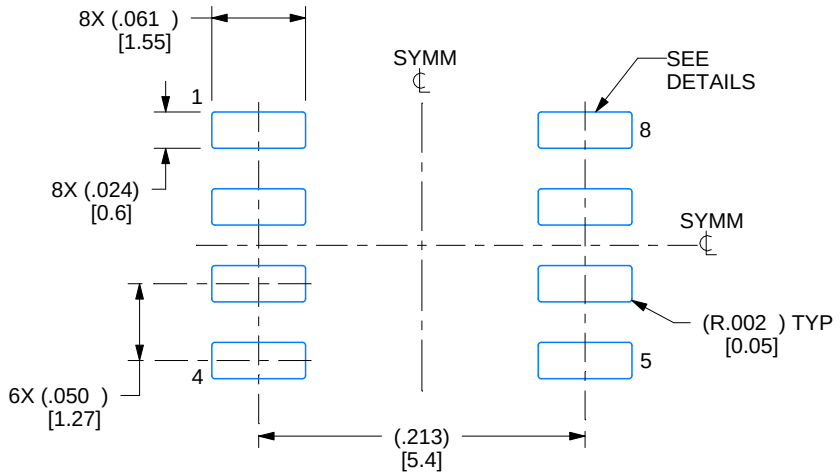
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

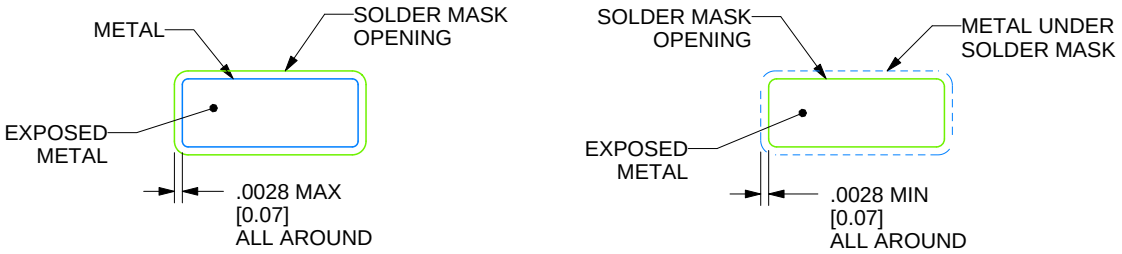


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

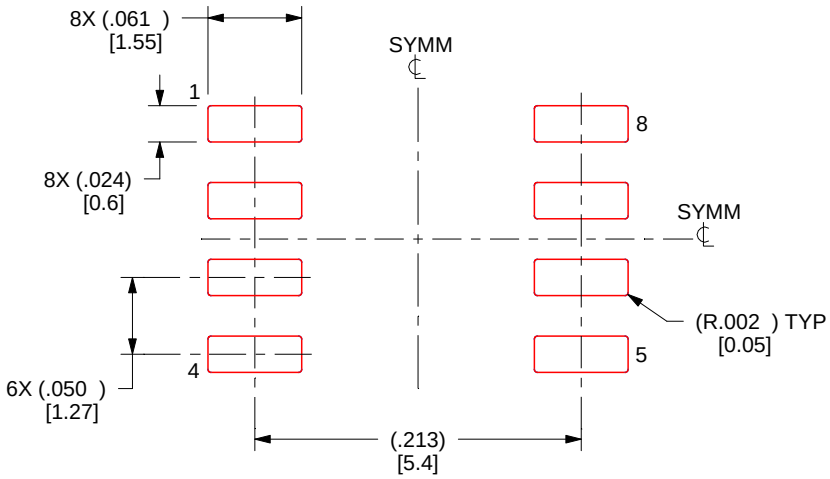


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月