OPAx197-Q1 36V、精密、轨到轨 I/O、低偏移电压、低输入偏置电流 e-trim™ 汽车级运算放大器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
- 低失调电压：±250μV（最大值）
- 低失调电压漂移：±0.2μV/°C
- 低噪声：1kHz 时为 5.5nV/$\sqrt{Hz}$
- 高共模抑制：140dB
- 低偏置电流：±5pA
- 轨到轨输入和输出
- 高带宽：10MHz GBW
- 高压摆率：20V/μs
- 低静态电流：每个放大器 1mA
- 宽电源电压：±2.25V 至 ±18V，4.5V 至 36V
- EMI/RFI 滤波输入
- 电源轨的差分输入电压范围
- 高容性负载驱动能力：1nF
- 业界通用封装：
  - 采用超小型 8 引脚 VSSOP 封装的单通道和双通道
  - 14 引脚 TSSOP 四通道
  - 14 引脚 SOIC 四通道

2 应用

- 逆变器和电机控制
- 直流/直流转换器
- 车载充电器 (OBC) 和无线充电器
- 电池管理系统 (BMS)

3 说明

OPAx197-Q1 系列（OPA197-Q1、OPA2197-Q1 和 OPA4197-Q1）是新一代 36V e-trim™ 运算放大器的一部分。OPAx197-Q1 系列 e-trim 运算放大器使用专有的封装级修整方法，在塑模成型工艺之后的最后制造步骤中实现失调和失调温度漂移。该方法可更大限度地减少固有的输入晶体管不匹配的影响和在封装成型过程中引入的误差。

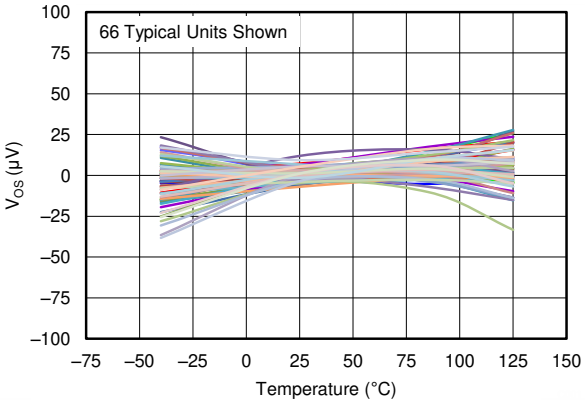
这些器件具有出色的直流精度和交流性能，包括轨到轨输入/输出、低偏移电压（典型值为 ±5μV）、低偏移电压温漂（典型值为 ±0.2μV/°C）和 10MHz 带宽。

OPAx197-Q1 具有独特功能，例如电源轨的差分输入电压范围、高输出电流 (±65mA)、高达 1nF 的高容性负载驱动以及高转换率 (20V/μs)，是一款稳定可靠的高性能运算放大器，适用于各种高电压工业应用。

封装信息

器件型号	封装(1)	封装尺寸(2)
OPA197-Q1	DGK，VSSOP (8)	3.00mm × 3.00mm
OPA2197-Q1	DGK，VSSOP (8)	3.00mm × 3.00mm
OPA4197-Q1	PW，TSSOP (14)	5.00mm × 4.40mm
	D，SOIC (14)	8.65mm × 3.9mm

(1) 如需了解所有可用封装，请参阅数据表末尾的封装选项附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



OPAx197-Q1 在整个温度范围内保持超低的输入失调电压

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 6
5.1 绝对最大额定值 6
5.2 ESD 等级 6
5.3 建议运行条件 6
5.4 热性能信息：OPA197-Q1 7
5.5 热性能信息：OPA2197-Q1 7
5.6 热性能信息：OPA4197-Q1 7
5.7 电气特性：V_S = ±4V 至 ±18V（V_S = 8V 至 36V） 8
5.8 电气特性：V_S = ±2.25V 至 ±4V（V_S = 4.5V 至 8V） 10
5.9 典型特性 12
6 详细说明 21
6.1 概述 21
6.2 功能方框图 21
6.3 特性说明 22
6.4 器件功能模式 28
7 应用和实施 29
7.1 应用信息 29
7.2 典型应用 29
7.3 电源相关建议 32
7.4 布局 32
8 器件和文档支持 35
8.1 器件支持 35
8.2 文档支持 35
8.3 接收文档更新通知 35
8.4 支持资源 35
8.5 商标 36
8.6 静电放电警告 36
8.7 术语表 36
9 修订历史记录 36
10 机械、封装和可订购信息 36

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

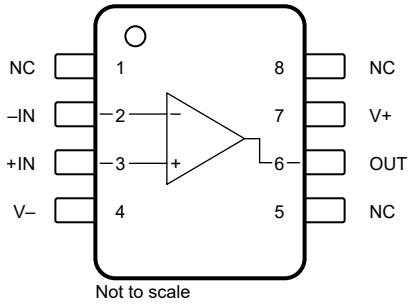


图 4-1. OPA197-Q1 DGK 封装，8 引脚 VSSOP，顶视图

引脚功能：OPA197-Q1

引脚		I/O	说明
名称	编号		
+IN	3	I	同相输入
–IN	2	I	反相输入
NC	1、5、8	—	未进行内部电路连接（可以悬空）
OUT	6	O	输出
V+	7	—	正（最高）电源
V–	4	—	负（最低）电源

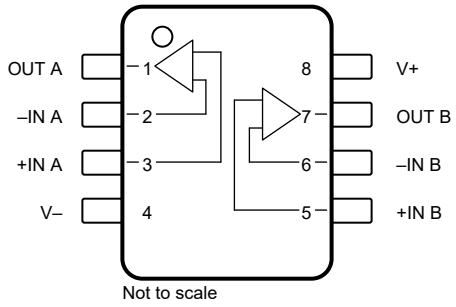


图 4-2. OPA2197-Q1 DGK 封装， 8 引脚 VSSOP， 顶视图

引脚功能：OPA2197-Q1

引脚		I/O	说明
名称	DGK (VSSOP)		
+IN A	3	I	同相输入，通道 A
+IN B	5	I	同相输入，通道 B
–IN A	2	I	反相输入，通道 A
–IN B	6	I	反相输入，通道 B
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
V+	8	—	正（最高）电源
V–	4	—	负（最低）电源

Copyright © 2026 Texas Instruments Incorporated

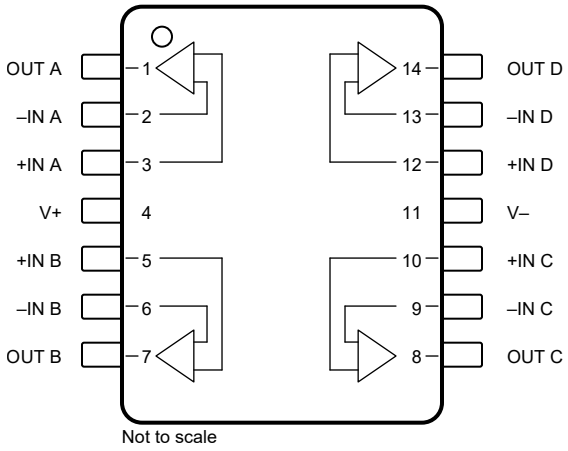


图 4-3. OPA4197-Q1 PW 封装、14 引脚 TSSOP 和 D 封装、14 引脚 SOIC， 顶视图

引脚功能：OPA4197-Q1

引脚		I/O	说明
名称	编号		
+IN A	3	I	同相输入，通道 A
+IN B	5	I	同相输入，通道 B
+IN C	10	I	同相输入，通道 C
+IN D	12	I	同相输入，通道 D
–IN A	2	I	反相输入，通道 A
–IN B	6	I	反相输入，通道 B
–IN C	9	I	反相输入，通道 C
–IN D	13	I	反相输入，通道 D
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
OUT C	8	O	输出，通道 C
OUT D	14	O	输出，通道 D
V+	4	—	正（最高）电源
V –	11	—	负（最低）电源

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_S	电源电压	单电源，V_S = (V+)		40	V
		双电源，V_S = (V+) – (V–)		±20	
	输入信号电压	共模	(V–) – 0.5	(V+) + 0.5	V
		差分		(V+) – (V–) + 0.2	
	信号输入电流			±10	mA
	输出短路(2)		持续		
	闩锁效应抑制，符合 JESD78D 要求		类别 IIA		
T_A	工作温度		-55	150	°C
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 应力超出*绝对最大额定值*中列出的值时，可能会对器件造成永久损坏。这些值仅为应力额定值，并不意味着器件在这些条件下、或是在超出*建议运行条件*的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 接地短路，每个封装对应一个放大器。

5.2 ESD 等级

			值	单位
OPA197-Q1、OPA2197-Q1				
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1) HBM ESD 分类等级 3A	±4000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4A	±500	
OPA4197-Q1				
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1) HBM ESD 分类等级 2	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C5	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_S	电源电压	单电源，V_S = (V+)	4.5		36	V
		双电源，V_S = (V+) – (V–)	±2.25		±18	
T_A	工作温度		-40		125	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息：OPA197-Q1

热指标(1)		OPA197-Q1 DGK (VSSOP) 8 引脚	单位
$R_{\theta JA}$	结至环境热阻	180.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	67.9	°C/W
$R_{\theta JB}$	结至电路板热阻	102.1	°C/W
ψ_{JT}	结至顶部特征参数	10.4	°C/W
ψ_{JB}	结至电路板特征参数	100.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.5 热性能信息：OPA2197-Q1

热指标(1)		OPA2197-Q1 DGK (VSSOP) 8 引脚	单位
$R_{\theta JA}$	结至环境热阻	158	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	48.6	°C/W
$R_{\theta JB}$	结至电路板热阻	78.7	°C/W
ψ_{JT}	结至顶部特征参数	3.9	°C/W
ψ_{JB}	结至电路板特征参数	77.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.6 热性能信息：OPA4197-Q1

热指标(1)		OPA4197-Q1 D (SOIC) 14 引脚	OPA4197-Q1 PW (TSSOP) 14 引脚	单位
$R_{\theta JA}$	结至环境热阻	86.4	108.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	46.3	26.3	°C/W
$R_{\theta JB}$	结至电路板热阻	41.0	54.4	°C/W
ψ_{JT}	结至顶部特征参数	11.3	1.4	°C/W
ψ_{JB}	结至电路板特征参数	40.7	53.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2026 Texas Instruments Incorporated

5.7 电气特性：V_S = ±4V 至 ±18V（V_S = 8V 至 36V）

在 T_A = +25°C，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ 且连接至 V_S/2 的条件下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入偏移电压				±25	±250	μV
		T_A = 0°C 至 85°C			±30	±350	
		T_A = -40°C 至 +125°C			±50	±400	
		V_{CM} = (V+) – 1.5V			±10	±250	
			T_A = 0°C 至 85°C		±25	±350	
			T_A = -40°C 至 +125°C		±50	±500	
dV_{OS}/dT	输入失调电压漂移	T_A = 0°C 至 85°C			±0.5	±2.5	μV/°C
		T_A = -40°C 至 +125°C			±0.8	±4.5	
PSRR	电源抑制比	T_A = -40°C 至 +125°C			±0.3	±1.0	μV/V
输入偏置电流							
I_B	输入偏置电流				±5	±20	pA
		T_A = -40°C 至 +125°C				±5	nA
I_{OS}	输入失调电流				±2	±20	pA
		T_A = -40°C 至 +125°C				±2	nA
噪声							
E_n	输入电压噪声	(V–) – 0.1V < V_{CM} < (V+) – 3V	f = 0.1Hz 至 10Hz		1.3		μV_{PP}
		(V+) – 1.5V < V_{CM} < (V+) + 0.1V	f = 0.1Hz 至 10Hz		4		
e_n	输入电压噪声密度	(V–) – 0.1V < V_{CM} < (V+) – 3V	f = 100Hz		10.5		nV/√Hz
			f = 1kHz		5.5		
		(V+) – 1.5V < V_{CM} < (V+) + 0.1V	f = 100Hz		32		
			f = 1kHz		12.5		
i_n	输入电流噪声密度	f = 1kHz			1.5		fA/√Hz
输入电压							
V_{CM}	共模电压			(V–) – 0.1		(V+) + 0.1	V
CMRR	共模抑制比	(V–) – 0.1V < V_{CM} < (V+) – 3V		120	140		dB
		(V–) < V_{CM} < (V+) – 3V，T_A = –40°C 至 +125°C		114	126		
		(V+) – 1.5V < V_{CM} < (V+)		100	120		
			T_A = -40°C 至 +125°C	86	100		
输入阻抗							
Z_{ID}	差分				100 || 1.6		MΩ || pF
Z_{IC}	共模				1 || 6.4		10^{13}Ω || pF

Copyright © 2026 Texas Instruments Incorporated

5.7 电气特性：V_S = ±4V 至 ±18V（V_S = 8V 至 36V）（续）

在 T_A = +25°C，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ 且连接至 V_S/2 的条件下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
开环增益							
A_{OL}	开环电压增益	(V–) + 0.6V < V_O < (V+) – 0.6V，R_L = 2kΩ		120	134		dB
			T_A = -40°C 至 +125°C	114	126		
		(V–) + 0.3V < V_O < (V+) – 0.3V，R_L = 10kΩ		126	140		
			T_A = -40°C 至 +125°C	120	134		
频率响应							
GBW	单位增益带宽				10		MHz
SR	压摆率	G = 1，10V 阶跃			20		V/µs
t_s	趋稳时间	达 0.01%	G = 1，10V 阶跃		1.4		µs
			G = 1，5V 阶跃		0.9		
		达 0.001%	G = 1，10V 阶跃		2.1		
			G = 1，5V 阶跃		1.8		µs
t_{OR}	过载恢复时间	V_{IN} × G = V_S			200		ns
THD+N	总谐波失真 + 噪声	G = 1，f = 1kHz，V_O = 3.5V_{RMS}			0.00008%		
	串扰	OPA4197-Q1，直流时			150		dB
		OPA4197-Q1，f = 100kHz			130		dB
输出							
V_O	相对于电源轨的电压输出摆幅	正电源轨	无负载		5	15	mV
			R_L = 10kΩ		95	110	
			R_L = 2kΩ		430	500	
		负电源轨	无负载		5	15	
			R_L = 10kΩ		95	110	
			R_L = 2kΩ		430	500	
I_{SC}	短路电流				±65		mA
C_{LOAD}	容性负载驱动				请参阅节 5.9		
Z_O	开环输出阻抗	f = 1MHz，I_O = 0A，请参阅图 5-29			375		Ω
电源							
I_Q	每个放大器的静态电流	I_O = 0A			1	1.2	mA
			T_A = -40°C 至 +125°C			1.5	
温度							
	热保护				140		°C

Copyright © 2026 Texas Instruments Incorporated

5.8 电气特性：V_S = ±2.25V 至 ±4V（V_S = 4.5V 至 8V）

在 T_A = +25°C，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ 且连接至 V_S/2 的条件下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入偏移电压	V_{CM} = (V+) – 3V			±5	±250	μV
			T_A = 0°C 至 85°C		±8	±350	
			T_A = -40°C 至 +125°C		±10	±400	
		(V+) – 3.5V < V_{CM} < (V+) – 1.5V			请参阅节 6.3.6		
		V_{CM} = (V+) – 1.5V			±10	±250	
			T_A = 0°C 至 85°C		±25	±350	
			T_A = -40°C 至 +125°C		±50	±500	
dV_{OS}/dT	输入失调电压漂移	V_{CM} = (V+) – 3V	T_A = -40°C 至 +125°C		±0.5	±2.5	μV/°C
dV_{OS}/dT	输入失调电压漂移	V_{CM} = (V+) – 1.5V			±0.8	±4.5	
PSRR	电源抑制比	T_A = -40°C 至 +125°C			±2		μV/V
输入偏置电流							
I_B	输入偏置电流				±5	±20	pA
		T_A = -40°C 至 +125°C				±5	nA
I_{OS}	输入失调电流				±2	±20	pA
		T_A = -40°C 至 +125°C				±2	nA
噪声							
E_n	输入电压噪声	(V–) – 0.1V < V_{CM} < (V+) – 3V，f = 0.1Hz 至 10Hz			1.3		μV_{PP}
		(V+) – 1.5V < V_{CM} < (V+) + 0.1V，f = 0.1Hz 至 10Hz			4		
e_n	输入电压噪声密度	(V–) – 0.1V < V_{CM} < (V+) – 3V	f = 100Hz		10.5		$nV/\sqrt{Hz}$
			f = 1kHz		5.5		
		(V+) – 1.5V < V_{CM} < (V+) + 0.1V	f = 100Hz		32		
			f = 1kHz		12.5		
i_n	输入电流噪声密度	f = 1kHz			1.5		$fA/\sqrt{Hz}$
输入电压							
V_{CM}	共模电压范围			(V–) – 0.1		(V+) + 0.1	V
CMRR	共模抑制比	(V–) – 0.1V < V_{CM} < (V+) – 3V		94	110		dB
			T_A = -40°C 至 +125°C	90	104		
		(V+) – 1.5V < V_{CM} < (V+)		100	120		
			T_A = -40°C 至 +125°C	84	100		
		(V+) – 3V < V_{CM} < (V+) – 1.5V			请参阅节 5.9		
输入阻抗							
Z_{ID}	差分				100 || 1.6		MΩ || pF
Z_{IC}	共模				1 || 6.4		10^{13}Ω || pF

Copyright © 2026 Texas Instruments Incorporated

5.8 电气特性：V_S = ±2.25V 至 ±4V（V_S = 4.5V 至 8V）（续）

在 T_A = +25°C，V_{CM} = V_{OUT} = V_S/2，R_L = 10kΩ 且连接至 V_S/2 的条件下测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
开环增益							
A_{OL}	开环电压增益	(V–) + 0.6V < V_O < (V+) – 0.6V，R_L = 2kΩ		110	120		dB
			T_A = -40°C 至 +125°C	100	114		
		(V–) + 0.3V < V_O < (V+) – 0.3V，R_L = 10kΩ		110	126		
			T_A = -40°C 至 +125°C	110	120		dB
频率响应							
GBW	单位增益带宽				10		MHz
SR	压摆率	G = 1，5V 阶跃			20		V/µs
t_s	趋稳时间	精度达到 0.01%，V_S = ±3V，G = 1，5V 阶跃			1		µs
t_{OR}	过载恢复时间	V_{IN} × G = V_S			200		ns
	串扰	OPA4197-Q1，直流时			150		dB
		OPA4197-Q1，f = 100kHz			130		dB
输出							
V_O	相对于电源轨的电压输出摆幅	正电源轨	无负载		5	15	mV
			R_L = 10kΩ		95	110	
			R_L = 2kΩ		430	500	
		负电源轨	无负载		5	15	
			R_L = 10kΩ		95	110	
			R_L = 2kΩ		430	500	
I_{SC}	短路电流				±65		mA
C_{LOAD}	容性负载驱动				请参阅节 5.9		
Z_O	开环输出阻抗	f = 1MHz，I_O = 0A，请参阅图 5-29			375		Ω
电源							
I_Q	每个放大器的静态电流	I_O = 0A			1	1.2	mA
			T_A = -40°C 至 +125°C			1.5	
温度							
	热保护				140		°C

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性

在 T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（连接至 V_S/2），且 C_L = 100pF 的条件下测得（除非另有说明）

表 5-1. 图形表

说明	图表
失调电压产生分布	图 5-1 到 图 5-6
偏移电压漂移分布	图 5-7 到 图 5-8
失调电压与温度间的关系	图 5-9
失调电压与共模电压间的关系	图 5-10 到 图 5-12
失调电压与电源间的关系	图 5-13
开环增益和相位与频率间的关系	图 5-14
闭环增益和相位与频率间的关系	图 5-15
输入偏置电流与共模电压间的关系	图 5-16
输入偏置电流与温度间的关系	图 5-17
输出电压摆幅与输出电流间的关系（最大电源电压）	图 5-18
CMRR 和 PSRR 与频率间的关系	图 5-19
CMRR 与温度间的关系	图 5-20
PSRR 与温度间的关系	图 5-21
0.1Hz 至 10Hz 噪声	图 5-22
输入电压噪声频谱密度与频率间的关系	图 5-23
THD+N 比与频率间的关系	图 5-24
THD+N 与输出幅度间的关系	图 5-25
静态电流与电源电压间的关系	图 5-26
静态电流与温度间的关系	图 5-27
开环增益与温度间的关系	图 5-28
开环输出阻抗与频率间的关系	图 5-29
小信号过冲与容性负载间的关系（100mV 阶跃）	图 5-30、图 5-31
无相位反转	图 5-32
正过载恢复	图 5-33
负过载恢复	图 5-34
小信号阶跃响应 (100mV)	图 5-35、图 5-36
大信号阶跃响应	图 5-37
趋稳时间	图 5-38 到 图 5-41
短路电流与温度间的关系	图 5-42
最大输出电压与频率间的关系	图 5-43
传播延迟上升沿	图 5-44
传播延迟下降沿	图 5-45
串扰与频率间的关系	图 5-46

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性（续）

在 T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（连接至 V_S/2），且 C_L = 100pF 的条件下测得（除非另有说明）

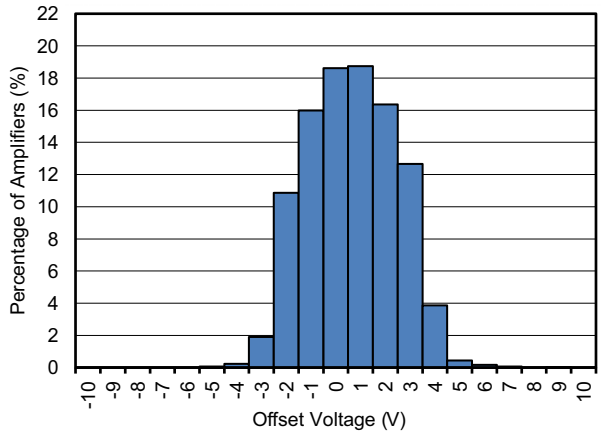
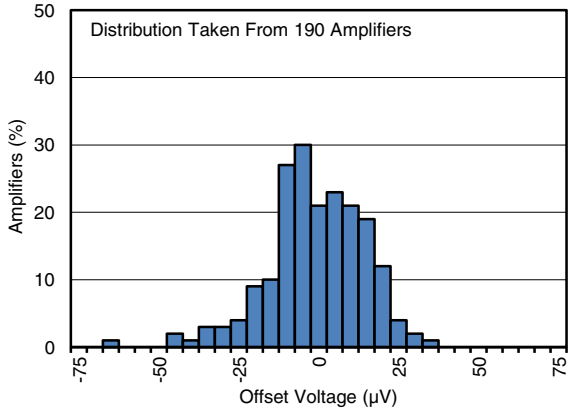
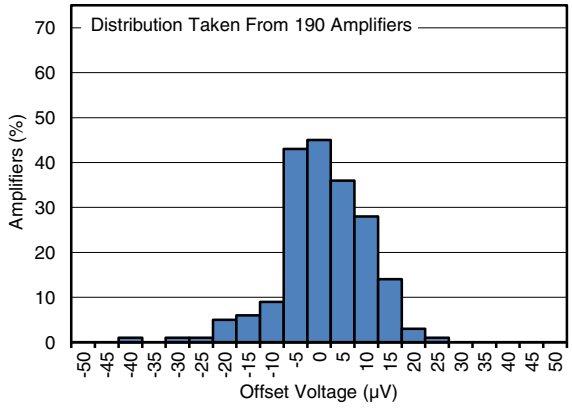


图 5-1. 25°C 下失调电压产生分布



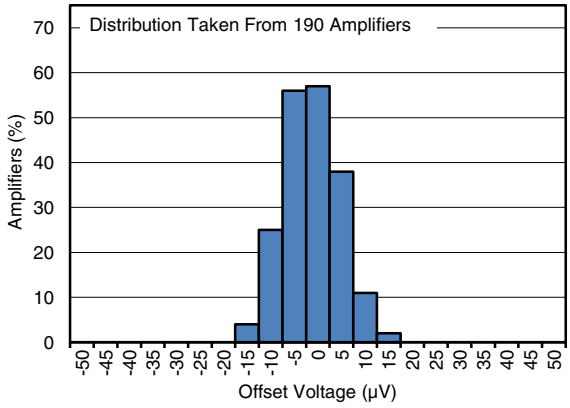
T_A = 125°C

图 5-2. 125°C 下失调电压产生分布



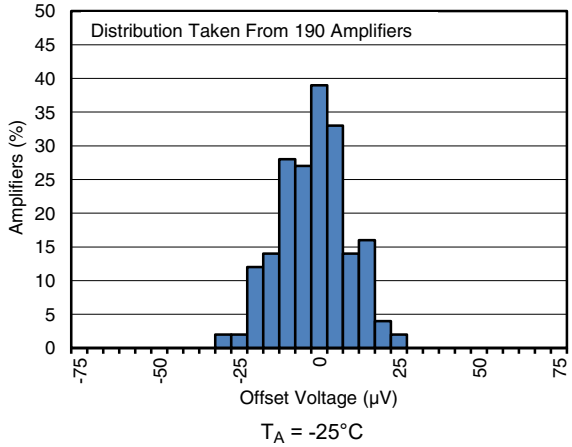
T_A = 85°C

图 5-3. 85°C 下失调电压产生分布



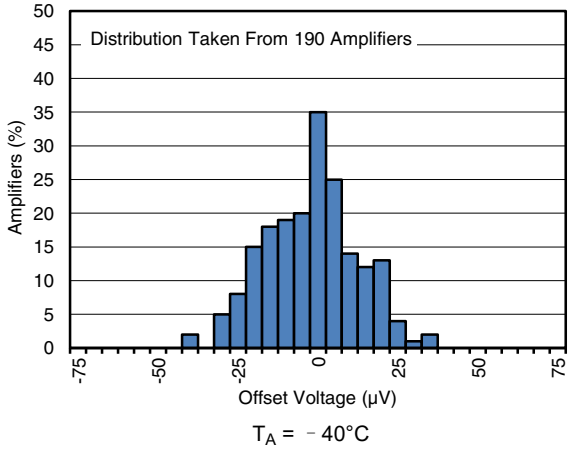
T_A = 0°C

图 5-4. 0°C 下失调电压产生分布



T_A = -25°C

图 5-5. -25°C 下失调电压产生分布



T_A = –40°C

图 5-6. -40°C 下失调电压产生分布

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性（续）

在 T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（连接至 V_S/2），且 C_L = 100pF 的条件下测得（除非另有说明）

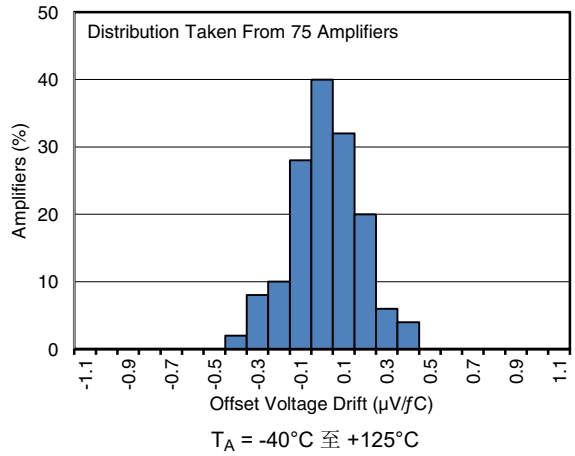


图 5-7. –40°C 至 +125°C 的偏移电压漂移分布

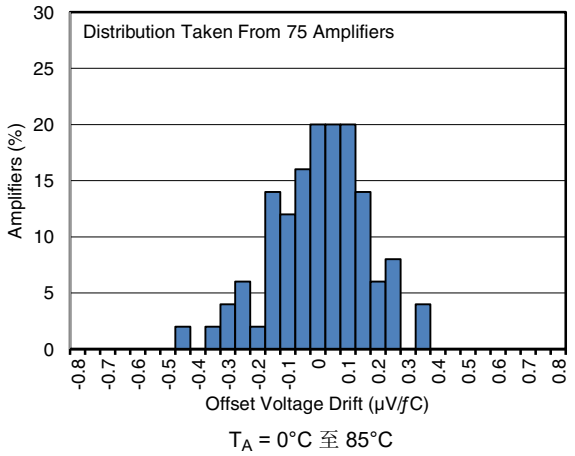


图 5-8. 0°C 至 85°C 的偏移电压漂移分布

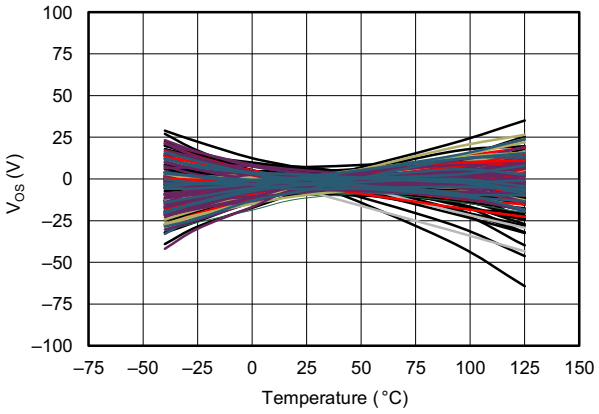


图 5-9. 失调电压与温度间的关系

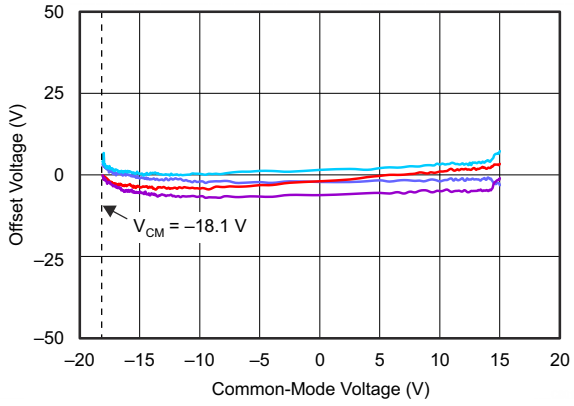


图 5-10. 失调电压与共模电压间的关系

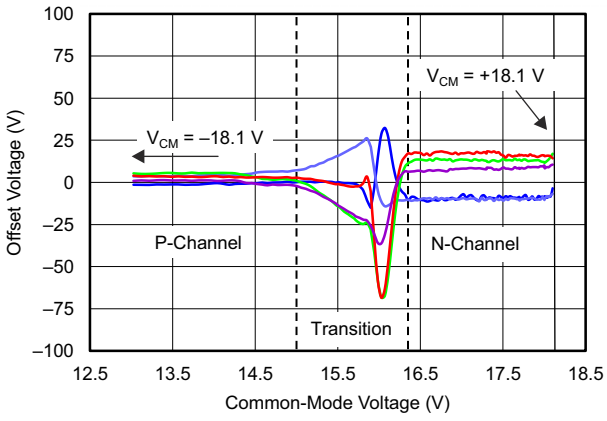


图 5-11. 失调电压与共模电压间的关系

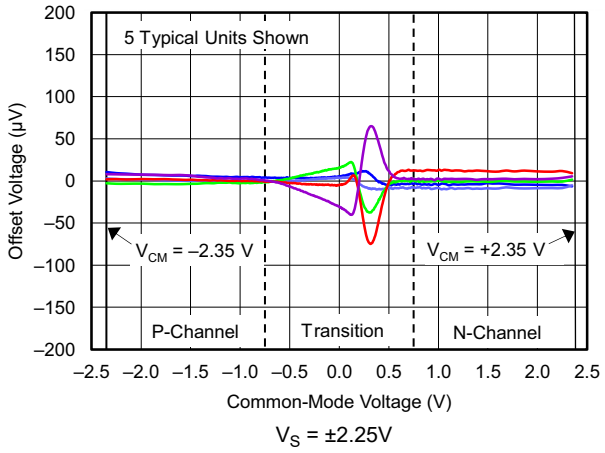


图 5-12. 失调电压与共模电压间的关系

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性（续）

在 T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（连接至 V_S/2），且 C_L = 100pF 的条件下测得（除非另有说明）

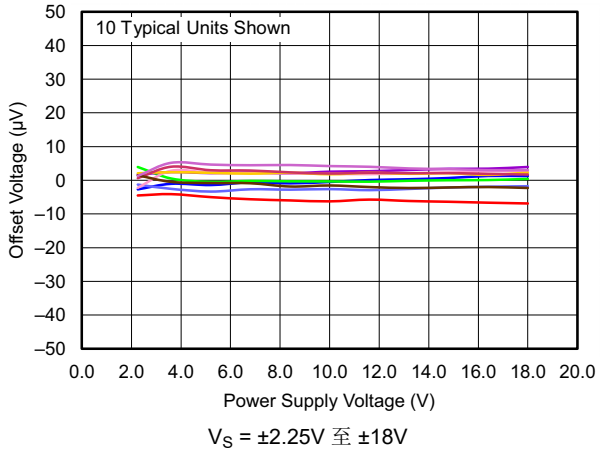


图 5-13. 失调电压与电源间的关系

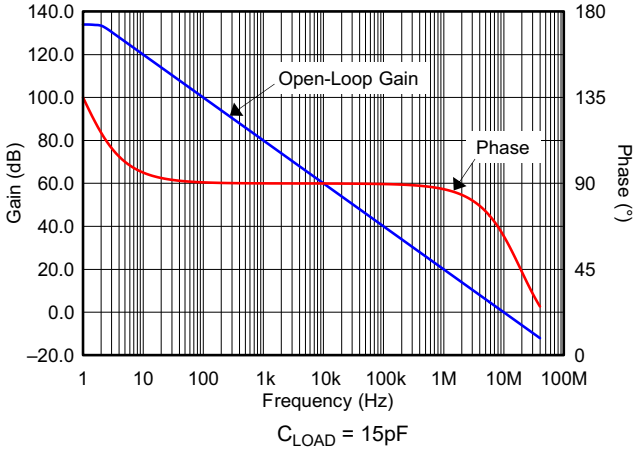


图 5-14. 开环增益和相位与频率间的关系

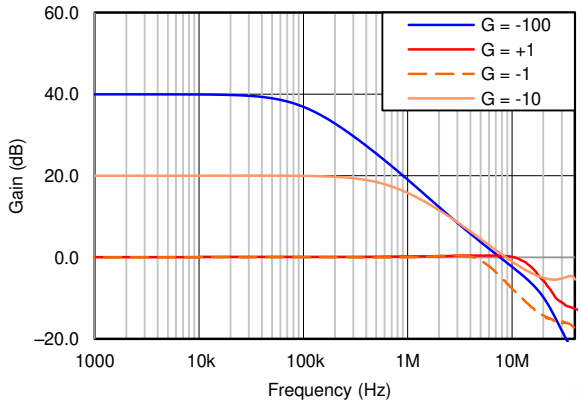


图 5-15. 闭环增益和相位与频率间的关系

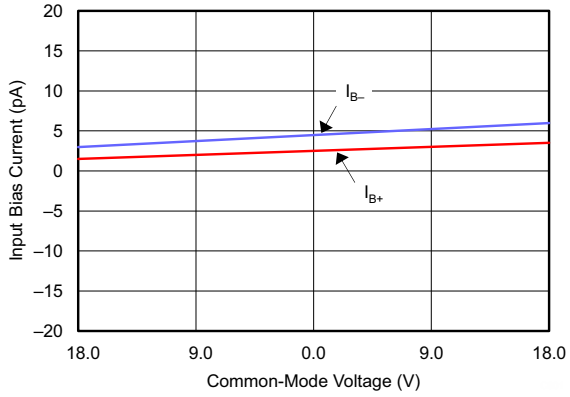


图 5-16. 输入偏置电流与共模电压间的关系

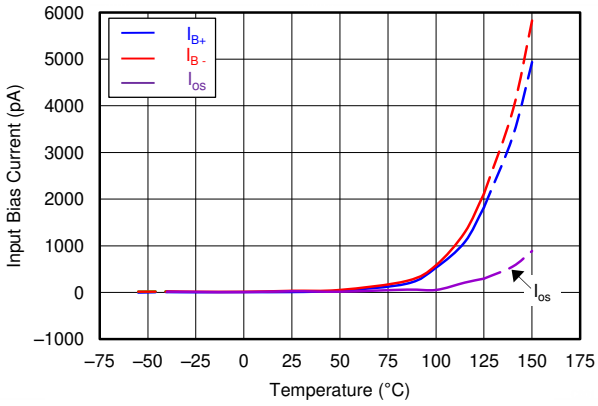


图 5-17. 输入偏置电流与温度间的关系

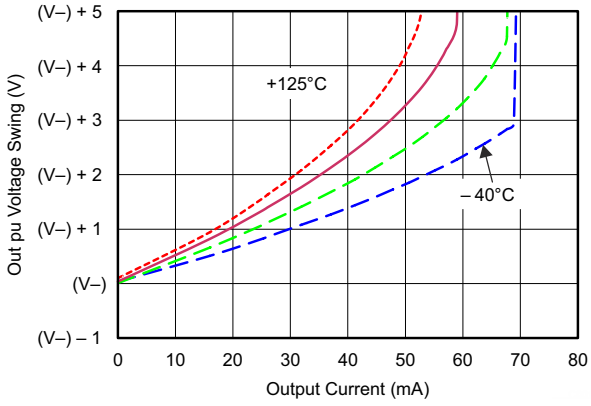


图 5-18. 输出电压摆幅与输出电流间的关系（最大电源电压）

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性（续）

在 T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（连接至 V_S/2），且 C_L = 100pF 的条件下测得（除非另有说明）

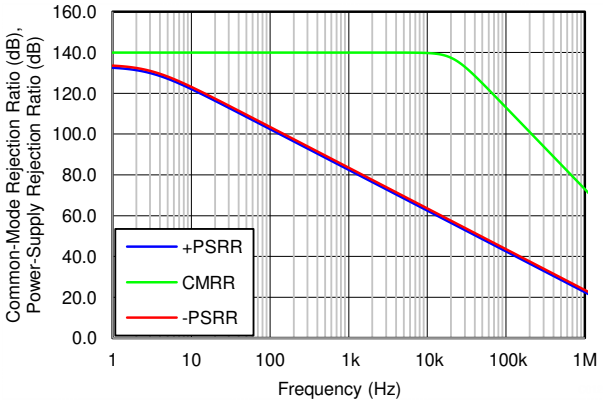


图 5-19. CMRR 和 PSRR 与频率间的关系

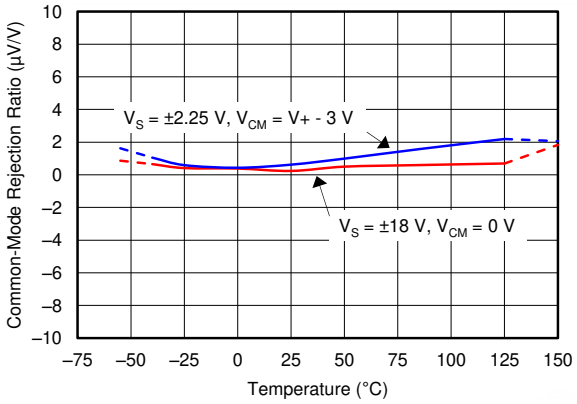


图 5-20. CMRR 与温度间的关系

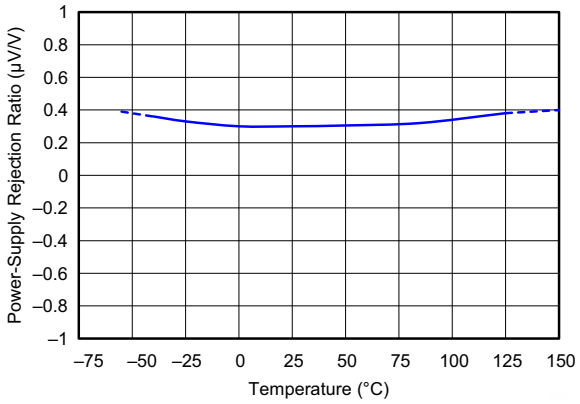


图 5-21. PSRR 与温度间的关系

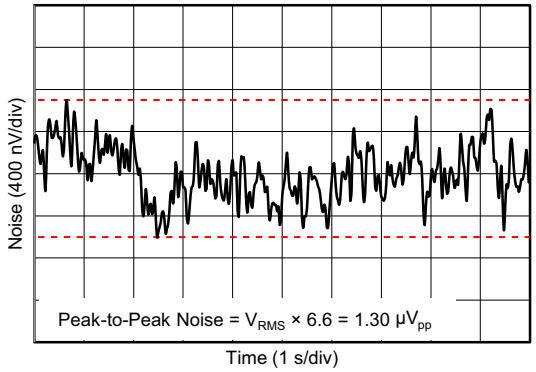


图 5-22. 0.1Hz 至 10Hz 噪声

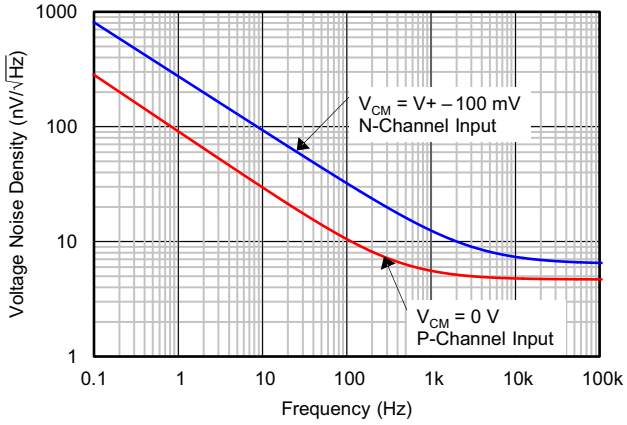


图 5-23. 输入电压噪声频谱密度与频率间的关系

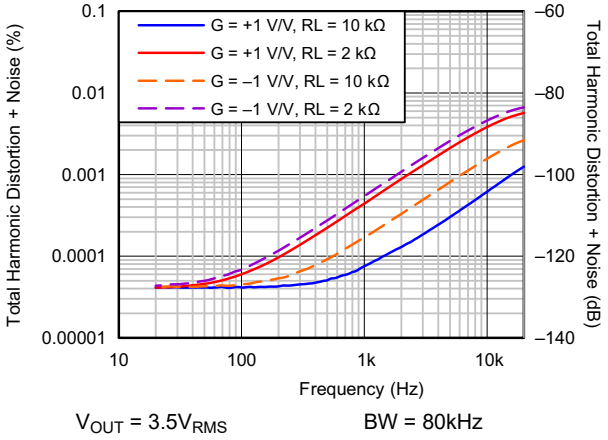


图 5-24. THD+N 比与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性（续）

在 T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（连接至 V_S/2），且 C_L = 100pF 的条件下测得（除非另有说明）

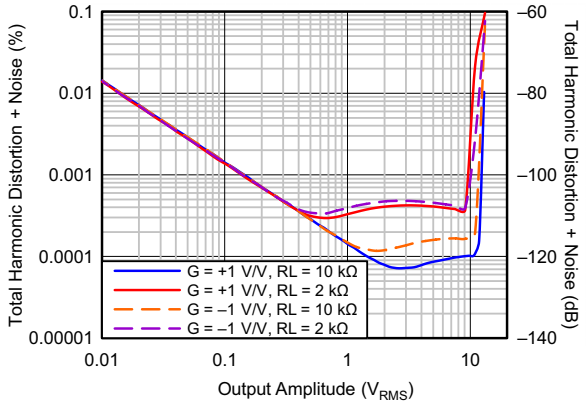


图 5-25. THD+N 与输出幅度间的关系

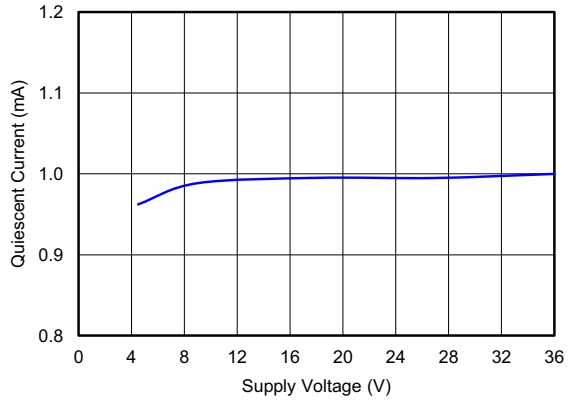


图 5-26. 静态电流与电源电压间的关系

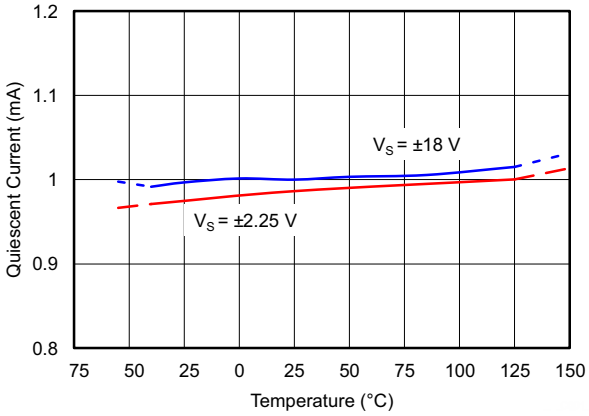


图 5-27. 静态电流与温度间的关系

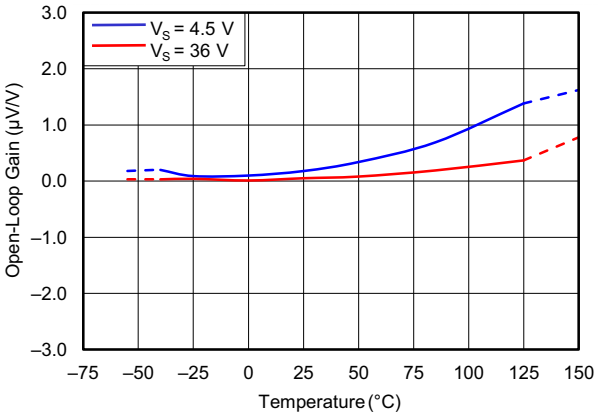


图 5-28. 开环增益与温度间的关系

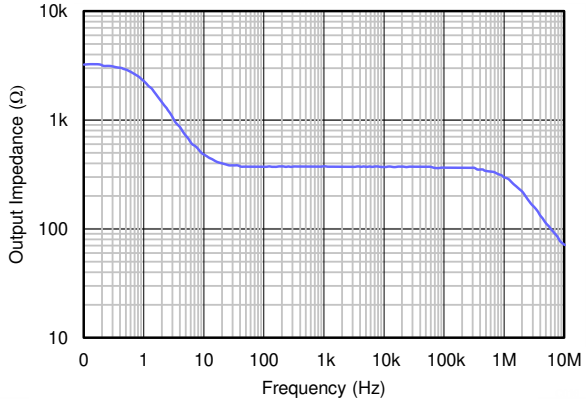


图 5-29. 开环输出阻抗与频率间的关系

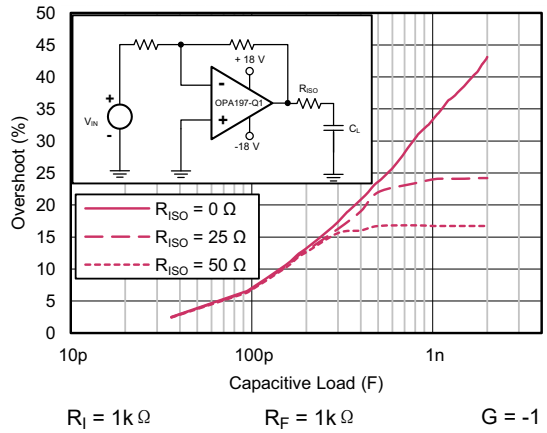


图 5-30. 小信号过冲与容性负载间的关系（100mV 输出阶跃）

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性（续）

在 T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（连接至 V_S/2），且 C_L = 100pF 的条件下测得（除非另有说明）

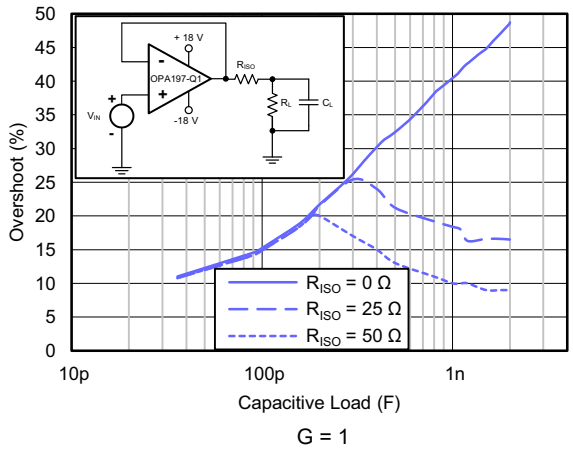


图 5-31. 小信号过冲与容性负载间的关系（100mV 输出阶跃）

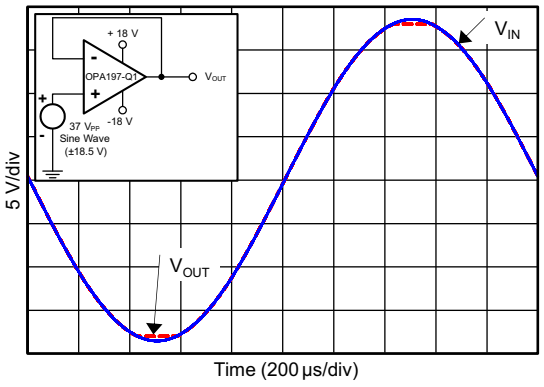


图 5-32. 无相位反转

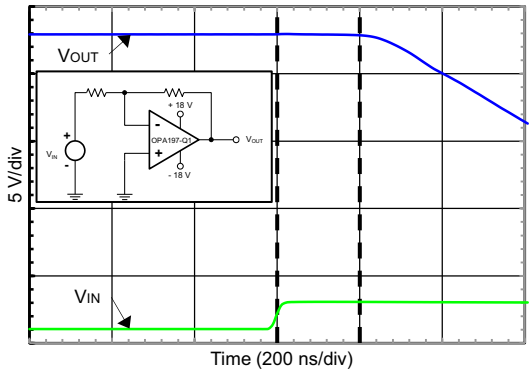


图 5-33. 正过载恢复

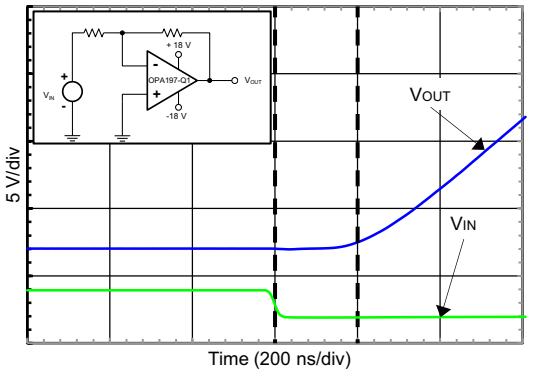


图 5-34. 负过载恢复

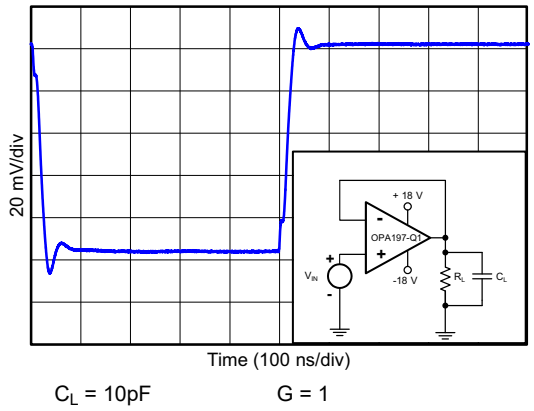


图 5-35. 小信号阶跃响应 (100mV)

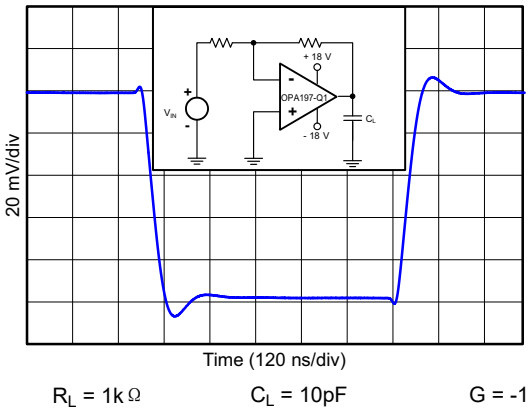


图 5-36. 小信号阶跃响应 (100mV)

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性（续）

在 T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（连接至 V_S/2），且 C_L = 100pF 的条件下测得（除非另有说明）

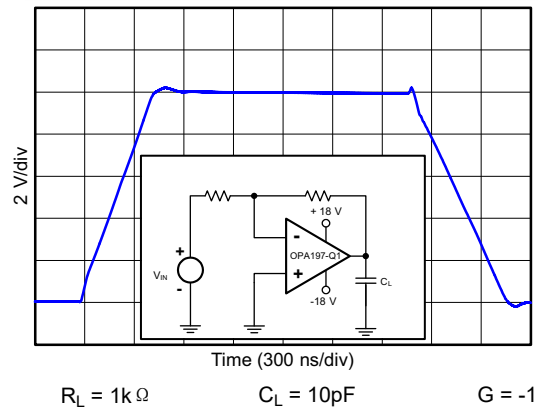


图 5-37. 大信号阶跃响应

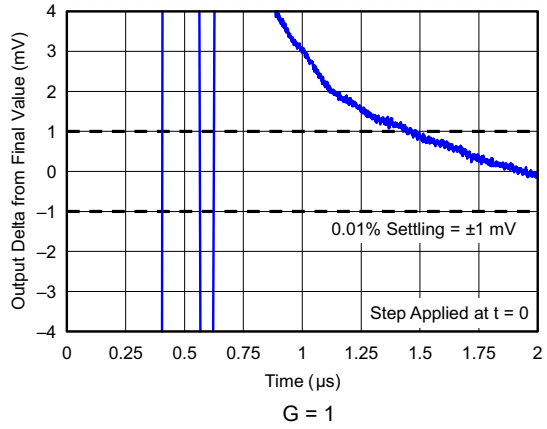


图 5-38. 趋稳时间（10V 正阶跃）

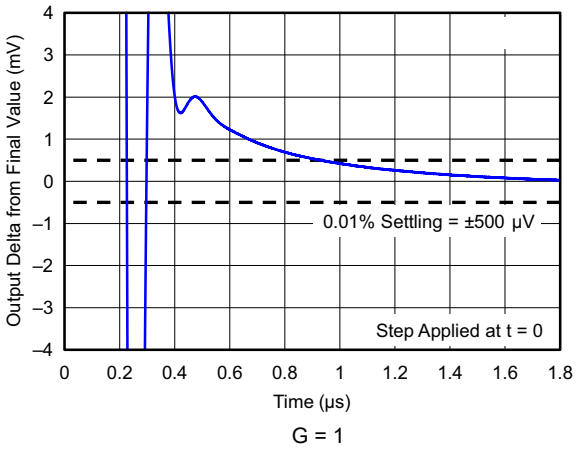


图 5-39. 趋稳时间（5V 正阶跃）

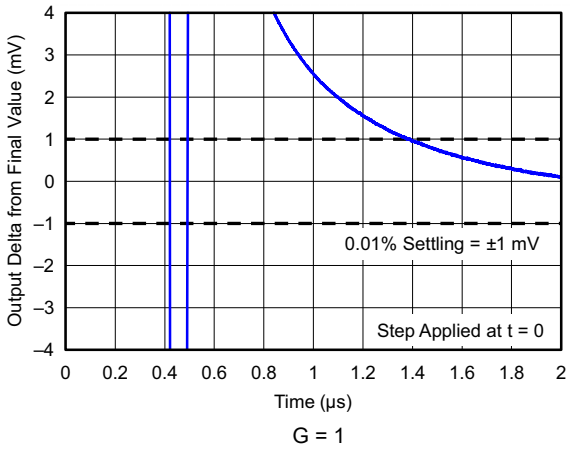


图 5-40. 趋稳时间（10V 负阶跃）

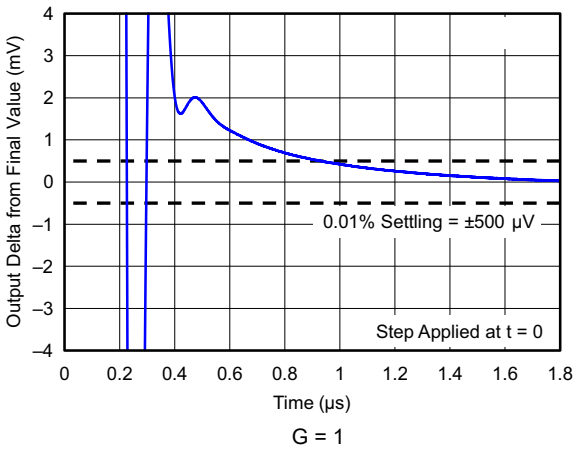


图 5-41. 趋稳时间（5V 负阶跃）

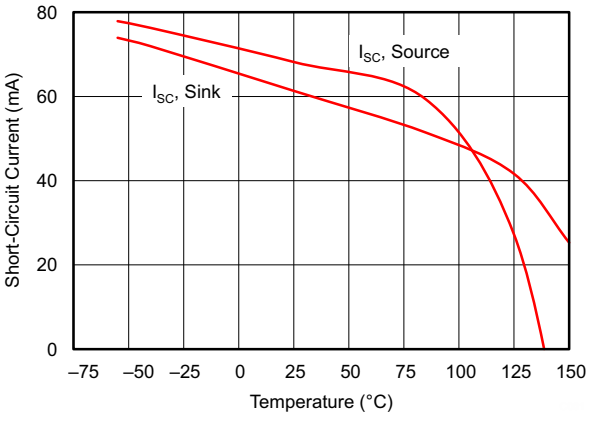


图 5-42. 短路电流与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.9 典型特性（续）

在 T_A = 25°C，V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（连接至 V_S/2），且 C_L = 100pF 的条件下测得（除非另有说明）

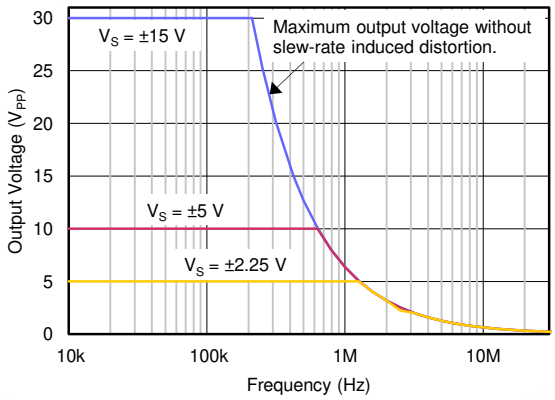


图 5-43. 最大输出电压与频率间的关系

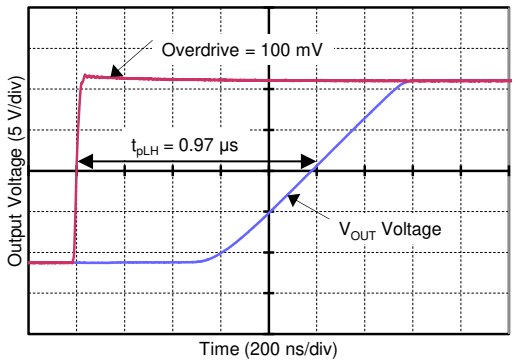


图 5-44. 传播延迟上升沿

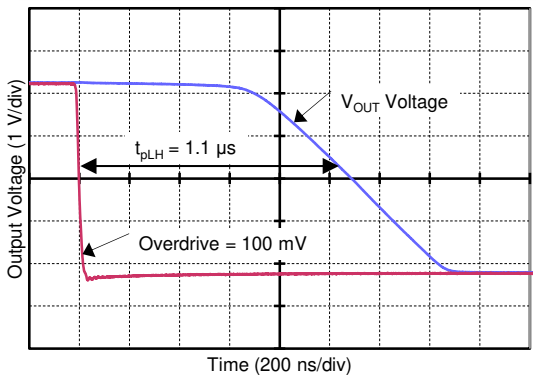


图 5-45. 传播延迟下降沿

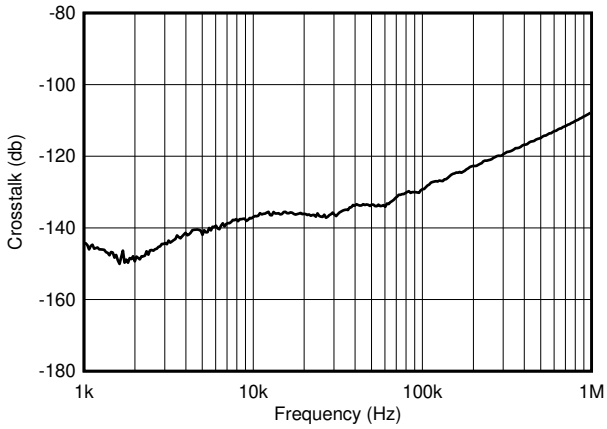


图 5-46. 串扰与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

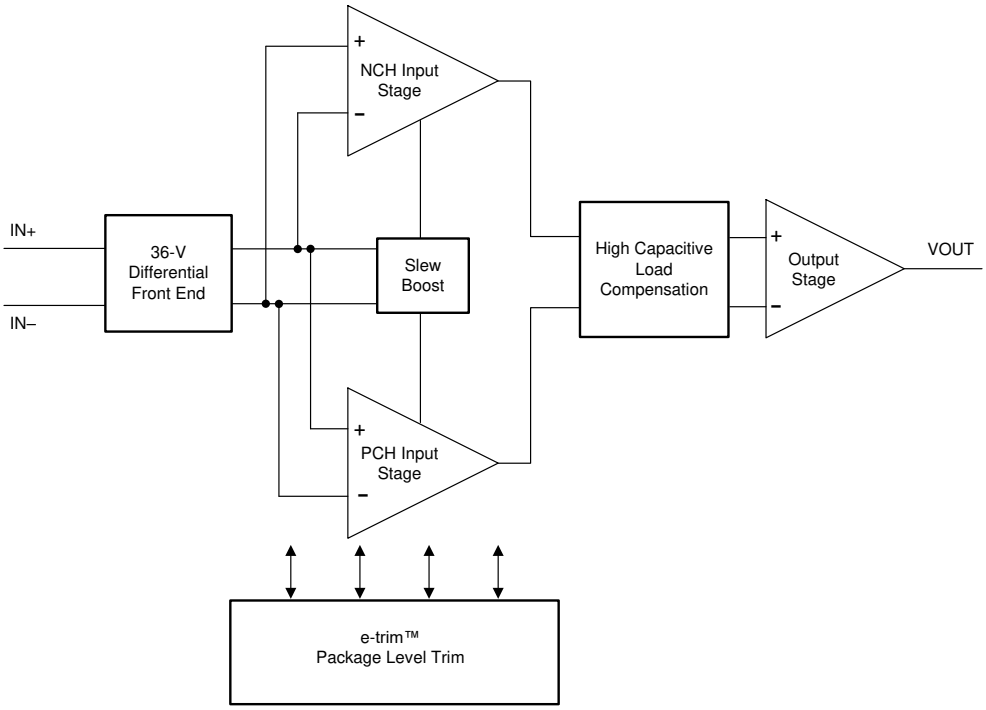
6 详细说明

6.1 概述

OPAx197-Q1 系列 e-trim 运算放大器使用专有的封装级修整方法，在塑模成型工艺之后的最后制造步骤中实现偏移和偏移温度漂移。该方法可更大限度地减少固有的输入晶体管不匹配的影响和在封装成型过程中引入的误差。修整通信发生在标准引脚排列的输出引脚上，并且在设置修整点后，会永久禁用与修整结构的进一步通信。*节 6.2* 显示了 OPAx197-Q1 的简单示意图。

与以往的 e-trim 运算放大器不同，OPAx197-Q1 使用获得专利的双温度修整架构，在整个额定温度范围内可实现 25μV（最大值）的极低偏移电压和 0.5μV/°C 的低偏移电压温漂。这种在宽电源电压下的精密性能水平使得这些放大器特别适用于高阻抗工业传感器、滤波器和高压数据采集系统。

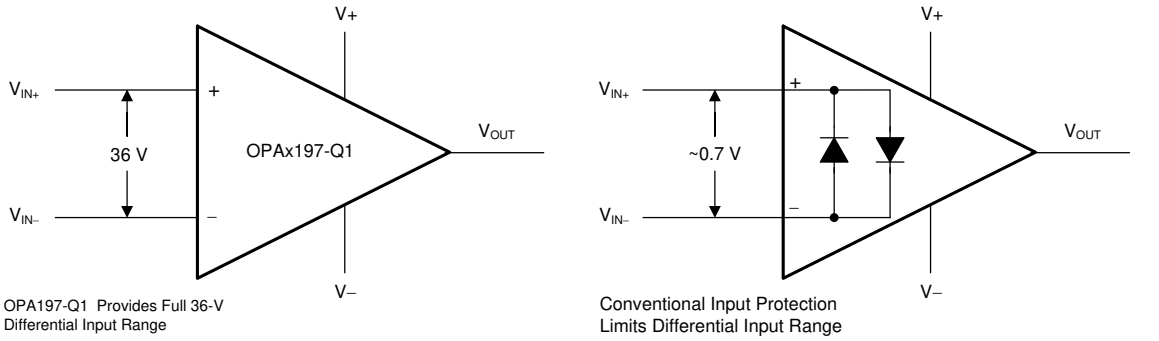
6.2 功能方框图



6.3 特性说明

6.3.1 输入保护电路

OPAx197-Q1 使用独特的输入架构，消除了对输入保护二极管的需求，但在瞬态情形下仍能提供可靠的输入保护。可以通过快速瞬态阶跃响应来激活图 6-1 中所示的常规输入二极管保护方案，但由于替代电流路径，这将引入信号失真和趋稳时间延迟，如图 6-2 所示。对于低增益电路，这些快速斜升输入信号会使背对背二极管正向偏置，这会导致输入电流增加，进而使趋稳时间延长，如图 6-3 所示。



Copyright © 2018, Texas Instruments Incorporated

图 6-1. OPAx197-Q1 输入保护不限制差分输入能力

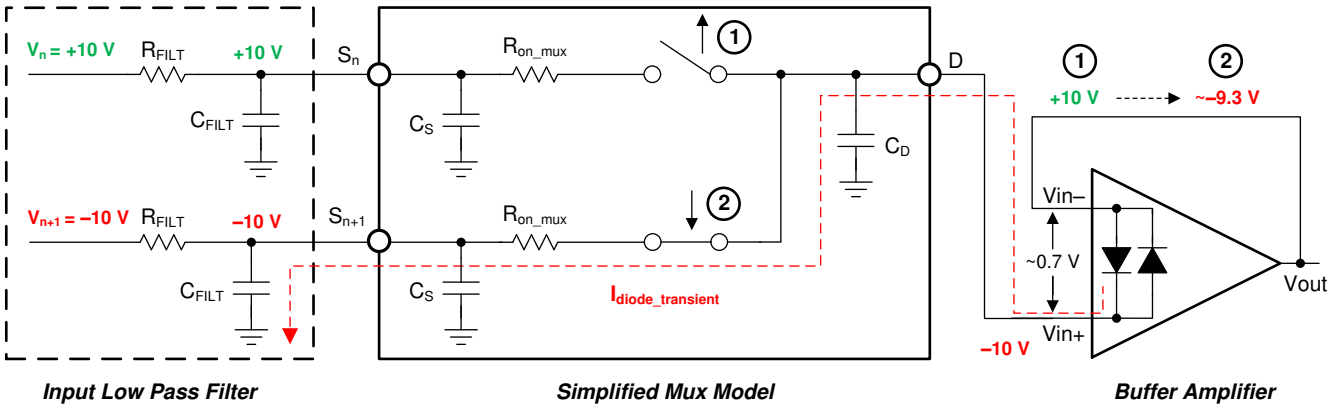


图 6-2. 背对背二极管造成稳定问题

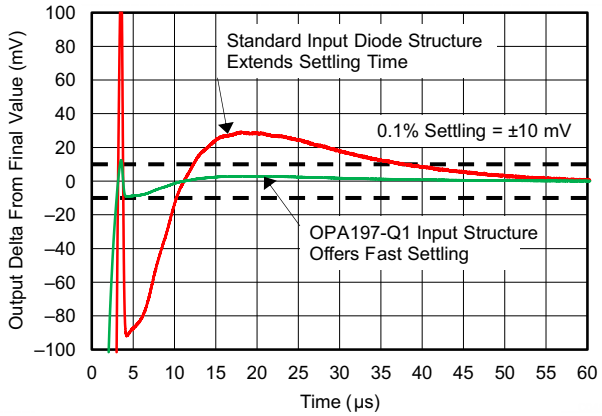


图 6-3. OPAx197-Q1 保护电路保持快速稳定瞬态响应

Copyright © 2026 Texas Instruments Incorporated

OPAx197-Q1 系列运算放大器为高压应用提供真正的高阻抗差分输入能力。这种获得专利的输入保护架构不会引入额外的信号失真或趋稳时间延迟，使这些器件成为非常适合多通道、高开关输入应用的运算放大器。OPAx197-Q1 可以承受高达 36V 的最大差分摆幅（运算放大器的反相和非反相引脚之间的电压），使这些器件非常适合用作比较器或用于具有快速斜升输入信号的应用（如多路复用数据采集系统）（请参阅图 7-1）。

6.3.2 EMI 抑制

OPAx197-Q1 使用集成电磁干扰 (EMI) 滤波功能来降低干扰源（如无线通信设备以及混合使用模拟信号链和数字元件的高密度电路板）产生的 EMI 效应。利用电路设计技术可以提高 EMI 抗扰度；OPAx197-Q1 可从这些设计改进中受益。德州仪器 (TI) 已具备在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的能力。图 6-4 展示了对 OPAx197-Q1 执行此测试的结果。表 6-1 展示了 OPAx197-Q1 在实际应用中常见特定频率下的 EMIRR IN+ 值。表 6-1 中列出的应用可在下图所示的特定频率或其近似频率下运行。有关详细信息，也可参阅 TI 应用报告*运算放大器的 EMI 抑制比*，可从 www.ti.com 下载此报告。

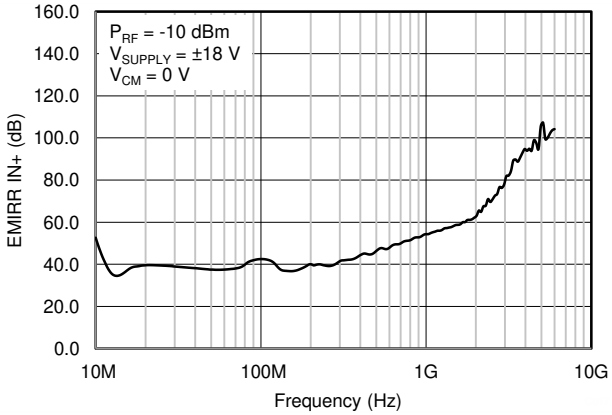


图 6-4. EMIRR 测试

表 6-1. OPAx197-Q1 在相关频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	44.1dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS（最高可达 1.6GHz）、GSM、航空移动通信及 UHF 应用	52.8dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段（1GHz 至 2GHz）	61.0dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	69.5dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	88.7dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段（4GHz 至 8GHz）	105.5dB

Copyright © 2026 Texas Instruments Incorporated

6.3.3 反相保护

OPAx197-Q1 系列具有内部相位反转保护。当输入被驱动至超过其线性共模范围时，很多运算放大器都会出现相位反转。这是同相电路中输入驱动超出额定共模电压范围时的最常见的现象，会导致输出反向进入相对的电源轨。OPAx197-Q1 是一款轨至轨输入运算放大器；因此，共模范围可扩展至电源轨。电源轨之外的输入信号不会导致相位反转；相反，输出限制在适当的电源轨中。图 6-5 中展示了这个特性。

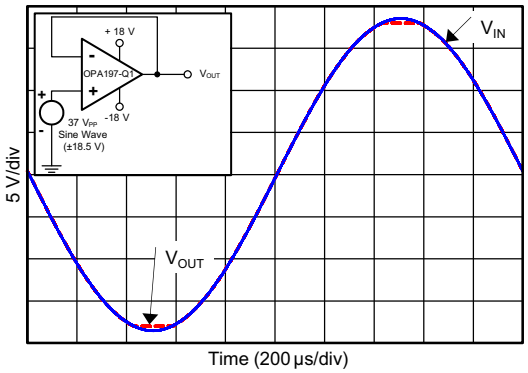


图 6-5. 无相位反转

6.3.4 过热保护

任何放大器的内部功耗都会导致内部温度（结温）升高。这一现象称为*自热*。OPAx197-Q1 的绝对最大结温为 150°C，超过此最大温度会损坏该器件。OPAx197-Q1 具有热保护功能，可防止自热造成损坏。具体的保护方式是，监测器件的温度，一旦温度超过 140°C，则关闭运算放大器的输出驱动器。图 6-6 显示了 OPAx197-Q1 的一个应用示例，该应用因为其功率耗散 (0.81W) 而会产生显著的自热 (159°C)。热计算表明，在 65°C 环境温度下，器件结温一定会达到 187°C。不过，实际器件会关闭输出驱动以保持安全的结温。图 6-6 展示了电路在过热保护期间的行为。在正常工作期间，器件充当缓冲器，因此输出为 3V。当自热导致器件结温升高超过 140°C 时，过热保护强制输出进入高阻抗状态，并通过电阻 RL 将输出拉至接地。

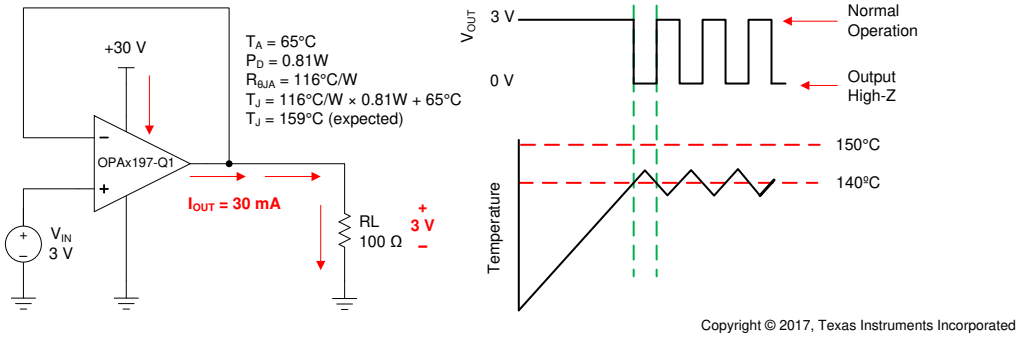


图 6-6. 过热保护

Copyright © 2026 Texas Instruments Incorporated

6.3.5 容性负载和稳定性

OPAx197-Q1 具有获得专利的输出级，能够驱动大容性负载，并且在单位增益配置下可直接驱动高达 1nF 的纯容性负载。增加增益可增强这些放大器驱动更大容性负载的能力；请参阅图 6-7 和图 6-8。当确定放大器在运行中能否保持稳定时，需要考虑特定运算放大器电路配置、布局、增益和输出负载等因素。

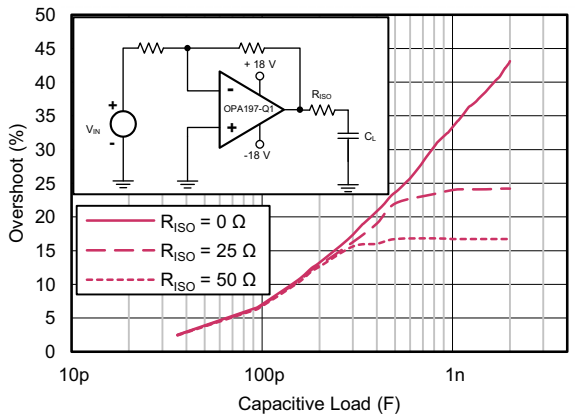


图 6-7. 小信号过冲与容性负载间的关系（100mV 输出阶跃）

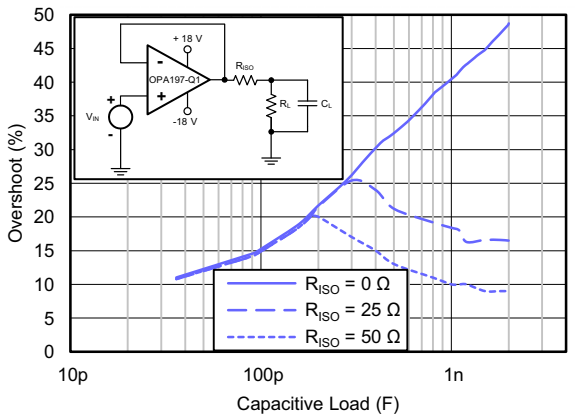


图 6-8. 小信号过冲与容性负载间的关系（100mV 输出阶跃）

若要增加单位增益配置下的驱动能力，可插入一个较小的（10Ω 至 20Ω）电阻器 R_{ISO}，使其与输出串联，如图 6-9 所示，以此来提高容性负载驱动能力。此电阻器可显著减少振铃，并保持纯容性负载的直流性能。但是，如果电阻负载与容性负载并联，则会产生一个电压分压器，从而在输出端引入增益误差并略微减小输出摆幅。引入的误差与 R_{ISO} / R_L 的比率成正比，在低输出电平下通常可忽略不计。高容性负载驱动使 OPAx197-Q1 非常适合基准缓冲器、MOSFET 栅极驱动器和电缆屏蔽驱动器等应用。图 6-9 中所示的电路采用隔离电阻器 R_{ISO} 来稳定运算放大器的输出。R_{ISO} 会修改系统的开环增益，因而能够带来更高的相位裕度，表 6-2 中总结了使用 OPAx197-Q1 的结果。有关使用该电路进行优化和设计的技巧的其他信息，TI 精密设计 TIPD128 详述了完整的设计目标、仿真和测试结果。

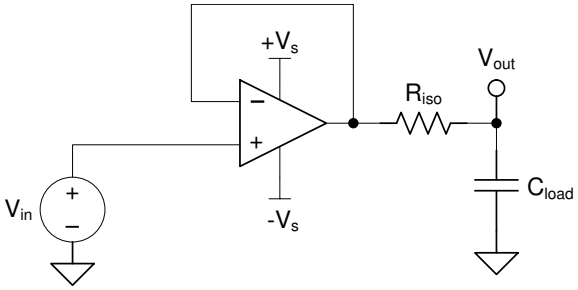


图 6-9. 使用 OPAx197-Q1 扩展容性负载驱动

表 6-2. 使用隔离电阻器的 OPAx197-Q1 容性负载驱动解决方案的计算及测量结果比较

参数	值									
容性负载	100pF		1000pF		0.01µF		0.1µF		1µF	
相位裕度	45°	60°	45°	60°	45°	60°	45°	60°	45°	60°
R_{ISO} (Ω)	47	360	24	100	20	51	6.2	15.8	2	4.7
测得的过冲 (%)	23.2 8.6	10.4	22.5	9	22.1	8.7	23.1	8.6	21	8.6
PM 计算值	45.1°	58.1°	45.8°	59.7°	46.1°	60.1°	45.2°	60.2°	47.2°	60.2°

有关分步设计程序、电路原理图、物料清单、印刷电路板 (PCB) 文件、仿真结果和测试结果，请参阅 TI 精密设计 TIPD128 *使用隔离电阻器的容性负载驱动解决方案*。

6.3.6 共模电压范围

OPAx197-Q1 是 36V 的真正轨到轨输入运算放大器，其输入共模范围在任一电源轨上向外扩展了 100mV。此宽范围通过并联互补的 N 沟道和 P 沟道差分输入对实现的，如图 6-10 所示。当输入电压接近正电源轨，通常比正电源高 (V+) – 3V 到 100mV 时，N 沟道对有效。当输入电压为低于负电源电压 100mV 到大约 (V+) – 1.5V 时，P 沟道对有效。其切换区域较小，通常为 V+) –3V to (V+) – 1.5V，这时两个输入对都处于开启状态。此切换区域可随着过程的变化而适度变化，而且在该区域内，PSRR、CMRR、偏移电压、温漂、噪声和 THD 性能可能会比在该区域外操作时有所下降。

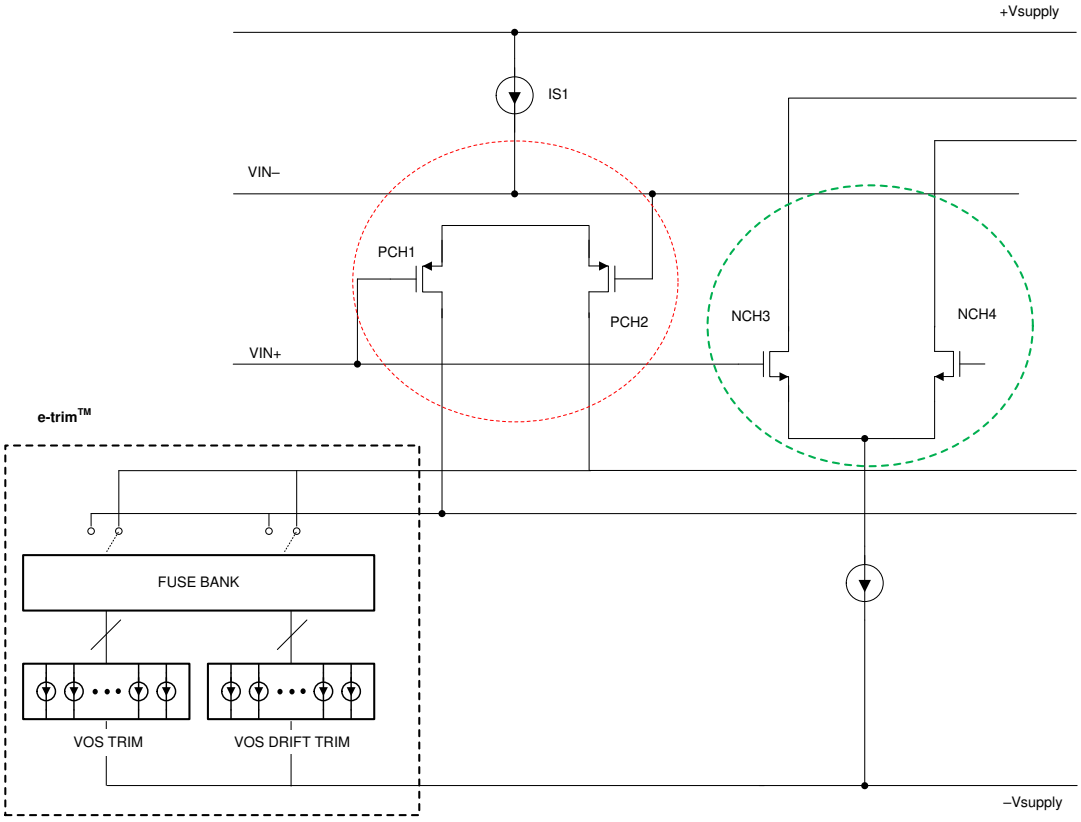


图 6-10. 轨到轨输入级

Copyright © 2026 Texas Instruments Incorporated

为实现两级轨到轨输入放大器的最佳性能，应尽可能避免转换区域。OPAx197-Q1 对 N 沟道和 P 沟道区域都使用了精密修整。与上一代器件相比，该技术可以实现明显更低的偏移电压水平，从而导致输入级切换区域的变化相对于整个共模范围内的偏移电压显得过大，如图 6-11 所示。

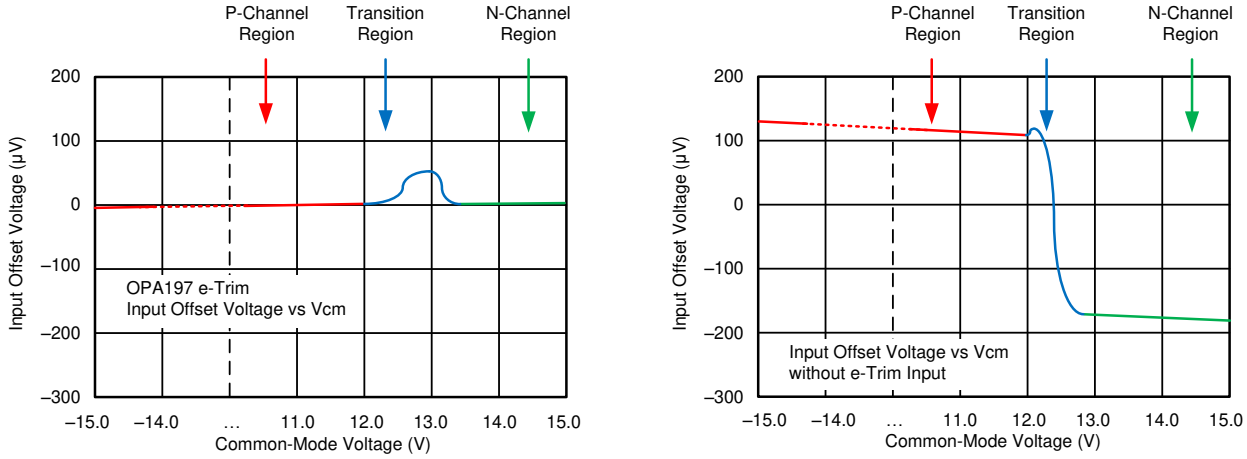


图 6-11. 共模转换与标准轨到轨放大器

6.3.7 电过应力

设计人员常常会问到有关运算放大器承受电气过应力 (EOS) 的能力的问题。这些问题的重点在于器件输入，但同时也会涉及电源引脚甚至是输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路及其与电气过应力事件的关联性会有所帮助。图 6-12 展示了 OPAx197-Q1 中包含的 ESD 电路（用虚线区域指示）。ESD 保护电路涉及从输入和输出引脚连接并路由回内部供电线路的数个导流二极管，其中二极管在吸收器件或电源 ESD 单元（运算放大器的内在部分）处相接。该保护电路在电路正常工作时处于未运行状态。

Copyright © 2026 Texas Instruments Incorporated

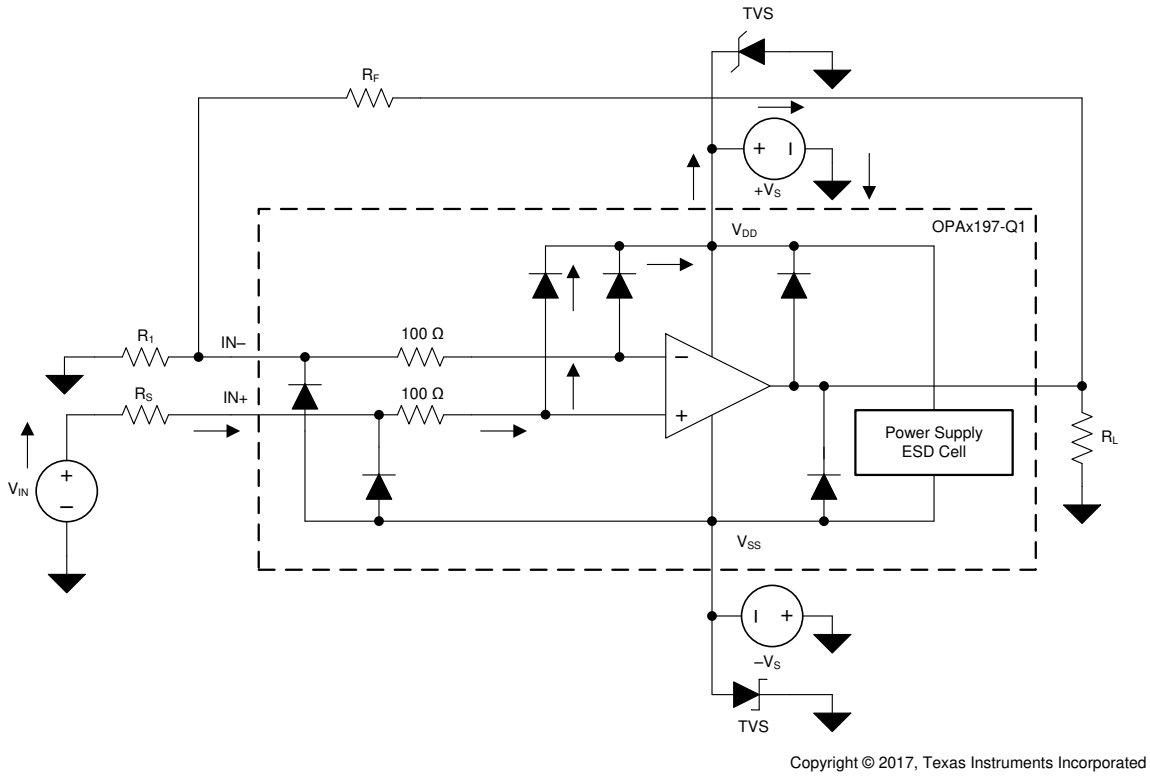


图 6-12. 与典型电路应用相关的等效内部 ESD 电路

ESD 事件持续时间非常短，电压非常高（例如，1kV，100ns），而 EOS 事件持续时间长，电压较低（例如，50V，100ms）。ESD 二极管设计用于电路外 ESD 保护（即在器件被焊接到 PCB 上之前的组装、测试和贮存阶段）。在 ESD 事件中，ESD 信号通过 ESD 导流二极管传递给吸收电路（列为 ESD 电源电路）。ESD 吸收电路将电源钳制在一个安全的水平。

尽管这种行为对于电路外保护来说是必要的，但如果在电路内激活，则会导致过流和损坏。瞬态电压抑制器 (TVS) 可用于防止电路内 ESD 事件中因打开 ESD 吸收电路而导致的损坏。使用适当的限流电阻和 TVS 二极管则允许使用器件 ESD 二极管来防止 EOS 事件。

6.3.8 过载恢复

过载恢复的定义是运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间返回到线性状态。当电荷载体返回到线性状态时，器件开始以指定的压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。OPAx197-Q1 的过载恢复时间大约为 200ns。

6.4 器件功能模式

OPAx197-Q1 具有单一功能模式，可在电源电压大于 4.5V (±2.25V) 时正常工作。OPAx197-Q1 的最大电源电压为 36V (±18V)。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

OPAx197-Q1 系列具有出色的直流精度和交流性能。这些器件的工作电压高达 36V，并提供了真正的轨到轨输入和输出、超低偏移电压、偏移电压漂移以及 10MHz 带宽和高容性负载驱动能力。
这些特性使 OPAx197-Q1 成为一款适用于高电压工业应用且稳定可靠的高性能运算放大器。

7.2 典型应用

7.2.1 16 位精度多路复用数据采集系统

图 7-1 显示了一种 16 位、4 通道差分多路复用数据采集系统。该示例常见于需要低失真和高压差分输入的工业应用。电路中使用了一个 16 位 400kSPS 逐次逼近型电阻器 (SAR) 模数转换器 (ADC) ADS8864，还使用了一个精密高压信号调理前端和一个 4 通道差分多路复用器。此 TI 精密设计详细描述了通过使用 OPAx197-Q1 和 OPA140 来优化精密高压前端驱动电路，并搭配 ADS8864 来实现出色的动态性能和线性度。

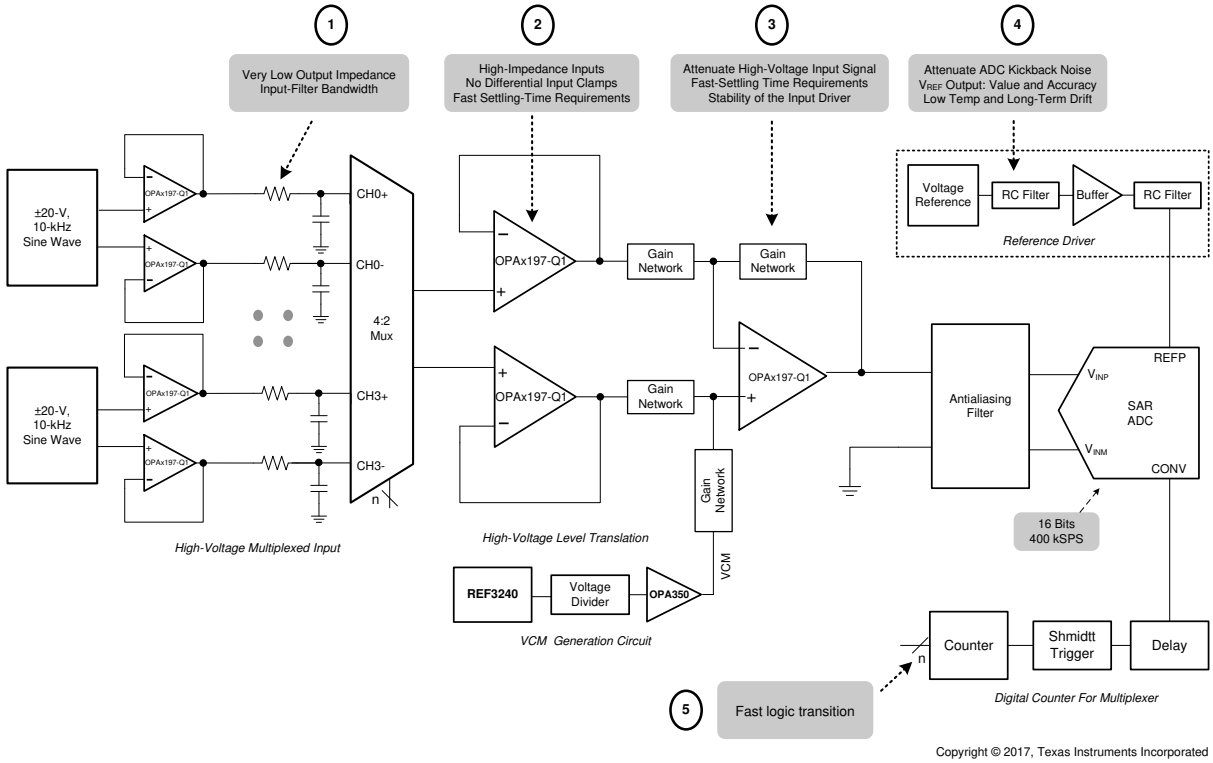


图 7-1. 16 位 400kSPS 4 通道多路复用数据采集系统采用 OPAx197-Q1，可实现高电压输入和超低失真

7.2.1.1 设计要求

主要目标是设计一个 ±20V、差分、4 通道、多路复用的数据采集系统，采用 16 位 ADS8864，在 400kSPS 的吞吐量下对 10kHz 满量程纯正弦波输入实现最低失真。针对这个块设计的设计需求为：

- 系统电源电压：±15V
- ADC 电源电压：3.3V

- ADC 采样率：400kSPS
- ADC 参考电压 (REFP)：4.096V
- 系统输入信号：将峰值振幅为 10V，频率 (f_{IN}) 为 10kHz 的高压差分输入信号施加到多路复用器的每个差分输入端。

7.2.1.2 详细设计过程

该精密设计的目的是设计一个出色的高电压多路复用数据采集系统，以实现更高的系统线性度和快速的稳定时间。总系统方框图如图 7-1 所示。该电路是一个多通道数据采集信号链，由输入低通滤波器、多路复用器、多路复用器输出缓冲器、衰减 SAR ADC 驱动器、多路复用数字计数器和基准驱动器组成。该架构允许使用单个 ADC 对多个通道进行快速采样，从而提供低成本的解决方案。尽可能提高精密多路复用数据采集系统的性能需考虑两个主要设计因素，一个是多路复用器输入模拟前端，另一个是高压电平转换 SAR ADC 驱动器设计。但是，只有根据 ADC 性能规范精心设计每个模拟电路块，才能实现在 16 位分辨率下的最快稳定性能和最低失真系统。图 7-1 包含针对每个单独模拟块的最主要的技术规格。

本设计系统地接近每个模拟电路块，以实现满量程输入级电压的 16 位稳定性能以及每个输入通道上 10kHz 正弦输入信号的线性度。设计的第一步是了解对多路复用器极低阻抗输入滤波器设计的要求。了解此要求有助于决定适当的输入滤波器和选择多路复用器，以满足系统的稳定要求。下一个重要步骤是设计衰减模拟前端 (AFE)，用于在保持放大器稳定性的同时，将高压输入信号电平转换为低压 ADC 输入。再下一步是设计一个数字接口，以最小的延迟来切换多路复用输入通道。最终的设计挑战是设计一个高精度基准驱动电路，该电路提供所需的 REEP 基准电压，并且偏移、温漂和噪声影响低。

> 有关分步设计过程、电路原理图、物料清单、PCB 文件、模拟结果和测试结果，请参阅 TI 精密设计 TIPD151 - *具有超低失真的 16 位 400kSPS 4 通道多路复用高电压输入数据采集系统*。

7.2.1.3 应用曲线

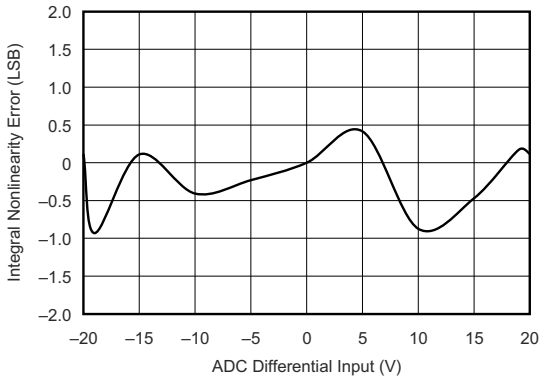
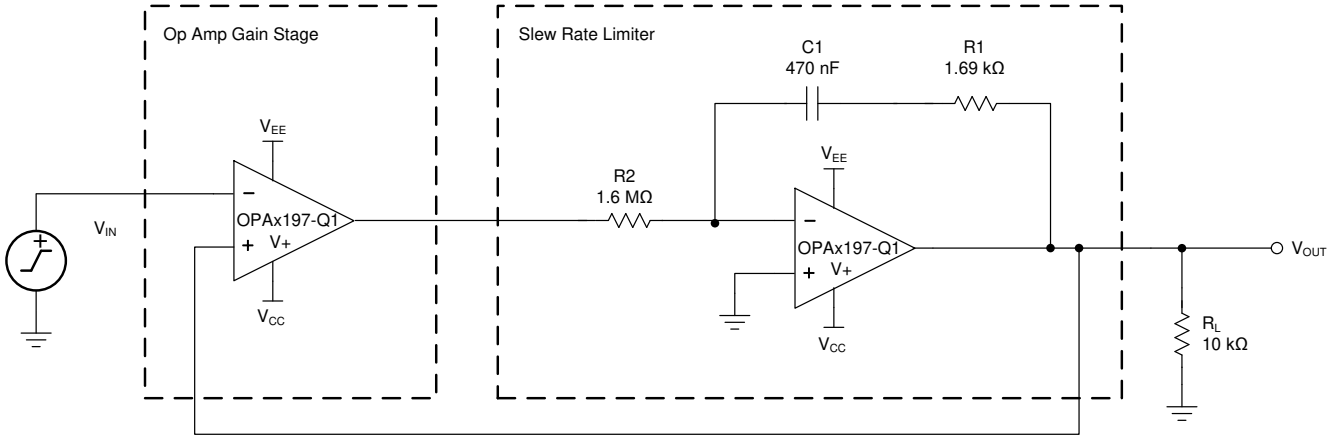


图 7-2. 多路复用数据采集块的 ADC 16 位线性误差

7.2.2 用于输入保护的转换率限制

在阀门或马达控制系统中，电压或电流的突变会导致机械损伤。通过控制驱动电路中的电压给定的压摆率，负载电压会以安全的速度上升和下降。对于对称压摆率应用（正压摆率等于负压摆率），一个额外的运算放大器为一个给定的模拟增益电路提供压摆率控制。OPAx197-Q1 具有独特的输入保护、高输出电流以及转换率，使其成为在单电源和双电源系统中实现转换率控制的理想放大器。图 7-3 展示了转换率限制设计中的 OPAx197-Q1。

Copyright © 2026 Texas Instruments Incorporated



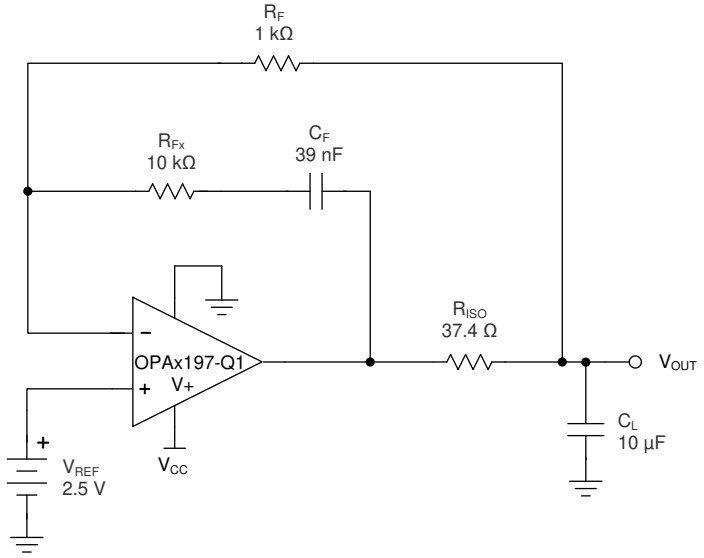
Copyright © 2017, Texas Instruments Incorporated

图 7-3. 采用一个运算放大器的转换率限制器

有关分步设计程序、电路原理图、物料清单、PCB 文件、仿真结果和测试结果，请参阅 TI 精密设计 TIPD140，*采用一个运算放大器的转换率限制器*。

7.2.3 精密基准缓冲区

OPAx197-Q1 具有高输出电流驱动能力和低输入偏移电压，因此这些器件是出色的基准缓冲器，可提供精确的缓冲输出，并具有充足的瞬态驱动电流。对于图 7-4 中所示的 10μF 陶瓷电容器，使用一个 37.4 Ω 的隔离电阻器 (R_{ISO}) 将两条反馈路径隔离，以实现最佳稳定性。反馈路径 1 穿过 R_F，直接连接到输出端 (V_{OUT})。反馈路径 2 穿过 R_{Fx} 和 C_F，连接到运算放大器的输出端。对于 10μF 负载，所示的优化稳定性元件能够在 V_{OUT} 下提供 4kHz 的闭环信号带宽，同时仍能提供 89° 的环路增益相位裕度。任何其他负载电容都需要重新计算稳定性元件。R_F、R_{FX}、C_F 和 R_{ISO}。



Copyright © 2017, Texas Instruments Incorporated

图 7-4. 精密基准缓冲区

7.3 电源相关建议

OPAx197-Q1 的额定工作电压为 4.5V 至 36V（±2.25V 至 ±18V）；多种规格适用于 –40°C 至 +125°C 的温度范围。*节 5.9* 中介绍了随工作电压或温度变化而显著变化的参数。

小心

电源电压超过 40V 会对器件造成损坏；请参阅*绝对最大额定值*。

将 0.1 µF 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。有关旁路电容器放置的更多详细信息，请参阅 *节 7.4*。

7.4 布局

7.4.1 布局指南

为了实现器件的出色工作性能，请采用良好的 PCB 布局实践，包括：

- 噪声可以通过整个电路的电源引脚和运算放大器本身传入模拟电路中。旁路电容用于通过为局部模拟电路提供低阻抗电源，以降低耦合噪声。
  - 在每个电源引脚和接地端之间连接低 ESR 0.1μF 陶瓷旁路电容器，放置位置尽量靠近器件。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。

Copyright © 2026 Texas Instruments Incorporated

- 将电路中的模拟部分和数字部分单独接地是最简单、最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和减少 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。
- 为了减少寄生耦合，请让输入布线尽可能远离电源或输出布线。如果上述布线无法分离，则让敏感性布线与有噪声布线垂直交叉要远优于选择平行的布线方式。
- 外部元件应尽可能靠近器件放置。如图 7-6 所示，使 RF 和 RG 靠近反相输入，以更大限度地减小寄生电容。
- 尽可能缩短输入走线的长度。切记，输入布线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。
- 为获得出色性能，请在组装 PCB 板后对其进行清洁。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，将 PCB 组件烘干，以去除清洁时渗入器件封装中的湿气。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 布局示例

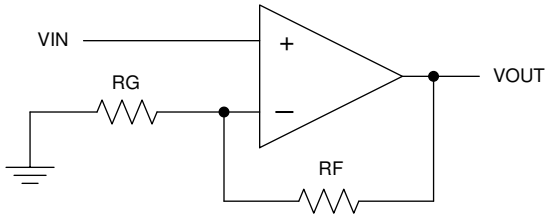


图 7-5. 原理图表示

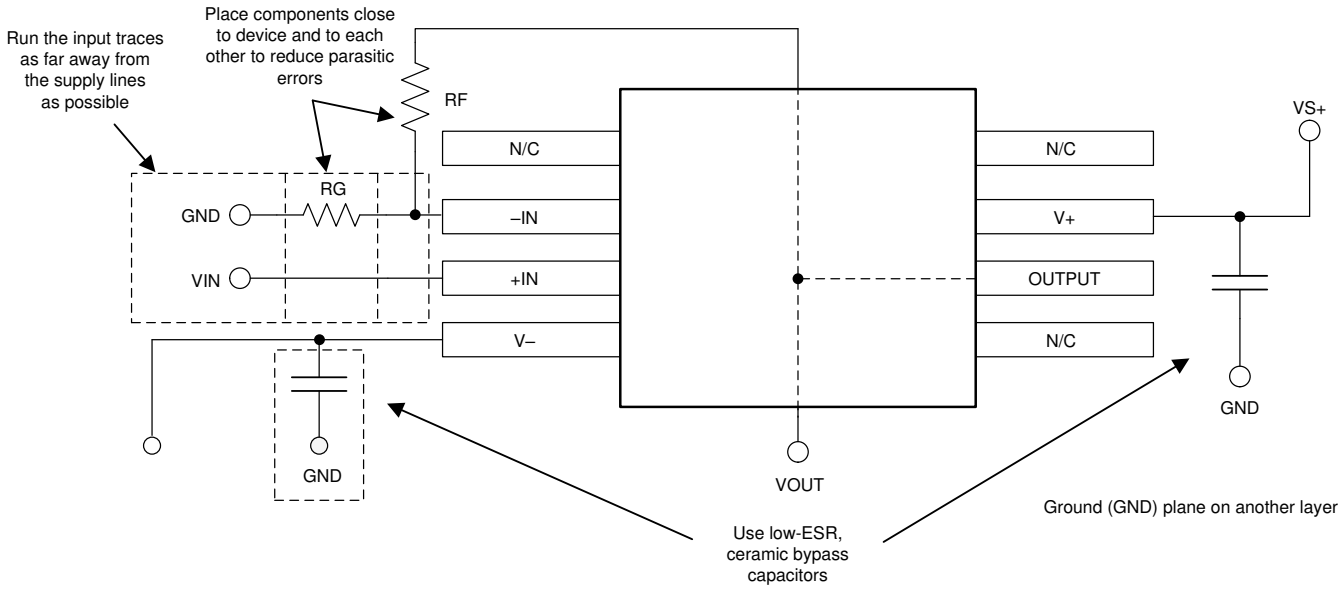


图 7-6. 同相配置的运算放大器电路板布局

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 TINA-TI™ 仿真软件（免费下载）

TINA™ 是一款基于 SPICE 引擎的 简单、功能强大且易于使用的电路仿真程序。TINA-TI™ 仿真软件是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，还预先载入了一个宏模型库。TINA-TI 仿真软件提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 仿真软件提供全面的后处理能力，便于用户以多种方式获得结果，用户可从 Analog eLab Design Center（模拟电子实验室设计中心）免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

这些文件要求安装 TINA 软件（从 DesignSoft™）或者 TINA-TI 软件。请从 TINA-TI 文件夹中下载免费的 TINA-TI 软件。

8.1.1.2 TI 精密设计

OPA197 采用多种德州仪器 (TI) 精密设计，有关内容可通过 http://www.ti.com/ww/en/analog/precision-designs/ 在线获取。TI 精密设计是由 TI 公司的精密模拟应用专家创建的模拟解决方案，提供了许多实用电路的工作原理、元件选择、模拟、完整 PCB 电路原理图和布局布线、物料清单以及性能测量结果。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*运算放大器的 EMI 抑制比 应用报告*
- 德州仪器 (TI)，*采用隔离电阻器的容性负载驱动器解决方案 参考设计*

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

Copyright © 2026 Texas Instruments Incorporated

8.5 商标

e-trim™, TINA-TI™, and TI E2E™ are trademarks of Texas Instruments.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (January 2021) to Revision B (June 2026)	Page
• 新增了 OPA4197-Q1 D 封装（14 引脚 SOIC）的量产数据	1

Changes from Revision * (March 2018) to Revision A (January 2021)	Page
• 添加了 OPA4197-Q1 和相关内容	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA197QDGKRQ1	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	197
OPA197QDGKRQ1.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	197
OPA2197QDGKRQ1	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2197
OPA2197QDGKRQ1.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	2197
OPA4197QDRQ1	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O4197QD
OPA4197QPWRQ1	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	O4197Q
OPA4197QPWRQ1.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	O4197Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA197-Q1, OPA2197-Q1, OPA4197-Q1 :

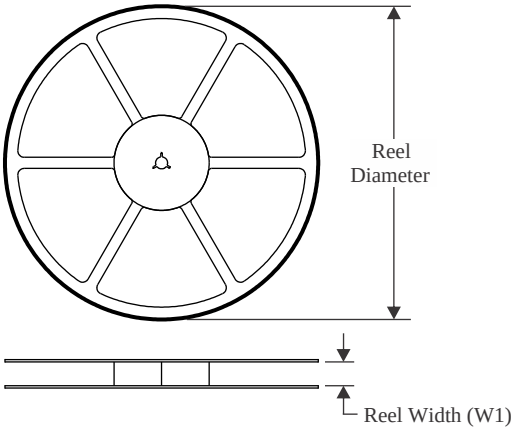
- Catalog : OPA197, OPA2197, OPA4197

NOTE: Qualified Version Definitions:

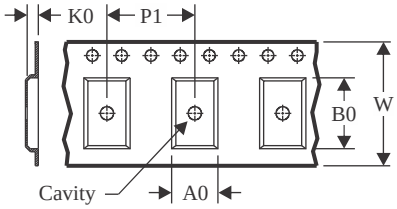
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

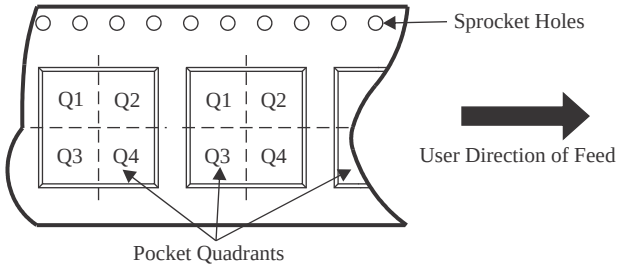


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

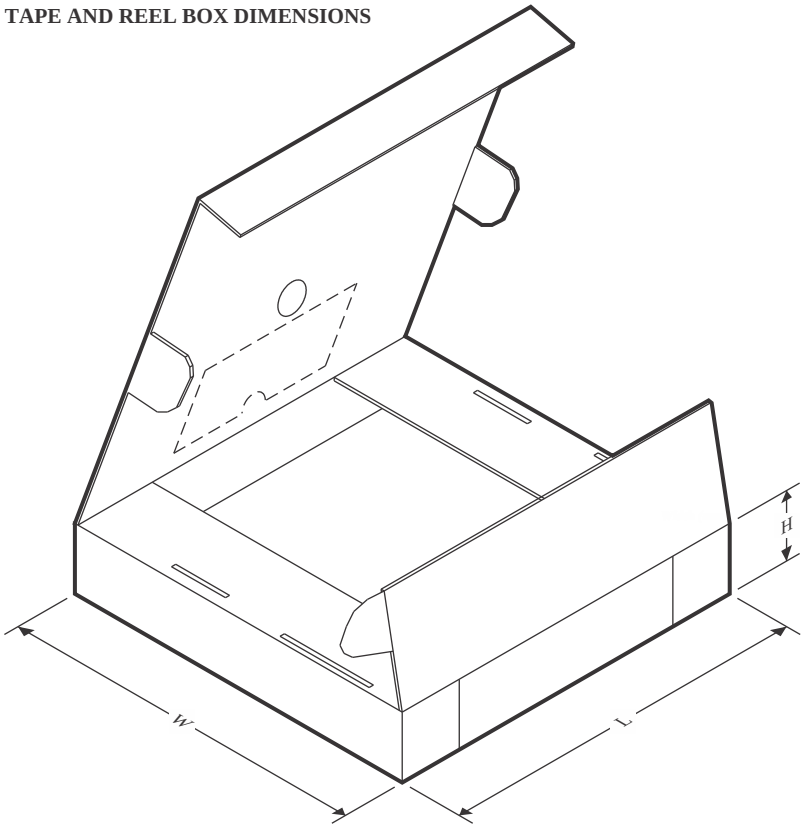
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA197QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2197QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA4197QDRQ1	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4197QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

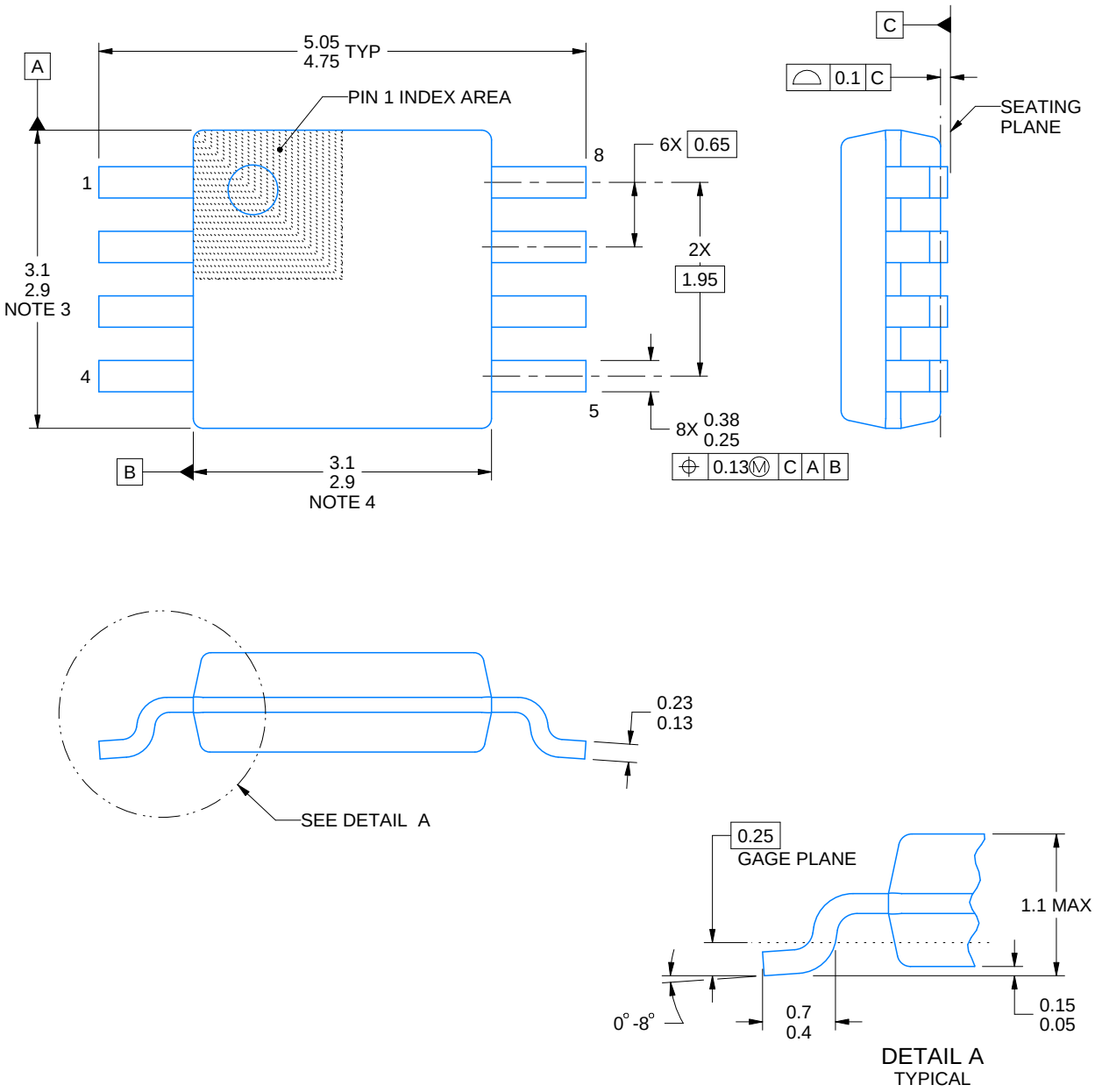
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA197QDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2197QDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA4197QDRQ1	SOIC	D	14	3000	353.0	353.0	32.0
OPA4197QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

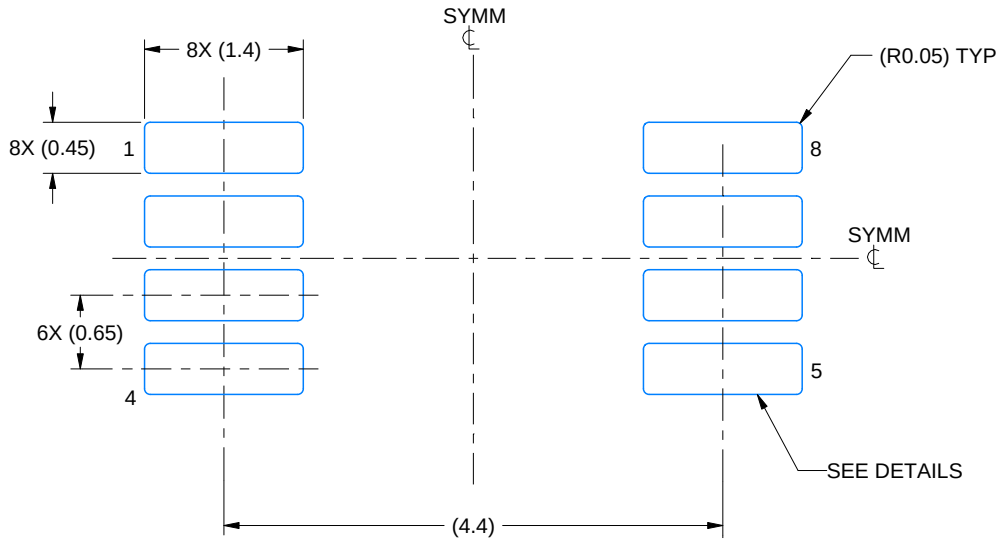
SMALL OUTLINE PACKAGE



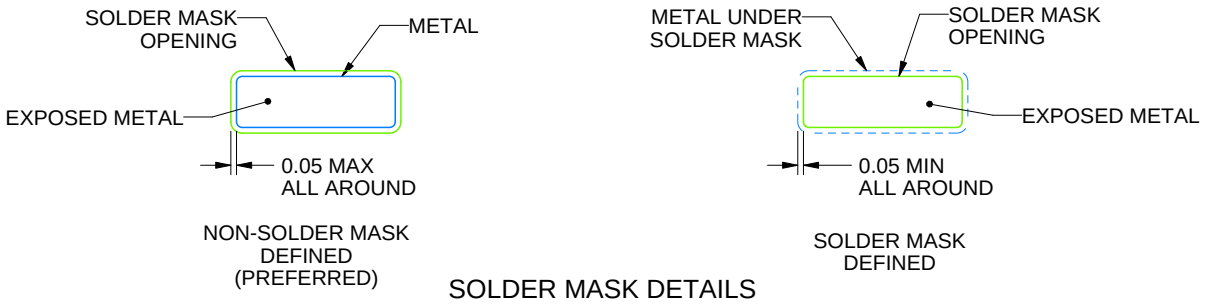
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

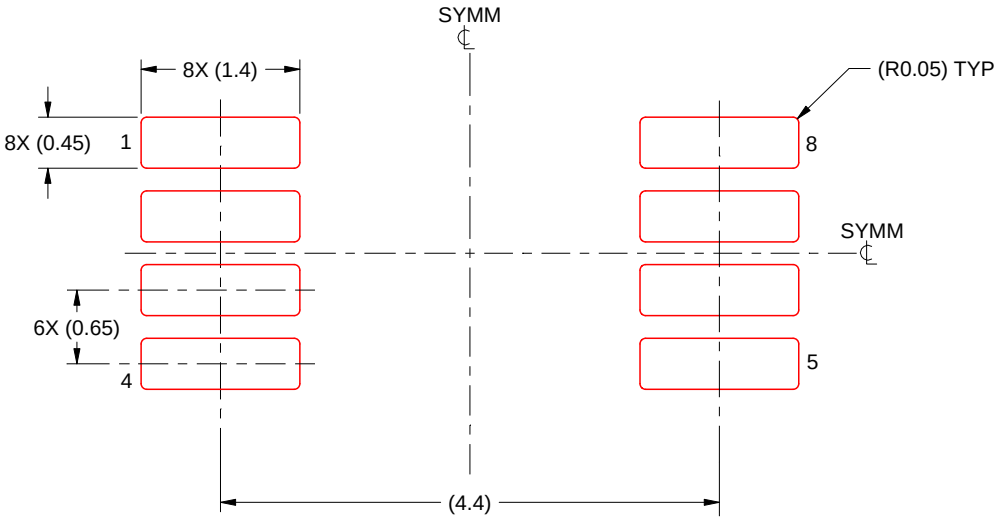


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

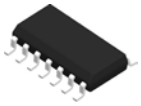


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

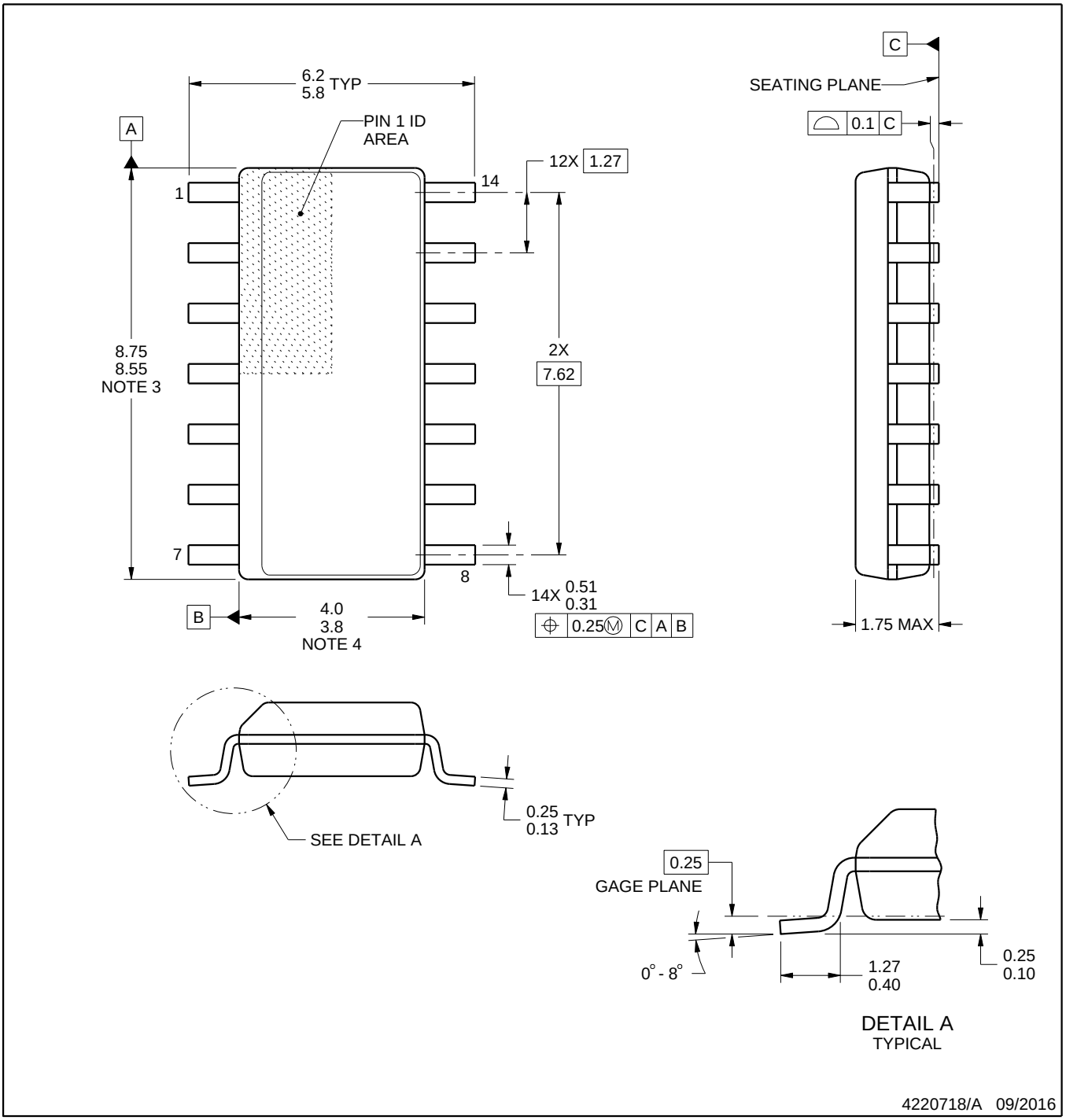


PACKAGE OUTLINE

D0014A

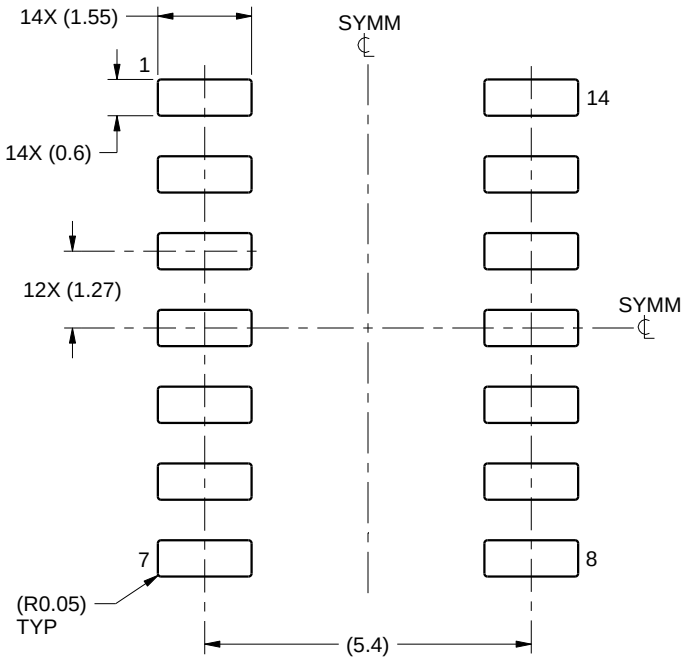
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

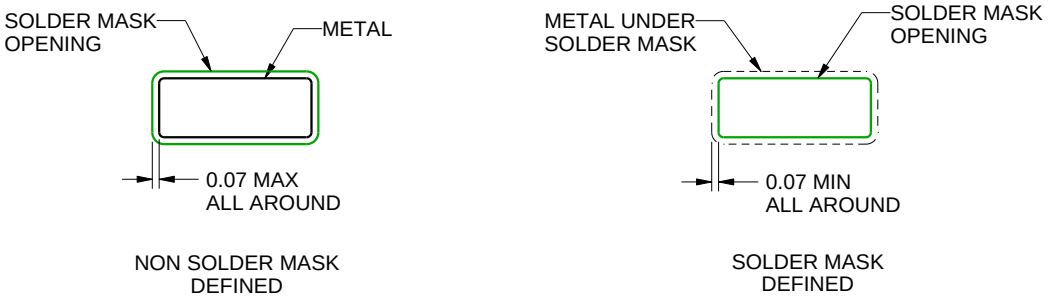


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

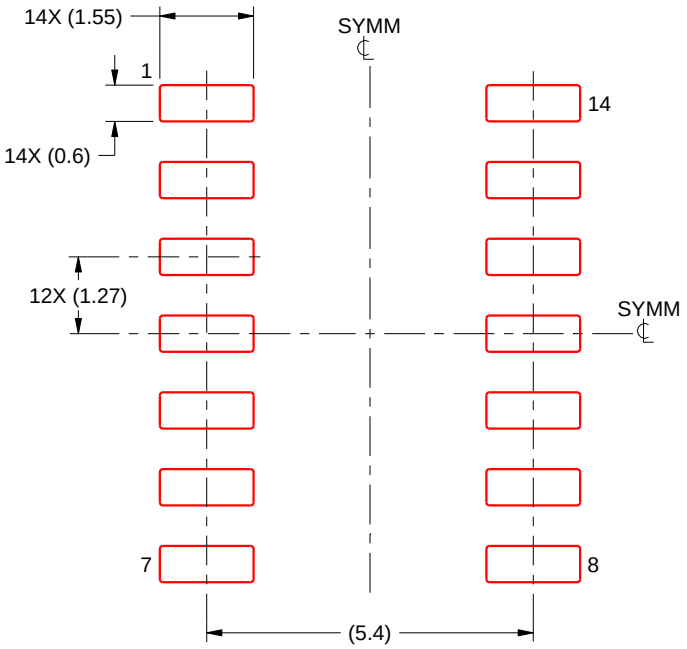
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

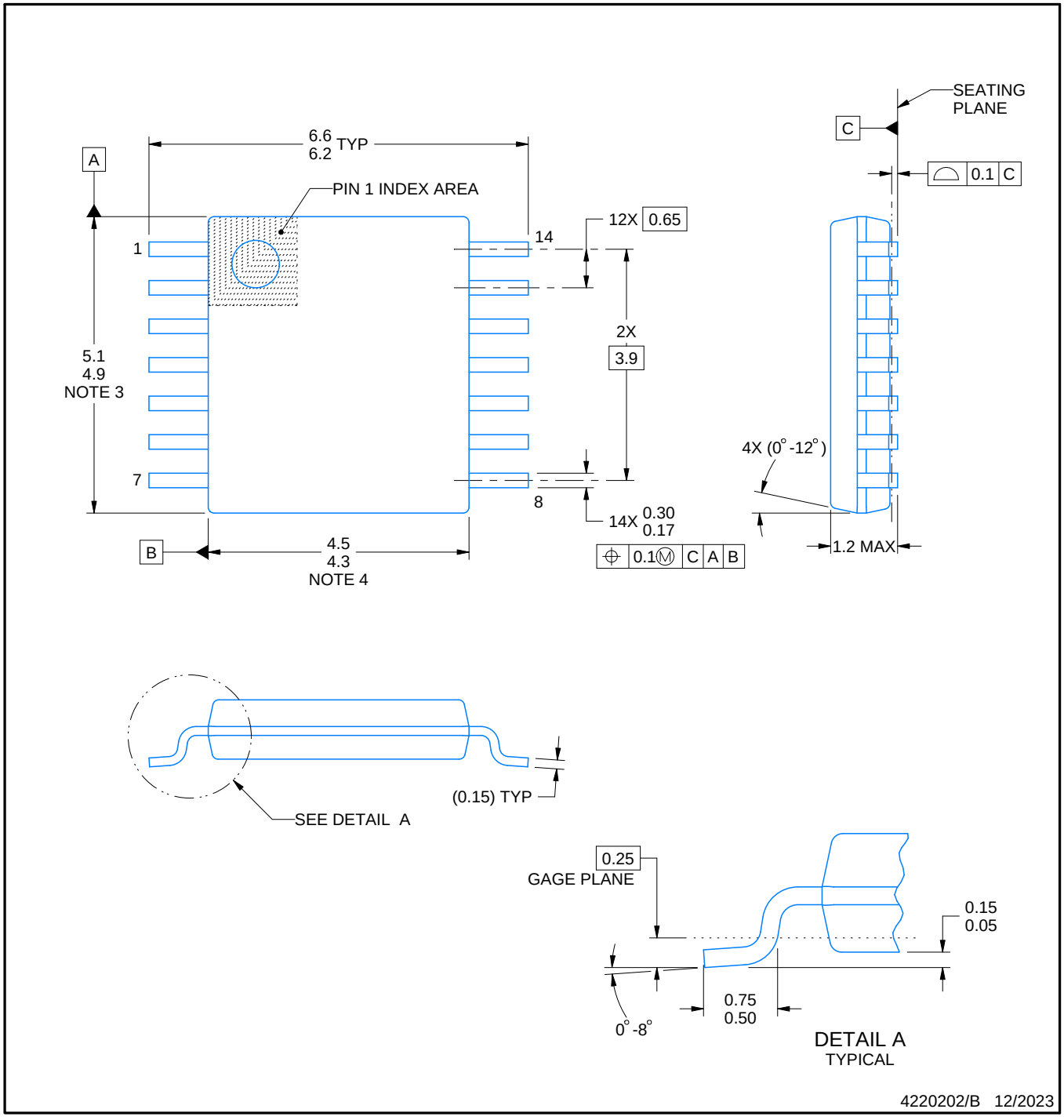
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

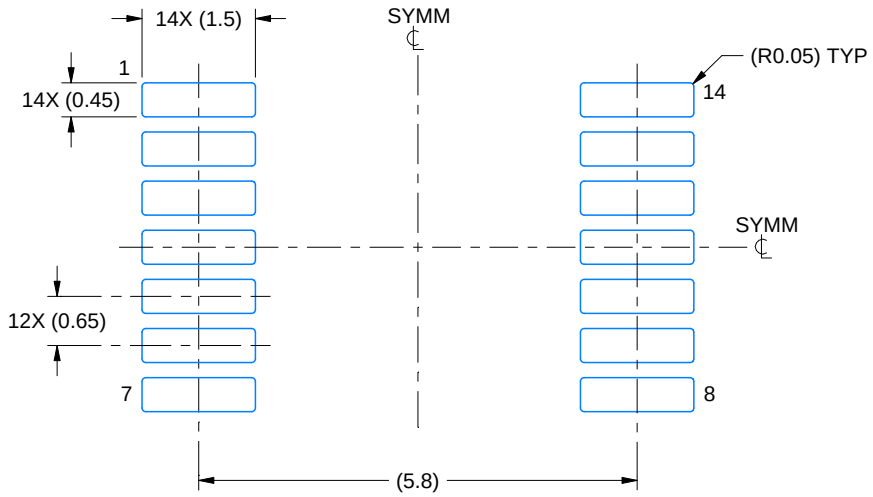
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

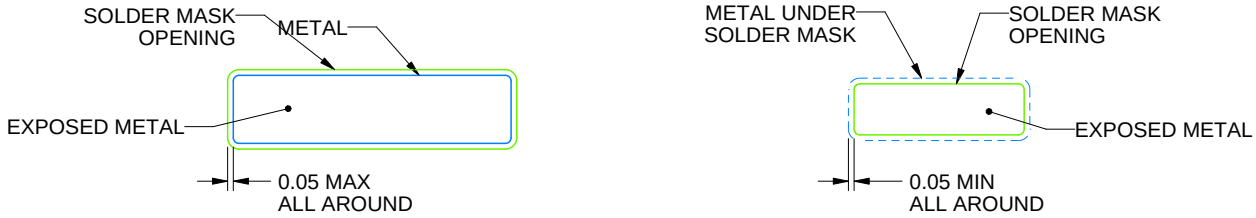


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

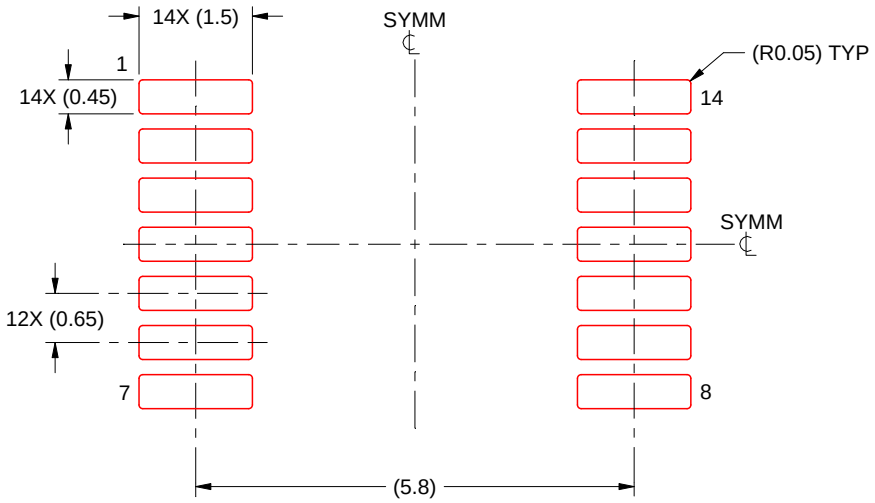


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月