

OPAx172-Q1 36V 单电源 10MHz 轨到轨输出汽车级运算放大器

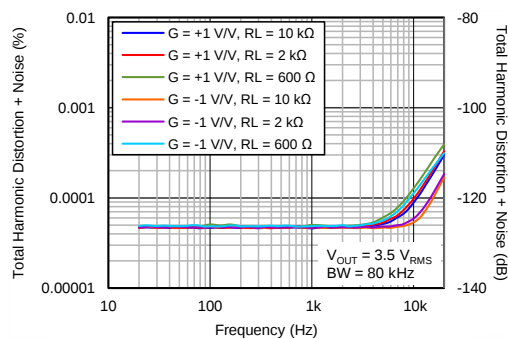
1 特性

- 符合汽车类应用的标准
- 具有符合 AEC-Q100 标准的下列特性：
 - 器件温度 1 级：
-40°C 至 +125°C
的环境工作温度范围
 - 器件人体放电模型 (HBM) 静电放电 (ESD) 分类等级 3A
 - 器件带电器件模型 (CDM) ESD 分类等级 C6
- 宽电源范围：
4.5V 至 36V, $\pm 2.25V$ 至 $\pm 18V$
- 低偏移电压： $\pm 0.2mV$
- 低偏移漂移： $\pm 0.3\mu V/^\circ C$
- 增益带宽：10MHz
- 低输入偏置电流： $\pm 8pA$
- 低静态电流：每放大器 1.6mA
- 低噪声：7 nV/ $\sqrt{Hz}$
- 已过滤电磁干扰 (EMI) 和射频干扰 (RFI) 的输入
- 输入范围包括负电源
- 输入范围运行至正电源
- 轨到轨输出
- 高共模抑制：120dB
- 行业标准封装：
 - VSSOP-8、TSSOP-14

2 应用

- 汽车
- 混合动力汽车 (HEV) 和电动车 (EV) 动力传动
- 高级驾驶员辅助系统 (ADAS)
- 自动恒温控制
- 航空电子设备、起落装置
- 医疗器械
- 电流感测

出色的总谐波失真 (THD) 性能



3 说明

OPA2172-Q1 和 OPA4172-Q1 (OPAx172-Q1) 属于 36V 单电源、低噪声运算放大器系列，它们能够在 4.5V ($\pm 2.25V$) 至 +36V ($\pm 18V$) 的电源范围内运行。OPAx172-Q1 采用微型封装，并且偏移、漂移和静态电流均较低。这些器件还具有高带宽、快速转换率和高输出电流驱动能力。双路和四路版本具有相同的技术规格，可最大程度地提高设计灵活性。

大多数运算放大器仅有一个指定电源电压，OPAx172-Q1 系列则有所不同，它们可在 4.5V 至 36V 的电压范围内额定运行。超过电源轨的输入信号不会导致相位反转。输入可在负电源轨以下 100mV 以及正电源轨 2V 之内正常运行。请注意，这些器件可在正电源轨之上 100mV 的满轨到轨输入上运行，但是在正电源轨 2V 之内运行时，性能会受到影响。

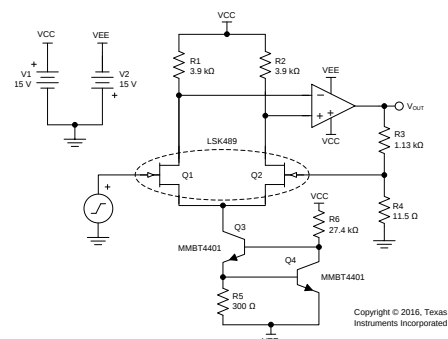
OPAx172-Q1 系列运算放大器的额定运行温度范围为 -40°C 至 +125°C。

器件信息⁽¹⁾

器件编号	封装	封装尺寸 (标称值)
OPA2172-Q1	VSSOP (8)	3.00mm × 3.00mm
OPA4172-Q1	TSSOP (14)	5.00mm × 4.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

JFET 输入低噪声放大器



目录

1	特性	1	9	应用 和 实施	20
2	应用	1	9.1	应用信息	20
3	说明	1	9.2	典型 应用	20
4	修订历史记录	2	10	电源建议	24
5	器件比较表	3	11	布局	24
6	引脚配置和功能	3	11.1	布局指南	24
7	规格	4	11.2	布局示例	25
7.1	绝对最大额定值	4	12	器件和文档支持	26
7.2	ESD 额定值	4	12.1	器件支持	26
7.3	建议运行条件	4	12.2	文档支持	26
7.4	热性能信息	4	12.3	相关链接	26
7.5	电气特征	5	12.4	接收文档更新通知	26
7.6	典型特性	7	12.5	社区资源	27
8	详细 说明	14	12.6	商标	27
8.1	概述	14	12.7	静电放电警告	27
8.2	功能方框图	14	12.8	术语表	27
8.3	特性 说明	15	13	机械、封装和可订购信息	27
8.4	器件功能模式	17			

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Original (November 2016) to Revision A	Page
• 已删除 整个数据表中的 OPA172-Q1	1
• 已删除 工作温度, T_A (来自绝对最大额定值)	4
• 已添加 将采用 PW 封装的 OPA4172-Q1 添加至 ESD 额定值表	4
• 已更改 热性能信息表中的值, 以便与 JEDEC 标准一致。	4
• 已删除 值: ± 14 和温度范围: $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ (来自输入偏置电流) 并已将 $T_A = 25^\circ\text{C}$ 添加至输入偏置电流和输入失调电流	5
• 已更改 输入电压噪声的 TYP 值: 从 2.5 至: 2, E_n	5
• 已删除 电气特性表中的额定温度	6
• 已更改 图: 同相配置的运算放大器电路板布局 (含修订内容)	25

5 器件比较表

表 1. 器件比较

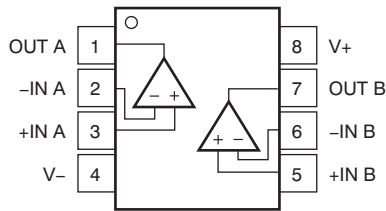
器件	封装
OPA2172-Q1（双通道）	VSSOP-8
OPA4172-Q1（四通道）	TSSOP-14

表 2. 器件系列比

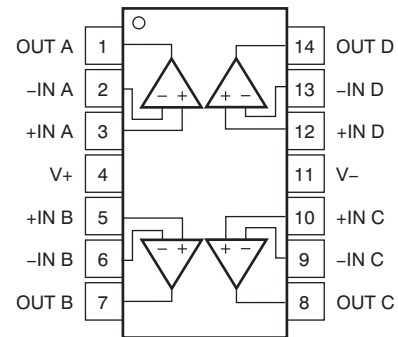
器件	静态电流 (I_Q)	增益带宽产品 (GBP)	电压噪声密度 (e_n)
OPAx172	1600 μ A	10MHz	7nV/ $\sqrt{\text{Hz}}$
OPAx171	475 μ A	3.0MHz	14 nV/ $\sqrt{\text{Hz}}$
OPAx170	110 μ A	1.2MHz	19 nV/ $\sqrt{\text{Hz}}$

6 引脚配置和功能

OPA2172-Q1 DGK 封装
8 引脚 VSSOP
俯视图



OPA4172-Q1 PW 封装
14 引脚 TSSOP
俯视图



引脚功能

名称	引脚		I/O	说明
	OPA2172-Q1 DGK (VSSOP)	OPA4172-Q1 PW (TSSOP)		
-IN A	2	2	I	反相输入, 通道 A
-IN B	6	6	I	反相输入, 通道 B
-IN C	—	9	I	反相输入, 通道 C
-IN D	—	13	I	反相输入, 通道 D
+IN A	3	3	I	同相输入, 通道 A
+IN B	5	5	I	同相输入, 通道 B
+IN C	—	10	I	同相输入, 通道 C
+IN D	—	12	I	同相输入, 通道 D
OUT A	1	1	O	输出, 通道 A
OUT B	7	7	O	输出, 通道 B
OUT C	—	8	O	输出, 通道 C
OUT D	—	14	O	输出, 通道 D
V-	4	11	—	负电源 (最低)
V+	8	4	—	正电源 (最高)

7 规格

7.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
电压	电源电压, V+ 至 V-		-20	20	V
	单电源电压			40	
	信号输入引脚电压 ⁽²⁾	共模	(V-) - 0.5	(V+) + 0.5	
		差分 ⁽³⁾	-0.5	0.5	
电流	信号输入引脚电流		-10	10	mA
	输出短路 ⁽⁴⁾		持续		
温度	结温, T _J			150	°C
	存储, T _{stg}		-65	150	

(1) 应力超出绝对最大额定值下列出的值有可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 超过这些额定电压的瞬态条件必须将电流限制为 10mA 或更低。

(3) 请参阅 [电气过载](#) 部分, 了解更多信息。

(4) 对地短路, 每个封装对应一个放大器。

7.2 ESD 额定值

			值	单位
采用 DGK 封装的 OPA2172-Q1				
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾		±4000	V
	充电器件模型 (CDM), 符合 AEC Q100-011		±1000	
采用 PW 封装的 OPA4172-Q1				
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾		±4000	V
	充电器件模型 (CDM), 符合 AEC Q100-011		±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS001 规范执行 HBM 应力测试。

7.3 建议运行条件

在自然通风温度范围内测得（除非另有说明）

		最小值	最大值	单位
电源电压, (V+) – (V–)	单电源	4.5	36	V
	双电源	±2.25	±18	
额定温度范围		–40	125	°C

7.4 热性能信息

热指标 ⁽¹⁾		OPA2172-Q1	OPA4172-Q1	单位
		DGK (VSSOP)	PW (TSSOP)	
		8 引脚	14 引脚	
R _{θJA}	结至环境热阻	181.4	107.5	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	69.2	32.5	°C/W
R _{θJB}	结至电路板热阻	103.3	50.4	°C/W
ψ _{JT}	结至顶部特征参数	10.9	1.8	°C/W
ψ _{JB}	结至电路板特征参数	101.6	49.6	°C/W
R _{θJC(bot)}	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息, 请参阅 [《半导体和 IC 封装热指标》](#) 应用报告。

7.5 电气特征

$T_A = 25^\circ\text{C}$ 时, $V_S = \pm 2.25\text{V}$ 至 $\pm 18\text{V}$, $V_{CM} = V_{OUT} = V_S / 2$ 且 $R_L = 10\text{k}\Omega$ 连接至 $V_S / 2$ (除非另有说明)。

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V _{OS}	输入偏移电压			±0.2	±1	mV	
		T _A =-40°C 至 +125°C			±1.15		
dV _{OS} /dT	输入失调电压漂移	T _A = -40°C 至 +125°C	OPA4172-Q1	±0.3	±1.5	μV/°C	
			OPA2172-Q1		±1.8		
PSRR	电源抑制比	T _A = -40°C 至 +125°C		±1	±3	μV/V	
通道分离, 直流		在直流		5		μV/V	
输入偏置电流							
I _B	输入偏置电流	T _A = 25°C		±8	±15	pA	
		T _A =-40°C 至 +125°C	OPA2172-Q1IDGK	±18		nA	
			OPA4172-Q11PW				
I _{OS}	输入偏移电流	T _A = 25°C		±2	±15	pA	
		T _A =-40°C 至 +125°C	OPA4172-Q1	±1		nA	
			OPA2172-Q1				±3
噪声							
E _n	输入电压噪声	f = 0.1Hz 至 10Hz		2		μV _{PP}	
e _n	输入电压噪声密度	f = 100Hz		12		nV/√Hz	
		f = 1kHz		7			
i _n	输入电流噪声密度	f = 1kHz		1.6		fA/√Hz	
输入电压							
V _{CM}	共模电压 ⁽¹⁾			(V-) - 0.1V	(V+) - 2V	V	
CMRR	共模抑制比	V _S = ±2.25V, (V-) - 0.1V < V _{CM} < (V+) - 2V, T _A = -40°C 至 +125°C		90	104	dB	
		V _S = ±18V, (V-) - 0.1V < V _{CM} < (V+) - 2V, T _A = -40°C 至 +125°C		110	120		
输入阻抗							
差分				100 4		MΩ pF	
共模				6 4		10 ¹³ Ω pF	
开环增益							
A _{OL}	开环电压增益	(V-) + 0.35V < V _O < (V+) - 0.35V, R _L = 10kΩ, T _A = -40°C 至 +125°C	OPA4172-Q1	110	130	dB	
			OPA2172-Q1	107	115		
		(V-) + 0.5V < V _O < (V+) - 0.5V, R _L = 2kΩ, T _A = -40°C 至 +125°C	OPA4172-Q1	116			
			OPA2172-Q1	107			
频率响应							
GBP	增益带宽积			10		MHz	
SR	压摆率	G = 1		10		V/μs	
t _S	建立时间	到 0.1%, V _S = ±18V, G = 1, 10V 步长		2		μs	
		到 0.01% (12 位), V _S = ±18V, G = 1, 10V 阶跃		3.2			
过载恢复时间		V _{IN} × 增益 > V _S		200		ns	
THD+N	总谐波失真 + 噪声	V _S = 36V, G = 1, f = 1kHz, V _O = 3.5V _{RMS}		0.00005%			

(1) 输入范围可超出 $(V+) - 2\text{V}$, 最高为 $(V+) + 0.1\text{V}$ 。有关其他信息, 请参阅[典型特性](#)和[应用信息](#)部分。

OPA2172-Q1, OPA4172-Q1

ZHCSF09A – NOVEMBER 2016 – REVISED JUNE 2017

www.ti.com.cn
电气特征 (接下页)
 $T_A = 25^\circ\text{C}$ 时, $V_S = \pm 2.25\text{V}$ 至 $\pm 18\text{V}$, $V_{CM} = V_{OUT} = V_S / 2$ 且 $R_L = 10\text{k}\Omega$ 连接至 $V_S / 2$ (除非另有说明)。

参数		测试条件	最小值	典型值	最大值	单位
输出						
V_O	相对于电源轨的电压输出摆幅	$V_S = +36\text{V}$	$R_L = 10\text{k}\Omega$	70	90	mV
			$R_L = 2\text{k}\Omega$	330	400	
		$V_S = +36\text{V}$, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	$R_L = 10\text{k}\Omega$	95	120	
			$R_L = 2\text{k}\Omega$	470	530	
		$V_S = 4.5\text{V}$	$R_L = 10\text{k}\Omega$	10	20	
			$R_L = 2\text{k}\Omega$	40	50	
		$V_S = 4.5\text{V}$, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	$R_L = 10\text{k}\Omega$	10	25	
			$R_L = 2\text{k}\Omega$	55	70	
I_{SC}	短路电流			± 75		mA
C_{LOAD}	容性负载驱动			请参阅 典型特性		pF
Z_O	开环输出阻抗	$f=1\text{MHz}$, $I_O = 0\text{A}$		60		Ω
电源						
V_S	额定电压		4.5		36	V
I_Q	每个放大器的静态电流	$I_O = 0\text{A}$		1.6	1.8	mA
		$I_O = 0\text{A}$, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			2	

7.6 典型特性

$V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ 且连接至 $V_S/2$, $C_L = 100pF$ (除非另有说明)

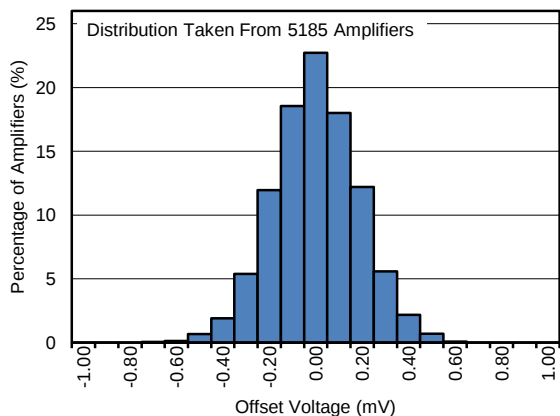


图 1. 失调电压分布

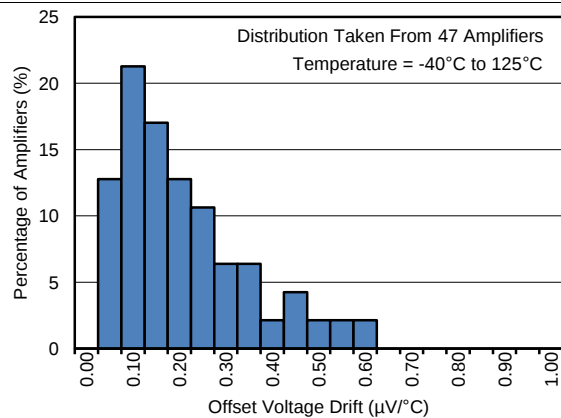


图 2. 失调电压温漂产生分布

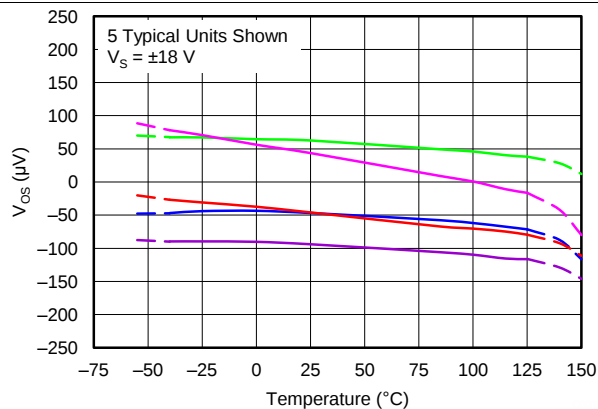


图 3. 失调电压与温度间的关系
($V_S = \pm 18V$)

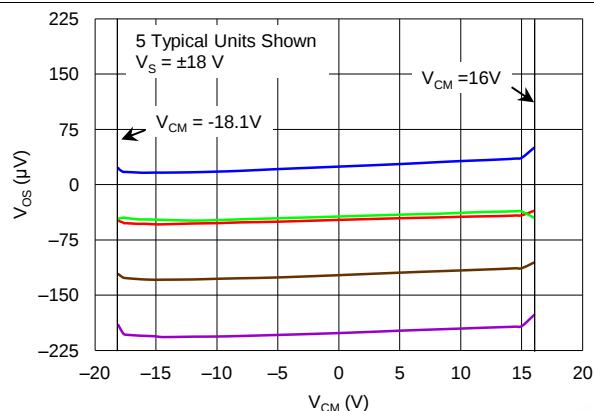


图 4. 失调电压与共模电压间的关系
($V_S = \pm 18V$)

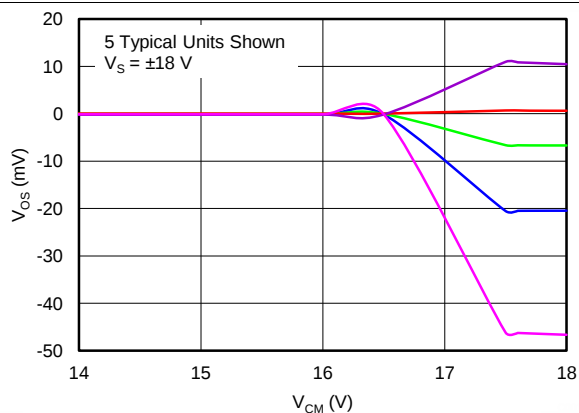


图 5. 失调电压与共模电压间的关系
(前级)

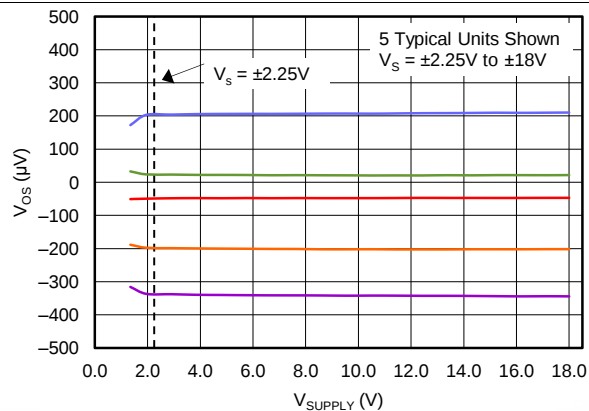


图 6. 失调电压与电源间的关系

典型特性 (接下页)

$V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ 且连接至 $V_S/2$, $C_L = 100pF$ (除非另有说明)

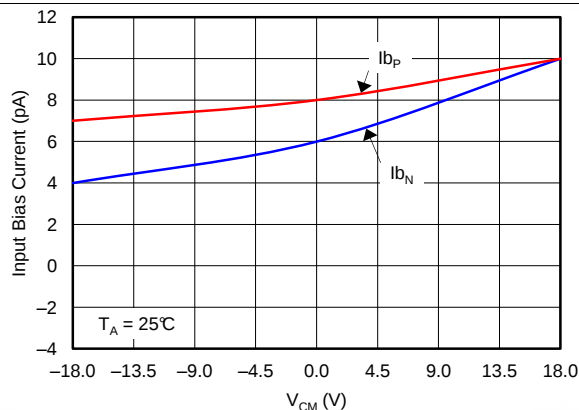


图 7. 输入偏置电流与共模电压间的关系

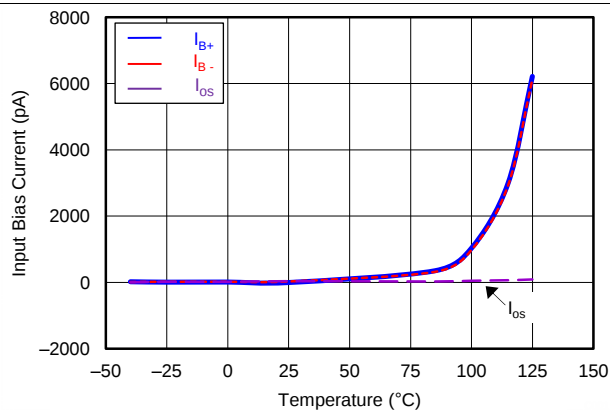


图 8. 输入偏置电流与温度间的关系

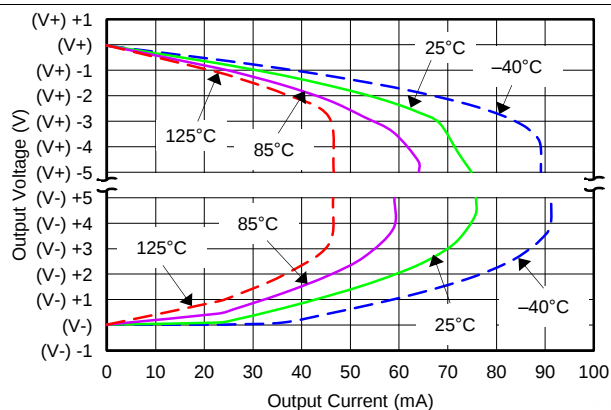


图 9. 输出电压摆幅与输出电流间的关系 (最大电源电压)

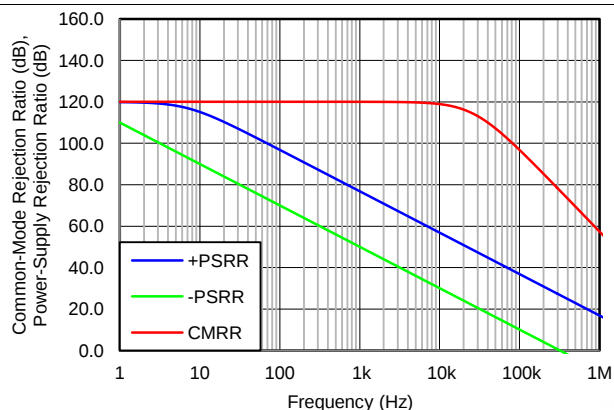


图 10. CMRR 和 PSRR 与频率间的关系
(以输入为参考)

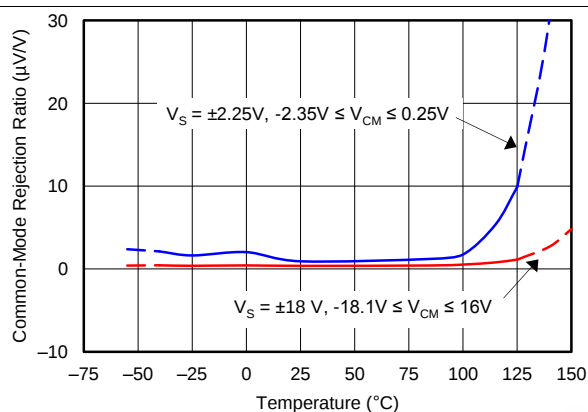


图 11. CMRR 与温度间的关系

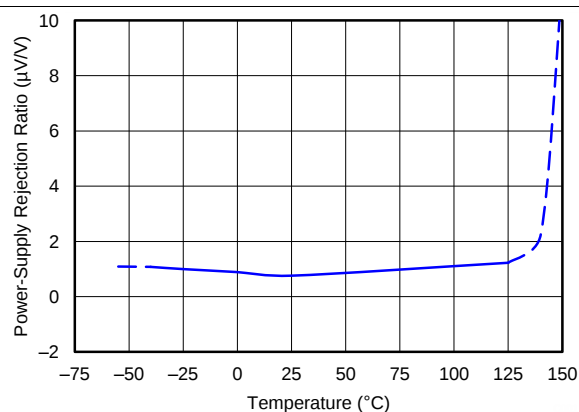


图 12. PSRR 与温度间的关系

典型特性 (接下页)

$V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ 且连接至 $V_S/2$, $C_L = 100pF$ (除非另有说明)

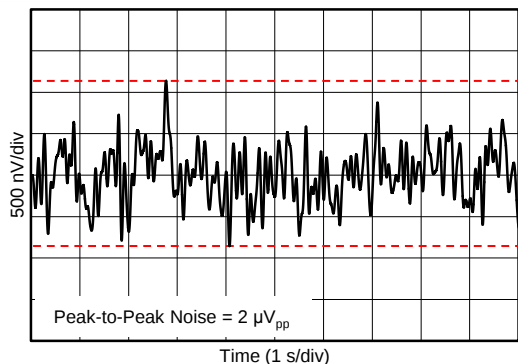


图 13. 0.1Hz 至 10Hz 噪声

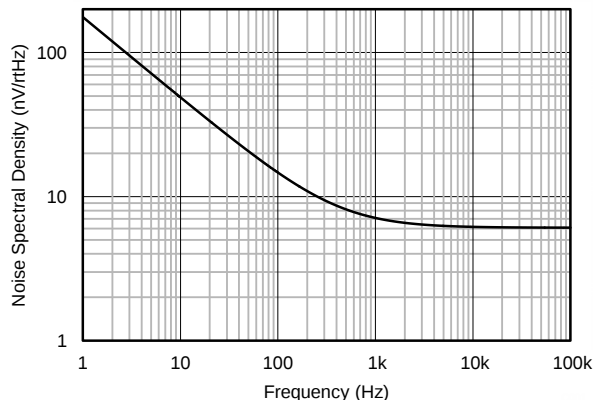


图 14. 输入电压噪声频谱密度与频率间的关系

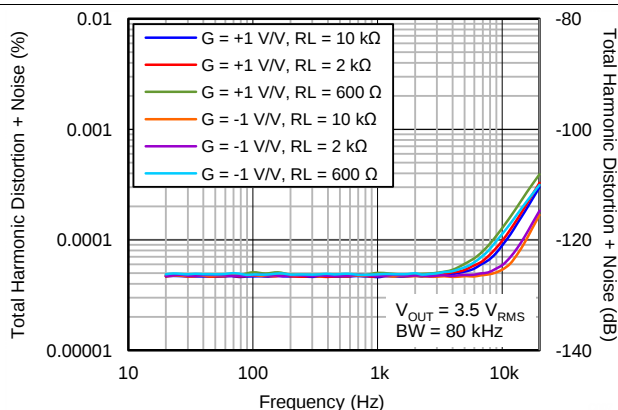


图 15. THD+N 比与频率间的关系

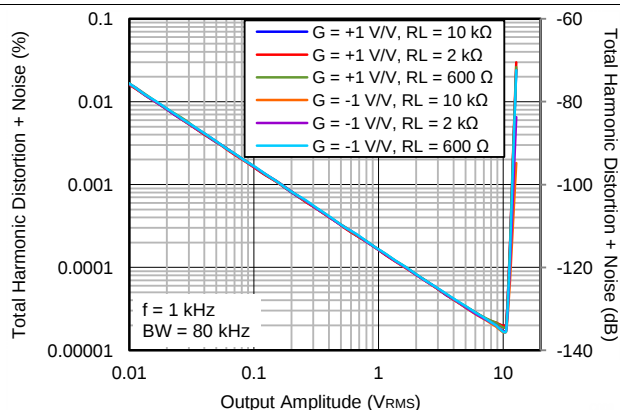


图 16. THD+N 与输出幅度间的关系

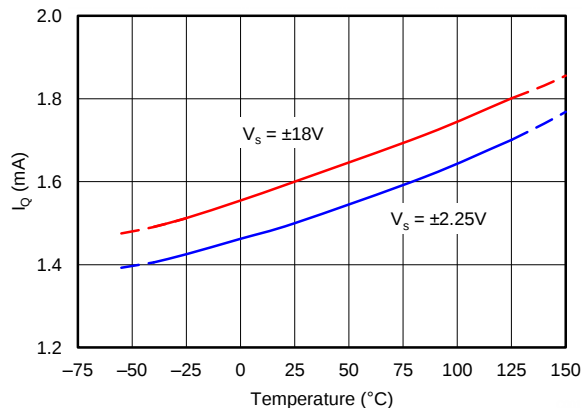


图 17. 静态电流与温度间的关系

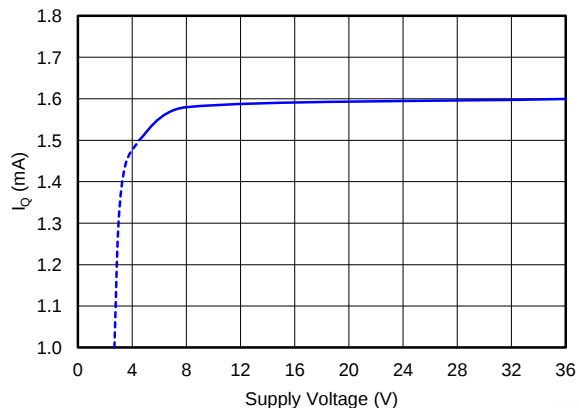


图 18. 静态电流与电源电压间的关系

典型特性 (接下页)

$V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ 且连接至 $V_S/2$, $C_L = 100pF$ (除非另有说明)

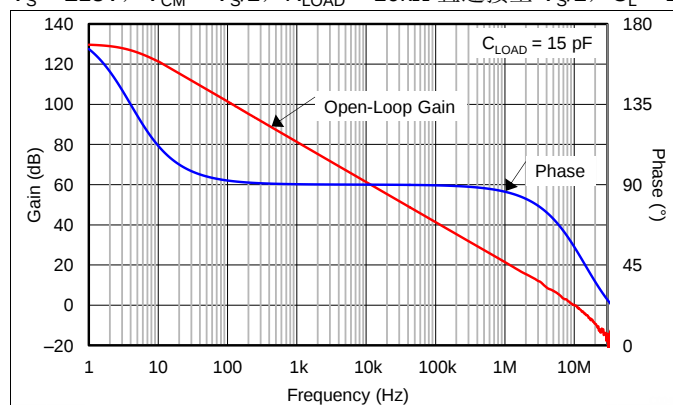


图 19. 开环增益和相位与频率间的关系

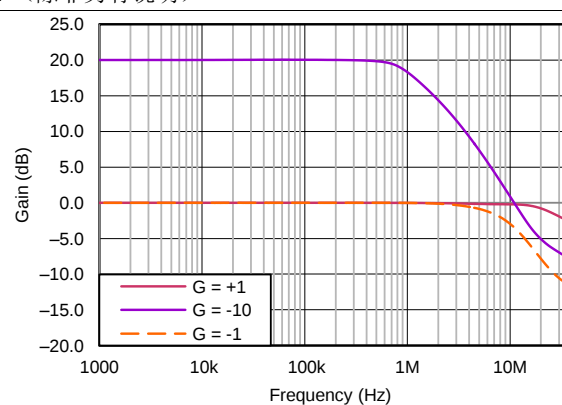


图 20. 闭环增益与频率间的关系

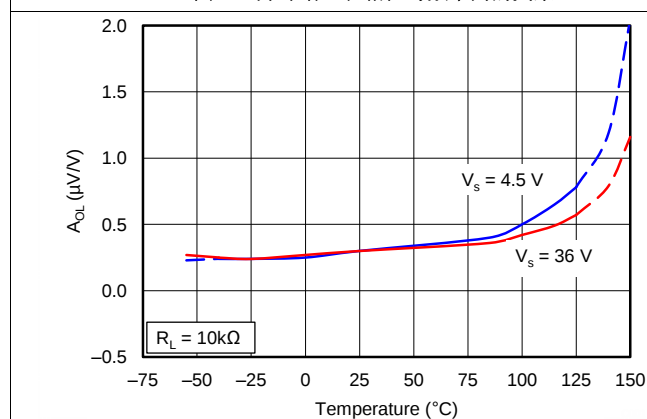


图 21. 开环增益与温度间的关系

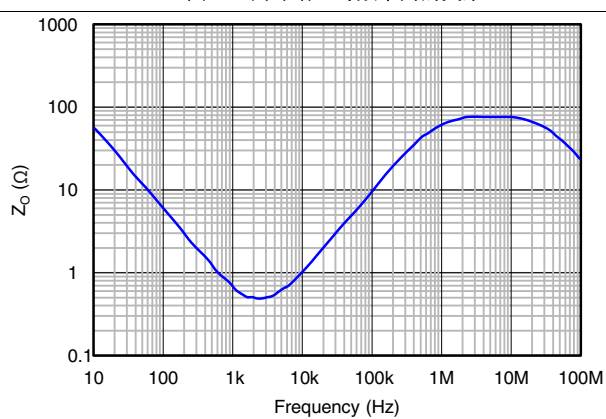


图 22. 开环输出阻抗与频率间的关系

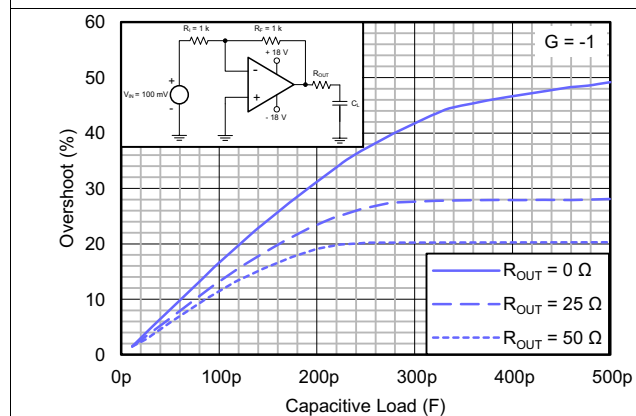


图 23. 小信号过冲与容性负载间的关系
(输出阶跃为 100mV)

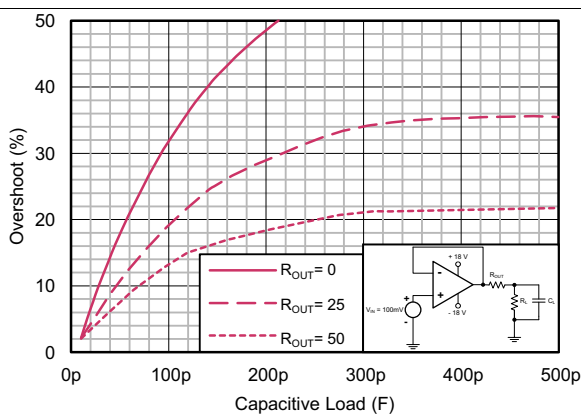


图 24. 小信号过冲与容性负载间的关系
(输出阶跃为 100mV)

典型特性 (接下页)

$V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ 且连接至 $V_S/2$, $C_L = 100pF$ (除非另有说明)

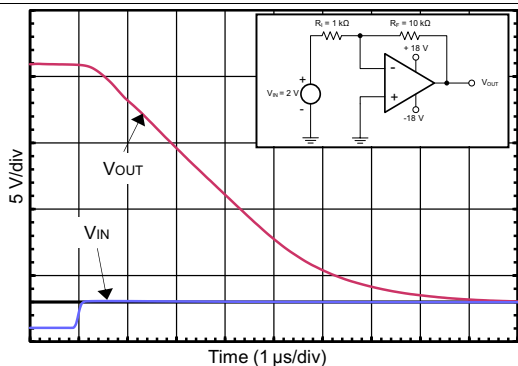


图 25. 正过载恢复

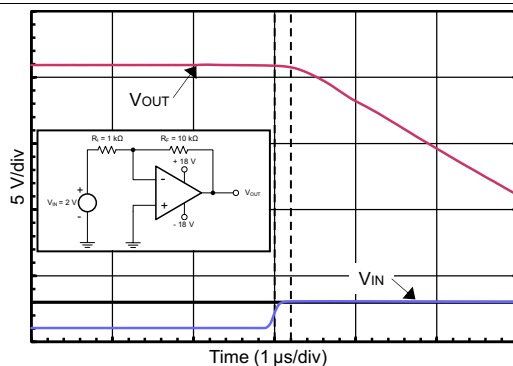


图 26. 正过载恢复 (放大后)

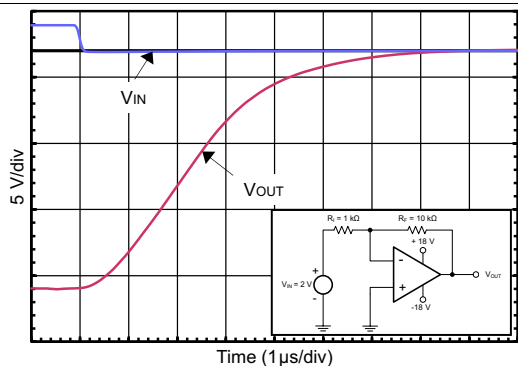


图 27. 负过载恢复

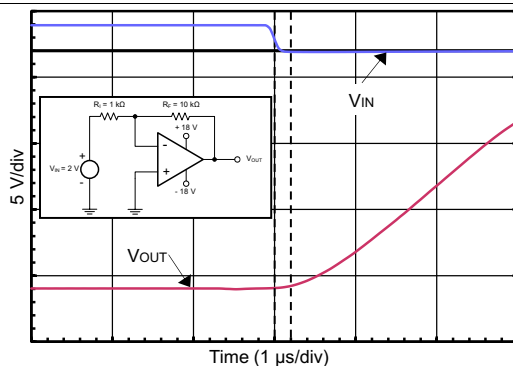


图 28. 负过载恢复 (放大后)

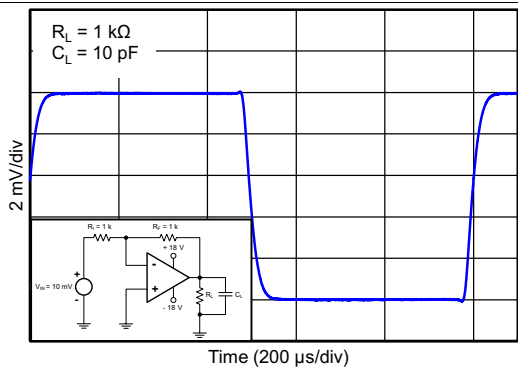


图 29. 小信号阶跃响应 (10mV, $G = -1$)

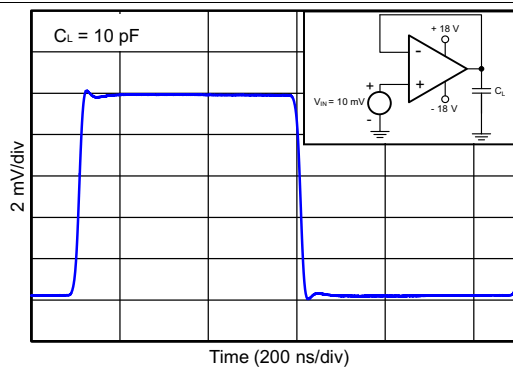


图 30. 小信号阶跃响应 (10mV, $G = 1$)

OPA2172-Q1, OPA4172-Q1

ZHCSF09A–NOVEMBER 2016–REVISED JUNE 2017

www.ti.com.cn

典型特性 (接下页)

$V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ 且连接至 $V_S/2$, $C_L = 100pF$ (除非另有说明)

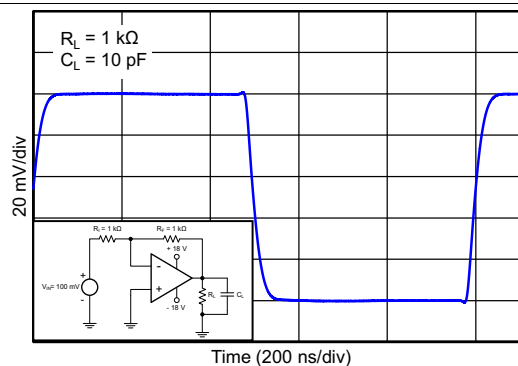


图 31. 小信号阶跃响应 (100mV, G = -1)

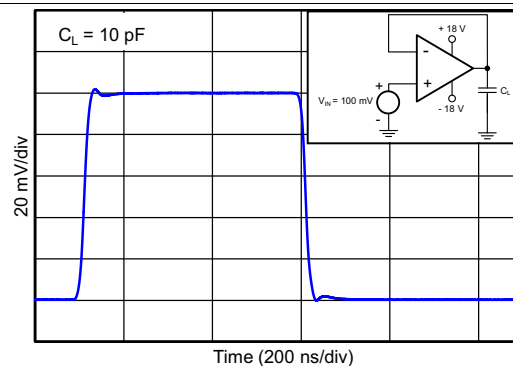


图 32. 小信号阶跃响应 (100mV, G = 1)

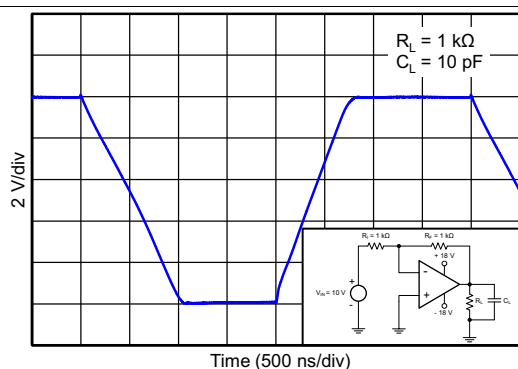


图 33. 大信号阶跃响应 (10V, G = -1)

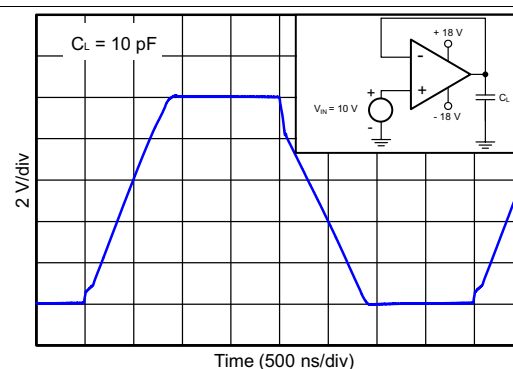


图 34. 大信号阶跃响应 (10V, G = 1)

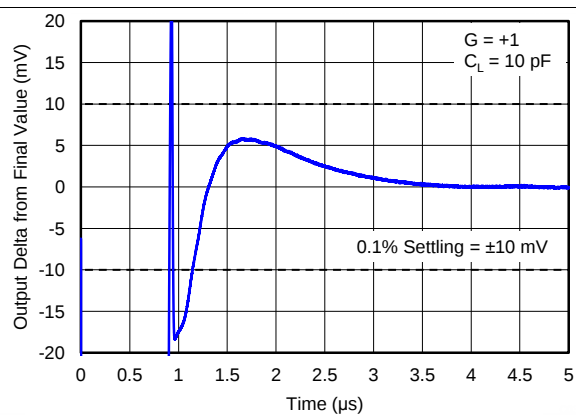


图 35. 大信号稳定时间 (10V 正阶跃)

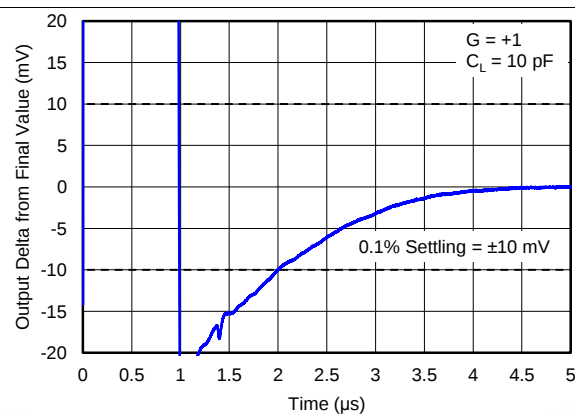


图 36. 大信号稳定时间 (10V 负阶跃)

典型特性 (接下页)

$V_S = \pm 18V$, $V_{CM} = V_S/2$, $R_{LOAD} = 10k\Omega$ 且连接至 $V_S/2$, $C_L = 100pF$ (除非另有说明)

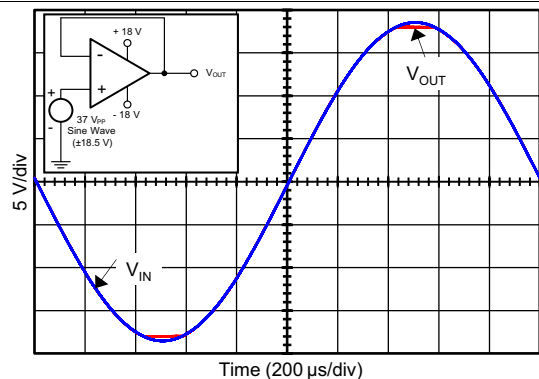


图 37. 无相位反转

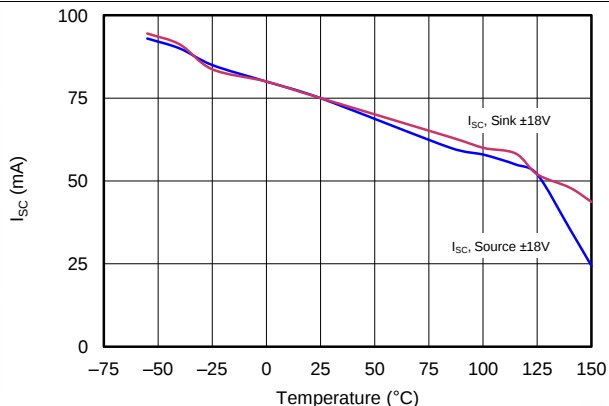


图 38. 短路电流与温度间的关系

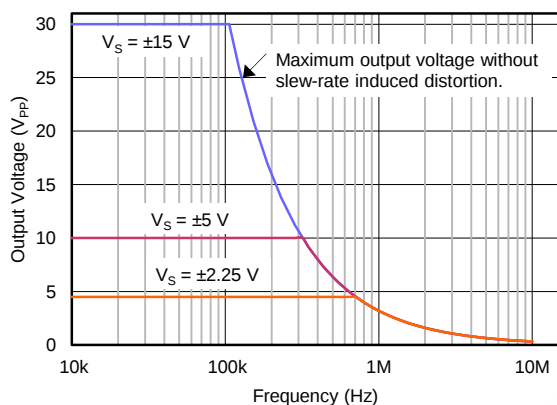


图 39. 最大输出电压与频率间的关系

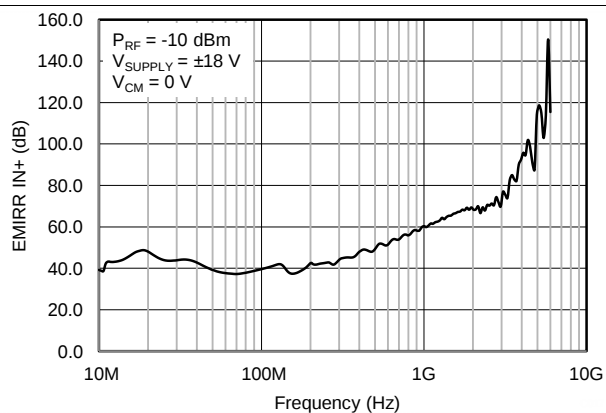


图 40. EMIRR 与频率间的关系

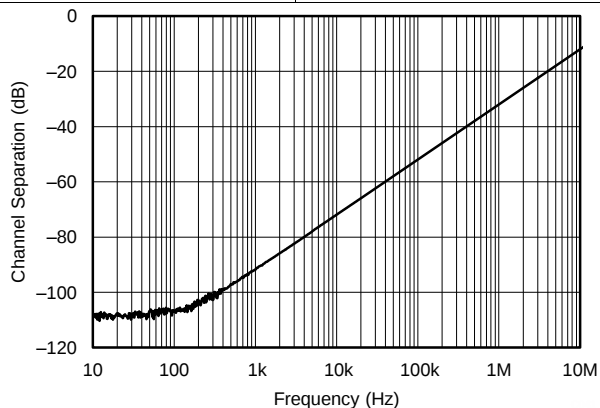


图 41. 通道分离与频率间的关系

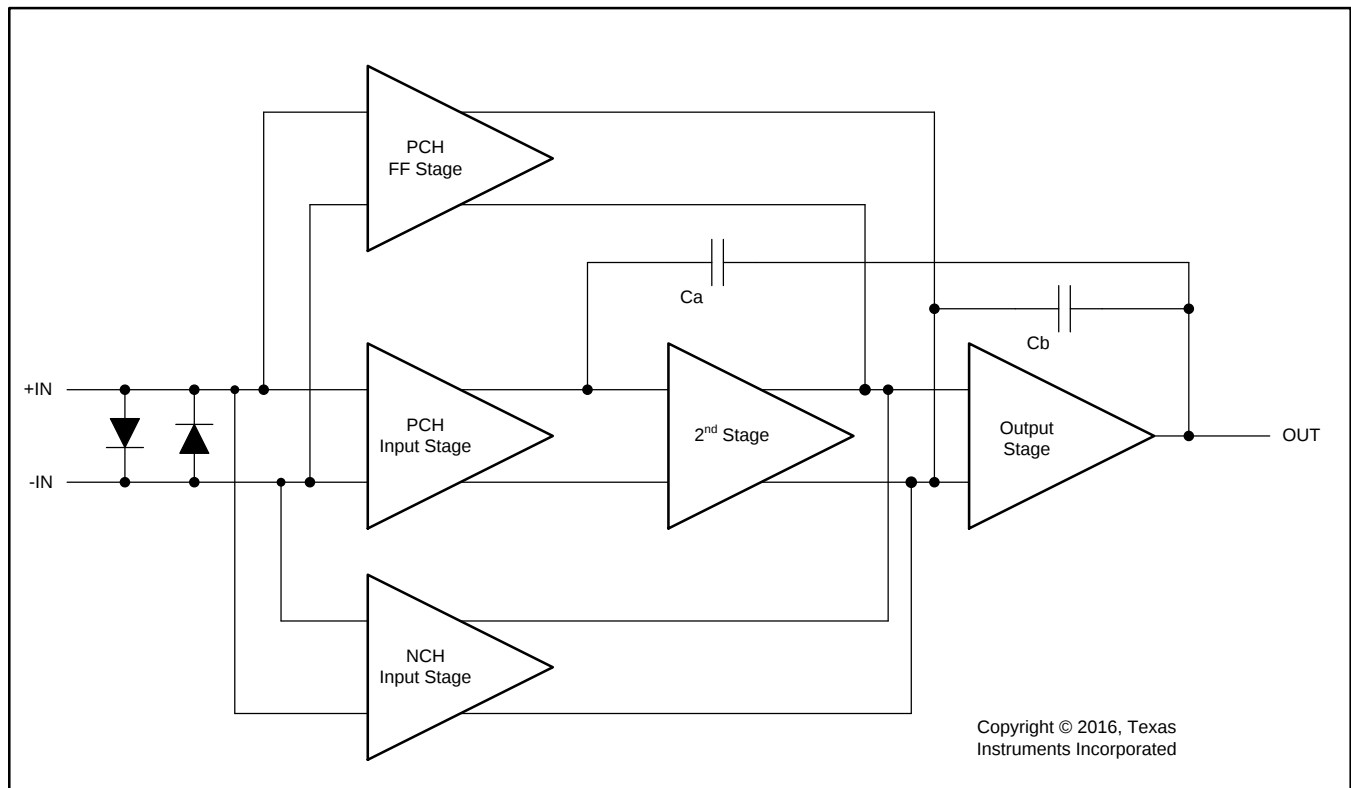
8 详细 说明

8.1 概述

OPAx172-Q1 系列运算放大器拥有较高的总体性能，使器件成为了多种通用 应用的理想之选。仅为 $1.5\mu\text{V}/^\circ\text{C}$ （最大值）的出色温漂，可在整个温度范围内提供极佳的稳定性。此外，该系列整体性能优异，具有高 CMRR、PSRR 和 A_{OL} ，以及卓越的 THD。

[功能方框图](#)部分显示了 OPA172-Q1 设计的简单示意图。该设计拓扑结构是一款经过高度优化、带有有源前馈增益级的三级放大器。

8.2 功能方框图



8.3 特性说明

8.3.1 EMI 抑制

OPAx172-Q1 使用集成电磁干扰 (EMI) 滤波功能来降低干扰源（如无线通信设备以及混合使用模拟信号链和数字组件的高密度电路板）产生的 EMI 效应。利用电路设计技术可以提高 EMI 抗扰度；OPAx172-Q1 可从这些设计改进中受益。德州仪器 (TI) 已经开发出在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的功能。图 42 显示了对 OPAx172-Q1 执行此测试的结果。表 3 显示了 OPAx172-Q1 在实际应用中常见特定频率下的 EMIRR IN+ 值。应用。在表 3 中列出的应用可在下图所示的特定频率或近似频率下运行。详细信息另见《运算放大器的 EMI 抑制比》应用报告 (SBOA128)，您可从 www.ti.com 下载该报告。

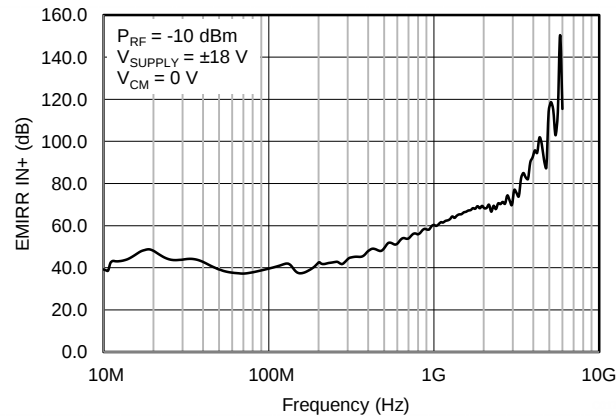


图 42. EMIRR 测试

表 3. OPAx172-Q1 在相关频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线电、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	47.6dB
900MHz	移动通信全球系统 (GSM) 应用，广播通信、导航、GPS（至 1.6GHz）、GSM、航空移动、UHF 应用	58.5dB
1.8GHz	GSM 应用，个人移动通信、宽带、卫星、L 波段（1GHz 至 2GHz）	68dB
2.4GHz	802.11b、802.11g、802.11n、蓝牙®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	69.2dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	82.9dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段（4GHz 至 8GHz）	114dB

8.3.2 相位反转保护

OPAx172-Q1 系列具有内部相位反转保护。当输入驱动超出线性共模范围时，许多运算放大器会发生相位反转。这是同相电路中输入驱动超出额定共模电压范围时的最常见的现象，会导致输出反向进入相对电源轨。OPAx172-Q1 的输入采用额外的共模电压来防止相位反转。相反，相应电源轨能够限制输出电压。图 43 显示了这个特性。

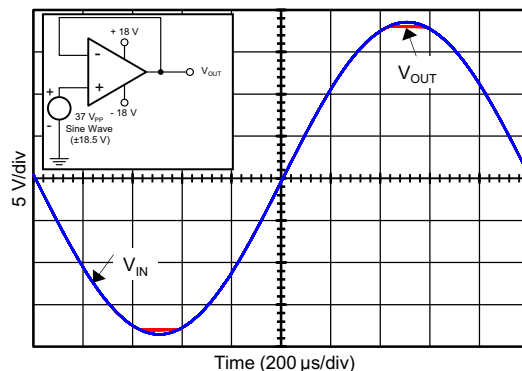


图 43. 无相位反转

8.3.3 电容负载和稳定性

OPAx172-Q1 的动态特性针对常用工作条件进行了优化。低闭环增益和高电容负载的组合减少了放大器的相位裕量并可导致增益降低或振荡。因此，高容性负载必须与输出隔离。最简单的隔离方法是在输出端新增一个阻值较低的串联电阻（例如 $R_{OUT} = 50\Omega$ ）。图 44 和图 45 显示了小信号过冲和电容负载在不同 R_{OUT} 值时的关系图。有关分析技巧和应用电路的详细信息，请参阅《反馈曲线图定义运算放大器交流性能》应用公告 (SBOA015)，您可从 www.ti.com 下载该公告。

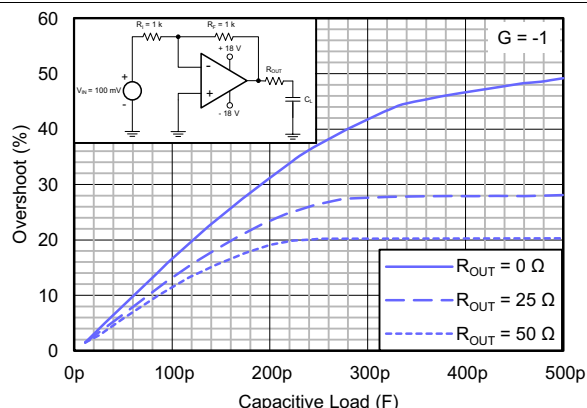


图 44. 小信号过冲与容性负载间的关系（输出阶跃为 100mV）

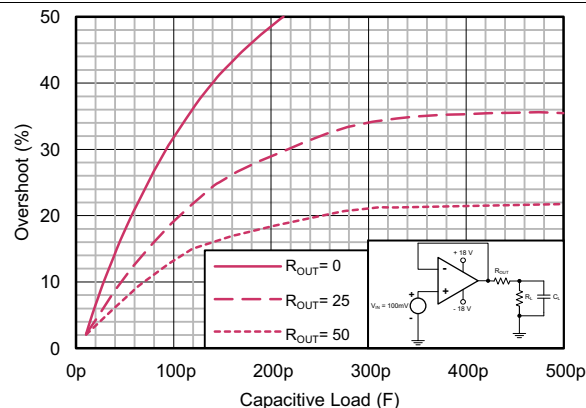


图 45. 小信号过冲与容性负载间的关系（输出阶跃为 100mV）

8.4 器件功能模式

8.4.1 共模电压范围

为了实现正常运行，OPAx172-Q1 系列的输入共模电压范围的下限可扩展至低于负电源轨电压 100mV，上限可扩展至高于正电源轨电压 2V 以内。

该器件可在超出顶轨 100mV 的完整轨至轨输入电压下运行，但在顶轨 2V 范围内运行时，性能会有所下降。表 4 总结了该范围内的典型性能。

表 4. 典型性能范围 ($V_S = \pm 18V$)

	最小值	典型值	最大值	单位
输入共模电压	(V+)-2		(V+)+0.1	V
失调电压		5		mV
失调电压与温度间的关系 ($T_A = -40^{\circ}C$ 至 $+125^{\circ}C$)		10		$\mu V/^{\circ}C$
共模抑制		70		dB
开环增益		60		dB
增益带宽积 (GBP)		4		MHz
压摆率		4		V/ μs
f = 1kHz 时的噪声		22		nV/ $\sqrt{Hz}$

8.4.2 电气过载

设计人员经常会问到关于运算放大器承受电气过载能力的问题。这些问题的重点在于器件输入，但可能也会涉及电源电压终端甚至输出终端。这些不同的终端功能均具有由特定半导体制造工艺和连接到终端的特定电路的电压击穿特性决定的电应力限制。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

充分了解 ESD 基本电路及其与电气过载事件的关联性会有所帮助。图 46 展示了 OPAx172-Q1 中包含的 ESD 电路（虚线区域所示）。ESD 保护电路涉及从输入和输出终端连接并路由回内部电源线的多个导流二极管，其中二极管在运算放大器的内部吸收器件处相接。该保护电路在电路正常工作时处于未激活状态。

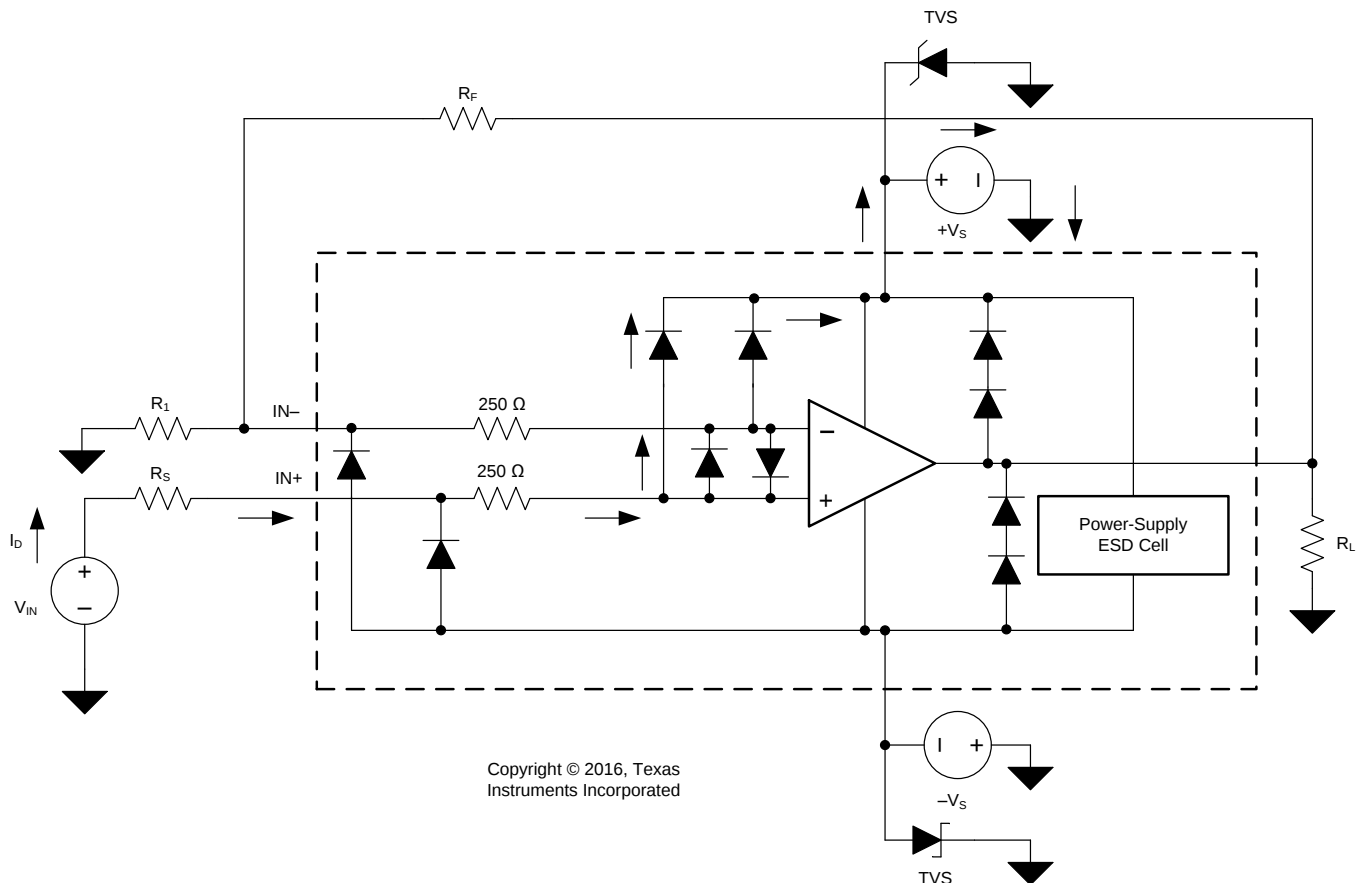


图 46. 与典型电路应用相关的等效内部 ESD 电路

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路可围绕运算放大器核心提供电流路径，防止对核心造成损坏。保护电路吸收的能量将以热量形式耗散。

当两个或更多个放大器器件终端上产生 ESD 电压时，电流将流经一个或多个导流二极管。根据电流所选路径，吸收器件可能会激活。吸收器件具有触发或阈值电压，该电压介于 OPAx172-Q1 的正常工作电压和器件击穿电压级别之间。超出该阈值后，吸收器件会迅速激活并将电源轨两端电压稳定在安全水平。

当运算放大器接入某个电路（如图 46 中所示）时，ESD 保护组件将保持未激活状态并且不会介入应用电路的运行。不过，如果施加的电压超出指定终端的工作电压范围，可能会引起一些问题。如果出现这种情况，部分内部 ESD 保护电路可能处于导通状态并传导电流。此类电流将流经驱动二极管路径，但很少涉及吸收器件。

图 46 给出了一个具体示例，其中输入电压 V_{IN} 高于正电源电压 ($+V_S$) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 $+V_S$ 能够吸收电流，那么上面的一个输入钳位二极管就会导通，并将电流传导至 $+V_S$ 。越来越高的 V_{IN} 会带来过高的电流。因此，本数据表的规格建议应用将输入电流限制为 10mA。

如果电源无法吸收电流， V_{IN} 会开始将电流拉至运算放大器，然后作为正电源电压源进行接管。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题是，如果在电源 $+V_S$ 或 $-V_S$ 为 0V 时向输入端施加输入信号，放大器如何响应。同样，具体结果取决于电源在 0V 或低于输入信号幅值时的特性。如果电源呈现高阻抗状态，输入源通过导流二极管提供运算放大器电流。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，可在电源终端处外接齐纳二极管；请参阅图 46。选择齐纳电压可确保二极管不会在正常运行过程中导通。不过，齐纳电压必须足够低，以便齐纳二极管在电源终端电压上升至超过安全工作电源电压水平时导通。

OPAx172-Q1 输入端子由背对背二极管提供保护，不会因差分电压过大而受损，如图 46 所示。在大多数电路应用中，输入保护电路没有任何作用。但在低增益或 $G = 1$ 的电路中，快速斜升的输入信号会导致这些二极管发生正向偏置。原因是放大器输出对于这种输入斜升变化的响应速度较慢。如果输入信号的变化速度足以实现上述正向偏置，则输入信号电流应限制在 10mA 或更低。如果未对输入信号电流进行限定，可使用输入串联电阻限制输入信号电流。该输入串联电阻会降低 OPAx172-Q1 的低噪声性能。图 46 所示为使用限流反馈电阻的配置示例。

8.4.3 过载恢复

过载恢复是运算放大器输出从饱和状态恢复为线性状态所需的时间。当输出电压因输入电压或增益较大而超出额定工作电压时，运算放大器的输出器件将进入饱和状态。器件进入饱和状态后，输出器件中的载流子需要经过一段时间才能恢复正常状态。当载流子恢复至平衡状态后，器件以正常压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。OPAx172-Q1 的过载恢复时间大约为 200ns。

9 应用 和 实施

注

以下应用部分中的 信息 不属于 TI 组件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

9.1 应用信息

OPAx172-Q1 系列放大器的额定运行电压范围为 4.5V 至 36V ($\pm 2.25\text{V}$ 至 $\pm 18\text{V}$)。多种技术规格适用于 -40°C 至 $+125^{\circ}\text{C}$ 的温度范围。[典型特性](#)部分提供的参数可能随工作电压或温度的不同出现显著变化。

9.2 典型 应用

以下应用示例仅突出少数几个可以使用 OPAx172-Q1 的电路。

9.2.1 采用隔离电阻器的电容负载驱动解决方案

OPA172-Q1 可用于电缆屏蔽层、基准缓冲器、MOSFET 栅极和二极管等电容负载。此电路使用隔离电阻器 (R_{ISO}) 来稳定运算放大器的输出。 R_{ISO} 修改系统的开环增益以确保电路具有足够的相补角，如[图 47](#)所示。

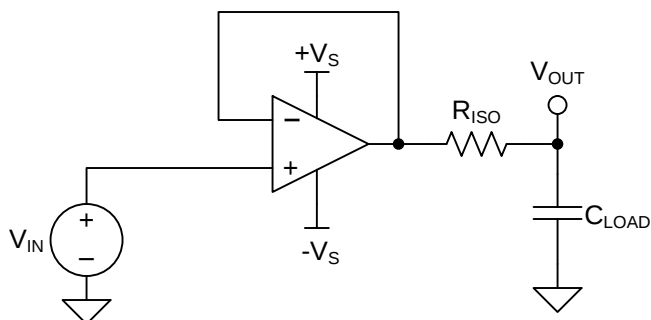


图 47. 具有 R_{ISO} 稳定性补偿的单位增益缓冲器

9.2.1.1 设计要求

设计要求包括：

- 电源电压：30V ($\pm 15\text{V}$)
- 容性负载：100pF、1000pF、0.01 μF 、0.1 μF 和 1 μF
- 相位裕度：45° 和 60°

典型应用 (接下页)

9.2.1.2 详细设计流程

图 47 描述了驱动电容负载的单位增益缓冲器。公式 1 显示了图 47 中的电路传递函数。图 47 未显示运算放大器的开环输出电阻 R_o 。

$$T(s) = \frac{1 + C_{LOAD} \times R_{ISO} \times s}{1 + (R_o + R_{ISO}) \times C_{LOAD} \times s} \quad (1)$$

公式 1 中的传递函数存在极点和零点。极点频率 (f_p) 取决于 $(R_o + R_{ISO})$ 和 C_{LOAD} 。组件 R_{ISO} 和 C_{LOAD} 决定了零点频率 (f_z)。通过选择 R_{ISO} ，可使开环增益 (A_{OL}) 与 $1/\beta$ 间的接近率 (ROC) 达到 20 dB/十倍频，从而确保系统稳定性。图 48 阐述了这一概念。请注意，单位增益缓冲器的 $1/\beta$ 曲线为 0dB。

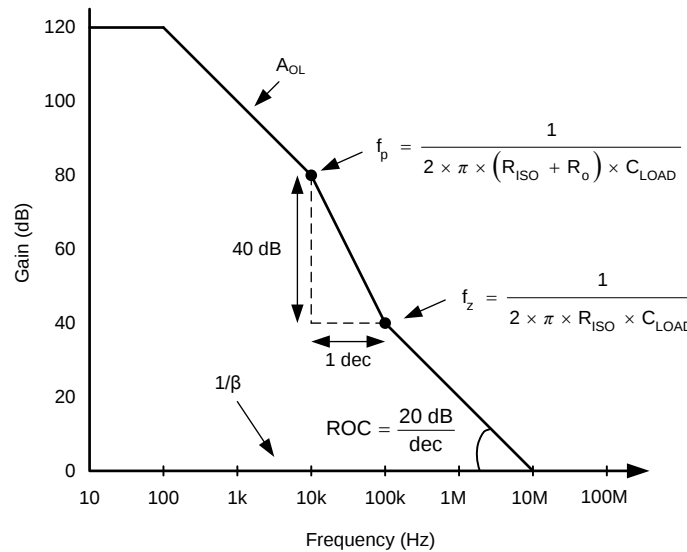


图 48. 具有 R_{ISO} 补偿的单位增益放大器

ROC 稳定性分析通常为模拟结果。分析的有效性取决于多种因素，尤其是准确的 R_o 建模。除模拟 ROC 外，可靠的稳定性分析还包括使用函数生成器、示波器以及增益和相位分析器，对电路的过冲百分比和交流增益峰值进行测量。然后，通过这些测量值计算相位裕度。表 5 显示了与 45° 和 60° 相位裕度对应的过冲百分比和交流增益峰值。有关此设计和可用于代替 OPA172-Q1 的其他备选器件的更多详细信息，请参阅《采用隔离电阻器的电容负载驱动解决方案》精密设计 (TIPD128)。

表 5. 相位裕度与过冲和交流增益峰值间的关系

相位裕度	过冲	交流增益峰值
45°	23.3%	2.35dB
60°	8.8%	0.28dB

9.2.1.3 应用曲线

OPA172-Q1 可满足 30V 的电源电压需求。已针对不同的电容负载对 OPA172-Q1 进行了测试，并且已对 R_{ISO} 进行调整以得到与表 5 相对应的过冲。图 49 总结了这些测试的结果。

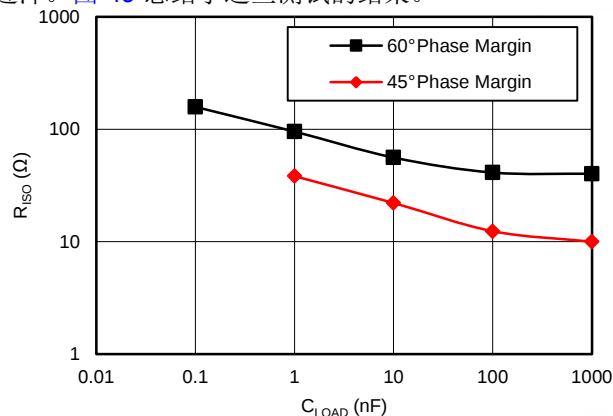


图 49. R_{ISO} 与 C_{LOAD} 间的关系

9.2.2 双向电流源

图 50 中显示的改进型 Howland 电流泵技术具有优异的性能，因为 INA132 的芯片上电阻具有极其严格的容差。通过使用 OPA172-Q1 对输出进行缓冲，极大地扩展了电路能够提供的输出电流。

公式 2 显示了电路直流传递函数。

$$I_{OUT} = V_{IN} / R1 \quad (2)$$

由于低偏置电流可最大限度降低在 $R1$ 上产生的误差电压，OPA172-Q1 也可用作反馈放大器。不过，请选择具有极低失调的 FET 输入器件（例如 OPA192、OPA140 或 OPA188）作为反馈放大器以实现性能提升。

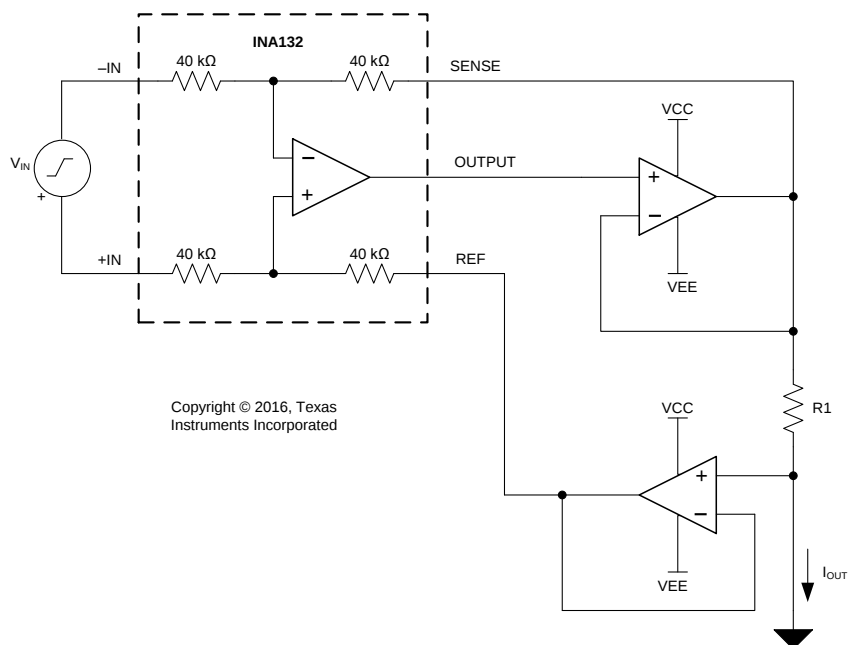


图 50. 双向电流源

9.2.3 JFET 输入低噪声放大器

图 51 显示了低噪声复合放大器，该放大器是通过添加 JFET 对 (Q1 和 Q2) 作为 OPA172-Q1 的输入前置放大器而构建的。晶体管 Q3 和 Q4 形成一个 2mA 电流接收器，用 1mA 漏极电流偏置每个 JFET。使用 3.9kΩ 漏极电阻器可在输入放大器中产生大约 10 倍的增益，使 JFET 对的极低宽带噪声频谱密度 Q1 和 Q2 成为放大器的主要噪声源。输入差分放大器的输出阻抗足够大，使 FET 输入放大器 (如 OPA172-Q1) 具有优于双极输入放大器的出色噪声性能。

复合放大器的增益由 公式 3 确定。

$$A_v = (1 + R_3/R_4) \quad (3)$$

所显示的电阻是 1% 的标准电阻值，可产生具有 68° 相补角的大约 100 (99.26) 倍的增益值。增益值小于 10 时可能需要采用额外补偿方法来确保稳定性。选择低电阻值以最大限度降低电阻器热噪声造成的总输出噪声。

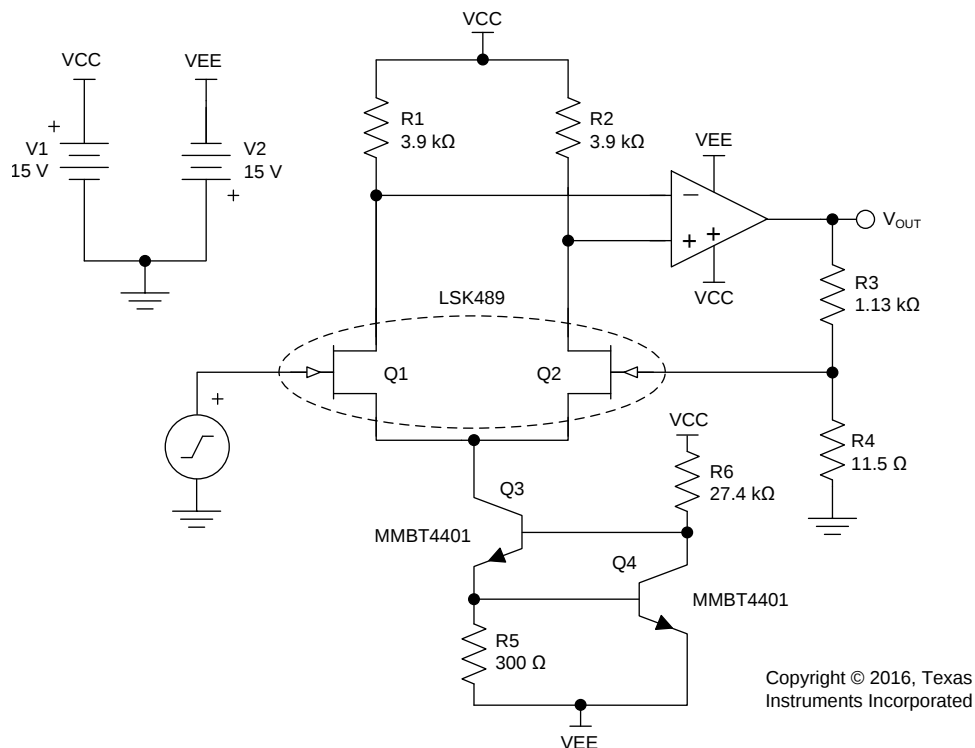


图 51. JFET 输入低噪声放大器

10 电源建议

OPA172-Q1 的额定工作电压范围是 4.5V 至 36V ($\pm 2.25\text{V}$ 至 $\pm 18\text{V}$)；多种技术规格适用于 -40°C 至 $+125^{\circ}\text{C}$ 的温度范围。[典型特性](#)部分提供的参数可能随工作电压或温度的不同出现显著变化。

CAUTION

电源电压大于 40V 可能会对器件造成永久损坏（请参阅[绝对最大额定值表](#)）。

将 $0.1\mu\text{F}$ 旁路电容器置于电源终端附近，以减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容位置的详细信息，请参阅[布局](#)部分。

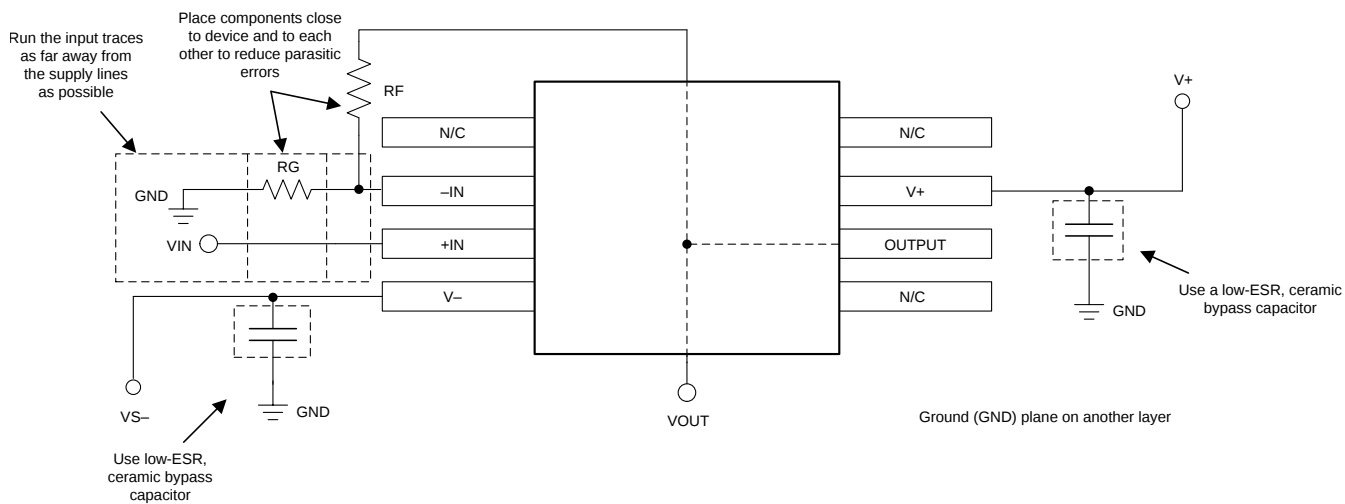
11 布局

11.1 布局指南

为了实现器件的最佳运行性能，应使用良好的印刷电路板 (PCB) 布局规范，包括：

- 噪声可以通过整个电路的电源引脚和运算放大器本身的电源引脚传入模拟电路。旁路电容为局部模拟电路提供低阻抗电源，用于降低耦合噪声。
 - 在每个电源引脚和接地端之间连接低 ESR $0.1\mu\text{F}$ 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单通道电源应用。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为降低寄生耦合，输入迹线应尽量远离电源或输出迹线。如果上述迹线无法保持分离，可优先选择将敏感的迹线与有噪声的迹线交叉垂直，而非与之平行。
- 外部组件的位置应尽量靠近器件。如[图 52](#)所示，使 RF 和 RG 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入迹线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。

11.2 布局示例



Copyright © 2017, Texas Instruments Incorporated

图 52. 同相配置运算放大器电路板布局

12 器件和文档支持

12.1 器件支持

12.1.1 开发支持

12.1.1.1 TINA-TI™ (免费软件下载)

TINA-TI™ 是一款基于 SPICE 引擎的电路仿真程序，简单易用并且功能强大。TINA-TI™ 是 TINA-TI™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI™ 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI™ 提供全面的后处理能力，便于用户以多种方式获得结果，用户可从 Analog eLab Design Center（模拟电子实验室设计中心）[免费下载](#)。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的功能，从而构建一个动态的快速入门工具。

注

这些文件需要安装 TINA 软件（由 DesignSoft™ 提供）或者 TINA-TI™ 软件。请下载 [TINA-TI™ 文件夹](#) 中的免费 TINA-TI™ 软件。

12.2 文档支持

12.2.1 相关文档

请参阅如下相关文档：

- 《[反馈曲线图定义运算放大器交流性能](#)》（文献编号：SBOA015）
- 《[运算放大器的 EMI 抑制比](#)》（文献编号：SBOA128）
- 《[采用隔离电阻的电容式负载驱动器解决方案](#)》（文献编号：TIDU032）
- 《[INA132 低功耗单电源差分放大器](#)》（文献编号：SBOS059）
- 《[OPAx192 具有 e-trim™ 的 36V、精密、轨到轨输入/输出、低偏移电压、低输入偏置电流运算放大器](#)》（文献编号：SBOS620）
- 《[OPA140 高精度、低噪声、轨到轨输出、11MHz JFET 运算放大器](#)》（文献编号：SBOS498）
- 《[OPA188 高精度、低噪声、轨到轨输出、36V、零漂移运算放大器](#)》（文献编号：SBOS642）

12.3 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及立即购买的快速链接。

表 6. 相关链接

部件	产品文件夹	立即订购	技术文档	工具和软件	支持和社区
OPA2172-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA4172-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

12.4 接收文档更新通知

要接收文档更新通知，请导航至 Ti.com.cn 上的器件产品文件夹。单击右上角的 [通知我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.5 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

TI E2E™ 在线社区 TI 的工程师对工程师 (E2E) 社区。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 TI 参考设计支持 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

12.6 商标

TINA-TI, E2E are trademarks of Texas Instruments.

蓝牙 is a registered trademark of Bluetooth SIG, Inc.

DesignSoft is a trademark of DesignSoft, Inc.

All other trademarks are the property of their respective owners.

12.7 静电放电警告



ESD 可能会损坏该集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理措施和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.8 术语表

SLYZ022 — TI 术语表。

这份术语表列出并解释术语、缩写和定义。

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此产品说明书的浏览器版本，请参阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2172QDGKQ1	Active	Production	VSSOP (DGK) 8	80 TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	18W6
OPA2172QDGKQ1.B	Active	Production	VSSOP (DGK) 8	80 TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	18W6
OPA2172QDGKRQ1	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	18W6
OPA2172QDGKRQ1.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	18W6
OPA4172AQPWRQ1	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4172Q1
OPA4172AQPWRQ1.B	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4172Q1

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA2172-Q1, OPA4172-Q1 :

- Catalog : [OPA2172](#), [OPA4172](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2172QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2172QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA4172AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2172QDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2172QDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA4172AQPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA2172QDGKQ1	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA2172QDGKQ1.B	DGK	VSSOP	8	80	330	6.55	500	2.88

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月