

NE5532x、SA5532x 双低噪声运算放大器

1 特性

- 等效输入噪声电压：1kHz 时典型值为 $5\text{nV}/\sqrt{\text{Hz}}$
- 单位带宽增益积：12MHz (典型值)
- 共模抑制比：100dB (典型值)
- 高直流电压增益：100V/mV (典型值)
- 高压摆率：5V/ μs (典型值)

2 应用

- AV 接收器
- 嵌入式个人电脑 (PC)
- 上网本
- 视频广播与基础设施：可扩展平台
- DVD 录像机和播放器
- 多通道视频传输编码器
- 专业音频混合器

3 说明

NE5532、NE5532A、SA5532 和 SA5532A 器件是具有出色直流和交流特性的高性能运算放大器。这些器件

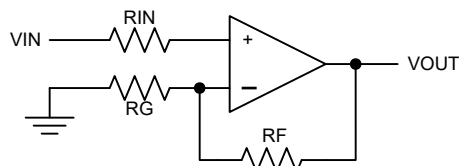
具有极低噪声、高输出驱动能力、高单位增益和最大输出摆幅带宽、低失真、高压摆率、输入保护二极管以及输出短路保护功能。这些运算放大器在内部针对单位增益运行进行补偿。这些器件具有等效输入噪声电压的额定最大值。

器件信息

器件型号 ⁽¹⁾	封装 (引脚)	封装尺寸 (标称值) ⁽²⁾
NE5532x、SA5532x	SOIC (8)	4.90mm × 3.91mm
NE5532x、SA5532x	PDIP (8)	9.81mm × 6.35mm
NE5532x	SO (8)	6.20mm × 5.30mm

(1) 有关更多信息，请参阅 节 10。

(2) 封装尺寸 (长 × 宽) 为标称值并包括引脚 (如适用)



简化版原理图



内容

1 特性.....	1	6.3 特性说明.....	6
2 应用.....	1	6.4 器件功能模式.....	6
3 说明.....	1	7 应用和实施.....	7
4 引脚配置和功能.....	2	7.1 典型应用.....	7
5 规格.....	3	7.2 电源相关建议.....	9
5.1 绝对最大额定值.....	3	7.3 布局.....	9
5.2 ESD 等级.....	3	8 器件和文档支持.....	11
5.3 建议运行条件.....	3	8.1 接收文档更新通知.....	11
5.4 热性能信息.....	3	8.2 支持资源.....	11
5.5 电气特性.....	4	8.3 商标.....	11
5.6 工作特性.....	4	8.4 静电放电警告.....	11
5.7 典型特性.....	5	8.5 术语表.....	11
6 详细说明.....	6	9 修订历史记录.....	11
6.1 概述.....	6	10 机械、封装和可订购信息.....	12
6.2 功能方框图.....	6		

4 引脚配置和功能

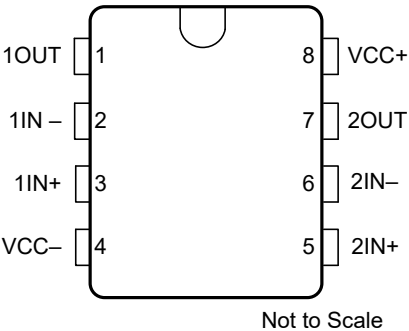


图 4-1. NE5532x、D 封装、8 引脚 SOIC、P 封装、8 引脚 PDIP、PS 封装、8 引脚 SO
SA5532x、D 封装、8 引脚 SOIC、P 封装、8 引脚 PDIP
(顶视图)

引脚功能

引脚		类型	说明
名称	编号		
1IN+	3	输入	同相输入
1IN -	2	输入	反相输入
OUT1	1	输出	输出
2IN+	5	输入	同相输入
2IN -	6	输入	反相输入
2OUT	7	输出	输出
VCC+	8	—	正电源
VCC -	4	—	负电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
V _{CC}	电源电压 ⁽²⁾	V _{CC+}	0	+18	V
		V _{CC-}	-18	0	V
	输入电压，任一输入 ^{(2) (3)}		-15	+15	V
	输入电流 ⁽⁴⁾		-10	10	mA
	输出短路的持续时间 ⁽⁵⁾		无限		
T _J	运行虚拟结温			+150	°C
T _{stg}	贮存温度范围		-60	+125	°C

- (1) 超出绝对最大额定值范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出 节 5.3，但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 除差分电压外的所有电压值均以 V_{CC+} 和 V_{CC-} 之间的中间点为参考基准。
- (3) 输入电压的幅值绝不能超过电源电压的幅值。
- (4) 如果在输入端之间施加超过约 0.6V 的差动输入电压，会导致电流过大，除非使用了一些限制电阻。
- (5) 输出端可能短路至接地端或任一电源。必须限制温度和/或电源电压，以确保不超过最大额定功耗。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 ⁽¹⁾	1000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚 ⁽²⁾	1000	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

			最小值	最大值	单位
V _{CC+}	电源电压		5	15	V
V _{CC-}	电源电压		-5	-15	V
T _A	自然通风条件下的工作温度	NE5532、NE5532A	0	70	°C
		SA5532、SA5532A	-40	+85	

5.4 热性能信息

热指标 ⁽¹⁾		NE5532、NE5532A、SA5532 和 SA5532A			单位
		D	P	PS	
		8 引脚			
R _{θJA}	结至环境热阻 ^{(3) (2)}	97	85	95	°C/W

- (1) 有关新旧热指标的更多信息，请参阅 [IC 封装热指标应用报告](#)。
- (2) 最大功耗是与 T_{J(max)}、θ_{JA} 和 T_A 相关的函数。在任何允许的环境温度下，允许的最大功率耗散为 P_D = (T_{J(max)} - T_A) / θ_{JA}。在 150°C 的绝对最大 T_J 下运行可能会影响可靠性。
- (3) 封装热阻抗根据 JESD 51-7 计算。

5.5 电气特性

$V_{CC\pm} = \pm 15V$, $T_A = 25^\circ C$ (除非另有说明)

参数		测试条件 ⁽¹⁾		最小值	典型值	最大值	单位
V_{IO}	输入偏移电压	$V_O = 0$	$T_A = 25^\circ C$	0.5	4		mV
			$T_A = \text{完整范围}^{(2)}$		5		
I_{IO}	输入失调电流	$T_A = 25^\circ C$		10	150		nA
		$T_A = \text{完整范围}^{(2)}$			200		
I_{IB}	输入偏置电流	$T_A = 25^\circ C$		200	800		nA
		$T_A = \text{完整范围}^{(2)}$			1000		
V_{ICR}	共模输入电压范围			± 12	± 13		V
A_{VD}	大信号差分电压放大	$R_L \geq 600\Omega$, $V_O = \pm 10V$	$T_A = 25^\circ C$	15	50		V/mV
			$T_A = \text{完整范围}^{(2)}$	10			
		$R_L \geq 2k\Omega$, $V_O = \pm 10V$	$T_A = 25^\circ C$	25	100		
			$T_A = \text{完整范围}^{(2)}$	15			
B_1	单位增益带宽				12		MHz
r_i	输入电阻			30	300		k Ω
CMRR	共模抑制比	$V_{IC} = V_{ICR}$ 最小值		70	100		dB
k_{SVR}	电源电压抑制比 ($\Delta V_{CC\pm} / \Delta V_{IO}$)	$V_{CC\pm} = \pm 9V$ 至 $\pm 15V$, $V_O = 0$		80	100		dB
I_{OS}	输出短路电流				38		mA
I_{CC}	总电源电流	$V_O = 0$, 空载			6	16	mA

(1) 除非另有说明, 否则所有特性均在开环条件下以零共模输入电压测定。

(2) 全温度范围为: SA5532 和 SA5532A 器件的工作温度范围为 $-40^\circ C$ 至 $85^\circ C$, NE5532 和 NE5532A 器件的工作温度范围为 $0^\circ C$ 至 $70^\circ C$ 。

5.6 工作特性

$V_{CC\pm} = \pm 15V$, $T_A = 25^\circ C$ (除非另有说明)

参数		测试条件	NE5532、SA5532			NE5532A、SA5532A			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
SR	单位增益下的压摆率			5			5		V/ μs
V_n	等效输入噪声电压	$f = 30Hz$		8			8		nV/ $\sqrt{Hz}$
		$f = 1kHz$		5			5		
I_n	等效输入噪声电流	$f = 30Hz$		2.7			2.7		pA/ $\sqrt{Hz}$
		$f = 1kHz$		0.7			0.7		

5.7 典型特性

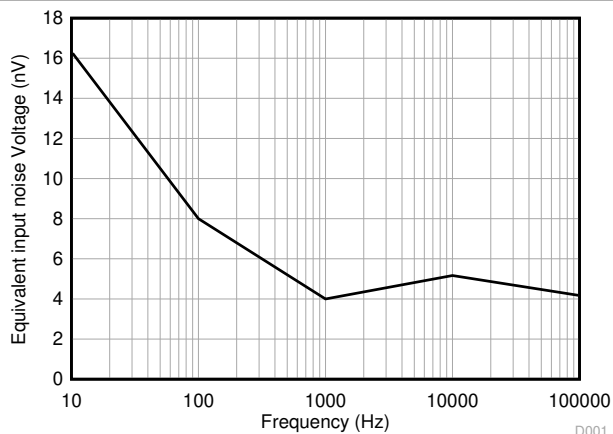


图 5-1. 等效输入噪声电压与频率间的关系

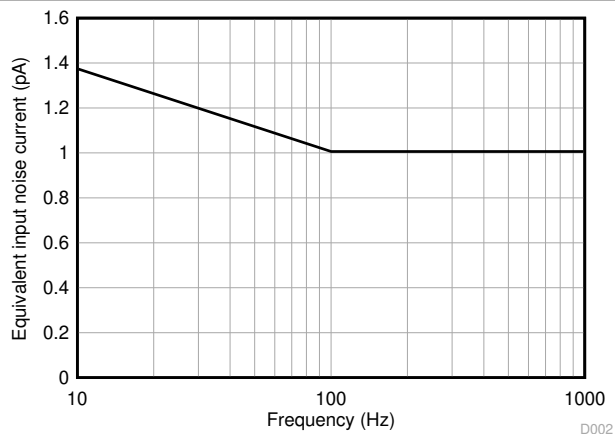


图 5-2. 等效输入噪声电流与频率间的关系

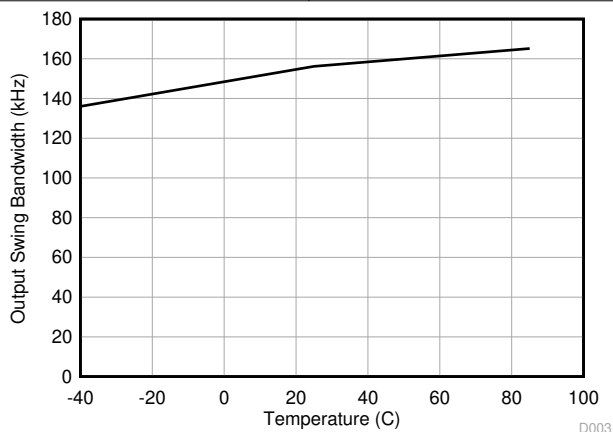


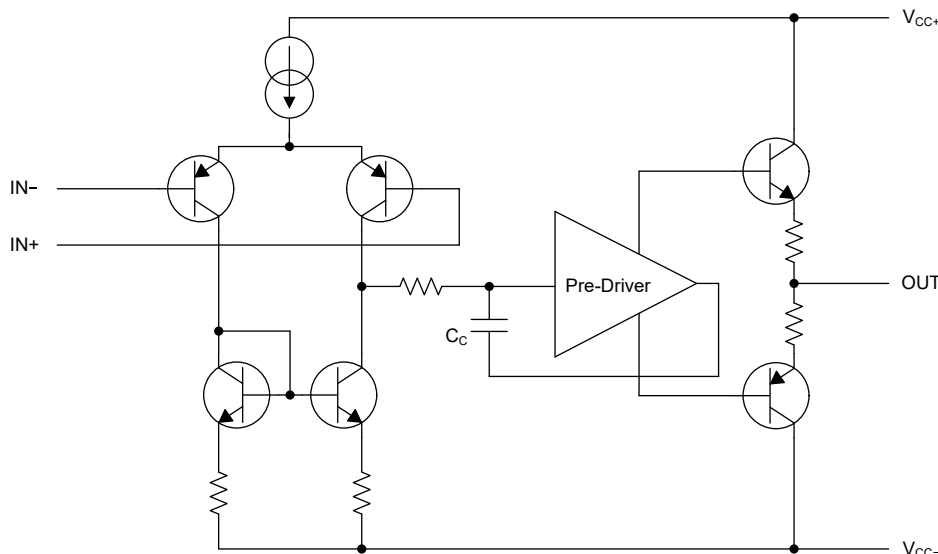
图 5-3. $V_{CC} = \pm 10V$ 时输出摆幅带宽与温度间的关系

6 详细说明

6.1 概述

NE5532、NE5532A、SA5532 和 SA5532A 器件是具有出色直流和交流特性的高性能运算放大器。器件具有极低噪声、高输出驱动能力、高单位增益和最大输出摆幅带宽、低失真、高压摆率、输入保护二极管以及输出短路保护功能。这些运算放大器在内部针对单位增益运行进行补偿。这些器件具有等效输入噪声电压的额定最大值。

6.2 功能方框图



6.3 特性说明

6.3.1 单位增益带宽

单位增益带宽具有单位增益的放大器可以工作而不会导致信号严重失真的最大频率。NE5532、NE5532A、SA5532 和 SA5532A 器件具有 10MHz 的单位增益带宽。

6.3.2 共模抑制比

放大器的共模抑制比 (CMRR) 用于衡量器件对两条输入引线共同的无用输入信号的抑制能力。CMRR 是通过取输入偏移电压的改变量与输入电压改变量之比并转换为分贝得出的。CMRR 可能是无限的，但在实践中，放大器的设计目标是尽可能使该比值达到最高。NE5532、NE5532A、SA5532 和 SA5532A 器件的 CMRR 为 100dB。

6.3.3 压摆率

压摆率是指运算放大器在输入发生变化时可以改变输出的速率。NE5532、NE5532A、SA5532 和 SA5532A 器件具有 9V/ms 的压摆率。

6.4 器件功能模式

NE5532、NE5532A、SA5532 和 SA5532A 器件会在连接电源时通电。这些器件中的每一款均可根据应用情况作为单电源运算放大器或双电源放大器使用。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 典型应用

某些应用需要差分信号。图 7-1 展示了采用单个 15V 电源的简单电路将 2V 至 10V 的单端输入转换为 $\pm 8V$ 的差分输出。有意限制输出范围以更大限度地提高线性度。该电路由两个放大器组成。一个放大器充当缓冲器并产生电压 V_{OUT+} 。另一个放大器反转输入并添加参考电压以生成 V_{OUT-} 。 V_{OUT+} 和 V_{OUT-} 的范围均为 2V 至 10V。差值 V_{DIFF} 是 V_{OUT+} 和 V_{OUT-} 之间的差值。

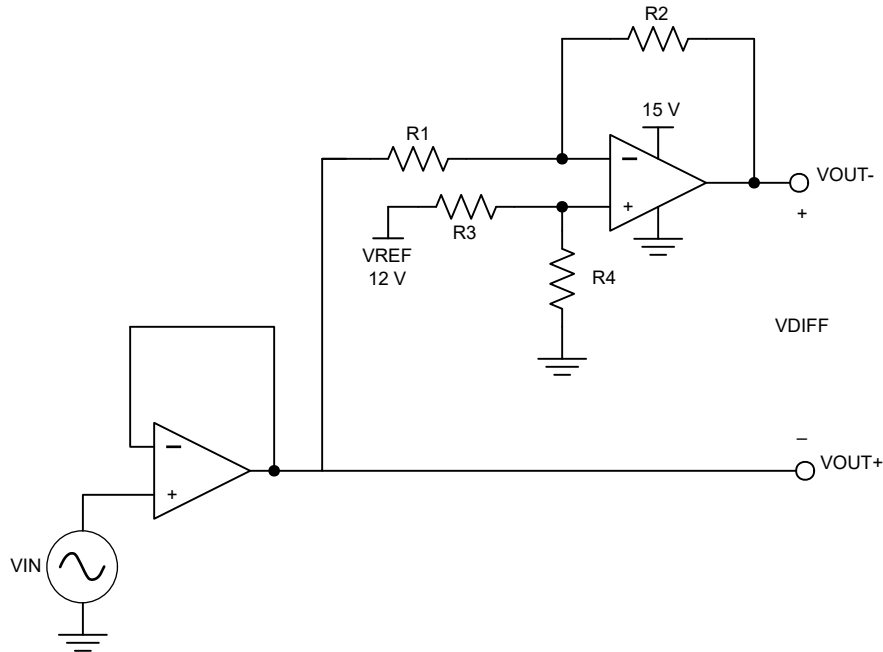


图 7-1. 单端输入转差分输出原理图

7.1.1 设计要求

设计要求如下：

- 电源电压：15V
- 基准电压：12V
- 输入：2V 至 10V
- 输出差分： $\pm 8V$

7.1.2 详细设计过程

图 7-1 中的电路使用两个放大器和基准电压 V_{REF} ，接受单端输入信号 V_{IN} ，并生成两个输出信号 V_{OUT+} 和 V_{OUT-} 。 V_{OUT+} 是第一个放大器的输出，并且是输入信号 V_{IN} 方程式 1 的缓冲版本。 V_{OUT-} 是第二个放大器的输出，该放大器使用 V_{REF} 将失调电压添加至 V_{IN} 和反馈以添加反相增益。 V_{OUT-} 的传递函数如方程式 2 所示。

$$V_{OUT+} = V_{IN} \quad (1)$$

$$V_{OUT-} = V_{REF} \times \left(\frac{R_4}{R_3 + R_4} \right) \times \left(1 + \frac{R_2}{R_1} \right) - V_{IN} \times \frac{R_2}{R_1} \quad (2)$$

差分输出信号 (V_{DIFF}) 是两个单端输出信号 (V_{OUT+} 和 V_{OUT-}) 之差。方程式 3 显示了 V_{DIFF} 的传递函数。通过应用 $R_1 = R_2$ 和 $R_3 = R_4$ 两种条件，传递函数简化为方程式 6。使用此配置，最大输入信号等于基准电压，每个放大器的最大输出等于 V_{REF} 。差分输出范围为 $2 \times V_{REF}$ 。此外，共模电压为 V_{REF} 的一半 (请参阅方程式 7)。

$$V_{DIFF} = V_{OUT+} - V_{OUT-} = V_{IN} \times \left(1 + \frac{R_2}{R_1} \right) - V_{REF} \times \left(\frac{R_4}{R_3 + R_4} \right) \times \left(1 + \frac{R_2}{R_1} \right) \quad (3)$$

$$V_{OUT+} = V_{IN} \quad (4)$$

$$V_{OUT-} = V_{REF} - V_{IN} \quad (5)$$

$$V_{DIFF} = 2 \times V_{IN} - V_{REF} \quad (6)$$

$$V_{cm} = \left(\frac{V_{OUT+} + V_{OUT-}}{2} \right) = \frac{1}{2} V_{REF} \quad (7)$$

7.1.2.1 放大器选择

输入范围内的线性度是实现良好直流精度的关键。共模输入范围和输出摆幅限制决定了线性度。通常，需要具有轨到轨输入和输出摆幅的放大器。带宽是此设计的一个关键考虑因素。由于 NE5532 的带宽为 10MHz，此电路只能处理频率小于 10MHz 的信号。

7.1.2.2 无源组件选择

由于 V_{OUT-} 的传递函数高度依赖于电阻器 (R_1 、 R_2 、 R_3 和 R_4)，因此应使用低容差的电阻器来最大限度提高性能并最大限度减小误差。此设计使用电阻值为 36k Ω ，且测量容差小于 2% 的电阻器。但是，如果系统噪声是关键参数，用户可以选择较低电阻值 (6k Ω 或更低) 以使整个系统保持低噪声。这样可以确保电阻器产生的噪声低于放大器噪声。

7.1.3 应用曲线

图 7-2、图 7-3 和图 7-4 中所示的实测传递函数是通过将输入电压从 0V 扫频至 12V 而生成的。然而，为实现最佳线性度，此设计仅使用 2V 至 10V 的电压。

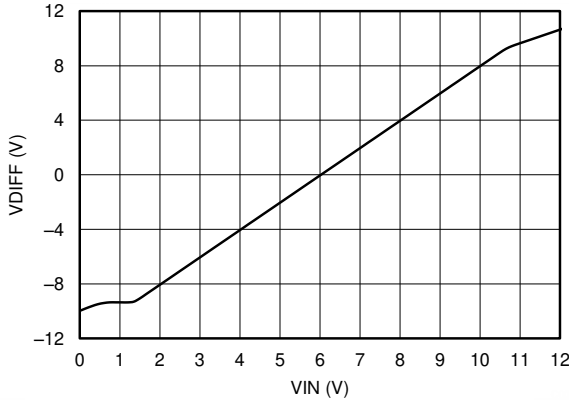


图 7-2. 差分输出电压与输入电压间的关系

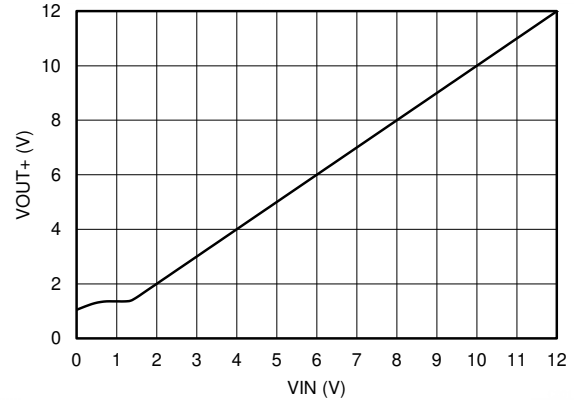


图 7-3. 正输出电压节点与输入电压间的关系

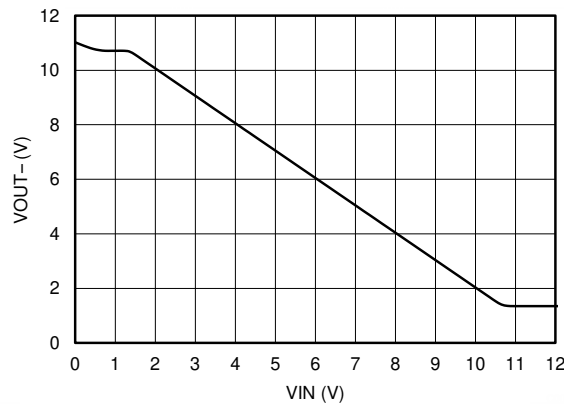


图 7-4. 正输出电压节点与输入电压间的关系

7.2 电源相关建议

NE5532x 和 SA5532x 器件指定在 $\pm 5\text{V}$ 至 $\pm 15\text{V}$ 范围内运行；许多规格适用于 0°C 至 70°C (NE5532x) 和 -40°C 至 $+85^\circ\text{C}$ (SA5532x)。节 5.7 提供了与工作电压或温度相关的显著变化参数。

小心

超出 $\pm 22\text{V}$ 范围的电源电压可能会对器件造成永久损坏 (请参阅节 5.1)。

将 $0.1\ \mu\text{F}$ 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。有关旁路电容器放置的更多详细信息，请参阅节 7.3.1。

7.3 布局

7.3.1 布局指南

为了实现器件的出色工作性能，请采用良好的 PCB 布局实践，包括：

- 噪声可通过整个电路的电源引脚以及运算放大器传入模拟电路。旁路电容器用于为局部模拟电路提供低阻抗电源，从而降低耦合噪声。
 - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) $0.1\ \mu\text{F}$ 陶瓷旁路电容器，并尽量靠近器件放置。从 V+ 到接地端的单个旁路电容器适用于单电源应用。
- 将电路中的模拟部分和数字部分单独接地是最简单、最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和减少 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参阅电路板布局技巧 SLOA089。

- 为了减少寄生耦合，应让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离状态，最好让敏感走线与有噪声的走线垂直相交，而不是平行相交。
- 外部元件应尽量靠近器件放置。如 [节 7.3.2](#) 中所示，使 R_F 和 R_G 接近反相输入可尽可能减小寄生电容。
- 尽可能缩短输入走线的长度。切记，输入布线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。

7.3.2 布局示例

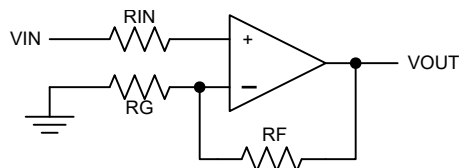


图 7-5. 同相配置的运算放大器原理图

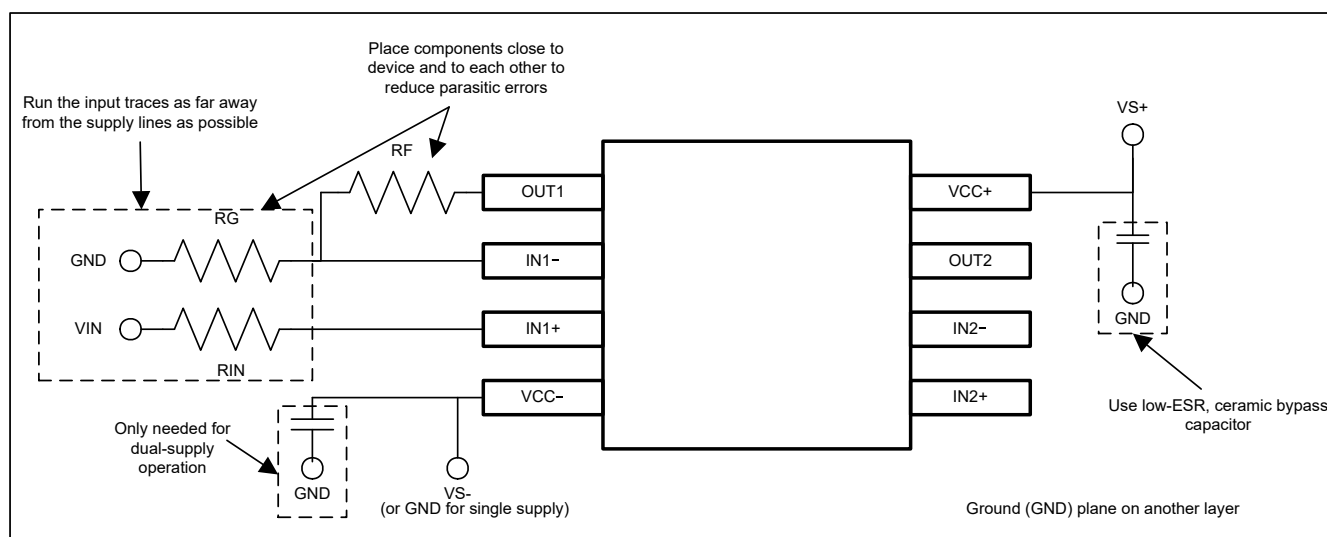


图 7-6. 同相配置的运算放大器电路板布局

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

Changes from Revision J (January 2015) to Revision K (December 2025)	Page
• 将单位增益带宽典型值从 10MHz 更改为 12MHz.....	1
• 将高压摆率典型值从 9V/μs 更改为 5V/μs.....	1
• 已删除峰值间电压摆幅.....	1
• 将电源电压正负值从 22V 更改为 18V.....	3
• 将输入电压的正负值从 -10V 和 +10V 更改为 -15V 和 +15V.....	3
• 将存储温度范围由 -35°C 至 +150°C 更改为 -60°C 至 +125°C.....	3
• 将 HBM 从 2000V 更改为 1000V.....	3
• 单位增益带宽从 10MHz 更改为 12MHz.....	4
• 删除了最大峰峰值输出电压摆幅、小信号差分电压放大、最大输出摆幅带宽、输出阻抗、串扰衰减.....	4
• 电源电流值从 8mA 更改为 6mA.....	4
• 删除了过冲系数.....	4
• 将压摆率值从 9V/μs 更改为 5V/μs.....	4

Changes from Revision I (April 2009) to Revision J (January 2015)	Page
• 添加了应用、器件信息表、引脚功能表、ESD 等级表、热性能信息表、典型特性、特性说明部分、器件功能模式、应用和实施部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分.....	1
• 删除了订购信息表.....	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
NE5532ADR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532A
NE5532ADR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532A
NE5532ADR1G4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532A
NE5532ADR1G4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532A
NE5532AP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE5532AP
NE5532AP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE5532AP
NE5532APSR	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532A
NE5532APSR.A	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532A
NE5532APSRE4	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532A
NE5532D	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	N5532
NE5532DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532
NE5532DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532
NE5532DRE4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532
NE5532DRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532
NE5532DRG4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532
NE5532P	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE5532P
NE5532P.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE5532P
NE5532PE4	Active	Production	PDIP (P) 8	50 TUBE	-	Call TI	Call TI	0 to 70	
NE5532PSR	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532
NE5532PSR.A	Active	Production	SO (PS) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N5532
SA5532AD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	SA5532A
SA5532ADR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SA5532A
SA5532ADR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SA5532A
SA5532ADRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SA5532A
SA5532ADRG4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SA5532A
SA5532AP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SA5532AP
SA5532AP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SA5532AP
SA5532APE4	Active	Production	PDIP (P) 8	50 TUBE	-	Call TI	Call TI	-40 to 85	
SA5532D	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	SA5532

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SA5532DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SA5532
SA5532DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SA5532
SA5532P	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SA5532P
SA5532P.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SA5532P

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
NE5532ADR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NE5532ADR1G4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NE5532APSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
NE5532DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NE5532DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NE5532PSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SA5532ADR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SA5532ADRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SA5532DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

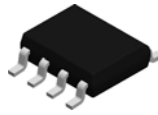
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
NE5532ADR	SOIC	D	8	2500	353.0	353.0	32.0
NE5532ADR1G4	SOIC	D	8	2500	353.0	353.0	32.0
NE5532APSR	SO	PS	8	2000	353.0	353.0	32.0
NE5532DR	SOIC	D	8	2500	353.0	353.0	32.0
NE5532DRG4	SOIC	D	8	2500	340.5	338.1	20.6
NE5532PSR	SO	PS	8	2000	353.0	353.0	32.0
SA5532ADR	SOIC	D	8	2500	353.0	353.0	32.0
SA5532ADRG4	SOIC	D	8	2500	353.0	353.0	32.0
SA5532DR	SOIC	D	8	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
NE5532AP	P	PDIP	8	50	506	13.97	11230	4.32
NE5532AP.A	P	PDIP	8	50	506	13.97	11230	4.32
NE5532P	P	PDIP	8	50	506	13.97	11230	4.32
NE5532P.A	P	PDIP	8	50	506	13.97	11230	4.32
SA5532AP	P	PDIP	8	50	506	13.97	11230	4.32
SA5532AP.A	P	PDIP	8	50	506	13.97	11230	4.32
SA5532P	P	PDIP	8	50	506	13.97	11230	4.32
SA5532P.A	P	PDIP	8	50	506	13.97	11230	4.32

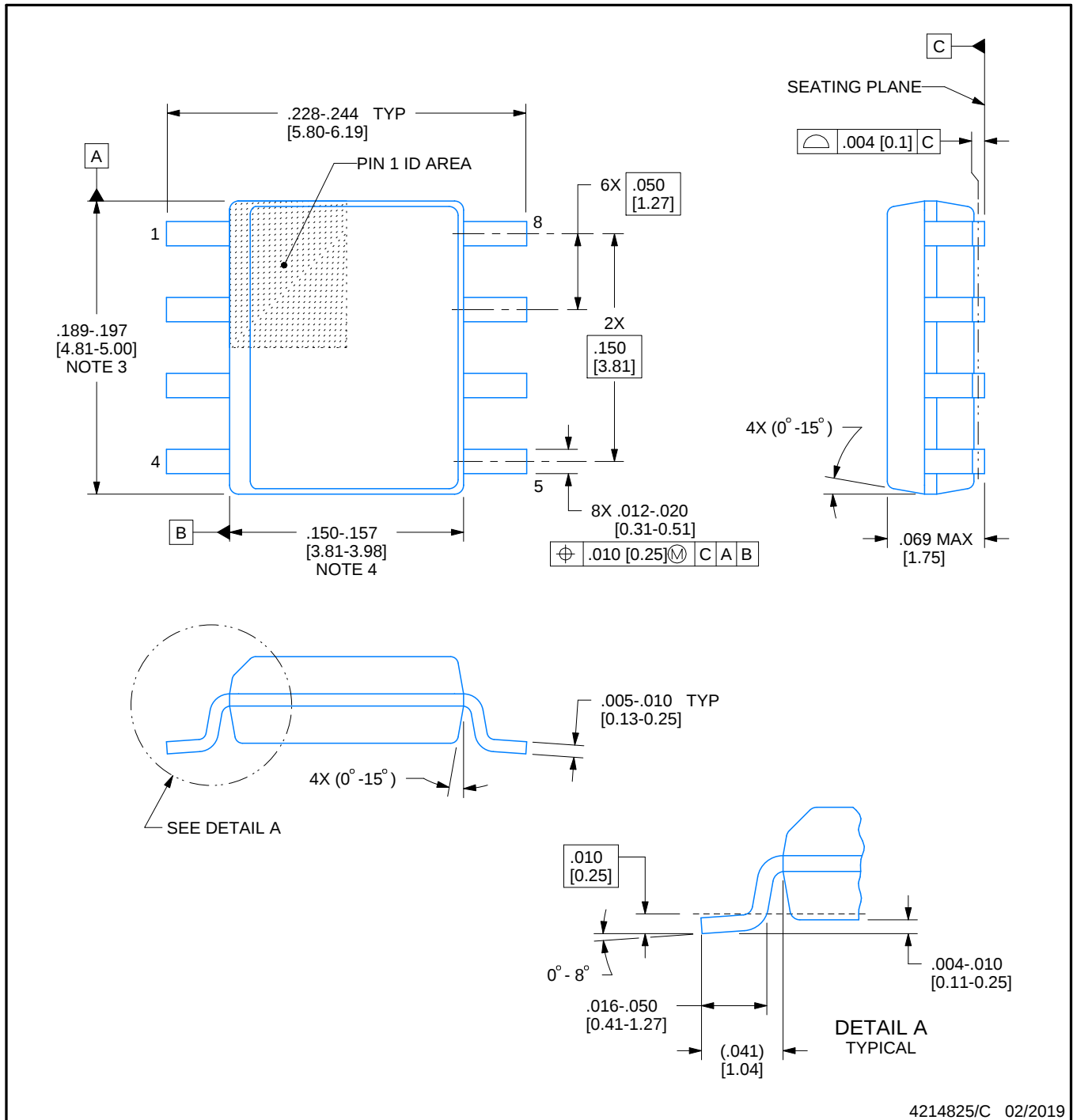


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

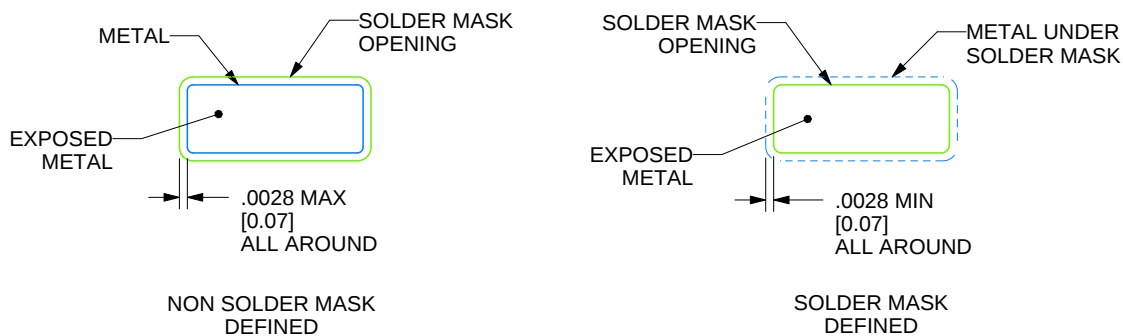
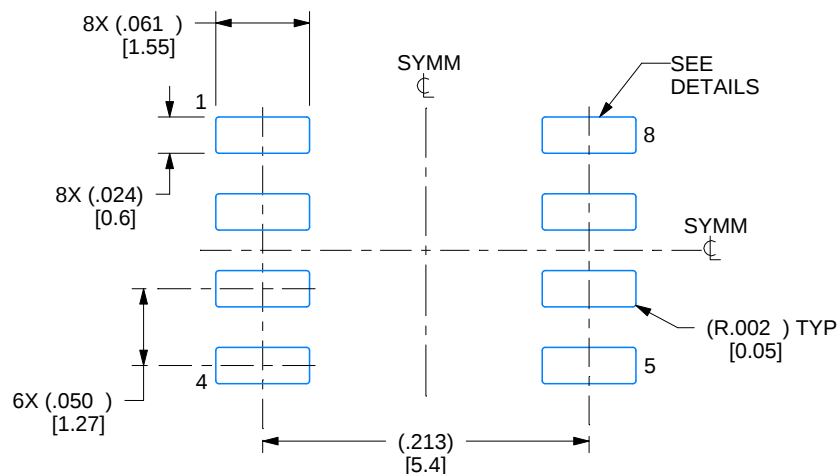
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

PS (R-PDSO-G8)

PLASTIC SMALL-OUTLINE PACKAGE



4040063/C 03/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月