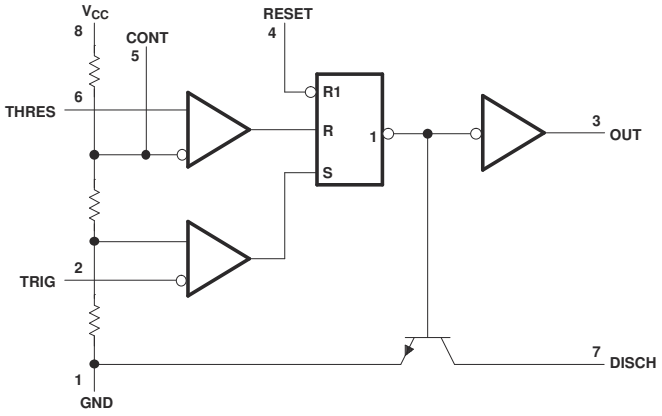
xx555 精密计时器

1 特性

- 将定时从微秒更改为小时
- 非稳态或单稳态工作模式
- 可调占空比
- 兼容 TTL 的灌电流和拉电流输出
  最高可达 200mA
- 对于符合 MIL-PRF-38535 标准的产品，
  所有参数均经过测试，除非另有说明。对于所有其他产品，生产流程不一定包含
  对所有参数的测试。

2 应用

- 脉冲整形电路
- 漏脉冲检测器
- 脉宽调制器
- 脉冲位置调制器
- 顺序计时器
- 脉冲发生器
- 分频器
- 工业控制



简化版原理图

3 说明

Nx555 和 Sx555 器件是精密计时电路，能够实现准确的延时时间和振荡。在延时时间或单稳态工作模式下，计时间隔由单个外部电阻器和电容器网络控制。在非稳态工作模式下，频率和占空比由两个外部电阻器和单个外部电容器独立控制。

每个计时器有一个约等于电源电压三分之一的触发电平以及一个约等于电源电压三分之二的阈值电平。可使用控制电压引脚 (CONT) 来改变这些电平。当触发输入 (TRIG) 低于触发电平的时候，触发器被设定并且输出变为高电平。如果 TRIG 高于触发电平并且阈值输入 (THRES) 在阈值电平之上，触发器将被复位并且输出为低电平。复位输入 (RESET) 的优先级高于所有其他输入并且被用来启动一个新的定时周期。如果 RESET 为低电平，触发器被复位并且输出为低电平。只要当输出为低电平，就会在放电引脚 (DISCH) 和接地引脚 (GND) 之间提供一个低阻抗路径。将所有未用输入接入合适的逻辑电平以免发生误触发

输出电路能够驱动高达 200mA 的灌电流或拉电流。电源额定工作电压为 5V 至 15V。当供电为 5V 时，输出电平与 TTL 输入兼容。

器件信息

器件型号	工作温度	封装(1)
NA555	T_A = -40°C 至 +105°C	D (SOIC , 8)
		P (PDIP , 8)
NE555	T_A = 0°C 至 70°C	D (SOIC , 8)
		P (PDIP , 8)
		PS (SO , 8)
		PW (TSSOP , 8)
SA555	T_A = -40°C 至 +85°C	D (SOIC , 8)
		P (PDIP , 8)
SE555	T_A = -55°C 至 +125°C	D (SOIC , 8)
		FK (LCCC , 20)
		JG (CDIP , 8)
		P (PDIP , 8)

(1) 有关更多信息，请参阅 节 10。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

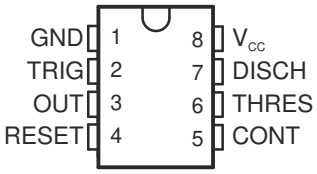
内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 电气特性 5
5.6 开关特性 8
5.7 典型特性 9
6 详细说明 11
6.1 概述 11
6.2 功能方框图 11
6.3 特性说明 12
6.4 器件功能模式 14
7 应用和实施 15
7.1 应用信息 15
7.2 典型应用 15
7.3 电源相关建议 19
8 器件和文档支持 20
8.1 接收文档更新通知 20
8.2 支持资源 20
8.3 商标 20
8.4 静电放电警告 20
8.5 术语表 20
9 修订历史记录 20
10 机械、封装和可订购信息 21

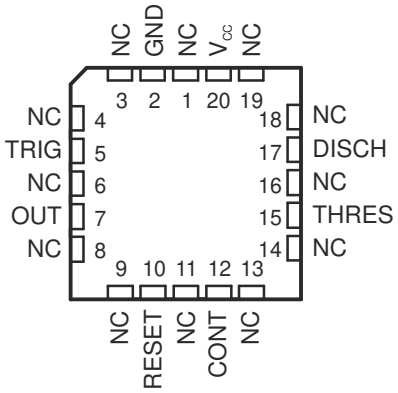
Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

NA555...D OR P PACKAGE
NE555...D, P, PS, OR PW PACKAGE
SA555...D OR P PACKAGE
SE555...D, JG, OR P PACKAGE
(TOP VIEW)



SE555...FK PACKAGE
(TOP VIEW)



NC – No internal connection

表 4-1. 引脚功能

引脚			类型	说明
名称	编号			
	D (SOIC)、P (PDIP)、PS (SO)、PW (TSSOP)、JG (CDIP)	FK (LCCC)		
CONT	5	12	输入/输出	控制比较器阈值，输出 2/3 × VCC，允许旁路电容器连接
DISCH	7	17	输出	集电极开路输出，可对计时电容器进行放电
GND	1	2	—	接地
NC	—	1、3、4、6、8、9、11、13、14、16、18、19	—	无内部连接
OUT	3	7	输出	高电流计时器输出信号
复位	4	10	输入	低电平有效复位输入可强制将输出端和放电端置于低电平。
THRES	6	15	输入	计时输入结束。THRES > CONT 时将输出端和放电端置于低电平
TRIG	2	5	输入	计时输入开始。TRIG < ½ CONT 时将输出端置于高电平，放电端为开路状态
V_{CC}	8	20	—	4.5V 至 16V 输入电源电压。18V 时为 SE555（最大值）。

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压(2)			18	V
V_I	输入电压	CONT、RESET、THRES、TRIG		V_{CC}	V
I_O	输出电流			±225	mA
T_J	工作虚拟结温			150	°C
	60 秒内的外壳温度	FK 封装		260	°C
	距离外壳 1.6mm（1/16 英寸）的引线温度	JG 封装，60 秒		300	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压值均以 GND 为基准。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±500	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
V_{CC}	电源电压	NA555、NE555、SA555	4.5	16	V
		SE555	4.5	18	
I_O	输出电流			±200	mA
T_A	自然通风条件下的工作温度	NA555	-40	105	°C
		NE555	0	70	
		SA555	-40	85	
		SE555	-55	125	

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		NA556、NE556、SA555、SE555	SE555		NA555、NE555	NE555		单位
		D (SOIC)	FK (LCCC)	JG (CDIP)	P (PDIP)	PS (SO)	PW (TSSOP)	
		8 引脚	20 引脚	8 引脚	8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	125.4	92.2	125.0	98.5	124.5	164.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	64.9	67.6	73.3	77.8	61.2	70.5	°C/W
$R_{\theta JB}$	结至电路板热阻	73.2	66.7	114.9	61.0	79.3	104.8	°C/W
ψ_{JT}	结至顶部特征参数	14.3	61.6	44.4	43.9	16.5	8.2	°C/W
ψ_{JB}	结至电路板特征参数	72.1	66.5	106.6	60.3	77.8	103.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	14.2	29.3	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.5 电气特性

测试条件为 V_{CC} = 5V 至 15V，T_A = 25°C（除非另有说明）

参数	测试条件		最小值	典型值	最大值	单位
THRES 电压电平	V_{CC} = 15V	NA555、NE555、SA555	8.8	10	11.2	V
		SE555	9.4	10	10.6	
	V_{CC} = 5V	NA555、NE555、SA555	2.4	3.3	4.2	
		SE555	2.7	3.3	4	
THRES 电流(1)				30	250	nA
TRIG 电压电平	V_{CC} = 15V	NA555、NE555、SA555	4.5	5	5.6	V
		SE555	4.8	5	5.2	
	V_{CC} = 15V，T_A = –55°C 至 +125°C	SE555	3		6	
	V_{CC} = 5V	NA555、NE555、SA555	1.1	1.67	2.2	
		SE555	1.45	1.67	1.9	
	V_{CC} = 5V，T_A = –55°C 至 +125°C	SE555			1.9	
TRIG 电流	TRIG 为 0V	NA555、NE555、SA555		0.5	2	μA
		SE555		0.5	0.9	
RESET 电压电平			0.3	0.7	1	V
	T_A = -55°C 至 +125°C	SE555			1.1	
RESET 电流	RESET 处于 V_{CC}			0.1	0.4	mA
	RESET 处于 0V	NA555、NE555、SA555		-0.4	-1.5	
		SE555		-0.4	-1	
DISCH 关闭状态电流				20	100	nA
DISCH 开启状态电压	V_{CC} = 5V，I_O = 8mA	NA555、NE555、SA555		0.15	0.4	V

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

测试条件为 V_{CC} = 5V 至 15V，T_A = 25°C（除非另有说明）

参数	测试条件		最小值	典型值	最大值	单位
CONT 电压（开路）	V_{CC} = 15V	NA555、NE555、SA555	9	10	11	V
		SE555	9.6	10	10.4	
	V_{CC} = 15V，T_A = –55°C 至 +125°C	SE555	9.6		10.4	
	V_{CC} = 5V	NA555、NE555、SA555	2.6	3.3	4	
		SE555	2.9	3.3	3.8	
	V_{CC} = 5V，T_A = –55°C 至 +125°C	SE555	2.9		3.8	
低电平输出电压	V_{CC} = 15V，I_{OL} = 10mA	NA555、NE555、SA555		0.1	0.25	V
		SE555		0.1	0.15	
	V_{CC} = 15V，I_{OL} = 10mA，T_A = –55°C 至 +125°C	SE555			0.2	
	V_{CC} = 15V，I_{OL} = 50mA	NA555、NE555、SA555		0.4	0.75	
		SE555		0.4	0.5	
	V_{CC} = 15V，I_{OL} = 50mA，T_A = –55°C 至 +125°C	SE555			1	
	V_{CC} = 15V，I_{OL} = 100mA	NA555、NE555、SA555		2	2.5	
		SE555		2	2.2	
	V_{CC} = 15V，I_{OL} = 100mA，T_A = –55°C 至 +125°C	SE555			2.7	
	V_{CC} = 15V，I_{OL} = 200mA			2.5		
	V_{CC} = 5V，I_{OL} = 3.5mA，T_A = –55°C 至 +125°C	SE555			0.35	
	V_{CC} = 5V，I_{OL} = 5mA	NA555、NE555、SA555		0.1	0.35	
		SE555		0.1	0.2	
	V_{CC} = 5V，I_{OL} = 5mA，T_A = –55°C 至 +125°C	SE555			0.8	
	V_{CC} = 5V，I_{OL} = 8mA	NA555、NE555、SA555		0.15	0.4	
		SE555		0.15	0.25	
高电平输出电压	V_{CC} = 15V，I_{OH} = –100mA	NA555、NE555、SA555	12.75	13.3		V
		SE555	13	13.3		
	V_{CC} = 15V，I_{OH} = –100mA，T_A = –55°C 至 +125°C	SE555	12			
	V_{CC} = 15V，I_{OH} = –200mA			12.5		
	V_{CC} = 5V，I_{OH} = –100mA	NA555、NE555、SA555	2.75	3.3		
		SE555	3	3.3		
	V_{CC} = 5V，I_{OH} = –100mA，T_A = –55°C 至 +125°C	SE555	2			

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

测试条件为 V_{CC} = 5V 至 15V，T_A = 25°C（除非另有说明）

参数	测试条件		最小值	典型值	最大值	单位
电源电流	输出低电平，空载，V_{CC} = 15V	NA555、NE555、SA555		10	15	mA
		SE555		10	12	
	输出低电平，空载，V_{CC} = 5V	NA555、NE555、SA555		3	6	
		SE555		3	5	
	输出高电平，空载，V_{CC} = 15V	NA555、NE555、SA555		9	13	
		SE555		9	10	
	输出高电平，空载，V_{CC} = 5V	NA555、NE555、SA555		2	5	
		SE555		2	4	

(1) 此参数会影响 图 6-5 电路中定时电阻器 R_A 和 R_B 的最大值。例如，当 V_{CC} = 5V 时，最大值为 $R = R_A + R_B \cong 3.4M\Omega$，当 V_{CC} = 15V 时，最大值为 $R_A + R_B \cong 10M\Omega$。

Copyright © 2026 Texas Instruments Incorporated

5.6 开关特性

在 V_{CC} = 5V 至 15V 且 T_A = 25°C 条件下测得（除非另有说明）；特性值是通过设计和/或表征指定，并未经过生产测试

参数		测试条件(1)		最小值	典型值	最大值	单位
	计时间隔的温度系数	每个计时器，单稳态(2)，T_A = 最小值至最大值	NA555、NE555、SA555		50		ppm/°C
			SE555		30	100	
		每个计时器，非稳态(3)，T_A = 最小值至最大值	NA555、NE555、SA555		150		
			SE555		90		
	计时间隔的电源电压灵敏度	每个计时器，单稳态(2)	NA555、NE555、SA555		0.1	0.5	%/V
			SE555		0.05	0.2	
		每个计时器，非稳态(3)	NA555、NE555、SA555		0.3		
			SE555		0.15		
t_r	输出脉冲上升时间	C_L = 15pF，T_A = 25°C，20% 至 80%	NA555、NE555、SA555		100	300	ns
			SE555		100	200	
t_f	输出脉冲下降时间	C_L = 15pF，T_A = 25°C，80% 至 20%	NA555、NE555、SA555		100	300	ns
			SE555		100	200	

(1) 对于显示为“最小值”或“最大值”的条件，请使用在*建议工作条件*下指定的相应值。
(2) 指定的值适用于类似于 图 6-2 的单稳态电路中的器件，具有以下组件值：R_A = 2kΩ 至 100kΩ，C = 0.1μF。
(3) 指定的值适用于类似于 图 6-5 的非稳态电路中的器件，具有以下组件值：R_A = 1kΩ 至 100kΩ，C = 0.1μF。

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性

低于 –40°C 和高于 105°C 的温度数据仅适用于 SE555 电路。

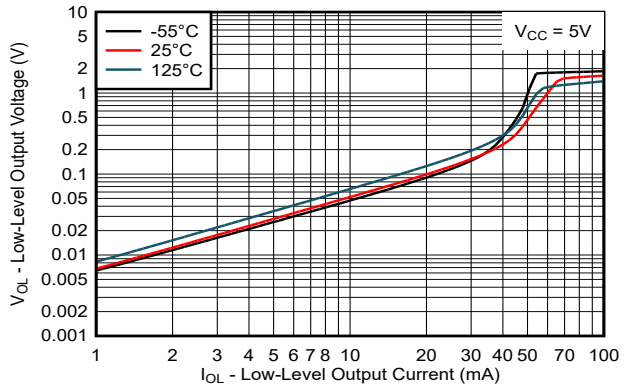


图 5-1. 低电平输出电压与低电平输出电流间的关系

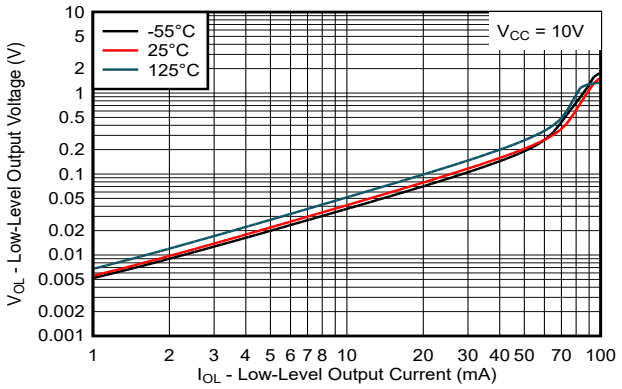


图 5-2. 低电平输出电压与低电平输出电流间的关系

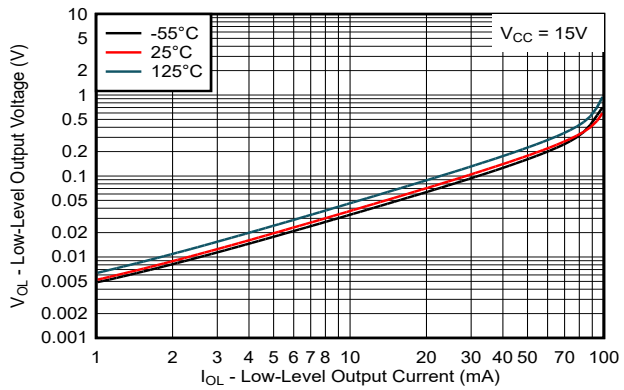


图 5-3. 低电平输出电压与低电平输出电流间的关系

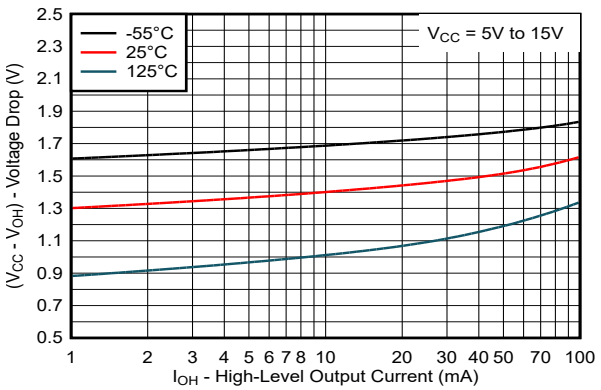


图 5-4. 电源电压和输出间的压降与高电平输出电流间的关系

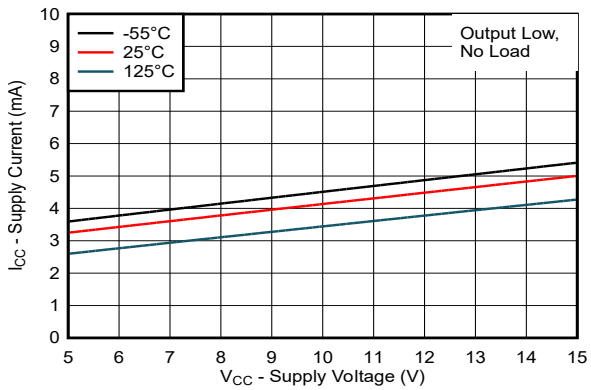


图 5-5. 电源电流与电源电压间的关系

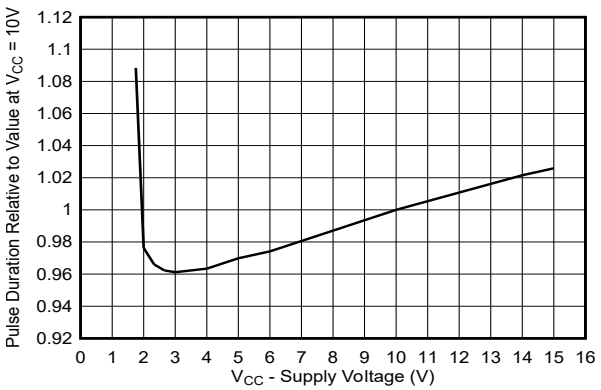


图 5-6. 归一化输出脉冲持续时间（单稳态运行）与电源电压间的关系

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

低于 –40°C 和高于 105°C 的温度数据仅适用于 SE555 电路。

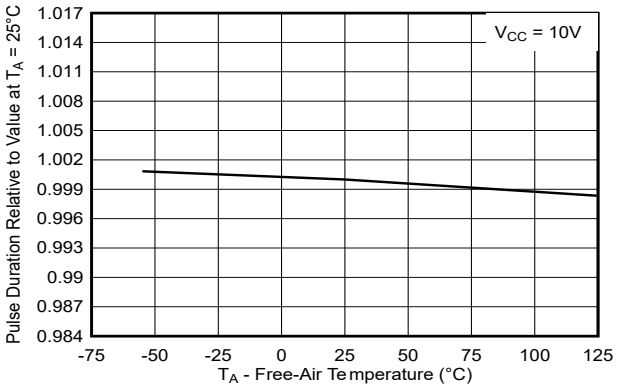


图 5-7. 归一化输出脉冲持续时间（单稳态运行）与环境温度间的关系

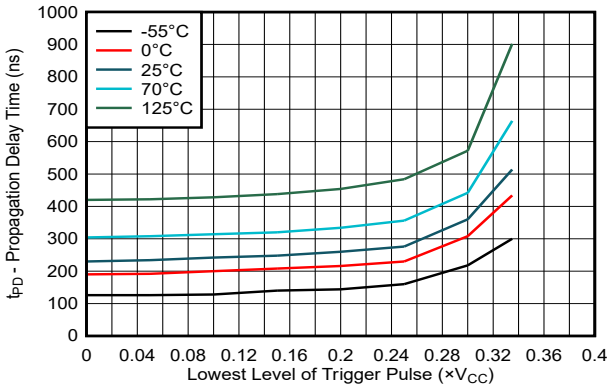


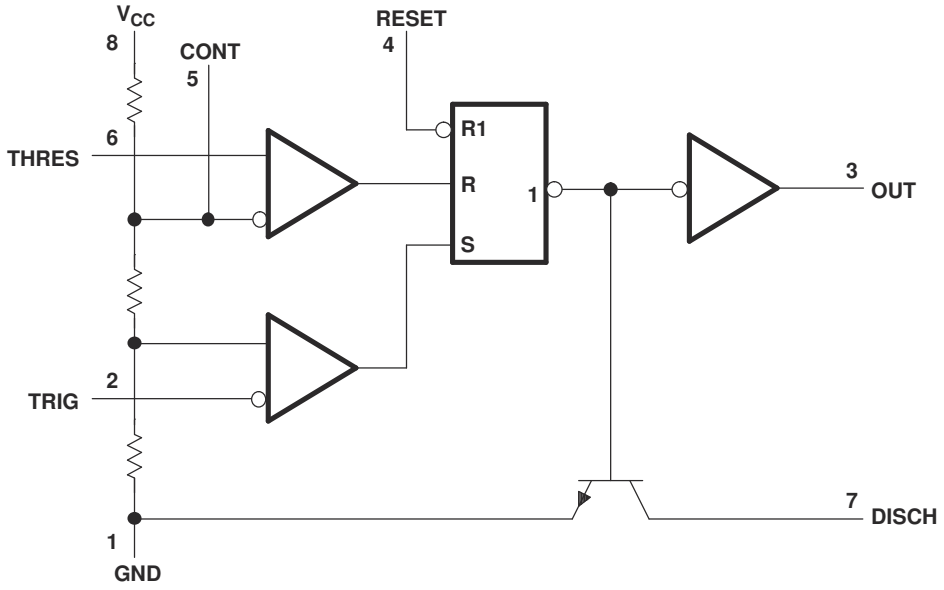
图 5-8. 传输延迟时间与触发脉冲最低电压电平间的关系

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

Nx555 或 Sx555 为精度计时器，可用于 10µs 至数小时或从 < 1mHz 到 100kHz 的通用计时应用。在延时时间或单稳态工作模式下，计时间隔由单个外部电阻器和电容器网络控制。在非稳态工作模式下，频率和占空比可由两个外部电阻器和单个外部电容器独立控制。对于较高的 V_{CC}，最大输出灌电流和放电灌电流较大；而对于较低的 V_{CC}，这些电流则较小。

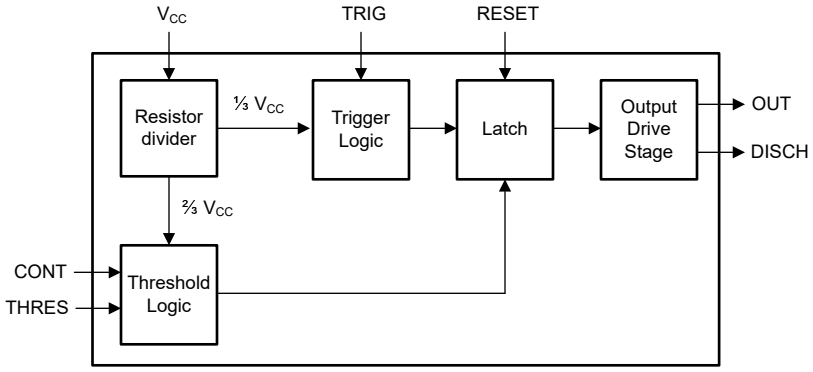


注意：所示引脚编号用于 D、JG、P、PS 和 PW 封装。

注意：RESET 可覆盖 TRIG，而 TRIG 可覆盖 THRES。

图 6-1. 简化版原理图

6.2 功能方框图



6.3 特性说明

6.3.1 单稳态工作模式

对于单稳态工作模式，图 6-2 展示了如何连接这些计时器中的任何一个。如果输出为低电平，向触发器 (TRIG) 施加负脉冲可设置触发器（$\overline{Q}$ 变为低电平），将输出驱动为高电平，并关闭 Q1。然后，电容器 C 通过 R_A 充电，直到电容器上的电压达到阈值 (THRES) 输入的阈值电压。如果 TRIG 恢复至高电平，则阈值比较器的输出会重置触发器（$\overline{Q}$ 变为高电平），将输出驱动为低电平，并通过 Q1 对电容器 C 进行放电。

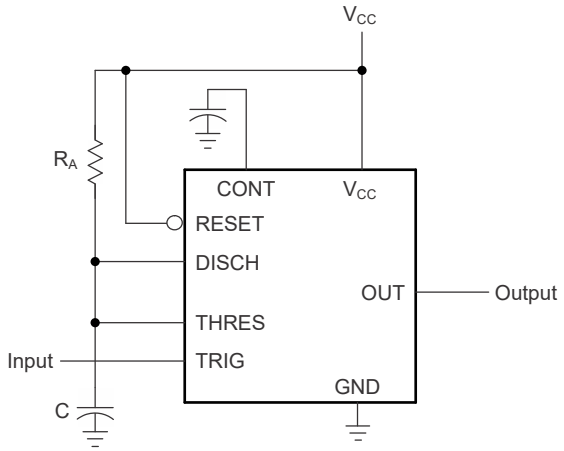


图 6-2. 单稳态工作模式电路

当 TRIG 电压低于触发阈值时，单稳态工作模式将启动。启动之后，只有 TRIG 在计时间隔结束前至少 10µs 内保持高电平，此序列才会结束。当触发器接地时，比较器存储时间最长为 10µs，这样就会将最小单稳态脉冲宽度限制为 10µs。由于 Q1 的阈值电平和饱和电压，输出脉冲持续时间大约为 $t_w = 1.1 \times R_A C$。图 6-4 是 R_A 和 C 的不同值的时间常数图。阈值电平和充电率都与电源电压 (V_{CC}) 成正比。因此，只要电源电压在此时间间隔内保持恒定，时间间隔就与电源电压无关。

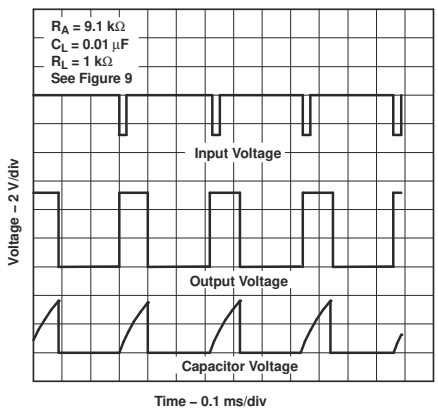


图 6-3. 典型单稳态波形

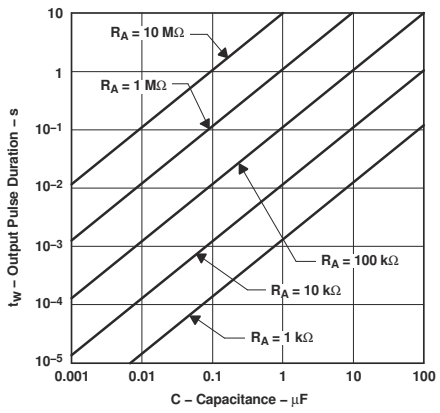


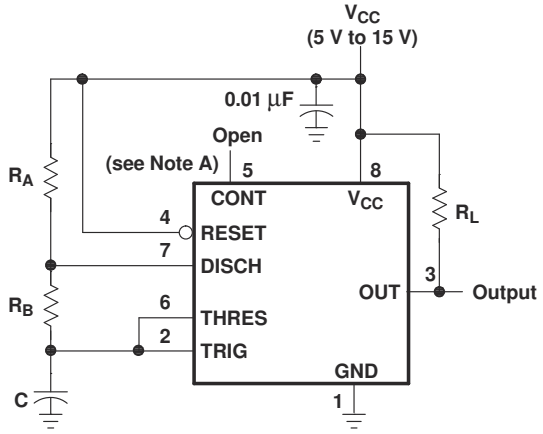
图 6-4. 输出脉冲持续时间与电容间的关系

在此时间间隔内同时向 RESET 和 TRIG 施加负向触发脉冲会对 C 放电，并重新启动该周期，从而开始复位脉冲的正沿。只要复位脉冲为低电平，输出就会保持低电平。为了防止误触发，当未使用 RESET 时，请将 RESET 连接到 V_{CC}。

Copyright © 2026 Texas Instruments Incorporated

6.3.2 非稳态工作模式

按照图 6-5 中所示，在 图 6-2 电路中增加第二个电阻器 (R_B) 并将触发器输入连接到阈值输入会导致计时器自触发并作为多谐振荡器工作。电容器 C 通过 R_A 和 R_B 充电，然后仅通过 R_B 放电。因此，占空比由 R_A 和 R_B 的值控制。



Pin numbers shown are for the D, JG, P, PS, and PW packages.
NOTE A: Decoupling CONT voltage to ground with a capacitor can improve operation. This should be evaluated for individual applications.

图 6-5. 非稳态工作模式电路

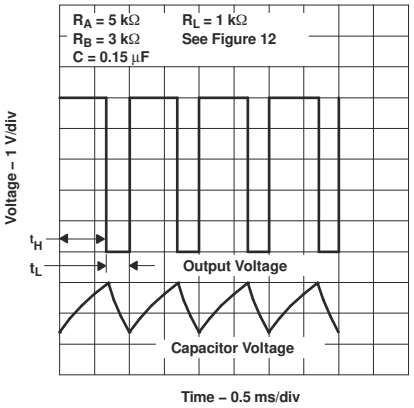


图 6-6. 典型非稳态波形

此非稳态连接导致电容器 C 在阈值电压电平 (≅ 0.67 × V_{CC}) 和触发器电压电平 (≅ 0.33 × V_{CC}) 间充电和放电。与单稳态电路中相同，充电和放电时间（以及频率和占空比）均不受电源电压的影响。为了减少失真，请在 100kHz 或以下的最高频率下使用。如果需要更高的工作频率，请考虑改用 TLC555 CMOS 计时器。

图 6-6 展示了在非稳态工作期间生成的典型波形。输出高电平持续时间 t_H 和低电平持续时间 t_L 可根据以下公式计算得出：

$$t_H \cong 0.693 \times (R_A + R_B) \times C \quad (1)$$

$$t_L \cong 0.693 \times R_B \times C \quad (2)$$

周期、频率、以驱动器为基准的占空比和以波形为基准的占空比的其他有用关系的计算如下所示：

$$T = t_H + t_L \cong 0.693 \times (R_A + 2R_B) \times C \quad (3)$$

$$f = \frac{1}{T} \cong \frac{1.44}{(R_A + 2R_B) \times C} \quad (4)$$

$$\text{Output driver duty cycle} = \frac{t_L}{T} \cong \frac{R_B}{R_A + 2R_B} \quad (5)$$

$$\text{Output waveform duty cycle} = \frac{t_H}{T} \cong 1 - \frac{R_B}{R_A + 2R_B} = \frac{R_A + R_B}{R_A + 2R_B} \quad (6)$$

Copyright © 2026 Texas Instruments Incorporated

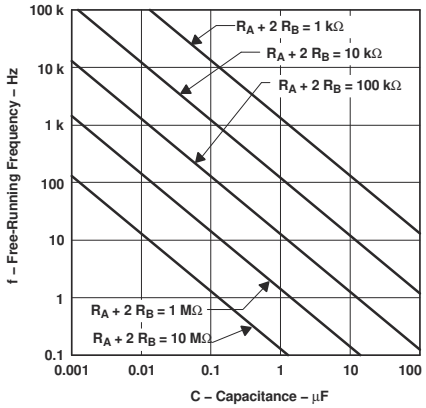
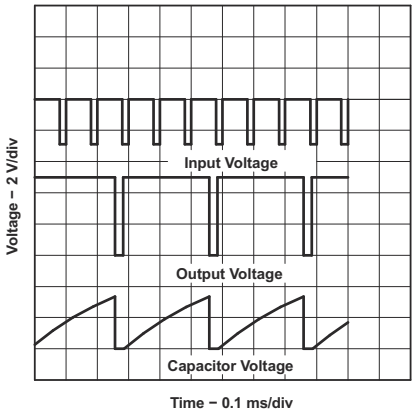


图 6-7. 自由运行频率

6.3.3 分频器

通过调整计时周期的长度，图 6-2 的基本电路可用作分频器。图 6-8 显示了一种三分频电路，该电路利用了在计时周期内无法发生重新触发这一特性。



V_{CC} = 5V　　R_A = 1250 Ω　　C = 0.2µF

请参阅 图 6-2

图 6-8. 三分频电路波形

6.4 器件功能模式

表 6-1 展示了器件真值表。对于有效的复位电压条件，请对 V_{CC} 使用外部上拉电阻（如果使用复位功能），或将 RESET 引脚直接短接至 V_{CC}（如果未使用复位功能）。

表 6-1. 功能表

复位电压(1)	触发电压(1)	阈值电压(1)	输出	放电开关
低电平	不相关	不相关	低	开启
> MAX	< 1/3 × V_{CC}	不相关(2)	高	关闭
> MAX	> 1/3 × V_{CC}	> 2/3 × V_{CC}	低	开启
> MAX	> 1/3 × V_{CC}	< 2/3 × V_{CC}	如之前设定	

(1)　显示的电压电平是额定值。
(2)　CONT 引脚开路或 2/3 × V_{CC}。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

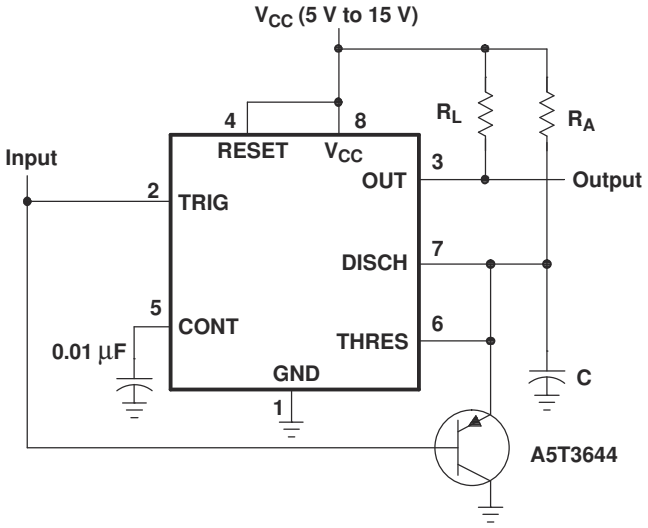
7.1 应用信息

Nx555 和 Sx555 精度计时器利用电阻器和电容器充电延迟来提供可编程的延时时间或工作频率。本部分简要讨论了设计过程。

7.2 典型应用

7.2.1 漏脉冲检测器

图 7-1 中所示的电路可以用于检测脉冲序列中连续脉冲间出现的漏脉冲或间隔过长问题。如果脉冲间隔小于计时间隔，单稳态电路的计时间隔会被输入脉冲序列连续重新触发。出现脉冲间隔过长、漏脉冲或脉冲序列终止时，计时间隔仍可完成，从而生成如图 7-2 中所示的输出脉冲。



Pin numbers shown are shown for the D, JG, P, PS, and PW packages.

图 7-1. 漏脉冲检测器电路

7.2.1.1 设计要求

输入故障（漏脉冲）必须为输入高电平。无法检测输入卡在低电平的情况，因为计时电容器 (C) 仍然在放电。

7.2.1.2 详细设计过程

选择 R_A 和 C，使 $R_A \times C >$ [最大额定输入高电平时间]。R_L 提升了 V_{OH}，但并不需要它来实现 TTL 兼容性。

Copyright © 2026 Texas Instruments Incorporated

7.2.1.3 应用曲线

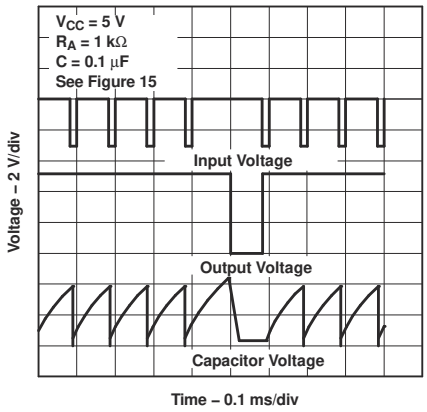
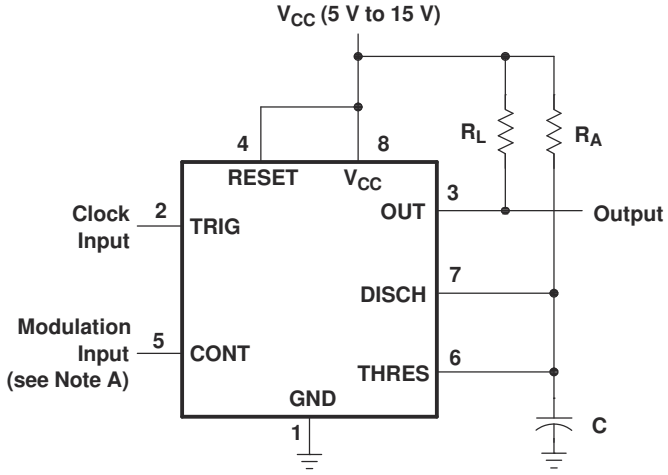


图 7-2. 漏脉冲检测器的已完成计时波形

7.2.2 脉宽调制

通过向 CONT 施加外部电压（或电流）来调制内部阈值电压和触发电压，可调整计时器的工作。图 7-3 展示了脉宽调制电路。连续的输入脉冲序列可触发单稳态电路，而控制信号可以调制阈值电压。图 7-4 显示了实施的输出脉宽调制。当显示正弦波调制信号时，可使用任意波形。



Pin numbers shown are for the D, JG, P, PS, and PW packages.
NOTE A: The modulating signal can be direct or capacitively coupled to CONT. For direct coupling, the effects of modulation source voltage and impedance on the bias of the timer should be considered.

图 7-3. 脉宽调制电路

7.2.2.1 设计要求

时钟输入的 V_{OL} 和 V_{OH} 电平必须分别小于和大于 1/3 × V_{CC}。调制输入可以介于接地到 V_{CC} 之间。应用必须不易受非线性传递函数的影响；调制输入和脉宽之间的关系不是线性关系，因为电容器电荷基于 RC，具有负指数曲线。

7.2.2.2 详细设计过程

选择 R_A 和 C，以使 R_A × C = 1/4 [时钟输入周期]。R_L 提升了 V_{OH}，但并不需要它来实现 TTL 兼容性。

Copyright © 2026 Texas Instruments Incorporated

7.2.2.3 应用曲线

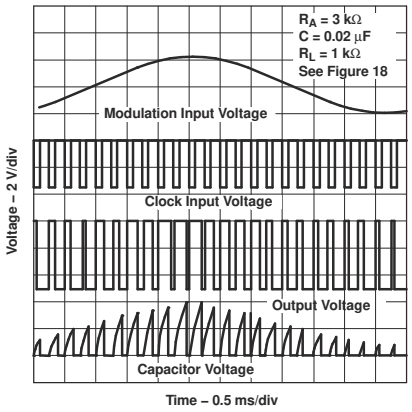
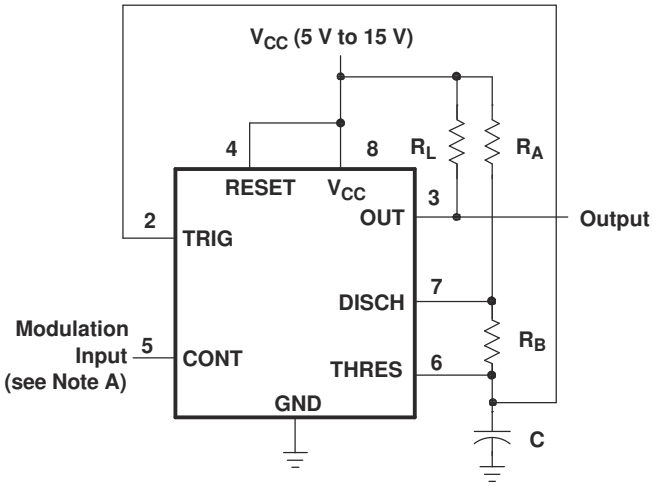


图 7-4. 脉宽调制波形

7.2.3 脉冲位置调制

如图 7-5 中所示，这些计时器中的任意一个都可以用作脉冲位置调制器。这种应用可以调制自由运行振荡器的阈值电压和延时时间。图 7-6 显示了此类电路的三角波调制信号，但实际上可以使用任何波形。



Pin numbers shown are for the D, JG, P, PS, and PW packages.

NOTE A: The modulating signal can be direct or capacitively coupled to CONT. For direct coupling, the effects of modulation source voltage and impedance on the bias of the timer should be considered.

图 7-5. 脉冲位置调制电路

7.2.3.1 设计要求

直流和交流耦合调制输入都可改变计时电容器的上下电压阈值。频率和占空比均随调制电压变化。

7.2.3.2 详细设计过程

可使用节 6.3.2 中所示的公式确定额定输出频率和占空比。R_L 提升了 V_{OH}，但并不需要 R_L 来实现 TTL 兼容性。

Copyright © 2026 Texas Instruments Incorporated

7.2.3.3 应用曲线

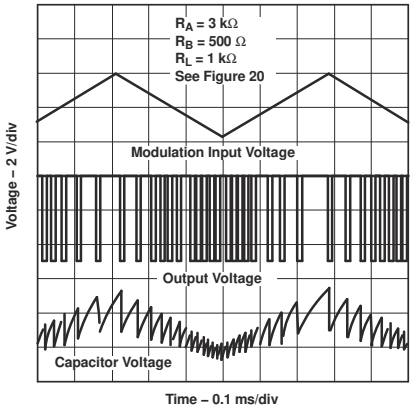
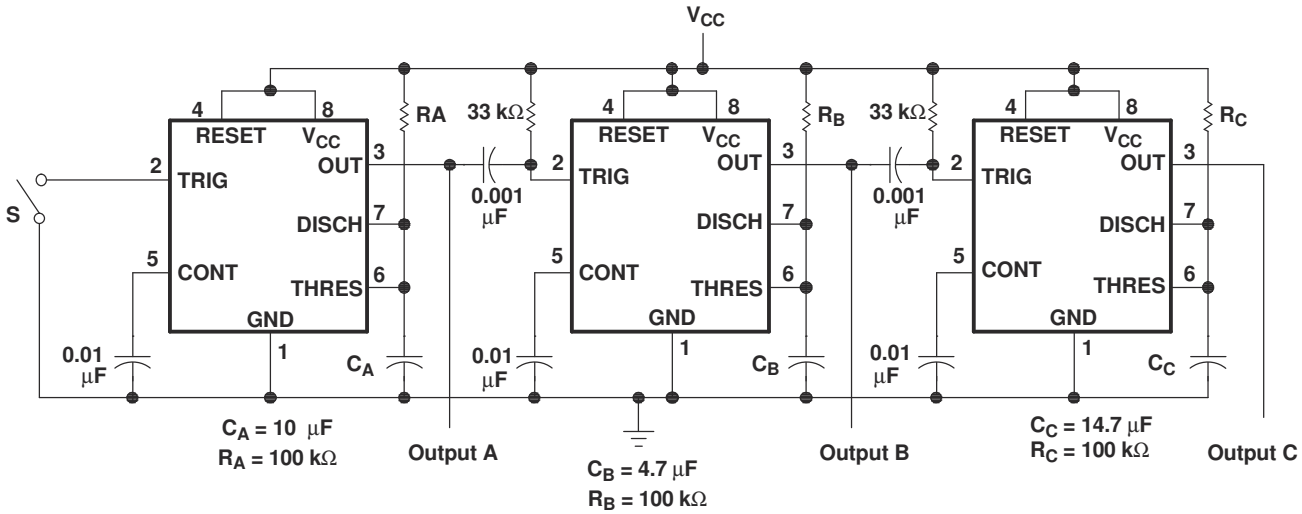


图 7-6. 脉冲位置调制波形

7.2.4 顺序计时器

很多应用（例如计算机）需要信号在启动过程中初始化条件。其他应用（例如测试设备）需要按顺序激活测试信号。通过连接这些计时电路，可提供此类时序控制。这些计时器可在多种非稳态或单稳态电路连接组合中使用，并可带或不带调制，从而实现极其灵活的波形控制。图 7-7 展示了序列发生器电路以及许多系统中可能的应用；图 7-8 展示了输出波形。



Pin numbers shown are for the D, JG, P, PS, and PW packages.
NOTE A: S closes momentarily at t = 0.

图 7-7. 顺序计时器电路

7.2.4.1 设计要求

顺序计时器应用与多个单稳计时器相关联。连接的组件包含 33kΩ 的电阻器和 0.001µF 的电容器。输出从高沿到低沿会向下一个单稳态传递一个 10µs 的启动脉冲。

7.2.4.2 详细设计过程

可以使用以下公式选择计时电阻器和电容器。$t_w = 1.1 \times R \times C$。

Copyright © 2026 Texas Instruments Incorporated

7.2.4.3 应用曲线

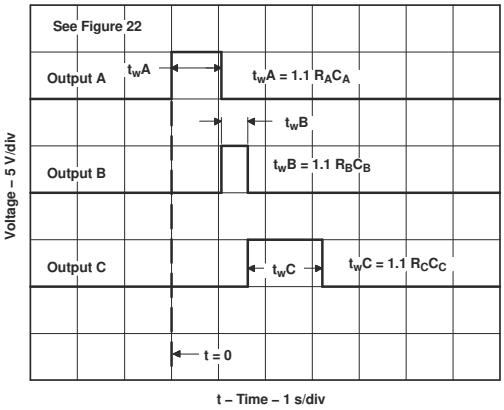


图 7-8. 顺序计时器波形

7.3 电源相关建议

Nx555 和 Sx555 精度计时器设计为在 4.5V 和 16V 的输入电源电压范围内（SE555 可达 18V）运行。强烈建议在 V_{CC} 与接地引脚之间连接一个旁路电容器；使用 0.1μF 的陶瓷电容器即可。

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision J (February 2025) to Revision K (March 2026)	Page
• 更新了*典型特性* 部分中的所有器件特性曲线	9

Changes from Revision I (September 2014) to Revision J (February 2025)	Page
• 更新了*应用* 中终端设备的列表	1
• 更新了*器件信息* 表	1
• 从*绝对最大额定值* 中删除了封装热阻抗规范，添加了*热性能信息* 表，并更新了每个封装的热性能规格	4
• 删除了*处理额定值*，并将存储温度规范移至了*绝对最大额定值*	4
• 添加了 *ESD 等级* 表	4
• 删除了*建议工作条件* 中的冗余输入电压规格	4
• 将*工作特性* 的标题更改为*开关特性*，并澄清了相关值是通过设计或表征指定，并未经过生产测试	8
• 删除了*开关特性* 中计时间隔规范的初始误差，并澄清了输出上升和下降时间分别为 20% 至 80% 和 80% 至 20%	8
• 将功能方框图更改为了简化版原理图并移至了概述部分	11
• 更新了*功能方框图*	11
• 向表 6-1 *功能表* 中添加了 CONT 引脚表注释	14

Copyright © 2026 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
JM38510/10901BPA	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510 /10901BPA
JM38510/10901BPA.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510 /10901BPA
NA555D	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 105	NA555
NA555DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	NA555
NA555DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	NA555
NA555P	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU | SN	N/A for Pkg Type	-40 to 105	NA555P
NA555P.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	NA555P
NA555PE4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	NA555P
NA555PE4.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 105	NA555P
NE555D	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	NE555
NE555DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	0 to 70	NE555
NE555DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	NE555
NE555DR1G4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	NE555
NE555DR1G4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	NE555
NE555DRG4	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	0 to 70	NE555
NE555P	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU | SN	N/A for Pkg Type	0 to 70	NE555P
NE555P.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE555P
NE555PE4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE555P
NE555PE4.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	NE555P
NE555PS	Active	Production	SO (PS) | 8	80 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-	N555
NE555PS.A	Active	Production	SO (PS) | 8	80 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N555
NE555PSR	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N555
NE555PSR.A	Active	Production	SO (PS) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N555
NE555PW	Obsolete	Production	TSSOP (PW) | 8	-	-	Call TI	Call TI	0 to 70	N555
NE555PWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N555
NE555PWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	N555
SA555D	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	SA555
SA555DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	SA555

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SA555DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SA555
SA555DRG4	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	SA555
SA555P	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SA555P
SA555P.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SA555P
SE555DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	SE555
SE555DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	SE555
SE555DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	SE555
SE555DRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	SE555
SE555FKB	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE555FKB
SE555FKB.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE555FKB
SE555JG	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE555JG
SE555JG.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE555JG
SE555JGB	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE555JGB
SE555JGB.A	Active	Production	CDIP (JG) | 8	50 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SE555JGB
SE555P	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	SE555P
SE555P.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	SE555P

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SE555, SE555M :

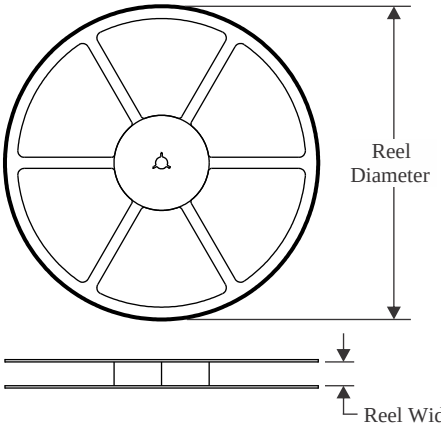
- Catalog : SE555
- Military : SE555M
- Space : SE555-SP, SE555-SP

NOTE: Qualified Version Definitions:

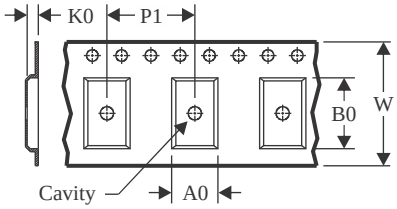
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

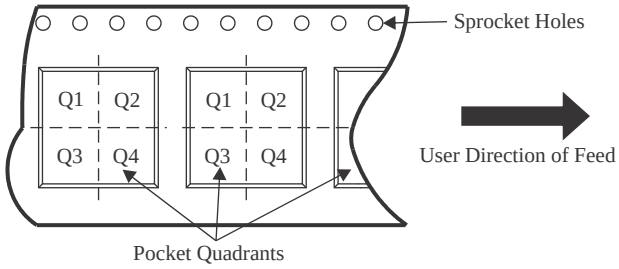


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

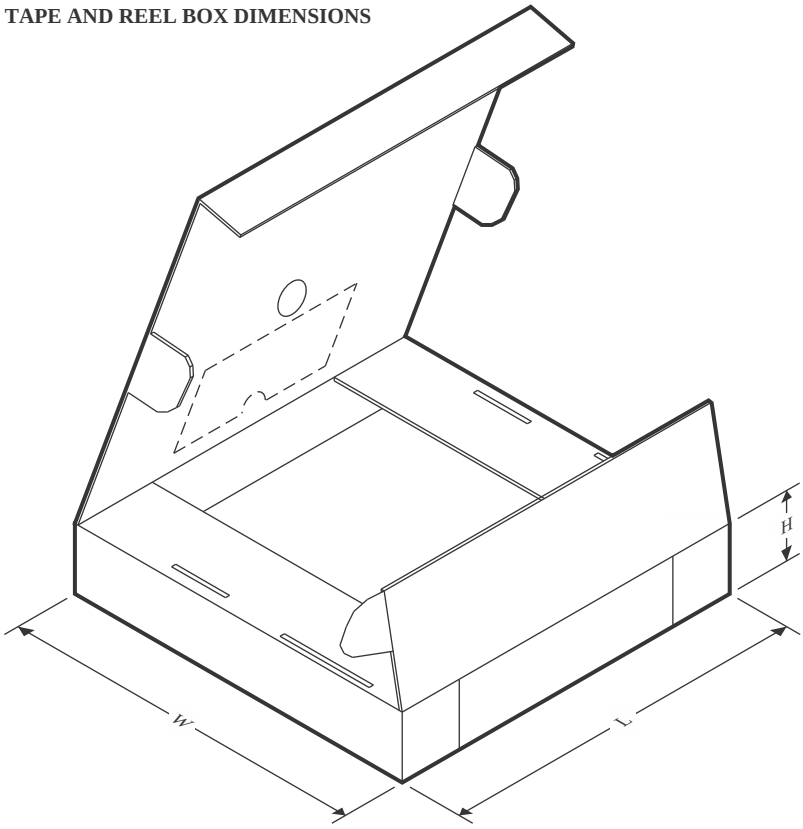
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
NA555DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NA555DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NE555DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NE555DR1G4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
NE555PSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
NE555PWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
SA555DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

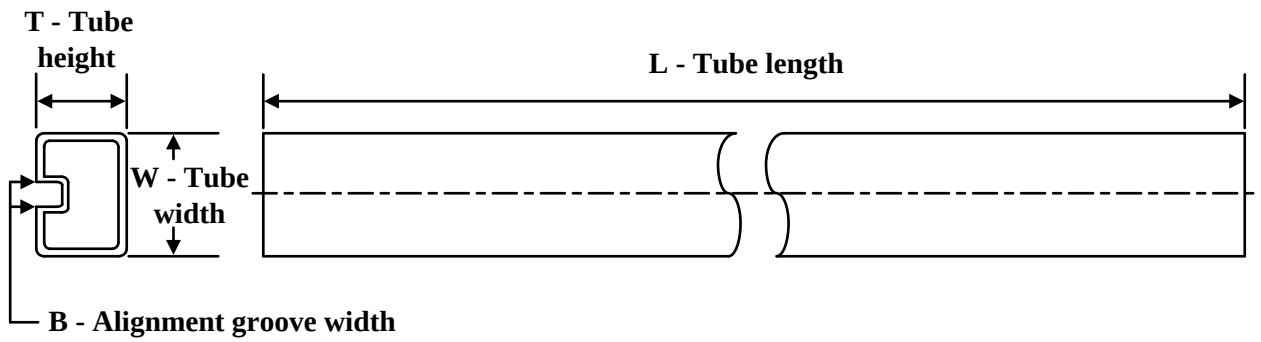
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
NA555DR	SOIC	D	8	2500	353.0	353.0	32.0
NA555DR	SOIC	D	8	2500	353.0	353.0	32.0
NE555DR	SOIC	D	8	2500	353.0	353.0	32.0
NE555DR1G4	SOIC	D	8	2500	353.0	353.0	32.0
NE555PSR	SO	PS	8	2000	353.0	353.0	32.0
NE555PWR	TSSOP	PW	8	2000	353.0	353.0	32.0
SA555DR	SOIC	D	8	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
NA555P	P	PDIP	8	50	506.1	9	600	5.4
NA555P	P	PDIP	8	50	506	13.97	11230	4.32
NA555P.A	P	PDIP	8	50	506.1	9	600	5.4
NA555P.A	P	PDIP	8	50	506	13.97	11230	4.32
NA555PE4	P	PDIP	8	50	506	13.97	11230	4.32
NA555PE4.A	P	PDIP	8	50	506	13.97	11230	4.32
NE555P	P	PDIP	8	50	506	13.97	11230	4.32
NE555P	P	PDIP	8	50	506.1	9	600	5.4
NE555P.A	P	PDIP	8	50	506.1	9	600	5.4
NE555P.A	P	PDIP	8	50	506	13.97	11230	4.32
NE555PE4	P	PDIP	8	50	506	13.97	11230	4.32
NE555PE4.A	P	PDIP	8	50	506	13.97	11230	4.32
NE555PS	PS	SOP	8	80	530	10.5	4000	4.1
NE555PS.A	PS	SOP	8	80	530	10.5	4000	4.1
SA555P	P	PDIP	8	50	506	13.97	11230	4.32
SA555P.A	P	PDIP	8	50	506	13.97	11230	4.32
SE555FKB	FK	LCCC	20	55	506.98	12.06	2030	NA
SE555FKB.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SE555P	P	PDIP	8	50	506	13.97	11230	4.32
SE555P.A	P	PDIP	8	50	506	13.97	11230	4.32

GENERIC PACKAGE VIEW

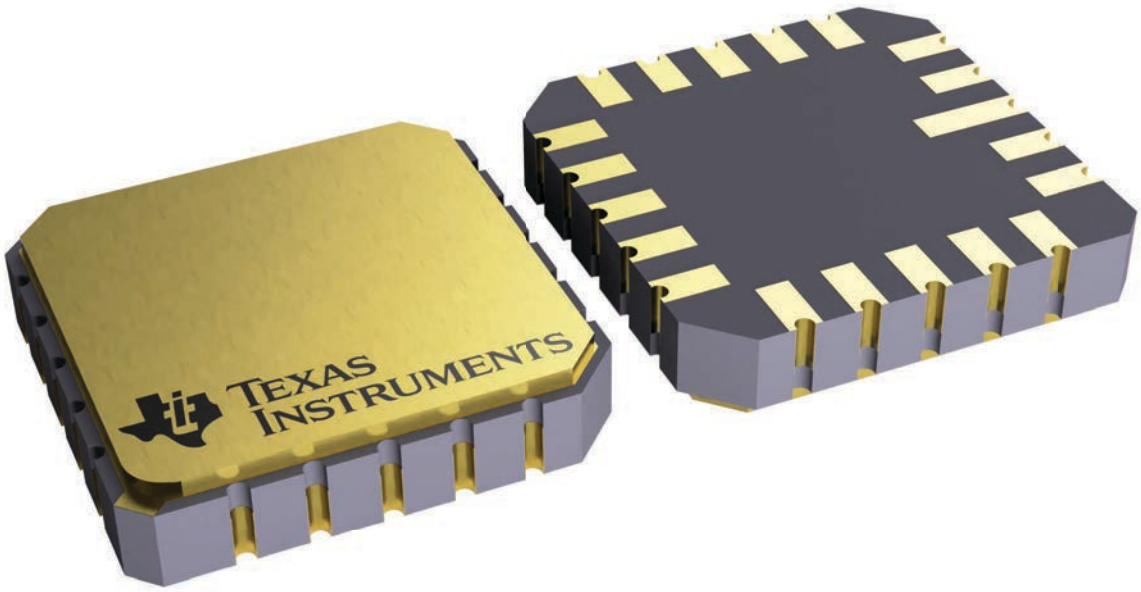
FK 20

LCCC - 2.03 mm max height

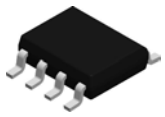
8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

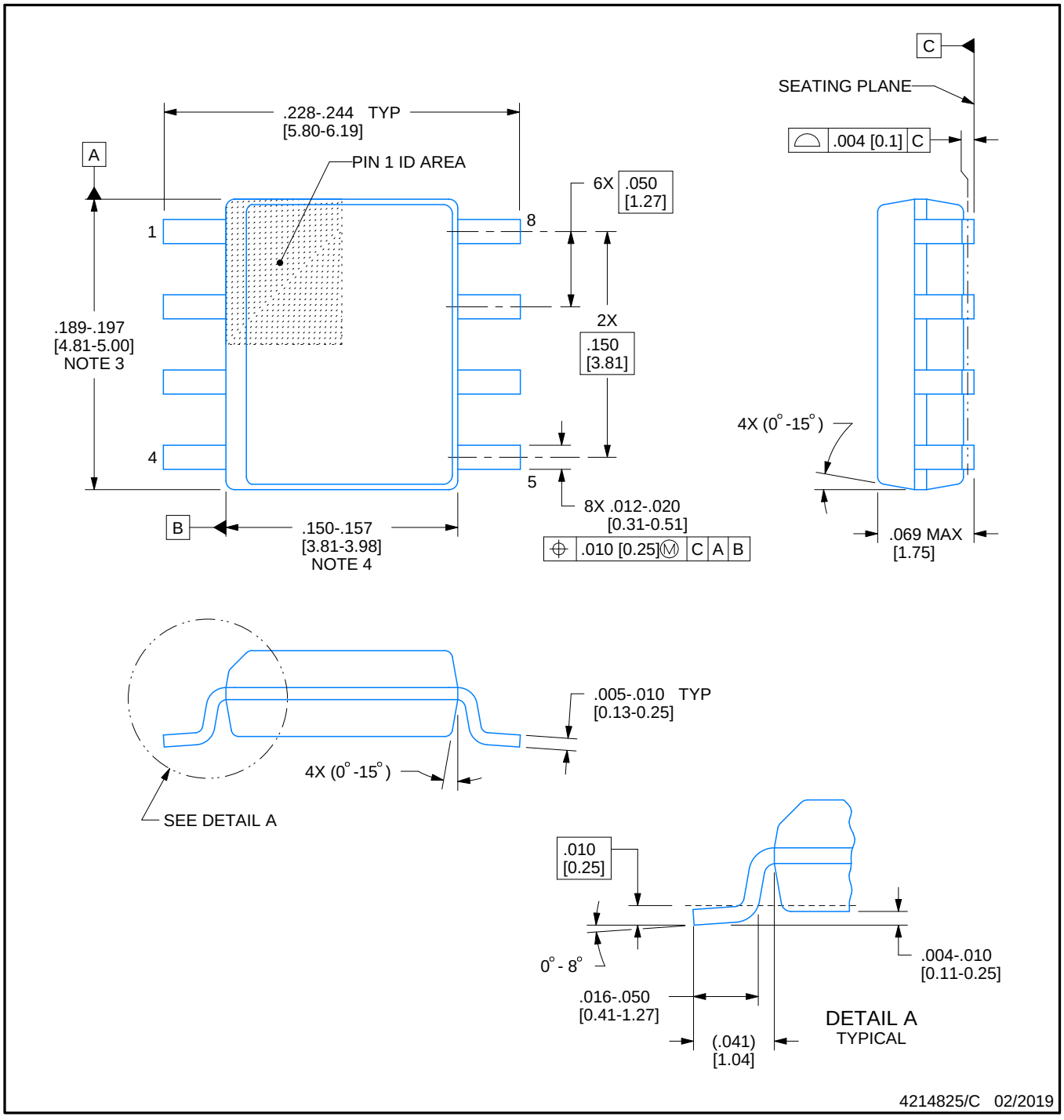


PACKAGE OUTLINE

D0008A

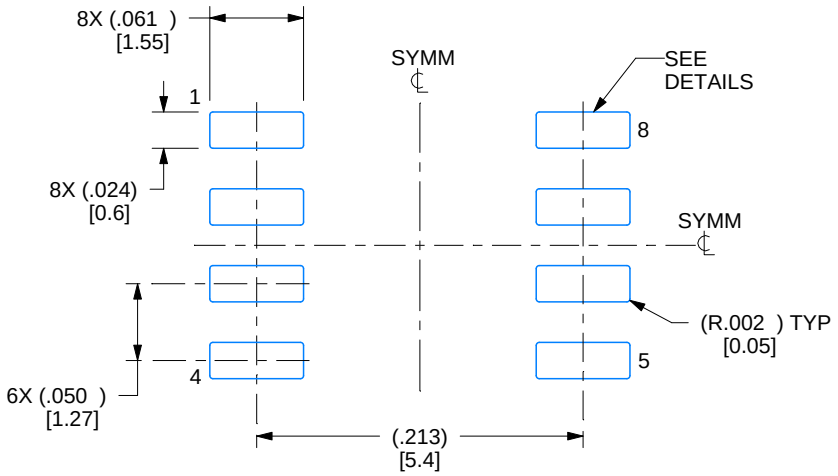
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

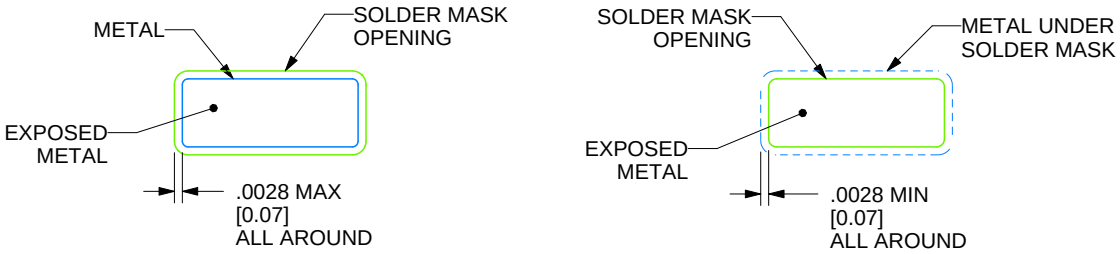


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

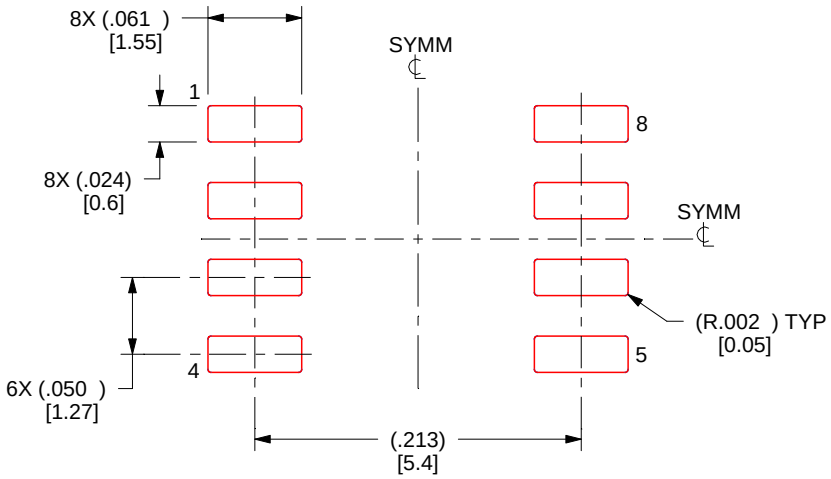
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

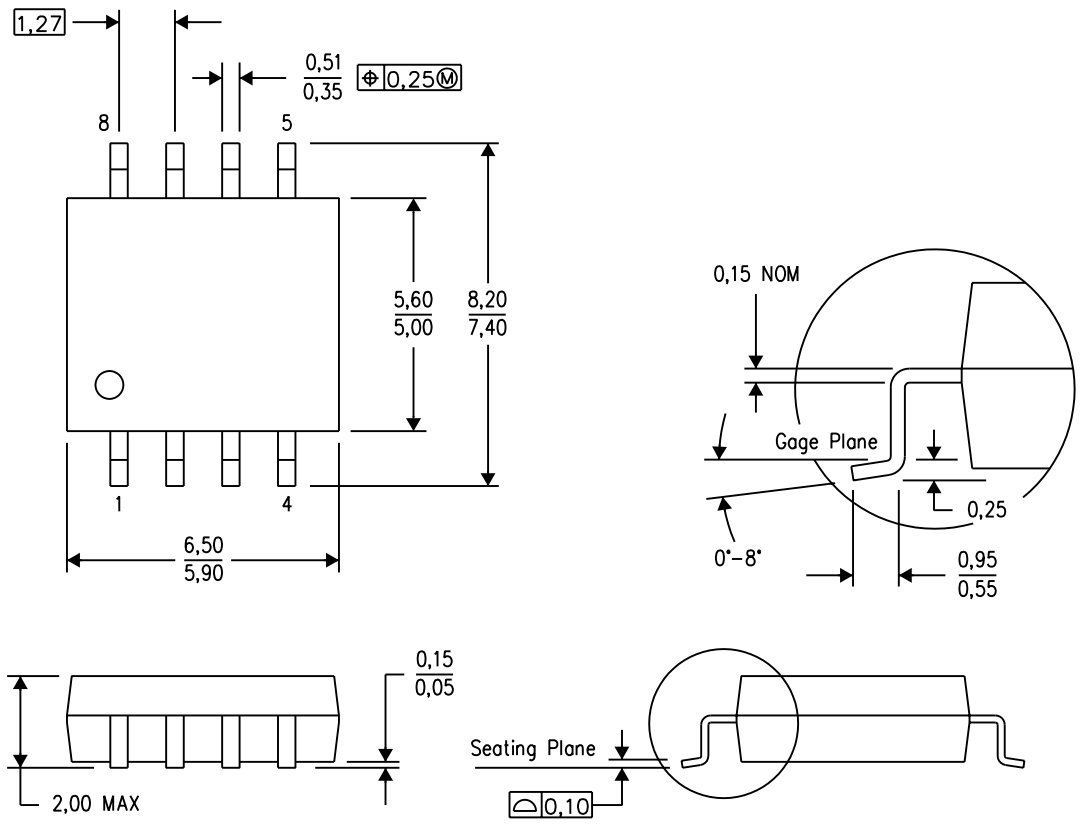
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

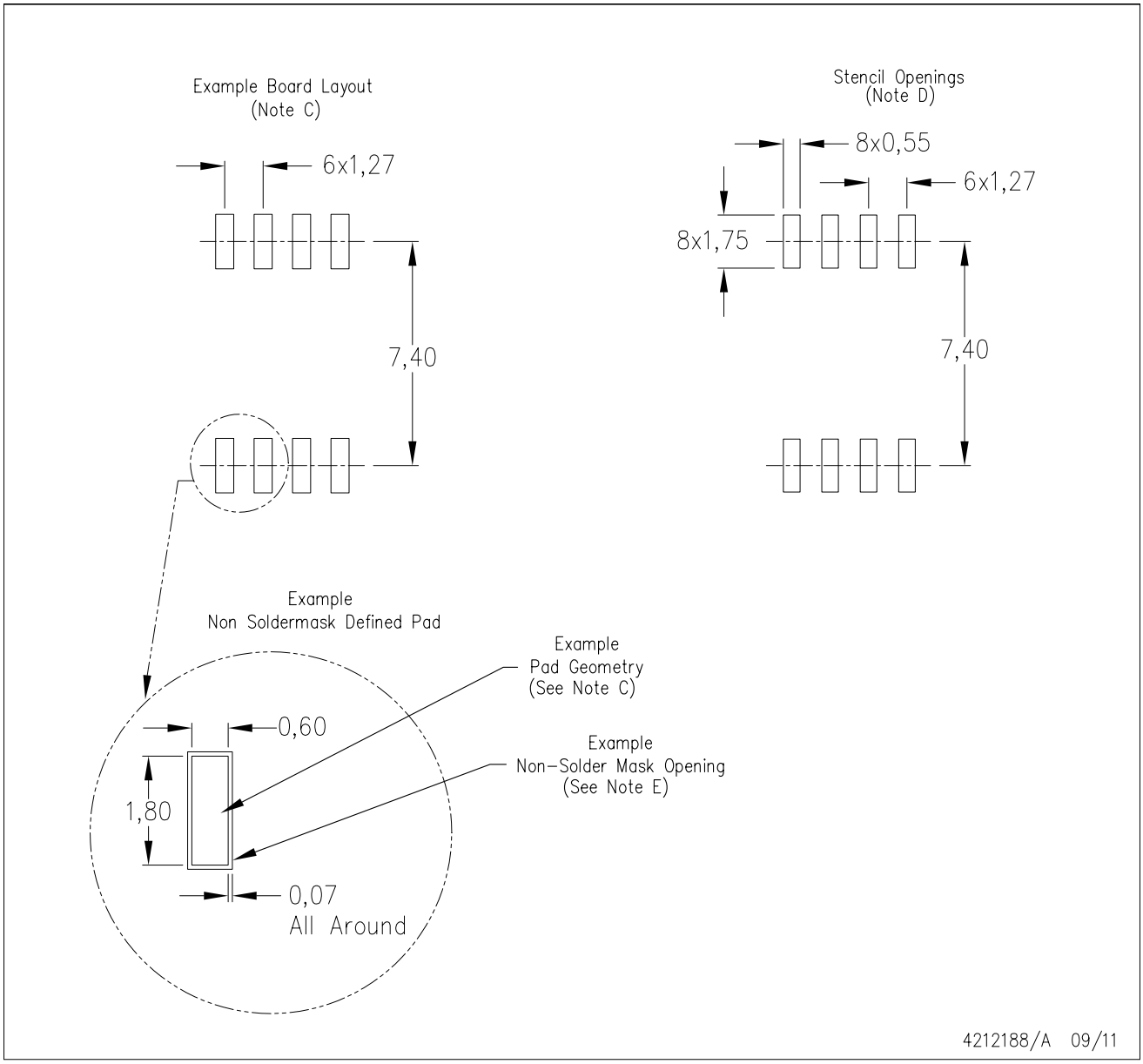
PS (R-PDSO-G8) **PLASTIC SMALL-OUTLINE PACKAGE**



4040063/C 03/03

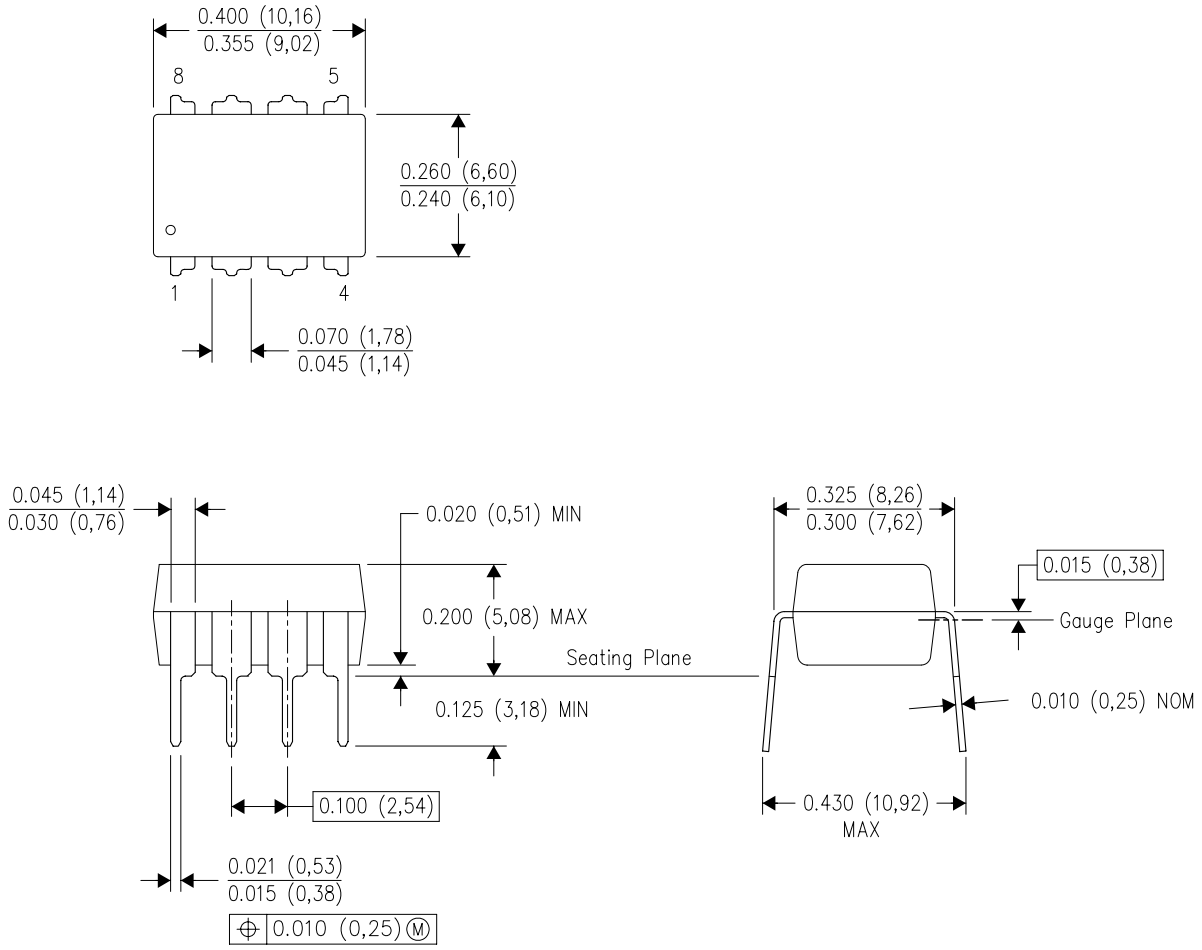
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PS (R–PDSO–G8) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



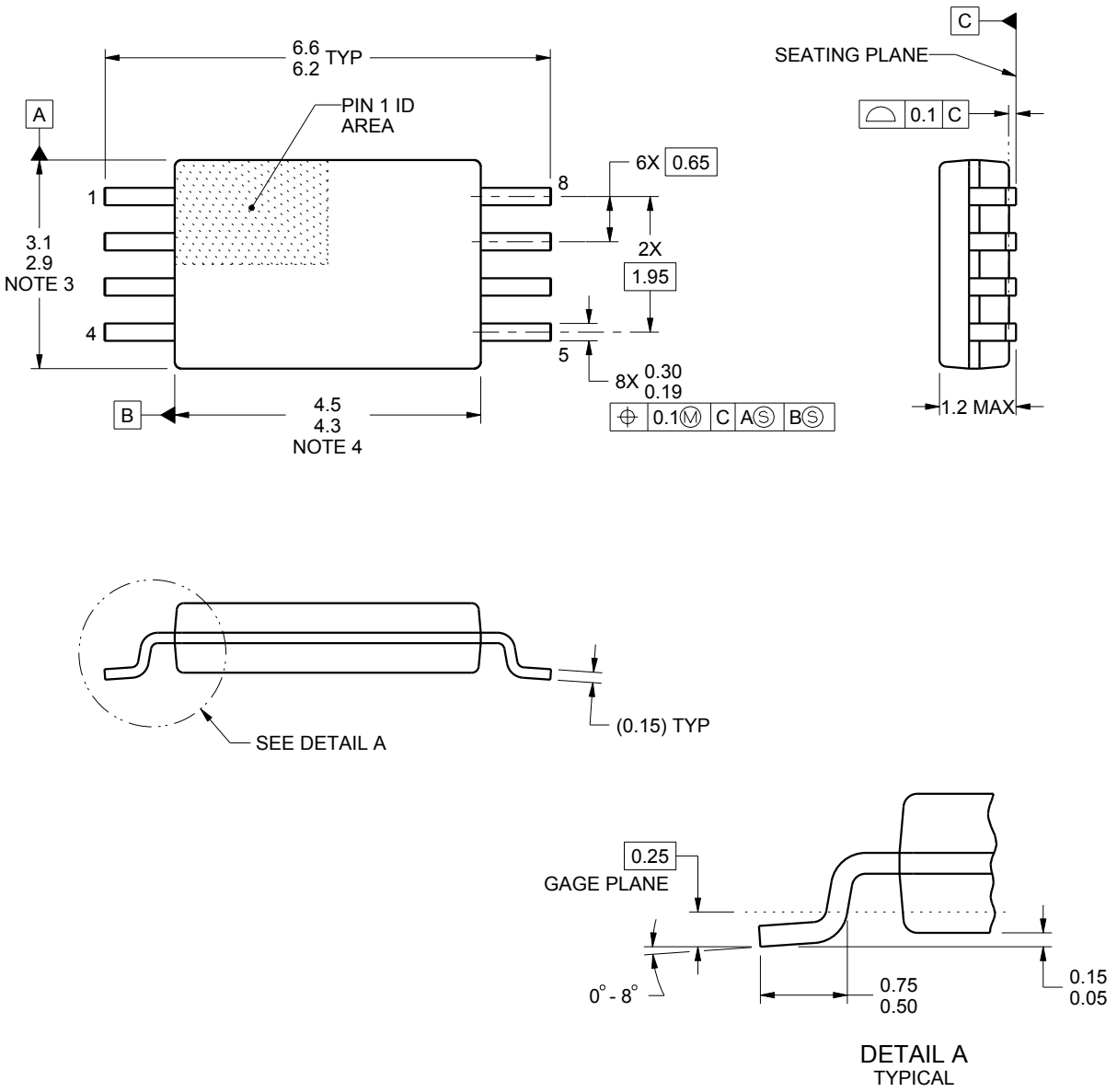
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

PACKAGE OUTLINE

PW0008A

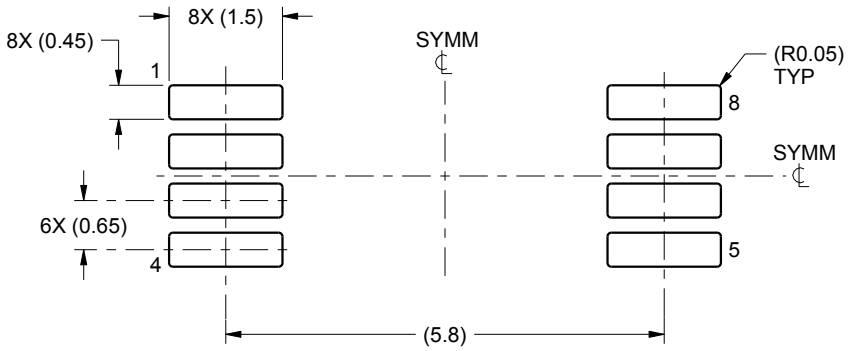
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

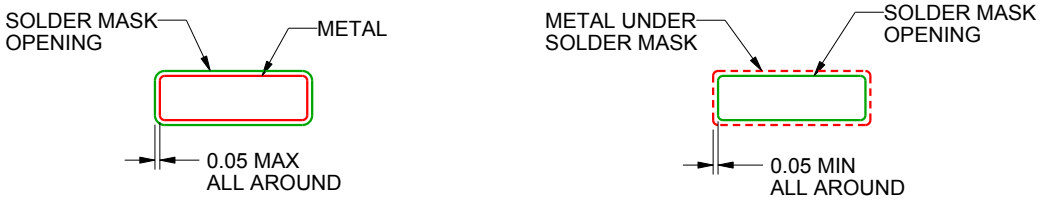


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

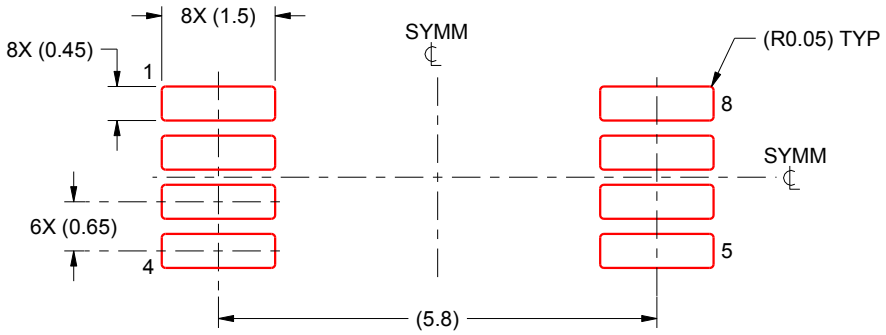


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

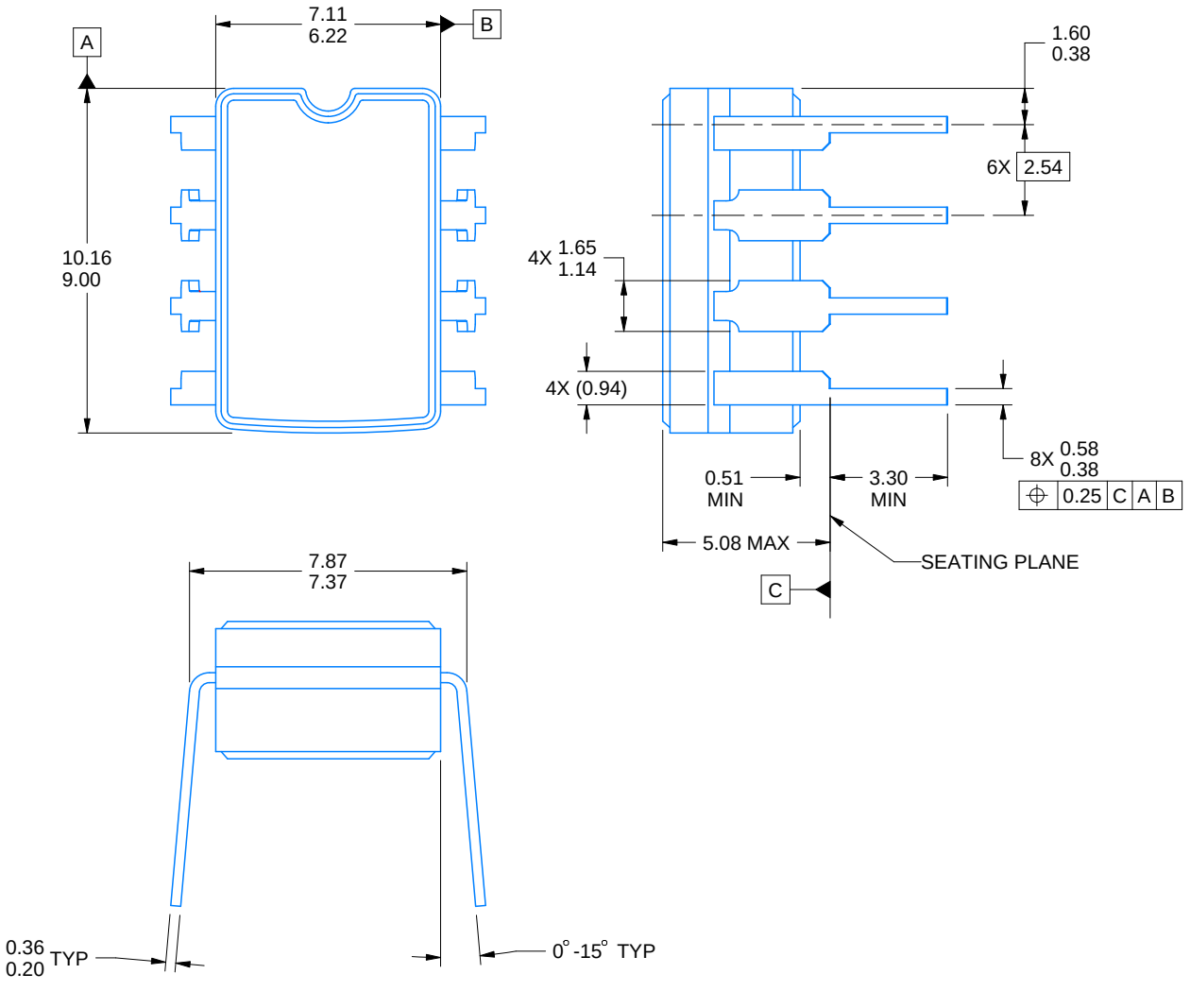
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



4230036/A 09/2023

NOTES:

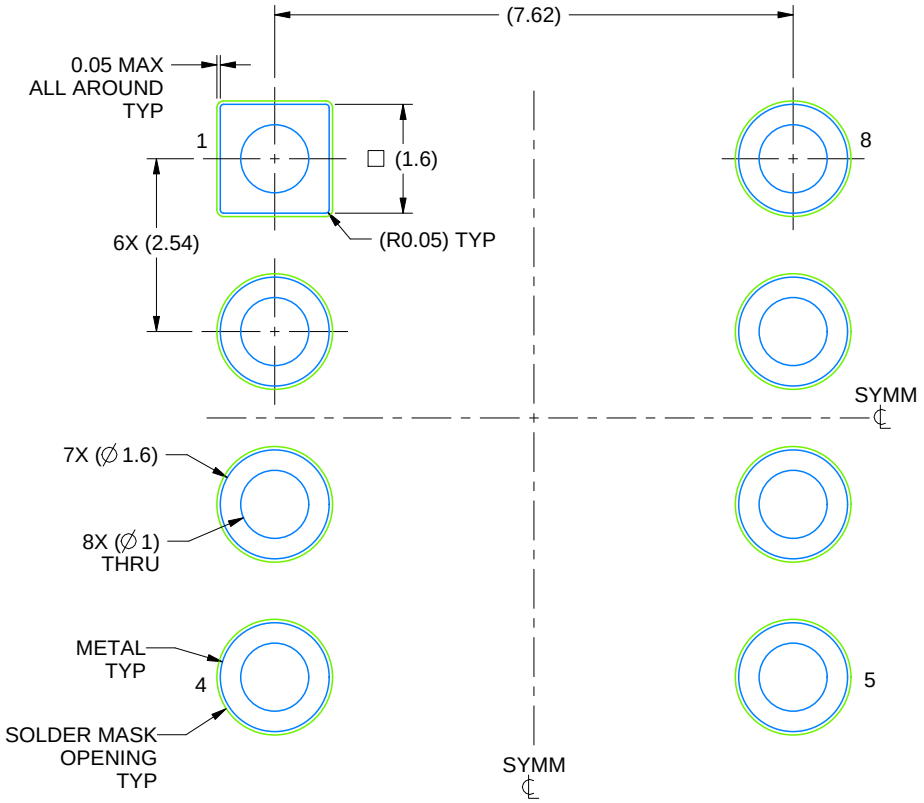
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package can be hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification.
5. Falls within MIL STD 1835 GDIP1-T8

EXAMPLE BOARD LAYOUT

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



LAND PATTERN EXAMPLE
NON SOLDER MASK DEFINED
SCALE: 9X

4230036/A 09/2023

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月