MSPM0G3218-Q1 和 MSPM0G3207-Q1 汽车级 具有 CAN-FD 接口的混合信号微控制器

ADVANCE INFORMATION

1 特性

- **符合面向汽车应用的 AEC-Q100 标准**
- **内核**
  - 具有存储器保护单元且频率高达 80MHz 的 Arm® 32 位 Cortex® M0+ CPU
- 以功能安全合规型为目标
  - 专为功能安全应用开发
  - 将会提供有助于进行 ISO 26262 系统设计的文档
  - 计划达到最高 ASIL B 等级系统能力
- 已计划通过 PSA-L1 认证
- **工作特性**
  - 工作温度范围：–40°C 至 125°C
  - 宽电源电压范围：1.62V 至 3.6V
- **存储器**
  - 具有纠错码 (ECC) 且高达 256KB 的闪存
    - 具有地址交换和 OTA 更新功能的双组存储器
  - 具有 ECC 保护的 8KB 数据闪存组
  - 总计 32kB SRAM，具有 ECC 保护或硬件奇偶校验功能
- **高性能模拟外设**
  - 多达两个具有总计多达 27 个外部通道的 12 位 1.6Msps 同步采样模数转换器 (ADC)
    - 硬件均值计算可在 100ksps 下实现 14 位有效分辨率
  - 多达两个具有集成 8 位基准 DAC 的高速比较器 (COMP)
    - 高速模式下传播延迟为 32ns
    - 支持低功耗工作模式（低至 <1µA）
  - ADC 和 COMP 之间的可编程模拟连接
  - 两个电压基准 (VREF)
    - 可配置的 1.4V 或 2.5V 内部共享电压基准，具有外部 VREF 电容
    - 可配置的 1.4V 或 2.5V 仅内部电压基准，无需外部 VREF 电容
  - 集成温度传感器
- **优化的低功耗模式（对早期样片进行估算）**
  - RUN：104µA/MHz (CoreMark)
  - SLEEP：4MHz 时的 614uA
  - STOP：56µA/32kHz
  - STANDBY：在启用 RTC、满 SRAM 和状态保持的情况下，32kHz 下电流为 1.4µA
  - 关断：69nA，具有 IO 唤醒能力
- **智能数字外设**
  - 9 通道 DMA 控制器
  - 数学加速器支持 DIV、SQRT、MAC 和 TRIG 计算
  - 五个计时器，支持多达 18 个 PWM 通道
    - 一个 16 位通用计时器支持 QEI
    - 两个 16 位通用计时器支持 STANDBY 模式下的低功耗运行
    - 两个具有死区支持和多达 12 个 PWM 通道的互补输出的 16 位高级计时器
  - 两个基本软件计时器，每个都包含 4 个独立的可配置 16 位计数器
    - 能够以菊花链方式将 2 个 16 位计数器组成一个 32 位计数器
    - 每个基本软件计时器能够生成 2 个中断驱动 PWM
  - 两个窗口化看门狗计时器 (WWDT)、一个独立看门狗计时器 (IWDT)
  - 具有报警和日历模式的 RTC
- **增强型通信接口**
  - 五个可配置串行接口 (UNICOMM)
    - 一个支持 UART 或 SPI 的可配置串行接口
    - 一个支持 UART（带 LIN）或 I2C（控制器或目标模式）的可配置串行接口
    - 一个支持 UART 或 I2C（控制器或目标模式）的可配置串行接口
    - 一个专用 UART + LIN 接口
    - 一个支持高达 32Mbits/s 速度的专用 SPI 接口
    - 一个支持 CAN 2.0 A 或 B 以及 CAN-FD 的控制器局域网 (CAN) 接口
- **时钟系统**
  - 精度高达 ±1.2% 的内部 4MHz 至 32MHz 振荡器 (SYSOSC)
  - 高达 80MHz 的锁相环 (PLL)
  - 精度为 ±3% 的内部 32kHz 低频振荡器 (LFOSC)
  - 外部 4MHz 至 48MHz 晶体振荡器 (HFXT)
  - 外部 32kHz 晶体振荡器 (LFXT)
  - 外部时钟输入
- **数据完整性和加密**
  - 支持 GCM/GMAC、CCM/CBC-MAC、CBC、CTR 的 AES-128/256 加速器
  - 安全密钥存储，支持多达四个 AES 密钥
  - 用于保护代码和数据的灵活防火墙
  - 循环冗余校验器（CRC-16、CRC-32）
- **灵活的 I/O 功能**
  - 多达 60 个 GPIO

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

  - 两个 5V 容限开漏 IO
  - 三个驱动强度为 20mA 的高驱动 IO
  - 四个高速 IO
- **开发支持**
  - 2 引脚串行线调试 (SWD)
- **封装选项**
  - 64 引脚 LQFP (PM) (0.5mm 间距)
  - 48 引脚 LQFP (PT) (0.5mm 间距)
  - 48 引脚 VQFN (RGZ) (0.5mm 间距，具有可湿性侧面)
  - 32 引脚 VQFN (RHB) (0.5mm 间距，具有可湿性侧面)
  - 28 引脚 VSSOP (28DGS) (0.5mm 间距)
  - 24 引脚 VQFN (RGE) (0.5mm 间距，具有可湿性侧面)
  - 20 引脚 VQFN (20DGS) (0.5mm 间距)
- **系列成员** (另请参阅 *器件比较*)
  - MSPM0G3218-Q1：256KB 闪存、32KB RAM、8KB 数据库、2 个 ADC、2 个 COMP、1 个 CAN-FD
  - MSPM0G3207-Q1：128KB 闪存、32KB RAM、8KB 数据库、1 个 ADC、1 个 COMP、1 个 CAN-FD
- **开发套件与软件** (另请参阅 *工具与软件*)
  - LP-MSPM0G3218 LaunchPad 开发套件
  - MSPM0 软件开发套件 (SDK)

2 应用

- 汽车车身电子装置和照明
- 汽车网关
- 方向盘系统
- 汽车电机控制
- 直流转交流逆变器
- 车内照明
- 车门把手模块
- 脚踢开启模块
- 车辆乘员检测
- 座椅舒适模块

3 说明

MSPM0G3218-Q1 和 MSPM0G3207-Q1 微控制器 (MCU) 属于 MSP 高度集成的超低功耗 32 位 MCU 系列，该 MCU 系列基于增强型 Arm®Cortex®-M0+ 32 位内核平台，工作频率最高可达 80MHz。这些 MCU 为需要采用封装 (24 至 64 个引脚) 的 128KB 至 256KB 闪存存储器的应用同时提供了成本优化和设计灵活性。这些器件包括 CAN-FD 控制器、网络安全机制和高性能集成模拟，并在整个工作温度范围内提供出色的低功耗性能。

该器件提供具有内置纠错码 (ECC) 且高达 256KB 的嵌入式闪存程序存储器，以及高达 32KB 的 SRAM (具有 ECC 和奇偶校验保护功能)。闪存存储器分为两个主要存储体，用于支持现场固件更新，并支持在两个主要存储体之间进行地址交换。

可以使用灵活的网络安全机制来支持安全启动、安全的现场固件更新、IP 保护 (仅执行存储器)、密钥存储等。针对多种 AES 对称密码模式提供了硬件加速功能。网络安全架构正等待 Arm® PSA 1 级认证。

提供了一组高性能模拟模块，如两个同步采样的 12 位 1.6Msps ADC (支持多达 27 个外部通道)、片上电压基准 (1.4V 或 2.5V) 和两个比较器 (内置 8 位基准 DAC，可在低功耗和高速模式下运行)。

TI MSPM0 系列低功耗 MCU 包含具有不同模拟和数字集成度的器件。MSPM0 MCU 平台将 Arm Cortex-M0+ 平台与超低功耗整体系统架构相结合，使系统设计人员能够在降低能耗的同时提高性能。

MSPM0G3218-Q1 和 MSPM0G3207-Q1 MCU 由广泛的硬件和软件生态系统提供支持，随附参考设计和代码示例，便于您快速开始设计。开发套件包括可供购买的 LaunchPad。TI 还提供免费的 MSPM0 软件开发套件 (SDK)，该套件在 TI Resource Explorer 中作为 Code Composer Studio™ IDE 桌面版和云版组件提供。MSPM0 MCU 还通过 MSP Academy 提供广泛的在线配套资料、培训，并通过 TI E2E™ 支持论坛提供在线支持。

有关完整的模块说明，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册*。

小心

系统级静电放电 (ESD) 保护必须符合器件级 ESD 规范，以防发生电过应力或对数据或代码存储器造成干扰。有关更多信息，请参阅 *MSP430™ 系统级 ESD 注意事项*。本应用手册中的准则适用于 MSPM0 MCU。

Copyright © 2026 Texas Instruments Incorporated

器件信息

器件型号	封装 (1)	封装尺寸 (2)
M0G3218QPMRQ1	PM（LQFP，64）	12mm x 12mm
M0G3207QPMRQ1		
M0G3218QPTRQ1	PT（LQFP，48）	9mm x 9mm
M0G3207QPTRQ1		
M0G3218QRGZRQ1	RGZ（VQFN，48）	7mm x 7mm
M0G3207QRGZRQ1		
M0G3218QRHBRQ1	RHB（VQFN，32）	5mm x 5mm
M0G3207QRHBRQ1		
M0G3218Q28DGSRQ1	DGS28（VSSOP、28）	7.1mm x 4.9mm
M0G3207Q28DGSRQ1		
M0G3218QRGERQ1	VQFN (RGE, 24)	4mm x 4mm
M0G3207QRGERQ1		
M0G3218Q20DGSRQ1	DGS20（VSSOP，20）	5.1mm x 4.9mm
M0G3207Q20DGSRQ1		

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

4 功能方框图

图 4-1 展示了器件的详细功能方框图。

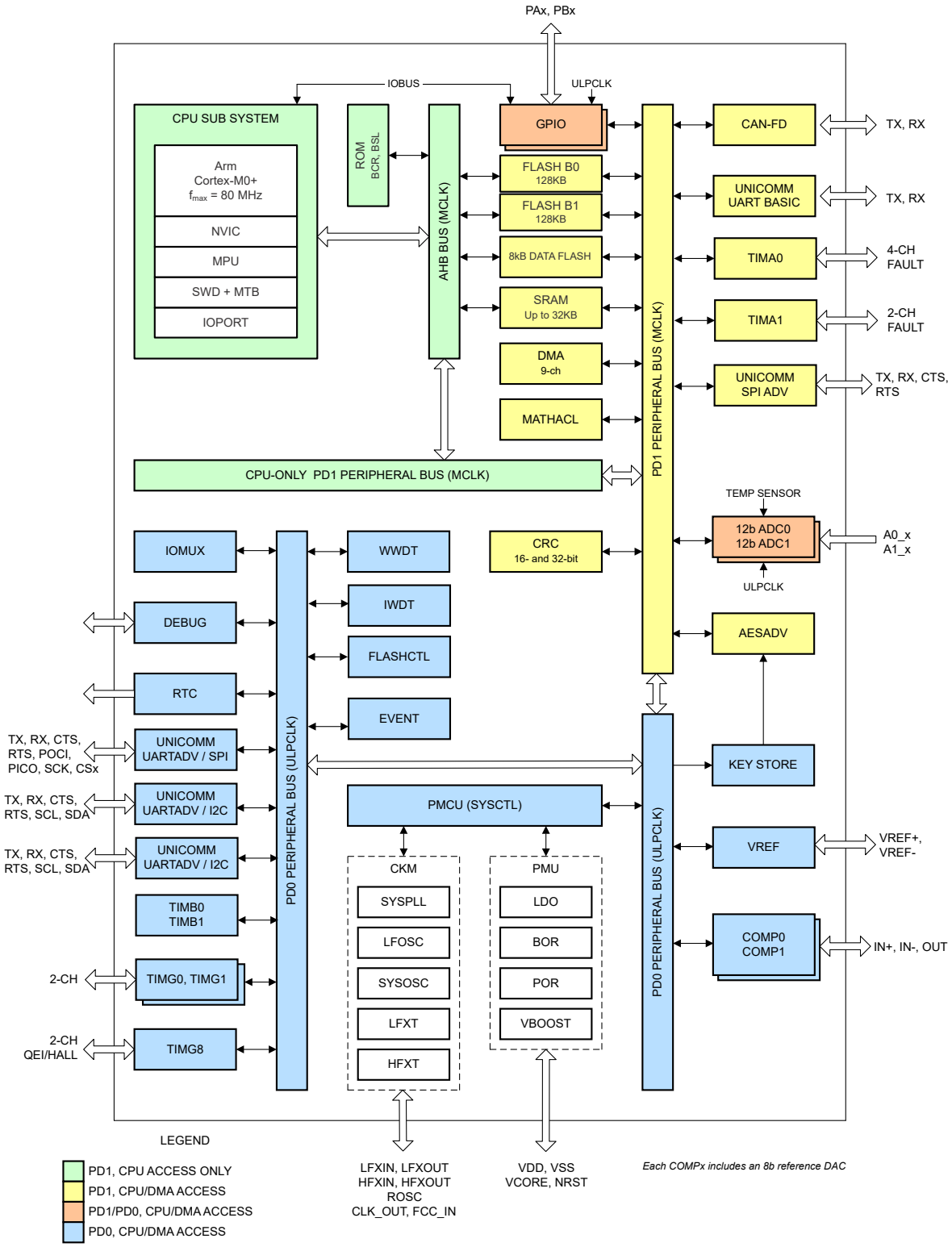


图 4-1. MSPM0G3218-Q1 功能框图

Copyright © 2026 Texas Instruments Incorporated

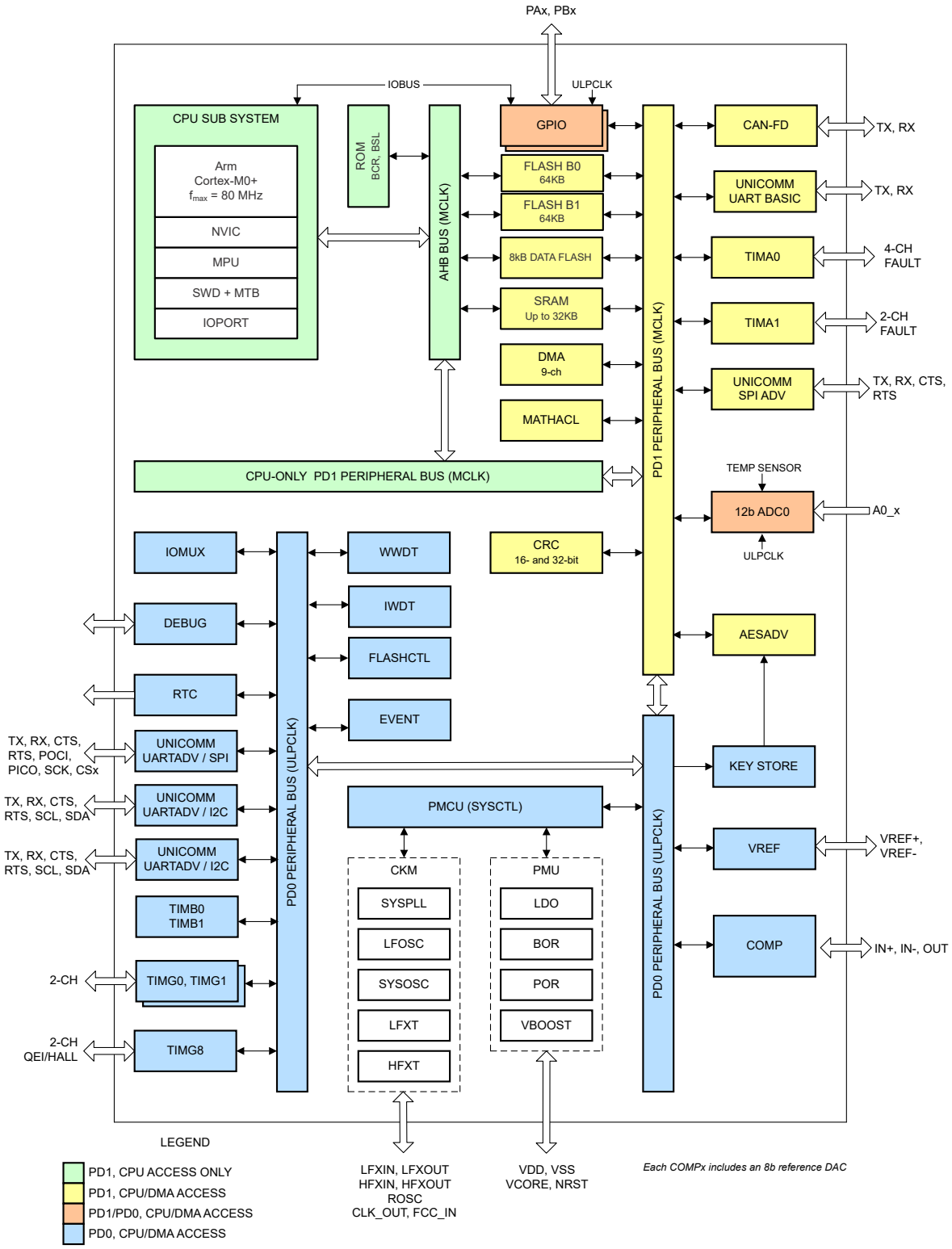


图 4-2. MSPM0G3207-Q1 功能框图

ADVANCE INFORMATION

ADVANCE INFORMATION

内容

1 特性 1
2 应用 2
3 说明 2
4 功能方框图 4
5 器件比较 7
6 引脚配置和功能 8
6.1 引脚图 8
6.2 引脚属性 12
6.3 信号说明 24
6.4 未使用引脚的连接 36
7 规格 37
7.1 绝对最大额定值 37
7.2 ESD 等级 37
7.3 建议运行条件 37
7.4 热性能信息 38
7.5 电源电流特性 40
7.6 电源时序 41
7.7 闪存特性 42
7.8 时序特性 43
7.9 时钟规范 44
7.10 数字 IO 47
7.11 模拟多路复用器 VBOOST 50
7.12 ADC 50
7.13 温度传感器 52
7.14 VREF1 53
7.15 VREF2 53
7.16 比较器 (COMP) 54
7.17 I2C 55
7.18 SPI 56
7.19 UART 58
7.20 TIMx 58
7.21 仿真和调试 58
8 详细说明 59
8.1 功能方框图 59
8.2 CPU 62
8.3 工作模式 62
8.4 电源管理单元 (PMU) 64
8.5 时钟模块 (CKM) 64
8.6 DMA 65
8.7 事件 66
8.8 存储器 67
8.9 闪存存储器 70
8.10 SRAM 71
8.11 GPIO 71
8.12 IOMUX 71
8.13 ADC 71
8.14 温度传感器 72
8.15 VREF 72
8.16 COMP 73
8.17 安全性 74
8.18 AESADV 75
8.19 密钥库 75
8.20 CRC-P 75
8.21 MATHACL 76
8.22 UNICOMM (UART/SPI/I2C) 76
8.23 CAN-FD 79
8.24 低频子系统 (LFSS) 79
8.25 RTC_B 79
8.26 IWDT_B 80
8.27 WWDT 80
8.28 计时器 (TIMx) 81
8.29 输入/输出图 82
8.30 器件模拟连接 83
8.31 串行线调试接口 86
8.32 引导加载程序 (BSL) 86
8.33 器件出厂常量 87
8.34 标识 87
9 应用、实施和布局 88
9.1 典型应用 88
10 器件和文档支持 89
10.1 入门和后续步骤 89
10.2 器件命名规则 89
10.3 工具与软件 90
10.4 文档支持 90
10.5 支持资源 91
10.6 商标 91
10.7 静电放电警告 91
10.8 术语表 91
11 修订历史记录 91
12 机械、封装和可订购信息 92

Copyright © 2026 Texas Instruments Incorporated

5 器件比较

下表总结了本数据表中所述的每个器件的特性。

表 5-1. 器件比较表

器件名称[1][4]	闪存/SRAM (KB)	QUAL[2]	CAN	UART/I2C/SPI	ADC/通道数	COMP	GPIO	封装[3]
M0G3218QPMRQ1	256/32	Q	1	4/2/2	2/27	2	60	64 LQFP（0.5mm 间距）[12mm x 12mm]
M0G3207QPMRQ1	128/32	Q	1	4/2/2	1/13	1	60	
M0G3218QPTRQ1	256/128	Q	1	4/2/2	2/21	2	44	48 LQFP（0.5mm 间距）[9mm x 9mm]
M0G3207QPTRQ1	128/32	Q	1	4/2/2	1/12	1	44	
M0G3218QRGZRQ1	256/32	Q	1	4/2/2	2/21	2	44	48 VQFN（0.5mm 间距）[7mm x 7mm]
M0G3207QRGZRQ1	128/32	Q	1	4/2/2	1/12	1	44	
M0G3218QRHBRQ1	256/32	Q	1	4/2/2	2/16	2	28	32 VQFN（0.5mm 间距）[5mm x 5mm]
M0G3207QRHBRQ1	128/32	Q	1	4/2/2	1/10	1	28	
M0G3218Q28DGSRQ1	256/32	Q	1	4/2/2	2/10	2	24	28 VSSOP（0.5mm 间距）[7.1mm x 3.0mm]
M0G3207Q28DGSRQ1	128/32	Q	1	4/2/2	1/7	1	24	
M0G3218QRGERQ1	256/32	Q	1	4/2/2	2/11	2	20	24 VQFN（0.5mm 间距）[4mm x 4mm]
M0G3207QRGERQ1	128/32	Q	1	4/2/2	1/6	1	20	
M0G3218Q20DGSRQ1	256/32	Q	1	4/2/2	2/10	2	16	20 VSSOP（0.5mm 间距）[5.1mm x 3.0mm]
M0G3207Q20DGSRQ1	128/32	Q	1	4/2/2	1/7	1	16	

(1) 如需所有在售产品的最新器件、封装和订购信息，请参阅节 12 中的*封装选项附录*，或浏览 TI 网站。
(2) 器件鉴定：
- Q = –40°C 至 125°C，符合 AEC-Q100 标准

(3) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。要获得包含误差值的封装尺寸，请参阅节 12。
(4) 有关器件名称的更多信息，请参阅节 10.2

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6 引脚配置和功能

系统配置工具提供了一个图形界面，用于启用、配置和生成引脚多路复用和简化引脚设置所需的初始化代码。数据表中显示的引脚图显示了主要外设功能、一些集成器件特性以及用于简化器件引脚排列的可用时钟信号。

有关引脚功能的完整说明，请参阅*引脚属性*和*信号说明*部分。

6.1 引脚图

有关每个封装选项的完整引脚配置和功能，请参阅*引脚属性*和*信号说明*。

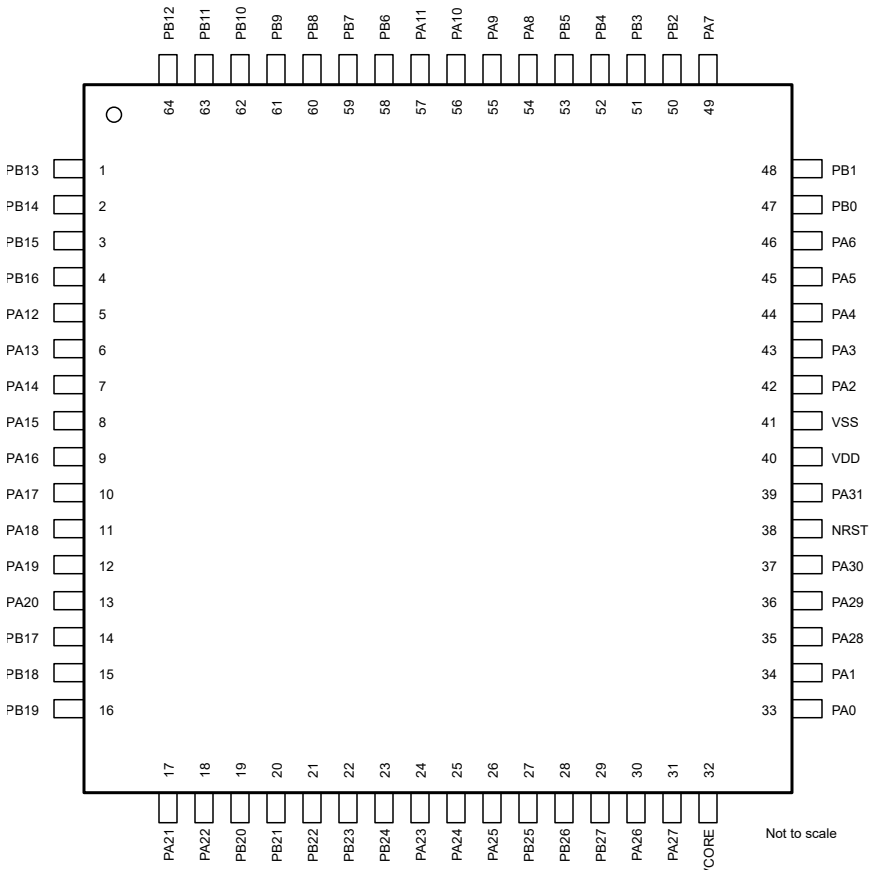


图 6-1. 64 引脚 PM (0.5mm) (LQFP) 封装图

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

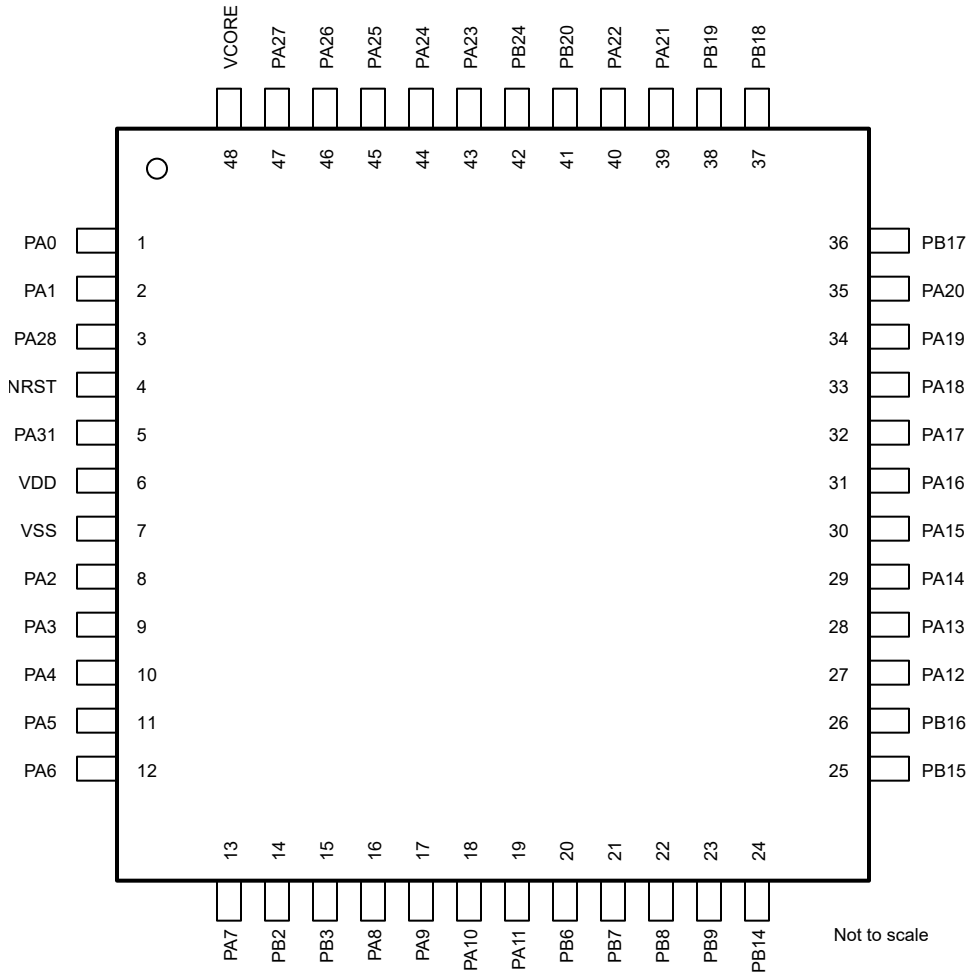


图 6-2. 48 引脚 PT (0.5mm) (LQFP) 封装图

ADVANCE INFORMATION

ADVANCE INFORMATION

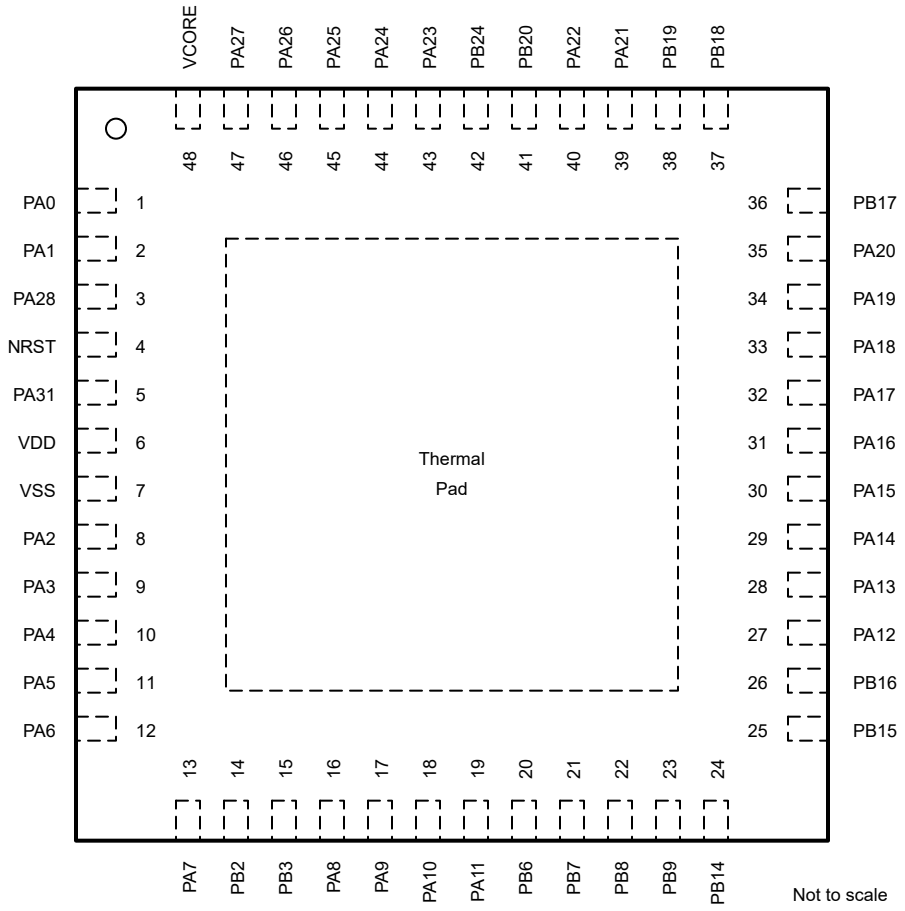


图 6-3. 48 引脚 RGZ (0.5mm) (VQFN) 封装图

Copyright © 2026 Texas Instruments Incorporated

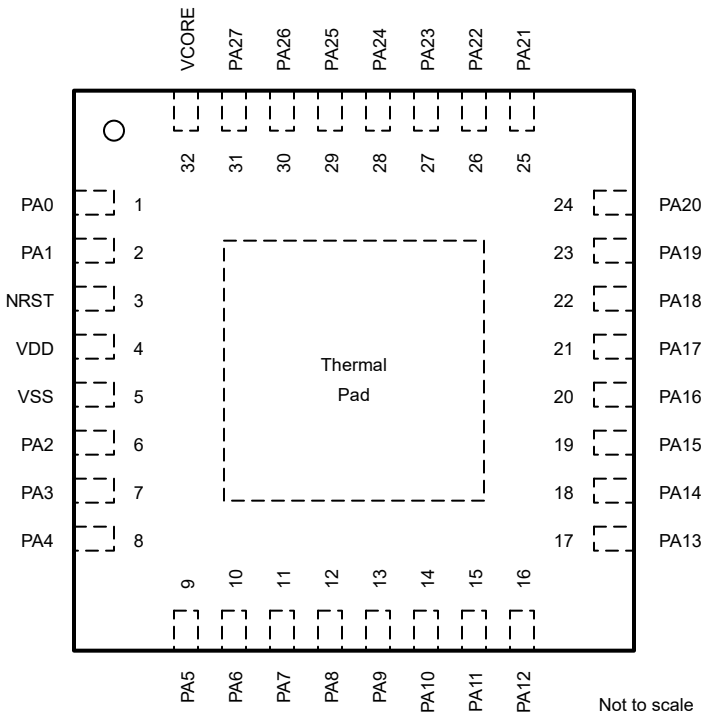


图 6-4. 32 引脚 RHB (0.5mm) (VQFN) 封装图

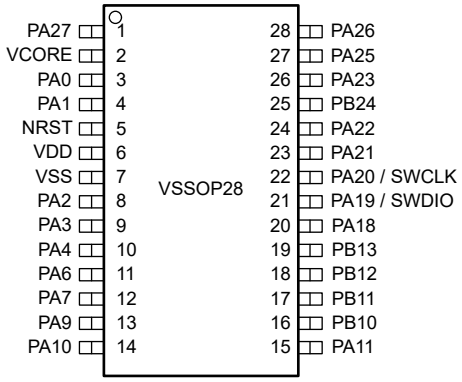


图 6-5. 28 引脚 28DGS (0.5mm) (VSSOP) 封装图

ADVANCE INFORMATION

ADVANCE INFORMATION

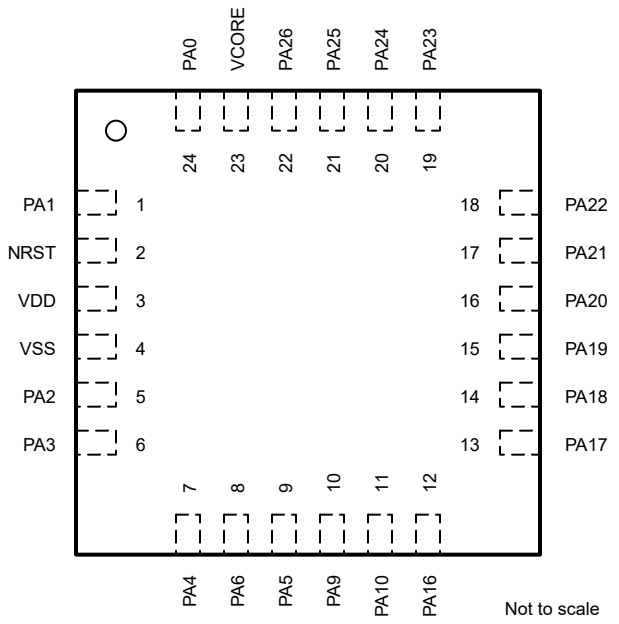


图 6-6. 24 引脚 RGE (0.5mm) (VQFN) 封装图

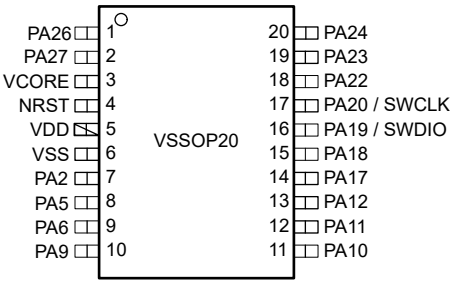


图 6-7. 20 引脚 20DGS (0.5mm) (VSSOP) 封装图

6.2 引脚属性

下表介绍了每个器件封装中每个引脚上可用的功能。

备注

器件上的每个数字 I/O 均映射到一个特定的引脚控制管理寄存器 (PINCMx)，此寄存器让用户能够使用 PINCM.PF 控制位来配置所需的*引脚功能*。

器件上的每个数字 I/O 均映射到一个特定的引脚控制管理寄存器 (PINCMx)，此寄存器让用户能够使用 PINCM.PF 控制位来配置所需的引脚功能。IOMUX 仅支持同时将一个 IOMUX 管理的数字功能连接到引脚。当打算在引脚上使用非 IOMUX 管理的功能（例如模拟连接）时，建议将 IOMUX 中的 PINCM.PF 和 PINCM.PC 设置为 0。但是可以在引脚上启用 IOMUX 管理的数字功能的同时在引脚上启用非 IOMUX 管理的信号（例如模拟输入和 WAKE 输入），前提是这些功能之间不存在争用。在这种情况下，设计人员必须确认每个引脚上启用的功能之间不存在争用。

Copyright © 2026 Texas Instruments Incorporated

表 6-1. 按 IO 类型分类的数字 IO 功能

缓冲器类型	反转控制	驱动强度控制	迟滞控制	上拉电阻器	下拉电阻器	唤醒逻辑
SDIO（标准驱动）	Y			Y	Y	
带唤醒功能的 SDIO（标准驱动）(1)	Y			Y	Y	Y
HDIO（高驱动）	Y	Y		Y	Y	Y
HSIO（高速）	Y	Y		Y	Y	
ODIO（5V 容限开漏）	Y		Y		Y	Y

1. 具有唤醒功能的标准配置允许 I/O 将器件从 SHUTDOWN 最低功耗模式中唤醒。所有 I/O 均可配置为从较高的低功耗模式唤醒 MCU。有关详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“GPIO 快速唤醒”。

表 6-2. 引脚属性（PM、PT、RGZ、RHB、DGS28、RGE、DGS20 封装）

PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚	引脚名称/ IOMUX REG/ IOMUX ADDR	信号名称	IOMUX PF	信号类型	缓冲器类型
38	4	4	3	5	2	4	NRST	NRST	（非 IOMUX）0	复位	复位
33	1	1	1	3	24		PA0 PINCM1 0x40428000	PA0	1	IO	具有唤醒功能的 ODIO（5V 耐压）
								UC4_PICO_TX	2	IO	
								UC0_SDA_TX	3	IOD	
								TIMA0_C0	4	IO	
								TIMA_FAL1	5	I	
								FCC_IN	6	I	
								TIMG8_C1	7	IO	
								TIMG0_C0	9	IO	
								BSL_I2C_SDA	（非 IOMUX）0	IOD	
34	2	2	2	4	1		PA1 PINCM2 0x40428004	PA1	1	IO	具有唤醒功能的 ODIO（5V 耐压）
								UC4_SCLK_RX	2	IOD	
								UC0_SCL_RX	3	IOD	
								TIMA0_C1	4	IO	
								TIMA_FAL2	5	I	
								TIMG8_IDX	6	I	
								TIMG8_C0	7	IO	
								TIMG0_C1	9	IO	
								UC2_CS3	10	IO	
								BSL_I2C_SCL	（非 IOMUX）0	IOD	
42	8	8	6	8	5	7	PA2 PINCM7 0x40428018	PA2	1	IO	SDIO（标准）
								TIMG8_C1	2	IO	
								UC2_CS0	3	IO	
								UC4_CS0_CTS	5	IO	
								TIMA0_C3N	6	O	
								TIMA0_C2N	7	O	
								TIMA_FAL0	8	I	
								TIMA_FAL1	9	I	
								TIMA0_C0	11	IO	
								ROSC	（非 IOMUX）0	A	

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 引脚属性（PM、PT、RGZ、RHB、DGS28、RGE、DGS20 封装）（续）

PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚	引脚名称/ IOMUX REG/ IOMUX ADDR	信号名称	IOMUX PF	信号类型	缓冲器类型
43	9	9	7	9	6		PA3 PINCM8 0x4042801c	PA3	1	IO	SDIO（标准）
								TIMG8_C0	2	IO	
								UC2_CS1	3	IO	
								UC5_SDA_TX	4	IOD	
								TIMA0_C1	5	IO	
								COMP0_OUT	6	O	
								TIMA0_C2	8	IO	
								UC0_CTS	9	IO	
								UC2_CS3	11	IO	
								COMP1_OUT	12	O	
								LFXIN	（非 IOMUX 1）0	A	
44	10	10	8	10	7		PA4 PINCM9 0x40428020	PA4	1	IO	SDIO（标准）
								TIMG8_C1	2	IO	
								UC2_POCI	3	IO	
								UC5_SCL_RX	4	IOD	
								TIMA0_C1N	5	O	
								LFCLKIN	6	I	
								TIMA0_C3	8	IO	
								UC0_RTS	9	IO	
								UC2_CS0	11	IO	
								LFXOUT	（非 IOMUX 1）0	A	
45	11	11	9		9	8	PA5 PINCM10 0x40428024	PA5	1	IO	SDIO（标准）
								TIMG8_C0	2	IO	
								UC2_PICO	3	IO	
								UC5_SDA_TX	4	IOD	
								TIMG0_C0	5	IO	
								FCC_IN	6	I	
								TIMA_FAL1	8	I	
								UC4_CS0_CTS	9	IO	
								HFXIN	（非 IOMUX 1）0	A	
46	12	12	10	11	8	9	PA6 PINCM11 0x40428028	PA6	1	IO	SDIO（标准）
								TIMG8_C1	2	IO	
								UC2_SCLK	3	IOD	
								UC5_SCL_RX	4	IOD	
								TIMG0_C1	5	IO	
								HFCLKIN	6	I	
								TIMA_FAL0	8	I	
								UC4_POCI_RTS	9	IO	
								TIMA0_C2N	10	O	
								HFXOUT	（非 IOMUX 1）0	A	

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 引脚属性（PM、PT、RGZ、RHB、DGS28、RGE、DGS20 封装）（续）

PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚	引脚名称/ IOMUX REG/ IOMUX ADDR	信号名称	IOMUX PF	信号类型	缓冲器类型
49	13	13	11	12			PA7 PINCM14 0x40428034	PA7	1	IO	SDIO（标准）
								COMP0_OUT	2	O	
								CLK_OUT	3	O	
								TIMG8_C0	4	IO	
								TIMA0_C2	5	IO	
								TIMG8_IDX	6	I	
								TIMA0_C1	8	IO	
								UC2_CS2	9	IO	
								FCC_IN	10	I	
								UC2_POCI	11	IO	
54	16	16	12				PA8 PINCM19 0x40428048	PA8	1	IO	SDIO（标准）
								UC5_SDA_TX	2	IOD	
								UC2_CS0	3	IO	
								UC0_SDA_TX	4	IOD	
								TIMA0_C0	5	IO	
								TIMA_FAL2	6	I	
								TIMA_FAL0	7	I	
								UC2_CS3	8	IO	
								HFCLKIN	10	I	
								UC4_POCI_RTS	11	IO	
								TIMA1_C0N	12	O	
55	17	17	13	13	10	10	PA9 PINCM20 0x4042804c	PA9	1	IO	HSIO（高速）
								UC5_SCL_RX	2	IOD	
								UC2_PICO	3	IO	
								UC0_SCL_RX	4	IOD	
								TIMA0_C0N	5	O	
								CLK_OUT	6	O	
								TIMA0_C1	7	IO	
								RTC_OUT	8	O	
								UC4_CS0_CTS	11	IO	
								TIMA1_C1N	12	O	
56	18	18	14	14	11	11	PA10 PINCM21 0x40428050	PA10	1	IO	带唤醒功能的 HDIO（高驱动）
								UC4_PICO_TX	2	IO	
								UC2_POCI	3	IO	
								UC0_SDA_TX	4	IOD	
								TIMA0_C2	5	IO	
								CLK_OUT	6	O	
								TIMG0_C0	7	IO	
								UC5_SDA_TX	8	IOD	
								TIMA_FAL1	10	I	
								TIMA1_C0	11	IO	
								COMP1_DAC_OUT	（非 IOMUX 1）0	A	
								BSL_UART_RX	（非 IOMUX 2）0	IO	

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 引脚属性（PM、PT、RGZ、RHB、DGS28、RGE、DGS20 封装）（续）

PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚	引脚名称/ IOMUX REG/ IOMUX ADDR	信号名称	IOMUX PF	信号类型	缓冲器类型
57	19	19	15	15		12	PA11 PINCM22 0x40428054	PA11	1	IO	带唤醒功能的 HDIO（高驱动）
								UC4_SCLK_RX	2	IOD	
								UC2_SCLK	3	IOD	
								UC0_SCL_RX	4	IOD	
								TIMA0_C2N	5	O	
								COMP0_OUT	6	O	
								TIMG0_C1	7	IO	
								UC5_SCL_RX	8	IOD	
								TIMA_FAL0	10	I	
								TIMA1_C1	11	IO	
								COMP0_DAC_OUT	（非 IOMUX 1）0	A	
								BSL_UART_TX	（非 IOMUX 2）0	IO	
5	27	27	16			13	PA12 PINCM34 0x40428084	PA12	1	IO	HSIO（高速）
								UC2_SCLK	3	IOD	
								COMP0_OUT	4	O	
								TIMA0_C3	5	IO	
								FCC_IN	6	I	
								TIMG0_C0	7	IO	
								UC2_CS1	9	IO	
								UC0_CTS	10	IO	
								CANFD0_CANTX	12	O	
								ADC0_8	（非 IOMUX 1）0	A	
6	28	28	17				PA13 PINCM35 0x40428088	PA13	1	IO	HSIO（高速）
								UC2_POCI	3	IO	
								UC9_RX	4	IO	
								TIMA0_C3N	5	O	
								RTC_OUT	6	O	
								TIMG0_C1	7	IO	
								UC4_CS0_CTS	8	IO	
								UC2_CS3	9	IO	
								UC0_SDA_TX	10	IOD	
								CANFD0_CANRX	12	I	
								ADC0_9	（非 IOMUX 1）0	A	
								COMP0_IN2-	（非 IOMUX 2）0	A	
7	29	29	18				PA14 PINCM36 0x4042808c	PA14	1	IO	HSIO（高速）
								UC4_CS0_CTS	2	IO	
								UC2_PICO	3	IO	
								UC9_TX	4	IO	
								CLK_OUT	6	O	
								UC2_CS2	9	IO	
								UC0_SCL_RX	10	IOD	
								ADC0_12	（非 IOMUX 1）0	A	
								COMP0_IN2+	（非 IOMUX 2）0	A	

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 引脚属性（PM、PT、RGZ、RHB、DGS28、RGE、DGS20 封装）（续）

PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚	引脚名称/ IOMUX REG/ IOMUX ADDR	信号名称	IOMUX PF	信号类型	缓冲器类型
8	30	30	19				PA15 PINCM37 0x40428090	PA15	1	IO	SDIO（标准）
								UC4_POCI_RTS	2	IO	
								UC5_SCL_RX	4	IOD	
								TIMA0_C2	5	IO	
								TIMG8_IDX	7	I	
								TIMA1_C0N	9	O	
								UC0_RTS	10	IO	
								TIMA1_C0	11	IO	
								ADC1_0	（非 IOMUX 1）0	A	
								COMP0_IN3+	（非 IOMUX 2）0	A	
								COMP1_IN3+	（非 IOMUX 3）0	A	
9	31	31	20		12		PA16 PINCM38 0x40428094	PA16	1	IO	SDIO（标准）
								COMP0_OUT	2	O	
								UC4_POCI_RTS	3	IO	
								UC5_SDA_TX	4	IOD	
								TIMA0_C2N	5	O	
								FCC_IN	7	I	
								UC0_CTS	10	IO	
								TIMA1_C1	11	IO	
								TIMA1_C1N	12	O	
								ADC1_1	（非 IOMUX 1）0	A	
10	32	32	21		13	14	PA17 PINCM39 0x40428098	PA17	1	IO	具有唤醒功能的 SDIO（标准型）
								UC5_SDA_TX	2	IOD	
								UC4_SCLK_RX	3	IOD	
								UC5_SCL_RX	4	IOD	
								TIMA0_C3	5	IO	
								TIMG8_C0	7	IO	
								UC2_CS1	9	IO	
								TIMA1_C0	10	IO	
								ADC1_2	（非 IOMUX 1）0	A	
								COMP0_IN1-	（非 IOMUX 2）0	A	
11	33	33	22	20	14	15	PA18 PINCM40 0x4042809c	PA18	1	IO	具有唤醒功能的 SDIO（标准型）
								UC5_SCL_RX	2	IOD	
								UC4_PICO_TX	3	IO	
								UC5_SDA_TX	4	IOD	
								TIMA0_C3N	5	O	
								TIMG8_C1	7	IO	
								UC2_CS0	9	IO	
								TIMA1_C1	10	IO	
								ADC1_3	（非 IOMUX 1）0	A	
								COMP0_IN1+	（非 IOMUX 2）0	A	
								BSL_INVOKE	（非 IOMUX 3）0	I	

ADVANCE INFORMATION

表 6-2. 引脚属性（PM、PT、RGZ、RHB、DGS28、RGE、DGS20 封装）（续）

PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚	引脚名称/ IOMUX REG/ IOMUX ADDR	信号名称	IOMUX PF	信号类型	缓冲器类型
12	34	34	23	21	15	16	PA19 PINCM41 0x404280a0	PA19	1	IO	SDIO（标准）
								SWDIO	2	IO	
								UC4_POCI_RTS	3	IO	
								UC5_SDA_TX	4	IOD	
								TIMA0_C2	5	IO	
								TIMG0_C0	6	IO	
								ADC0_13	（非 IOMUX 1）0	A	
13	35	35	24	22	16	17	PA20 PINCM42 0x404280a4	PA20	1	IO	SDIO（标准）
								SWCLK	2	I	
								UC4_SCLK_RX	3	IOD	
								UC5_SCL_RX	4	IOD	
								TIMA0_C2N	5	O	
								TIMG0_C1	6	IO	
								ADC0_14	（非 IOMUX 1）0	A	
17	39	39	25	23	17		PA21 PINCM46 0x404280b4	PA21	1	IO	SDIO（标准）
								UC0_SDA_TX	2	IOD	
								UC2_CS3	3	IO	
								TIMA0_C0	5	IO	
								UC0_CTS	8	IO	
								TIMG8_C0	10	IO	
								ADC1_7	（非 IOMUX 1）0	A	
								ADC0_VREF-	（非 IOMUX 2）0	A	
								ADC1_VREF-	（非 IOMUX 3）0	A	
18	40	40	26	24	18	18	PA22 PINCM47 0x404280b8	PA22	1	IO	SDIO（标准）
								UC0_SCL_RX	2	IOD	
								UC2_CS2	3	IO	
								TIMA0_C0N	5	O	
								TIMA0_C1	7	IO	
								CLK_OUT	8	O	
								TIMG8_C1	10	IO	
								ADC0_7	（非 IOMUX 1）0	A	
24	43	43	27	26	19	19	PA23 PINCM53 0x404280d0	PA23	1	IO	SDIO（标准）
								UC0_SDA_TX	2	IOD	
								UC2_CS3	3	IO	
								TIMG1_C0	4	IO	
								TIMA0_C3	5	IO	
								TIMG8_C0	6	IO	
								TIMG0_C0	9	IO	
								ADC1_12	（非 IOMUX 1）0	A	
								COMP1_IN1-	（非 IOMUX 2）0	A	
								ADC0_VREF+	（非 IOMUX 3）0	A	

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 引脚属性（PM、PT、RGZ、RHB、DGS28、RGE、DGS20 封装）（续）

PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚	引脚名称/ IOMUX REG/ IOMUX ADDR	信号名称	IOMUX PF	信号类型	缓冲器类型
25	44	44	28		20	20	PA24 PINCM54 0x404280d4	PA24	1	IO	SDIO（标准）
								UC0_SCL_RX	2	IOD	
								UC2_CS2	3	IO	
								TIMA0_C3N	5	O	
								TIMG8_C1	6	IO	
								TIMA1_C1	7	IO	
								TIMG0_C1	9	IO	
								ADC0_3	（非 IOMUX 1）0	A	
26	45	45	29	27	21		PA25 PINCM55 0x404280d8	PA25	1	IO	SDIO（标准）
								UC9_RX	2	IO	
								TIMG1_C1	4	IO	
								TIMA0_C3	5	IO	
								TIMA0_C1N	6	O	
								COMP0_OUT	7	O	
								UC0_CTS	8	IO	
								UC9_TX	9	IO	
								CANFD0_CANRX	10	I	
								ADC0_2	（非 IOMUX 1）0	A	
30	46	46	30	28	22	1	PA26 PINCM59 0x404280e8	PA26	1	IO	SDIO（标准）
								UC9_TX	2	IO	
								UC4_CS0_CTS	3	IO	
								TIMG8_C0	4	IO	
								TIMA_FAL0	5	I	
								TIMA0_C3N	6	O	
								UC0_RTS	8	IO	
								UC9_RX	9	IO	
								CANFD0_CANTX	10	O	
								ADC0_1	（非 IOMUX 1）0	A	
								COMP0_IN0+	（非 IOMUX 2）0	A	
31	47	47	31	1		2	PA27 PINCM60 0x404280ec	PA27	1	IO	SDIO（标准）
								UC9_RX	2	IO	
								TIMG8_C1	4	IO	
								TIMA_FAL2	5	I	
								CLK_OUT	6	O	
								RTC_OUT	8	O	
								COMP0_OUT	9	O	
								CANFD0_CANRX	10	I	
								ADC0_0	（非 IOMUX 1）0	A	
								COMP0_IN0-	（非 IOMUX 2）0	A	
35	3	3					PA28 PINCM3 0x40428008	PA28	1	IO	带唤醒功能的 HDIO（高驱动）
								UC4_PICO_TX	2	IO	
								UC0_SDA_TX	3	IOD	
								TIMA0_C3	4	IO	
								TIMA_FAL0	5	I	
								TIMA0_C1	7	IO	
								TIMA1_C0	9	IO	

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 引脚属性（PM、PT、RGZ、RHB、DGS28、RGE、DGS20 封装）（续）

PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚	引脚名称/ IOMUX REG/ IOMUX ADDR	信号名称	IOMUX PF	信号类型	缓冲器类型
36							PA29 PINCM4 0x4042800c	PA29	1	IO	SDIO（标准）
								UC5_SCL_RX	2	IOD	
								UC0_RTS	3	IO	
								TIMG8_C0	4	IO	
								UC4_CS0_CTS	7	IO	
								UC2_CS3	8	IO	
								TIMG1_C0	11	IO	
37							PA30 PINCM5 0x40428010	PA30	1	IO	SDIO（标准）
								UC5_SDA_TX	2	IOD	
								UC0_CTS	3	IO	
								TIMG8_C1	4	IO	
								UC4_POCI_RTS	7	IO	
								UC2_CS2	8	IO	
								TIMG1_C1	11	IO	
39	5	5					PA31 PINCM6 0x40428014	PA31	1	IO	具有唤醒功能的 SDIO（标准型）
								UC4_SCLK_RX	2	IOD	
								UC0_SCL_RX	3	IOD	
								TIMA0_C3N	4	O	
								CLK_OUT	6	O	
								UC2_CS3	8	IO	
								TIMA1_C1	11	IO	
47							PB0 PINCM12 0x4042802c	PB0	1	IO	SDIO（标准）
								UC4_PICO_TX	2	IO	
								UC0_SCL_RX	4	IOD	
								TIMA0_C2	5	IO	
								TIMG0_C0	6	IO	
								UC2_CS3	7	IO	
								TIMA1_C0	8	IO	
48							PB1 PINCM13 0x40428030	PB1	1	IO	SDIO（标准）
								UC4_SCLK_RX	2	IOD	
								UC0_SDA_TX	4	IOD	
								TIMA0_C2N	5	O	
								TIMG0_C1	6	IO	
								UC2_CS2	7	IO	
								TIMA1_C1	8	IO	
50	14	14					PB2 PINCM15 0x40428038	PB2	1	IO	SDIO（标准）
								UC9_TX	2	IO	
								UC0_CTS	3	IO	
								UC5_SCL_RX	4	IOD	
								TIMA0_C3	5	IO	
								TIMG1_C0	7	IO	
								UC0_SDA_TX	8	IOD	
								HFCLKIN	10	I	
								UC2_PICO	11	IO	
								TIMA1_C0	12	IO	

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 引脚属性（PM、PT、RGZ、RHB、DGS28、RGE、DGS20 封装）（续）

PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚	引脚名称/ IOMUX REG/ IOMUX ADDR	信号名称	IOMUX PF	信号类型	缓冲器类型
51	15	15					PB3 PINCM16 0x4042803c	PB3	1	IO	SDIO（标准）
								UC9_RX	2	IO	
								UC0_RTS	3	IO	
								UC5_SDA_TX	4	IOD	
								TIMA0_C3N	5	O	
								TIMG1_C1	7	IO	
								UC0_SCL_RX	8	IOD	
								TIMA0_C0	10	IO	
								UC2_SCLK	11	IOD	
								TIMA1_C1	12	IO	
52							PB4 PINCM17 0x40428040	PB4	1	IO	SDIO（标准）
								UC5_SDA_TX	2	IOD	
								TIMA0_C1	4	IO	
								TIMA0_C2	5	IO	
								TIMG0_C0	6	IO	
								TIMA1_C0	8	IO	
								TIMA1_C0N	11	O	
53							PB5 PINCM18 0x40428044	PB5	1	IO	SDIO（标准）
								UC5_SCL_RX	2	IOD	
								TIMA0_C1N	4	O	
								TIMA0_C2N	5	O	
								TIMG0_C1	6	IO	
								TIMA1_C1	8	IO	
								TIMA1_C1N	11	O	
58	20	20					PB6 PINCM23 0x40428058	PB6	1	IO	SDIO（标准）
								UC5_SDA_TX	2	IOD	
								UC4_CS0_CTS	3	IO	
								TIMG8_C0	5	IO	
								UC0_CTS	6	IO	
								TIMA_FAL2	8	I	
								UC2_CS1	9	IO	
								TIMA1_C0N	12	O	
59	21	21					PB7 PINCM24 0x4042805c	PB7	1	IO	SDIO（标准）
								UC5_SCL_RX	2	IOD	
								UC4_POCI_RTS	3	IO	
								TIMG8_C1	5	IO	
								UC0_RTS	6	IO	
								UC2_CS2	9	IO	
								TIMA1_C1N	12	O	
60	22	22					PB8 PINCM25 0x40428060	PB8	1	IO	SDIO（标准）
								UC4_PICO_TX	3	IO	
								TIMA0_C0	5	IO	
								COMP0_OUT	6	O	
								COMP1_OUT	8	O	
61	23	23					PB9 PINCM26 0x40428064	PB9	1	IO	SDIO（标准）
								UC4_SCLK_RX	3	IOD	
								TIMA0_C0N	5	O	
								TIMA0_C1	6	IO	

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 引脚属性（PM、PT、RGZ、RHB、DGS28、RGE、DGS20 封装）（续）

PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚	引脚名称/ IOMUX REG/ IOMUX ADDR	信号名称	IOMUX PF	信号类型	缓冲器类型
62				16			PB10 PINCM27 0x40428068	PB10	1	IO	SDIO（标准）
								TIMG0_C0	2	IO	
								TIMG8_C0	3	IO	
								COMP0_OUT	4	O	
								COMP1_OUT	11	O	
63				17			PB11 PINCM28 0x4042806c	PB11	1	IO	SDIO（标准）
								TIMG0_C1	2	IO	
								TIMG8_C1	3	IO	
								CLK_OUT	4	O	
64				18			PB12 PINCM29 0x40428070	PB12	1	IO	SDIO（标准）
								UC9_TX	2	IO	
								TIMA0_C2	3	IO	
								TIMA_FAL1	4	I	
								TIMA0_C1	5	IO	
								TIMG1_C0	10	IO	
1				19			PB13 PINCM30 0x40428074	PB13	1	IO	SDIO（标准）
								UC9_RX	2	IO	
								TIMA0_C3	3	IO	
								TIMA0_C1N	5	O	
								UC4_CS0_CTS	7	IO	
								TIMG1_C1	10	IO	
2	24	24					PB14 PINCM31 0x40428078	PB14	1	IO	SDIO（标准）
								UC4_POCI_RTS	3	IO	
								TIMA0_C0	5	IO	
								TIMG8_IDX	6	I	
								UC2_CS3	7	IO	
3	25	25					PB15 PINCM32 0x4042807c	PB15	1	IO	SDIO（标准）
								UC0_SDA_TX	2	IOD	
								UC4_PICO_TX	3	IO	
								TIMG8_C0	5	IO	
4	26	26					PB16 PINCM33 0x40428080	PB16	1	IO	SDIO（标准）
								UC0_SCL_RX	2	IOD	
								UC4_SCLK_RX	3	IOD	
								TIMG8_C1	5	IO	
14	36	36					PB17 PINCM43 0x404280a8	PB17	1	IO	SDIO（标准）
								UC0_SDA_TX	2	IOD	
								UC2_PICO	3	IO	
								UC0_SCL_RX	4	IOD	
								TIMA0_C2	5	IO	
								TIMG0_C0	6	IO	
								TIMA1_C0	11	IO	
								ADC1_4	（非 IOMUX 1）0	A	
								COMP1_IN2-	（非 IOMUX 2）0	A	

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 引脚属性（PM、PT、RGZ、RHB、DGS28、RGE、DGS20 封装）（续）

PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚	引脚名称/ IOMUX REG/ IOMUX ADDR	信号名称	IOMUX PF	信号类型	缓冲器类型
15	37	37					PB18 PINCM44 0x404280ac	PB18	1	IO	SDIO（标准）
								UC0_SCL_RX	2	IOD	
								UC2_SCLK	3	IOD	
								UC0_SDA_TX	4	IOD	
								TIMA0_C2N	5	O	
								TIMG0_C1	6	IO	
								TIMA1_C1	11	IO	
								ADC1_5	（非 IOMUX 1）0	A	
								COMP1_IN2+	（非 IOMUX 2）0	A	
16	38	38					PB19 PINCM45 0x404280b0	PB19	1	IO	SDIO（标准）
								COMP0_OUT	2	O	
								UC2_POCI	3	IO	
								TIMG8_C1	4	IO	
								UC4_CS0_CTS	5	IO	
								TIMG8_IDX	7	I	
								UC0_CTS	8	IO	
								ADC1_6	（非 IOMUX 1）0	A	
19	41	41					PB20 PINCM48 0x404280bc	PB20	1	IO	SDIO（标准）
								UC2_CS2	2	IO	
								UC4_CS0_CTS	3	IO	
								TIMA0_C2	5	IO	
								TIMA_FAL1	6	I	
								TIMA0_C1	7	IO	
								UC0_RTS	8	IO	
								UC0_SDA_TX	9	IOD	
								TIMA1_C1N	10	O	
								ADC0_6	（非 IOMUX 1）0	A	
20							PB21 PINCM49 0x404280c0	PB21	1	IO	SDIO（标准）
								UC4_POCI_RTS	3	IO	
								UC0_SCL_RX	4	IOD	
								TIMG8_C0	5	IO	
								UC5_SDA_TX	6	IOD	
								ADC1_8	（非 IOMUX 1）0	A	
21							PB22 PINCM50 0x404280c4	PB22	1	IO	SDIO（标准）
								UC4_PICO_TX	3	IO	
								UC0_SDA_TX	4	IOD	
								TIMG8_C1	5	IO	
								UC5_SCL_RX	6	IOD	
								ADC1_10	（非 IOMUX 1）0	A	
22							PB23 PINCM51 0x404280c8	PB23	1	IO	SDIO（标准）
								UC4_SCLK_RX	3	IOD	
								TIMA_FAL0	4	I	
								COMP0_OUT	5	O	
								ADC1_11	（非 IOMUX 1）0	A	

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-2. 引脚属性（PM、PT、RGZ、RHB、DGS28、RGE、DGS20 封装）（续）

PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚	引脚名称/ IOMUX REG/ IOMUX ADDR	信号名称	IOMUX PF	信号类型	缓冲器类型
23	42	42		25			PB24 PINCM52 0x404280cc	PB24	1	IO	SDIO（标准）
								UC2_CS3	2	IO	
								UC2_CS1	3	IO	
								TIMA0_C3	5	IO	
								TIMA0_C1N	6	O	
								UC0_RTS	8	IO	
								TIMA1_C0N	10	O	
								ADC0_5	（非 IOMUX 1）0	A	
								COMP1_IN1+	（非 IOMUX 2）0	A	
27							PB25 PINCM56 0x404280dc	PB25	1	IO	SDIO（标准）
								UC4_CS0_CTS	2	IO	
								UC2_CS0	3	IO	
								TIMA_FAL0	4	I	
								TIMA_FAL1	5	I	
								TIMA_FAL2	6	I	
								COMP0_OUT	7	O	
								FCC_IN	8	I	
								ADC0_4	（非 IOMUX 1）0	A	
28							PB26 PINCM57 0x404280e0	PB26	1	IO	SDIO（标准）
								UC4_POCI_RTS	2	IO	
								UC2_CS1	3	IO	
								TIMA0_C0	4	IO	
								TIMA0_C3	5	IO	
								COMP0_OUT	7	O	
								FCC_IN	8	I	
								TIMA1_C0	9	IO	
								ADC1_13	（非 IOMUX 1）0	A	
								COMP1_IN0+	（非 IOMUX 2）0	A	
29							PB27 PINCM58 0x404280e4	PB27	1	IO	SDIO（标准）
								COMP0_OUT	2	O	
								TIMA0_C0N	4	O	
								TIMA0_C3N	5	O	
								TIMA1_C1	9	IO	
								ADC1_14	（非 IOMUX 1）0	A	
								COMP1_IN0-	（非 IOMUX 2）0	A	
32	48	48	32	2	23	3	VCORE	VCORE	（非 IOMUX 1）0	PWR	PWR
40	6	6	4	6	3	5	VDD	VDD	（非 IOMUX 1）0	PWR	PWR
41	7	7	5	7	4	6	VSS	VSS	（非 IOMUX 1）0	PWR	PWR

6.3 信号说明

在多个器件引脚上提供了许多 MSPM0 信号。以下列表说明了列标题：

1. **信号名称**：可连接至其中一个指定引脚的信号的名称。
2. **引脚类型**：信号方向和信号类型：
   - I = 输入
   - O = 输出

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

- IO = 输入、输出或同时输入和输出
- ID = 具有开漏行为的输入
- OD = 具有开漏行为的输出
- IOD = 具有开漏行为的输入、输出或同时输入和输出
- A = 模拟
- PWR = 电源功能

3. **说明**：信号说明。
4. **引脚**：关联的引脚编号。

有关引脚多路复用方案的其他信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册*中的“IOMUX”一章。

备注

IOMUX 仅支持同时将一个 IOMUX 管理的数字功能连接到引脚。但是可以在引脚上启用 IOMUX 管理的数字功能的同时在引脚上启用非 IOMUX 管理的信号（例如模拟输入和 WAKE 输入）。在这种情况下，设计人员必须确认每个引脚上启用的功能之间不存在争用。

表 6-3. 模数转换器 (ADC) 信号说明

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
ADC0_VREF+	A	ADC0 电压基准 (VREF) 电源	24	43	43	27	26	19	19
ADC0_VREF-	A	ADC0 电压基准 (VREF) 接地电源	17	39	39	25	23	17	
ADC1_VREF-	A	ADC1 电压基准 (VREF) 接地电源	17	39	39	25	23	17	
ADC0_0	A	ADC0 模拟输入通道 0	31	47	47	31	1		2
ADC0_1	A	ADC0 模拟输入通道 1	30	46	46	30	28	22	1
ADC0_2	A	ADC0 模拟输入通道 2	26	45	45	29	27	21	
ADC0_3	A	ADC0 模拟输入通道 3	25	44	44	28		20	20
ADC0_4	A	ADC0 模拟输入通道 4	27						
ADC0_5	A	ADC0 模拟输入通道 5	23	42	42		25		
ADC0_6	A	ADC0 模拟输入通道 6	19	41	41				
ADC0_7	A	ADC0 模拟输入通道 7	18	40	40	26	24	18	18
ADC0_8	A	ADC0 模拟输入通道 8	5	27	27	16			13
ADC0_9	A	ADC0 模拟输入通道 9	6	28	28	17			
ADC0_12	A	ADC0 模拟输入通道 12	7	29	29	18			
ADC0_13	A	ADC0 模拟输入通道 13	12	34	34	23	21	15	16
ADC0_14	A	ADC0 模拟输入通道 14	13	35	35	24	22	16	17
ADC1_0	A	ADC1 模拟输入通道 0	8	30	30	19			
ADC1_1	A	ADC1 模拟输入通道 1	9	31	31	20		12	
ADC1_2	A	ADC1 模拟输入通道 2	10	32	32	21		13	14
ADC1_3	A	ADC1 模拟输入通道 3	11	33	33	22	20	14	15
ADC1_4	A	ADC1 模拟输入通道 4	14	36	36				
ADC1_5	A	ADC1 模拟输入通道 5	15	37	37				
ADC1_6	A	ADC1 模拟输入通道 6	16	38	38				
ADC1_7	A	ADC1 模拟输入通道 7	17	39	39	25	23	17	
ADC1_8	A	ADC1 模拟输入通道 8	20						
ADC1_10	A	ADC1 模拟输入通道 10	21						
ADC1_11	A	ADC1 模拟输入通道 11	22						

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 6-3. 模数转换器 (ADC) 信号说明 （续）

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
ADC1_12	A	ADC1 模拟输入通道 12	24	43	43	27	26	19	19
ADC1_13	A	ADC1 模拟输入通道 13	28						
ADC1_14	A	ADC1 模拟输入通道 14	29						

表 6-4. 引导加载程序 (BSL) 信号说明

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
BSL_I2C_SCL	IOD	BSL I2C 数据信号 (SCL)	34	2	2	2	4	1	
BSL_I2C_SDA	IOD	BSL I2C 数据信号 (SDA)	33	1	1	1	3	24	
BSL_INVOKE	I	BSL 调用信号（如果启用了 BSL，则在 BOOTRST 期间必须为高电平才能实现 BSL 进入，在 BOOTRST 期间必须为低电平以防止发生 BSL 进入）	11	33	33	22	20	14	15
BSL_UART_RX	IO	BSL UART 接收信号 (RX)	56	18	18	14	14	11	11
BSL_UART_TX	IO	BSL UART 发送信号 (TX)	57	19	19	15	15		12

表 6-5. 时钟模块 (CKM) 信号说明

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
CLK_OUT	O	来自 PMCU 的 CLK_OUT 数字时钟输出	18、31、39、49、55、56、63、7	13、17、18、29、40、47、5	13、17、18、29、40、47、5	11、13、14、18、26、31	1、12、13、14、17、24	10、11、18	10、11、18、2
FCC_IN	I	频率时钟计数器 (FCC) 输入信号	27、28、33、45、49、5、9	1、11、13、27、31	1、11、13、27、31	1、11、16、20、9	12、3	12、24、9	13、8
HFCLKIN	I	高频时钟数字时钟输入信号	46、50、54	12、14、16	12、14、16	10、12	11	8	9
HFXIN	A	高频晶体振荡器 (HFXT) 信号	45	11	11	9		9	8
HFXOUT	A	高频晶体振荡器 (HFXT) 信号	46	12	12	10	11	8	9
LFCLKIN	I	低频时钟数字时钟输入信号	44	10	10	8	10	7	
LFXIN	A	低频晶体振荡器 (LFXT) 信号	43	9	9	7	9	6	
LFXOUT	A	低频晶体振荡器 (LFXT) 信号	44	10	10	8	10	7	
ROSC	A	SYSOSC 频率校正环路 (FCL) 外部电阻器信号	42	8	8	6	8	5	7

表 6-6. 比较器 (COMP) 信号说明

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
COMP0_DAC_OUT	A	COMP0 DAC 输出	57	19	19	15	15		12

Copyright © 2026 Texas Instruments Incorporated

表 6-6. 比较器 (COMP) 信号说明（续）

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
COMP0_OUT	O	COMP0 输出	16、22、26、27、28、29、31、43、49、5、57、60、62、9	13、19、22、27、31、38、45、47、9	13、19、22、27、31、38、45、47、9	11、15、16、20、29、31、7	1、12、15、16、27、9	12、21、6	12、13、2
COMP1_DAC_OUT	A	COMP1 DAC 输出	56	18	18	14	14	11	11
COMP1_OUT	O	COMP1 输出	43、60、62	22、9	22、9	7	16、9	6	
COMP0_IN0+	A	COMP0 同相输入 0	30	46	46	30	28	22	1
COMP0_IN0-	A	COMP0 反相输入 0	31	47	47	31	1		2
COMP0_IN1+	A	COMP0 同相输入 1	11	33	33	22	20	14	15
COMP0_IN1-	A	COMP0 反相输入 1	10	32	32	21		13	14
COMP0_IN2+	A	COMP0 同相输入 2	7	29	29	18			
COMP0_IN2-	A	COMP0 反相输入 2	6	28	28	17			
COMP0_IN3+	A	COMP0 同相输入 3	8	30	30	19			
COMP1_IN0+	A	COMP1 同相输入 0	28						
COMP1_IN0-	A	COMP1 反相输入 0	29						
COMP1_IN1+	A	COMP1 同相输入 1	23	42	42		25		
COMP1_IN1-	A	COMP1 反相输入 1	24	43	43	27	26	19	19
COMP1_IN2+	A	COMP1 同相输入 2	15	37	37				
COMP1_IN2-	A	COMP1 反相输入 2	14	36	36				
COMP1_IN3+	A	COMP1 同相输入 3	8	30	30	19			

表 6-7. 通用输入输出模块信号说明

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
PA0	IO	GPIO 端口 A 输入/输出 0	33	1	1	1	3	24	
PA1	IO	GPIO 端口 A 输入/输出 1	34	2	2	2	4	1	
PA2	IO	GPIO 端口 A 输入/输出 2	42	8	8	6	8	5	7
PA3	IO	GPIO 端口 A 输入/输出 3	43	9	9	7	9	6	
PA4	IO	GPIO 端口 A 输入/输出 4	44	10	10	8	10	7	
PA5	IO	GPIO 端口 A 输入/输出 5	45	11	11	9		9	8
PA6	IO	GPIO 端口 A 输入/输出 6	46	12	12	10	11	8	9
PA7	IO	GPIO 端口 A 输入/输出 7	49	13	13	11	12		
PA8	IO	GPIO 端口 A 输入/输出 8	54	16	16	12			
PA9	IO	GPIO 端口 A 输入/输出 9	55	17	17	13	13	10	10
PA10	IO	GPIO 端口 A 输入/输出 10	56	18	18	14	14	11	11
PA11	IO	GPIO 端口 A 输入/输出 11	57	19	19	15	15		12

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-7. 通用输入输出模块信号说明（续）

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
PA12	IO	GPIO 端口 A 输入/输出 12	5	27	27	16			13
PA13	IO	GPIO 端口 A 输入/输出 13	6	28	28	17			
PA14	IO	GPIO 端口 A 输入/输出 14	7	29	29	18			
PA15	IO	GPIO 端口 A 输入/输出 15	8	30	30	19			
PA16	IO	GPIO 端口 A 输入/输出 16	9	31	31	20		12	
PA17	IO	GPIO 端口 A 输入/输出 17	10	32	32	21		13	14
PA18	IO	GPIO 端口 A 输入/输出 18	11	33	33	22	20	14	15
PA19	IO	GPIO 端口 A 输入/输出 19	12	34	34	23	21	15	16
PA20	IO	GPIO 端口 A 输入/输出 20	13	35	35	24	22	16	17
PA21	IO	GPIO 端口 A 输入/输出 21	17	39	39	25	23	17	
PA22	IO	GPIO 端口 A 输入/输出 22	18	40	40	26	24	18	18
PA23	IO	GPIO 端口 A 输入/输出 23	24	43	43	27	26	19	19
PA24	IO	GPIO 端口 A 输入/输出 24	25	44	44	28		20	20
PA25	IO	GPIO 端口 A 输入/输出 25	26	45	45	29	27	21	
PA26	IO	GPIO 端口 A 输入/输出 26	30	46	46	30	28	22	1
PA27	IO	GPIO 端口 A 输入/输出 27	31	47	47	31	1		2
PA28	IO	GPIO 端口 A 输入/输出 28	35	3	3				
PA29	IO	GPIO 端口 A 输入/输出 29	36						
PA30	IO	GPIO 端口 A 输入/输出 30	37						
PA31	IO	GPIO 端口 A 输入/输出 31	39	5	5				
PB0	IO	GPIO 端口 B 输入/输出 0	47						
PB1	IO	GPIO 端口 B 输入/输出 1	48						
PB2	IO	GPIO 端口 B 输入/输出 2	50	14	14				
PB3	IO	GPIO 端口 B 输入/输出 3	51	15	15				
PB4	IO	GPIO 端口 B 输入/输出 4	52						
PB5	IO	GPIO 端口 B 输入/输出 5	53						
PB6	IO	GPIO 端口 B 输入/输出 6	58	20	20				
PB7	IO	GPIO 端口 B 输入/输出 7	59	21	21				
PB8	IO	GPIO 端口 B 输入/输出 8	60	22	22				
PB9	IO	GPIO 端口 B 输入/输出 9	61	23	23				
PB10	IO	GPIO 端口 B 输入/输出 10	62				16		
PB11	IO	GPIO 端口 B 输入/输出 11	63				17		
PB12	IO	GPIO 端口 B 输入/输出 12	64				18		
PB13	IO	GPIO 端口 B 输入/输出 13	1				19		
PB14	IO	GPIO 端口 B 输入/输出 14	2	24	24				
PB15	IO	GPIO 端口 B 输入/输出 15	3	25	25				
PB16	IO	GPIO 端口 B 输入/输出 16	4	26	26				
PB17	IO	GPIO 端口 B 输入/输出 17	14	36	36				
PB18	IO	GPIO 端口 B 输入/输出 18	15	37	37				
PB19	IO	GPIO 端口 B 输入/输出 19	16	38	38				
PB20	IO	GPIO 端口 B 输入/输出 20	19	41	41				
PB21	IO	GPIO 端口 B 输入/输出 21	20						

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-7. 通用输入输出模块信号说明（续）

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
PB22	IO	GPIO 端口 B 输入/输出 22	21						
PB23	IO	GPIO 端口 B 输入/输出 23	22						
PB24	IO	GPIO 端口 B 输入/输出 24	23	42	42		25		
PB25	IO	GPIO 端口 B 输入/输出 25	27						
PB26	IO	GPIO 端口 B 输入/输出 26	28						
PB27	IO	GPIO 端口 B 输入/输出 27	29						

表 6-8. 控制器局域网 (CAN) 信号说明

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
CANFD0_CANRX	I	CANFD0 接收信号	26、31、6	28、45、47	28、45、47	17、29、31	1、27	21	2
CANFD0_CANTX	O	CANFD0 发送信号	30、5	27、46	27、46	16、30	28	22	1、13

表 6-9. 实时时钟 (RTC) 信号说明

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
RTC_OUT	O	实时时钟输出信号	31、55、6	17、28、47	17、28、47	13、17、31	1、13	10	10、2

表 6-10. 串行线调试 (SWD) 信号说明

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
SWCLK	I	串行线调试接口时钟输入信号	13	35	35	24	22	16	17
SWDIO	IO	串行线调试接口数据输入/输出信号	12	34	34	23	21	15	16

表 6-11. 系统控制器 (SYSCTL) 信号说明

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
NRST	复位	低电平有效复位信号（必须为逻辑高电平才能使器件启动）	38	4	4	3	5	2	4
VCORE	PWR	VCORE 电容器连接	32	48	48	32	2	23	3
VDD	PWR	VDD 电源	40	6	6	4	6	3	5
VSS	PWR	VSS（接地）	41	7	7	5	7	4	6

表 6-12. 计时器 (TIMx) 信号说明

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
TIMA0_C0	IO	TIMA0 捕获/比较 0 信号	17、2、28、33、42、51、54、60	1、15、16、22、24、39、8	1、15、16、22、24、39、8	1、12、25、6	23、3、8	17、24、5	7

ADVANCE INFORMATION

表 6-12. 计时器 (TIMx) 信号说明（续）

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
TIMA0_C1	IO	TIMA0 捕获/比较 1 信号	18、19、34、35、43、49、52、55、61、64	13、17、2、23、3、40、41、9	13、17、2、23、3、40、41、9	11、13、2、26、7	12、13、18、24、4、9	1、10、18、6	10、18
TIMA0_C2	IO	TIMA0 捕获/比较 2 信号	12、14、19、43、47、49、52、56、64、8	13、18、30、34、36、41、9	13、18、30、34、36、41、9	11、14、19、23、7	12、14、18、21、9	11、15、6	11、16
TIMA0_C3	IO	TIMA0 捕获/比较 3 信号	1、10、23、24、26、28、35、44、5、50	10、14、27、3、32、42、43、45	10、14、27、3、32、42、43、45	16、21、27、29、8	10、19、25、26、27	13、19、21、7	13、14、19
TIMA0_C0N	O	TIMA0 捕获/比较 0 互补输出	18、29、55、61	17、23、40	17、23、40	13、26	13、24	10、18	10、18
TIMA0_C1N	O	TIMA0 捕获/比较 1 互补输出	1、23、26、44、53	10、42、45	10、42、45	29、8	10、19、25、27	21、7	
TIMA0_C2N	O	TIMA0 捕获/比较 2 互补输出	13、15、42、46、48、53、57、9	12、19、31、35、37、8	12、19、31、35、37、8	10、15、20、24、6	11、15、22、8	12、16、5、8	12、17、7、9
TIMA0_C3N	O	TIMA0 捕获/比较 3 互补输出	11、25、29、30、39、42、51、6	15、28、33、44、46、5、8	15、28、33、44、46、5、8	17、22、28、30、6	20、28、8	14、20、22、5	1、15、20、7
TIMA1_C0	IO	TIMA1 捕获/比较 0 信号	10、14、28、35、47、50、52、56、8	14、18、3、30、32、36	14、18、3、30、32、36	14、19、21	14	11、13	11、14

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-12. 计时器 (TIMx) 信号说明（续）

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
TIMA1_C1	IO	TIMA1 捕获/比较 1 信号	11、15、25、29、39、48、51、53、57、9	15、19、31、33、37、44、5	15、19、31、33、37、44、5	15、20、22、28	15、20	12、14、20	12、15、20
TIMA1_C0N	O	TIMA1 捕获/比较 0 互补输出	23、52、54、58、8	16、20、30、42	16、20、30、42	12、19	25		
TIMA1_C1N	O	TIMA1 捕获/比较 1 互补输出	19、53、55、59、9	17、21、31、41	17、21、31、41	13、20	13	10、12	10
TIMA_FAL0	I	TIMA 故障输入 0	22、27、30、35、42、46、54、57	12、16、19、3、46、8	12、16、19、3、46、8	10、12、15、30、6	11、15、28、8	22、5、8	1、12、7、9
TIMA_FAL1	I	TIMA 故障输入 1	19、27、33、42、45、56、64	1、11、18、41、8	1、11、18、41、8	1、14、6、9	14、18、3、8	11、24、5、9	11、7、8
TIMA_FAL2	I	TIMA 故障输入 2	27、31、34、54、58	16、2、20、47	16、2、20、47	12、2、31	1、4	1	2
TIMG8_IDX	I	TIMG8 正交编码器索引脉冲信号	16、2、34、49、8	13、2、24、30、38	13、2、24、30、38	11、19、2	12、4	1	
TIMG0_C0	IO	TIMG0 捕获/比较 0 信号	12、14、24、33、45、47、5、52、56、62	1、11、18、27、34、36、43	1、11、18、27、34、36、43	1、14、16、23、27、9	14、16、21、26、3	11、15、19、24、9	11、13、16、19、8

ADVANCE INFORMATION

ADVANCE INFORMATION

表 6-12. 计时器 (TIMx) 信号说明（续）

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
TIMG0_C1	IO	TIMG0 捕获/比较 1 信号	13、15、25、34、46、48、53、57、6、63	12、19、2、28、35、37、44	12、19、2、28、35、37、44	10、15、17、2、24、28	11、15、17、22、4	1、16、20、8	12、17、20、9
TIMG1_C0	IO	TIMG1 捕获/比较 0 信号	24、36、50、64	14、43	14、43	27	18、26	19	19
TIMG1_C1	IO	TIMG1 捕获/比较 1 信号	1、26、37、51	15、45	15、45	29	19、27	21	
TIMG8_C0	IO	TIMG8 捕获/比较 0 信号	10、17、20、24、3、30、34、36、43、45、49、58、62	11、13、2、20、25、32、39、43、46、9	11、13、2、20、25、32、39、43、46、9	11、2、21、25、27、30、7、9	12、16、23、26、28、4、9	1、13、17、19、22、6、9	1、14、19、8
TIMG8_C1	IO	TIMG8 捕获/比较 1 信号	11、16、18、21、25、31、33、37、4、42、44、46、59、63	1、10、12、21、26、33、38、40、44、47、8	1、10、12、21、26、33、38、40、44、47、8	1、10、22、26、28、31、6、8	1、10、11、17、20、24、3、8	14、18、20、24、5、7、8	15、18、2、20、7、9

表 6-13. 统一通信模块 (UniComm) 信号说明

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
UC0_CTS	IO	统一通信模块 UC0：UART CTS 信号	16、17、26、37、43、5、50、58、9	14、20、27、31、38、39、45、9	14、20、27、31、38、39、45、9	16、20、25、29、7	23、27、9	12、17、21、6	13

Copyright © 2026 Texas Instruments Incorporated

表 6-13. 统一通信模块 (UniComm) 信号说明 （续）

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
UC0_RTS	IO	统一通信模块 UC0：UART RTS 信号	19、23、30、36、44、51、59、8	10、15、21、30、41、42、46	10、15、21、30、41、42、46	19、30、8	10、25、28	22、7	1
UC0_SCL_RX	IOD	统一通信模块 UC0：I2C SCL 或 UART RX 信号	14、15、18、20、25、34、39、4、47、51、55、57、7	15、17、19、2、26、29、36、37、40、44、5	15、17、19、2、26、29、36、37、40、44、5	13、15、18、2、26、28	13、15、24、4	1、10、18、20	10、12、18、20
UC0_SDA_TX	IOD	统一通信模块 UC0：I2C SDA 或 UART TX 信号	14、15、17、19、21、24、3、33、35、48、50、54、56、6	1、14、16、18、25、28、3、36、37、39、41、43	1、14、16、18、25、28、3、36、37、39、41、43	1、12、14、17、25、27	14、23、26、3	11、17、19、24	11、19
UC2_PICO	IO	统一通信模块 UC2：SPI PICO 信号	14、45、50、55、7	11、14、17、29、36	11、14、17、29、36	13、18、9	13	10、9	10、8
UC2_POCI	IO	统一通信模块 UC2：SPI POCI 信号	16、44、49、56、6	10、13、18、28、38	10、13、18、28、38	11、14、17、8	10、12、14	11、7	11
UC2_SCLK	IOD	统一通信模块 UC2：SPI SCLK 信号	15、46、5、51、57	12、15、19、27、37	12、15、19、27、37	10、15、16	11、15	8	12、13、9
UC4_PICO_TX	IO	统一通信模块 UC4：SPI PICO 或 UART TX 信号	11、21、3、33、35、47、56、60	1、18、22、25、3、33	1、18、22、25、3、33	1、14、22	14、20、3	11、14、24	11、15

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-13. 统一通信模块 (UniComm) 信号说明 （续）

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
UC4_POCI_RTS	IO	统一通信模块 UC4：SPI POCI 或 UART RTS 信号	12、2、20、28、37、46、54、59、8、9	12、16、21、24、30、31、34	12、16、21、24、30、31、34	10、12、19、20、23	11、21	12、15、8	16、9
UC4_SCLK_RX	IOD	统一通信模块 UC4：SPI SCLK 或 UART RX 信号	10、13、22、34、39、4、48、57、61	19、2、23、26、32、35、5	19、2、23、26、32、35、5	15、2、21、24	15、22、4	1、13、16	12、14、17
UC5_SCL_RX	IOD	统一通信模块 UC5：I2C SCL 或 UART RX 信号	10、11、13、21、36、44、46、50、53、55、57、59、8	10、12、14、17、19、21、30、32、33、35	10、12、14、17、19、21、30、32、33、35	10、13、15、19、21、22、24、8	10、11、13、15、20、22	10、13、14、16、7、8	10、12、14、15、17、9
UC5_SDA_TX	IOD	统一通信模块 UC5：I2C SDA 或 UART TX 信号	10、11、12、20、37、43、45、51、52、54、56、58、9	11、15、16、18、20、31、32、33、34、9	11、15、16、18、20、31、32、33、34、9	12、14、20、21、22、23、7、9	14、20、21、9	11、12、13、14、15、6、9	11、14、15、16、8
UC9_RX	IO	统一通信模块 UC9：UART RX 信号	1、26、30、31、51、6	15、28、45、46、47	15、28、45、46、47	17、29、30、31	1、19、27、28	21、22	1、2
UC9_TX	IO	统一通信模块 UC9：UART TX 信号	26、30、50、64、7	14、29、45、46	14、29、45、46	18、29、30	18、27、28	21、22	1
UC2_CS0	IO	统一通信模块 UC2：SPI CS0 信号	11、27、42、44、54	10、16、33、8	10、16、33、8	12、22、6、8	10、20、8	14、5、7	15、7

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-13. 统一通信模块 (UniComm) 信号说明（续）

信号名称	引脚类型	说明	PM 引脚	PT 引脚	RGZ 引脚	RHB 引脚	DGS28 引脚	RGE 引脚	DGS20 引脚
UC2_CS1	IO	统一通信模块 UC2：SPI CS1 信号	10、23、28、43、5、58	20、27、32、42、9	20、27、32、42、9	16、21、7	25、9	13、6	13、14
UC2_CS2	IO	统一通信模块 UC2：SPI CS2 信号	18、19、25、37、48、49、59、7	13、21、29、40、41、44	13、21、29、40、41、44	11、18、26、28	12、24	18、20	18、20
UC2_CS3	IO	统一通信模块 UC2：SPI CS3 信号	17、2、23、24、34、36、39、43、47、54、6	16、2、24、28、39、42、43、5、9	16、2、24、28、39、42、43、5、9	12、17、2、25、27、7	23、25、26、4、9	1、17、19、6	19
UC4_CS0_CTS	IO	统一通信模块 UC4：SPI CS0 或 UART CTS 信号	1、16、19、27、30、36、42、45、55、58、6、7	11、17、20、28、29、38、41、46、8	11、17、20、28、29、38、41、46、8	13、17、18、30、6、9	13、19、28、8	10、22、5、9	1、10、7、8

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.4 未使用引脚的连接

表 6-14 列出了未使用引脚的正确端接方式。

表 6-14. 未使用引脚的连接

引脚 (1)	电势	注释
PAx、PBx	开路	将相应的引脚功能设置为 GPIO (PINCMx.PF = 0x1) 并使用内部上拉/下拉电阻器将未使用的引脚配置为输出低电平或输入。
NRST	VCC	NRST 为低电平有效复位信号；它必须上拉至 VCC，否则器件无法启动，有关详情，请参阅节 9.1

(1) 任何具有第二功能（与通用 I/O 共用）的未使用引脚都应遵循“PAx 和 PBx”未使用引脚连接指南。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
VDD	电源电压	在 VDD 引脚处	-0.3	4.1	V
V_I	输入电压	施加到任何 5V 容限开漏引脚	-0.3	5.5	V
V_I	输入电压	施加到任何常见容限引脚	-0.3	V_{DD} + 0.3（最大值为 4.1）	V
I_{VDD}	流入 VDD 引脚的电流（拉电流）	-40℃ ≤ Tj ≤ 130℃，VDD>=2.7V		80	mA
	流入 VDD 引脚的电流（拉电流）	-40℃ ≤ Tj ≤ 85℃，VDD>=2.7V		100	mA
I_{VSS}	流出 VSS 引脚的电流（灌电流）	-40℃ ≤ Tj ≤ 130℃，VDD>=2.7V		80	mA
	流出 VSS 引脚的电流（灌电流）	-40℃ ≤ Tj ≤ 85℃，VDD>=2.7V		100	mA
I_{IO}	SDIO 引脚的电流	SDIO 引脚灌入或拉出的电流，VDD >= 2.7V		6	mA
	HS_IO 引脚的电流	HSIO 引脚灌入或拉出的电流，VDD >= 2.7V		6	mA
	HDIO 引脚的电流	HDIO 引脚灌入或拉出的电流		20	mA
	ODIO 引脚的电流	ODIO 引脚灌入的电流		20	mA
I_D	受支持的二极管电流	任何器件引脚处的二极管电流（不包括开漏 IO）	-2	2	mA
T_A	环境温度	环境温度	-40	125	°C
T_J	结温	结温	-40	130	°C
T_{stg}	贮存温度	贮存温度	-40	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命

7.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC-Q100-002	±2000	V
		充电器件模型 (CDM)，符合 AEC-Q100-011，所有引脚	±500	
		充电器件模型 (CDM)，符合 AEC-Q100-011，转角引脚	±750	

7.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
VDD	电源电压	1.62		3.6	V
VCORE	VCORE 引脚上的电压(2)		1.35		V
C_{VDD}	VDD 和 VSS 之间连接的电容器 (1)		10		µF
C_{VCORE}	VCORE 和 VSS 之间连接的电容器 (1) (2)		470		nF
T_A	环境温度	-40		125	°C
T_J	最大结温			130	°C

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
f_{MCLK}（PD1 总线时钟）	具有 2 个闪存等待状态的 MCLK、CPUCLK 频率 (3)			80	MHz
	具有 1 个闪存等待状态的 MCLK、CPUCLK 频率 (3)			48	
	具有 0 个闪存等待状态的 MCLK、CPUCLK 频率 (3)			24	
f_{ULPCLK}（PD0 总线时钟）	ULPCLK 频率			40	MHz

(1) 分别在 VDD/VSS 和 VCORE/VSS 之间连接 C_{VDD} 和 C_{VCORE} 并尽可能靠近器件引脚。 C_{VDD} 和 C_{VCORE} 需要一个至少具有该额定值和 ±20% 或更高容差的低 ESR 电容器。
(2) VCORE 引脚只能连接到 C_{VCORE}。 请勿向 VCORE 引脚提供任何电压或施加任何外部负载。
(3) 等待状态由系统控制器 (SYSCTL) 自动管理，无需由应用软件进行配置，除非 MCLK 来自高速时钟源（HFCLK 或 SYSPLL 提供的 HSCLK）。

ADVANCE INFORMATION

7.4 热性能信息

热指标(1)		封装	值	单位
$R_{\theta JA}$	结至环境热阻	LQFP-64 (PM)	62	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻		25.6	°C/W
$R_{\theta JB}$	结至电路板热阻		45.0	°C/W
Ψ_{JT}	结至顶部特征参数		1.6	°C/W
Ψ_{JB}	结至电路板特征参数		44.6	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻		不适用	°C/W
$R_{\theta JA}$	结至环境热阻	LQFP-48 (PT)	76.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻		31.2	°C/W
$R_{\theta JB}$	结至电路板热阻		48.4	°C/W
Ψ_{JT}	结至顶部特征参数		2.2	°C/W
Ψ_{JB}	结至电路板特征参数		48.0	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻		不适用	°C/W
$R_{\theta JA}$	结至环境热阻	VQFN-48 (RGZ)	29.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻		20.5	°C/W
$R_{\theta JB}$	结至电路板热阻		12.8	°C/W
Ψ_{JT}	结至顶部特征参数		0.5	°C/W
Ψ_{JB}	结至电路板特征参数		12.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻		4.8	°C/W
$R_{\theta JA}$	结至环境热阻	VQFN-32 (RHB)	34.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻		25.8	°C/W
$R_{\theta JB}$	结至电路板热阻		14.2	°C/W
Ψ_{JT}	结至顶部特征参数		0.6	°C/W
Ψ_{JB}	结至电路板特征参数		14.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻		4.8	°C/W
$R_{\theta JA}$	结至环境热阻	VSSOP-28 (DGS28)	75.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻		34.6	°C/W
$R_{\theta JB}$	结至电路板热阻		37.2	°C/W
Ψ_{JT}	结至顶部特征参数		2.3	°C/W
Ψ_{JB}	结至电路板特征参数		36.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻		不适用	°C/W

Copyright © 2026 Texas Instruments Incorporated

热指标(1)		封装	值	单位
$R_{\theta JA}$	结至环境热阻	VQFN-24 (RGE)	42.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻		33.9	°C/W
$R_{\theta JB}$	结至电路板热阻		19.1	°C/W
Ψ_{JT}	结至顶部特征参数		0.7	°C/W
Ψ_{JB}	结至电路板特征参数		19.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻		5.0	°C/W
$R_{\theta JA}$	结至环境热阻	VSSOP-20 (DGS20)	87.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻		29.9	°C/W
$R_{\theta JB}$	结至电路板热阻		44.7	°C/W
Ψ_{JT}	结至顶部特征参数		0.9	°C/W
Ψ_{JB}	结至电路板特征参数		44.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻		不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.5 电源电流特性

7.5.1 运行/睡眠模式

VDD=3.3V。 所有输入都连接至 0V 或 VDD。输出不供应或吸收任何电流。 所有外设均禁用。

参数		MCLK	-40°C		25°C		85°C		105°C		125°C		单位
			典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	
RUN 模式													
IDD_{RUN}	MCLK=SYSPLL，SYSPLLREF=SYSOSC，CoreMark，从闪存执行	80MHz	8.3		8.3		8.3		8.4		8.6		mA
		48MHz	5.4		5.4		5.5		5.5		5.7		
	MCLK=SYSOSC、CoreMark，从闪存执行	32MHz	4.0		4.0		4.0		4.0		4.3		
		4MHz	0.8		0.8		0.8		0.9		1.1		
	MCLK=SYSPLL，SYSPLLREF=SYSOSC，CoreMark，从 SRAM 执行	80MHz	7.3		7.3		7.4		7.4		7.6		
		48MHz	4.8		4.8		4.9		4.9		5.1		
	MCLK=SYSOSC、CoreMark，从 SRAM 执行	32MHz	3.3		3.4		3.4		3.5		3.6		
		4MHz	0.7		0.7		0.8		0.8		1.0		
IDD_{RUN}，每 MHz	MCLK=SYSPLL，SYSPLLREF=SYSOSC，CoreMark，从闪存执行	80MHz	103		104		104		105		107		uA/MHz
	MCLK=SYSPLL，SYSPLLREF=SYSOSC，While(1)，从闪存执行	80MHz	54	待定	54	待定	55	待定	55	待定	58	待定	
SLEEP 模式													
IDD_{SLEEP}	MCLK=SYSPLL，SYSPLLREF=SYSOSC，CPU 暂停	80MHz	2891	待定	2967	待定	3256	待定	3590	待定	4353	待定	uA
		48MHz	2160	待定	2228	待定	2516	待定	2854	待定	3607	待定	
	MCLK=SYSOSC，CPU 暂停	32MHz	1686	待定	1747	待定	2029	待定	2368	待定	3127	待定	
		4MHz	562	待定	614	待定	893	待定	1232	待定	1981	待定	
IDD_{SLEEP}	MCLK=SYSPLL，SYSPLLREF=SYSOSC，CPU 暂停	80MHz	37		38		42		46		56		uA/MHz

7.5.2 停止/待机模式

VDD=3.3V。所有输入都连接至 0V 或 VDD。 输出不供应或吸收任何电流。 所有未注明的外设均被禁用。

参数		ULPCLK	-40°C		25°C		85°C		105°C		125°C		单位
			典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	
STOP 模式													
IDD_{STOP0}	SYSOSC=32MHz，USE4MHZSTOP=0，DISABLESTOP=0	4MHz	400	待定	404	待定	406	待定	409	待定	416	待定	uA
IDD_{STOP1}	SYSOSC=4MHz，USE4MHZSTOP=1，DISABLESTOP=0		202	待定	207	待定	406	待定	409	待定	417	待定	
IDD_{STOP2}	SYSOSC 关闭，DISABLESTOP=1，ULPCLK=LFCLK	32kHz	53	待定	56	待定	58	待定	60	待定	69	待定	
STANDBY 模式													

Copyright © 2026 Texas Instruments Incorporated

VDD=3.3V。所有输入都连接至 0V 或 VDD。 输出不供应或吸收任何电流。 所有未注明的外设均被禁用。

参数		ULPCLK	-40°C		25°C		85°C		105°C		125°C		单位
			典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	
IDD_{STBY0}	LFCLK=LFXT，STOPCLKSTBY=0，RTC 已启用	32kHz	1.8	待定	2.0	待定	3.6	待定	6.4	待定	15	待定	uA
IDD_{STBY1}	LFCLK=LFOSC，STOPCLKSTBY=1，RTC 已启用		1.8	待定	2.0	待定	3.6	待定	6.4	待定	15	待定	
	LFCLK=LFXT，STOPCLKSTBY=1，RTC 已启用		1.3	待定	1.4	待定	3.1	待定	6.0	待定	15	待定	
	LFCLK = LFXT，STOPCLKSTBY = 1，GPIOA 已启用		1.3	待定	1.4	待定	3.1	待定	6.0	待定	15	待定	

7.5.3 关断模式

所有输入都连接至 0V 或 VDD。输出不供应或吸收任何电流。内核稳压器关断。

参数		VDD	-40°C		25°C		85°C		105°C		125°C		单位
			典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	
IDD_{SHDN}	SHUTDOWN 模式下的电源电流	3.3V	60		69		336		786		2210		nA

7.6 电源时序

7.6.1 电源斜坡

图 7-1 给出了上电和下电期间 POR - POR+、BOR0- 和 BOR0+ 之间的关系。

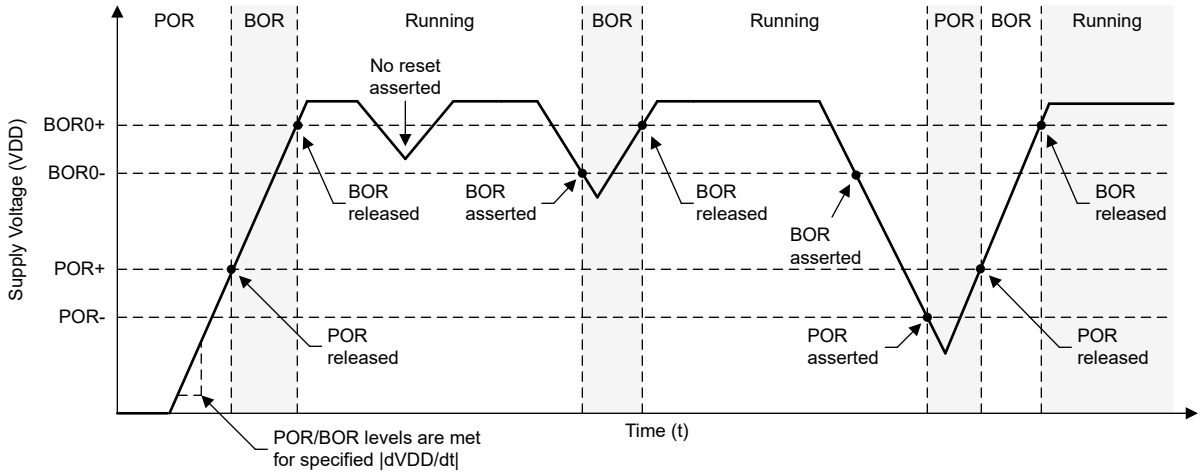


图 7-1. 下电上电 POR/BOR 条件 - VDD

7.6.2 POR 和 BOR

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
dVDD/dt	VDD（电源电压）压摆率	上升			0.1	V/us
		下降(1)			0.01	
		下降，待机			0.1	V/ms
V_{POR+}	上电复位电压电平	上升	0.95	1.30	1.59	V
V_{POR-}		下降	0.9	1.25	1.54	V

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{HYS, POR}$	POR 迟滞		30	58	74	mV
$V_{BOR0+, COLD}$	欠压复位电压电平 0（默认电平）	冷启动，上升	1.40	1.48	1.61	V
V_{BOR0+}		上升(1)	1.56	1.59	1.62	
V_{BOR0-}		下降(1)	1.55	1.58	1.61	
$V_{BOR0, STBY}$		待机模式	1.51	1.56	1.61	
V_{BOR1+}	欠压复位电压电平 1	上升(1)	2.13	2.17	2.21	V
V_{BOR1-}		下降(1)	2.10	2.14	2.18	
$V_{BOR1, STBY}$		待机模式	2.06	2.13	2.20	
V_{BOR2+}	欠压复位电压电平 2	上升(1)	2.73	2.77	2.82	V
V_{BOR2-}		下降(1)	2.7	2.74	2.79	
$V_{BOR2, STBY}$		待机模式	2.62	2.71	2.8	
V_{BOR3+}	欠压复位电压电平 3	上升(1)	2.88	2.96	3.04	V
V_{BOR3-}		下降(1)	2.85	2.93	3.01	
$V_{BOR3, STBY}$		待机模式	2.82	2.92	3.02	
$V_{HYS,BOR}$	欠压复位迟滞	0 级		15	21	mV
		级别 1-3		34	40	
$T_{PD, BOR}$	BOR 传播延迟	RUN/SLEEP/STOP 模式			5	us
		待机模式			100	us

(1) 器件在运行、睡眠或停止模式下工作。

7.7 闪存特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
$VDD_{PGM/ERASE}$	编程及擦除电源电压		1.62		3.6	V
IDD_{ERASE}	擦除操作期间从 VDD 获得的电源电流	电源电流差值			10	mA
IDD_{PGM}	编程操作期间从 VDD 获得的电源电流	电源电流差值			10	mA
耐久性						
NWEC(HI_ENDURANCE)	针对闪存存储器的选定 32 个扇区的擦除/编程周期耐久性 (1)		100			k 个周期
NWEC (NORMAL_ENDURANCE)	擦除/编程周期耐久性（闪存存储器不用于 HI_ENDURANCE）(1)		10			k 个周期
$NE_{(MAX)}$	发生故障前的总擦除操作 (2)		802			K 擦除操作
$NW_{(MAX)}$	在扇区擦除之前每个字线的写入操作(3)				83	写入操作
保持						
t_{RET_85}	闪存存储器数据保留	-40°C <= Tj <= 85°C	60			年
t_{RET_105}	闪存存储器数据保留	-40°C <= Tj <= 105°C	11.4			年
编程和擦除时序						
$t_{PROG (WORD, 64)}$	闪存字的编程时间 (4) (6)			50	275	µs
$t_{PROG (SEC, 64)}$	1kB 扇区的编程时间(5)(6)			6.4		ms
$t_{ERASE (SEC)}$	扇区擦除时间	≤2k 个擦除/编程周期，T_j ≥ 25°C		4	20	ms

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{ERASE (SEC)}$	扇区擦除时间	≤10k 个擦除/编程周期，T_j ≥ 25°C		20	150	ms
$t_{ERASE (SEC)}$	扇区擦除时间	<10k 个擦除/编程周期		20	200	ms
$t_{ERASE (BANK)}$	组擦除时间	<10k 个擦除/编程周期		22	220	ms

(1) 主闪存存储体或数据存储体中多达 32 个由应用选择的扇区可用作高耐久性扇区。这使得应用能够频繁更新闪存数据，例如 EEPROM 仿真。
(2) 发生故障前闪存支持的累计擦除操作总数。一次扇区擦除或组擦除操作被视为一次擦除操作。
(3) 必须擦除字线之前、每个字线允许的最大写入操作数。如果需要对同一个字线执行额外的写入操作，则一旦达到每个字线的最大写入操作数，就需要执行扇区擦除。
(4) 编程时间定义为从触发编程命令到在闪存控制器中设置命令完成中断标志所需的时间。
(5) 扇区编程时间定义为从第一个字编程命令被触发到最后一个字编程命令完成并且在闪存控制器中设置中断标志所需的时间。该时间包括在扇区编程期间软件将每个闪存字（在第一个闪存字之后）加载到闪存控制器所需的时间。
(6) 闪存字大小为 64 个数据位（8 个字节）。在具有 ECC 的器件上，总闪存字大小为 72 位（64 个数据位加 8 个 ECC 位）。

7.8 时序特性

VDD=3.3V，T_a=25℃（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
唤醒时间						
$t_{WAKE, SLEEP0}$	从 SLEEP0 到运行的唤醒时间 (1)			1.4		us
$t_{WAKE, SLEEP1}$	从 SLEEP1 到运行的唤醒时间 (1)			1.6		us
$t_{WAKE, SLEEP2}$	从 SLEEP2 到运行的唤醒时间 (1)			2.2		us
$t_{WAKE, STANDBY0}$	从 STANDBY0 到运行的唤醒时间 (1)			11.4		us
$t_{WAKE, STANDBY1}$	从 STANDBY1 到运行的唤醒时间 (1)			11.4		us
$t_{WAKE, STOP0}$	从 STOP0 到运行的唤醒时间（SYSOSC 启用）(1)			10		us
$t_{WAKE, STOP1}$	从 STOP1 到运行的唤醒时间（SYSOSC 启用）(1)			10		us
$t_{WAKE, STOP2}$	从 STOP2 到运行的唤醒时间（SYSOSC 禁用）(1)			10		
$t_{WAKEUP, SHDN}$	从关断到运行的唤醒时间 (2)	快速启动启用		306		us
		快速启动禁用		345		
异步快速时钟请求时序						
$t_{DELAY, SLEEP1}$	从异步请求的边沿到第一个 32MHz MCLK 边沿的延迟时间	模式为 SLEEP1		0.34		us
$t_{DELAY, SLEEP2}$	从异步请求的边沿到第一个 32MHz MCLK 边沿的延迟时间	模式为 SLEEP2		0.94		us
$t_{DELAY, STANDBY0}$	从异步请求的边沿到第一个 32MHz MCLK 边沿的延迟时间	模式为 STANDBY0		3		us
$t_{DELAY, STANDBY1}$	从异步请求的边沿到第一个 32MHz MCLK 边沿的延迟时间	模式为 STANDBY1		3.1		us
$t_{DELAY, STOP0}$	从异步请求的边沿到第一个 32MHz MCLK 边沿的延迟时间	模式为 STOP0		0.1		us

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

VDD=3.3V，T_a=25℃（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{DELAY, STOP1}$	从异步请求的边沿到第一个 32MHz MCLK 边沿的延迟时间	模式为 STOP1		2.4		us
$t_{DELAY, STOP2}$	从异步请求的边沿到第一个 32MHz MCLK 边沿的延迟时间	模式为 STOP2		0.9		us
启动时序						
$t_{START, RESET}$	器件从复位/上电开始的冷启动时间 (3)	快速启动启用		300		us
		快速启动禁用		350		
NRST 时序						
$t_{RST, BOOTRST}$	NRST 引脚上用于生成 BOOTRST 的脉冲长度	ULPCLK≥4MHz		1.5		us
		ULPCLK=32kHz		29		
$t_{RST, POR}$	NRST 引脚上用于生成 POR 的脉冲长度			1		s

(1) 唤醒时间是指从外部唤醒信号（GPIO 唤醒事件）的边沿到执行用户程序第一条指令所需的时间，其中干扰滤波器禁用 (FILTEREN=0x0) 且快速唤醒启用 (FASTWAKEONLY=1)。
(2) 唤醒时间是指从外部唤醒信号（IOMUX 唤醒事件）的边沿到执行用户程序第一条指令的时间。
(3) 启动时间是指从 VDD 超过 VBOR0-（冷启动）到执行用户程序第一条指令所需的时间。

7.9 时钟规范

7.9.1 系统振荡器 (SYSOSC)

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f_{SYSOSC}	出厂修整的 SYSOSC 频率	SYSOSCCFG.FREQ=00 (BASE)		32		MHz
		SYSOSCCFG.FREQ=01		4		
	用户修整的 SYSOSC 频率	SYSOSCCFG.FREQ=10，SYSOSCTRIMUSER.FREQ=10		24		
		SYSOSCCFG.FREQ=10，SYSOSCTRIMUSER.FREQ=01		16		
f_{SYSOSC}	启用频率校正环路 (FCL) 并假设使用理想 ROSC 电阻器时的 SYSOSC 频率精度 (1) (2)	SETUSEFCL=1，T_a = 25℃	-0.60		0.68	%
		SETUSEFCL=1，-40 ℃ ≤ T_a ≤ 85 ℃	-0.80		0.93	
		SETUSEFCL=1，-40℃ ≤ T_a ≤ 105℃	-0.80		1.1	
		SETUSEFCL=1，-40℃ ≤ T_a ≤ 125℃	-0.80		1.3	
f_{SYSOSC}	启用频率校正环路 (FCL) 且 R_{OSC} 电阻器置于 R_{OSC} 引脚时的 SYSOSC 精度，适用于经过出厂修整的频率 (1)(5)(6)	SETUSEFCL=1，T_a = 25℃，±0.1% ±25ppm R_{OSC}	-0.7		0.78	%
		SETUSEFCL=1，-40℃ ≤ T_a ≤ 85℃，±0.1% ±25ppm R_{OSC}	-1.1		1.2	
		SETUSEFCL=1，-40℃ ≤ T_a ≤ 105℃，±0.1% ±25ppm R_{OSC}	-1.1		1.4	
		SETUSEFCL=1，-40℃ ≤ T_a ≤ 125℃，±0.1% ±25ppm R_{OSC}	-1.1		1.7	
f_{SYSOSC}	使用内部 ROSC 电阻器且启用频率校正环路 (FCL)，频率为 32MHz 时的 SYSOSC 频率精度(4) (5) (6)	SETUSEFCL=1，T_a = 25℃	0		1	%
		SETUSEFCL=1，-40 ℃ ≤ T_a ≤ 125 ℃	-2.1		1.6	
f_{SYSOSC}	使用内部 ROSC 电阻器且启用频率校正环路 (FCL)，频率为 4MHz 时的 SYSOSC 频率精度(4) (5) (6)	SETUSEFCL=1，T_a = 25℃	0		1.6	%
		SETUSEFCL=1，-40 ℃ ≤ T_a ≤ 125 ℃	-2.3		1.8	

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f_{SYSOSC}	禁用频率校正环路 (FCL) 后的 SYSOSC 精度，32MHz (5)(6)	SETUSEFCL=0，SYSOSCCFG.FREQ=00，-40℃ ≤ T_a ≤ 125℃	-2.6		1.8	%
f_{SYSOSC}	禁用频率校正环路 (FCL) 后的 SYSOSC 精度，适用于经过出厂调整的频率，4MHz (5)(6)	SETUSEFCL=0，SYSOSCCFG.FREQ=01，-40℃ ≤ T_a ≤ 125℃	-2.8		2.1	%
R_{OSC}	在 ROSC 引脚和 VSS 之间安装外部电阻器 (1)	SETUSEFCL=1		100		kΩ
$t_{settle, SYSOSC}$	达到目标精度的稳定时间 (3)	SETUSEFCL = 1，±0.1% 25ppm R_{OSC} (1)			40	us

(1) SYSOSC 频率校正环路 (FCL) 通过外部基准电阻 (R_{OSC}) 实现高 SYSOSC 精度，当使用 FCL 时，该电阻必须连接在器件 ROSC 引脚和 VSS 之间。 所示精度为采用 ±0.1% ±25ppm R_{OSC} 时；也可以使用宽松容差电阻（SYSOSC 精度会有所降低）。 有关计算各种 R_{OSC} 精度所对应的 SYSOSC 精度的详细信息，请参阅技术参考手册的“SYSOSC”一节。 如果未启用 FCL，则无需填充 R_{OSC}。
(2) 仅表示器件精度。 必须将所用 ROSC 电阻器的容差和温度漂移与此规格结合使用，以确定最终精度。 ±0.1% ±25ppm R_{OSC} 的性能作为基准点提供。
(3) SYSOSC 被唤醒（例如，退出低功耗模式时）并且 FCL 已启用时，SYSOSC 最初将下冲目标频率 f_{SYSOSC}，额外的误差最高为 $f_{settle,SYSOSC}$，时间为 $t_{settle,SYSOSC}$，之后可达到目标精度。
(4) 使用 FCL 时，SYSOSC 频率校正环路 (FCL) 可通过内部基准电阻器实现高 SYSOSC 精度。有关计算 SYSOSC 精度的详细信息，请参阅技术参考手册的“SYSOSC”部分。
(5) SYSOSC 精度是在默认通电状态下测量的，MCLK = SYSOSC，CPU 正在运行 while(1) 循环，SYSPLL 被禁用。
(6) 使用外部 1ms 脉冲作为测量触发器，通过内部 FCC 计数器测量 SYSOSC。

7.9.2 低频振荡器 (LFOSC)

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f_{LFOSC}	LFOSC 频率			32768		Hz
	LFOSC 精度	-40℃ ≤ T_a ≤ 125℃	-5		5	%
		-40℃ ≤ T_a ≤ 85℃	-3		3	%
I_{LFOSC}	LFOSC 电流消耗			300		nA
$t_{start, LFOSC}$	LFOSC 启动时间			1		ms

7.9.3 系统锁相环 (SYSPLL)

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$f_{SYSPLLREF}$	SYSPLL 基准频率范围 (2)		4		48	MHz
f_{VCO}	VCO 输出频率		100		400	MHz
f_{SYSPLL}	SYSPLL 输出频率范围(1)	SYSPLLCLK0、SYSPLLCLK1	2.5		200	MHz
		SYSPLLCLK2X (3)	10		400	
DC_{PLL}	SYSPLL 输出占空比	$f_{SYSPLLREF}$=32MHz，f_{VCO}=160MHz	45		55	%
$Jitter_{SYSPLL}$	SYSPLL RMS 周期间抖动	$f_{SYSPLLREF}$=32MHz，f_{VCO}=160MHz		60		ps
	SYSPLL RMS 周期抖动			45		
I_{SYSPLL}	SYSPLL 电流消耗	$f_{SYSPLLREF}$=32MHz，f_{VCO}=160MHz		322		uA
$t_{start, SYSPLL}$	SYSPLL 启动时间	$f_{SYSPLLREF}$ 32MHz、PDIV=3、QDIV=39、f_{VCO} 160Mhz、±0.5% 精度		14	24	us

(1) SYSPLL 可以支持比器件时钟系统所支持更高的输出频率。 在配置 SYSPLL 输出频率时，请确保不违反器件最大频率规格。
(2) 请参阅_:AMP:_的表 2-6 中的 SYSPLL 调优参数

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

(3) 使用 SYSPLL2X 时，将 f_{VCO} 限制为最大 200MHz

7.9.4 低频晶体/时钟

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
低频晶体振荡器 (LFXT)						
f_{LFXT}	LFXT 频率			32768		Hz
DC_{LFXT}	LFXT 占空比		30		70	%
OA_{LFXT}	LFXT 晶体振荡容差			419		kΩ
$C_{L, eff}$	集成的有效负载电容(1)			1		pF
$t_{start, LFXT}$	LFXT 启动时间			200		ms
I_{LFXT}	LFXT 电流消耗	XT1DRIVE=0、LOWCAP=1 (4)		200		nA
低频数字时钟输入 (LFCLK_IN)						
f_{LFIN}	LFCLK_IN 频率 (2)	SETUSEEXLF=1	29491	32768	36045	Hz
DC_{LFIN}	LFCLK_IN 占空比 (2)	SETUSEEXLF=1	40		60	%
LFCLK 监测器						
$f_{FAULTLF}$	LFCLK 监视器故障频率(3)	MONITOR=1	2800	4200	8400	Hz

(1) 这包括寄生接合和封装电容（每个引脚约为 2pF），计算公式为 $C_{LFXIN} \times C_{LFXOUT}/(C_{LFXIN}+C_{LFXOUT})$，其中 C_{LFXIN} 和 C_{LFXOUT} 分别是 LFXIN 和 LFXOUT 上的总电容。
(2) 数字时钟输入 (LFCLK_IN) 接受逻辑电平方波时钟。
(3) LFCLK 监视器可用于监视 LFXT 或 LFCLK_IN。 它将始终在低于 MIN 故障频率时发生故障，并且永远不会在高于 MAX 故障频率时发生故障。
(4) 使用 LFXT 时，用户必须确保晶体的额定值正确，以便支持启动驱动负载（例如 0.1uW）

7.9.5 高频晶体/时钟

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
高频晶体振荡器 (HFXT)						
f_{HFXT}	HFXT 频率	HFXTRSEL=00	4		8	MHz
		HFXTRSEL=01	8.01		16	
		HFXTRSEL=10	16.01		32	
		HFXTRSEL=11	32.01		48	
DC_{HFXT}	HFXT 占空比	HFXTRSEL=00	40		65	%
		HFXTRSEL=01	40		60	
		HFXTRSEL=10	40		60	
		HFXTRSEL=11	40		60	
OA_{HFXT}	HFXT 晶体振荡容差	HFXTRSEL=00（4MHz 至 8MHz 范围）		2		kΩ
$C_{L, eff}$	集成的有效负载电容(1)			1		pF
$t_{start, HFXT}$	HFXT 启动时间(2)	HFXTRSEL=11，32MHz 晶体		0.5		ms
I_{HFXT}	HFXT 电流消耗(2)	f_{HFXT}=4MHz，R_m=300Ω，C_L=12pF		100		uA
		f_{HFXT}=48MHz，R_m=30Ω，C_L=12pF，C_m=6.26fF，L_m=1.76mH		600		
高频数字时钟输入 (HFCLK_IN)						
f_{HFIN}	HFCLK_IN 频率 (3)	USEEXTHFCLK=1	4		48	MHz
DC_{HFIN}	HFCLK_IN 占空比 (3)	USEEXTHFCLK=1	40		60	%

(1) 这包括寄生接合和封装电容（每个引脚约为 2pF），计算公式为 $C_{HFXIN} \times C_{HFXOUT}/(C_{HFXIN}+C_{HFXOUT})$，其中 C_{HFXIN} 和 C_{HFXOUT} 分别是 HFXIN 和 HFXOUT 上的总电容。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

(2) HFXT 启动时间 ($t_{start, HFXT}$) 是指从启用 HFXT 到典型晶体稳定振荡的时间。 启动时间取决于晶体频率和晶体规格。 请参阅 MSPM0 G 系列 80MHz 微控制器技术参考手册的“HFXT”部分。电流消耗随 RSEL 增大而增加，而启动时间随 RSEL 增大而减小。
(3) 数字时钟输入 (HFCLK_IN) 接受逻辑电平方波时钟。

7.10 数字 IO

7.10.1 电气特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件		最小值	典型值	最大值	单位
V_{IH}	高电平输入电压	ODIO (1)	VDD ≥ 1.62V	0.7*VDD		5.5	V
			VDD ≥ 2.7V	2		5.5	V
		除 ODIO 和复位以外的所有 I/O	VDD ≥ 1.62V	0.7*VDD		VDD+0.3	V
V_{IL}	低电平输入电压	ODIO	VDD ≥ 1.62V	-0.3		0.3*VDD	V
			VDD ≥ 2.7V	-0.3		0.8	V
		除 ODIO 和复位以外的所有 I/O	VDD ≥ 1.62V	-0.3		0.3*VDD	V
V_{HYS}	迟滞	ODIO		0.05*VDD			V
		除 ODIO 以外的所有 I/O		0.1*VDD			V
I_{lkg}	高阻态漏电流（除 PM 之外的所有封装）	SDIO(2)(3)	1.62V ≤ VDD ≤ 3.6V，-40℃ ≤ T_a ≤ 125℃			50(4)	nA
	高阻态漏电流（PM 封装）	SDIO(2)(3)	1.62V ≤ VDD ≤ 3.6V，-40℃ ≤ T_a ≤ 85℃			70(4)	nA
			1.62V ≤ VDD ≤ 3.6V，-40℃ ≤ T_a ≤ 125℃			400(4)	nA
R_{PU}	上拉电阻	除 ODIO 以外的所有 I/O	VIN = VSS		40		kΩ
R_{PD}	下拉电阻		VIN = VDD		40		kΩ
C_I	输入电容		VDD = 3.3V		5		pF

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件		最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	SDIO	VDD ≥ 2.7V，$\|I_{IO}\|_{max}$ = 6mA VDD ≥ 1.71V，$\|I_{IO}\|_{max}$ = 2mA VDD ≥ 1.62V，$\|I_{IO}\|_{max}$ = 1.5mA -40°C ≤ T_j ≤ 25°C	VDD-0.4			V
			VDD ≥ 2.7V，$\|I_{IO}\|_{max}$ = 6mA VDD ≥ 1.71V，$\|I_{IO}\|_{max}$ = 2mA VDD ≥ 1.62V，$\|I_{IO}\|_{max}$ = 1.5mA -40°C ≤ T_j ≤ 130°C	VDD-0.45			
		HSIO	VDD ≥ 2.7V，DRV = 1，$\|I_{IO}\|_{max}$ = 6mA VDD ≥ 1.71V，DRV = 1，$\|I_{IO}\|_{max}$ = 3mA VDD ≥ 1.62V，DRV = 1，$\|I_{IO}\|_{max}$ = 2mA -40°C ≤ T_j ≤ 25°C	VDD-0.4			
			VDD ≥ 2.7V，DRV = 1，$\|I_{IO}\|_{max}$ = 6mA VDD ≥ 1.71V，DRV = 1，$\|I_{IO}\|_{max}$ = 3mA VDD ≥ 1.62V，DRV = 1，$\|I_{IO}\|_{max}$ = 2mA -40°C ≤ T_j ≤ 130°C	VDD-0.45			
			VDD ≥ 2.7V，DRV = 0，$\|I_{IO}\|_{max}$ = 4mA VDD ≥ 1.71V，DRV = 0，$\|I_{IO}\|_{max}$ = 2mA VDD ≥ 1.62V，DRV = 0，$\|I_{IO}\|_{max}$ = 1.5mA -40°C ≤ T_j ≤ 25°C	VDD-0.4			
			VDD ≥ 2.7V，DRV = 0，$\|I_{IO}\|_{max}$ = 4mA VDD ≥ 1.71V，DRV = 0，$\|I_{IO}\|_{max}$ = 2mA VDD ≥ 1.62V，$\|I_{IO}\|_{max}$ = 1.5mA -40°C ≤ T_j ≤ 130°C	VDD-0.45			
		HDIO	VDD ≥ 2.7V，DRV = 1，$\|I_{IO}\|_{max}$ = 20mA VDD ≥ 1.71V，DRV = 1，$\|I_{IO}\|_{max}$ = 10mA	VDD-0.4			
			VDD ≥ 2.7V，DRV = 0，$\|I_{IO}\|_{max}$ = 6mA VDD ≥ 1.71V，DRV = 0，$\|I_{IO}\|_{max}$ = 2mA	VDD-0.4			

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件		最小值	典型值	最大值	单位
V_{OL}	低电平输出电压	SDIO	VDD ≥ 2.7V，$\|I_{IO}\|_{max}$ = 6mA VDD ≥ 1.71V，$\|I_{IO}\|_{max}$ = 2mA VDD ≥ 1.62V，$\|I_{IO}\|_{max}$ = 1.5mA -40°C ≤ T_j ≤ 25°C			0.4	V
			VDD ≥ 2.7V，$\|I_{IO}\|_{max}$ = 6mA VDD ≥ 1.71V，$\|I_{IO}\|_{max}$ = 2mA VDD ≥ 1.62V，$\|I_{IO}\|_{max}$ = 1.5mA -40°C ≤ T_j ≤ 130°C			0.45	V
		HSIO	VDD ≥ 2.7V，DRV = 1，$\|I_{IO}\|_{max}$ = 6mA VDD ≥ 1.71V，DRV = 1，$\|I_{IO}\|_{max}$ = 3mA VDD ≥ 1.62V，DRV = 1，$\|I_{IO}\|_{max}$ = 2mA -40°C ≤ T_j ≤ 25°C			0.4	
			VDD ≥ 2.7V，DRV = 1，$\|I_{IO}\|_{max}$ = 6mA VDD ≥ 1.71V，DRV = 1，$\|I_{IO}\|_{max}$ = 3mA VDD ≥ 1.62V，DRV = 1，$\|I_{IO}\|_{max}$ = 2mA -40°C ≤ T_j ≤ 130°C			0.45	
			VDD ≥ 2.7V，DRV = 0，$\|I_{IO}\|_{max}$ = 4mA VDD ≥ 1.71V，DRV = 0，$\|I_{IO}\|_{max}$ = 2mA VDD ≥ 1.62V，DRV = 0，$\|I_{IO}\|_{max}$ = 1.5mA -40°C ≤ T_j ≤ 25°C			0.4	
			VDD ≥ 2.7V，DRV = 0，$\|I_{IO}\|_{max}$ = 4mA VDD ≥ 1.71V，DRV = 0，$\|I_{IO}\|_{max}$ = 2mA VDD ≥ 1.62V，DRV = 0，$\|I_{IO}\|_{max}$ = 1.5mA -40°C ≤ T_j ≤ 130°C			0.45	
		HDIO	VDD ≥ 2.7V，DRV = 1，$\|I_{IO}\|_{max}$ = 20mA VDD ≥ 1.71V，DRV = 1，$\|I_{IO}\|_{max}$ = 10mA			0.4	
			VDD≥2.7V，DRV=0，$\|I_{IO}\|_{max}$=6mA VDD≥1.71V，DRV=0，$\|I_{IO}\|_{max}$=2mA			0.4	
		ODIO	VDD ≥ 2.7V，$I_{OL,max}$ = 8mA VDD ≥ 1.71V，$I_{OL,max}$ = 4mA -40°C ≤ T_j ≤ 25°C			0.4	V
			VDD ≥ 2.7V，$I_{OL,max}$ = 8mA VDD ≥ 1.71V，$I_{OL,max}$ = 4mA -40°C ≤ T_j ≤ 130°C			0.45	V

(1) I/O 类型：ODIO = 5V 容限开漏，SDIO = 标准驱动，HSIO = 高速，HDIO = 高驱动
(2) 除非另有说明，否则漏电流是在将 VSS 或 VDD 施加到相应引脚的情况下测量的。
(3) 数字端口引脚的漏电流单独测量。为输入选择端口引脚，而且上拉/下拉电阻器被禁用。
(4) 此值适用于 SDIO 不与任何模拟输入进行多路复用的情况。如果 SDIO 与模拟输入进行多路复用，则漏电流会更高。

ADVANCE INFORMATION

ADVANCE INFORMATION

7.10.2 开关特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件		最小值	典型值	最大值	单位
f_{max}	端口输出频率(1)	SDIO	VDD ≥ 2.7V，CL= 20pF			32	MHz
			VDD ≥ 1.71V，CL= 20pF			16	
		HSIO	VDD ≥ 2.7V，DRV = 1，CL= 20pF			40	
			VDD ≥ 2.7V，DRV = 0，CL= 20pF			32	
			VDD ≥ 1.71V，DRV = 1，CL= 20pF			24	
			VDD ≥ 1.71V，DRV = 0，CL= 20pF			16	
		HDIO	VDD ≥ 2.7V，DRV = 1(2)，CL= 20pF			20	
			VDD ≥ 2.7V，DRV = 0，CL= 20pF			20	
			VDD ≥ 1.71V，DRV = 1(2)，CL= 20pF			16	
			VDD ≥ 1.71V，DRV = 0，CL= 20pF			16	
		ODIO	VDD ≥ 1.71V，FM+，CL= 20pF - 100pF			1	
t_r，t_f	输出上升/下降时间	SDIO	VDD ≥ 2.7V，CL= 20pF			3.5	ns
			VDD ≥ 1.71V，C_L= 20pF			6.6	
		HSIO	VDD ≥ 2.7V，DRV = 1，CL= 20pF			1.8	
			VDD ≥ 2.7V，DRV = 0，CL= 20pF			5.9	
			VDD ≥ 1.71V，DRV = 1，CL= 20pF			3.7	
			VDD ≥ 1.71V，DRV = 0，CL= 20pF			12.6	
		HDIO	VDD ≥ 2.7V，DRV = 1，CL= 20pF			1.7	
			VDD ≥ 2.7V，DRV = 0，CL= 20pF			3.8	
			VDD ≥ 1.71V，DRV = 1，CL= 20pF			3.1	
			VDD ≥ 1.71V，DRV = 0，CL= 20pF			8.2	
t_f	输出下降时间	ODIO	VDD ≥ 1.71V，FM+，CL= 20pF-100pF	20*VDD/5.5		120	ns

(1) I/O 类型：ODIO = 5V 容限开漏，SDIO = 标准驱动，HSIO = 高速，HDIO = 高驱动，USBIO = USB 协议
(2) 当在 DRV=1 高驱动强度配置下运行 HDIO 时，需要一个串联电阻器来限制信号转换率

7.11 模拟多路复用器 VBOOST

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I_{VBST}	VBOOST 电流加法器	MCLK/ULPCLK 是 LFCLK		0.8		uA
		MCLK/ULPCLK 不是 LFCLK，SYSOSC 频率是 4MHz		10.6		
$t_{START,VBST}$	VBOOST 启动时间			12	20	us

7.12 ADC

7.12.1 电气特性

在推荐的电源电压和自然通风条件下的工作温度范围内（除非另有说明），所有典型值均在温度为 25°C 时测得，并且所有精度参数均使用 12 位分辨率模式测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$Vin_{(ADC)}$	模拟输入电压范围(1)	适用于所有 ADC 模拟输入引脚	0		VDD	V

Copyright © 2026 Texas Instruments Incorporated

在推荐的电源电压和自然通风条件下的工作温度范围内（除非另有说明），所有典型值均在温度为 25°C 时测得，并且所有精度参数均使用 12 位分辨率模式测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{R+}	ADC 正基准电压	来自 VDD 的 V_{R+}		VDD		V
		来自内部基准的 V_{R+} (VREF)		VREF		V
V_{R-}	ADC 负基准电压			0		V
Fs	ADC 采样频率	RES = 0x0（12 位模式），外部/内部基准 (VRSEL=1h)			1.6	Msps
		RES = 0x1（10 位模式），外部/内部基准 (VRSEL1h)			1.7	
		RES = 0x2（8 位模式），外部/内部基准 (VRSEL=1h)			2	
F_S	ADC 采样频率	RES = 0x0（12 位模式），内部基准 (VRSEL=2h)			0.9	Msps
		RES = 0x1（10 位模式），内部基准 (VRSEL=2h)			1	
		RES = 0x2（8 位模式），内部基准 (VRSEL=2h)			1.2	
$I_{(ADC)}$	流入 VDD 端子的工作电源电流	F_S = 1.6MSPS，外部基准 (VRSEL=1h)，V_{R+} = VDD		350		μA
$I_{(ADC)}$	流入 VDD 端子的工作电源电流	F_S = 1.6MSPS，内部基准 (VRSEL=1h)，VREF = 2.5V（包括 VREF1 功耗）		550		μA
		F_S = 0.9MSPS，内部基准 (VRSEL=2h)，VREF = 2.5V（包含 VREF2 功耗）		400		
$C_{S/H}$	ADC 采样保持电容			0.22		pF
Rin	ADC 开关电阻			15		kΩ
ENOB	有效位数	Fin = 10kHz，外部基准 (VRSEL=1h)	10	10.6		位
		Fin = 10kHz，具有过采样的外部基准		11.8		
		Fin = 10kHz，内部基准（VRSEL=1h 或 2h），VREF = 2.5V	9.2	10.2		
SNR	信噪比	Fin = 10kHz，外部基准 (VRSEL=1h)		67		dB
		Fin = 10kHz，具有过采样的外部基准		75		
		Fin = 10kHz，内部基准（VRSEL=1h 或 2h），V_{R+} = VREF = 2.5V		62		
$PSRR_{DC}$	电源抑制比（直流）	外部基准电压 (VRSEL=1h)，VDD = $VDD_{(min)}$ 至 $VDD_{(max)}$		66		dB
$PSRR_{DC}$	电源抑制比（直流）	内部基准（VRSEL=1h 或 2h），V_{R+} = VREF = 2.5V，VDD = 2.7 至 3.6		60		dB
T_{wakeup}	ADC 唤醒时间	假设内部基准处于运行状态			5	us
$V_{SupplyMon}$	电源监测器分压器 (VDD/3) 精度	ADC 输入通道：电源监测器 (2)	-1.5		+1.5	%
$I_{SupplyMon}$	电源监测器分压器电流消耗	ADC 输入通道：电源监测器		10		uA

(1) 模拟输入电压范围必须位于所选的 ADC 基准电压范围 V_{R+} 至 V_{R-} 内，才能获得有效的转换结果。
(2) 模拟电源监测器。通道 31 上的模拟输入断开连接，并在内部连接到分压器 VDD/3。

7.12.2 开关特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件	最小值	典型值	最大值	单位
f_{ADCCLK}	ADC 时钟频率		4		32	MHz
$t_{ADC\ trigger}$	软件触发最小宽度		3			ADCCLK 周期
t_{Sample_step}	阶跃输入的采样时间	12 位模式，R_S = 50 Ω Ω，C_{pext} = 10pF	0.188			μs
t_{Sample_VREF}	使用 VREF 时的采样时间	ADC 通道 = 28，12 位模式，VDD 作为基准	4			μs
$t_{Sample_SupplyMon}$	使用电源监测器 (VDD/3) 时的采样时间	ADC 通道 = 30，12 位模式，内部基准（VRSEL=1h 或 2h）	5			μs

ADVANCE INFORMATION

7.12.3 线性参数

在推荐的电源电压和自然通风条件下的工作温度范围内（除非另有说明），所有典型值均在温度为 25°C 时测得，并且所有线性参数均使用 12 位分辨率模式测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
E_I	积分线性误差 (INL)	外部基准	-2		2	LSB
E_D	微分线性误差 (DNL)	外部基准 (2)	-1		1	LSB
E_O	偏移误差	外部基准(2)	-5		5	mV
E_G	增益误差	外部基准(VRSEL=1h) (2)	-6		6	LSB

(1) 总体未调整误差 (TUE) 可以通过以下公式使用 E_I、E_O 和 E_G 来计算得出：$TUE = \sqrt{(E_I^2 + |E_O|^2 + E_G^2)}$
注意：您必须将所有误差转换为相同的单位，通常为 LSB，以上公式才能进行准确计算
(2) VDD 基准规格都是在 V_{R+} = VDD = 3.3V 且 V_{R-} = VSS = 0V 的条件下测得。

7.12.4 典型连接图

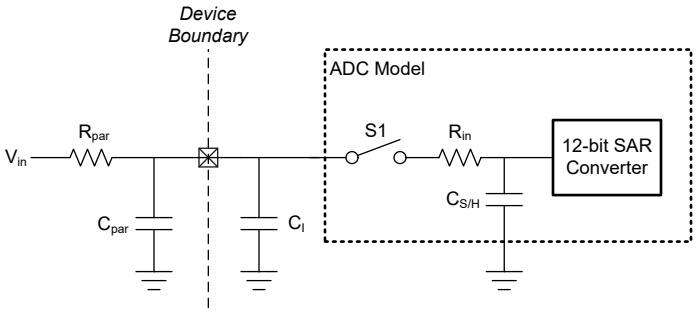


图 7-2. ADC 输入网络

1. 请参阅 *ADC 电气特性*以了解 R_{in} 和 $C_{S/H}$ 的值
2. 请参阅*数字 IO 电气特性*以了解 C_I 的值
3. C_{par} 和 R_{par} 表示外部 ADC 输入电路的寄生电容和电阻

使用以下公式来求解 ADC 转换所需的最小采样时间 (T)：

1. $Tau = (R_{par} + R_{in})* C_{S/H} + R_{par}*(C_{par} + C_I)$
2. $K= \ln(2^n/\text{趋稳误差}) - \ln((C_{par} + C_I)/C_{S/H})$
3. T (最小采样时间) = K*Tau

7.13 温度传感器

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件	最小值	典型值	最大值	单位
TS_{TRIM}	出厂调整温度 (1)	ADC 和 VREF 配置：RES= 0（12 位模式），VRSEL=2h（内部基准），V_{R+} = VREF = 1.4V (BUFCONFIG =1)，VREF+ 上的电容=1uF，ADC t_{Sample}=10µs	27	30	33	℃
TS_c	温度系数	-40℃ ≤ T_j ≤ 130℃	-2.05	-1.90	-1.75	mV/℃
$t_{SET, TS}$	温度传感器稳定时间 (2)	ADC 和 VREF 配置：RES=0（12 位模式），VRSEL=2h（内部参考），ADC 通道=11			10	us

(1) 通过用户校准可以实现更高的绝对精度。请参阅“详细说明”部分中的“温度传感器”。
(2) 这是测量温度传感器时所需的最短 ADC 采样时间。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.14 VREF1

7.14.1 电压特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件	最小值	典型值	最大值	单位
VDD_{min}	VREF 运行所需的最小电源电压	BUFCONFIG = 1	1.62			V
		BUFCONFIG = 0	2.7			
VREF	电压基准输出电压	BUFCONFIG = 1	1.38	1.4	1.42	V
		BUFCONFIG = 0	2.46	2.5	2.54	

7.14.2 电气特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件	最小值	典型值	最大值	单位
I_{VREF}	VREF 工作电源电流	BUFCONFIG = {0, 1}，无负载		189	330	µA
I_{Drive}	VREF 输出驱动强度 (1)	VREF+ 器件引脚上支持的驱动强度			100	µA
I_{SC}	VREF 短路电流				100	mA
TC_{VREF}	VREF（带隙 + VRBUF）的温度系数(2)	BUFCONFIG = {1}			75	ppm/°C
TC_{VREF}	VREF（带隙 + VRBUF）的温度系数(2)	BUFCONFIG = {0}			75	ppm/°C
TC_{drift}	长期 VREF 漂移	时间 = 1000 小时，BUFCONFIG = {0, 1}，T = 25℃			300	ppm
$PSRR_{DC}$	VREF 电源抑制比（直流）	VDD = 1.7V 至 VDDmax，BUFCONFIG = 1	60	70		dB
		VDD = 2.7V 至 VDDmax，BUFCONFIG = 0	50	60		
V_{noise}	VREF 输出端的 RMS 噪声（0.1Hz 至 100MHz）	BUFCONFIG = 1		350		µVrms
		BUFCONFIG = 0		500		
C_{VREF}	VREF+ 引脚上推荐的 VREF 去耦电容器 (3) (4) (5)		0.7	1	1.15	µF
$T_{startup}$	VREF 启动时间	BUFCONFIG = {0, 1}，VDD = 2.8V，C_{VREF} = 1µF			200	µS
$T_{refresh}$	VREF 外部电容器刷新时间		31.25			

(1) 无论器件中使用何种外设，均支持指定的 MAX 输出驱动强度。
(2) VREF 输出的温度系数是 TC_{VRBUF} 与内部带隙基准的温度系数之和。
(3) 使用内部电压基准 VREF 时，需要去耦电容器 (C_{VREF})，并且应将 VREF+ 引脚连接到 VREF-/GND。当使用 VREF+/- 引脚为外部基准供电时，应根据外部基准源选择去耦电容值。
(4) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 ±20% 的容差。
(5) VREF 模块应仅在连接 C_{VREF} 时启用，否则不应启用。

7.15 VREF2

7.15.1 电压特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件	最小值	典型值	最大值	单位
VDD_{min}	VREF 运行所需的最小电源电压	BUFCONFIG = 1	1.62			V
		BUFCONFIG = 0	2.7			
VREF	电压基准输出电压	BUFCONFIG = 1	1.38	1.4	1.42	V
		BUFCONFIG = 0	2.46	2.5	2.54	

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.15.2 电气特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件		最小值	典型值	最大值	单位
I_{VREF}	VREF 工作电源电流	BUFCONFIG = {0, 1}，无负载			130	200	µA
TC_{VREF}	VREF（带隙 + VRBUF）的温度系数(1)	BUFCONFIG = {0.1}				80	ppm/°C
TC_{drift}	长期 VREF 漂移	时间 = 1000 小时，BUFCONFIG = {0, 1}，T = 25℃				300	ppm
$PSRR_{DC}$	VREF 电源抑制比（直流）	VDD = 1.7V 至 VDDmax，BUFCONFIG = 1		60	70		dB
		VDD = 2.7V 至 VDDmax，BUFCONFIG = 0		50	60		
V_{noise}	VREF 输出端的 RMS 噪声（0.1Hz 至 100MHz）	BUFCONFIG = 1			350		µVrms
		BUFCONFIG = 0			500		
ADC F_S	支持的最大 ADC 采样频率	使用 VREF 作为 ADC 基准	使用 VREF 作为 ADC 基准			900	Ksps
$T_{startup}$	VREF 启动时间					30	us

(1) VREF 输出的温度系数是 TC_{VRBUF} 与内部带隙基准的温度系数之和。

7.16 比较器 (COMP)

7.16.1 比较器电气特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件	最小值	典型值	最大值	单位
比较器电气特性						
Vcm	共模输入范围		0		VDD	V
V_{offset}	输入偏移电压		-20		20	mV
V_{hys}	直流输入迟滞	HYST=00h		0.4		mV
		HYST=01h		10		
		HYST=02h		20		
		HYST=03h		30		
t_{PD_ls}	传播延迟，响应时间	输出滤波器关闭，过驱 = 100mV，高速模式		32	50	ns
		输出滤波器关闭，过驱 = 100mV，低功耗模式		1.2	4	µs
t_{en}	比较器使能时间	达到传播延迟规格所需的启动时间，高速模式（仅限比较器）			5	µs
		达到传播延迟规格所需的启动时间，低功耗模式（仅限比较器）			10	µs
I_{comp}	比较器电流消耗。	Vcm = VDD/2，100mV 过驱，DAC 输出作为电压基准，VDD 作为 DAC 的基准，高速模式		130	200	µA
		Vcm = VDD/2，100mV 过驱，DAC 输出作为电压基准，VDD 作为 DAC 的基准，低功耗模式		0.85	2.7	µA
		Vcm = VDD/2，100mV 过驱，仅比较器。高速模式		120	180	µA
		Vcm = VDD/2，100mV 过驱，仅比较器，低功耗模式		0.7	2.1	µA
I_{comp}	低功耗模式下的比较器 +VREF 电流消耗	Vcm = VDD/2，100mV 过驱，DAC 输出作为电压基准，内部 VREF 作为 DAC 的基准，低功耗模式。VREF 寄存器 SHCYCLE = 0xC0、HCYCLE = 0xC0、SHMODE = 1		3		uA
8 位 DAC 电气特性						
V_{dac}	DAC 输出范围		0		VDD	V
$V_{dac\text{-}code}$	给定代码的 8 位 DAC 输出电压	VIN = 8 位 DAC 的基准电压，代码 n = 0 至 255		VIN × (n+1) / 256		V
INL	8 位 DAC 的积分非线性		-1		1	LSB
DNL	8 位 DAC 的微分非线性		-1		1	LSB
增益误差	8 位 DAC 的增益误差	基准电压 = VDD	-2		2	FSR 百分比

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件	最小值	典型值	最大值	单位
偏移误差	8 位 DAC 的失调电压误差		-5		5	mV
输出阻抗	8 位 DAC 输出阻抗			50		kΩ
t_{dac_settle}	静态模式下的 8 位 DAC 稳定时间	DACCODE0 = 0 → 255，DAC 输出精确到 1LSB，引脚 PA3 上的 DAC 输出，PA11，Cload = 15pF		6		µs
t_{dac_settle}	静态模式下的 8 位 DAC 稳定时间	DACCODE0 = 0 → 255，DAC 输出精确到 1LSB		1.5		µs

7.17 I2C

7.17.1 I2C 特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	标准模式		快速模式		快速模式 +		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
f_{I2C}	I2C 输入时钟频率	电源域 0 中的 I2C	2	32	8	32	20	32	MHz
f_{SCL}	SCL 时钟频率		0.025	0.1		0.4		1	MHz
$t_{HD，STA}$	保持时间（重复）启动		4		0.6		0.26		us
t_{LOW}	SCL 时钟的低电平周期		4.7		1.3		0.5		us
t_{HIGH}	SCL 时钟的高电平周期		4		0.6		0.26		us
$t_{SU,STA}$	一个针对重复启动的建立时间		4.7		0.6		0.26		us
$t_{HD，DAT}$	数据保持时间		0		0		0		ns
$t_{SU，DAT}$	数据设置时间		250		100		50		ns
$t_{SU，STO}$	停止的建立时间		4		0.6		0.26		us
t_{BUF}	停止与启动状态之间的总线空闲时间		4.7		1.3		0.5		us
$t_{VD;DAT}$	数据有效时间			3.45		0.9		0.45	us
$t_{VD;ACK}$	数据有效确认时间			3.45		0.9		0.45	us

7.17.2 I2C 滤波器

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f_{SP}	由输入滤波器进行抑制的尖峰的脉冲持续时间	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.17.3 I²C 时序图

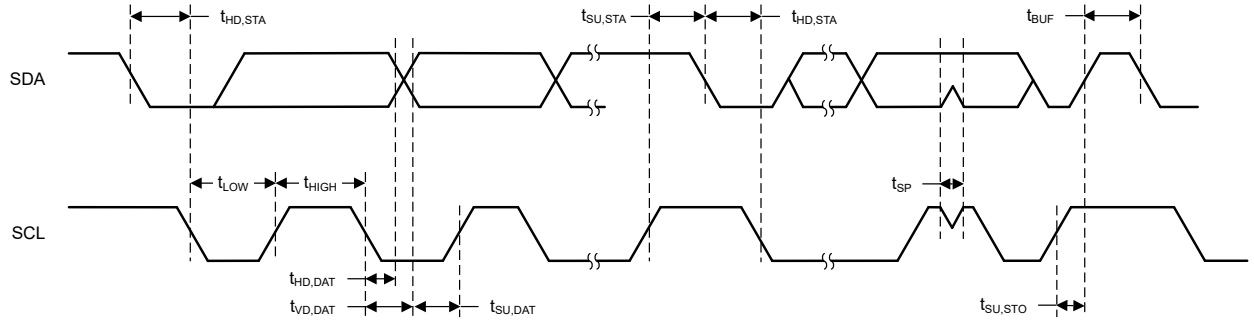


图 7-3. I2C 时序图

7.18 SPI

7.18.1 SPI

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
SPI						
f_{SPI}	SPI 时钟频率	时钟最大速度 >= 32MHz 1.62V < VDD < 3.6V 外设或控制器模式			16	MHz
f_{SPI}	SPI 时钟频率	时钟最大速度 >= 48MHz 1.62V < VDD < 2.7V 具有高速 IO 的外设或控制器模式			24	MHz
f_{SPI}	SPI 时钟频率	时钟最大速度 >= 64MHz 2.7V < VDD < 3.6V 具有高速 IO 的外设或控制器模式			32	MHz
DC_{SCK}	SCK 占空比		40	50	60	%
控制器						
$t_{SCLK_H/L}$	SCLK 高电平或低电平时间		(tSPI/2) - 1	tSPI/2	(tSPI/2) + 1	ns
$t_{CS.LEAD}$	CS 提前时间，CS 有效至时钟	SPH=0	1 个 SPI 时钟			
$t_{CS.LEAD}$	CS 提前时间，CS 有效至时钟	SPH=1	1/2 个 SPI 时钟			
$t_{CS.LAG}$	CS 滞后时间，最后一个时钟到 CS 无效	SPH=0	1/2 个 SPI 时钟			
$t_{CS.LAG}$	CS 滞后时间，最后一个时钟到 CS 无效	SPH=1	1 个 SPI 时钟			
$t_{CS.ACC}$	CS 访问时间，CS 有效到 PICO 数据输出				1/2 个 SPI 时钟	
$t_{CS.DIS}$	CS 禁用时间，CS 无效到 PICO 高阻抗				1 个 SPI 时钟	
$t_{SU.CI}$	POCI 输入数据设置时间(1)	2.7 < VDD < 3.6V，延迟采样已启用	2.86			ns
$t_{SU.CI}$	POCI 输入数据设置时间(1)	1.62 < VDD < 2.7V，延迟采样已启用	11.5			ns
$t_{SU.CI}$	POCI 输入数据设置时间(1)	2.7 < VDD < 3.6V，无延迟采样	28			ns
$t_{SU.CI}$	POCI 输入数据设置时间(1)	1.62 < VDD < 2.7V，无延迟采样	37			ns
$t_{HD.CI}$	POCI 输入数据保持时间	延迟采样已启用	22			ns
$t_{HD.CI}$	POCI 输入数据保持时间	无延迟采样	0			ns
$t_{VALID.CO}$	PICO 输出数据有效时间(2)				8	ns

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{HD.CO}$	PICO 输出数据保持时间(3)		0			ns
外设						
$t_{CS.LEAD}$	CS 提前时间，CS 有效至时钟		11			ns
$t_{CS.LAG}$	CS 滞后时间，最后一个时钟到 CS 无效		0			ns
$t_{CS.ACC}$	CS 访问时间，CS 有效到 POCI 数据输出				44	ns
$t_{CS.DIS}$	CS 禁用时间，CS 无效到 POCI 高阻抗				44	ns
$t_{SU.PI}$	PICO 输入数据设置时间		14.5			ns
$t_{HD.PI}$	PICO 输入数据保持时间		3.1			ns
$t_{VALID.PO}$	POCI 输出数据有效时间(2)	2.7V < VDD < 3.6V			29	ns
$t_{VALID.PO}$	POCI 输出数据有效时间(2)	1.62V < VDD < 2.7V			31	ns
$t_{HD.PO}$	POCI 输出数据保持时间(3)		5			ns

(1) 启用延迟采样功能后，POCI 输入数据设置时间可得到完全补偿。
(2) 指定输出更改 SCLK 时钟边沿后将下一个有效数据驱动到输出所需的时间。
(3) 指定输出更改 SCLK 脉冲边沿后输出上数据保持有效的时长。

7.18.2 SPI 时序图

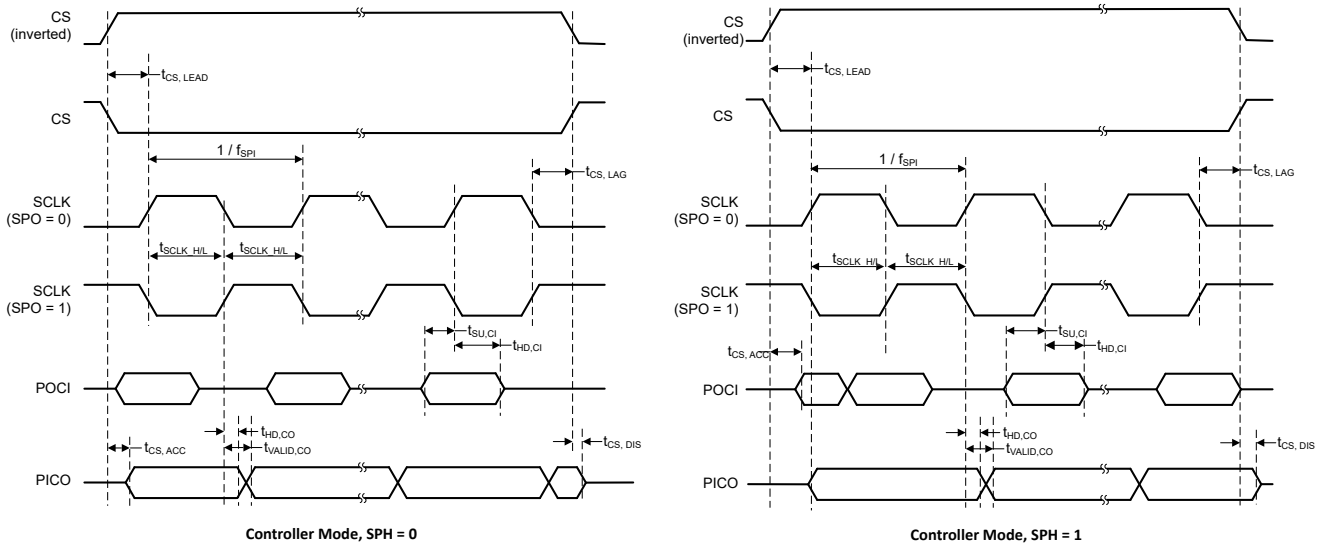


图 7-4. SPI 时序图 - 控制器模式

ADVANCE INFORMATION

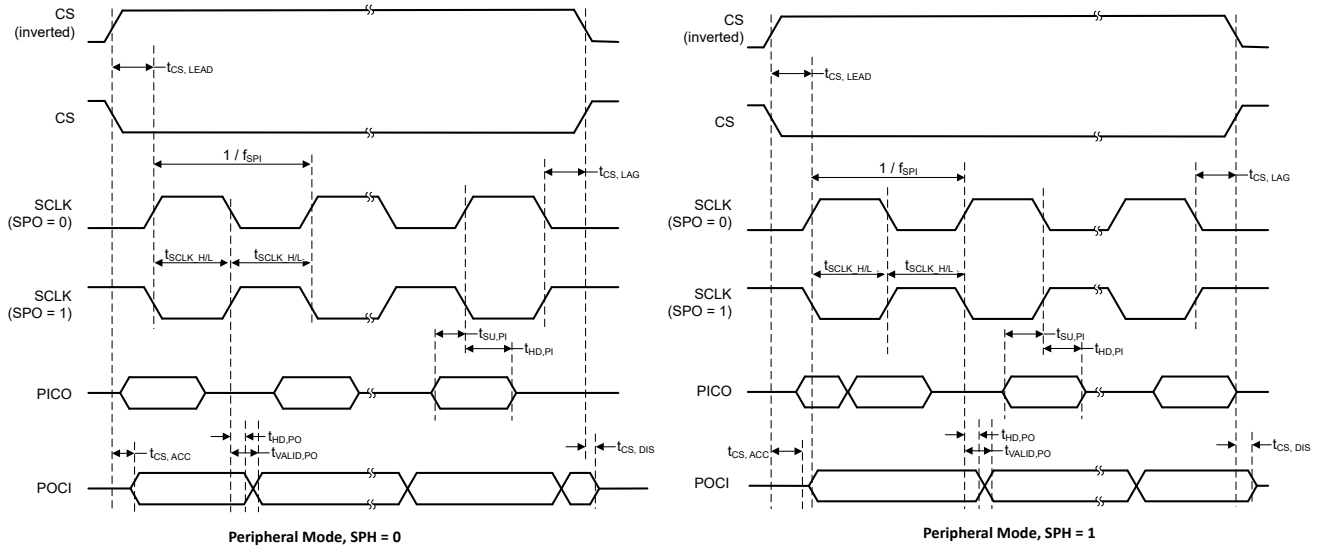


图 7-5. SPI 时序图 - 外设模式

7.19 UART

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f_{UART}	UART 输入时钟频率	电源域 1 中的 UART			80	MHz
f_{UART}	UART 输入时钟频率	电源域 0 中的 UART			40	MHz
f_{BITCLK}	BITCLK 时钟频率（等于波特率，单位为 MBaud）	电源域 1 中的 UART			10	MHz
f_{BITCLK}	BITCLK 时钟频率（等于波特率，单位为 MBaud）	电源域 0 中的 UART			5	MHz
t_{SP}	由输入滤波器进行抑制的尖峰的脉冲持续时间	AGFSELx = 0		6		ns
		AGFSELx = 1		14	35	ns
		AGFSELx = 2		22	60	ns
		AGFSELx = 3		35	90	ns

7.20 TIMx

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{res}	计时器分辨率时间	电源域 1 中的 TIMx，$f_{TIMxCLK}$ = 80MHz	12.5			ns
		电源域 0 中的 TIMx，$f_{TIMxCLK}$ = 40MHz	25			ns
			1			$t_{TIMxCLK}$

7.21 仿真和调试

7.21.1 SWD 时序

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f_{SWD}	SWD 频率				10	MHz

Copyright © 2026 Texas Instruments Incorporated

8 详细说明

以下各节介绍了构成此数据表中器件的所有元件。这些器件中集成的外设由软件通过存储器映射寄存器 (MMR) 进行配置。有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的相应章节。

8.1 功能方框图

图 8-1 展示了器件的详细功能方框图。

ADVANCE INFORMATION

ADVANCE INFORMATION

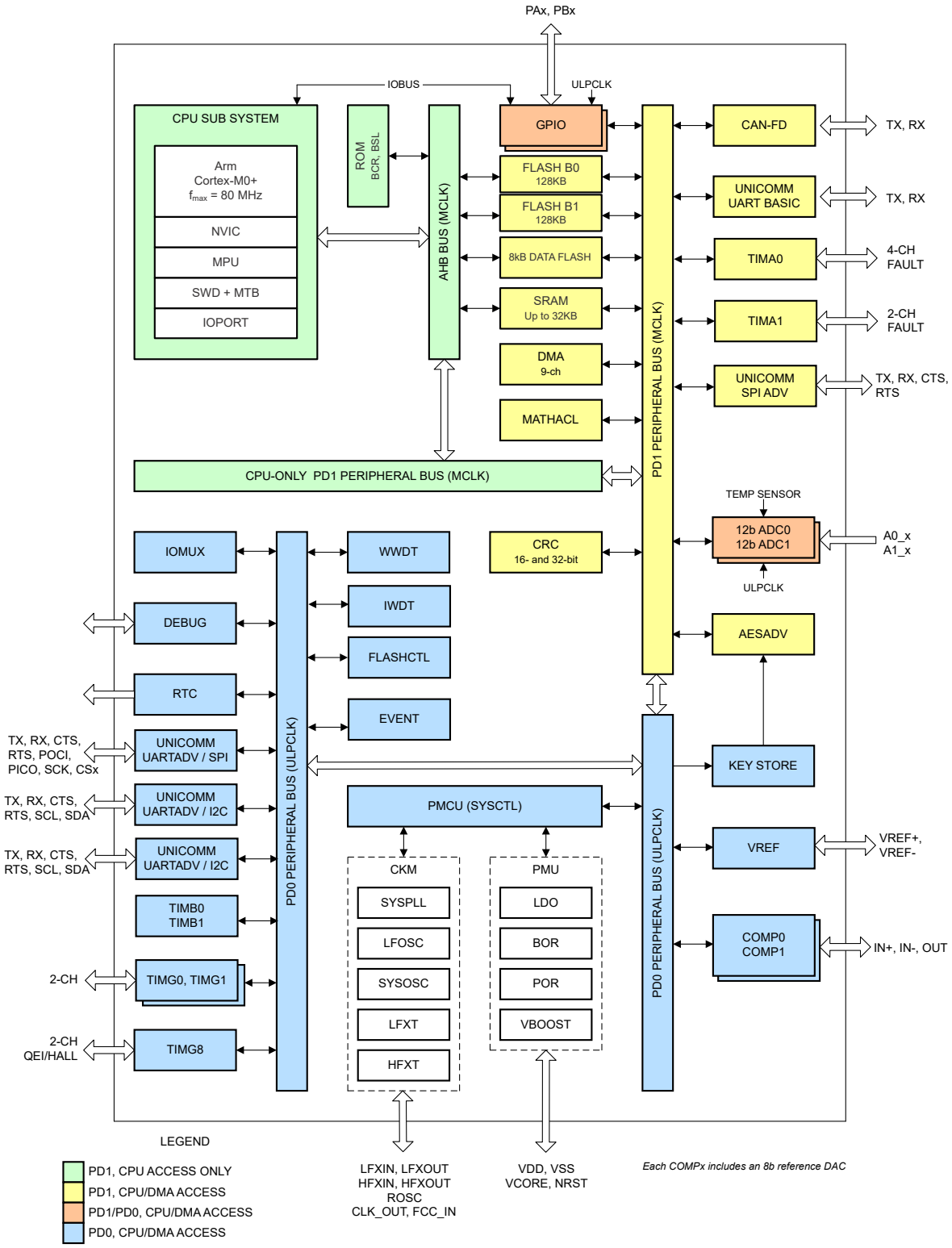


图 8-1. MSPM0G3218-Q1 功能框图

Copyright © 2026 Texas Instruments Incorporated

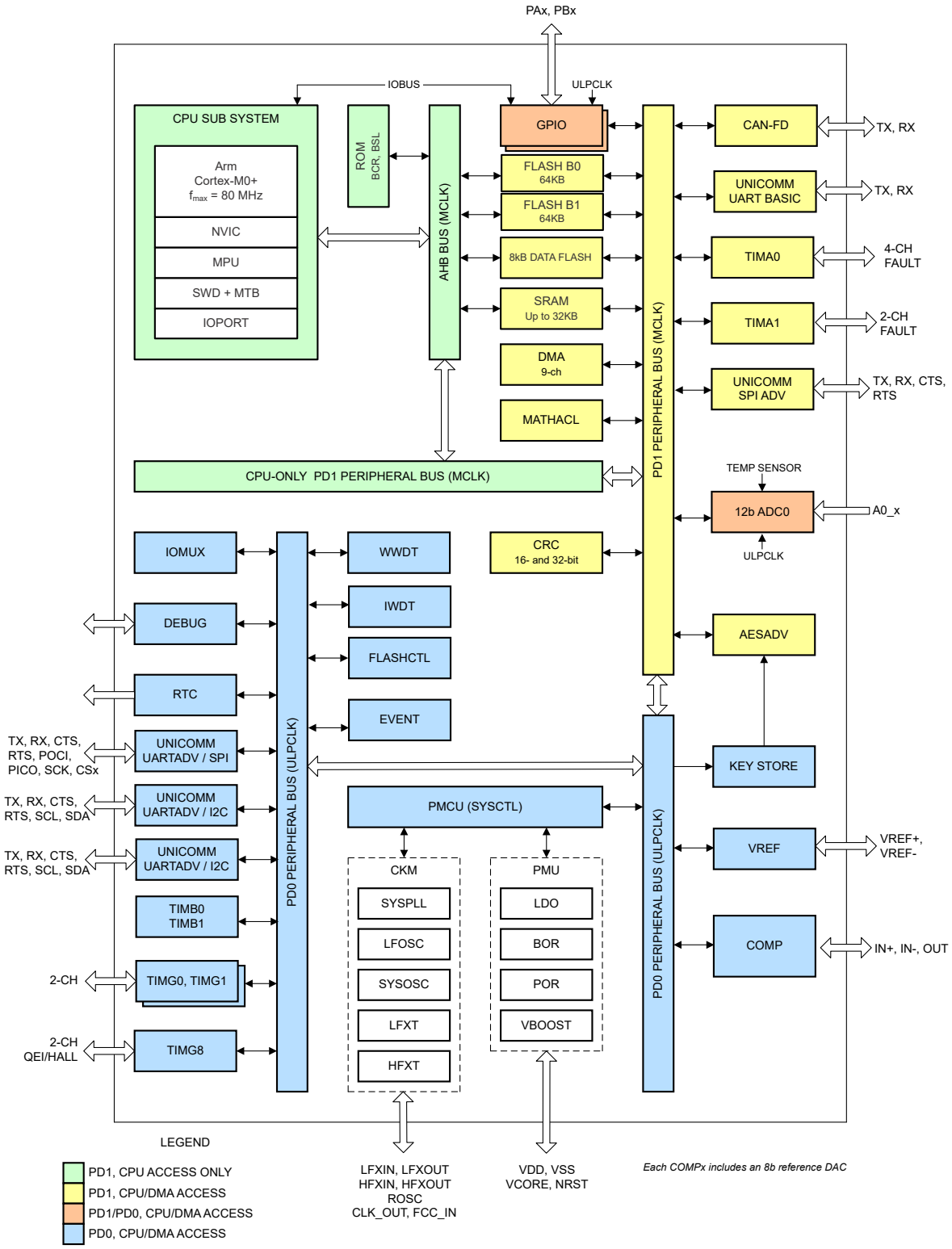


图 8-2. MSPM0G3207-Q1 功能框图

ADVANCE INFORMATION

ADVANCE INFORMATION

8.2 CPU

CPU 子系统 (MCPUSS) 实现了 ARM Cortex-M0+ CPU、指令预取/高速缓存、系统计时器、内存保护单元以及中断管理功能。ARM Cortex-M0+ 是一款成本优化的 32 位 CPU，可为嵌入式应用提供高性能和低功耗。该 CPU 子系统的主要特性包括：

- ARM Cortex-M0+ CPU 支持 32kHz 至 80MHz 的时钟频率
  - 带有单周期 32x32 乘法指令的 ARMv6-M Thumb 指令集（小端字节序）
  - 通过 ARM 单周期 IO 端口对 GPIO 寄存器进行单周期访问
- 用于改进顺序代码执行的预取逻辑和具有 4 个 64 位高速缓存行的指令缓存
- 具有 24 位递减计数器和自动重新加载功能的系统计时器 (SysTick)
- 具有 8 个可编程区域的存储器保护单元 (MPU)
- 具有 4 个可编程优先级和尾链的嵌套矢量中断控制器 (NVIC)
- 用于扩展总中断源的中断组，具有用于实现低中断延迟的跳转索引

8.3 工作模式

MSPM0G MCU 提供五种主要工作模式（电源模式），可根据应用要求优化器件功耗。这些模式按照功耗从高到低排列如下：RUN、SLEEP、STOP、STANDBY 和 SHUTDOWN。CPU 会在运行模式中执行代码。外设中断事件可将器件从睡眠、停止或待机模式唤醒至运行模式。关断模式会完全禁用内部内核稳压器，以更大限度地降低功耗，并且只能通过 NRST、SWD 或某些 IO 上的逻辑电平匹配来实现唤醒。运行、睡眠、停止和待机模式还包括多个可配置的策略选项（例如，RUN.x），用于平衡性能与功耗。

为了进一步平衡性能和功耗，MSPM0G 器件实现了两个电源域：PD1（用于 CPU、存储器和高性能外设）和 PD0（用于低速、低功耗外设）。在运行和睡眠模式下，PD1 始终通电，但在所有其他模式下会禁用。PD0 在运行、睡眠、停止和待机模式下始终通电。PD1 和 PD0 在关断模式下都会禁用。

8.3.1 不同工作模式下的功能（MSPM0Gx218、MSPM0Gx207、MSPM0G122x）

表 8-1 提供了每种工作模式下支持的功能。

功能键：

- **EN**：该功能会在指定的模式下启用。
- **DIS**：该功能会在指定的模式下被禁用（时钟或电源门控），但该功能的配置会保留。
- **OPT**：该功能在指定的模式下是可选的，如果配置为启用，则保持启用状态。
- **NS**：该功能在指定的模式下不会自动禁用，但不受支持。
- **OFF**：该功能在指定的模式下会完全断电，不会保留任何配置信息。从关闭状态唤醒时，所有模块寄存器必须由应用软件重新配置为所需的设置。

表 8-1. 不同工作模式下支持的功能

工作模式		RUN			SLEEP			STOP			STANDBY		关断
		RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP1	STOP2	STANDBY0	STANDBY1	
振荡器	SYSOSC	EN		DIS	EN		DIS	OPT(1)	EN	DIS	DIS		关断
	LFOSC 或 LFXT	EN（LFOSC 或 LFXT）											关断
	HFXT	OPT	DIS		OPT	DIS		DIS			DIS		关断
	SYSPLL	OPT	DIS(4)		OPT	DIS(4)		DIS(4)			DIS(4)		关断

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 不同工作模式下支持的功能（续）

工作模式		RUN			SLEEP			STOP			STANDBY		关断
		RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP1	STOP2	STANDBY0	STANDBY1	
时钟	CPUCLK	80MHz	32kHz		DIS								关断
	MCLK 至 PD1	80MHz	32kHz		80MHz	32kHz		DIS					关断
	ULPCLK 至 PD0	40MHz	32kHz		40MHz	32kHz		4MHz (1)	4MHz	32kHz	32kHz	DIS	关断
	ULPCLK 至 TIMG0/8	40MHz	32kHz		40MHz	32kHz		4MHz (1)	4MHz	32kHz	32kHz	32kHz (2)	关断
	RTCCLK	32kHz											关断
	MFCLK	OPT	DIS		OPT	DIS		OPT		DIS	DIS		关断
	MFPCLK	OPT	DIS		OPT	DIS		OPT		DIS	DIS		关断
	LFCLK 到 PD0/1	32kHz										DIS	关断
	LFCLK 到 TIMG0/8	32kHz										32kHz (2)	关断
	LFCLK 监测器	OPT											关断
	MCLK 监测器	OPT										DIS	关断
PMU	POR 监测器	EN											
	BOR 监测器	EN											关断
	内核稳压器	全驱动						减速驱动			低驱动		关断
核心功能	CPU	EN			DIS								关断
	DMA	OPT						DIS（支持的触发器）					关断
	闪存	EN						DIS					关断
	SRAM	EN						DIS					关断
PD1 外设	MATHACL	OPT						关断					关断
	MCAN0	OPT	关断		OPT	关断		关断					关断
	TIMA0/1	OPT						关断					关断
	AESADV	OPT						关断					关断
	CRC-P	OPT						DIS					关断
	UC2	OPT						DIS					关断
	UC9	OPT						DIS					关断
PD0 外设	GPIOA/B(3)	OPT										OPT(2)	关断
	TIMG0/8	OPT											关断
	TIMB0/1	OPT											关断
	UC0	OPT										OPTOPT(2)	关断
	UC4	OPT										OPTOPT(2)	关断
	UC5	OPT										OPTOPT(2)	OPT
	WWDT0/1	OPT										DIS	关断
	IWDT	OPT											关断
	RTC_B	OPT											关断
	密钥库	OPT											关断

ADVANCE INFORMATION

表 8-1. 不同工作模式下支持的功能（续）

工作模式		RUN			SLEEP			STOP			STANDBY		关断
		RUN0	RUN1	RUN2	SLEEP0	SLEEP1	SLEEP2	STOP0	STOP1	STOP2	STANDBY0	STANDBY1	
模拟	VREF1	OPT											关断
	VREF2	OPT								NS			关断
	ADC0/1(3)	OPT								NS（支持的触发器）			关断
	COMP0/1	OPT	OPT (ULP)		OPT	OPT (ULP)		OPT		OPT (ULP)			关断
	温度传感器	OPT									关断		关断
IOMUX 和 IO 唤醒		EN											具有唤醒功能的 DIS
唤醒源		不适用			任何 IRQ			PD0 IRQ					IOMUX、NRST、SWD

(1) 如果从 RUN1 进入 STOP0（SYSOSC 启用，但 MCLK 来自 LFCLK），则 SYSOSC 保持启用状态，就像它在 RUN1 中一样，ULPCLK 保持在 32kHz，就像它在 RUN1 中一样。如果从 RUN2 进入 STOP0（SYSOSC 禁用并且 MCLK 来自 LFCLK），则 SYSOSC 保持禁用状态，就像它在 RUN2 中一样，ULPCLK 保持在 32kHz，就像它在 RUN2 中一样。

(2) 当对待机模式使用 STANDBY1 策略时，只有特定外设（TIMG0、TIMG8 和 RTC）会有时钟。其他 PD0 外设可在发生外部活动时生成异步快速时钟请求，但不会主动配备时钟。

(3) 对于 ADCx 和 GPIOx 端口，数字逻辑位于 PD0 中，寄存器接口位于 PD1 中。这些外设支持在 PD1 处于活动状态时进行快速单周期寄存器访问，并且还在低至 PD0 仍处于活动状态的待机模式下进行基本操作。

(4) SYSPLL 不会自动禁用，需要通过 SYSCTL 寄存器中的 HSCLKEN.SYSPLLEN 字段手动禁用来降低功耗。

8.4 电源管理单元 (PMU)

电源管理单元 (PMU) 为器件生成内部稳压内核电源，并对外部电源 (VDD) 进行监控。PMU 还包含 PMU 本身以及模拟外设所使用的带隙电压基准。PMU 的主要特性包括：

- 上电复位 (POR) 电源监测器
- 欠压复位 (BOR) 电源监测器，具有使用三个可编程阈值的预警功能
- 支持运行、睡眠、停止和待机工作模式的内核稳压器，可在性能与功耗之间实现动态平衡
- 受奇偶校验保护的修整，可在电源管理修整损坏时立即生成上电复位 (POR)

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“PMU”一章。

8.5 时钟模块 (CKM)

时钟模块提供以下振荡器：

- **LFOSC**：内部低频振荡器 (32KHz)
- **SYSOSC**：内部高频振荡器（采用出厂调整时为 4MHz 或 32MHz，采用用户调整时为 16MHz 或 24MHz）
- **LFXT/LFCKIN**：低频外部晶体振荡器或数字时钟输入 (32KHz)
- **HFXT/HFCKIN**：高频外部晶体振荡器或数字时钟输入（4MHz 至 48MHz）
- **SYSPLL**：具有 3 个输出的系统锁相环（32MHz 至 80MHz）

以下时钟由时钟模块分配，供处理器、总线和外设使用：

- **MCLK**：PD1 外设的主系统时钟，源自 SYSOSC、LFCLK 或 HSCLK，在运行和睡眠模式下有效
- **CPUCLK**：处理器的时钟（源自 MCLK），在运行模式下有效
- **ULPCLK**：PD0 外设的超低功耗时钟，在运行、睡眠、停止和待机模式下有效
- **MFCLK**：外设的 4MHz 固定中频时钟，在运行、睡眠和停止模式下可用
- **LFCLK**：外设或 MCLK 的 32kHz 固定低频时钟，在运行、睡眠、停止和待机模式下有效
- **ADCCLK**：ADC 时钟，在运行、睡眠和停止模式下可用

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

- **CLK_OUT**：用于在外部输出时钟，在运行、睡眠、停止和待机模式下可用
- **HFCLK**：源自 HFXT 或 HFCLK_IN 的高频时钟，在运行和睡眠模式下可用
- **HSCLK**：源自 HFCLK 或 SYSPLL 的高速时钟，在运行和睡眠模式下可用
- **CANCLK**：CAN 功能时钟，源自 HFCLK 或 SYSPLL

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“CKM”一章。

8.6 DMA

直接存储器存取 (DMA) 控制器支持将数据从一个存储器地址移到另一个存储器地址，而无需 CPU 干预。例如，DMA 可用于将数据从 ADC 转换存储器移动到 SRAM。通过使 CPU 保持在低功耗模式，而无需将其唤醒来在外设之间移动数据，DMA 降低了系统功耗。

这些器件中的 DMA 支持以下重要特性：

- 9 个独立的 DMA 传输通道
  - 5 个全功能通道 (DMA0-DMA4)，支持重复传输模式
  - 4 个基本通道 (DMA5-DMA8)，支持单次传输模式
- 可配置的 DMA 通道的优先级
- 字节（8 位）、短字（16 位）、字（32 位）、长字（64 位）和超长字（128 位）或混合字节和字传输能力
- 传输计数器块大小支持传输高达 64k 的任何类型数据
- 可配置的 DMA 传输触发器选择
- 为其他通道提供服务的活动通道中断
- 乒乓缓冲器架构的提前中断生成
- 在另一个通道上的活动完成时级联通道
- 支持数据重组的跨步模式，例如三相计量应用
- 收集模式

表 8-2. DMA 特性

特性	FULL	基础型
通道编号	0、1、2、3、4	5、6、7、8
中继器模式	是	-
表格和填充模式	是	-
收集模式	是	-
预请求	是	-
自动使能	是	是
超长整型 (128 位) 传输	是	是
跨步模式	是	是
级联通道支持	是	是

表 8-3 列出了使用 DMA 存储器映射寄存器中的 DMATCTL.DMATSEL 控制位配置的可用 DMA 触发。

表 8-3. DMA 触发映射

DMACTL.DMATSEL	触发源
0	软件
1	通用订阅者 (FSUB_0)
2	通用订阅者 (FSUB_1)
3	AESADV 发布者 1
4	AESADV 发布者 2
5	S0U2 RX 发布者 1

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

表 8-3. DMA 触发映射（续）

DMACTL.DMATSEL	触发源
6	S0U2 TX 发布者 2
7	S0U3 UART RX 发布者 1
8	S0U3 TX 发布者 2
9	S0U4 RX 发布者 1
10	S0U4 TX 发布者 1
11	S1U0 RX 发布者 1
12	S1U0 TX 发布者 2
13	S1U2 RX 发布者 1
14	S1U2 TX 发布者 2
15	ADC0 DMA 触发
16	ADC1 DMA 触发

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“DMA”一章。

8.7 事件

事件管理器将数字事件从一个实体（例如外设）传输到另一个实体（例如，另一个外设、DMA 或 CPU）。事件管理器通过一组定义的事件发布者（发生器）和订阅者（接收器）实现事件传输，这些事件发布者和订阅者通过包含静态路由和可编程路由组合的事件结构进行互连。

事件管理器传输的事件包括：

- 作为中断请求 (IRQ) 传输到 CPU 的外设事件（静态事件）
  - 示例：RTC 中断会发送到 CPU
- 作为 DMA 触发器传输到 DMA 的外设事件（DMA 事件）
  - 示例：传输到 DMA、请求 DMA 传输的 UART 数据接收触发器
- 传输到另一个外设以直接触发硬件中操作的外设事件（通用事件）
  - 示例：TIMx 计时器外设将周期性事件发布到 ADC 订阅者端口，ADC 使用该事件触发采样开始

有关更多信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“事件”一章。

表 8-4. 通用事件通道

通用路由是点对点 (1:1) 路由或一分二 (1:2) 分离器路由，其中发布事件的外设配置为使用多个可用的通用路由通道之一来将事件发布到另一个实体（如果是分离器路由，则为多个实体）。在这里，实体可以是另一个外设、通用 DMA 触发事件或通用 CPU 事件。

CHANID	通用路由通道选择	通道类型
0	未选择通用事件通道	不适用
1	选择了通用事件通道 1	1 : 1
2	选择了通用事件通道 2	1 : 1
3	选择了通用事件通道 3	1 : 1
4	选择了通用事件通道 4	1 : 1
5	选择了通用事件通道 5	1 : 1
6	选择了通用事件通道 6	1 : 1
7	选择了通用事件通道 7	1 : 1

Copyright © 2026 Texas Instruments Incorporated

表 8-4. 通用事件通道（续）

通用路由是点对点 (1:1) 路由或一分二 (1:2) 分离器路由，其中发布事件的外设配置为使用多个可用的通用路由通道之一来将事件发布到另一个实体（如果是分离器路由，则为多个实体）。在这里，实体可以是另一个外设、通用 DMA 触发事件或通用 CPU 事件。

CHANID	通用路由通道选择	通道类型
8	选择了通用事件通道 8	1：1
9	选择了通用事件通道 9	1：1
10	选择了通用事件通道 10	1：1
11	选择了通用事件通道 11	1：1
12	选择了通用事件通道 12	1：2（分离器）
13	选择了通用事件通道 13	1：2（分离器）
14	选择了通用事件通道 14	1：2（分离器）
15	选择了通用事件通道 15	1：2（分离器）

8.8 存储器

8.8.1 内存组织

“内存组织”表总结了器件的内存映射。有关存储器区域详情的更多信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的*平台存储器映射* 部分。

表 8-5. 存储器组织 - MSPM0G3218-Q1 和 MSPM0G3207-Q1

存储器区域	子区域	MSPM0G3207-Q1	MSPM0G3218-Q1
代码（闪存组 0）	MAIN ECC 已校正	64KB	128KB
		0x0000.0000 至 0x0000.FFFF	0x0000.0000 至 0x0001.FFFF
	MAIN ECC 未校正	0x0040.0000 至 0x0040.FFFF	0x0040.0000 至 0x0041.FFFF
	闪存 ECC 代码	0x4180.0000 至 0x4180.FFFF	0x4180.0000 至 0x4181.FFFF
代码（闪存组 1）	MAIN ECC 已校正	64KB	128KB
		0x0001.0000 至 0x0001.FFFF	0x0002.0000 至 0x0003.FFFF
	MAIN ECC 未校正	0x0041.0000 至 0x0041.FFFF	0x0042.0000 至 0x0043.FFFF
	闪存 ECC 代码	0x4181.0000 至 0x4181.FFFF	0x4182.0000 至 0x4183.FFFF
数据闪存组	数据闪存 ECC 已校正	8KB	8KB
		0x41D0.0000 至 0x41D0.1FFF	0x41D0.0000 至 0x41D0.1FFF
	未选中数据闪存	0x41E0.0000 至 0x41E0.1FFF	0x41E0.0000 至 0x41E0.1FFF
	数据闪存 ECC 代码	0x41F0.0000 至 0x41F0.1FFF	0x41F0.0000 至 0x41F0.1FFF
SRAM	SRAM ECC 已校正	32KB	32KB
		0x2000.0000 至 0x2000.7FFF	0x2000.0000 至 0x2000.7FFF
	SRAM ECC 代码	0x2030.0000 至 0x2030.7FFF	0x2030.0000 至 0x2030.7FFF

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 8-5. 存储器组织 - MSPM0G3218-Q1 和 MSPM0G3207-Q1（续）

存储器区域	子区域	MSPM0G3207-Q1	MSPM0G3218-Q1
外设	外设	0x4000.0000 至 0x40FF.FFFF	0x4000.0000 至 0x40FF.FFFF
	NONMAIN 已校正(1)	2KB	2KB
		0x41C0.0000 至 0x41C0.07FF	0x41C0.0000 至 0x41C0.07FF
	NONMAIN 未校正(1)	0x41C1.0000 至 0x41C1.07FF	0x41C1.0000 至 0x41C1.07FF
	NONMAIN ECC 代码(1)	0x41C2.0000 至 0x41C2.07FF	0x41C2.0000 至 0x41C2.07FF
	出厂校正	512Bytes	512Bytes
		0x41C4.0000 至 0x41C4.01FF	0x41C4.0000 至 0x41C4.01FF
	出厂未校正	0x41C5.0000 至 0x41C5.01FF	0x41C5.0000 至 0x41C5.01FF
	工厂 ECC 代码	0x41C6.0000 至 0x41C6.01FF	0x41C6.0000 至 0x41C6.01FF
子系统		0x6000.0000 至 0x7FFF.FFFF	0x6000.0000 至 0x7FFF.FFFF
系统 PPB		0xE000.0000 至 0xE00F.FFFF	0xE000.0000 至 0xE00F.FFFF

1. 如果未使用有效配置对该区域进行重新编程，则修改 NONMAIN 配置区域可能会导致器件永久锁定。有效配置必须包含准确的 CRC 值和适当的调试策略，以保持对器件的访问权限。

8.8.2 外设汇总

表 8-6. 外设汇总

外设名称	基址	尺寸
ADC0	0x40004000	0x00002000
ADC1	0x40006000	0x00002000
COMP0	0x40008000	0x00001F00
COMP1	0x4000A000	0x00001F00
VREF	0x40030000	0x00001F00
WWDT0	0x40080000	0x00001500
WWDT1	0x40082000	0x00001500
TIMG0	0x40084000	0x00001F00
TIMG1	0x40086000	0x00001F00
TIMG8	0x40090000	0x00001F00
LFSS	0x40094000	0x00001600
GPIOA	0x400A0000	0x00001F00
GPIOB	0x400A2000	0x00001F00
KEYSTORECTL	0x400AC000	0x00002000
SYSCTL	0x400AF000	0x00003100
TIMB0	0x400B8000	0x00001C00
TIMB1	0x400BA000	0x00001C00
DEBUGSS	0x400C7000	0x00001F00
EVENTLP	0x400C9000	0x00003000
FLASHCTL	0x400CD000	0x00002000
CPUSS	0x40400000	0x00001F00
MATHACL	0x40410000	0x00001500
WUC	0x40424000	0x00000500
IOMUX	0x40428000	0x00002000

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 8-6. 外设汇总（续）

外设名称	基址	尺寸
DMA	0x4042A000	0x00001F00
CRCP0	0x40440000	0x00002000
AESADV	0x40442000	0x00001200
CANFD0	0x40508000	0x00008000
ADC0_SVT	0x4055A000	0x00001000
ADC1_SVT	0x4055C000	0x00001000
TIMA0	0x40860000	0x00001F00
TIMA1	0x40862000	0x00001F00
UC4_UART	0x40A04000	0x00001500
UC0_UART	0x40A06000	0x00001500
UC5_UART	0x40A08000	0x00001500
UC0_I2CC	0x40A26000	0x00001500
UC5_I2CC	0x40A28000	0x00001500
UC0_I2CT	0x40A46000	0x00001500
UC5_I2CT	0x40A48000	0x00001500
UC4_SPI	0x40A64000	0x00001200
UC4	0x40A84000	0x00001C00
UC0	0x40A86000	0x00001C00
UC5	0x40A88000	0x00001C00
SPG0	0x40A9F000	0x00001C00
UC9_UART	0x40B04000	0x00001500
UC2_SPI	0x40B60000	0x00001200
UC2	0x40B80000	0x00000A00
UC9	0x40B84000	0x00000A00

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

8.8.3 外设中断向量

表 8-7 显示了此器件中每个外设的 IRQ 编号和中断组号。

表 8-7. 中断向量编号

外设名称	NVIC IRQ	组 IIDX
WWDT0	0	0
WWDT1	0	1
DEBUGSS	0	2
FLASHCTL	0	3
EVENT SUB PORT 0	0	4
EVENT SUB PORT 1	0	5
SYSCTL	0	6
GPIOA	1	0
GPIOB	1	1
COMP0	1	2
COMP1	1	3
TIMG8	2	-
ADC0	4	-
ADC1	5	-
CANFD0	6	-
UC2	9	-
UC3	13	-
UC0_0	15	-
TIMG0	16	-
TIMA0	18	-
TIMA1	19	-
TIMB0	20	-
TIMB1	21	-
TIMG1	22	-
UC0_1	24	-
UC5	25	-
AESADV	28	-
RTC_B	30	-
DMA0	31	-

8.9 闪存存储器

该器件提供了双组非易失性闪存存储器（总共高达 256kB）和单独的数据闪存组（MSPM0Gx218 和 MSPM0Gx207 中 8kB），来存储可执行程序代码和应用数据。

该闪存的主要特性包括：

- 具有 single-bit 错误纠正和双位错误检测功能的硬件 ECC 保护（编码和解码）
- 在整个推荐电源电压范围内支持电路内编程和擦除操作
- 1kB 小扇区大小（最小擦除分辨率为 1kB）
- 在闪存存储器的 32 个选定扇区上最多可执行 100,000 个编程/擦除周期，在其余闪存存储器上最多可执行 10,000 个编程/擦除周期（闪存存储器为 32kB 的器件在整个闪存存储器上支持 100,000 个周期）
- 用于系统内无线 (OTA) 固件更新的闪存组地址交换

有关闪存的完整说明，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 的“NVM”一章。

Copyright © 2026 Texas Instruments Incorporated

8.10 SRAM

MSPM0 MCU 包含一个低功耗高性能 SRAM 存储器，可在器件支持的 CPU 频率范围内实现零等待状态访问。MSPM0 MCU 还提供具有硬件 ECC 或奇偶校验、高达 32KB 的 SRAM。SRAM 存储器可用于存储易失性信息，例如调用栈、堆、全局数据和代码。SRAM 存储器内容在 RUN、SLEEP、STOP 和 STANDBY 工作模式下完全保留，并在关断模式下丢失。

提供了写入/执行互斥机制，以允许应用程序将 SRAM 分区为两个部分：读取/写入 (RW) 分区和读取/执行 (RX) 分区。RW 分区占用 SRAM 地址空间的低位部分，而 RX 分区占用 SRAM 地址空间的高位部分。需要配置 SYSCTL 中的 SRAMBOUNDARY 寄存器来设置这些分区。在将可执行代码放入 SRAM 时写保护很有用，因为它可以针对 CPU 或 DMA 无意覆盖代码提供一定程度的保护。将代码放置在 SRAM 中可以通过实现零等待状态操作和降低功耗来提高关键循环的性能。通过阻止自修改代码执行能力，阻止从 RW 分区执行代码功能提高了安全性。

8.11 GPIO

通用输入/输出 (GPIO) 外设为用户提供了一种通过器件引脚写入数据和读取数据的方法。通过使用端口 A 和端口 B GPIO 外设，这些器件支持多达 60 个 GPIO 引脚。

GPIO 模块的主要特性包括：

- 从 CPU 访问 MMR 的 0 等待状态
- 无需在软件中使用“读取、修改、写入”结构，即可设置/清除/切换多个位
- 采用“具有唤醒功能的标准配置”驱动功能的 GPIO 能够将器件从 SHUTDOWN 模式唤醒
- 用户控制的输入滤波
- GPIO“快速唤醒”功能支持通过任意 GPIO 端口从 STOP 和 STANDBY 模式进行低功耗唤醒

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“GPIO”一章。

8.12 IOMUX

IOMUX 外设支持 IO 焊盘配置并控制进出器件引脚的数字数据流。IOMUX 的主要特性包括：

- IO 焊盘配置寄存器支持可编程驱动强度、速度、上拉或下拉等
- 数字引脚多路复用允许将多个外设信号路由到同一个 IO 焊盘
- 引脚功能和能力由用户使用 PINCM 寄存器进行配置

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“IOMUX”一章。

8.13 ADC

这些器件中的 12 位模数转换器 (ADC) 模块（ADC0 和 ADC1）都支持采用单端输入和同步采样操作的快速 12 位转换。

ADC 模块特性包括：

- 1.6Msps 下具备 12 位输出分辨率
- 硬件均值计算可在 100ksps 下实现 14 位有效分辨率
- 总共多达 27 个外部输入通道
- 24 个独立的结果存储寄存器（每个 ADC 实例 12 个）
- 用于温度检测和电源监控的内部通道
- 软件可选基准：
  - 可配置的 1.4V 和 2.5V 内部共享基准电压 (VREF1)

    （VREF+/- 引脚上需要去耦电容器）以支持 1.6Msps 的速率
  - 可将仅内部基准电压 (VREF2) 配置为 1.4V 和 2.5V 以支持 0.9Msps 的速率
  - MCU 电源电压 (VDD)
  - 通过 VREF+/- 引脚为 ADC 提供外部基准
- 在 RUN、SLEEP 和 STOP 模式下运行

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 8-8 展示了器件中的 ADC 通道映射。

表 8-8. ADC 通道映射

CHANNEL[0:8]	信号名称(2)		通道[9:14,30,31]	信号名称(1)(2)	
	ADC0	ADC1		ADC0	ADC1
0	A0_0	A1_0	9	A0_9	-
1	A0_1	A1_1	10	-	A1_10
2	A0_2	A1_2	11	*温度传感器*	A1_11
3	A0_3	A1_3	12	A0_12	A1_12
4	A0_4	A1_4	13	A0_13	A1_13
5	A0_5	A1_5	14	A0_14	A1_14
6	A0_6	A1_6	30	VREF1	VREF2
7	A0_7	A1_7	31	*电源/电池监测器*	*电源/电池监测器*
8	A0_8	A1_8			

(1) *以斜体显示的* 信号名称表示器件的纯内部信号。这些信号用于内部外设互连。
(2) 有关器件模拟连接的更多信息，请参阅*器件模拟连接*

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“ADC”一章。

8.14 温度传感器

温度传感器提供随器件温度呈线性变化的电压输出。温度传感器输出在内部连接到其中一个 ADC 输入通道，以实现温度数字转换。

出厂常量存储器区域中提供了温度传感器的器件特定单点校准值。该校准值表示与在 12 位模式下使用 1.4V 内部 VREF 在出厂修整温度 (TS_{TRIM}) 下测量的温度传感器相对应的 ADC 转换结果（采用 ADC 代码格式）。

上述测量的 ADC 和 VREF 配置如下：RES=0（12 位模式），VRSEL=2h（内部基准），BUFCONFIG=1h (1.4V VREF)，ADC t_{Sample}=10µs。此校准值可与温度传感器温度系数 (TS_c) 一起使用，以估算器件温度。

有关如何通过出厂修整值估算器件温度的指导，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“温度传感器”部分。

8.15 VREF

这些器件中的共享电压基准模块（VREF1 和 VREF2）包含一个可配置的电压基准缓冲器，让用户能够为板载模拟外设提供一个稳定的基准。该模块还支持为需要更高精度的应用提供外部基准。

VREF1 模块特征如下：

- 用户可选择 1.4V 和 2.5V 内部基准电压
- 内部基准支持以 1.6Msps 的速率全速运行 ADC
- 支持比较器运行
- 支持在 VREF+/- 器件引脚上提供外部基准电压
- 需要在 VREF+/- 引脚上放置一个去耦电容器才能正常运行。有关更多详细信息，请参阅 *VREF*。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

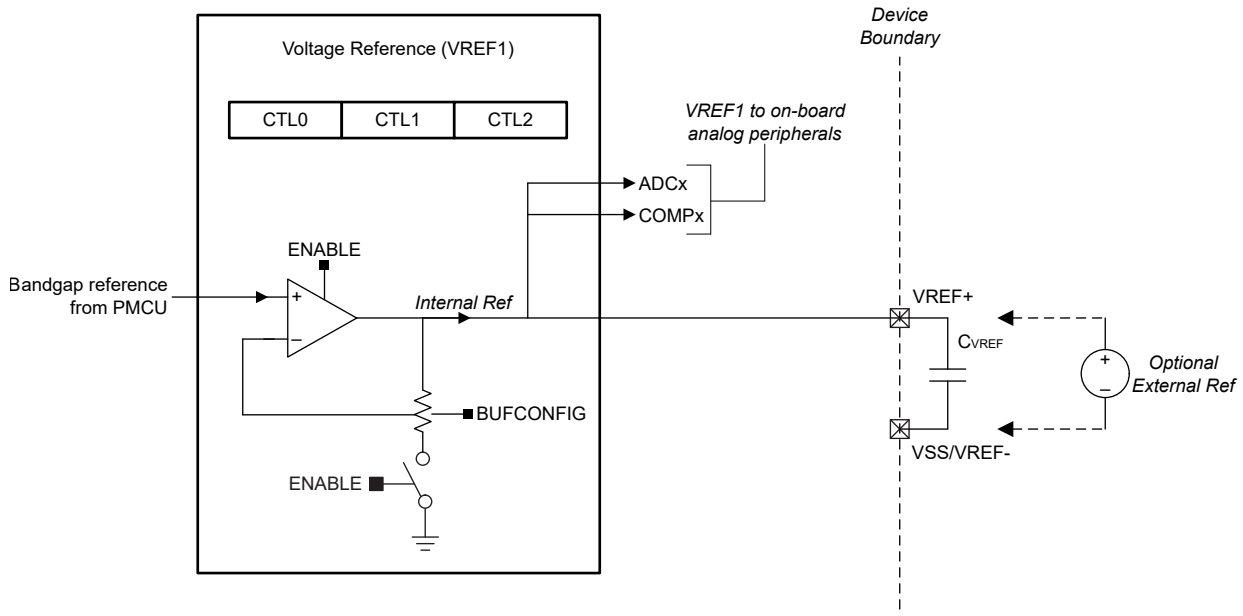


图 8-3. VREF1 模块

VREF2 (VREFINT) 特性包括：

- 用户可选择 1.4V 和 2.5V 内部基准电压
- 内部基准支持以 0.9Msps 的速率降速运行 ADC
- 不需要在 VREF+/- 引脚上放置一个去耦电容器即可正常运行。

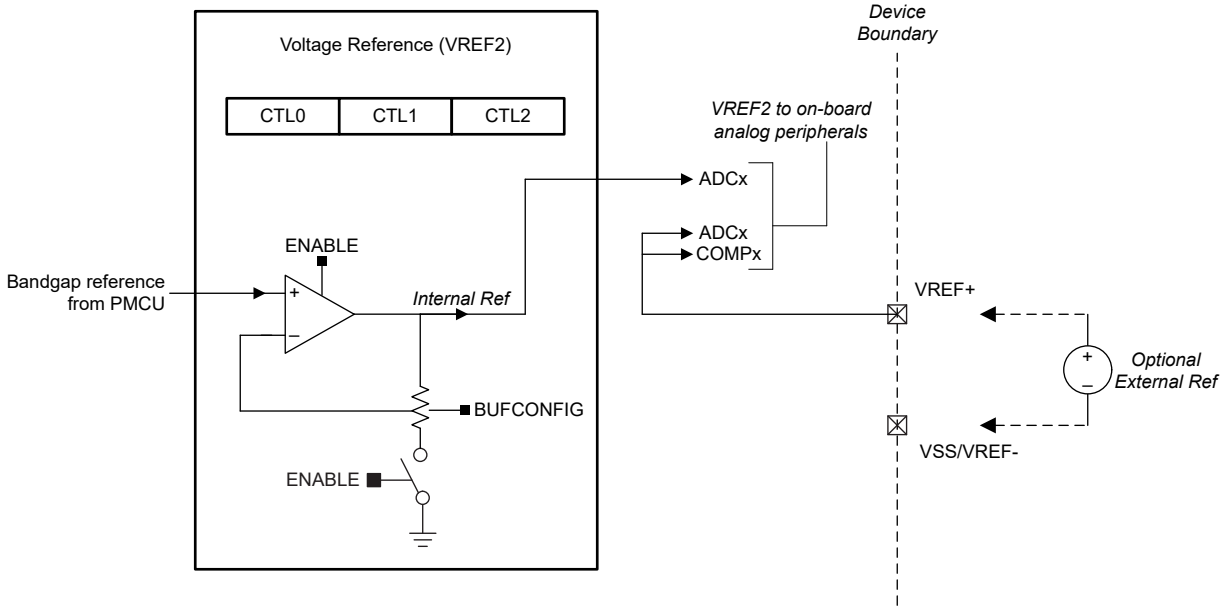


图 8-4. VREF2 (VREFINT) 模块

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“VREF”一章。

8.16 COMP

器件中的比较器外设会比较两个输入端子上的电压电平，并根据该比较提供数字输出。它支持以下主要特性：

- 可编程迟滞

ADVANCE INFORMATION

- 可编程基准电压：
  - 外部基准电压 (VREF IO)
  - 内部基准电压（1.4V、2.5V）
- 引脚特性：
  - 集成 8 位基准 DAC

    可输出 DACOUT 信号
- 可配置工作模式：
  - 高速模式
  - 低功耗模式
- 可编程输出干扰滤波器延迟
- 支持来自 TIMx 实例的 6 个消隐源（请参阅表 8-9）
- 使用比较器输出从所有低功耗模式唤醒器件
- 输出连接到高级计时器故障处理机制
- 从器件引脚或内部模拟模块选择比较器通道输入（请参阅表 8-10 和表 8-11）

表 8-9. COMP 消隐源表

CTL2.BLANKSRC	消隐源
1	TIMA0.CC2
2	TIMA0.CC3
3	TIMA1.CC1
4	TIMG0.CC1
5	TIMG1.CC1
6	TIMG8.CC1

表 8-10. COMP0 输入通道选择

IPSEL/IMSEL 位	正极端子输入	负极端子输入
0x0	COMP0_IN0+	COMP0_IN0-
0x1	COMP0_IN1+	COMP0_IN1-
0x2	COMP0_IN2+	COMP0_IN2-
0x3	COMP0_IN3+	-
0x5	-	温度传感器
0x7	COMP1 正极端子信号	-

表 8-11. COMP1 输入通道选择

IPSEL/IMSEL 位	正极端子输入	负极端子输入
0x0	COMP1_IN0+	COMP1_IN0-
0x1	COMP1_IN1+	COMP1_IN1- / VREF+
0x2	COMP1_IN2+	COMP1_IN2-
0x3	COMP1_IN3+	-
0x7	COMP0 正极端子信号	-

有关器件模拟连接的更多信息，请参阅*器件模拟连接*。

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“COMP”一章。

8.17 安全性

该器件提供多项安全功能，其中包括：

- 调试安全
- 器件识别

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

- 支持 GCM/GMAC、CCM/CBC-MAC、CBC、CTR 的 AES-128/256 加速器
- 用于保护代码和数据的灵活防火墙
  - 闪存写入/擦除保护
  - 闪存读取-执行保护
  - 闪存 IP 保护
  - SRAM 写入执行互斥
- 安全启动
- 安全固件更新
- 安全密钥存储，支持多达四个 AES 密钥
- 客户安全代码
- 硬件单调计数器
- 循环冗余校验器（CRC-16、CRC-32）支持自定义多项式

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册*中的“安全性”一章。

8.18 AESADV

AES 高级 (AESADV) 加速器模块根据高级加密标准 (AES) 在硬件中使用 128 位或 256 位密钥对 128 位数据块进行加密和解密。AES 是 FIPS PUB 197 中指定的对称密钥块加密算法。

AESADV 加速器的特性包括：

- 使用 128 或 256 位密钥的 AES 操作
- 硬件中的密钥调度
- 仅加密/解密模式：CBC、CFB-1、CFB-8、CFB-128、OFB-128、CTR/ICM
- 仅身份验证模式：CBC-MAC、CMAC
- AES-CCM
- AES-GCM
- AES-CCM 和 AES-GCM 模式支持持续保持/恢复有效载荷数据
- 32 位字访问，提供关键数据、输入数据和输出数据
- AESADV 就绪中断
- 用于输入/输出数据的 DMA 触发器
- 在 RUN 和 SLEEP 模式下受支持（请参阅器件技术参考手册的*工作模式*部分）

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“AESADV”一章。

8.19 密钥库

密钥库控制器提供对高级加密引擎 (AES) 密钥的安全管理。密钥库控制器的使用模式是在执行客户安全代码时将密钥安全地存入密钥库中，并使 AES 引擎随后安全地访问密钥库，而不会向观察者泄漏任何密钥数据。128 位和 256 位密钥都可以存储在密钥库的密钥槽中。密钥库及其与 AES 引擎的交互用于安全操作，包括阻止部分密钥修改攻击。

- 支持存储多达 4 个密钥

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册*中的“KEYSTORE”一章。

8.20 CRC-P

循环冗余校验 (CRC) 模块为输入数据序列提供签名。CRC 模块的主要特性包括：

- 支持基于 CRC16-CCITT 的 16 位 CRC
- 支持基于 CRC32-ISO3309 的 32 位 CRC
- 支持位反转
- 支持自定义多项式

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“CRC”一章。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

8.21 MATHACL

数学加速器 (MATHACL) 是一组硬件加速的 32 位数学函数，用于提高系统计算吞吐量。MATHACL 可减轻 CPU 执行的数学计算工作量，从而提高效率和 CoreMark 性能。

MATHACL 中提供了以下硬件功能：

- 正弦/余弦 (SINCOS)
- 反正切 (ATAN2)
- 平方根 (SQRT)
- 除法 (DIV)
- 与 32 位结果相乘 (MPY32)
- 对 32 位结果进行平方 (SQUARE32)
- 与 64 位结果相乘 (MPY64)
- 对 64 位结果进行平方 (SQUARE64)
- 乘法累加 (MAC)
- 平方累加 (SAC)

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“MATHACL”一章。

8.22 UNICOMM (UART/SPI/I2C)

UNICOMM 是一种高度灵活的外设，可配置为 UART、SPI、I²C 控制器或 I²C 目标功能。在配置和数据传输之前，用户可以选择其中一个串行接口。外设针对每个实例使用通用 FIFO，以根据运行状态更大限度地提高器件功能。串行外设组将一个或多个 UNICOMM 组合在一起，以实现 I²C 回送等特殊功能，这是一种可选配置。表 8-12 介绍了 UNICOMM 的分组、可用的外设串行接口和 FIFO 深度。

表 8-12. UNICOMM (UCx) 串行外设

UNICOMM 实例	串行外设组	UART	I²C 控制器	I²C 目标	SPI	FIFO 深度
UC0	SPG0 (PD0)	高级	高级	高级	-	4
UC4		高级	-	-	基础型	4
UC5		Min + LIN	高级	高级		4
UC2	SPG1 (PD1)	-	-	-	高级	4
UC9		Min + LIN	-	-	-	4

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册*的“UNICOMM”一章。

8.22.1 UART (UNICOMM)

UNICOMM-UART 外设功能提供以下主要特性：

- 标准的异步通讯位：起始位、停止位、奇偶校验位
- 完全可编程串行接口
  - 5、6、7 或 8 个数据位
  - 偶校验、奇校验、固定校验或无奇偶校验位生成与检测
  - 可产生 1 或 2 个停止位
  - 最低有效位或最高有效位数据最先传送和接收
  - 线路中断检测
  - 输入信号上的干扰滤波器
  - 可编程波特率生成，过采样率为 16、8 或 3
- 在低功耗模式下运行时，支持在检测到开始位时通过异步快速时钟请求唤醒 SYSOSC
- 支持发送和接收环回模式操作
- 有关受支持协议和特性的详细信息，请参阅表 8-13

Copyright © 2026 Texas Instruments Incorporated

表 8-13. UNICOMM-UART 特性支持

UNICOMM-UART 特性		（高级）	（带 LIN 的最小值）	
功能标签	特性说明	UC0、UC2、UC4	UC9	UC5
-	在停止和待机模式下处于运行状态	如果模块位于 PD0 中，则为是	-	是
UART-RX-TIMEOUT	接收超时和线路超时	是	-	-
UART-IDLELINE-MULTIPROC	空闲线多处理器	是	-	-
UART-FLOW-CONTROL	支持 RS 485 的流量控制 (CTS/RTS)	是	-	-
UART-MULTIDROP-9-BIT	用于多点系统和可寻址外设的 9 位 UART 模式	是	-	-
UART-EXT-DRIVER	外部驱动器输出使能	是	-	-
UART-SMARTCARD	ISO7816 智能卡模式	是	-	-
UART-LIN	本地互连网络 (LIN)	是	是	是
UART-DALI-MANCHESTER	IEC62386 数字可寻址照明接口 (DALI)	是	-	-
UART-IRDA	IrDA 编码和解码	是	-	-
UART-FIFO	RX 和 TX FIFO	4	4	1
UART-DMA	直接存储器存取 (DMA)	是	是	是

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 的“UART (UNICOMM)”一章。

8.22.2 I2C (UNICOMM)

这些器件中的内部集成电路接口 (I^2C) 外设提供与总线上其他 I2C 器件的双向数据传输，并支持以下主要特性：

- 具有多个 7 位目标地址的 7 位和 10 位寻址模式
- 多控制器发送器或接收器模式
- 具有可配置时钟扩展的目标接收器或发送器模式
- 支持标准模式 (SM)，比特率高达 100kbit/s
- 支持快速模式 (FM)，比特率高达 400kbit/s
- 支持超快速模式 (FM+)，比特率高达 1Mbit/s
  - 仅在开漏 IO (ODIO) 和高驱动 (HDIO) IO 上受支持
- 独立的发送和接收 FIFO 支持 DMA 数据传输
- 支持具有 PEC、ARP、超时检测和主机支持的 SMBus 3.0
- 在地址匹配时从低功耗模式唤醒
- 支持用于输入信号干扰抑制的模拟干扰滤波器
- 4 条目发送和接收 FIFO

- 有关控制器和目标功能所支持特性的详细信息，请参阅表 8-14 和表 8-15

表 8-14. I2C 控制器 (UNICOMM) 特性

支持的功能	（高级）
UNICOMM 实例	UC0、UC5
支持标准模式 (Sm)	是
支持快速模式 (Fm)	是
支持快速模式+ (Fm+)	是
支持模拟干扰滤波器	是
支持数字干扰滤波器	-
支持突发模式	是

ADVANCE INFORMATION

表 8-14. I2C 控制器 (UNICOMM) 特性（续）

支持的功能	（高级）
UNICOMM 实例	UC0、UC5
支持 SMBus 模式	是

表 8-15. I2C 目标 (UNICOMM) 特性

支持的功能	（高级）
UNICOMM 实例	UC0、UC5
支持标准模式 (Sm)	是
支持快速模式 (Fm)	是
支持快速模式+ (Fm+)	是
支持模拟干扰滤波器	是
支持数字干扰滤波器	-
支持第二目标地址和掩码	是
支持 SMBus 模式	是
支持低功耗唤醒	是

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 的“I2C (UNICOMM)”一章。

8.22.3 SPI (UNICOMM)

这些器件中的串行外设接口 (SPI) 外设支持以下主要特性：

- 支持 ULPCLK/2 比特率，最高可达 32Mb/s（在控制器和外设模式下）[1]
- 可配置为控制器或外设
- 支持控制器和外设的最多 4 个芯片选择
- 支持发送和接收单一奇偶校验
- 可编程时钟预分频器和比特率
- 可编程数据帧大小从 4 位到 16 位（控制器模式）和 7 位到 16 位（外设模式）
- 发送和接收 FIFO（4 个条目，每个条目 16 位），支持 DMA 数据传输
- 支持 TI 模式和 Motorola 模式
- 在发送和接收路径中均支持 single-bit 奇偶校验
- 有关受支持特性的详细信息，请参阅表 8-16

表 8-16. SPI (UNICOMM) 特性

SPI 特性	（高级）	SPI1（基础）
UNICOMM 实例	UC2	UC4
控制器和外设模式	是	是
支持奇偶校验功能	是	是
支持重复模式传输	是	-
支持接收超时	是	-
支持命令/数据控制	是	-
支持 4 种芯片选择	是	-

[1] 仅 HSIO 引脚上的 SPI 信号支持 > 16Mbits/s 的数据速率；对于 HSIO 引脚，请参阅 *引脚图*一节。

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 的“SPI (UNICOMM)”一章。

8.23 CAN-FD

控制器局域网 (CAN) 控制器可实现与 CAN2.0A、CAN2.0B 或 CAN-FD 总线的通信，并且符合 ISO 11898-1:2015 标准，最高支持 5Mb/s 的比特率。CAN-FD 外设的主要特性包括：

- 完全支持 64 字节 CAN-FD 帧
- 具有 ECC 的专用 1KB 消息 SRAM
- 可配置的发送 FIFO、发送队列和事件 FIFO (最多 32 个元素)
- 多达 32 个专用发送缓冲器和 64 个专用接收缓冲器
- 两个可配置的接收 FIFO (每个 FIFO 最多 64 个元素)
- 多达 128 个滤波器元素
- 2 条中断线路
- 断电和唤醒支持
- 时间戳计数器

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“CAN-FD”一章。

8.24 低频子系统 (LFSS)

低频子系统 (LFSS) 是一个子系统，可在一个共享子系统下将多个功能外设组合在一起。这些外设由低频时钟 (LFCLK) 计时，或需要在低功耗模式期间处于运行状态。LFCLK 的典型频率为 32kHz，主要用于长期计时。

LFSS_B 是该器件中的特定 LFSS 型号，包含以下组件：

- 具有附加预分频器扩展和时间戳捕获功能的实时时钟 (RTC_B)
- 一个异步独立看门狗计时器 (IWDT)

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册*中的“LFSS”一章。

8.25 RTC_B

实时时钟的 RTC_B 实例由 32kHz 输入时钟源 (通常为低频晶体) 提供，并为应用提供时基以及多个 CPU 中断选项。RTC_B 提供与低频子系统 (LFSS) 相关的常见主要特性。

RTC_B 的常见主要特性包括：

- 秒、分钟、小时、星期几、一月中的第几日、月和年的计数器
- 二进制或 BCD 格式
- 闰年处理
- 一个基于分钟、小时、星期几和一月中的第几日的可定制报警中断
- 用于每分钟、每小时、午夜或中午唤醒的间隔报警中断
- 以 4096Hz、2048Hz、1024Hz、512Hz、256Hz 或 128Hz 提供定期唤醒的间隔报警中断
- 以 64Hz、32Hz、16Hz、8Hz、4Hz、2Hz、1Hz 和 0.5Hz 提供定期唤醒的间隔报警中断
- 晶体偏移误差校准 (高达 +/-240ppm)
- 温度漂移补偿 (高达 +/-240ppm)
- RTC 时钟输出到引脚以进行校准

表 8-17 显示了该器件支持的 RTC 特性。

表 8-17. RTC_B 主要特性

RTC 特性	RTC_B
电源使能寄存器	-
实时时钟和日历模式提供秒、分钟、小时、星期、日期和年份信息	是
可选二进制或二进制编码小数 (BCD) 格式	是
闰年修正 (1901 年至 2099 年有效)	是

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 8-17. RTC_B 主要特性（续）

RTC 特性	RTC_B
两个基于分钟、小时、星期和日期的可定制日历报警中断	是
用于每分钟、每小时、午夜或中午唤醒的间隔报警中断	是
以 4096Hz、2048Hz、1024Hz、512Hz、256Hz 或 128Hz 唤醒的周期性中断	是
以 64Hz、32Hz、16Hz、8Hz、4Hz、2Hz、1Hz 和 0.5Hz 唤醒的周期性中断	是
通过 STOPCLKSTBY 将中断功能降至 STANDBY 模式	是
晶体偏移误差和晶体温度漂移校准（总计高达 ±240ppm）	是
RTC 时钟输出到引脚以进行校准 (GPIO)	是
RTC 时钟输出到引脚以进行校准 (TIO)	-
用于心跳功能的三位预分频器，具有中断生成功能	-
RTC 外部时钟选择，包括未修整的 32kHz、已修整的 512Hz、256Hz 或 1Hz	-
检测到计时器时间戳事件时的 RTC 时间戳捕获，其中包括： • TIO 事件 • VDD 故障事件	-
RTC 计数器锁定功能	-

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“RTC”一章。

8.26 IWDT_B

LFSS 中的独立看门狗计时器 (IWDT) 是与器件无关的监控器，可监控器件的代码执行和整体挂起场景。由于 LFSS 的性质，该 IWDT 具有自己的系统独立时钟源。如果应用软件在编程的时间内未成功复位看门狗，则看门狗会为器件生成 POR 复位。

IWDT 的主要特性包括：

- 一个 25 位计数器
- 使用可编程时钟分频器从 LFOSC（固定 32kHz 时钟路径）驱动计数器
- 八个可选的看门狗计时器周期（2ms 至 2hr）

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“IWDT”一章。

8.27 WWDT

窗口化看门狗计时器 (WWDT) 可用于监控器件的运行，特别是代码执行。如果应用软件在一个指定的时间窗口内没有成功地复位看门狗，WWDT 可用来生成一个复位或者中断。WWDT 的主要特性包括：

- 25 位计数器
- 可编程时钟分频器
- 八个软件可选看门狗计时器周期
- 八种软件可选窗口大小
- 支持在进入睡眠模式时自动停止 WWDT
- 提供间隔计时器模式，适用于不需要看门狗功能的应用

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“WWDT”一章。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.28 计时器 (TIMx)

这些器件中有两种类型计时器外设支持以下主要功能：TIMGx（通用计时器）和 TIMAx（高级计时器）。TIMGx 是 TIMAx 的子集，这意味着计时器实例之间的常见功能是软件兼容的。有关具体配置，请参阅表 8-18：

通用计时器 **(TIMGx)** 的具体特性包括：

- 具有重复重新加载模式的 16/32 位递增、递减或递增/递减计数器
- 可选和可配置的时钟源
- 用于对计数器时钟频率进行分频的 8 位可编程预分频器
- 两个独立通道，用于：
  - 输出比较
  - 输入捕捉
  - PWM 输出
  - 单次触发模式
- 支持 TIMG8 中提供的正交编码器接口 (QEI) 和霍尔传感器输入逻辑
- 支持同一电源域中不同 TIMx 实例之间的同步和交叉触发
- 支持中断/DMA 触发生成以及跨外设（例如 ADC）触发功能

高级计时器 **(TIMAx)** 的具体特性包括：

- 具有重复重新加载模式的 16 位递减或加减计数器
- 可选和可配置的时钟源
- 用于对计数器时钟频率进行分频的 8 位可编程预分频器
- 重复计数器，仅在计数器的给定周期数之后生成中断或事件
- 最多四个独立通道，用于：
  - 输出比较
  - 输入捕捉
  - PWM 输出
  - 单次触发模式
- 用于加载的影子寄存器和 CC 寄存器在 TIMA0 和 TIMA1 都可用
- 具有可编程死区插入功能的互补输出 PWM
- 非对称 PWM
- 可配置故障处理机制，用于：
  - PWM 能够快速响应外部故障输入或比较器事件 (<40ns)
  - 当发生锁存故障情况时，以用户定义的安全状态输出信号
- 支持同一电源域中不同 TIMx 实例之间的同步和交叉触发
- 支持中断和 DMA 触发生成以及跨外设（例如 ADC）触发功能
- 两个用于内部事件的额外捕捉/比较通道

表 8-18. TIMx 配置

计时器名称	电源域	分辨率	预分频器	重复计数器	捕捉/比较通道	相负载	影子负载	影子 CC	死区	故障	QEI
TIMG0	PD0	16 位	8 位	–	2	–	–	–	–	–	–
TIMG1	PD0	16 位	8 位	-	2	-	-	-	-	-	-
TIMG8	PD0	16 位	8 位	–	2	–	–	–	–	–	是
TIMA0	PD1	16 位	8 位	8 位	4	是	是	是	是	是	–
TIMA1	PD1	16 位	8 位	8 位	2	是	是	是	是	是	–

表 8-19. TIMx 交叉触发器映射 (PD1)

TSEL.ETSEL 选择	TIMA0	TIMA1
0	TIMA0.TRIG0	TIMA0.TRIG0
1	TIMA1.TRIG0	TIMA1.TRIG0

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 8-19. TIMx 交叉触发器映射 (PD1)（续）

TSEL.ETSEL 选择	TIMA0	TIMA1
2	TIMG8.TRIG0	TIMG8.TRIG0

表 8-20. TIMx 交叉触发器映射 (PD0)

TSEL.ETSEL 选择	TIMG0	TIMG1	TIMG8
0	TIMG0.TRIG0	TIMG0.TRIG0	TIMG0.TRIG0
1	TIMG1.TRUG0	TIMG1.TRIG0	TIMG1.TRIG0
2	TIMG8.TRIG0	TIMG8.TRIG0	TIMG8.TRIG0

有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“TIMx”一章。

8.29 输入/输出图

IOMUX 用于管理要在数字 IO 上使用的外设函数的选择。它还为输出驱动器、输入路径和从 SHUTDOWN 模式唤醒的唤醒逻辑提供控制。有关更多详细信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“IOMUX”一章。

全功能 IO 引脚的混合信号 IO 引脚切片图如图 8-5 所示。并非所有引脚都具有模拟功能、唤醒逻辑、驱动强度控制以及上拉或下拉电阻器。有关特定引脚支持哪些功能的详细信息，请参阅特定于器件的数据表。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

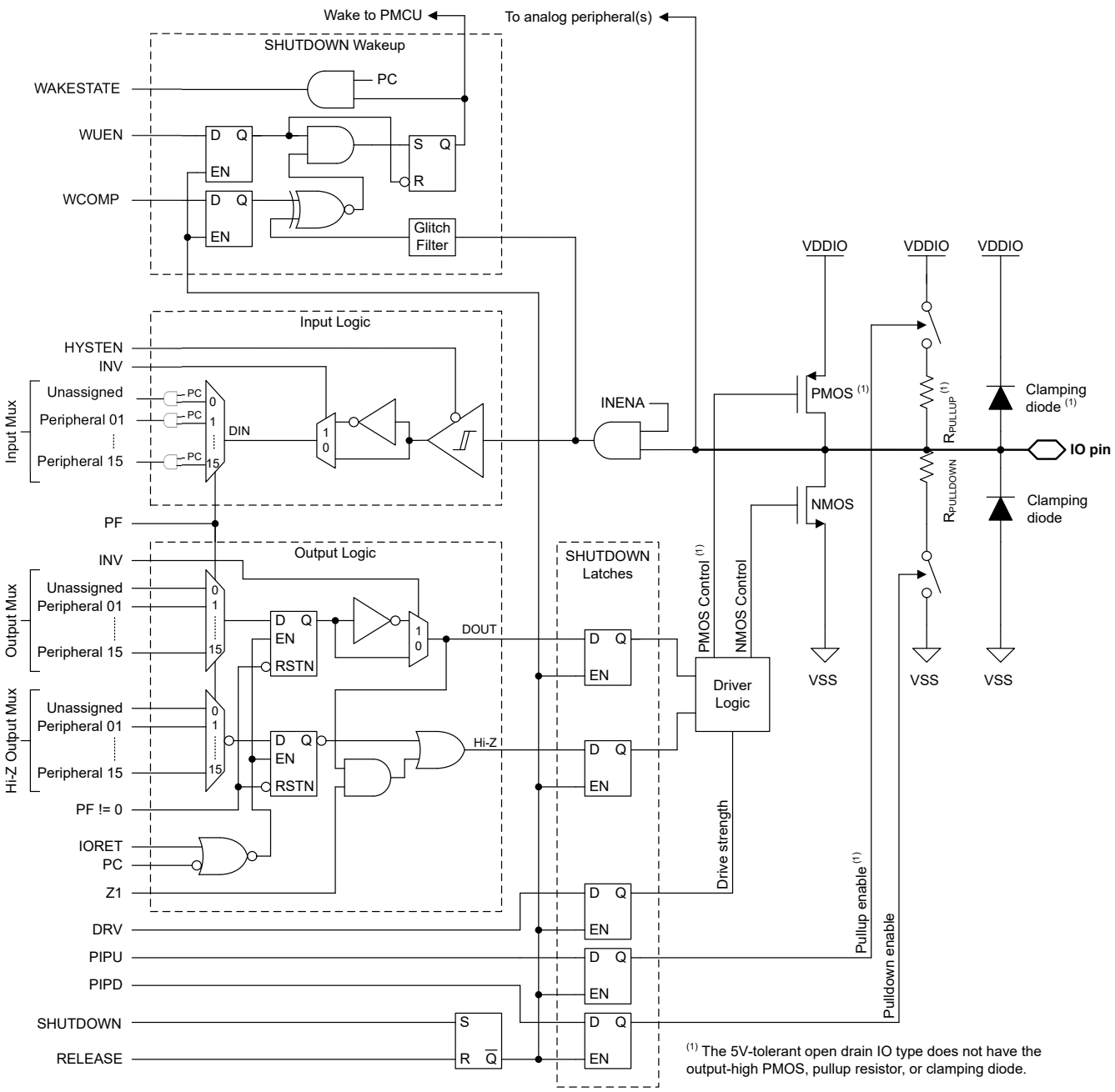


图 8-5. 超集输入/输出图

8.30 器件模拟连接

图 8-6 显示了该器件的内部模拟连接。

ADVANCE INFORMATION

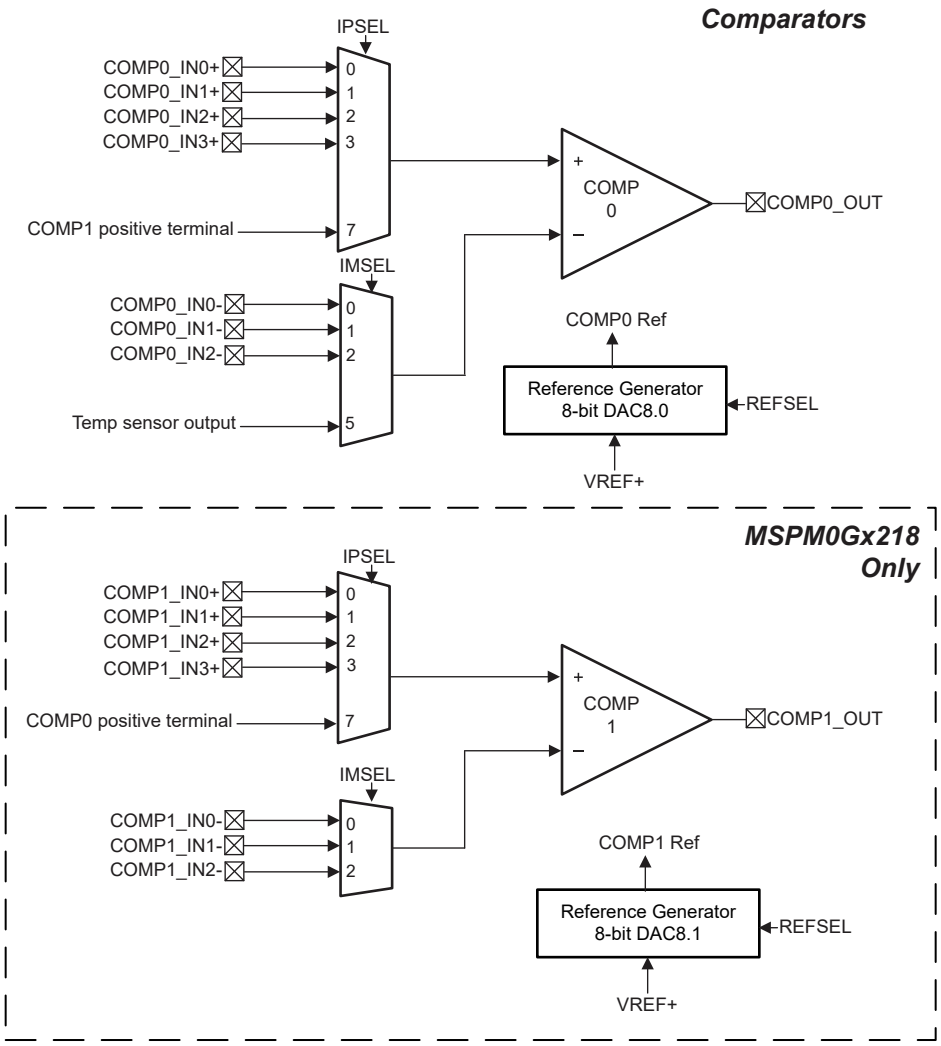


图 8-6. 比较器模拟连接

Copyright © 2026 Texas Instruments Incorporated

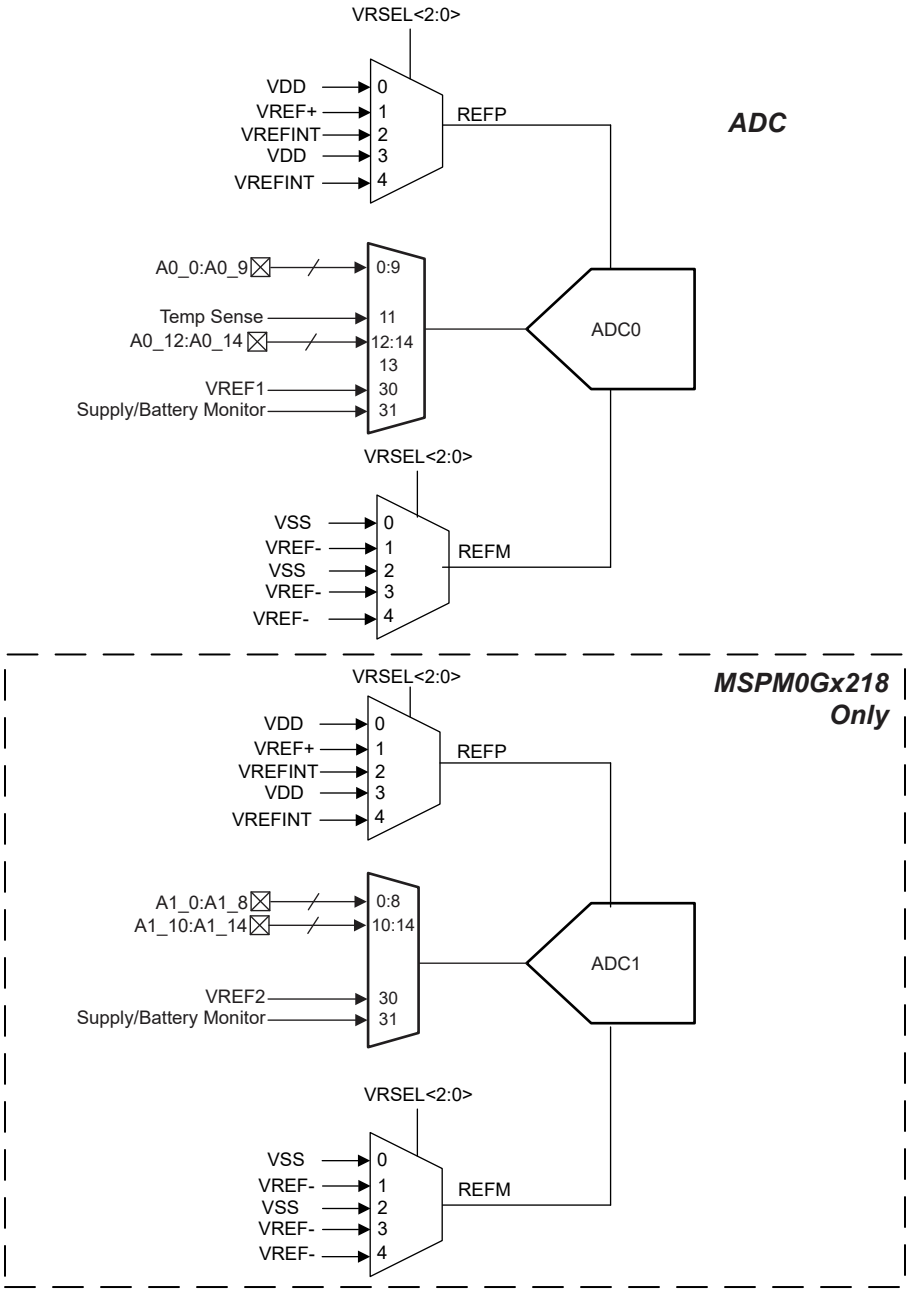


图 8-7. ADC 模拟连接

ADVANCE INFORMATION

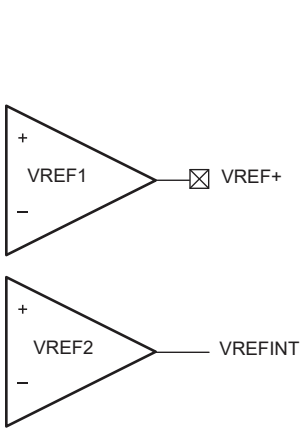


图 8-8. VREF 模拟连接

8.31 串行线调试接口

一个串行线调试 (SWD) 两线制接口由一个与 ARM 兼容的串行线调试端口 (SW-DP) 提供，用于访问器件内的多个调试功能。有关 MSPM0 器件上提供的调试功能的完整说明，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“调试”一章。

表 8-21. 串行线调试引脚要求和功能

器件信号	方向	SWD 功能
SWCLK	输入	来自调试探针的串行线时钟
SWDIO	输入/输出	双向（共享）串行线数据

8.32 引导加载程序 (BSL)

引导加载程序 (BSL) 支持进行器件配置以及通过 UART 或 I2C 串行接口对器件存储器进行编程。通过 BSL 对器件存储器和配置的访问受 256 位用户定义的密码保护，如果需要，可以在器件配置中完全禁用 BSL。TI 默认会启用 BSL，以支持将 BSL 用于生产编程。

使用 BSL 至少需要两个引脚：BSLRX 和 BSLTX 信号（用于 UART），或 BSLSCL 和 BSLSDA 信号（用于 I^2C）。此外，可以使用一个或两个额外引脚（BSL_invoke 和 NRST）来通过外部主机对引导加载程序进行受控调用。

如果启用，则可通过以下方式调用（启动）BSL：

- 如果 BSL_invoke 引脚状态与定义的 BSL_invoke 逻辑电平匹配，则会在引导过程中调用 BSL。如果启用了器件快速引导模式，则会跳过此调用检查。外部主机可以通过置位调用条件并向 NRST 引脚施加复位脉冲来触发 BOOTRST，从而强制器件进入 BSL。之后，器件将在重启过程中验证调用条件，如果调用条件与预期的逻辑电平匹配，则启动 BSL。
- 如果复位矢量和堆栈指针未编程，则在启动过程中会自动调用 BSL。因此，TI 的空白器件将在引导过程中调用 BSL，而无需在 BSL_invoke 引脚上提供硬件调用条件。这使得只使用串行接口信号即可进行生产编程。
- 可在运行时通过使用 BSL 进入命令发出 SYSRST 从应用软件调用 BSL。

表 8-22. BSL 引脚要求和功能

器件信号	连接	BSL 功能
BSLRX	UART 所需	UART 接收信号 (RXD)，输入
BSLTX	UART 所需	UART 发送信号 (TXD)，输出
BSLSCL	I2C 所需	I^2C BSL 时钟信号 (SCL)
BSLSDA	I2C 所需	I^2C BSL 数据信号 (SDA)
BSL_invoke	可选	用于在引导期间启动 BSL 的高电平有效数字输入

Copyright © 2026 Texas Instruments Incorporated

表 8-22. BSL 引脚要求和功能（续）

器件信号	连接	BSL 功能
NRST	可选	用于触发调用信号复位和后续检查 (BSL_invoke) 的低电平有效复位引脚

有关 BSL 功能和命令集的完整说明，请参阅 MSPM0 引导加载程序用户指南。

8.33 器件出厂常量

所有器件都包含一个存储器映射出厂区域，该区域提供描述器件功能的只读数据以及任何出厂提供的修整信息，供应用软件使用。有关更多信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“出厂常量”一章。

表 8-23. DEVICEID

DEVICEID 地址为 0x41C4.0004，PARTNUM 为位 12 至 27，MANUFACTURER 为位 1 至 11。

器件	PARTNUM	制造商
MSPM0G3218、MSPM0G3207、MSPM0G1218、MSPM0G1207	0xBBCE	0x17

表 8-24. USERID

USERID 地址为 0x41C4.0008，PART 为位 0 至 15，VARIANT 为位 16 至 23

器件	器件	型号
M0G3218QPMRQ1	0x478D	0x17
M0G3218QPTRQ1	0x478D	0x12
M0G3218QRGZRQ1	0x478D	0x14
M0G3218QRHBRQ1	0x478D	0x15
M0G3218Q28DGSRQ1	0x478D	0x11
M0G3218QRGERQ1	0x478D	0x13
M0G3218Q20DGSRQ1	0x478D	0x10
M0G3207QPMRQ1	0xF6CD	0x17
M0G3207QPTRQ1	0xF6CD	0x12
M0G3207QRGZRQ1	0xF6CD	0x14
M0G1218QRHBRQ1	0xF6CD	0x15
M0G1218Q28DGSRQ1	0xF6CD	0x11
M0G1218QRGERQ1	0xF6CD	0x13
M0G1218Q20DGSRQ1	0xF6CD	0x10

8.34 标识

修订版本和器件标识

硬件修订版本和器件标识值存储在存储器映射出厂区域中；请参阅“器件出厂常量”部分，该区域提供了描述器件功能的只读数据以及任何出厂提供的修整信息，以供应用软件使用。有关更多信息，请参阅 *MSPM0 G 系列 80MHz 微控制器技术参考手册* 中的“出厂常量”一章。

器件修订版本和标识信息也包含在器件封装的顶部标记中。特定于器件的勘误表中介绍了这些标记（请参阅节 10.4）。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9 应用、实施和布局

9.1 典型应用

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1.1 原理图

TI 建议在 VDD 和 VSS 引脚之间连接 10µF 和 0.1µF 低 ESR 陶瓷去耦电容器的组合，并将这些电容器尽可能靠近其去耦的电源引脚放置（几毫米以内），以实现最小的环路面积。对于大多数应用，推荐使用 10µF 大容量去耦电容器，但可以根据 PCB 设计和应用要求，在需要时调整该电容。例如，可以使用容量更大的电容器，但会影响电源轨斜升时间。

必须将 NRST 复位引脚上拉至 VDD（电源电平），器件才能解除复位状态，开始引导过程。对于大多数应用，TI 建议将一个外部 47kΩ 上拉电阻器与一个 10nF 下拉电容器连接，使 NRST 引脚能够由另一个器件或调试探针控制。

SYSOSC 频率校正环路 (FCL) 电路在 ROSC 引脚和 VSS 之间安装了容差为 0.1%、温度系数 (TCR) 为 25ppm/C 或更好的 100kΩ 外部电阻器。该电阻器可建立基准电流，通过校正环路稳定 SYSOSC 频率。如果使用 FCL 功能实现更高的精度，则需要该电阻器；如果未启用 SYSOSC FCL，则不需要该电阻器。如果未使用 FCL 模式，PA2 引脚可用作数字输入/输出引脚。

VCORE 引脚上需要连接一个 0.47µF 的电容器，并且该电容器必须靠近器件放置，与器件接地之间的距离最小。请勿将其他电路连接到 VCORE 引脚。

对于 5V 容限开漏 (ODIO)，需要一个上拉电阻器为 I2C 和 UART 功能输出高电平，因为开漏 IO 仅实现了低侧 NMOS 驱动器，无高侧 PMOS 驱动器。5V 容限开漏 IO 具有失效防护功能，即使未提供 VDD 也可能有电压。

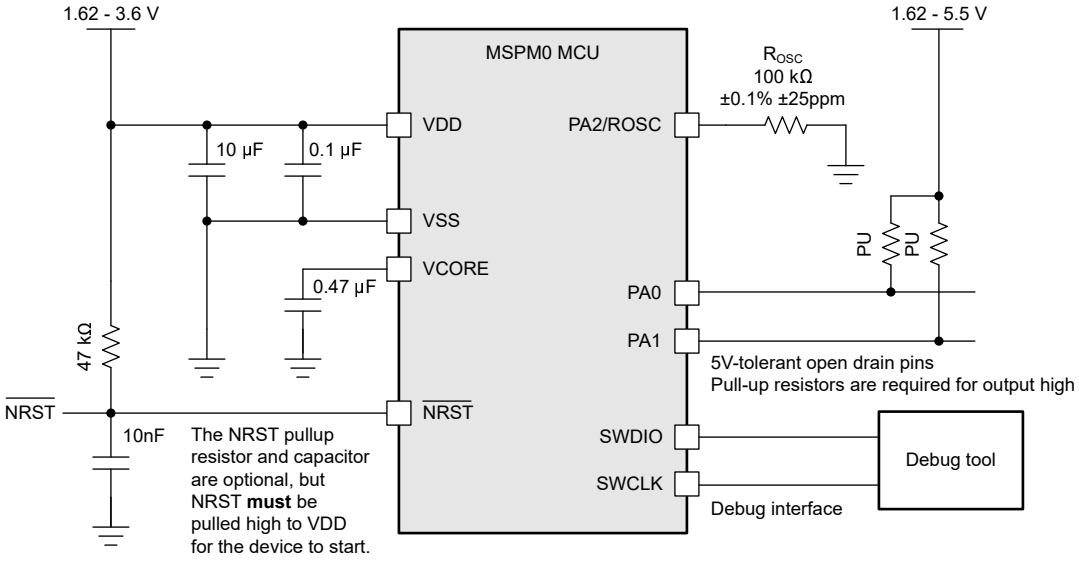


图 9-1. 基本应用原理图

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 入门和后续步骤

更多有关 MSP 低功耗微控制器以及开发协助工具和库的信息，请访问德州仪器 (TI) *Arm Cortex-M0+ MCU* 页面。

10.2 器件命名规则

为了指出产品开发周期所处的阶段，TI 为所有 MSP MCU 器件和支持工具的器件型号分配了前缀。.每个 MSP MCU 商用系列产品都具有以下两个前缀之一：MSP 或 X。这些前缀代表了产品开发的发展阶段，即从工程原型 (X) 直到完全合格的生产器件 (MSP)。

X – 实验器件，不一定代表最终器件的电气规格

MSP – 完全合格的生产器件

X 器件在供货时附带如下免责声明：

“开发中的产品用于内部评估用途。”MSP 器件的特性已经全部明确，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。预测显示原型器件 (X) 的故障率大于标准生产器件。由于这些器件的预计最终使用故障率尚不确定，德州仪器 (TI) 建议不要将它们用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。此后缀表示温度范围、封装类型和配送形式。图 10-1 提供了解读完整器件名称的图例。

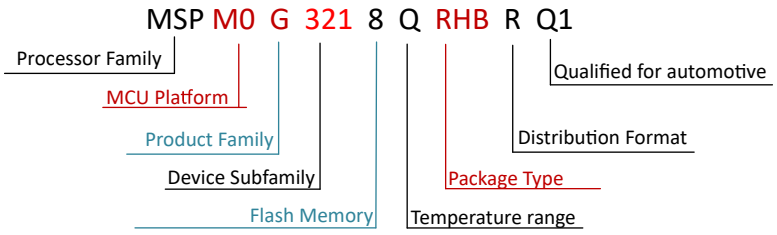


图 10-1. 器件命名规则

表 10-1. 器件命名规则

处理器系列	**MSP = 混合信号处理器** **X = 实验性器件**
MCU 平台	M0 = 基于 Arm 的 32 位 M0+
产品系列	G = 80MHz 频率
器件子系列	321 = 2 个 ADC、2 个 COMP、CAN-FD、32kB SRAM 320 = 1 个 ADC、1 个 COMP、CAN-FD、32kB SRAM
闪存存储器	8 = 256KB 7 = 128KB 6 = 64KB
温度范围	Q = –40°C 至 125°C，符合 AEC-Q100 标准
封装类型	请参阅器件比较部分和 https://www.ti.com/packaging
配送形式	T = 小卷带 R = 大卷带 无标识 = 管装或托盘

ADVANCE INFORMATION

如需 MSP 器件不同封装类型的可订购器件型号，请参阅本文的“封装选项附录”，浏览 ti.com，或联系您的 TI 销售代表。

10.3 工具与软件

设计套件与评估模块

MSPM0 LaunchPad (LP) 板：LP-MSPM0G3519	支持立即在业内出色的集成式模拟和低成本通用 MSPM0 MCU 系列上开始进行开发。展示了所有器件引脚和功能；包括一些内置电路、开箱即用软件演示，以及用于编程/调试/EnergyTrace 的板载 XDS110 调试探针。 LP 生态系统包括数十个用于扩展功能的 BoosterPack 可堆叠插件模块。

嵌入式软件

MSPM0 软件开发套件 (SDK)	包含软件驱动程序、中间件库、文档、工具和代码示例，可为所有 MSPM0 器件提供熟悉且简单的用户体验。

软件开发工具

TI 开发人员专区	在网络浏览器上开始评估和开发，无需进行任何安装。云工具还具有可下载的离线版本。
TI Resource Explorer	TI SDK 的在线门户。可在 CCS IDE 或 TI 云工具中访问。
SysConfig	直观的 GUI，可用于配置器件和外设、解决系统冲突、生成配置代码，以及自动进行引脚多路复用设置。可在 CCS IDE、TI 云工具或独立版本中访问。（离线版）
MSP Academy	所有开发人员了解 MSPM0 MCU 平台的良好起点，其中包含涵盖各种主题的培训模块。TIRex 的一部分。
GUI Composer	简化评估某些 MSPM0 功能的 GUI，例如无需任何代码即可配置和监测完全集成的模拟信号链。

IDE 和编译器工具链

Code Composer Studio™ (CCS)	Code Composer Studio 是适用于 TI 微控制器和处理器的集成开发环境 (IDE)。它包含一整套用于开发和调试嵌入式应用的工具。CCS 完全免费，可在 Eclipse 和 Theia 框架上使用。
IAR Embedded Workbench® IDE	IAR Embedded Workbench for Arm 提供了一个完整的开发工具链，用于为 MSPM0 构建和调试嵌入式应用。随附的 IAR C/C++ 编译器可为您的应用生成高度优化的代码，而 C-SPY 调试器是一个完全集成的调试器，用于源代码级调试和反汇编级调试，并支持复杂代码和数据断点。
Keil® MDK IDE	ARM Keil MDK 是一个完整的调试器和 C/C++ 编译器工具链，用于为 MSPM0 构建和调试嵌入式应用。Keil MDK 包含一个完全集成的调试器，用于源代码级调试和反汇编级调试。MDK 完全符合 CMSIS 标准。
TI Arm-Clang	TI Arm Clang 包含在 Code Composer Studio 中。
GNU Arm 嵌入式工具链	MSPM0 SDK 支持使用开源 Arm GNU 工具链进行开发。Code Composer Studio (CCS) 支持 Arm GCC。

10.4 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

以下文档介绍了 MSPM0 MCU。www.ti.com 网站上提供了这些文档的副本。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

技术参考手册

MSPM0 G 系列 80MHz 微控制器技术参考手册	本手册介绍了 MSPM0G 系列器件的模块和外设。每个说明都给出了一般意义上的模块或外设。目前所展示的并没有涵盖器件上所有模块或外围设备的所有特性和功能。此外，模块或外设在不同器件上的具体实现可能有所不同。引脚功能、内部信号连接和操作参数都因器件不同而各异。有关这些详细信息，请参阅特定于器件的数据表。

10.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.6 商标

Code Composer Studio™ and TI E2E™ are trademarks of Texas Instruments.
Arm® and Cortex® are registered trademarks of Arm Limited.
所有商标均为其各自所有者的财产。

10.7 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.8 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from March 1, 2026 to November 30, 2026 (from Revision * (March 2026) to Revision A (November 2026)) — **Page**

- 删除了 TRNG 规格表 37
- 更新了外设汇总表 59
- 更新了内存组织表 59
- 更新了中断向量地址 59
- 更新了 UNICOMM-UART 59
- 在 DMA 部分中添加了详细的 DMA 特性表 65
- 添加了有关正确 NONMAIN 配置策略的表注 1。 67
- 更新了“闪存存储器”部分，以指示可以选择任何 32kB 扇区进行高耐久性操作 70
- 删除了 SRAM 部分中有关如何使用具有 SRAM ECC 保护的 DMA 的文本 71
- 更新了 SRAM 部分中与写入执行用户操作相关的说明 71
- 更新了 ADC 说明部分以反映结果存储寄存器的正确数量 71
- 更新了“温度传感器”部分以反映稳定时间和 VREF 配置的正确测试条件 72
- 更新了“安全性”部分，以列出该器件中存在的所有安全功能 74
- 更新了密钥存储区部分，以指示最多支持 4 个密钥 75
- 更新了 LFSS 部分，以指示存在 LFSS_B 和 RTC_B 型号 79
- 向“计时器”部分添加了交叉触发器映射 81

ADVANCE INFORMATION

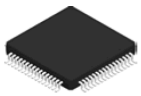
Copyright © 2026 Texas Instruments Incorporated

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

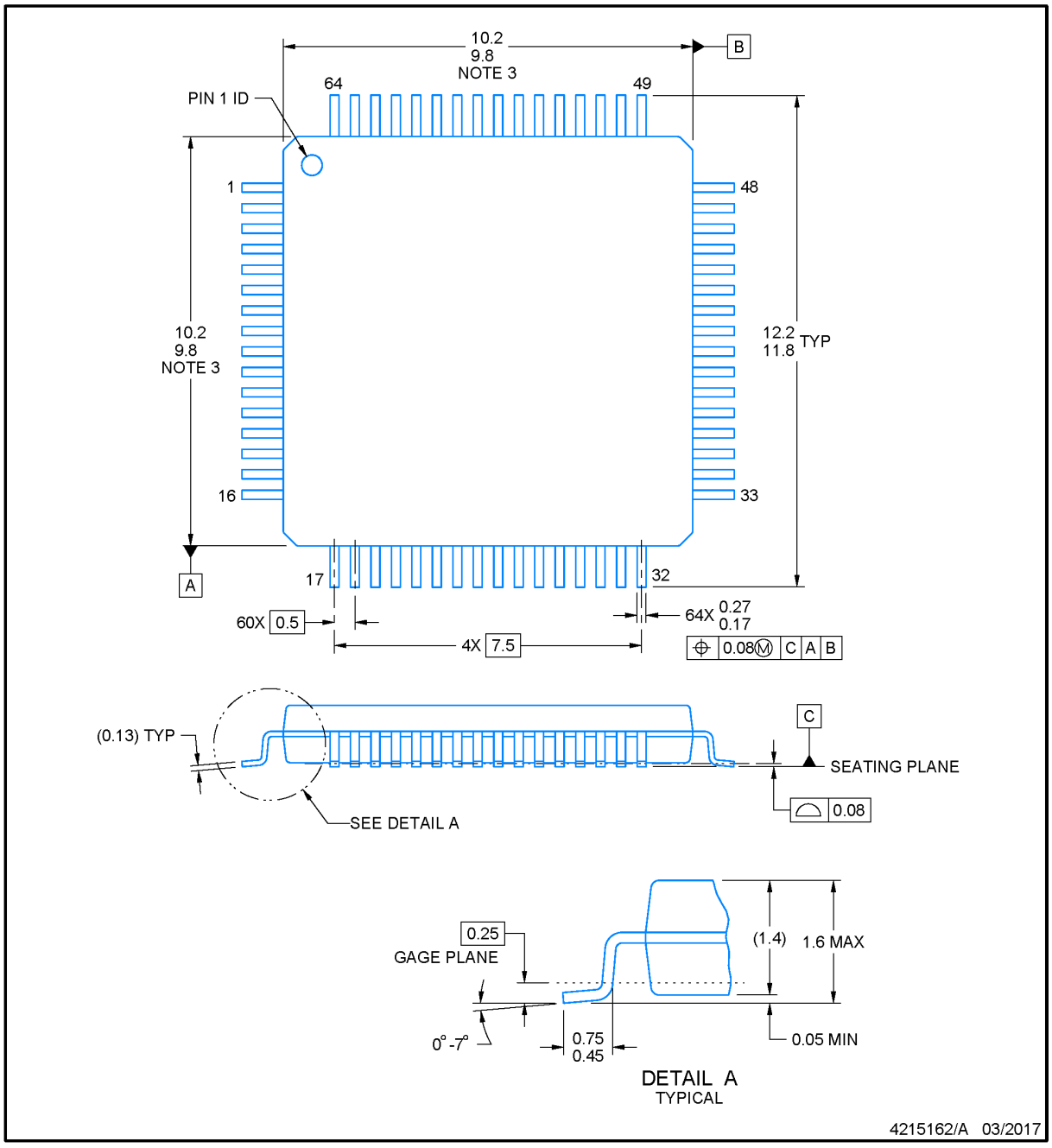


PACKAGE OUTLINE

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

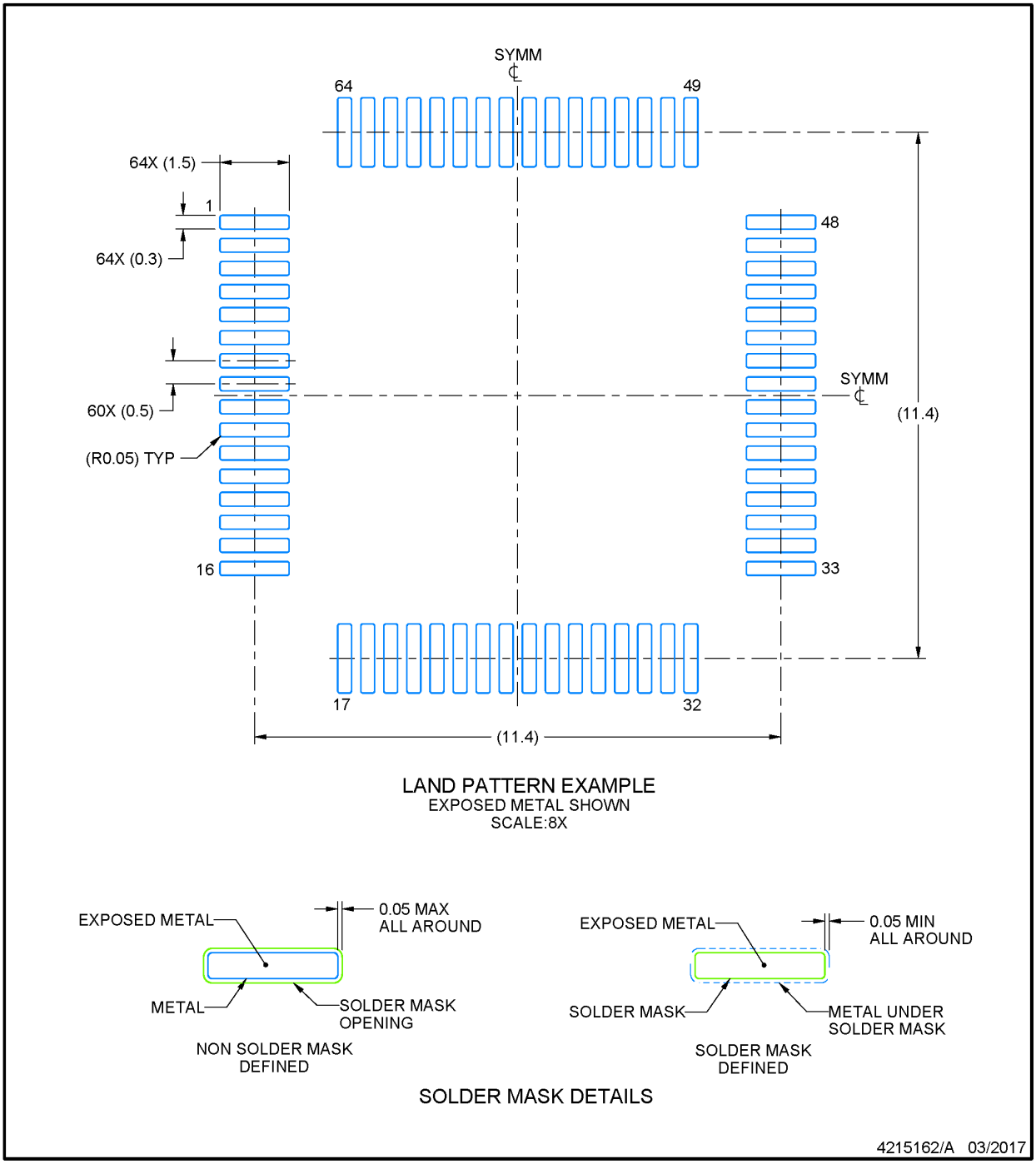
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

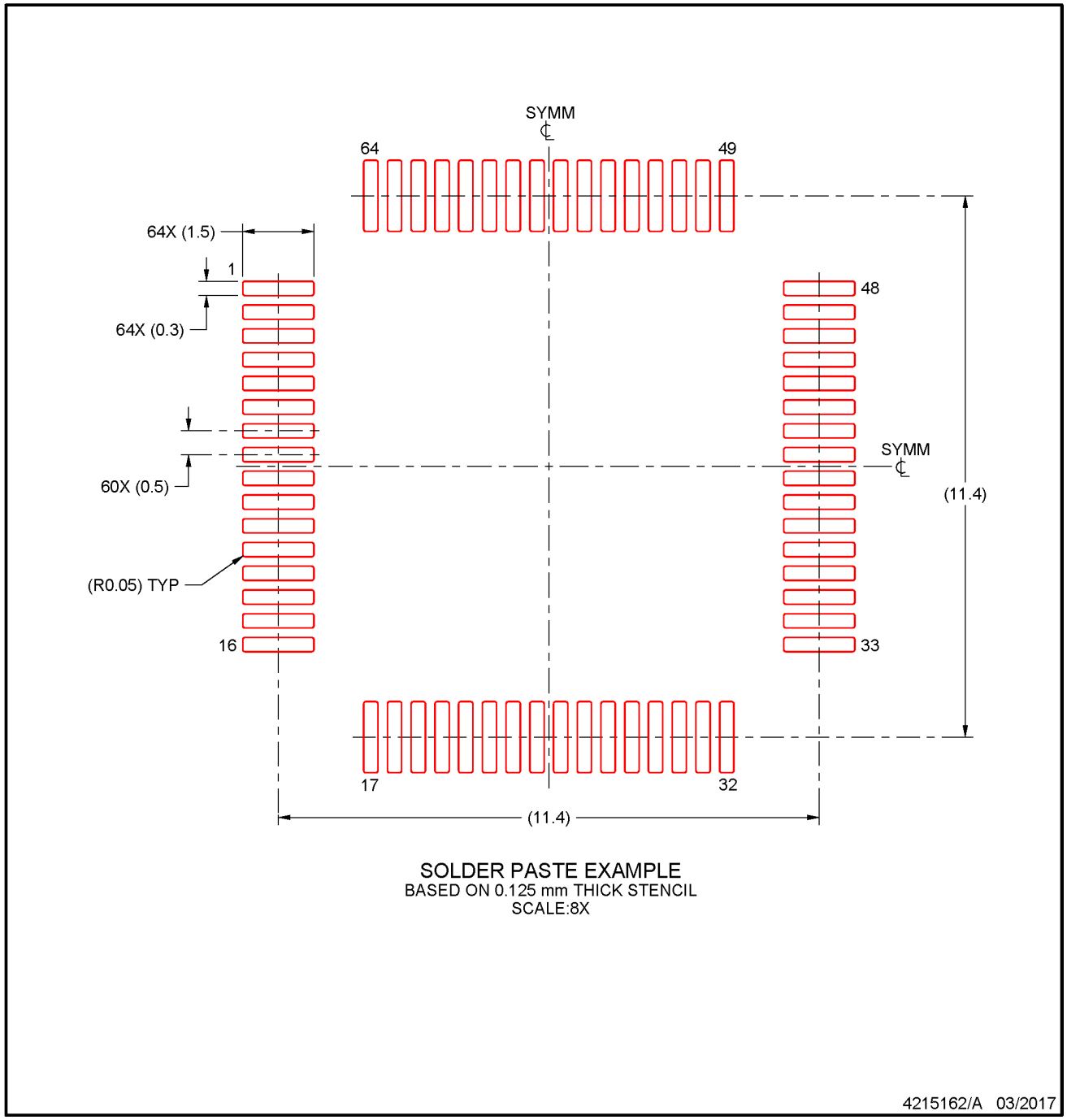
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PM0064A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



ADVANCE INFORMATION

NOTES: (continued)

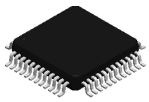
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

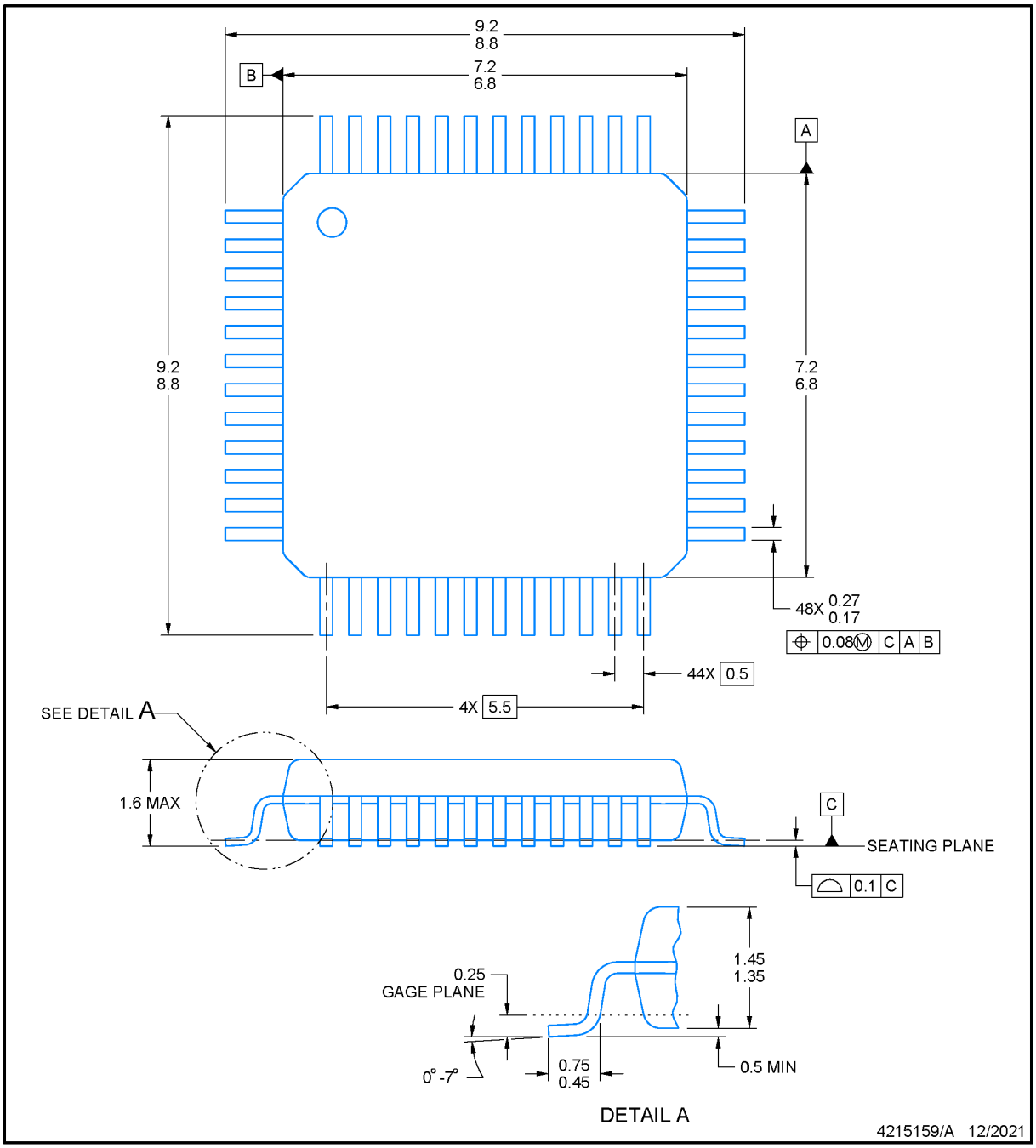
PACKAGE OUTLINE

PT0048A



LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads conected to the die pads.

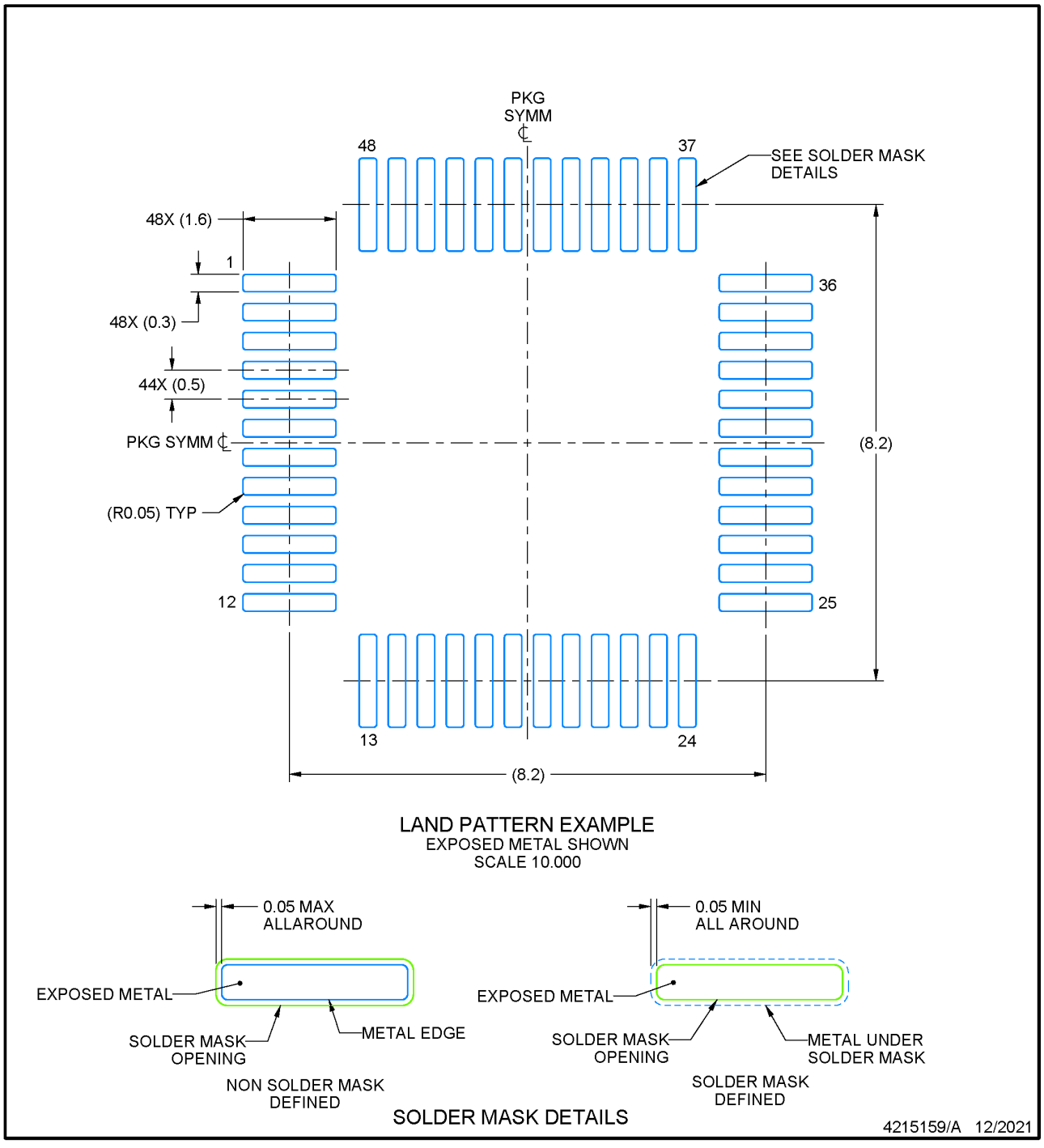
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

ADVANCE INFORMATION

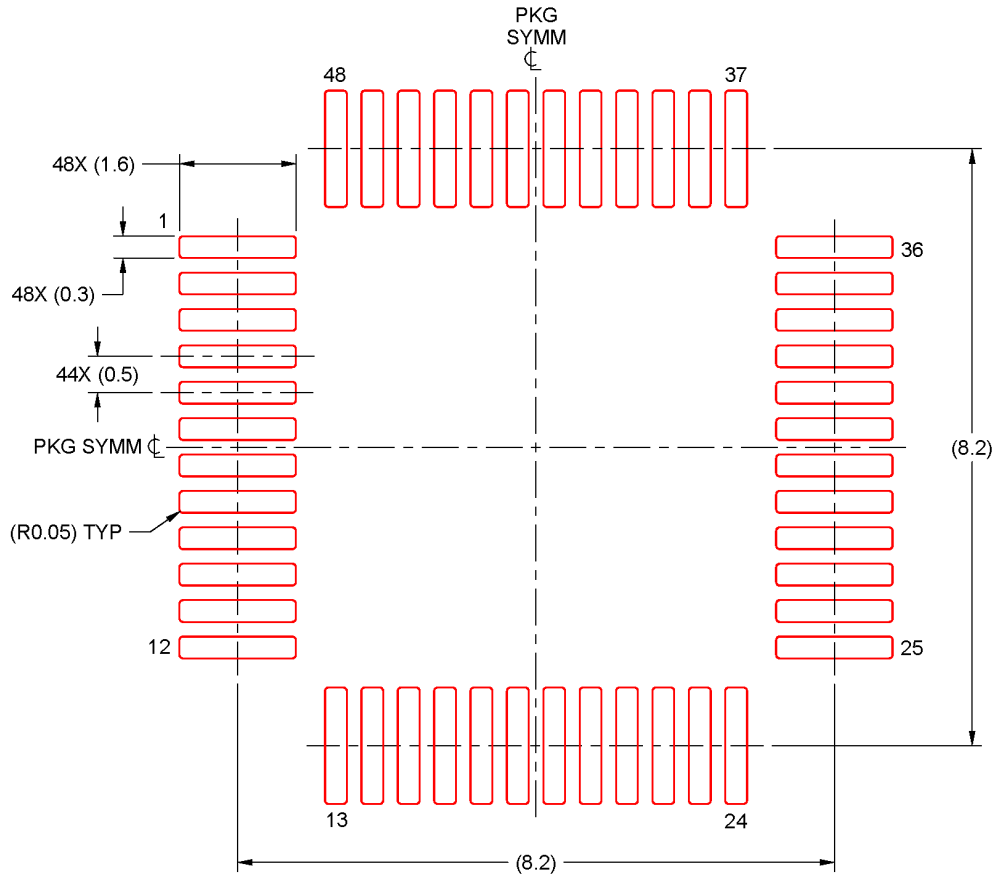
ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X

4215159/A 12/2021

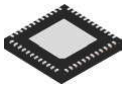
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

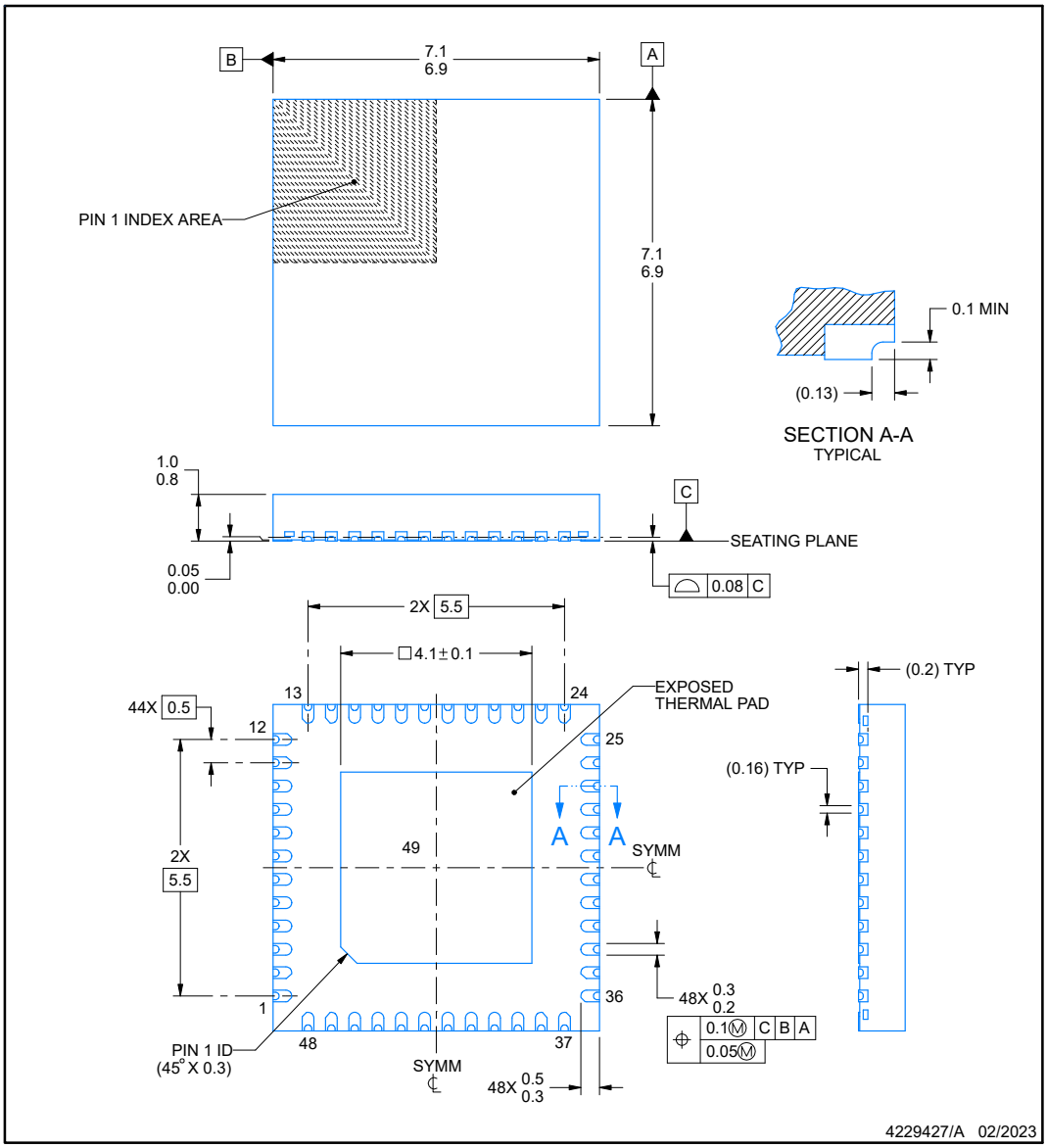
PACKAGE OUTLINE

RGZ0048F



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

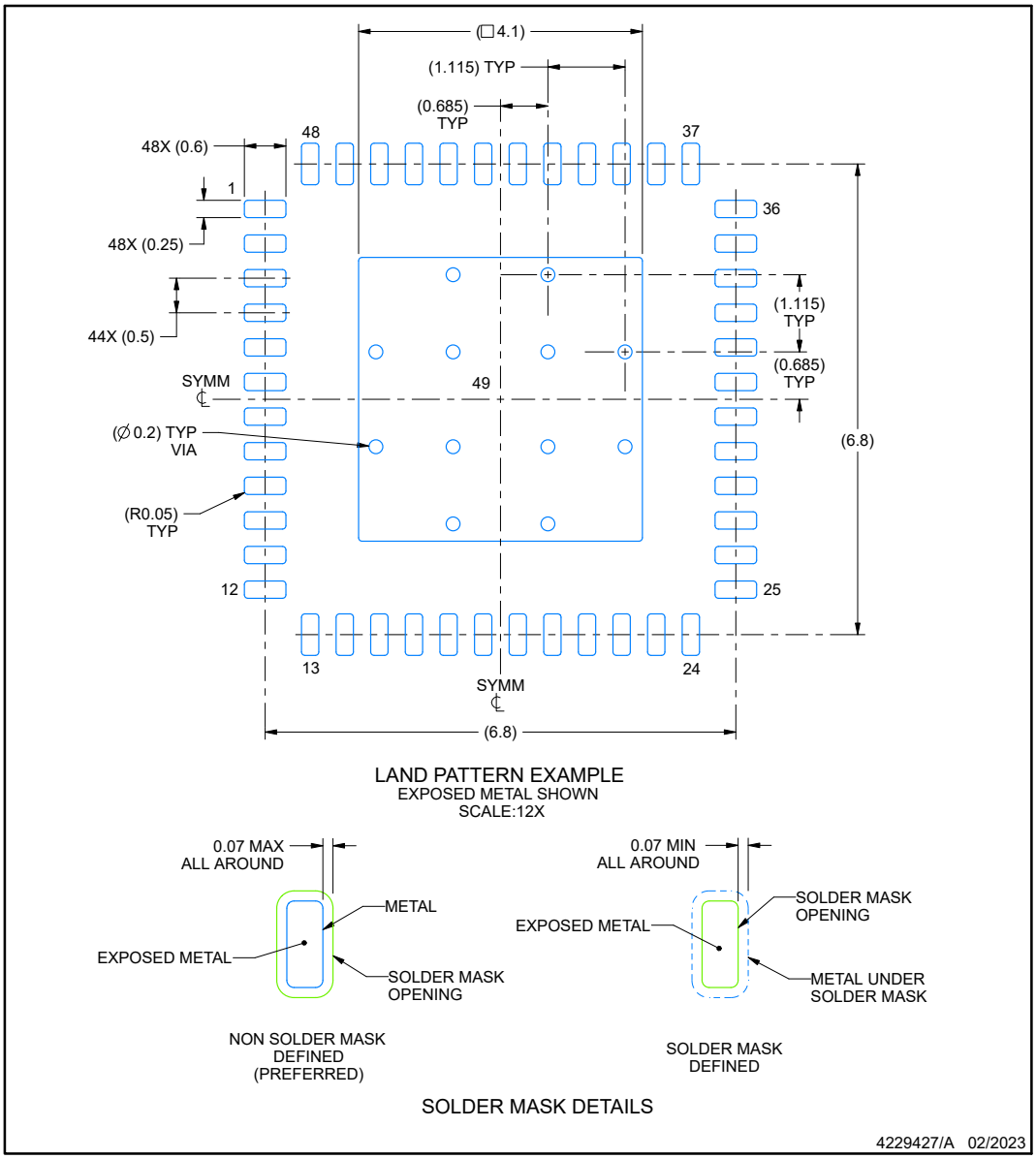
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

RGZ0048F

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

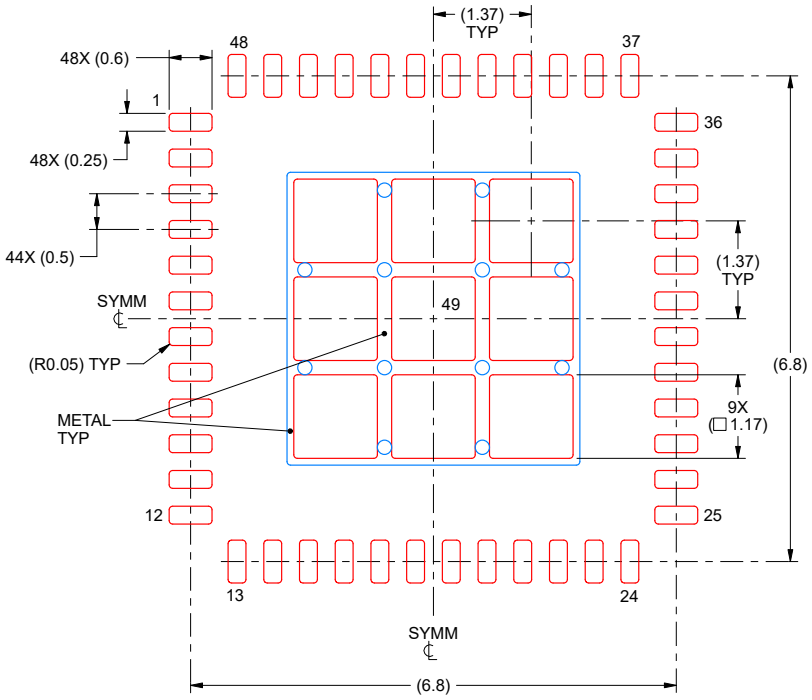
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGZ0048F — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
73% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:12X

4229427/A 02/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

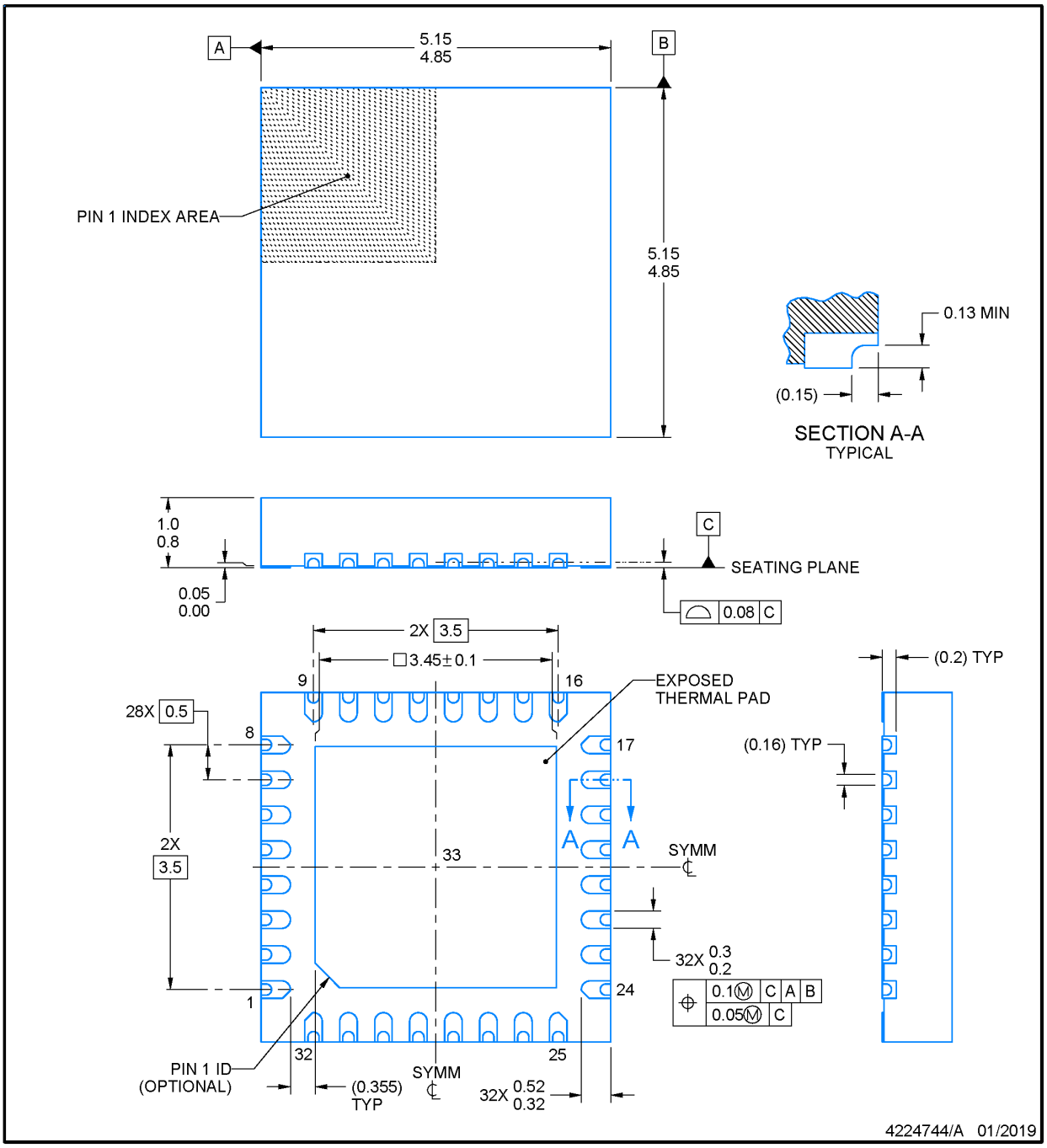
ADVANCE INFORMATION

PACKAGE OUTLINE

RHB0032T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

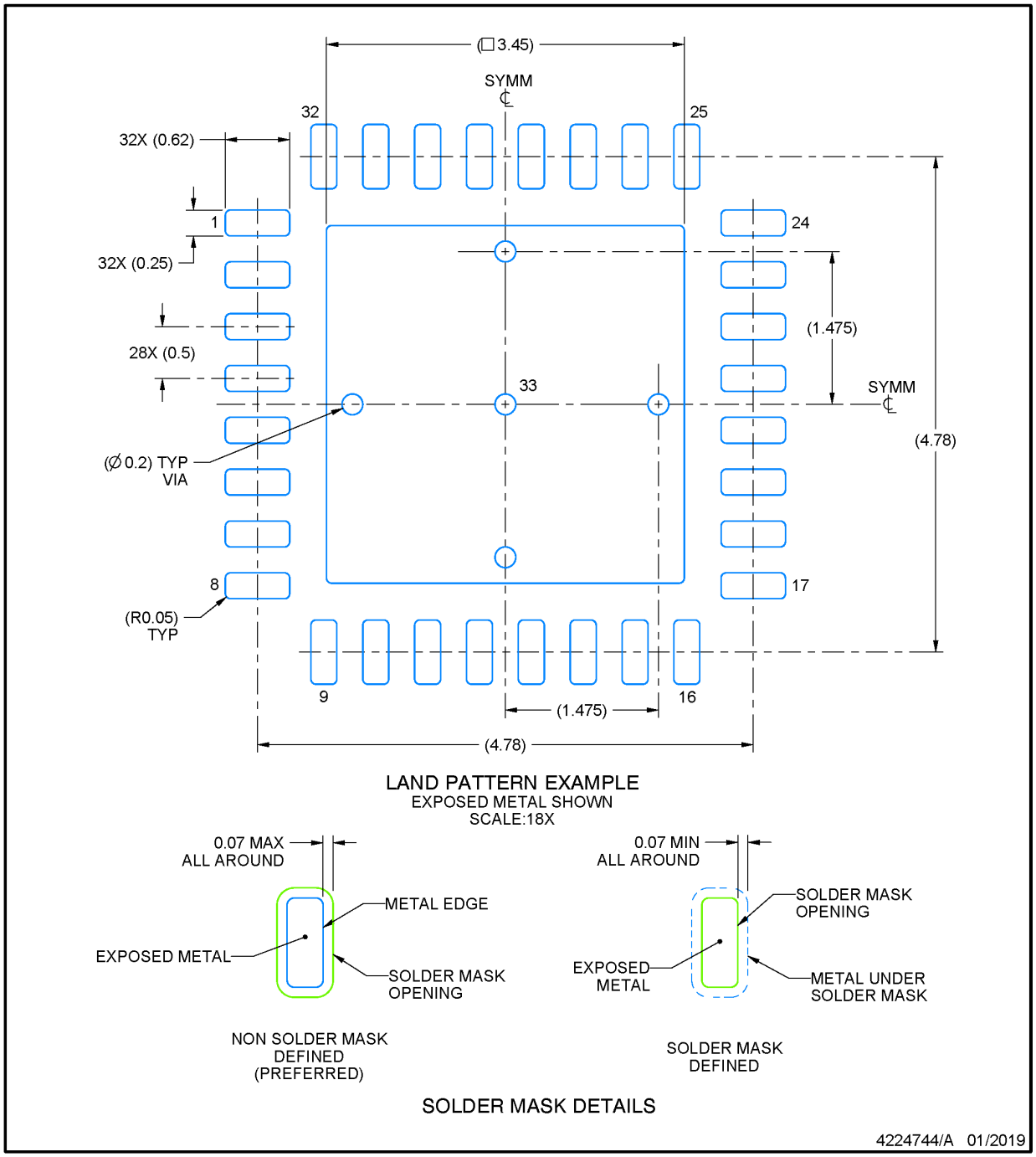
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RHB0032T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

ADVANCE INFORMATION

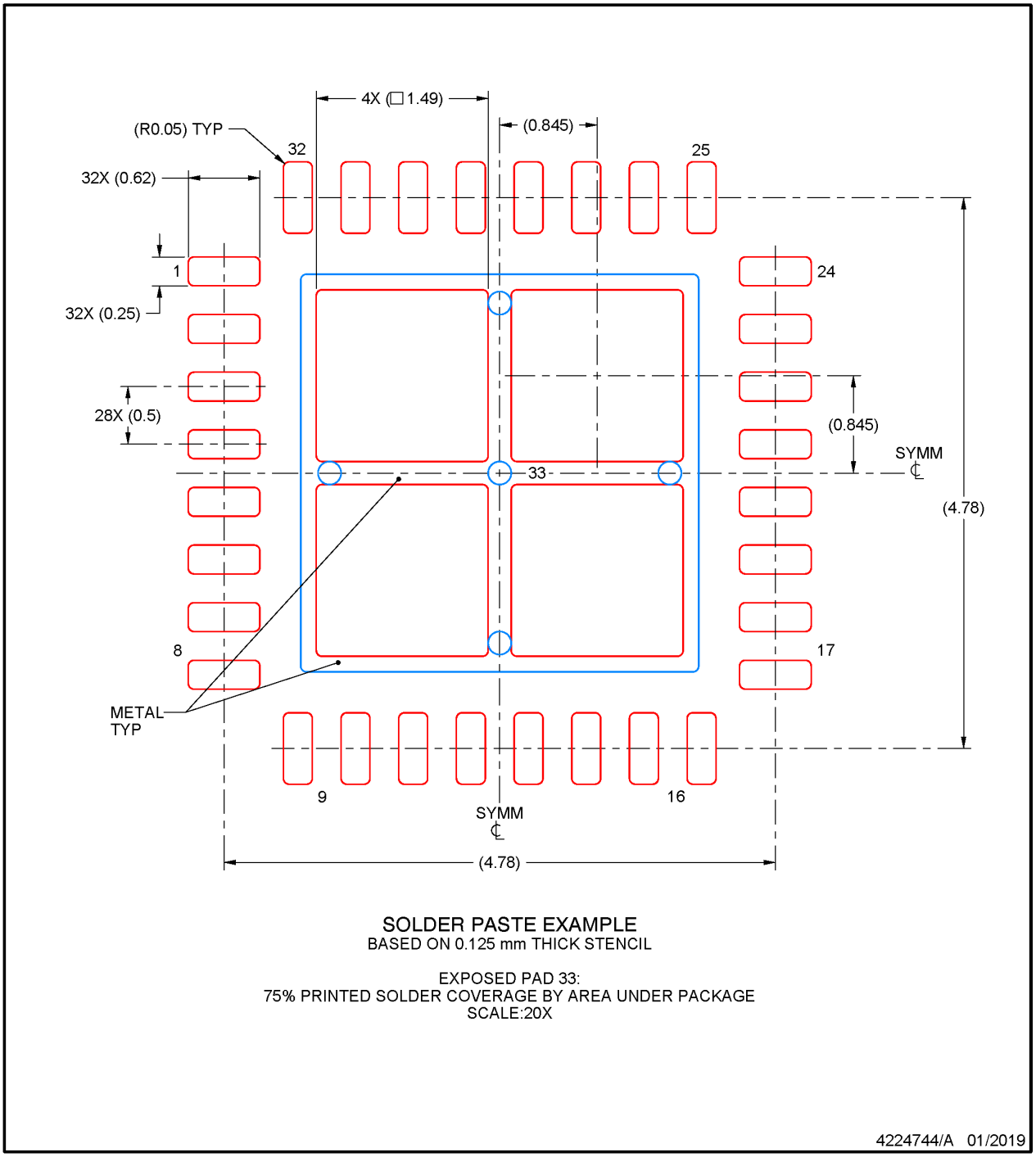
ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

RHB0032T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

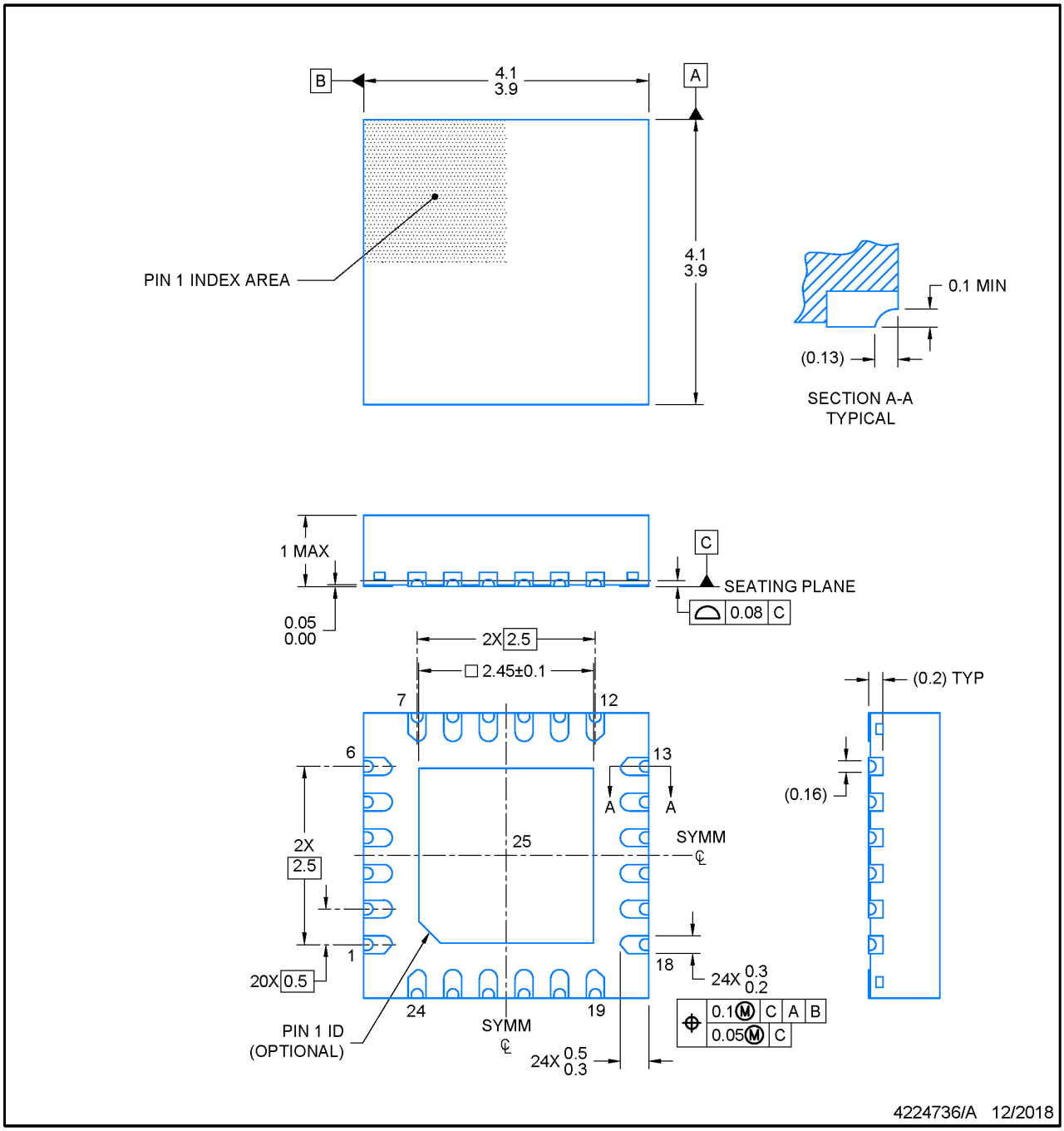
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

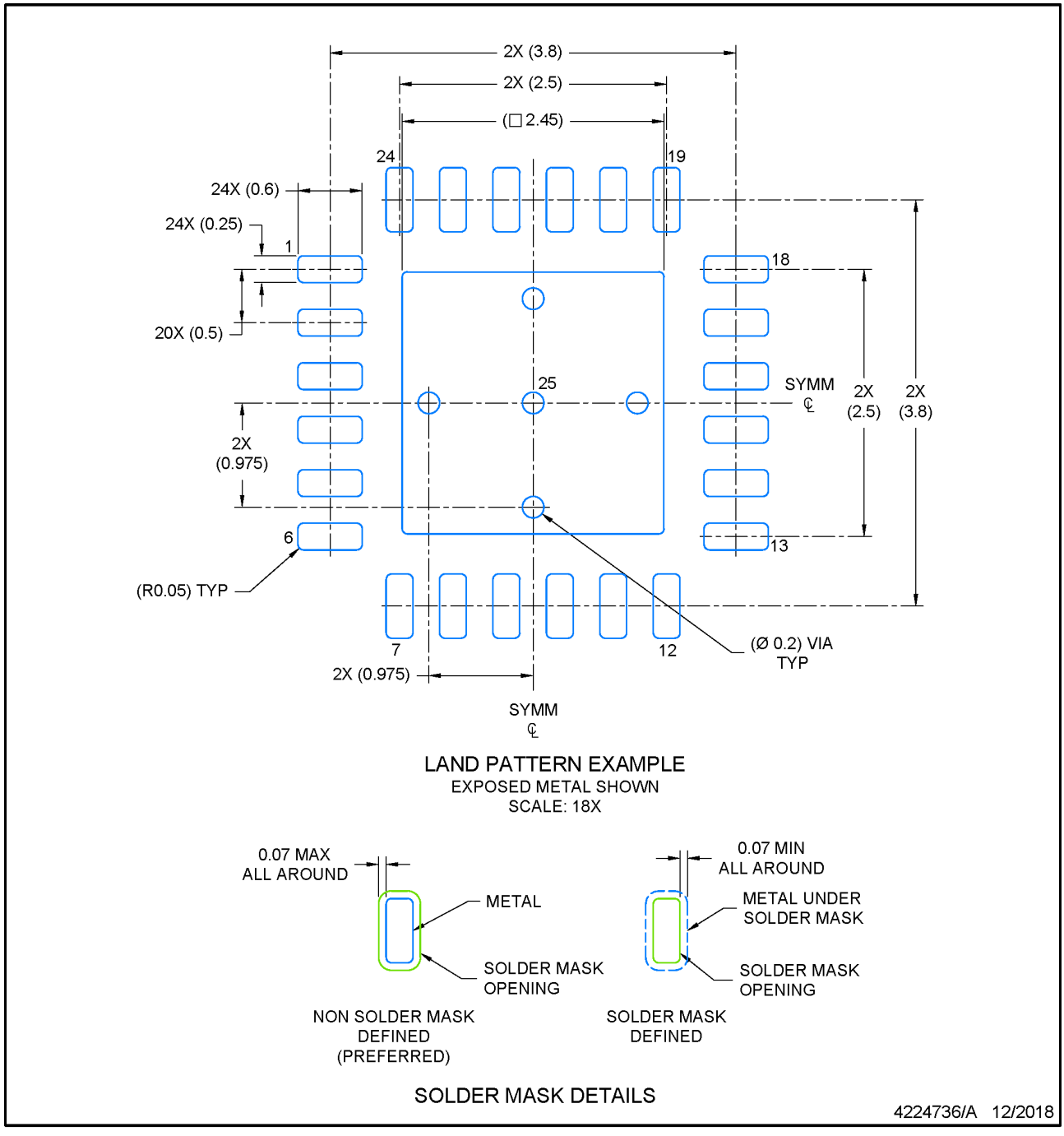
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

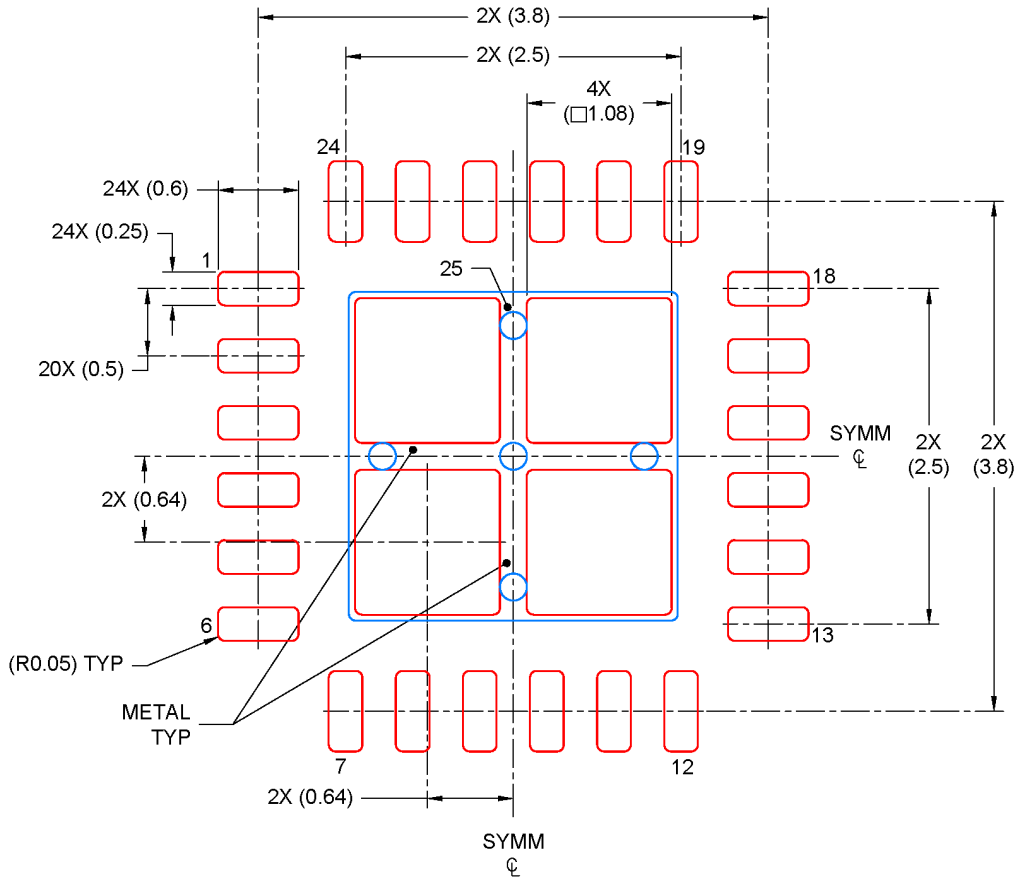
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 18X

4224736/A 12/2018

ADVANCE INFORMATION

NOTES: (continued)

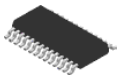
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

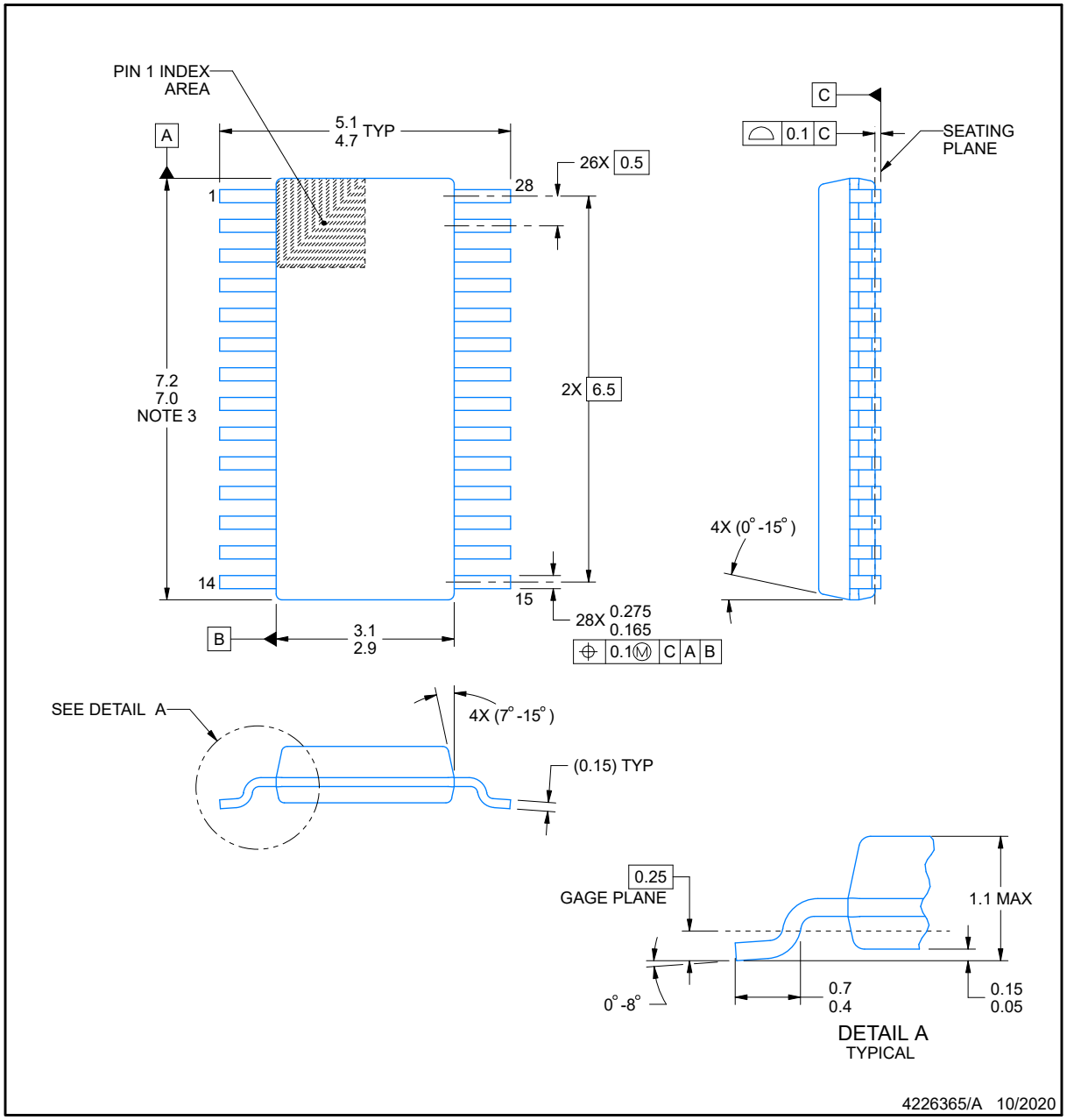
PACKAGE OUTLINE

DGS0028A



VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

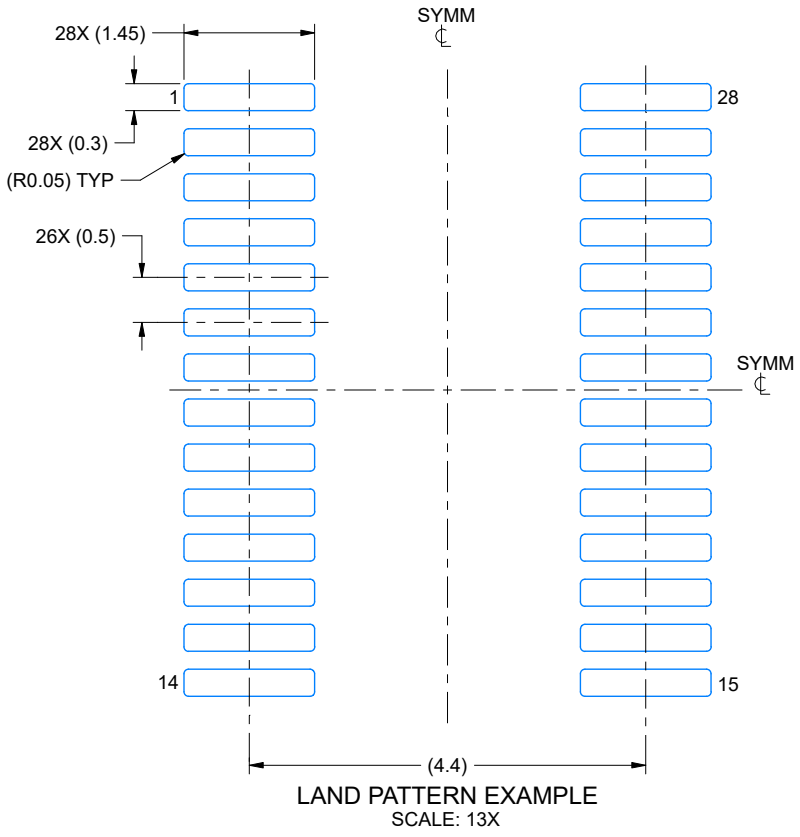
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

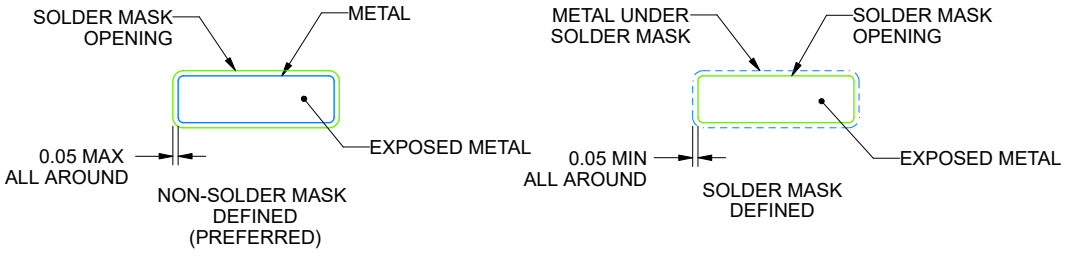
DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE: 13X



SOLDER MASK DETAILS

4226365/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

ADVANCE INFORMATION

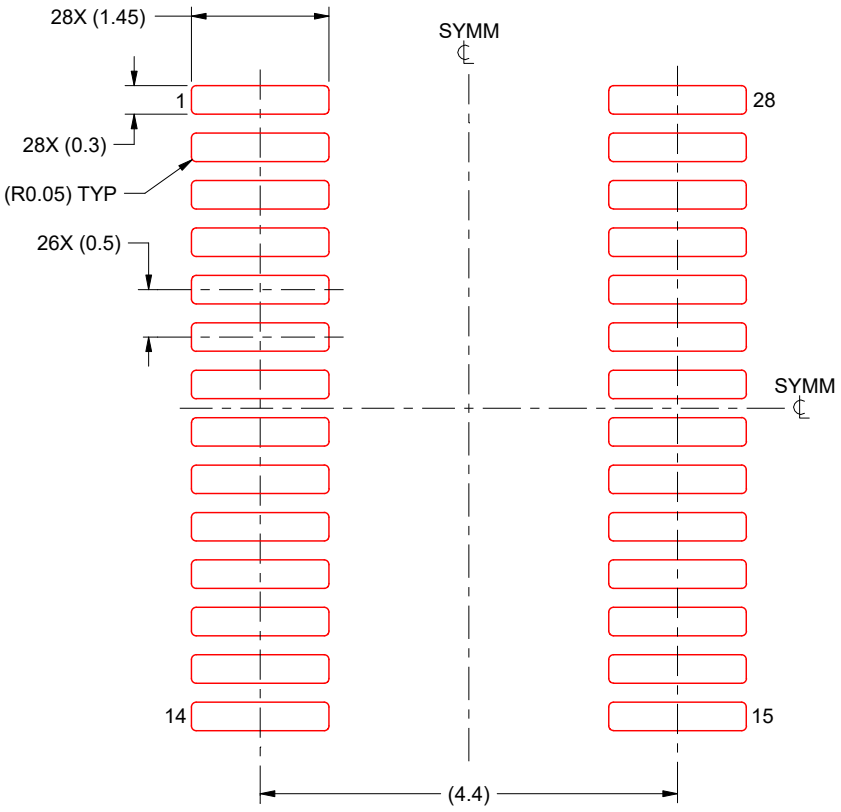
ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

DGS0028A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 13X

4226365/A 10/2020

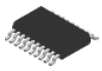
NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

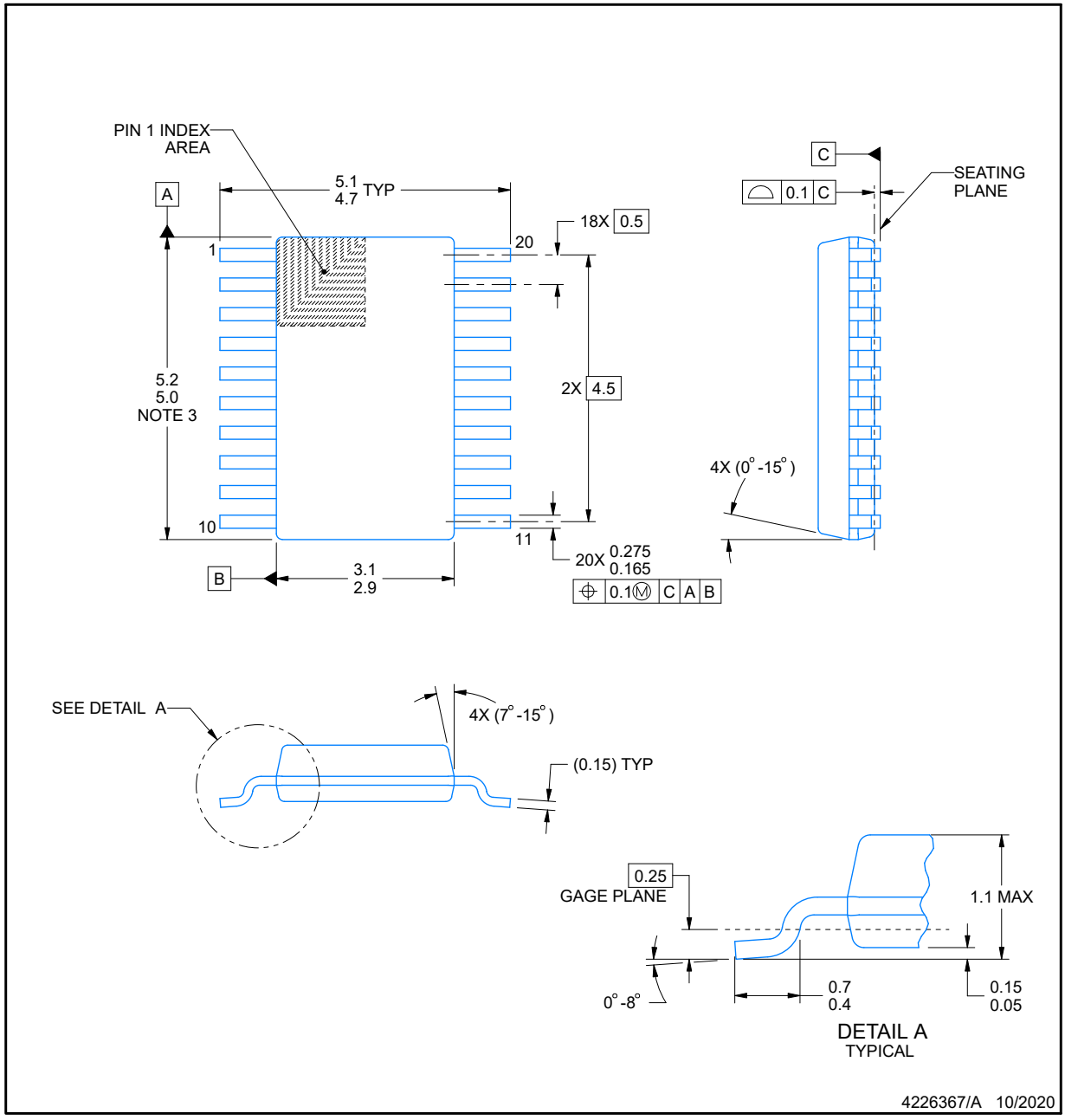
PACKAGE OUTLINE

DGS0020A



VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

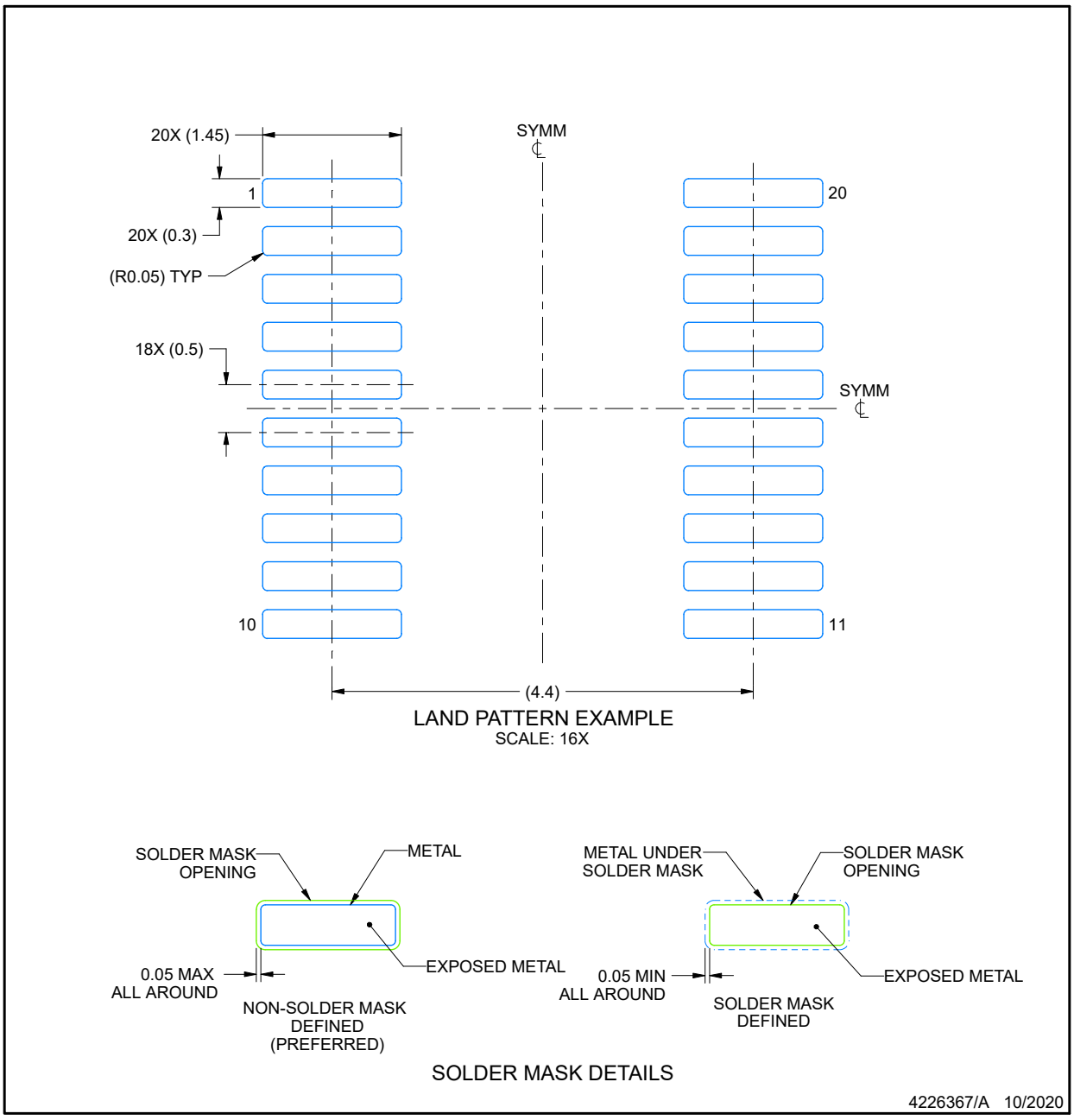
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

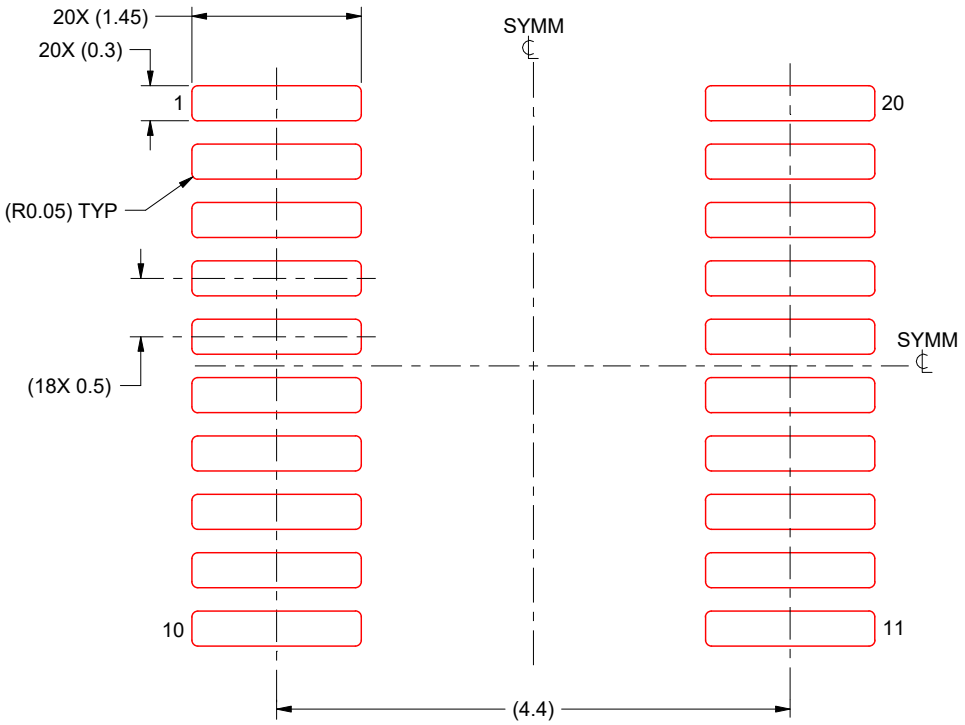
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

ADVANCE INFORMATION

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
XM0G3218QPMRQ1	Active	Preproduction	LQFP (PM) | 64	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XM0G3218QPTRQ1	Active	Preproduction	LQFP (PT) | 48	1000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XM0G3218QRGZRQ1	Active	Preproduction	VQFN (RGZ) | 48	4000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XM0G3218QRHBRQ1	Active	Preproduction	VQFN (RHB) | 32	5000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

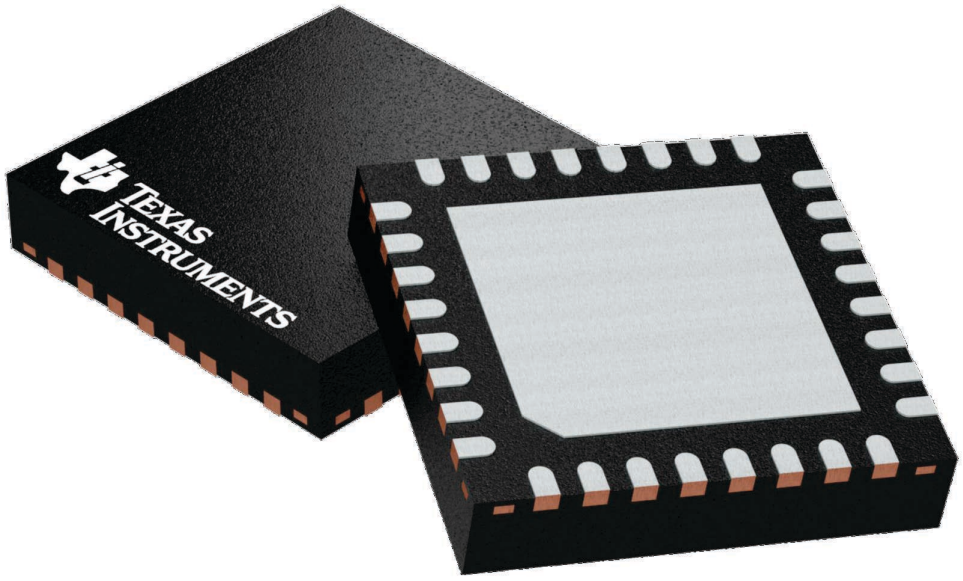
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

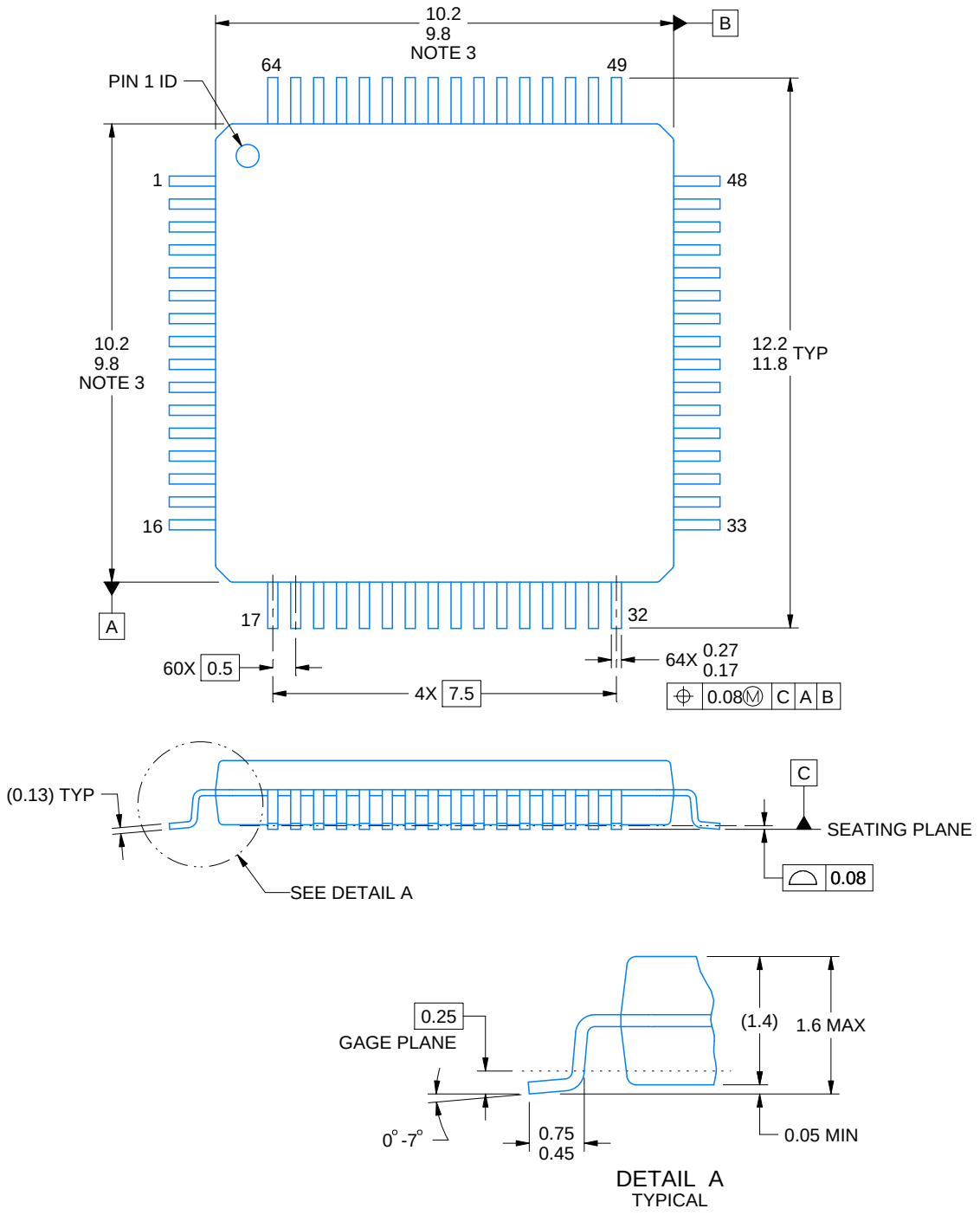
4224745/A

PACKAGE OUTLINE

PM0064A

LQFP - 1.6 mm max height

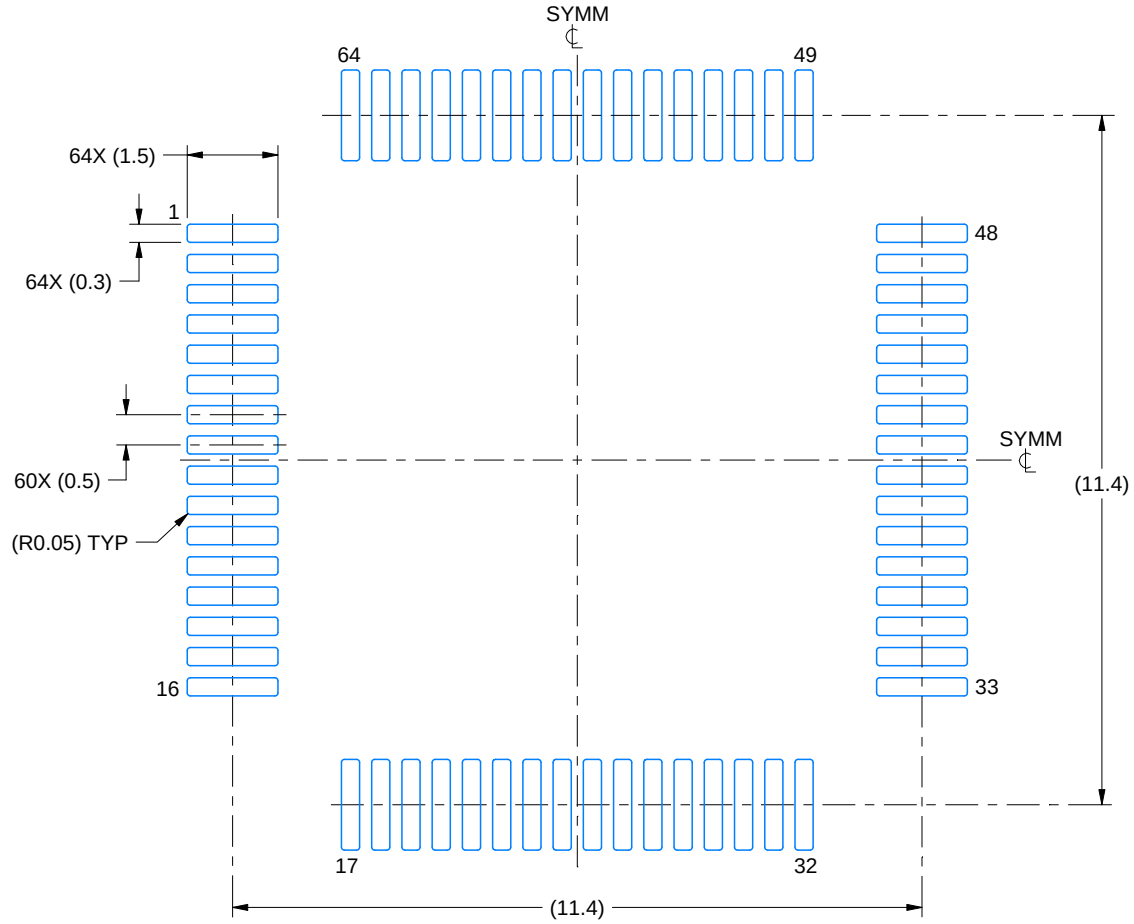
PLASTIC QUAD FLATPACK



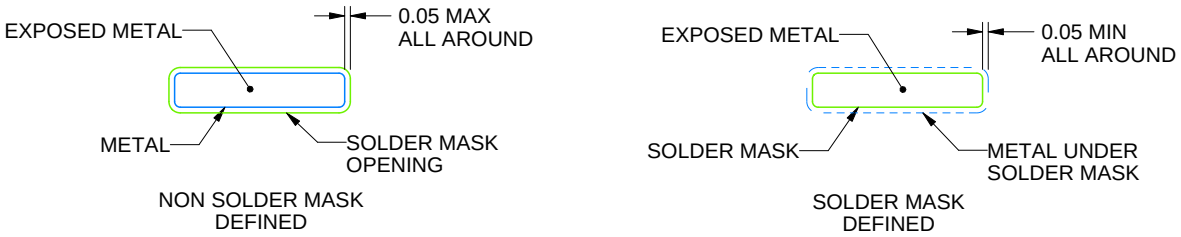
4215162/A 03/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

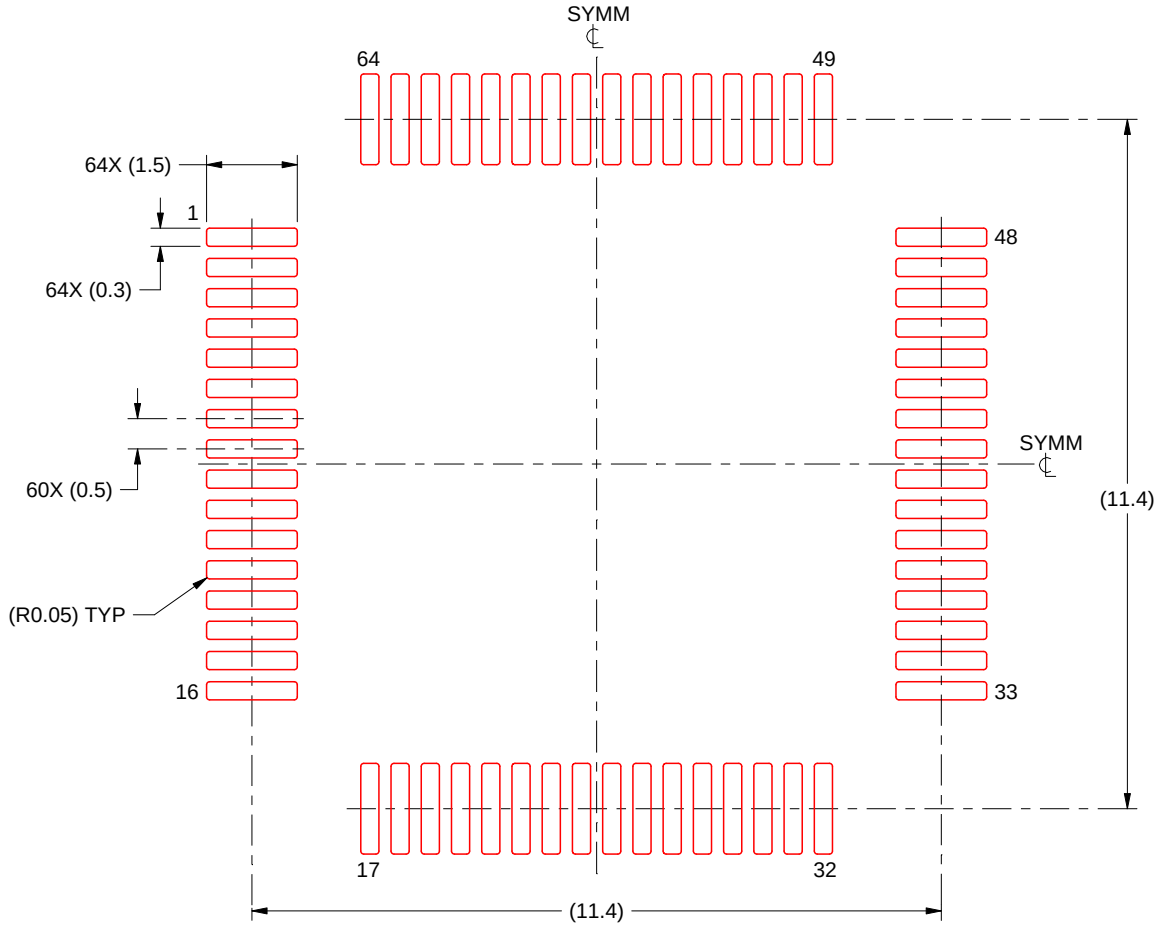


SOLDER MASK DETAILS

4215162/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4215162/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

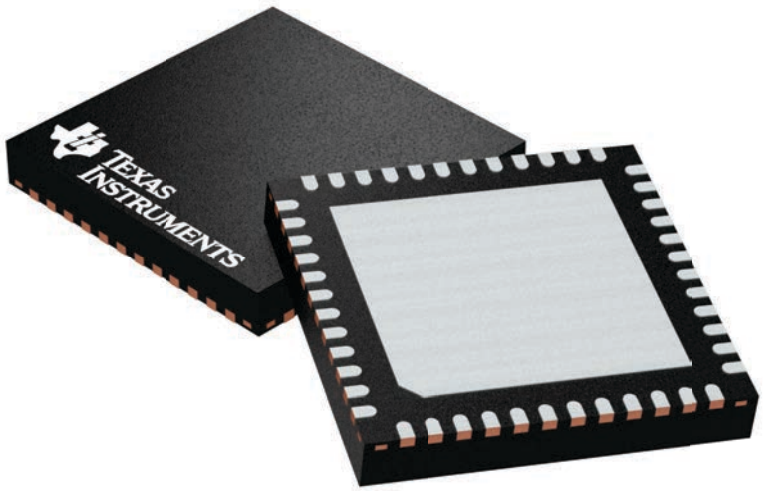
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

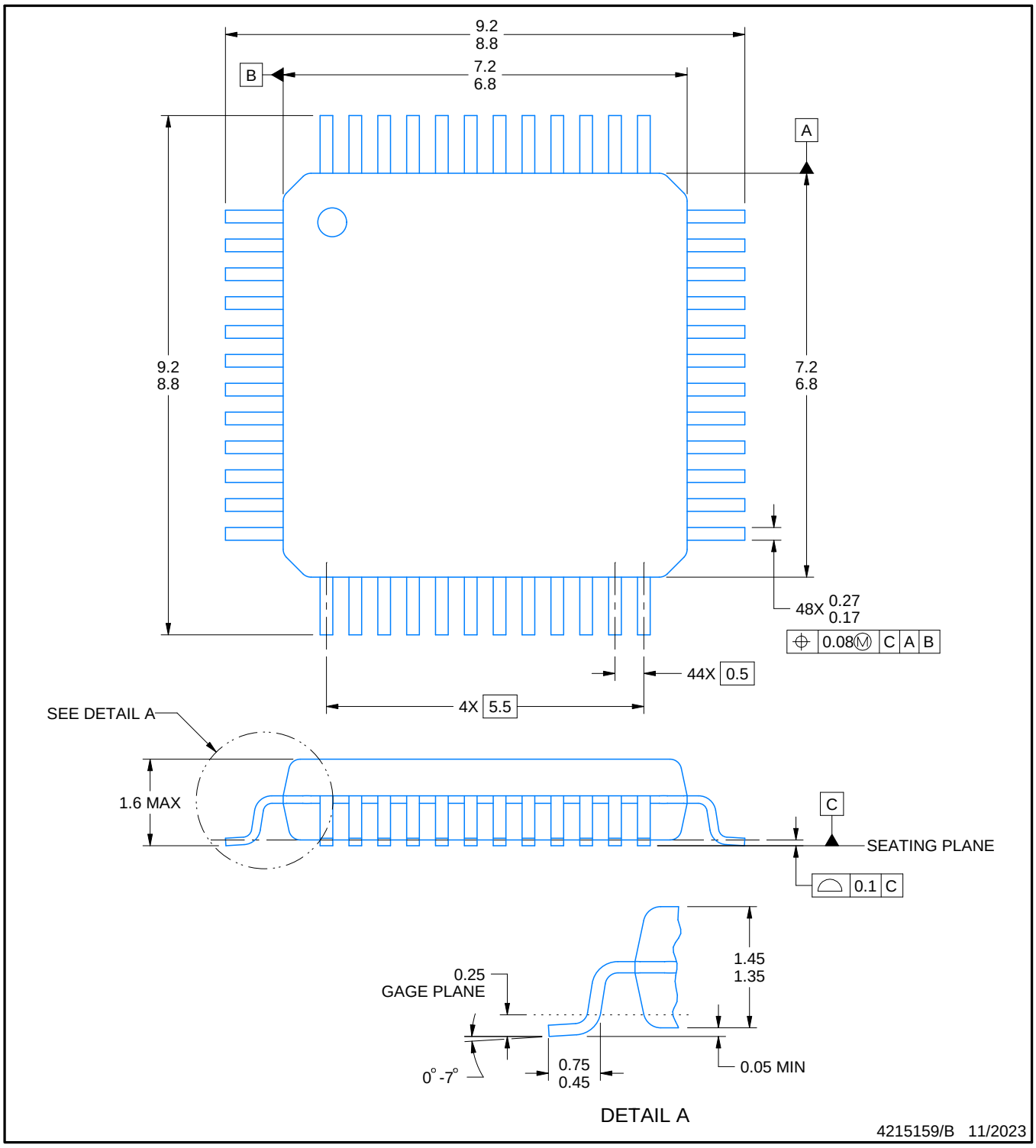
4224671/A

PACKAGE OUTLINE

PT0048A

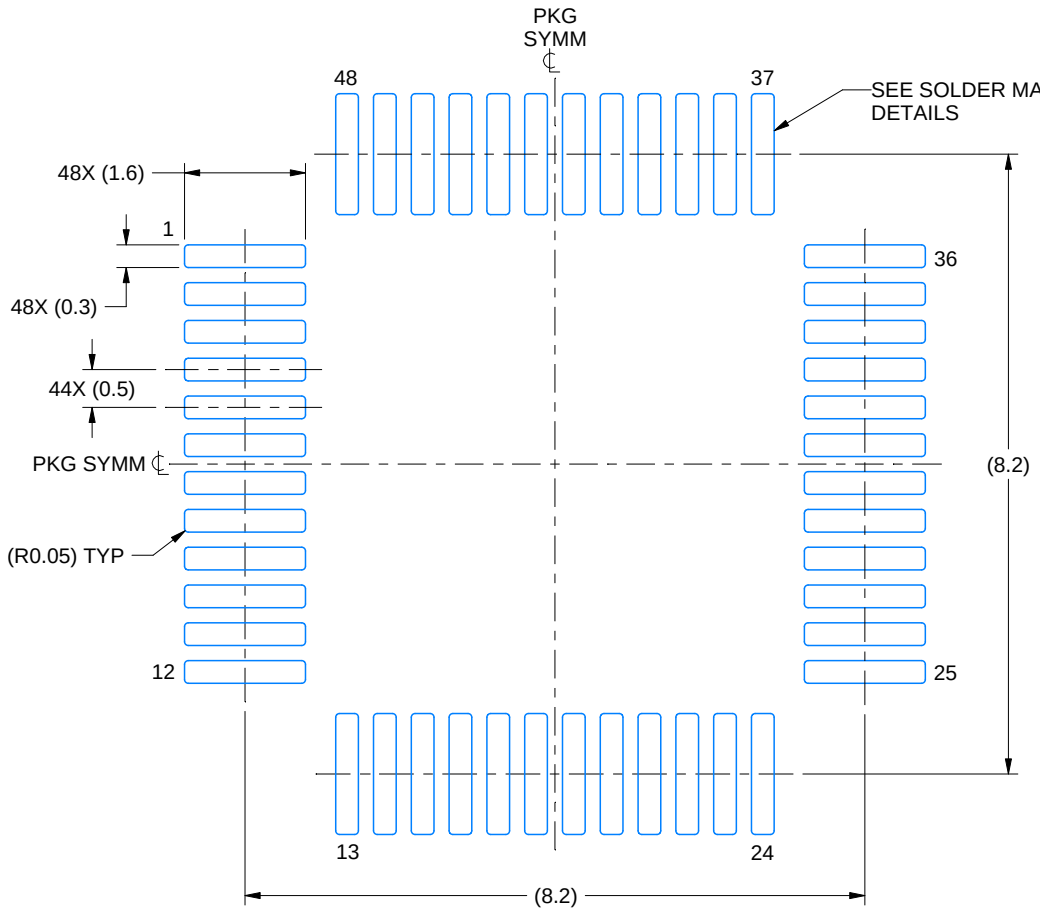
LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK

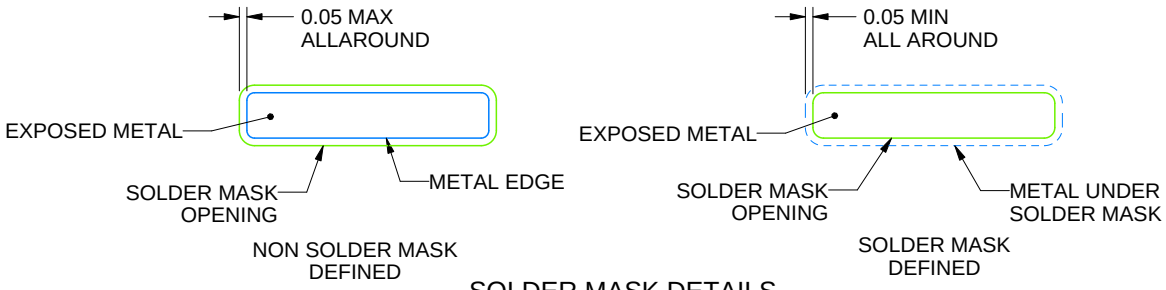


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads conected to the die pads.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE 10.000

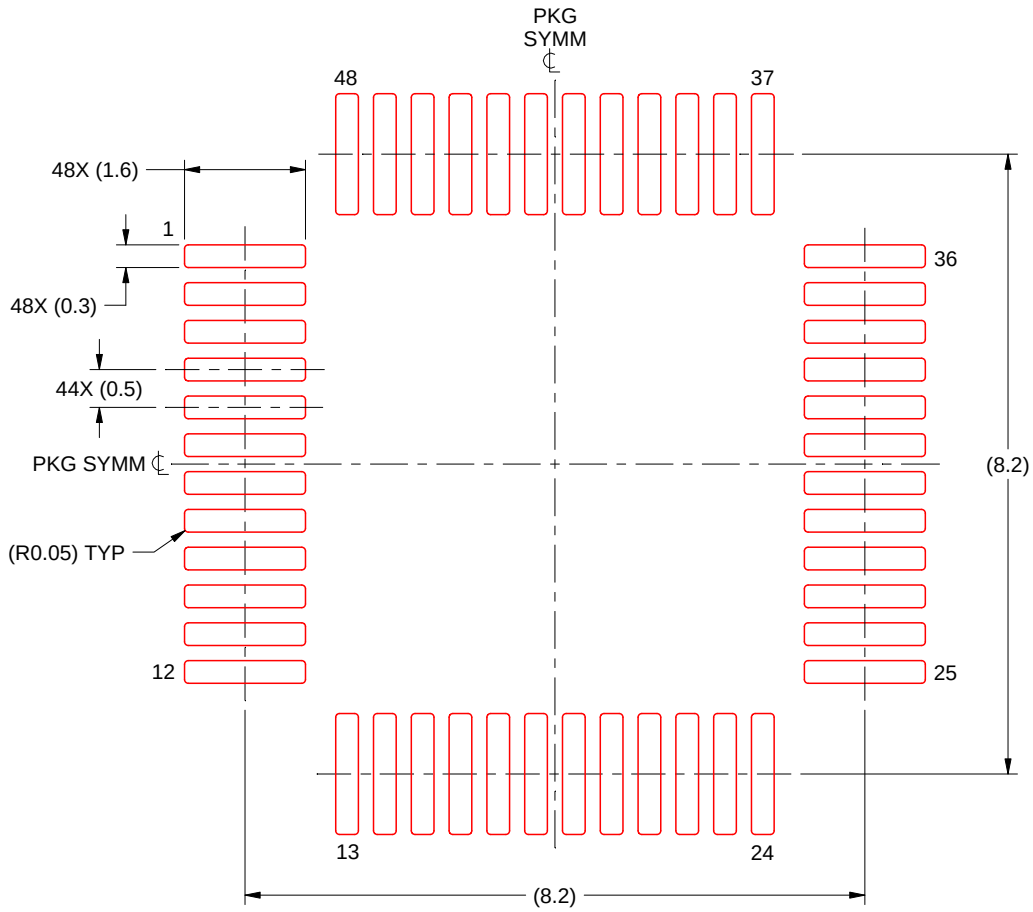


SOLDER MASK DETAILS

4215159/B 11/2023

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X

4215159/B 11/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月