LMX2615-SP 具有相位同步功能且支持 JESD204B 的航空级 40MHz 至 15GHz 宽带合成器

1 特性

- 辐射规范：
  - 单粒子闩锁效应 >120MeV-cm^2/mg
  - 电离辐射总剂量达 100krad(Si)
  - SMD 5962R1723601VXC
- 40MHz 至 15.2GHz 输出频率
- 在 100KHz 偏移和 15GHz 载波下具有 -110dBc/Hz 的相位噪声
- 在 8GHz 时，具有 45fs RMS 抖动（100Hz 至 100MHz）
- 可编程输出功率
- PLL 主要规格：
  - 品质因数：–236dBc/Hz
  - 归一化 1/f 噪声：–129dBc/Hz
  - 相位检测器频率高达 200MHz
- 跨多个器件实现输出相位同步
- 支持具有可编程延迟的 SYSREF
- 3.3V 单电源运行
- 71 种预选引脚模式
- 11 × 11mm² 64 引线 CQFP 陶瓷封装
- 工作温度范围：-55°C 至 +125°C

2 应用

- 航空通信
- 航空雷达系统
- 相控阵天线和波束形成
- 高速数据转换器时钟（支持 JESD204B）

3 说明

LMX2615-SP 是一款集成有电压控制振荡器 (VCO) 和稳压器的高性能宽带锁相环 (PLL)，在无倍频器的情况，可输出 40MHz 至 15.2GHz 范围内的任意频率，从而无需使用 ½ 谐波滤波器。此器件上的 VCO 涵盖了整个倍频区间，因而频率覆盖度可完全低至 40MHz。品质因数为 -236dBc/Hz 的高性能 PLL 和高相位检测器频率可实现非常低的带内噪声和集成抖动。

LMX2615-SP 允许用户同步多个器件实例的输出。这意味着我们可从任意应用情形下的器件中获得确定性相位，包括采用分数引擎或启用输出分频器的情形。该器件还支持生成或重复 SYSREF（符合 JESD204B 标准），因此适合用作高速数据转换器的低噪声时钟源。

器件信息

器件型号	等级	封装
LMX2615-MKT-MS	机械采样(1)	64 引线 CQFP
LMX2615W-MPR	工程模型(2)	64 引线 CQFP
5962R1723601VXC	飞行模型	64 引线 CQFP 质量 = 1787mg(3)

(1) 这些器件只是封装，不包含裸片；它们仅用于机械评估目的。
(2) 这些器件不适用于生产或飞行系统用途，仅用于工程评估。有关详细信息，请参阅节 10.1。
(3) 标称值。

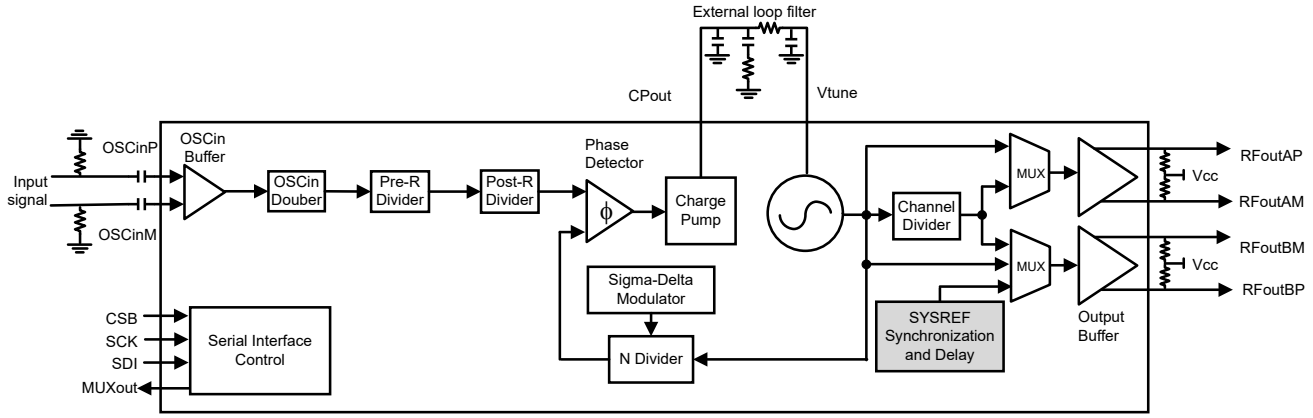


图 3-1. 简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 6
5.1 绝对最大额定值 6
5.2 ESD 等级 6
5.3 建议运行条件 6
5.4 热性能信息 6
5.5 电气特性 7
5.6 时序要求 9
5.7 时序图 9
5.8 典型特性 11
6 详细说明 13
6.1 概述 13
6.2 功能方框图 13
6.3 特性说明 14
6.4 器件功能模式 26
6.5 编程 28
6.6 寄存器映射 29
7 应用和实施 63
7.1 应用信息 63
7.2 外部环路滤波器 66
7.3 典型应用 67
7.4 电源相关建议 69
7.5 布局 70
8 器件和文档支持 72
8.1 器件支持 72
8.2 文档支持 72
8.3 接收文档更新通知 72
8.4 支持资源 72
8.5 商标 72
8.6 静电放电警告 72
8.7 术语表 72
9 修订历史记录 72
10 机械、封装和可订购信息 75
10.1 工程样片 75

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

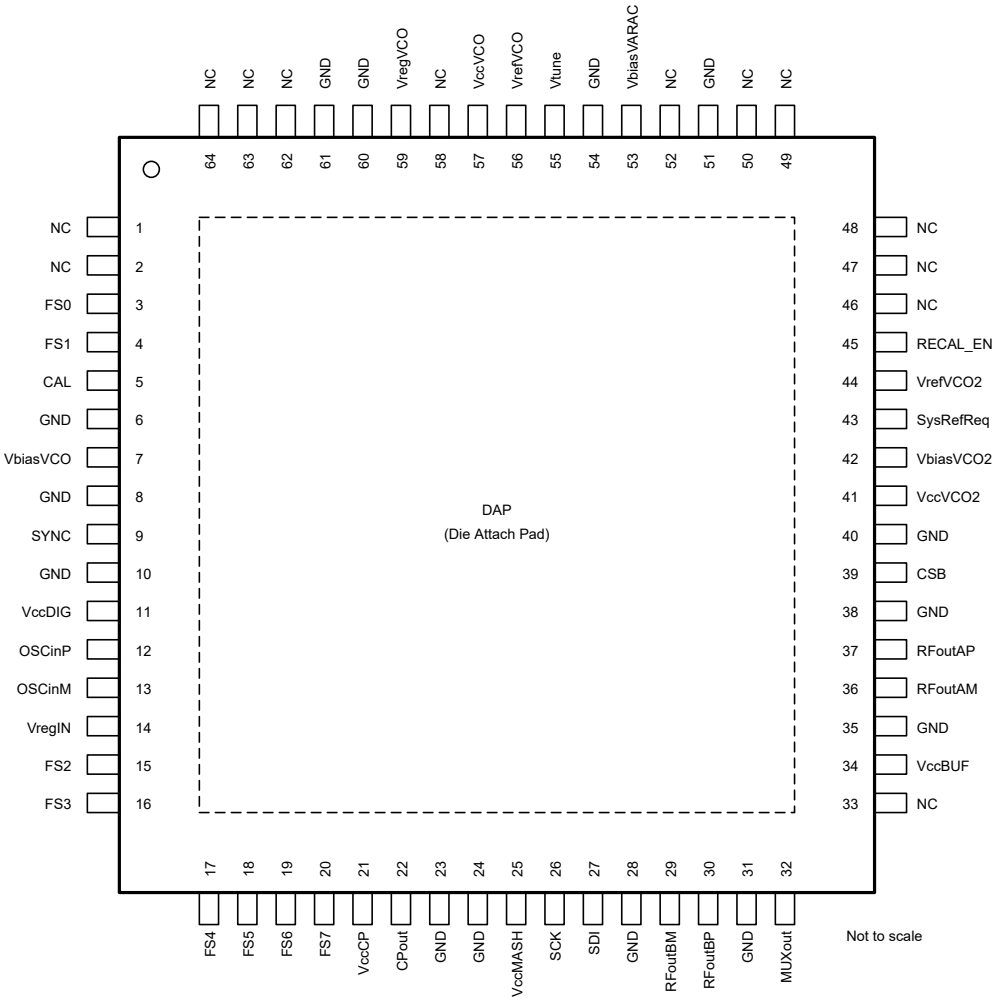


图 4-1. HBD 封装 64 引脚 CQFP 顶视图

表 4-1. 引脚功能

引脚		类型(1)	说明
编号	名称		
1	NC	NC	无连接。引脚可以接地，也可以不连接。
2	NC	NC	无连接。引脚可以接地，也可以不连接。
3	FS0	I	引脚模式并行引脚控制位 0。这是 LSB。
4	FS1	I	引脚模式并行引脚控制位 1。
5	CAL	I	芯片启用引脚。器件上的有效 High 电源。 在引脚模式下，到该引脚的低电平到高电平转换会激活 VCO 校准。
6	GND	G	接地。
7	VbiasVCO	BP	VCO 偏置。需要将 10μF 电容器接地。靠近引脚放置。
8	GND	G	接地。
9	SYNC	I	相位同步 SYNC 信号输入引脚。
10	GND	G	接地。
11	VccDIG	P	数字电源。连接到 3.3V，并将低 ESR 1μF 去耦电容器接地。
12	OSCinP	I	基准输入时钟 (+)。高输入阻抗。需要连接串联电容器（建议使用 1μF）。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
编号	名称		
13	OSCinM	I	连接到 OSCinP 的互补引脚。
14	VregIN	BP	输入基准路径调节器去耦。需要将 1µF 电容器接地。靠近引脚放置。
15	FS2	I	引脚模式并行引脚控制位 2。
16	FS3	I	引脚模式并行引脚控制位 3。
17	FS4	I	引脚模式并行引脚控制位 4。
18	FS5	I	引脚模式并行引脚控制位 5。
19	FS6	I	引脚模式并行引脚控制位 6。
20	FS7	I	引脚模式并行引脚控制位 7。这是 MSB。 当该引脚为低电平时，只有 RFoutA 有效，否则两个输出都有效。
21	VccCP	P	电荷泵电源。连接到 3.3V，并将低 ESR 1µF 去耦电容器接地。
22	CPout	O	电荷泵输出。建议将环路滤波器的 C1 靠近该引脚连接。
23	GND	G	接地。
24	GND	G	接地。
25	VccMASH	P	数字电源。连接到 3.3V，并将低 ESR 1µF 去耦电容器接地。
26	SCK	I	SPI 输入时钟。
27	SDI	I	SPI 输入数据。
28	GND	G	接地。
29	RFoutBM	O	RFoutBP 的互补引脚。
30	RFoutBP	O	差分输出 B (+)。需要在尽可能靠近引脚的位置将一个 50Ω 上拉电阻连接到 V_{CC}。可用作 RF 输出或 SYSREF 输出。
31	GND	G	接地。
32	MUXout	O	多路复用输出引脚。可配置成锁定检测输出、SPI 回读数据输出或高阻抗（约为 8kΩ 至接地）。
33	NC	NC	无连接。引脚可以接地，也可以不连接。
34	VccBUF	P	输出缓冲器电源。连接到 3.3V，并将低 ESR 0.1µF 去耦电容器接地。
35	GND	G	接地。
36	RFoutAM	O	RFoutAP 的互补引脚。
37	RFoutAP	O	差分输出 A (+)。需要在尽可能靠近引脚的位置将一个 50Ω 上拉电阻连接到 V_{CC}。
38	GND	G	接地。
39	CSB	I	SPI 芯片选择。
40	GND	G	接地。
41	VccVCO2	P	VCO 电源。连接到 3.3V，并将低 ESR 1µF 去耦电容器接地。该引脚和 VccVCO 引脚必须连接至同一电源。
42	VbiasVCO2	BP	VCO 偏置。需要将 1µF 电容器接地。
43	SysRefReq	I	用于支持 JESD204B 的 SYSREF 请求输入。
44	VrefVCO2	BP	VCO 电源基准。需要将 10µF 电容器接地。
45	RECAL_EN	I	高电平有效使能自动重新校准功能。 内部 200kΩ 上拉。
46	NC	NC	无连接。引脚可以接地，也可以不连接。
47	NC	NC	无连接。引脚可以接地，也可以不连接。
48	NC	NC	无连接。引脚可以接地，也可以不连接。
49	NC	NC	无连接。引脚可以接地，也可以不连接。
50	NC	NC	无连接。引脚可以接地，也可以不连接。
51	GND	G	接地。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
编号	名称		
52	NC	NC	无连接。引脚可以接地，也可以不连接。
53	VbiasVARAC	BP	VCO 变容偏置。需要将 10µF 电容器接地。
54	GND	G	接地。
55	Vtune	I	VCO 调谐电压输入。将 1.5nF 或更高电容器接地。
56	VrefVCO	BP	VCO 电源基准。需要将 10µF 电容器接地。
57	VccVCO	P	VCO 电源。连接到 3.3V，并将低 ESR 1µF 去耦电容器接地。该引脚和 VccVCO2 引脚必须连接至同一电源。
58	NC	NC	无连接。引脚可以接地，也可以不连接。
59	VregVCO	BP	VCO 稳压器节点。需要将 1µF 电容器接地。
60	GND	G	接地。
61	GND	G	接地。
62	NC	NC	无连接。引脚可以接地，也可以不连接。
63	NC	NC	无连接。引脚可以接地，也可以不连接。
64	NC	NC	无连接。引脚可以接地，也可以不连接。
—	DAP	G	裸片连接焊盘金属盖、密封圈及 DAP 在内部连接至 GND。使用多个过孔将 DAP 连接到 PCB 接地平面，以获得良好的热性能。

(1) 下面的定义定义了每个引脚的 I/O 类型。

- I = 输入
- O = 输出
- BP = 旁路
- G = 接地
- NC = 无连接
- P = 电源

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{CC}	电源电压(1)	-0.3	3.6	V
V_{DIG}	数字引脚电压（FS0 - FS7、SYNC、SysRefReq、RECAL_EN、CAL、SCK、SDI、CSB）	-0.3	V_{CC}+0.3	V
$\|V_{OSC}\|$	OSCinP 和 OSCinM 之间的差分交流电压		2.1	V_{PP}
T_J	结温	-55	150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)(1)	±1000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22C101，所有引脚(2)	±250	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{CC}	电源电压	3.2	3.3	3.45	V
T_C	外壳温度	-55	25	125	°C

5.4 热性能信息

热指标(1)		CQFP	单位
		64 引脚	
$R_{\theta JA}$	结至环境热阻	22.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻(2)	7.3	°C/W
$R_{\theta JB}$	结至电路板热阻	7.6	°C/W
ψ_{JT}	结至顶部特征参数	2.2	°C/W
ψ_{JB}	结至电路板特征参数	7.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。
(2) DAP

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

3.2V ≤ V_{CC} ≤ 3.45V, –55°C ≤ T_C ≤ +125°C。典型值是 V_{CC} = 3.3V、25°C 条件下的值（除非另有指明）。

参数		测试条件		最小值	典型值	最大值	单位
电源							
I_{CC}	电源电流	OUTA_PD = 0，OUTB_PD = 1 OUTA_MUX = OUTB_MUX = 1 OUTA_PWR = 31，CPG = 7 f_{OSC} = f_{PD} = 100MHz，f_{VCO} = f_{OUT} = 14.5GHz			360		mA
	上电复位电流	RESET = 1			289		
	关断电流	POWERDOWN = 1			6		
输出特性							
P_{OUT}	单端输出功率(1) (2)	50Ω 电阻上拉 OUTx_PWR = 31	f_{OUT} = 8GHz		6		dBm
			f_{OUT} = 15GHz		4		
输入信号路径							
f_{OSC}	基准输入频率	OSC_2X = 0		5		1000	MHz
		OSC_2X = 1		5		200	
		3 类相位同步				50	
V_{OSC}	基准输入电压	单端交流耦合正弦波输入，互补侧交流通过 50Ω 电阻器耦合到地	f_{OSC} ≥ 20MHz	0.4		2	V_{PP}
			10MHz ≤ f_{OSC} < 20MHz	0.8		2	
			5MHz ≤ f_{OSC} < 10MHz	1.6		2	
相位检测器和电荷泵							
f_{PD}	相位检测器频率(3)	MASH_ORDER = 0		0.125		250	MHz
		MASH_ORDER > 0		5		200	
I_{CPout}	电荷泵漏电流	CPG = 0			15		nA
	有效电荷泵电流。这是向上电流和向下电流的总和	CPG = 4			3		mA
		CPG = 1			6		
		CPG = 5			9		
		CPG = 3			12		
		CPG = 7			15		
$PN_{PLL_1/f}$	归一化 PLL 1/f 噪声	f_{PD} = 100MHz，f_{VCO} = 12GHz(4)			-129		dBc/Hz
PN_{PLL_FOM}	归一化 PLL 本底噪声				-236		dBc/Hz

Copyright © 2025 Texas Instruments Incorporated

3.2V ≤ V_{CC} ≤ 3.45V, –55°C ≤ T_C ≤ +125°C。典型值是 V_{CC} = 3.3V、25°C 条件下的值（除非另有指明）。

参数		测试条件		最小值	典型值	最大值	单位
VCO 特性							
f_{VCO}	VCO 频率			7600		15200	MHz
PN_{VCO}	VCO 相位噪声	VCO1 f_{VCO} = 8.1GHz	100kHz		-105		dBc/Hz
			1MHz		-127		
			10MHz		-148		
			100MHz		-155		
		VCO2 f_{VCO} = 9.3GHz	100kHz		-103		
			1MHz		-125		
			10MHz		-146		
			100MHz		-153		
		VCO3 f_{VCO} = 10.4GHz	100kHz		-103		
			1MHz		-125		
			10MHz		-147		
			100MHz		-158		
		VCO4 f_{VCO} = 11.4GHz	100kHz		-101		
			1MHz		-124		
			10MHz		-146		
			100MHz		-158		
		VCO5 f_{VCO} = 12.5GHz	100kHz		-102		
			1MHz		-126		
			10MHz		-147		
			100MHz		-156		
		VCO6 f_{VCO} = 13.6GHz	100kHz		-101		
			1MHz		-124		
			10MHz		-146		
			100MHz		-160		
		VCO7 f_{VCO} = 14.7GHz	100kHz		-101		
			1MHz		-124		
			10MHz		-146		
			100MHz		-157		
t_{VCOCAL}	VCO 校准时间	整个频带切换； f_{OSC} = f_{PD} = 100MHz；无辅助校准			650		µs
K_{VCO}	VCO 增益	8.1GHz			94		MHz/V
		9.3GHz			106		
		10.4GHz			122		
		11.4GHz			148		
		12.5GHz			185		
		13.6GHz			202		
		14.7GHz			233		
$\lvert\Delta T_{CL}\rvert$	未重新校准 VCO 时允许的温漂				125		°C
H2	VCO 二次谐波	f_{VCO} = 8GHz，禁用分频器			-30		dBc
H3	VCO 三次谐波	f_{VCO} = 8GHz，禁用分频器			-25		

Copyright © 2025 Texas Instruments Incorporated

3.2V ≤ V_{CC} ≤ 3.45V, –55°C ≤ T_C ≤ +125°C。典型值是 V_{CC} = 3.3V、25°C 条件下的值（除非另有指明）。

参数		测试条件		最小值	典型值	最大值	单位
数字接口（适用于 SCK、SDI、CSB、CAL、RECAL_EN、MUXout、SYNC、SysRefReq、FSx）							
V_{IH}	高电平输入电压			1.6			V
V_{IL}	低电平输入电压					0.4	V
I_{IH}	高电平输入电流			-100		100	µA
I_{IL}	低电平输入电流			-100		100	µA
V_{OH}	高电平输出电压	MUXout 引脚	负载电流 = -5mA	V_{CC} – 0.6			V
V_{OL}	低电平输出电压		负载电流 = 5mA			0.6	V

(1) 在去嵌入微带布线损耗并与手动调谐器匹配后获得的单端输出功率。未使用的端口端接至 50 Ω 负载。
(2) 输出功率、杂散和谐波会因电路板布局布线和元件而异。
(3) 对于较低的 VCO 频率，N 分频器最小值会限制相位检测器频率。
(4) 使用一个干净基准和一个宽环路带宽来测量 PLL 噪声成分，包括闪烁噪声和平坦噪声。 PLL_flat = PLL_FOM + 20× log(f_{VCO}/f_{PD}) + 10 × log(f_{PD} / 1Hz). PLL_flicker (offset) = PLL_1/f + 20 × log(f_{VCO} / 1GHz) – 10× log(offset / 10kHz). 一旦找到这两个成分，可以按以下公式计算总 PLL 噪声：PLL_Noise = 10 × log($10^{PLL_Flat / 10}$ + $10^{PLL_flicker /10}$)

5.6 时序要求

（除非另有说明，否则 3.2V ≤ V_{CC} ≤ 3.45V，–55°C ≤ T_A ≤ +125°C。标称值在 V_{CC} = 3.3V、T_A = 25°C 下测得）

			最小值	标称值	最大值	单位
SYNC 和 SYSREFREQ 时序						
t_{SETUP}	引脚相对于 OSCIN 上升沿的设置时间	请参阅 图 5-1	2.5			ns
t_{HOLD}	引脚相对于 OSCIN 上升沿的保持时间		2.5			ns
SPI 时序						
f_{SPI}	SPI SCK 速度	t_{CWL} + t_{CWH} ≥ 500ns			2	MHz
t_{CE}	时钟到使能低电平时间	请参阅 图 5-2	50			ns
t_{CS}	时钟到数据等待时间		50			ns
t_{CH}	时钟到数据保持时间		50			ns
t_{CWH}	时钟脉冲宽度高电平		200			ns
t_{CWL}	时钟脉冲宽度低电平		200			ns
t_{CES}	使能到时钟设置时间		50			ns
t_{EWH}	使能脉冲宽度高电平		100			ns
t_{CD}	时钟下降沿到数据等待时间				200	ns

5.7 时序图

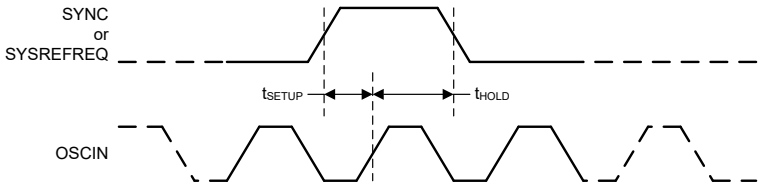


图 5-1. 触发信号计时示意图

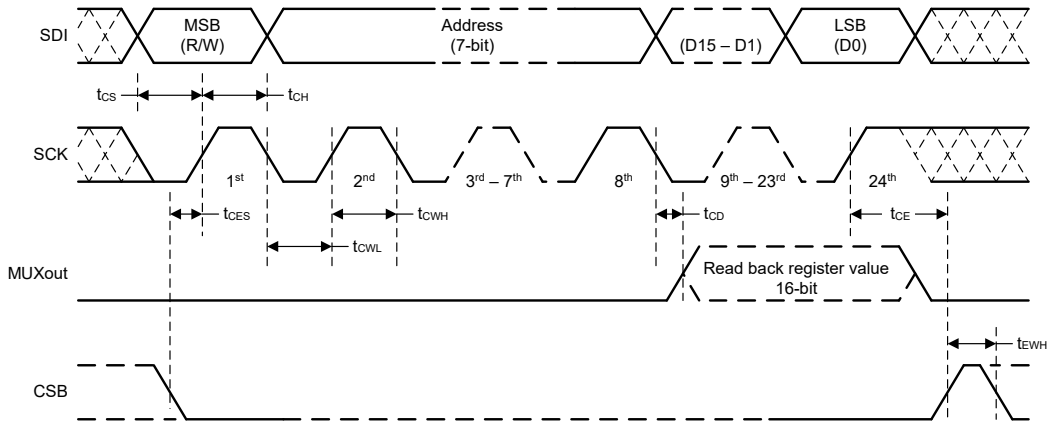


图 5-2. SPI 时序图

LMX2615-SP 支持 SPI 模式 0（CPOL=0、CPHA=0）以及模式 3（CPOL=01 CPHA=1）。

要写入寄存器：

- R/W 位必须设置为 0。
- SDI 引脚上的数据在 SCK 引脚上的时钟上升沿时钟输入移位寄存器。在 24 个时钟周期的上升沿，数据从数据字段传输到选定的寄存器组。
- CSB 引脚在编程后可以保持高电平，这会导致 LMX2615-SP 忽略时钟脉冲。
- 如果在 VCO 锁定时切换 SCK 和 SDI 线，就像有时在设备之间共享这些线的情况一样，在编程期间相位噪声可能会降低。

要读回寄存器：

- R/W 位必须设置为 1。
- SDI 线上的数据字段内容将被忽略。
- MUXout 引脚上的回读数据从第 8 时钟周期的下降沿开始计时输出。
- 仅当 MUXOUT_CTRL = 0 时，MUXout 引脚处于三态。

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性

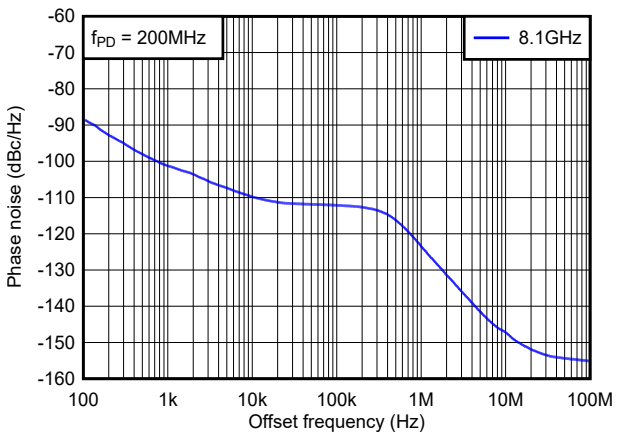


图 5-3. 8.1GHz 频率下的闭环相位噪声

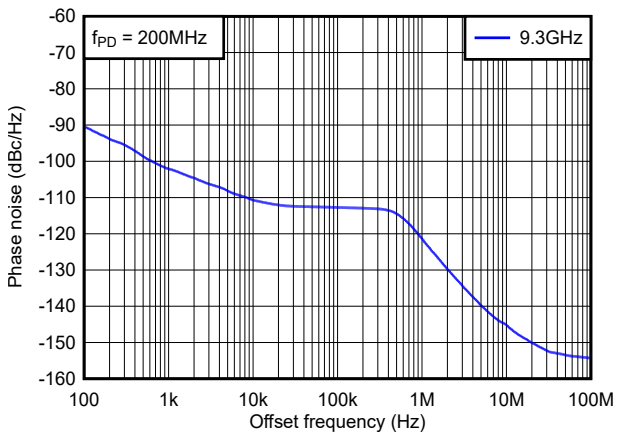


图 5-4. 9.3GHz 频率下的闭环相位噪声

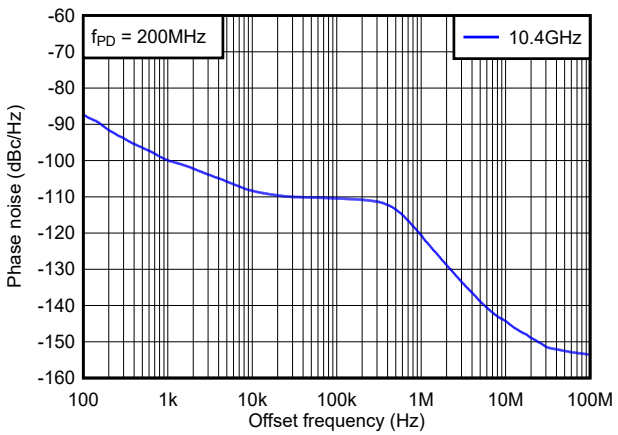


图 5-5. 10.4GHz 频率下的闭环相位噪声

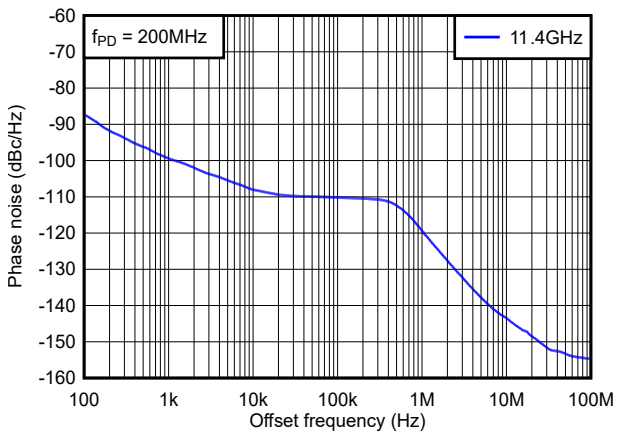


图 5-6. 11.4GHz 频率下的闭环相位噪声

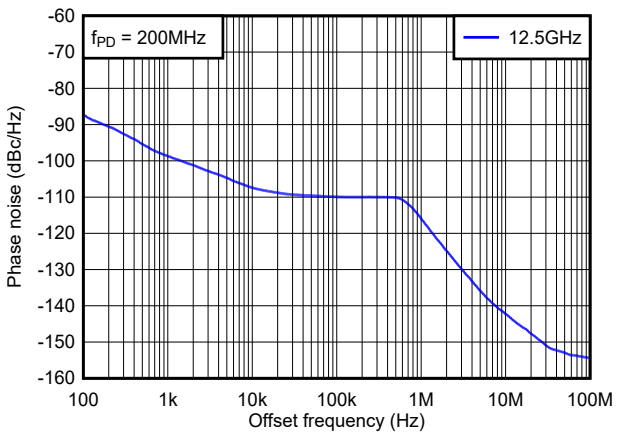


图 5-7. 12.5GHz 频率下的闭环相位噪声

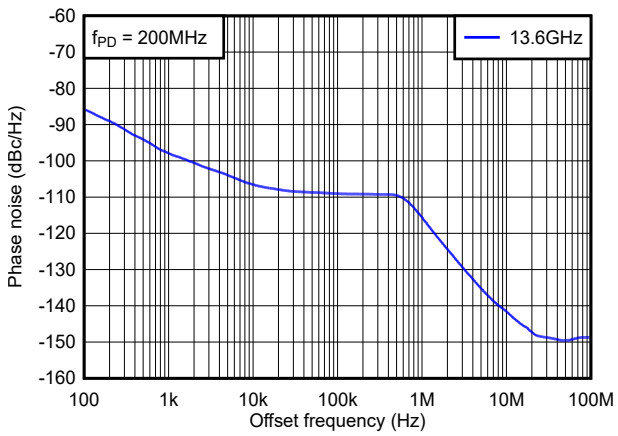


图 5-8. 13.6GHz 频率下的闭环相位噪声

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性（续）

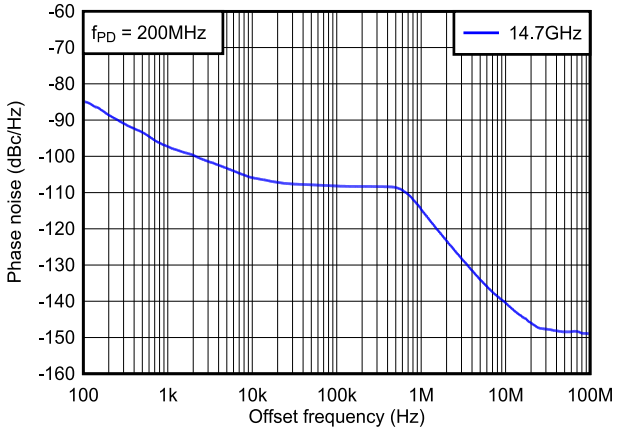


图 5-9. 14.7GHz 频率下的闭环相位噪声

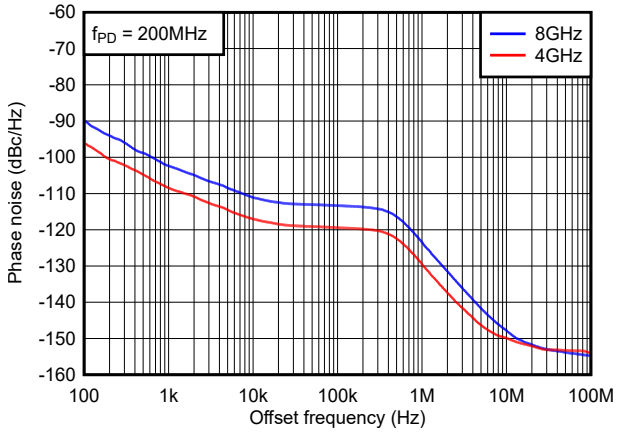


图 5-10. 启用 CHDIV 的情况下的闭环相位噪声

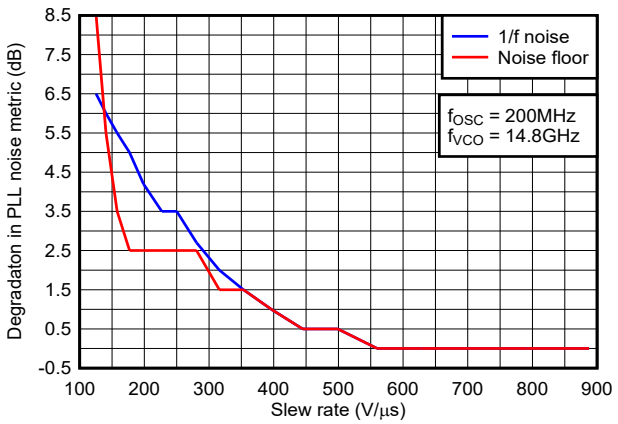


图 5-11. PLL 相位噪声指标与 f_{OSC} 压摆率间的关系

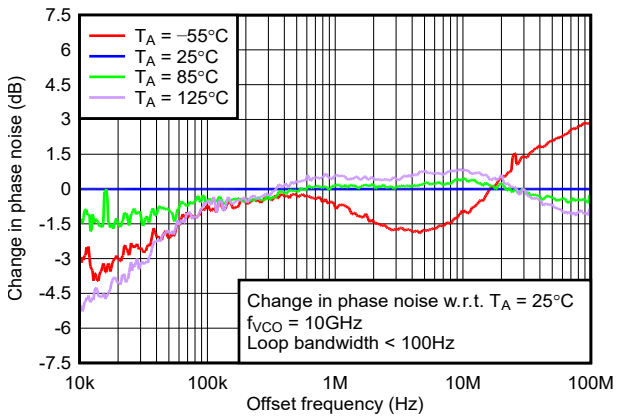


图 5-12. VCO 相位噪声随温度的变化

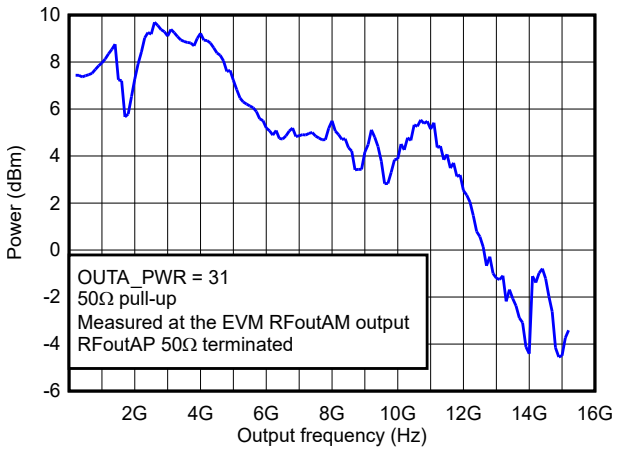


图 5-13. 输出功率与频率间的关系

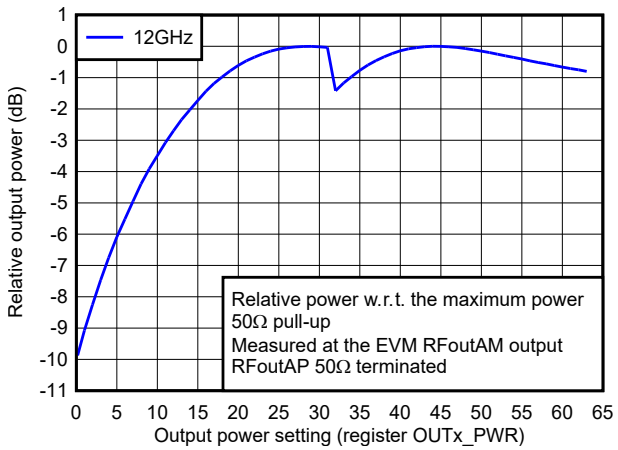


图 5-14. 输出功率与功率设置

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

LMX2615-SP 是一款具有集成 VCO 和输出分频器的高性能宽带频率合成器。VCO 的工作频率范围为 7600MHz 至 15200MHz，它可以与输出分频器结合使用，以产生 40MHz 至 15.2GHz 范围内的任何频率。输入路径中存在两个分频器。

PLL 是分数 N PLL，具有高达四阶的可编程 Δ-Σ 调制器。分母是可编程的 32 位 long 值，它可以很容易地提供低于 1Hz 分辨率的精准频率步长，也可用于进行精确分数计算，如 1/3、7/1000 等。

对于需要确定性或可调节相位的应用，SYNC 引脚可以用来获得 OSCin 和 RFout 引脚之间的确定性相位关系。一旦完成此操作，可以用 VCO 周期除以分母得出的非常精确的步长来调整相位。

超快速 VCO 校准很适合必须扫频或突然改变频率的应用。可对频率手动编程。

JESD204B 支持包括使用 RFoutB 输出来创建差分 SYSREF 输出，该输出可以是单个脉冲，也可以是在远离输出信号上升沿的可编程距离处出现的一系列脉冲。

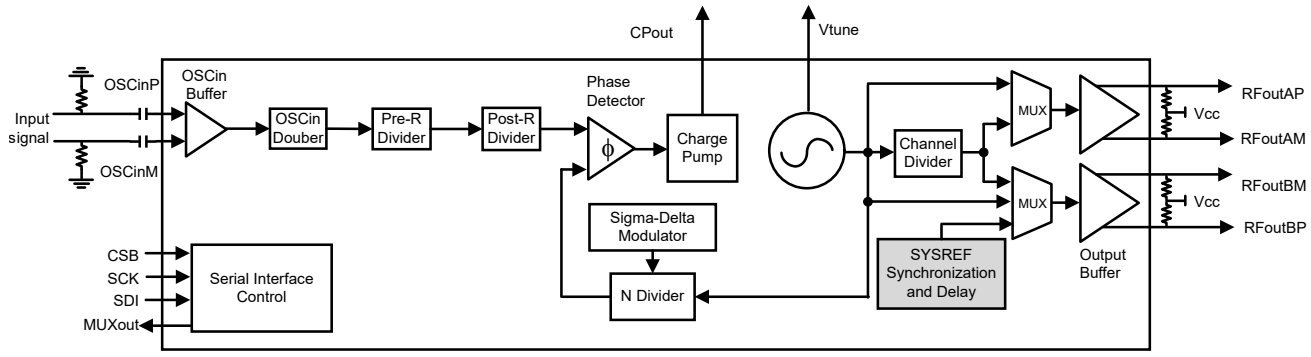
LMX2615-SP 器件仅需要一个 3.3V 电源。内部电源由集成 LDO 提供，无需高性能外部 LDO。

表 6-1 展示了几个倍频器、分频器和分数设置的范围。

表 6-1. 倍频器、分频器和分数设置的范围

参数	最小值	最大值	注释
OSCin 倍频器	0 (1X)	1 (2X)	低噪声倍频器可用于增加相位检测器频率，以改善相位噪声并避免杂散。这是关于 OSC_2X 位的内容。
R 预分频器	1（旁路）	128	只有在 R 后分频器的输入频率太高时，才使用 R 预分频器。
R 后分频器	1（旁路）	255	R 后分频器的最大输入频率为 250MHz。根据需要使用 R 预分频器。
N 分频器	≥ 28	524287	最小分频取决于分数阶和 VCO 频率。有关更多详细信息，请参阅节 6.3.5。
分子	0（整数通道）	2^{32} – 2 = 4294967294	分数分子是可编程的。当小数阶 = 整数模式时，忽略此分子。
分母	1	2^{32} – 1 = 4294967295	分母是可编程的，但该分母不是固定分母。
分数阶 (MASH_ORDER)	0	4	0 阶是整数模式，可以对阶数进行编程。
通道分频器	2	192	这是一个包含几个分频器的系列。此外，请注意，在 11.5GHz 以上时，允许的最大通道分频器值为 6。
输出频率	大约 40MHz	15.2GHz	这意味着最小 VCO 频率除以最大通道分频器值。

6.2 功能方框图



6.3 特性说明

6.3.1 基准振荡器输入

OSCin 引脚用作器件的频率基准输入。该输入为高阻抗，需要在引脚处使用交流耦合电容。可以使用 CMOS 时钟或 XO 对 OSCin 引脚进行单端驱动。还支持差分时钟输入，从而更轻松地与高性能系统时钟器件（例如 TI 的 LMK 系列时钟器件）连接。由于 OSCin 信号被用作 VCO 校准的时钟，因此在对 FCAL_EN = 1 进行编程时，必须在 OSCin 引脚上施加适当的基准信号。在 LMX2615-SP 器件上电之前，基准时钟信号可提供在 OSCin 上。

6.3.2 基准路径

基准路径由一个 OSCin 倍频器 (OSC_2X)、R 预分频器和一个 R 后分频器组成。

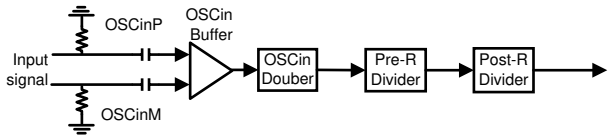


图 6-1. 基准路径图

OSCin 倍频器 (OSC_2X) 可以将低 OSCin 频率加倍。R 预分频器 (PLL_R_PRE) 和 R 后分频器 (PLL_R) 均向下分频。方程式 1 中计算了相位检测器频率 f_{PD}

$$f_{PD} = f_{OSC} \times OSC_2X / (PLL_R_PRE \times PLL_R) \quad (1)$$

对于方程式 1，请记住：

- 如果使用 OSCin 倍频器，则由于使用了上升沿和下降沿，OSCin 信号必须具有 50% 的占空比。
- 如果不使用 OSCin 倍频器，则仅使用 OSCin 信号的上升沿，占空比并不重要。

6.3.2.1 OSCin 倍频器 (OSC_2X)

OSCin 倍频器可用于将输入基准频率翻倍，最高可达 400MHz，并且引起的噪声最少。在某些情况下，因为 R 预分频器可将信号降低到相位检测器适应的频率范围，能够有效降低分数频率杂散，所以使用倍增器可将频率提升到比相位检测器的最大工作频率更高的频率。

6.3.2.2 R 预分频器 (PLL_R_PRE)

R 预分频器可用于降低输入频率，从而帮助满足 PLL-R 分频器最大 250MHz 的输入频率限制。否则不必使用预分频器。

6.3.2.3 R 后分频器 (PLL_R)

R 后分频器可用于进一步将频率分频为相位检测器频率。当使用分频器 (PLL_R > 1) 时，该分频器的输入频率限制为 250MHz。

6.3.3 状态机时钟

状态机时钟是器件内部使用的 OSCin 信号的分频版本。该除法值 1、2、4、8、16 或 32 由 CAL_CLK_DIV 编程字确定。该状态机时钟会影响各种功能，例如 VCO 校准。状态机时钟的计算公式为 $f_{SM} = f_{OSC} / 2^{CAL_CLK_DIV}$。最大状态机时钟频率为 50MHz。

6.3.4 PLL 相位检测器和电荷泵

相位检测器会比较 R 后分频器和 N 分频器的输出，并产生与相位误差相对应的校正电流，直到两个信号同相对齐。该电荷泵电流可通过软件编程设定为很多不同的电平，从而允许修改 PLL 的闭环带宽。

6.3.5 N 分频器和分数分频电路

N 分频器包括分数补偿，可以实现从 1 到 $(2^{32} - 1)$ 的任何分母。N 的整数部分是 N 分频器值的整数部分，而分数部分 N_{FRAC} = NUM/DEN 是剩余的分数部分。通常，总 N 分频器值由 N + NUM/DEN 来确定。N、NUM 和

Copyright © 2025 Texas Instruments Incorporated

DEN 可通过软件编程。分母越大，输出的分辨率阶跃越精细。例如，即使使用 f_{PD} = 200MHz，输出也可以按 200MHz / (2^{32} – 1) = 0.047Hz 的阶跃递增。方程式 2 显示了相位检测器和 VCO 频率之间的关系。

$$f_{VCO} = f_{PD} \times IncludedDivide \times (N + NUM / DEN) \quad (2)$$

控制该分数分频的 Σ-Δ 调制器也可在整数模式和四阶模式之间切换。为了使分数杂散保持一致，每当对 R0 寄存器进行编程时，调制器都会复位。

N 分频器具有基于调制器阶数和 VCO 频率的最小值限制。此外，必须根据表 6-2 对 PFD_DLY_SEL 位进行编程。PFD_DLY_SEL 用于优化相位噪声，建议值适用于大多数 PLL 配置。这些值可以略微改变，以满足实际应用需求。

在 SYNC 模式下，IncludedDivide 可以大于 1，否则 IncludedDivide 仅为 1。有关详细信息，请参阅表 6-11。

表 6-2. 最小 N 分频器限制

MASH_ORDER	f_{VCO} / IncludedDivide (MHz)	最小 N	PFD_DLY_SEL
0	⩽ 12500	29	1
	> 12500	33	2
1	⩽ 10000	30	1
	10000 – 12500	34	2
	> 12500	38	3
2	⩽ 4000	31	1
	7500 – 10000	35	2
	> 10000	39	3
3	⩽ 4000	33	1
	7500 – 10000	41	3
	> 10000	45	4
4	⩽ 4000	45	3
	7500 – 10000	53	5
	> 10000	57	6

6.3.6 MUXout 引脚

MUXout 引脚可配置为 PLL 的锁定检测指示器，或配置为串行数据输出 (SDO)，以便通过 SPI 接口回读寄存器。字段 MUXOUT_LD_SEL（寄存器 R0[2]）配置此输出。

表 6-3. MUXout 引脚配置

MUXOUT_LD_SEL	功能
0	用于回读的串行数据输出
1	锁定检测指示器

选择锁定检测指示器后，有两种类型的指示器，可以使用字段 LD_TYPE（寄存器 R59[0]）来选择指示器。第一个指示器称为“VCOCal”(LD_TYPE=0)，第二个指示器称为“Vtune 和 VCOCal”(LD_TYPE=1)。

6.3.6.1 用于回读的串行数据输出

在该模式下，MUXout 引脚变为 SPI 的串行数据输出。此输出可配置为三态 (MUXOUT_CTRL = 0)，因此可实现线路共享。当 LMX2615-SP 在全辅助模式下使用并且 VCO 校准数据被检索和保存以供将来使用时，回读非常有用。还可以通过回读，使用字段 rb_LD_VTUNE（寄存器 R110[10:9]）回读锁定检测状态。

Copyright © 2025 Texas Instruments Incorporated

6.3.6.2 锁定检测指示器设置为“VCOCal”类型

在此模式下，VCO 校准完成后（无论校准是否成功），MUXout 引脚都会置为高电平，并且锁定检测延迟计时器会超时。在 VCO 校准期间和锁定延迟计时器超时之前，MUXout 引脚为低电平。可编程锁定检测定时器 (LD_DLY) 在 VCO 校准完成后，在锁定检测指示器被断言为高之前增加了一个额外的延迟。LD_DLY 是 16 位无符号数，对应于状态机时钟周期数的 4 倍。例如，假设 f_{OSC} = 100MHz、CAL_CLK_DIV = 1、则状态机时钟频率 = f_{OSC} / $2^{CAL_CLK_DIV}$ = 50MHz.。如果 LD_DLY = 1000，则延迟时间等于 80µs。无论 PLL 是否实际锁定，MUXout 引脚都将保持当前状态。换句话说，如果 PLL 解除锁定，或者在当前状态为高电平时输入基准消失，则当前状态保持高电平。该锁定检测设置对于测量 VCO 校准时间非常有用。

6.3.6.3 锁定检测指示器设置为“Vtune 和 VCOCal”类型

在此模式下，当 VCO 校准完成，锁定检测延迟计时器完成运行且 PLL 被锁定时，MUXout 引脚为高电平。如果 OSCin 信号丢失，该指示器可以保持当前状态（高电平或低电平）。仅当返回到 OSCin 引脚的有效输入基准时，指示器的真实状态才会更新并恢复操作。建议使用一种替代方法来监控 PLL 的 OSCin。只要存在 OSCin 参考，该指标就很可靠。

由于两种类型的锁定检测指示器都需要完成 VCO 校准，因此必须在完全辅助模式下至少执行一个 VCO 校准，否则锁定检测器不工作。

6.3.7 VCO（压控振荡器）

LMX2615-SP 包括一个完全集成的 VCO。VCO 从环路滤波器获取电压并将其转换为频率。VCO 频率与其他频率相关，如方程式 2 所示。

6.3.7.1 VCO 校准

为了降低 VCO 调谐增益并因此提高 VCO 相位噪声性能，将 VCO 频率范围划分为几个不同的频带。7600MHz 至 15200MHz 的整个范围涵盖了一个倍频程，使得分频器可以处理低于下限的频率。这就需要进行频率校准以确定给定所需输出频率的正确频带。只要 R0 寄存器被编程为 FCAL_EN = 1，就会激活频率校准例程。在 VCO 校准开始之前必须存在有效的 OSCin 信号。

VCO 还具有一个内部幅度校准算法来优化相位噪声，该算法在 R0 寄存器被编程时也会被激活。

实现此目的的理想内部设置取决于温度。如果允许温漂过大而不重新校准，则可能会导致一些轻微的相位噪声下降。连续锁定的最大容许漂移 ΔT_{CL} 在电气规格部分有说明。对于此器件，125°C 的数值表示如果器件在建议运行条件下运行，则不会失锁。

LMX2615-SP 允许用户辅助进行 VCO 校准。一般而言，共有三种辅助，如表 6-4 所示：

表 6-4. 辅助实现 VCO 校准速度

辅助水平	说明	VCO_SEL	VCO_SEL_FORCE VCO_CAPCTRL_FORCE VCO_DACISET_FORCE	VCO_CAPCTRL VCO_DACISET
无辅助	用户不执行任何操作来提高 VCO 校准速度。	7	0	不用考虑
部分辅助	每次频率变化时，在检查 FCAL_EN 位之前，用户提供初始的起始 VCO_SEL。	按表选择	0	不用考虑
完全辅助	用户强制启用 VCO 内核 (VCO_SEL)、幅度设置 (VCO_DACISET) 和频带 (VCO_CAPCTRL)，并手动设置相应的值。	按回读选择	1	按回读选择

对于无辅助方法，只需设置 VCO_SEL=7 即可。对于部分辅助，可以通过根据频率更改 VCO_SEL 位来缩短 VCO 校准时间。请注意，表 6-5 中的频率不是实际的 VCO 内核范围，而是倾向于选择 VCO。这不仅是 VCO 校准时间的更好选择，而且是实现可靠锁定所必需的。这两种方法都需要对 R0 进行编程，使 FCAL_EN = 1，从而完成 VCO 校准。

Copyright © 2025 Texas Instruments Incorporated

表 6-5. 部分辅助的最小 VCO_SEL

f_{VCO} (MHz)	VCO 内核 (最小值)
7600 - 8740	VCO1
8740 - 10000	VCO2
10000 - 10980	VCO3
10980 -12100	VCO4
12100 - 13080	VCO5
13080 - 14180	VCO6
14180 - 15200	VCO7

完全辅助模式完全跳过 VCO 校准过程，这种方法会导致最短的 VCO 频率开关时间。要运行此模式，需要进行一次性 VCO 校准，以获取所有相关频率下的 VCO 参数 (VCO_SEL、VCO_DACISET 和 VCO_CAPCTRL)。此数据会手动应用于 LMX2615-SP 器件。当设置 xxx_FORCE 位时，器件会使用此数据来设置 VCO。在完全辅助模式下不需要对 R0 进行编程。但是，如果编程了 FCAL_EN = 1 的 R0，则会进行 VCO 校准，但 VCO 参数保持为写入的值。

6.3.7.2 看门狗特性

看门狗功能用于 VCO 校准期间存在辐射的情况，这可能会导致 VCO 校准失败。启用此特性后，在 VCO 校准期间看门狗计时器会运行。如果该计时器在 VCO 校准完成前结束，则会重新启动 VCO 校准。WD_CNTRL 字设置通过看门狗特性重新启动该校准的次数。

6.3.7.3 RECAL 特性

RECAL 功能用于应对当 VCO 处于锁定状态时，外部辐射干扰导致其解除锁定的情况。当 RECAL_EN 引脚为高电平时，如果 PLL 失去锁定并在 WD_DLY 字指定的时间内保持失去锁定状态，则 RECAL 触发 VCO 重新校准。锁定检测器必须设置为“Vtune 和 VCOCal” (LD_TYPE = 1)，锁定检测计时器 (LD_DLY) 必须为非零。对于 50MHz 状态机时钟频率，建议的最短锁定检测器计时器延迟时间为 200µs。

6.3.7.4 确定 VCO 增益

VCO 增益在七个内核之间变化，在频带的最低端是最低的，在每个频带的最高端是最高的。要获得更准确的估计，请使用表 6-6：

表 6-6. VCO 增益

f1 (MHz)	f2 (MHz)	$K_{VCO}1$	$K_{VCO}2$
7600	8740	78	114
8740	10000	91	125
10000	10980	112	136
10980	12100	136	168
12100	13080	171	206
13080	14180	188	218
14180	15200	218	248

方程式 3 可以估算任意 VCO 频率 f_{VCO} 的 VCO 增益：

$$K_{VCO} = K_{VCO}1 + (K_{VCO}2 - K_{VCO}1) \times (f_{VCO} - f1) / (f2 - f1) \quad (3)$$

6.3.8 通道分频器

要低于 7600MHz 的 VCO 下限，可以使用通道分频器。通道分频器包含四个段，总分频值等于它们的乘积。因此，并非所有值都有效。

Copyright © 2025 Texas Instruments Incorporated

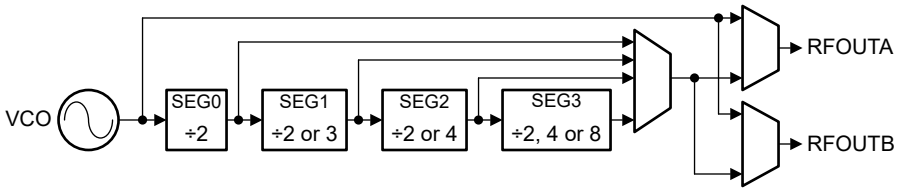


图 6-2. 通道分频器

使用通道分频器时，这些值存在限制。

表 6-7. 通道分频器限制

CHDIV[4:0]	等效分频值	VCO 频率限制
0	2	无
1	4	
2	6	
3	8	$f_{VCO} \leqslant 11.5GHz$
4	12	
5	16	
6	24	
7	32	
8	48	
9	64	
10	96	
11	128	
12	192	

无论通道分频器是否断电，只要选定输出 (OUTx_MUX) 并连接到通道分频器或 SYSREF_EN = 1，就会为通道分频器供电。不使用输出时，TI 建议选择 VCO 输出以确认没有不必要地为通道分频器加电。

表 6-8. 通道分频器

OUTA MUX	OUTB MUX	SYSREF_EN	通道分频器
通道分频器	X	X	已上电
X	通道分频器	X	
X	X	1	
所有其他情况			已断电

6.3.9 输出缓冲器

射频输出缓冲器类型为集电极开路，需要外部上拉至 V_{CC}。该元件可以为 50Ω 电阻器或电感器。电感器的受控阻抗较小，但功率较高。对于电感器情况，使用电阻焊盘。输出功率可设定为各种电平，或者在仍使 PLL 保持锁定的同时禁用输出功率。如果使用电阻器，请将 OUTx_PWR 设置限制为 31；如果高于此值，实际上会降低功耗。请注意，状态 32 到 47 是冗余的，必须忽略。换句话说，在状态 31 之后，下一个较高功率设置为 48。

表 6-9. OUTx_PWR 建议

f_{OUT}	限制	注释
$10MHz \leqslant f_{OUT} \leqslant 5GHz$	无	在较低频率下，输出缓冲器阻抗较高，因此 50Ω 上拉使输出阻抗看起来有点像 50Ω。通常，最大输出功率接近 OUTx_PWR = 50 设置。
$5GHz < f_{OUT} \leqslant 10GHz$	OUTx_PWR ⩽ 31	在此范围内，寄生电感会产生一些影响，因此输出设置会受到限制。
$10GHz < f_{OUT}$	OUTx_PWR ⩽ 20	在这些较高的频率范围内，保持低于 20 以获得超高功率和出色的本底噪声。

Copyright © 2025 Texas Instruments Incorporated

6.3.10 断电模式

LMX2615-SP 可以使用 CAL 引脚或 POWERDOWN 位上电和断电。在引脚模式下，到 CAL 引脚的低电平到高电平转换会激活 VCO 校准。

6.3.11 处理未使用的引脚

该器件具有多个可实现许多功能的引脚，如果不需要这些引脚，可以采用优选方法来处理这些引脚。对于输入引脚，建议使用串联电阻器，但也可以直接短接引脚。

表 6-10. 建议的引脚处理方法

引脚	SPI 模式	引脚模式	不使用时的建议处理方法
FS0、FS1、FS2、FS3、FS4、FS5、FS6、FS7	从未使用	始终使用	1kΩ 提供 GND
SYNC、SysRefReq	有时使用	从未使用	1kΩ 提供 GND
OSCinP、OSCinM	始终使用	始终使用	在交流耦合电容器之后使用 50Ω 电阻连接到 GND。如果使用互补侧的一侧，而另一侧不使用，则这两个引脚的阻抗必须相似。
SCK、SDI	始终使用	从未使用	1kΩ 提供 GND
CSB	始终使用	从未使用	1kΩ 提供 VCC
RECAL_EN	有时使用	有时使用	1kΩ 提供 GND
CAL	有时使用	始终使用	1kΩ 提供 VCC
RFoutA、RFoutB	有时使用	有时使用	具有 50Ω 的 VCC。如果使用互补侧的一侧，而另一侧不使用，则这两个引脚的阻抗必须相似。
MUXout	有时使用	有时使用	10kΩ 提供 GND

6.3.12 相位同步

6.3.12.1 一般概念

SYNC 引脚允许用户同步 LMX2615-SP，这样可确定从 OSCin 信号上升沿到输出信号的延迟。最初，器件锁定到输入，但是不同步。用户发送一个同步脉冲，该脉冲重新计时到 OSCin 脉冲的下一个上升沿。在给定时间 t_1 后，从 OSCin 到 f_{out} 的相位关系是确定的。此时间主要由 VCO 校准时间、PLL 环路的模拟设置时间和 MASH_RST_COUNT（如果已在分数模式下使用）等因素共同决定。

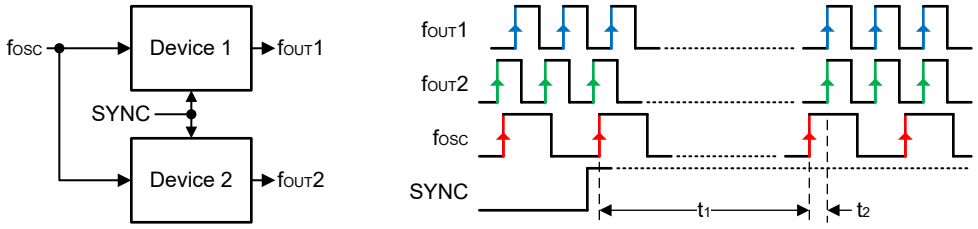


图 6-3. 器件现在同步到 OSCin 信号

当 SYNC 模式启用时 (VCO_PHASE_SYNC = 1)，部分通道分配器 (IncludedDivide) 可以包含在反馈路径中。当 IncludedDivide 不等于 1 时：

- N 分频器更小。必须注意不要违反最小 N 分频器限制。
- SEG1_EN 必须等于 1。
- 如果 IncludedDivide = 6，则利用 FCAL_HPFD_ADJ 寄存器将 VCO 校准期间使用的相位检测器频率降至低于 50MHz。

表 6-11. VCO_PHASE_SYNC = 1 时的 IncludedDivide

OUTx_MUX	通道分频器	IncludedDivide
OUTA_MUX = OUTB_MUX = 1 ("VCO")	不用考虑	1（旁路）

Copyright © 2025 Texas Instruments Incorporated

表 6-11. VCO_PHASE_SYNC = 1 时的 IncludedDivide（续）

OUTx_MUX	通道分频器	IncludedDivide
所有其他有效条件	可被 3 整除	SEG0 × SEG1 = 6
	所有其他值	SEG0 × SEG1 = 4

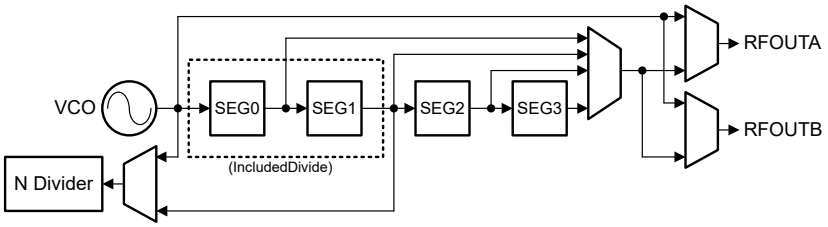


图 6-4. 相位同步图

6.3.12.2 SYNC 的应用类别

对 SYNC 的要求取决于某些设置条件。图 6-5 提供了不同类别。在类别 3 SYNC 中，SYNC 引脚上触发信号相对于 OSCin 引脚的建立时间和保持时间至关重要。

表 6-12. 类别 3 SYNC 的 SYNC 引脚时序特性

参数	说明	最小值	最大值	单位
f_{OSC}	输入基准时钟频率		50	MHz
t_{SETUP}	SYNC 和 OSCin 上升沿之间的建立时间	2.5		ns
t_{HOLD}	SYNC 和 OSCin 上升沿之间的保持时间	2.5		ns

Copyright © 2025 Texas Instruments Incorporated

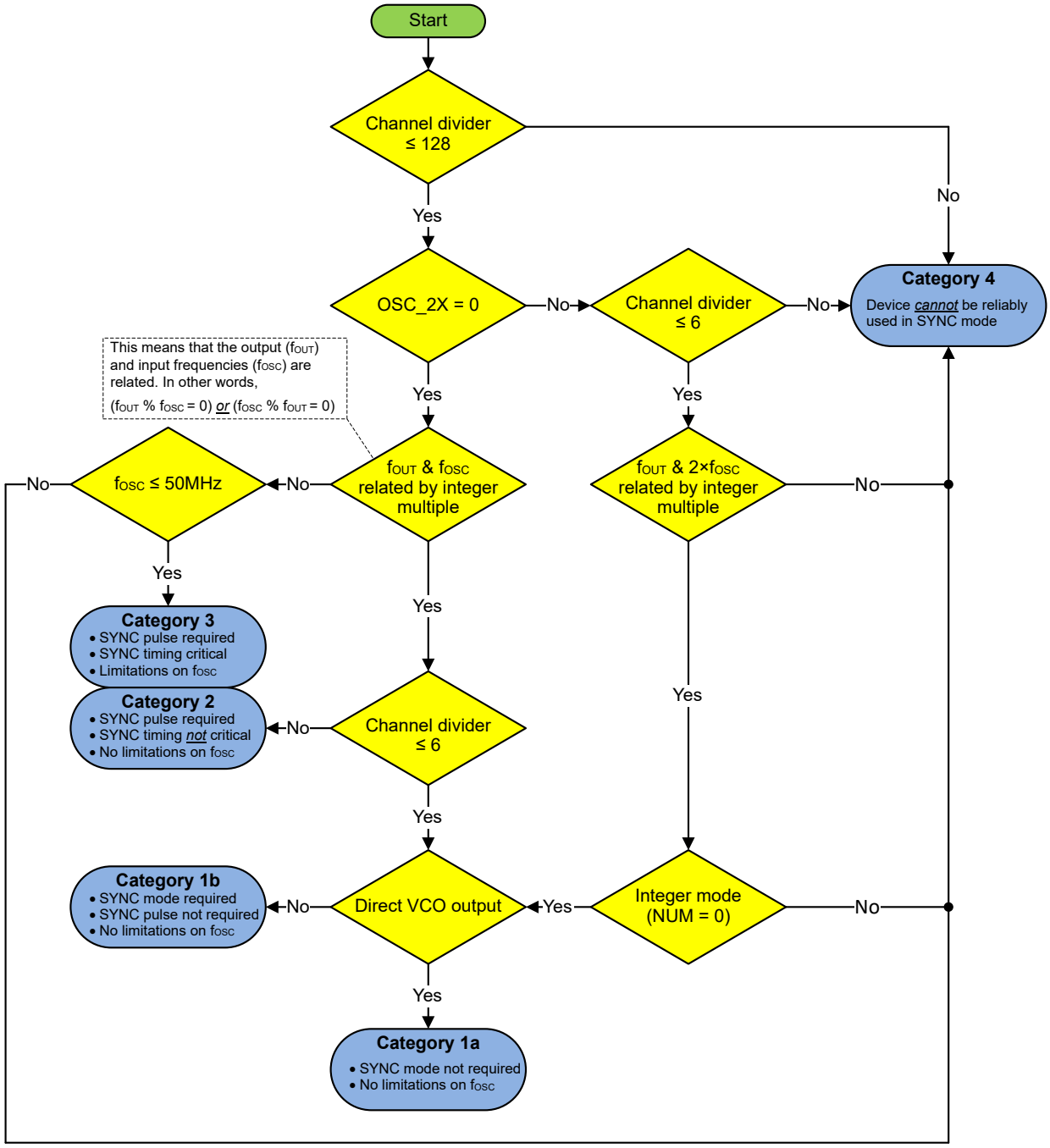


图 6-5. 确定 SYNC 类别

6.3.12.3 使用 SYNC 的过程

必须按照此程序将器件置于 SYNC 模式。

1. 使用流程图来确定 SYNC 类别。
2. 根据类别作出关于 OSCin 和使用 SYNC 的决定
   a. 如果是类别 4，则无法在此设置中执行 SYNC。
   b. 如果是类别 3，请确认未违背 SYNC 的最大 f_{OSC} 频率，并且存在支持使用 SYNC 引脚的硬件配置。
3. 如果使用通道分频，请从表 6-11 中确定 IncludedDivide 值。

4. 如果尚未完成此操作，则将 N 分频器和分数值除以 IncludedDivide (方程式 2)，从而考虑到所包含的通道分频。
5. 通过 VCO_PHASE_SYNC = 1 对器件进行编程。
6. 如果需要，应用 SYNC
   a. 如果是类别 2，可以向 SYNC 引脚发送一个上升沿，且时序并不需要非常精确。
   b. 如果是类别 3，则必须遵守 SYNC 信号相对于 OSCin 时钟的时序，如表 6-12 所示。

6.3.12.4 SYNC 输入引脚

如果不使用 SYNC 引脚，则 INPIN_IGNORE 位必须设置为 1，否则该引脚会导致锁定检测问题。如果需要使用该引脚且 VCO_PHASE_SYNC=1，则设置 INPIN_IGNORE = 0。

6.3.13 相位调整

MASH_SEED 字可以使用 Σ-Δ 调制器相对于输入基准移动输出信号相位。如果发送 SYNC 脉冲或使用 MASH_RST_N = 0 复位 MASH，则此相移从初始相位为零开始。如果写入 MASH_SEED 字，则添加此相位。相移的计算结果为 方程式 4。

$$\text{Phase shift in degrees} = 360 \times (\text{MASH_SEED} / \text{PLL_DEN}) \times (\text{IncludedDivide} / \text{CHDIV}) \quad (4)$$

示例：

MASH_SEED = 1

分母 = 12

通道分频器 = 16

相移 (VCO_PHASE_SYNC=0) = 360 × (1/12) × (1/16) = 1.875 度

相移 (VCO_PHASE_SYNC=1) = 360 × (1/12) × (4/16) = 7.5 度

使用 MASH_SEED 时，有几个注意事项：

- 当 PLL_NUM = 0 时可以进行相移，但 MASH_ORDER 必须大于零。
- 对于 MASH_ORDER = 1，只有当 MASH_SEED 是 PLL_DEN 的倍数时才会发生相移。
- 对于 MASH_ORDER = 2，PLL_N≥45。
- 对于 MASH_ORDER = 3，PLL_N≥49。
- 对于 MASH_ORDER = 4，PLL_N≥54。
- 对于相位调整，必须满足条件 PLL_DEN > PLL_NUM + MASH_SEED。
- 当 MASH_SEED 和相位同步与 IncludedDivide > 1 一起使用时，可能需要额外的限制，以便在 MASH_SEED 和相移之间产生单调关系，尤其是当 VCO 频率低于 10GHz 时。这些限制是特定于应用的，但一些通用指导原则是降低调制器阶数和增大 N 分频器。
  - 使用 MASH_ORDER ≤ 2。
  - 当在低于 10GHz (IncludedDivide = 6) 或 9GHz (IncludedDivide = 4) 的 VCO 频率下使用 2 阶调制器时，需要将 PLL_N 值提高很多或更改成 1 阶调制器。
- 设置 MASH_SEED > 0 会影响分数杂散。如果与 PLL_NUM = 0 一起使用，此设置会产生分数杂散。如果与非零分子一起使用，此设置有助于或有损杂散，并且可以使用 TI PLLatinum Sim 工具模拟这种效果。
- MASH_SEED 字的编程是累积的。*累积* 意味着将编程值添加到当前值。每当切换 MASH_RST_N 位或重新校准 VCO 时，当前值都会设置为 MASH_SEED。静态相位调整会包括将 MASH_SEED 字设置为所需值，并切换 MASH_RST_N 位以强制使用该值。动态相位调整包括将 MASH_SEED 设置为较小的值，并重复编程 MASH_SEED 字，将其添加到 MASH_SEED 的累积值。例如，我们对 MASH_SEED 进行编程以获得 10 度的相移。如果我们对相同的 MASH_SEED 值进行 3 次编程，则可以得到 30 度的相移。

Copyright © 2025 Texas Instruments Incorporated

6.3.14 相位调整和相位同步的精细调整

相位同步是指在每个上电周期和每次都假设遵循给定编程过程的情况下获得相同相位关系的过程。但可以进行一些调整以获得更准确的结果。至于相位同步的一致性，唯一的变化来源可能是如果 VCO 校准选择了不同的 VCO 内核和电容器，这可能会引入双峰分布，大约有 10ps 的变化。如果这 10ps 是不可取的，那么可以通过回读 VCO 参数并强制这些值每次确认相同的校准设置来消除变化。通过器件的延迟因器件而异，可能约为 60ps。这种部件间的差异可以使用 MASH_SEED 来校准。通过器件的延迟变化也在 +2.5ps/°C 的范围内变化，但同一电路板上的器件可能具有相似的温度。总之，可以使不同器件具有一致的延迟，并且可以通过 MASH_SEED 调整全部残留错误。当周期较短时，这往往仅会在输出频率较高时才会出现问题。

6.3.15 SYSREF

LMX2615-SP 可以生成一个与 f_{OUT} 同步的 SYSREF 输出信号，并具有可编程延时。该输出可能是单个脉冲，也可能是一系列脉冲，亦或是连续的脉冲流。要使用 SYSREF 功能，首先必须将 PLL 置于 SYNC 模式且 VCO_PHASE_SYNC = 1。

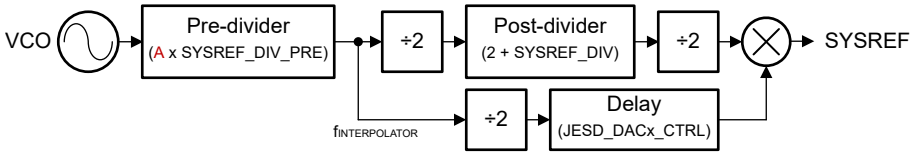


图 6-6. SYSREF 方框图

$$f_{SYSREF} = f_{VCO} / [(A \times SYSREF_DIV_PRE) \times 2 \times (2 + SYSREF_DIV) \times 2], \text{ where A is the IncludedDivide value.} \quad (5)$$

如图 6-6 所示，SYSREF 特性使用 IncludedDivide 和 SYSREF_DIV_PRE 来生成 $f_{INTERPOLATOR}$。该频率用于对 SysRefReq 引脚的上升沿和下降沿重新计时。在主模式下，$f_{INTERPOLATOR}$ 会进一步下除以生成有限系列脉冲或连续脉冲流。

表 6-13. SYSREF 规格

参数	最小值	典型值	最大值	单位
f_{VCO}	7600		15200	MHz
$f_{INTERPOLATOR}$	0.8		1.5	GHz
SYSREF_DIV_PRE	1、2 或 4			
SYSREF_DIV	0, 1, 2, ..., 2047			
脉冲模式的脉冲 (SYSREF_PULSE_CNT)	1		15	

可以使用 JESD_DAC1_CTRL、JESD_DAC2_CTRL、JESD_DAC3_CTRL 和 JESD_DAC4_CTRL 字对延时进行编程。通过将这些字连接成一个更大的字，称为“SYSREFPHASESHIFT”，可以求出相对延时。这些字的总和必须始终为 63。总共有 252 个有用的可编程步骤。每个步进的延迟时间等于：

$$\text{SYSREF delay time} = [(A \times SYSREF_DIV_PRE) \times 2] / 252 / f_{VCO}, \text{ where A is the IncludedDivide value.} \quad (6)$$

表 6-14. SYSREF 延迟

SYSREFPHASESHIFT	JESD_DAC1_CTRL	JESD_DAC2_CTRL	JESD_DAC3_CTRL	JESD_DAC4_CTRL
0	36	27	0	0
1	35	28	0	0
...	...	...	0	0
36	0	63	0	0
37	0	62	1	0
...	0	...	...	0
99	0	0	63	0

Copyright © 2025 Texas Instruments Incorporated

表 6-14. SYSREF 延迟（续）

SYSREFPHASESHIFT	JESD_DAC1_CTRL	JESD_DAC2_CTRL	JESD_DAC3_CTRL	JESD_DAC4_CTRL
100	0	0	62	1
...	0	0	...	...
162	0	0	0	63
163	1	0	0	62
...	...	0	0	...
225	63	0	0	0
226	62	1	0	0
...	...	...	0	0
251	37	26	0	0

在主模式下，SysRefReq 引脚拉高并保持高电平，以允许连续的 SYSREF 时钟输出。要生成 SYSREF 脉冲，需要在 SysRefReq 引脚上进行低电平到高电平的转换。

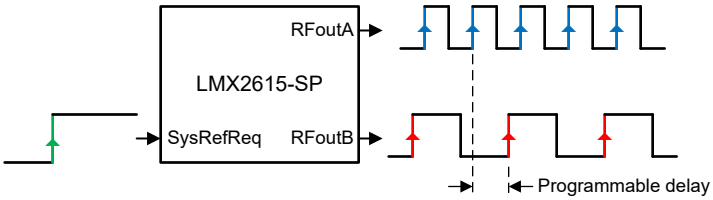


图 6-7. SYSREF 脉冲/连续模式

SYSREF 可用于中继器模式，该模式仅在重新计时到 $f_{INTERPOLATOR}$ 频率后，在 SysRefReq 引脚处回声信号，然后输出到 RFoutB。在中继器模式下，模式可以重复 1、2、4、8 或无限（连续）脉冲。

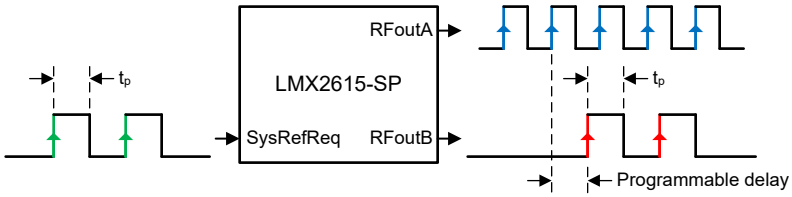


图 6-8. SYSREF 中继器模式

要使用 SYSREF，请执行以下步骤：

1. 按照已概述的过程将器件置于 SYNC 模式。
2. 按照与 SYNC 模式相同的方式来确定 IncludedDivide。
3. 计算 SYSREF_DIV_PRE 值，使内插器频率 ($f_{INTERPOLATOR}$) 在 800MHz 至 1500MHz 的范围内。
4. 如果使用主模式 (SYSREF_REPEAT = 0)，请验证 SysRefReq 引脚是否为高电平并保持高电平，以实现连续的 SYSREF 时钟生成。要生成 SYSREF 脉冲，请设置 SYSREF_PULSE=1，根据需要设置脉冲计数。脉冲在 SysRefReq 引脚上经过低电平到高电平转换而生成。
5. 如果使用中继器模式，请设置 SYSREF_REPEAT = 1，将 SYSREF 信号应用于 SysRefReq 引脚。
6. 使用 JESD_DACx_CTL 字段调整 RFoutA 和 RFoutB 信号之间的延迟。

6.3.16 引脚模式

LMX2615-SP 有 8 个引脚，可用于对预选模式进行编程。这些引脚模式的一些运行规则如下：

- 根据需要设置引脚模式。引脚模式 0 是 SPI 模式。
- 电源的上升时间需要小于 50ms。
- 所有引脚模式的分母是 4250000000。

Copyright © 2025 Texas Instruments Incorporated

- 在引脚模式之间切换时，在引脚更改后，必须切换 CAL 引脚以校准 VCO。
- 如果 FS7 引脚为低电平，则只有 RFoutA 输出有效。如果 FS7 引脚为高电平，则 RFoutA 和 RFoutB 输出都有效。

表 6-15 显示了所有引脚模式配置。

表 6-15. 引脚模式

模式	f_{OSC} (MHz)	f_{PD} (MHz)	CPG (mA)	f_{OUT} (MHz)	CHDIV	f_{VCO} (MHz)	N	FRACTION
0	SPI 模式							
1	10	20	15	160	48	7680	384	0/4250000000
2	10	10	15	395	24	9480	948	0/4250000000
3	10	20	15	720	12	8640	432	0/4250000000
4	10	20	15	1280	6	7680	384	0/4250000000
5	100	200	15	300	32	9600	48	0/4250000000
6	100	200	15	1000	8	8000	40	0/4250000000
7	100	200	15	1200	8	9600	48	0/4250000000
8	20	40	15	6199.855	2	12399.71	309	4219187500/4250000000
9	100	200	15	2000	4	8000	40	0/4250000000
10	50	100	15	250	32	8000	80	0/4250000000
11	50	100	15	500	16	8000	80	0/4250000000
12	50	100	15	850	12	10200	102	0/4250000000
13	20	40	15	5654.912	2	11309.824	282	3168800000/4250000000
14	10	20	15	1517.867839	6	9107.207034	455	1531494725/4250000000
15	10	20	15	1708.670653	6	10252.02392	512	2555082575/4250000000
16	50	100	15	2500	4	10000	100	0/4250000000
17	保留。不要使用此引脚模式。							
18	10	20	15	3035.735678	4	12142.94271	607	625326300/4250000000
19	50	100	15	3200	4	12800	128	0/4250000000
20	10	20	15	3417.341306	4	13669.36522	683	1990110100/4250000000
21	50	100	15	4500	2	9000	90	0/4250000000
22	50	100	15	4800	2	9600	96	0/4250000000
23	50	100	15	5350	2	10700	107	0/4250000000
24	50	100	15	6800	2	13600	136	0/4250000000
25	10	20	15	6834	2	13668	683	1700000000/4250000000
26	10	20	15	6834.682611	2	13669.36522	683	1990109675/4250000000
27	10	20	15	6834.6875	2	13669.375	683	1992187500/4250000000
28	10	20	15	6834.75	2	13669.5	683	2018750000/4250000000
29	50	100	15	9600	1	9600	96	0/4250000000
30	50	100	15	9650	1	9650	96	2125000000/4250000000
31	50	100	15	13500	1	13500	135	0/4250000000
32	100	100	15	70	128	8960	89	2550000000/4250000000
33	18.75	37.5	15	393.75	24	9450	252	0/4250000000
34	18.75	37.5	15	422.4990441	24	10139.97706	270	1697399952/4250000000
35	37.5	75	15	422.4990441	24	10139.97706	135	848699976/4250000000
36	20	40	15	6785.552	2	13571.104	339	1179800000/4250000000
37	20	40	15	2088.38	4	8353.52	208	3561500000/4250000000
38	100	100	15	2210	4	8840	88	1700000000/4250000000

Copyright © 2025 Texas Instruments Incorporated

表 6-15. 引脚模式（续）

模式	f_{OSC} (MHz)	f_{PD} (MHz)	CPG (mA)	f_{OUT} (MHz)	CHDIV	f_{VCO} (MHz)	N	FRACTION
39	100	100	15	2238	4	8952	89	2210000000/4250000000
40	20	40	15	2254.35	4	9017.4	225	1848750000/4250000000
41	20	40	15	2270	4	9080	227	0/4250000000
42	20	40	15	2280	4	9120	228	0/4250000000
43	18.75	37.5	15	6759.984705	2	13519.96941	360	2263199800/4250000000
44	37.5	75	15	6759.984705	2	13519.96941	180	1131599900/4250000000
45	20	40	15	8125	1	8125	203	531250000/4250000000
46	20	40	15	8175	1	8175	204	1593750000/4250000000
47	20	40	15	8200	1	8200	205	0/4250000000
48	20	40	15	8210	1	8210	205	1062500000/4250000000
49	20	40	15	8212.5	1	8212.5	205	1328125000/4250000000
50	20	40	15	8275	1	8275	206	3718750000/4250000000
51	20	40	15	8300	1	8300	207	2125000000/4250000000
52	20	40	15	8400	1	8400	210	0/4250000000
53	20	40	15	8450	1	8450	211	1062500000/4250000000
54	20	40	15	8460	1	8460	211	2125000000/4250000000
55	20	40	15	8484	1	8484	212	425000000/4250000000
56	20	40	15	8496	1	8496	212	1700000000/4250000000
57	20	40	15	8212	1	8212	205	1275000000/4250000000
58	10	20	15	12860	1	12860	643	0/4250000000
59	10	20	15	13000	1	13000	650	0/4250000000
60	10	20	15	13022.5	1	13022.5	651	531250000/4250000000
61	10	20	15	13125	1	13125	656	1062500000/4250000000
62	10	20	15	13222.5	1	13222.5	661	531250000/4250000000
63	20	40	15	12209.697	1	12209.697	305	1030306250/4250000000
64	10	20	15	13390	1	13390	669	2125000000/4250000000
65	10	20	15	13417.5	1	13417.5	670	3718750000/4250000000
66	20	40	15	12689.697	1	12689.697	317	1030412500/4250000000
67	20	40	15	13906.667	1	13906.667	347	2833368750/4250000000
68	20	40	15	14192.727	1	14192.727	354	3477243750/4250000000
69	10	20	15	8212.5	1	8212.5	410	2656250000/4250000000
70	100	50	15	1250	8	10000	200	0/4250000000
71	50	100	15	1250	8	10000	100	0/4250000000
72	18.75	37.5	15	1875	6	11250	300	0/4250000000

6.4 器件功能模式

表 6-16. 器件功能模式

模式	说明	软件设置
复位	寄存器保持在复位状态。该器件具有上电复位功能，但如果编程线路上可能存在噪声，尤其是当线路与其他器件共享时，最好还是执行软件复位。此外，还需要注意的是，在数据表中未披露的一些寄存器也会复位。	RESET = 1 POWERDOWN = 0
POWERDOWN	器件已关断。	POWERDOWN = 1 或 CAL 引脚 = 低电平

Copyright © 2025 Texas Instruments Incorporated

表 6-16. 器件功能模式（续）

模式	说明	软件设置
引脚模式	器件设置由引脚状态来决定。	FS0、FS1 等等之一 FS7 引脚不是低电平
正常运行模式	在至少一个输出作为频率合成器且可以通过 SPI 控制器件时使用此模式	所有的 FS0、FS1、...FS7 引脚为低电平
SYNC 模式	当通道分频器的一部分位于反馈路径中，以便提供确定性相位时，使用此模式。	VCO_PHASE_SYNC = 1
SYSREF 模式	在此模式下，RFoutB 用于为 SYSREF 生成脉冲。	VCO_PHASE_SYNC = 1，SYSREF_EN = 1

Copyright © 2025 Texas Instruments Incorporated

6.5 编程

不处于引脚模式时，使用 24 位移位寄存器对 LMX2615-SP 进行编程。移位寄存器包含一个 R/W 位 (MSB)，后跟一个 7 位地址字段和一个 16 位数据字段。对于 R/W 位，0 表示写入，1 表示读取。地址字段 ADDRESS[6:0] 用于对内部寄存器地址解码。剩余的 16 位构成数据字段 DATA[15:0]。当 CSB 为低电平时，串行数据通过时钟信号的上升沿依次传入移位寄存器（数据编程为优先传输 MSB）。有关时序详细信息，请参阅图 5-2。

6.5.1 建议的初始上电序列

为了实现更可靠的编程，TI 建议遵循以下过程：

1. 向器件加电。
2. 将 RESET 设定为 1 以复位寄存器。
3. 如寄存器映射中所示，按从最高到最低的**相反**顺序对寄存器进行编程。
   - 只需对寄存器 R114 进行编程，即可更改 WD_CNTRL 或 WD_DLY 的默认状态。
   - 不需要对寄存器 R113 到 R76 进行编程，但如果对寄存器进行了编程，则必须按照寄存器映射所示完成寄存器编程。
   - 需要对寄存器 R75 到 R0 进行编程 (FCAL_EN = 1)，除非另外指定。
   - 确保 FCAL_EN = 1 时的 R0 是该步骤中最后一个编程的寄存器，否则 VCO 不会校准。
4. 等待 10ms，验证内部 LDO 是否已稳定下来。
5. 使用 FCAL_EN = 1 将寄存器 R0 额外编程一次，从而确认 VCO 校准从稳定状态运行。

6.5.2 更改频率的建议顺序

更改频率的建议顺序如下所示：

1. 更改频率相关寄存器，例如 PLL_N 和 PLL_NUM。
2. 对任何必要寄存器（例如 PFD_DLY_SEL）进行编程。
3. 对 FCAL_EN = 1 进行编程，以校准 VCO。

Copyright © 2025 Texas Instruments Incorporated

6.6 寄存器映射

6.6.1 寄存器映射

表 6-17. 完整寄存器映射表

REG	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	POR
R0	0	VCO_PHASE_SYNC	1	0	0	0	OUT_MUTE	FCAL_HPFD_ADJ		0	0	1	FCAL_EN	MUXOUT_LD_SEL	复位	POWER DOWN	0x241C
R1	0	0	0	0	1	0	0	0	0	0	0	0	MUXOUT_CTRL	CAL_CLK_DIV			0x80C
R2	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0x500
R3	0	0	0	0	0	1	1	0	0	1	0	0	0	0	1	0	0x642
R4	0	0	0	0	1	1	1	0	0	1	0	0	0	0	1	1	0xE43
R5	0	0	0	0	0	0	1	1	1	1	1	0	1	0	0	0	0x3E8
R6	0	1	1	1	1	0	0	0	0	0	0	0	0	0	1	0	0x7802
R7	0	0	0	0	0	0	0	0	1	0	1	1	0	0	1	0	0xB2
R8	0	VCO_DACISET_FORCE	1	0	VCO_CAPCTRL_FORCE	0	0	0	0	0	0	0	0	0	0	0	0x2000
R9	0	0	0	OSC_2X	0	1	1	0	0	0	0	0	0	1	0	0	0x1604
R10	0	0	0	1	0	0	0	0	1	1	0	1	1	0	0	0	0x10D8
R11	0	0	0	0	PLL_R								1	0	0	0	0x18
R12	0	1	0	1	0	0	0	0	PLL_R_PRE								0x5001
R13	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x4000
R14	0	0	0	1	1	1	1	0	0	CPG			0	0	0	0	0x1E70
R15	0	0	0	0	0	1	1	0	0	1	0	0	1	1	1	1	0x64F
R16	0	0	0	0	0	0	0	VCO_DACISET									0x80
R17	0	0	0	0	0	0	0	1	0	0	1	0	1	1	0	0	0x12C
R18	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	0	0x64
R19	0	0	1	0	0	1	1	1	VCO_CAPCTRL								0x27B7
R20	1	1	VCO_SEL			VCO_SEL_FORCE	0	0	0	1	0	0	1	0	0	0	0xF848
R21	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0x401
R22	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0x1
R23	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	0x7C
R24	0	0	0	0	0	1	1	1	0	0	0	1	1	0	1	0	0x71A
R25	0	0	0	0	0	1	1	0	0	0	1	0	0	1	0	0	0x624
R26	0	0	0	0	1	1	0	1	1	0	1	1	0	0	0	0	0xDB0
R27	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0x2
R28	0	0	0	0	0	1	0	0	1	0	0	0	1	0	0	0	0x488
R29	0	0	1	1	0	0	0	1	1	0	0	0	1	1	0	0	0x318C
R30	0	0	1	1	0	0	0	1	1	0	0	0	1	1	0	0	0x318C
R31	0	SEG1_EN	0	0	0	0	1	1	1	1	1	0	1	1	0	0	0x43EC
R32	0	0	0	0	0	0	1	1	1	0	0	1	0	0	1	1	0x393
R33	0	0	0	1	1	1	1	0	0	0	1	0	0	0	0	1	0x1E21
R34	0	0	0	0	0	0	0	0	0	0	0	0	0	PLL_N[18:16]			0x0
R35	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0x4
R36	PLL_N[15:0]																0x46
R37	1	0	PFD_DLY_SEL						0	0	0	0	0	1	0	0	0x404
R38	PLL_DEN[31:16]																0xFD51
R39	PLL_DEN[15:0]																0xDA80
R40	MASH_SEED[31:16]																0x0
R41	MASH_SEED[15:0]																0x0
R42	PLL_NUM[31:16]																0x0
R43	PLL_NUM[15:0]																0x0
R44	0	0	OUTA_PWR						OUTB_PD	OUTA_PD	MASH_RESET_N	0	0	MASH_ORDER			0x1FA3

Copyright © 2025 Texas Instruments Incorporated

表 6-17. 完整寄存器映射表（续）

REG	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	POR
R45	1	1	0	OUTA_MUX		0	0	0	1	1	OUTB_PWR						0xC8DF
R46	0	0	0	0	0	1	1	1	1	1	1	1	1	1	OUTB_MUX		0x7FD
R47	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0x300
R48	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0x300
R49	0	1	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0x4180
R50	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R51	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0x80
R52	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0x420
R53	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R54	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R55	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R56	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R57	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0x20
R58	INPIN_ IGNORE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0x8001
R59	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LD_ TYPE	0x1
R60	LD_DLY																0x9C4
R61	0	0	0	0	0	0	0	0	1	0	1	0	1	0	0	0	0xA8
R62	0	0	0	0	0	0	1	1	0	0	1	0	0	0	1	0	0x322
R63	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R64	0	0	0	1	0	0	1	1	1	0	0	0	1	0	0	0	0x1388
R65	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R66	0	0	0	0	0	0	0	1	1	1	1	1	0	1	0	0	0x1F4
R67	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R68	0	0	0	0	0	0	1	1	1	1	1	0	1	0	0	0	0x3E8
R69	MASH_RST_COUNT[31:16]																0x0
R70	MASH_RST_COUNT[15:0]																0xC350
R71	0	0	0	0	0	0	0	0	SYSREF_DIV_PRE			SYSREF _PULSE	SYSREF _EN	SYSREF_ REPEAT	0	0	0x80
R72	0	0	0	0	0	SYSREF_DIV											0x1
R73	0	0	0	0	JESD_DAC2_CTRL						JESD_DAC1_CTRL						0x3F
R74	SYSREF_PULSE_CNT				JESD_DAC4_CTRL						JESD_DAC3_CTRL						0x0
R75	0	0	0	0	1	CHDIV					0	0	0	0	0	0	0x800
R76	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0xC
R77	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R78	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0	0	0x64
R79	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R80	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R81	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R82	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R83	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R84	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R85	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R86	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R87	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R88	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R89	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R90	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R91	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R92	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R93	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R94	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R95	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R96	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0

Copyright © 2025 Texas Instruments Incorporated

表 6-17. 完整寄存器映射表（续）

REG	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	POR
R97	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R98	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R99	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R100	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R101	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R102	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R103	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R104	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0x0
R105	0	1	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0x4440
R106	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0x7
R107	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	读取
R108	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	读取
R109	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	读取
R110	0	0	0	0	0	rb_LD_VTUNE		-	rb_VCO_SEL			-	-	-	-	-	读取
R111	0	0	0	0	0	0	0	0	rb_VCO_CAPCTRL								读取
R112	0	0	0	0	0	0	0	rb_VCO_DACISET									读取
R113	rb_IO_STATUS																读取
R114	0	0	0	0	0	0	WD_DLY							WD_CNTRL			0x26F

表 6-18 列出了器件寄存器的存储器映射寄存器。

表 6-18. 器件寄存器

偏移	首字母缩写词	寄存器名称	部分
0x0	R0		转到
0x1	R1		转到
0x2	R2		转到
0x3	R3		转到
0x4	R4		转到
0x5	R5		转到
0x6	R6		转到
0x7	R7		转到
0x8	R8		转到
0x9	R9		转到
0xA	R10		转到
0xB	R11		转到
0xC	R12		转到
0xD	R13		转到
0xE	R14		转到
0xF	R15		转到
0x10	R16		转到
0x11	R17		转到
0x12	R18		转到
0x13	R19		转到
0x14	R20		转到
0x15	R21		转到

Copyright © 2025 Texas Instruments Incorporated

表 6-18. 器件寄存器（续）

偏移	首字母缩写词	寄存器名称	部分
0x16	R22		转到
0x17	R23		转到
0x18	R24		转到
0x19	R25		转到
0x1A	R26		转到
0x1B	R27		转到
0x1C	R28		转到
0x1D	R29		转到
0x1E	R30		转到
0x1F	R31		转到
0x20	R32		转到
0x21	R33		转到
0x22	R34		转到
0x23	R35		转到
0x24	R36		转到
0x25	R37		转到
0x26	R38		转到
0x27	R39		转到
0x28	R40		转到
0x29	R41		转到
0x2A	R42		转到
0x2B	R43		转到
0x2C	R44		转到
0x2D	R45		转到
0x2E	R46		转到
0x2F	R47		转到
0x30	R48		转到
0x31	R49		转到
0x32	R50		转到
0x33	R51		转到
0x34	R52		转到
0x35	R53		转到
0x36	R54		转到
0x37	R55		转到
0x38	R56		转到
0x39	R57		转到
0x3A	R58		转到
0x3B	R59		转到

Copyright © 2025 Texas Instruments Incorporated

表 6-18. 器件寄存器（续）

偏移	首字母缩写词	寄存器名称	部分
0x3C	R60		转到
0x3D	R61		转到
0x3E	R62		转到
0x3F	R63		转到
0x40	R64		转到
0x41	R65		转到
0x42	R66		转到
0x43	R67		转到
0x44	R68		转到
0x45	R69		转到
0x46	R70		转到
0x47	R71		转到
0x48	R72		转到
0x49	R73		转到
0x4A	R74		转到
0x4B	R75		转到
0x4C	R76		转到
0x4D	R77		转到
0x4E	R78		转到
0x4F - 0x68	R79 - R104		转到
0x69	R105		转到
0x6A	R106		转到
0x6B - 0x6D	R107 - R109		转到
0x6E	R110		转到
0x6F	R111		转到
0x70	R112		转到
0x71	R113		转到
0x72	R114		转到

复杂的位访问类型经过编码可适应小型表单元。表 6-19 展示了适用于此部分中访问类型的代码。

表 6-19. 器件访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		

Copyright © 2025 Texas Instruments Incorporated

表 6-19. 器件访问类型代码（续）

访问类型	代码	说明
-n		复位后的值

6.6.1.1 R0 寄存器（偏移 = 0x0）[复位 = 0x241C]

R0 在图 6-9 中展示并在表 6-20 中进行了介绍。

返回汇总表。

图 6-9. R0 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED	VCO_PHASE_SYNC	RESERVED				OUT_MUTE	FCAL_HPFD_ADJ		RESERVED			FCAL_EN	MUXOUT_LD_SEL	复位	POWERDOWN
R/W-0x0	R/W-0x0	R/W-0x9				R/W-0x0	R/W-0x0		R/W-0x1			R/W-0x1	R/W-0x1	R/W-0x0	R/W-0x0

表 6-20. R0 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0x0	在此字段编程 0x0。
14	VCO_PHASE_SYNC	R/W	0x0	启用相位同步模式。在这种状态下，通道分频器的一部分置于反馈路径中，以便提供确定性相位时，使用此模式。将该位从 0 切换至 1 的操作也会发送异步同步脉冲。 0：正常运行 1：相位同步使能
13 - 10	RESERVED	R/W	0x9	在此字段编程 0x8。
9	OUT_MUTE	R/W	0x0	在 VCO 校准期间使输出静音 (RFOUTA/B)。 0：无静音 1：静音使能
8 - 7	FCAL_HPFD_ADJ	R/W	0x0	进行了调整，以降低用于 VCO 校准的 f_{PD} 频率。 $f_{PD_CAL} = f_{PD} / 2^{FCAL_HPFD_ADJ}$ 0：$f_{PD} \leq 50MHz$ 1： $50MHz < f_{PD} \leq 100MHz$ 2：$100MHz < f_{PD} \leq 200MHz$ 3：$f_{PD} > 200MHz$
6 - 4	RESERVED	R/W	0x1	在此字段编程 0x1。
3	FCAL_EN	R/W	0x1	写入寄存器 R0 并将该位设置为“1”将启用并触发 VCO 校准。 0：无需校准 1：校准使能
2	MUXOUT_LD_SEL	R/W	0x1	选择 MUXout 引脚的功能。 0：寄存器读回 1：锁定检测
1	复位	R/W	0x0	寄存器复位。这会复位所有寄存器和状态机。在 Vcc 上电后编程 RESET = 1，以提供一致的性能。 0：正常运行 1：复位
0	POWERDOWN	R/W	0x0	关闭器件电源。 0：正常运行 1：已断电

6.6.1.2 R1 寄存器（偏移 = 0x1）[复位 = 0x80C]

R1 在图 6-10 中展示并在表 6-21 中进行了介绍。

Copyright © 2025 Texas Instruments Incorporated

返回汇总表。

图 6-10. R1 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED												MUXOUT_CTRL	CAL_CLK_DIV		
R/W-0x80												R/W-0x1	R/W-0x4		

表 6-21. R1 寄存器字段说明

位	字段	类型	复位	说明
15 - 4	RESERVED	R/W	0x80	在此字段编程 0x80。
3	MUXOUT_CTRL	R/W	0x1	设置 MUXOUT 引脚状态。 0：三态 1：正常运行
2 - 0	CAL_CLK_DIV	R/W	0x4	将 f_{OSC} 频率分频为状态机时钟频率 (f_{SM})。 $f_{SM} = f_{OSC} / 2^{CAL_CLK_DIV}$. 验证状态机时钟频率是否为 50MHz 或更低。 0: $f_{OSC} \leqslant$ 50MHz 1： 50MHz < $f_{OSC} \leqslant$ 100MHz 2：100MHz < $f_{OSC} \leqslant$ 200MHz 3：200MHz < $f_{OSC} \leqslant$ 400MHz 4：400MHz < $f_{OSC} \leqslant$ 800MHz 5：f_{OSC} > 800MHz

6.6.1.3 R2 寄存器（偏移 = 0x2）[复位 = 0x500]

R2 在图 6-11 中展示并在表 6-22 中进行了介绍。

返回汇总表。

图 6-11. R2 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x500															

表 6-22. R2 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x500	在此字段编程 0x500。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.4 R3 寄存器（偏移 = 0x3）[复位 = 0x642]

R3 在图 6-12 中展示并在表 6-23 中进行了介绍。

返回汇总表。

图 6-12. R3 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x642															

表 6-23. R3 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x642	在此字段编程 0x642。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.5 R4 寄存器（偏移 = 0x4）[复位 = 0xE43]

R4 在图 6-13 中展示并在表 6-24 中进行了介绍。

返回汇总表。

图 6-13. R4 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0xE43															

表 6-24. R4 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0xE43	在此字段编程 0xE43。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.6 R5 寄存器（偏移 = 0x5）[复位 = 0x3E8]

R5 在图 6-14 中展示并在表 6-25 中进行了介绍。

返回汇总表。

图 6-14. R5 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x3E8															

表 6-25. R5 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x3E8	在此字段编程 0x3E8。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.7 R6 寄存器（偏移 = 0x6）[复位 = 0x7802]

R6 在图 6-15 中展示并在表 6-26 中进行了介绍。

返回汇总表。

图 6-15. R6 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x7802															

表 6-26. R6 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x7802	在此字段编程 0x7802。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.8 R7 寄存器（偏移 = 0x7）[复位 = 0xB2]

R7 在图 6-16 中展示并在表 6-27 中进行了介绍。

返回汇总表。

图 6-16. R7 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0xB2															

Copyright © 2025 Texas Instruments Incorporated

表 6-27. R7 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0xB2	在此字段编程 0xB2。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.9 R8 寄存器（偏移 = 0x8）[复位 = 0x2000]

R8 在图 6-17 中展示并在表 6-28 中进行了介绍。

返回汇总表。

图 6-17. R8 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED	VCO_DACISET_FORCE	RESERVED		VCO_CAPCTRL_FORCE	RESERVED										
R/W-0x0	R/W-0x0	R/W-0x2		R/W-0x0	R/W-0x0										

表 6-28. R8 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0x0	在此字段编程 0x0。
14	VCO_DACISET_FORCE	R/W	0x0	强制 VCO_DACISET 值。对于完全辅助的 VCO 校准及调试非常有用。 0：正常运行 1：使用 VCO_DACISET 值，而不是从 VCO 校准获得的值。
13 - 12	RESERVED	R/W	0x2	在此字段编程 0x2。
11	VCO_CAPCTRL_FORCE	R/W	0x0	强制 VCO_CAPCTRL 值。对于完全辅助的 VCO 校准及调试非常有用。 0：正常运行 1：使用 VCO_CAPCTRL 值，而不是从 VCO 校准获得的值。
10 - 0	RESERVED	R/W	0x0	在此字段编程 0x0。

6.6.1.10 R9 寄存器（偏移 = 0x9）[复位 = 0x1604]

R9 在图 6-18 中展示并在表 6-29 中进行了介绍。

返回汇总表。

图 6-18. R9 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED			OSC_2X	RESERVED											
R/W-0x0			R/W-0x1	R/W-0x604											

表 6-29. R9 寄存器字段说明

位	字段	类型	复位	说明
15 - 13	RESERVED	R/W	0x0	在此字段编程 0x0。
12	OSC_2X	R/W	0x1	基准路径倍频器 0：禁用 1：启用
11 - 0	RESERVED	R/W	0x604	在此字段编程 0x604。

6.6.1.11 R10 寄存器（偏移 = 0xA）[复位 = 0x10D8]

R10 在图 6-19 中展示并在表 6-30 中进行了介绍。

返回汇总表。

图 6-19. R10 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Copyright © 2025 Texas Instruments Incorporated

图 6-19. R10 寄存器（续）

RESERVED
R/W-0x10D8

表 6-30. R10 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x10D8	在此字段编程 0x10D8。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.12 R11 寄存器（偏移 = 0xB）[复位 = 0x18]

R11 在图 6-20 中展示并在表 6-31 中进行了介绍。

返回汇总表。

图 6-20. R11 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED				PLL_R								RESERVED			
R/W-0x0				R/W-0x1								R/W-0x8			

表 6-31. R11 寄存器字段说明

位	字段	类型	复位	说明
15 - 12	RESERVED	R/W	0x0	在此字段编程 0x0。
11 - 4	PLL_R	R/W	0x1	基准路径 R 后分频器。这是 R 预分频器之后的分频器。
3 - 0	RESERVED	R/W	0x8	在此字段编程 0x8。

6.6.1.13 R12 寄存器（偏移 = 0xC）[复位 = 0x5001]

R12 在图 6-21 中展示并在表 6-32 中进行了介绍。

返回汇总表。

图 6-21. R12 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED								PLL_R_PRE							
R/W-0x50								R/W-0x1							

表 6-32. R12 寄存器字段说明

位	字段	类型	复位	说明
15 - 8	RESERVED	R/W	0x50	在此字段编程 0x50。
7 - 0	PLL_R_PRE	R/W	0x1	PLL Pre-R 分频器值。

6.6.1.14 R13 寄存器（偏移 = 0xD）[复位 = 0x4000]

R13 在图 6-22 中展示并在表 6-33 中进行了介绍。

返回汇总表。

图 6-22. R13 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x4000															

Copyright © 2025 Texas Instruments Incorporated

表 6-33. R13 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x4000	在此字段编程 0x4000。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.15 R14 寄存器（偏移 = 0xE）[复位 = 0x1E70]

R14 在图 6-23 中展示并在表 6-34 中进行了介绍。

返回汇总表。

图 6-23. R14 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED									CPG			RESERVED			
R/W-0x3C									R/W-0x7			R/W-0x0			

表 6-34. R14 寄存器字段说明

位	字段	类型	复位	说明
15 - 7	RESERVED	R/W	0x3C	在此字段编程 0x3C。
6 - 4	CPG	R/W	0x7	有效电荷泵增益。这是向上电流和向下电流的总和。 0：0mA 1：6mA 2：保留 3：12mA 4：3mA 5：9mA 6：保留 7：15mA
3 - 0	RESERVED	R/W	0x0	在此字段编程 0x0。

6.6.1.16 R15 寄存器（偏移 = 0xF）[复位 = 0x64F]

R15 在图 6-24 中展示并在表 6-35 中进行了介绍。

返回汇总表。

图 6-24. R15 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x64F															

表 6-35. R15 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x64F	在此字段编程 0x64F。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.17 R16 寄存器（偏移 = 0x10）[复位 = 0x80]

R16 在图 6-25 中展示并在表 6-36 中进行了介绍。

返回汇总表。

图 6-25. R16 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED							VCO_DACISET								
R/W-0x0							R/W-0x80								

Copyright © 2025 Texas Instruments Incorporated

表 6-36. R16 寄存器字段说明

位	字段	类型	复位	说明
15 - 9	RESERVED	R/W	0x0	在此字段编程 0x0。
8 - 0	VCO_DACISET	R/W	0x80	VCO_DACISET_FORCE = 1 时应用的 VCO 可编程电流设置。

6.6.1.18 R17 寄存器（偏移 = 0x11）[复位 = 0x12C]

R17 在图 6-26 中展示并在表 6-37 中进行了介绍。

返回汇总表。

图 6-26. R17 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x12C															

表 6-37. R17 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x12C	在此字段编程 0x12C。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.19 R18 寄存器（偏移 = 0x12）[复位 = 0x64]

R18 在图 6-27 中展示并在表 6-38 中进行了介绍。

返回汇总表。

图 6-27. R18 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x64															

表 6-38. R18 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x64	在此字段编程 0x64。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.20 R19 寄存器（偏移 = 0x13）[复位 = 0x27B7]

R19 在图 6-28 中展示并在表 6-39 中进行了介绍。

返回汇总表。

图 6-28. R19 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED								VCO_CAPCTRL							
R/W-0x27								R/W-0xB7							

表 6-39. R19 寄存器字段说明

位	字段	类型	复位	说明
15 - 8	RESERVED	R/W	0x27	在此字段编程 0x27。
7 - 0	VCO_CAPCTRL	R/W	0xB7	VCO_CAPCTRL_FORCE = 1 时适用的 VCO 内核内的可编程频带。有效值为 183 到 0，其中较高的数字是较低的频率。

6.6.1.21 R20 寄存器（偏移 = 0x14）[复位 = 0xF848]

R20 在图 6-29 中展示并在表 6-40 中进行了介绍。

Copyright © 2025 Texas Instruments Incorporated

返回汇总表。

图 6-29. R20 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED		VCO_SEL			VCO_SEL_FORCE	RESERVED									
R/W-0x3		R/W-0x7			R/W-0x0	R/W-0x48									

表 6-40. R20 寄存器字段说明

位	字段	类型	复位	说明
15 - 14	RESERVED	R/W	0x3	在此字段编程 0x3。
13 - 11	VCO_SEL	R/W	0x7	用户指定启动 VCO 进行校准。也是由 VCO_SEL_FORCE = 1 强制执行的 VCO 内核。 0：保留 1：VCO1 2：VCO2 ….. 7：VCO7
10	VCO_SEL_FORCE	R/W	0x0	强制 VCO 使用由 VCO_SEL 值指定的内核。 0：禁用 1：启用
9 - 0	RESERVED	R/W	0x48	在此字段编程 0x48。

6.6.1.22 R21 寄存器（偏移 = 0x15）[复位 = 0x401]

R21 在图 6-30 中展示并在表 6-41 中进行了介绍。

返回汇总表。

图 6-30. R21 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x401															

表 6-41. R21 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x401	在此字段编程 0x401。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.23 R22 寄存器（偏移 = 0x16）[复位 = 0x1]

R22 在图 6-31 中展示并在表 6-42 中进行了介绍。

返回汇总表。

图 6-31. R22 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x1															

表 6-42. R22 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x1	在此字段编程 0x1。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.24 R23 寄存器（偏移 = 0x17）[复位 = 0x7C]

R23 在图 6-32 中展示并在表 6-43 中进行了介绍。

返回汇总表。

图 6-32. R23 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x7C															

表 6-43. R23 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x7C	在此字段编程 0x7C。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.25 R24 寄存器（偏移 = 0x18）[复位 = 0x71A]

R24 在图 6-33 中展示并在表 6-44 中进行了介绍。

返回汇总表。

图 6-33. R24 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x71A															

表 6-44. R24 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x71A	在此字段编程 0x71A。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.26 R25 寄存器（偏移 = 0x19）[复位 = 0x624]

R25 在图 6-34 中展示并在表 6-45 中进行了介绍。

返回汇总表。

图 6-34. R25 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x624															

表 6-45. R25 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x624	在此字段编程 0x624。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.27 R26 寄存器（偏移 = 0x1A）[复位 = 0xDB0]

R26 在图 6-35 中展示并在表 6-46 中进行了介绍。

返回汇总表。

图 6-35. R26 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0xDB0															

Copyright © 2025 Texas Instruments Incorporated

表 6-46. R26 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0xDB0	在此字段编程 0xDB0。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.28 R27 寄存器（偏移 = 0x1B）[复位 = 0x2]

R27 在图 6-36 中展示并在表 6-47 中进行了介绍。

返回汇总表。

图 6-36. R27 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x2															

表 6-47. R27 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x2	在此字段编程 0x2。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.29 R28 寄存器（偏移 = 0x1C）[复位 = 0x488]

R28 在图 6-37 中展示并在表 6-48 中进行了介绍。

返回汇总表。

图 6-37. R28 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x488															

表 6-48. R28 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x488	在此字段编程 0x488。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.30 R29 寄存器（偏移 = 0x1D）[复位 = 0x318C]

R29 在图 6-38 中展示并在表 6-49 中进行了介绍。

返回汇总表。

图 6-38. R29 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x318C															

表 6-49. R29 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x318C	在此字段编程 0x318C。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.31 R30 寄存器（偏移 = 0x1E）[复位 = 0x318C]

R30 在图 6-39 中展示并在表 6-50 中进行了介绍。

返回汇总表。

Copyright © 2025 Texas Instruments Incorporated

图 6-39. R30 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x318C															

表 6-50. R30 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x318C	在此字段编程 0x318C。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.32 R31 寄存器（偏移 = 0x1F）[复位 = 0x43EC]

R31 在图 6-40 中展示并在表 6-51 中进行了介绍。

返回汇总表。

图 6-40. R31 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED	SEG1_EN	RESERVED													
R/W-0x0	R/W-0x1	R/W-0x3EC													

表 6-51. R31 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0x0	在此字段编程 0x0。
14	SEG1_EN	R/W	0x1	当通道分频器启用时，启用 SEG1。 0：禁用（仅当 CHDIV = 0x0（除以 2）且未处于 SYNC 模式时有效） 1：启用（用于其他 CHDIV 值）
13 - 0	RESERVED	R/W	0x3EC	在此字段编程 0x3EC。

6.6.1.33 R32 寄存器（偏移 = 0x20）[复位 = 0x393]

R32 在图 6-41 中展示并在表 6-52 中进行了介绍。

返回汇总表。

图 6-41. R32 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x393															

表 6-52. R32 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x393	在此字段编程 0x393。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.34 R33 寄存器（偏移 = 0x21）[复位 = 0x1E21]

R33 在图 6-42 中展示并在表 6-53 中进行了介绍。

返回汇总表。

图 6-42. R33 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x1E21															

Copyright © 2025 Texas Instruments Incorporated

表 6-53. R33 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x1E21	在此字段编程 0x1E21。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.35 R34 寄存器（偏移 = 0x22）[复位 = 0x0]

R34 在图 6-43 中展示并在表 6-54 中进行了介绍。

返回汇总表。

图 6-43. R34 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED														PLL_N[18:16]	
R/W-0x0														R/W-0x0	

表 6-54. R34 寄存器字段说明

位	字段	类型	复位	说明
15 - 3	RESERVED	R/W	0x0	在此字段编程 0x0。
2 - 0	PLL_N[18:16]	R/W	0x0	N 分频器的高 3 位，总共 19 位，分为 16 + 3。

6.6.1.36 R35 寄存器（偏移 = 0x23）[复位 = 0x4]

R35 在图 6-44 中展示并在表 6-55 中进行了介绍。

返回汇总表。

图 6-44. R35 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x4															

表 6-55. R35 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x4	在此字段编程 0x4。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.37 R36 寄存器（偏移 = 0x24）[复位 = 0x46]

R36 在图 6-45 中展示并在表 6-56 中进行了介绍。

返回汇总表。

图 6-45. R36 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLL_N[15:0]															
R/W-0x46															

表 6-56. R36 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	PLL_N[15:0]	R/W	0x46	PLL N 分频器值。

6.6.1.38 R37 寄存器（偏移 = 0x25）[复位 = 0x404]

R37 在图 6-46 中展示并在表 6-57 中进行了介绍。

返回汇总表。

Copyright © 2025 Texas Instruments Incorporated

图 6-46. R37 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED		PFD_DLY_SEL						RESERVED							
R/W-0x0		R/W-0x4						R/W-0x4							

表 6-57. R37 寄存器字段说明

位	字段	类型	复位	说明
15 - 14	RESERVED	R/W	0x0	在此字段编程 0x2。
13 - 8	PFD_DLY_SEL	R/W	0x4	必须根据 N 分频器值来调整 PFD_DLY_SEL。 有关详细信息，请参阅表 6-2。
7 - 0	RESERVED	R/W	0x4	在此字段编程 0x4。

6.6.1.39 R38 寄存器（偏移 = 0x26）[复位 = 0xFD51]

R38 在图 6-47 中展示并在表 6-58 中进行了介绍。

返回汇总表。

图 6-47. R38 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLL_DEN[31:16]															
R/W-0xFD51															

表 6-58. R38 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	PLL_DEN[31:16]	R/W	0xFD51	分母 (MSB)。

6.6.1.40 R39 寄存器（偏移 = 0x27）[复位 = 0xDA80]

R39 在图 6-48 中展示并在表 6-59 中进行了介绍。

返回汇总表。

图 6-48. R39 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLL_DEN[15:0]															
R/W-0xDA80															

表 6-59. R39 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	PLL_DEN[15:0]	R/W	0xDA80	分母。

6.6.1.41 R40 寄存器（偏移 = 0x28）[复位 = 0x0]

R40 在图 6-49 中展示并在表 6-60 中进行了介绍。

返回汇总表。

图 6-49. R40 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASH_SEED[31:16]															
R/W-0x0															

表 6-60. R40 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	MASH_SEED[31:16]	R/W	0x0	MASH_SEED(MSB)。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.42 R41 寄存器（偏移 = 0x29）[复位 = 0x0]

R41 在图 6-50 中展示并在表 6-61 中进行了介绍。

返回汇总表。

图 6-50. R41 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASH_SEED[15:0]															
R/W-0x0															

表 6-61. R41 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	MASH_SEED[15:0]	R/W	0x0	设置分数引擎的初始状态。对于产生相移和分数杂散优化非常有用。

6.6.1.43 R42 寄存器（偏移 = 0x2A）[复位 = 0x0]

R42 在图 6-51 中展示并在表 6-62 中进行了介绍。

返回汇总表。

图 6-51. R42 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLL_NUM[31:16]															
R/W-0x0															

表 6-62. R42 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	PLL_NUM[31:16]	R/W	0x0	分数分子 (MSB)。

6.6.1.44 R43 寄存器（偏移 = 0x2B）[复位 = 0x0]

R43 在图 6-52 中展示并在表 6-63 中进行了介绍。

返回汇总表。

图 6-52. R43 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLL_NUM[15:0]															
R/W-0x0															

表 6-63. R43 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	PLL_NUM[15:0]	R/W	0x0	分数分子。

6.6.1.45 R44 寄存器（偏移 = 0x2C）[复位 = 0x1FA3]

R44 在图 6-53 中展示并在表 6-64 中进行了介绍。

返回汇总表。

图 6-53. R44 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED		OUTA_PWR						OUTB_PD	OUTA_PD	MASH_RESET_N	RESERVED		MASH_ORDER		
R/W-0x0		R/W-0x1F						R/W-0x1	R/W-0x0	R/W-0x1	R/W-0x0		R/W-0x3		

表 6-64. R44 寄存器字段说明

位	字段	类型	复位	说明
15 - 14	RESERVED	R/W	0x0	在此字段编程 0x0。
13 - 8	OUTA_PWR	R/W	0x1F	设置控制输出 A 输出功率的电流。0 为最小电流。
7	OUTB_PD	R/W	0x1	将输出 B 断电。 0：正常运行 1：断电
6	OUTA_PD	R/W	0x0	将输出 A 断电。 0：正常运行 1：断电
5	MASH_RESET_N	R/W	0x1	MASH 的低电平有效复位。 0：复位 1：正常运行
4 - 3	RESERVED	R/W	0x0	在此字段编程 0x0。
2 - 0	MASH_ORDER	R/W	0x3	设置 MASH 顺序。 0：整数模式 1：一阶调制器 2：二阶调制器 3：三阶调制器 4：四阶调制器 5 - 7：保留

6.6.1.46 R45 寄存器（偏移 = 0x2D）[复位 = 0xC8DF]

R45 在图 6-54 中展示并在表 6-65 中进行了介绍。

返回汇总表。

图 6-54. R45 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED			OUTA_MUX		RESERVED					OUTB_PWR					
R/W-0x6			R/W-0x1		R/W-0x3					R/W-0x1F					

表 6-65. R45 寄存器字段说明

位	字段	类型	复位	说明
15 - 13	RESERVED	R/W	0x6	在此字段编程 0x6。
12 - 11	OUTA_MUX	R/W	0x1	选择 OUTA 输出的输入。 0：通道分频器 1：VCO 2：保留 3：保留
10 - 6	RESERVED	R/W	0x3	在此字段编程 0x3。
5 - 0	OUTB_PWR	R/W	0x1F	设置控制输出 B 输出功率的电流。0 为最小电流。

6.6.1.47 R46 寄存器（偏移 = 0x2E）[复位 = 0x7FD]

R46 在图 6-55 中展示并在表 6-66 中进行了介绍。

返回汇总表。

图 6-55. R46 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED														OUTB_MUX	

Copyright © 2025 Texas Instruments Incorporated

图 6-55. R46 寄存器（续）

R/W-0x1FF	R/W-0x1

表 6-66. R46 寄存器字段说明

位	字段	类型	复位	说明
15 - 2	RESERVED	R/W	0x1FF	在此字段编程 0x1FF。
1 - 0	OUTB_MUX	R/W	0x1	选择 OUTB 输出的输入。 0：通道分频器 1：VCO 2：SYSREF 3：保留

6.6.1.48 R47 寄存器（偏移 = 0x2F）[复位 = 0x300]

R47 在图 6-56 中展示并在表 6-67 中进行了介绍。

返回汇总表。

图 6-56. R47 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x300															

表 6-67. R47 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x300	在此字段编程 0x300。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.49 R48 寄存器（偏移 = 0x30）[复位 = 0x300]

R48 在图 6-57 中展示并在表 6-68 中进行了介绍。

返回汇总表。

图 6-57. R48 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x300															

表 6-68. R48 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x300	在此字段编程 0x300。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.50 R49 寄存器（偏移 = 0x31）[复位 = 0x4180]

R49 在图 6-58 中展示并在表 6-69 中进行了介绍。

返回汇总表。

图 6-58. R49 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x4180															

Copyright © 2025 Texas Instruments Incorporated

表 6-69. R49 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x4180	在此字段编程 0x4180。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.51 R50 寄存器（偏移 = 0x32）[复位 = 0x0]

R50 在图 6-59 中展示并在表 6-70 中进行了介绍。

返回汇总表。

图 6-59. R50 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x0															

表 6-70. R50 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x0	在此字段编程 0x0。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.52 R51 寄存器（偏移 = 0x33）[复位 = 0x80]

R51 在图 6-60 中展示并在表 6-71 中进行了介绍。

返回汇总表。

图 6-60. R51 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x80															

表 6-71. R51 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x80	在此字段编程 0x80。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.53 R52 寄存器（偏移 = 0x34）[复位 = 0x420]

R52 在图 6-61 中展示并在表 6-72 中进行了介绍。

返回汇总表。

图 6-61. R52 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x420															

表 6-72. R52 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x420	在此字段编程 0x420。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.54 R53 寄存器（偏移 = 0x35）[复位 = 0x0]

R53 在图 6-62 中展示并在表 6-73 中进行了介绍。

返回汇总表。

Copyright © 2025 Texas Instruments Incorporated

图 6-62. R53 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x0															

表 6-73. R53 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x0	在此字段编程 0x0。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.55 R54 寄存器（偏移 = 0x36）[复位 = 0x0]

R54 在图 6-63 中展示并在表 6-74 中进行了介绍。

返回汇总表。

图 6-63. R54 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x0															

表 6-74. R54 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x0	在此字段编程 0x0。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.56 R55 寄存器（偏移 = 0x37）[复位 = 0x0]

R55 在图 6-64 中展示并在表 6-75 中进行了介绍。

返回汇总表。

图 6-64. R55 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x0															

表 6-75. R55 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x0	在此字段编程 0x0。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.57 R56 寄存器（偏移 = 0x38）[复位 = 0x0]

R56 在图 6-65 中展示并在表 6-76 中进行了介绍。

返回汇总表。

图 6-65. R56 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x0															

表 6-76. R56 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x0	在此字段编程 0x0。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.58 R57 寄存器（偏移 = 0x39）[复位 = 0x20]

R57 在图 6-66 中展示并在表 6-77 中进行了介绍。

返回汇总表。

图 6-66. R57 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x20															

表 6-77. R57 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x20	在此字段编程 0x20。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.59 R58 寄存器（偏移 = 0x3A）[复位 = 0x8001]

R58 在图 6-67 中展示并在表 6-78 中进行了介绍。

返回汇总表。

图 6-67. R58 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INPIN_IGNORE	RESERVED														
R/W-0x1	R/W-0x1														

表 6-78. R58 寄存器字段说明

位	字段	类型	复位	说明
15	INPIN_IGNORE	R/W	0x1	忽略 SYNC 和 SYSREF 引脚。此位必须设置为 1，除非 VCO_PHASE_SYNC = 1。 0：SYNC 和 SYSREF 引脚被激活 1：SYNC 和 SYSREF 引脚被停用
14 - 0	RESERVED	R/W	0x1	在此字段编程 0x1。

6.6.1.60 R59 寄存器（偏移 = 0x3B）[复位 = 0x1]

R59 在图 6-68 中展示并在表 6-79 中进行了介绍。

返回汇总表。

图 6-68. R59 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															LD_TYPE
R/W-0x0															R/W-0x1

表 6-79. R59 寄存器字段说明

位	字段	类型	复位	说明
15 - 1	RESERVED	R/W	0x0	在此字段编程 0x0。

Copyright © 2025 Texas Instruments Incorporated

表 6-79. R59 寄存器字段说明（续）

位	字段	类型	复位	说明
0	LD_TYPE	R/W	0x1	定义锁定检测类型。 在 VCO 完成校准且 LD_DLY 超时计数器结束后，VCOCal 锁定检测置为高电平输出。 当 VCOCal 锁定检测将信号置为有效且 VCO 的调谐电压在可接受的限制范围内时，Vtune 和 VCOCal 锁定检测将置为高电平输出。RECAL 功能需要使用此锁定检测类型。 0：VCOCal 锁定检测 1：Vtune 和 VCOCal 锁定检测

6.6.1.61 R60 寄存器（偏移 = 0x3C）[复位 = 0x9C4]

R60 在图 6-69 中展示并在表 6-80 中进行了介绍。

返回汇总表。

图 6-69. R60 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LD_DLY															
R/W-0x9C4															

表 6-80. R60 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	LD_DLY	R/W	0x9C4	对于 VCOCal 锁定检测，这是在校准完成后，在 VCOCal 锁定检测被断言为高之前添加的状态机时钟周期的延迟。 延迟时间 = LD_DLY × 4 / f_{SM}。

6.6.1.62 R61 寄存器（偏移 = 0x3D）[复位 = 0xA8]

R61 在图 6-70 中展示并在表 6-81 中进行了介绍。

返回汇总表。

图 6-70. R61 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0xA8															

表 6-81. R61 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0xA8	在此字段编程 0xA8。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.63 R62 寄存器（偏移 = 0x3E）[复位 = 0x322]

R62 在图 6-71 中展示并在表 6-82 中进行了介绍。

返回汇总表。

图 6-71. R62 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x322															

Copyright © 2025 Texas Instruments Incorporated

表 6-82. R62 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x322	在此字段编程 0x322。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.64 R63 寄存器（偏移 = 0x3F）[复位 = 0x0]

R63 在图 6-72 中展示并在表 6-83 中进行了介绍。

返回汇总表。

图 6-72. R63 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x0															

表 6-83. R63 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x0	在此字段编程 0x0。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.65 R64 寄存器（偏移 = 0x40）[复位 = 0x1388]

R64 在图 6-73 中展示并在表 6-84 中进行了介绍。

返回汇总表。

图 6-73. R64 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x1388															

表 6-84. R64 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x1388	在此字段编程 0x1388。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.66 R65 寄存器（偏移 = 0x41）[复位 = 0x0]

R65 在图 6-74 中展示并在表 6-85 中进行了介绍。

返回汇总表。

图 6-74. R65 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x0															

表 6-85. R65 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x0	在此字段编程 0x0。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.67 R66 寄存器（偏移 = 0x42）[复位 = 0x1F4]

R66 在图 6-75 中展示并在表 6-86 中进行了介绍。

返回汇总表。

Copyright © 2025 Texas Instruments Incorporated

图 6-75. R66 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x1F4															

表 6-86. R66 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x1F4	在此字段编程 0x1F4。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.68 R67 寄存器（偏移 = 0x43）[复位 = 0x0]

R67 在图 6-76 中展示并在表 6-87 中进行了介绍。

返回汇总表。

图 6-76. R67 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x0															

表 6-87. R67 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x0	在此字段编程 0x0。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.69 R68 寄存器（偏移 = 0x44）[复位 = 0x3E8]

R68 在图 6-77 中展示并在表 6-88 中进行了介绍。

返回汇总表。

图 6-77. R68 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x3E8															

表 6-88. R68 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x3E8	在此字段编程 0x3E8。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.70 R69 寄存器（偏移 = 0x45）[复位 = 0x0]

R69 在图 6-78 中展示并在表 6-89 中进行了介绍。

返回汇总表。

图 6-78. R69 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASH_RST_COUNT[31:16]															
R/W-0x0															

Copyright © 2025 Texas Instruments Incorporated

表 6-89. R69 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	MASH_RST_COUNT [31:16]	R/W	0x0	MASH_RST_COUNT 的高 16 位。 该寄存器用于在使用相位 SYNC 之时添加延迟。延迟必须至少设置为 PLL 锁定时间的四倍。此延迟以状态机时钟周期表示。其中的一个周期等于 $2^{CAL_CLK_DIV} / f_{OSC}$。

6.6.1.71 R70 寄存器（偏移 = 0x46）[复位 = 0xC350]

R70 在图 6-79 中展示并在表 6-90 中进行了介绍。

返回汇总表。

图 6-79. R70 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASH_RST_COUNT[15:0]															
R/W-0xC350															

表 6-90. R70 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	MASH_RST_COUNT [15:0]	R/W	0xC350	MASH_RST_COUNT 的低 16 位。

6.6.1.72 R71 寄存器（偏移 = 0x47）[复位 = 0x80]

R71 在图 6-80 中展示并在表 6-91 中进行了介绍。

返回汇总表。

图 6-80. R71 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED								SYSREF_DIV_PRE			SYSREF_PULSE	SYSREF_EN	SYSREF_REPEAT	RESERVED	
R/W-0x0								R/W-0x4			R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0	

表 6-91. R71 寄存器字段说明

位	字段	类型	复位	说明
15 - 8	RESERVED	R/W	0x0	在此字段编程 0x0。
7 - 5	SYSREF_DIV_PRE	R/W	0x4	该分频器用于使 SYSREF 内插器的频率输入在可接受范围内。 1：已绕过 2：除以 2 4：除以 4 所有其他值会保留。
4	SYSREF_PULSE	R/W	0x0	在主模式下 (SYSREF_REPEAT = 0)，只要 SysRefReq 引脚变为高电平，就允许发送多个脉冲（由 SYSREF_PULSE_CNT 确定）。 0：连续 SYSREF 时钟 1：SYSREF 脉冲
3	SYSREF_EN	R/W	0x0	启用 SYSREF 模式。SYSREF 要求 VCO_PHASE_SYNC = 1。 0：禁用 1：启用
2	SYSREF_REPEAT	R/W	0x0	定义 SYSREF 模式。 0：主模式。脉冲会在输出端生成。 1：中继器模式。产生脉冲以响应 SysRefReq 引脚。
1 - 0	RESERVED	R/W	0x0	在此字段编程 0x0。

Copyright © 2025 Texas Instruments Incorporated

6.6.1.73 R72 寄存器（偏移 = 0x48）[复位 = 0x1]

R72 在图 6-81 中展示并在表 6-92 中进行了介绍。

返回汇总表。

图 6-81. R72 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED					SYSREF_DIV										
R/W-0x0					R/W-0x1										

表 6-92. R72 寄存器字段说明

位	字段	类型	复位	说明
15 - 11	RESERVED	R/W	0x0	在此字段编程 0x0。
10 - 0	SYSREF_DIV	R/W	0x1	该分频器可以进一步对 SYSREF 的输出频率进行分频。

6.6.1.74 R73 寄存器（偏移 = 0x49）[复位 = 0x3F]

R73 在图 6-82 中展示并在表 6-93 中进行了介绍。

返回汇总表。

图 6-82. R73 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED				JESD_DAC2_CTRL						JESD_DAC1_CTRL					
R/W-0x0				R/W-0x0						R/W-0x3F					

表 6-93. R73 寄存器字段说明

位	字段	类型	复位	说明
15 - 12	RESERVED	R/W	0x0	在此字段编程 0x0。
11 - 6	JESD_DAC2_CTRL	R/W	0x0	SysRef 模式的可编程延迟调整。
5 - 0	JESD_DAC1_CTRL	R/W	0x3F	SysRef 模式的可编程延迟调整。

6.6.1.75 R74 寄存器（偏移 = 0x4A）[复位 = 0x0]

R74 在图 6-83 中展示并在表 6-94 中进行了介绍。

返回汇总表。

图 6-83. R74 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SYSREF_PULSE_CNT				JESD_DAC4_CTRL						JESD_DAC3_CTRL					
R/W-0x0				R/W-0x0						R/W-0x0					

表 6-94. R74 寄存器字段说明

位	字段	类型	复位	说明
15 - 12	SYSREF_PULSE_CNT	R/W	0x0	在 SYSREF_REPEAT 模式下用于定义发送了多少个脉冲。
11 - 6	JESD_DAC4_CTRL	R/W	0x0	SysRef 模式的可编程延迟调整。
5 - 0	JESD_DAC3_CTRL	R/W	0x0	SysRef 模式的可编程延迟调整。

6.6.1.76 R75 寄存器（偏移 = 0x4B）[复位 = 0x800]

R75 在图 6-84 中展示并在表 6-95 中进行了介绍。

返回汇总表。

图 6-84. R75 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Copyright © 2025 Texas Instruments Incorporated

图 6-84. R75 寄存器（续）

RESERVED	CHDIV	RESERVED
R/W-0x1	R/W-0x0	R/W-0x0

表 6-95. R75 寄存器字段说明

位	字段	类型	复位	说明
15 - 11	RESERVED	R/W	0x1	在此字段编程 0x1。
10 - 6	CHDIV	R/W	0x0	通道分频器（等效分频）控制通道分频器每个段的分频器值。 0：除以 2 1：除以 4 2：除以 6 3：除以 8 4：除以 12 5：除以 16 6：除以 24 7：除以 32 8：除以 48 9：除以 64 10：除以 96 11：除以 128 12：除以 192 所有其他值会保留。
5 - 0	RESERVED	R/W	0x0	在此字段编程 0x0。

6.6.1.77 R76 寄存器（偏移 = 0x4C）[复位 = 0xC]

R76 在图 6-85 中展示并在表 6-96 中进行了介绍。

返回汇总表。

图 6-85. R76 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0xC															

表 6-96. R76 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0xC	在此字段编程 0xC。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.78 R77 寄存器（偏移 = 0x4D）[复位 = 0x0]

R77 在图 6-86 中展示并在表 6-97 中进行了介绍。

返回汇总表。

图 6-86. R77 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x0															

Copyright © 2025 Texas Instruments Incorporated

表 6-97. R77 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x0	在此字段编程 0x0。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.79 R78 寄存器（偏移 = 0x4E）[复位 = 0x64]

R78 在图 6-87 中展示并在表 6-98 中进行了介绍。

返回汇总表。

图 6-87. R78 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x64															

表 6-98. R78 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x64	在此字段编程 0x64。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.80 R79 - R104 寄存器（偏移 = 0x4F - 0x68）[只读 = 0x0]

图 6-88 展示了适用于 R79 - R104，表 6-99 中对此进行了介绍。

返回汇总表。

图 6-88. R79 - R104 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x0															

表 6-99. R79 - R104 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x0	在此字段编程 0x0。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.81 R105 寄存器（偏移 = 0x69）[复位 = 0x4440]

R105 在图 6-89 中展示并在表 6-100 中进行了介绍。

返回汇总表。

图 6-89. R105 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x4440															

表 6-100. R105 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x4440	在此字段编程 0x4440。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.82 R106 寄存器（偏移 = 0x6A）[复位 = 0x7]

R106 在图 6-90 中展示并在表 6-101 中进行了介绍。

返回汇总表。

Copyright © 2025 Texas Instruments Incorporated

图 6-90. R106 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R/W-0x7															

表 6-101. R106 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R/W	0x7	在此字段编程 0x7。 使用 RESET = 1 对 R0 编程后，无需对该寄存器进行编程。

6.6.1.83 R107 - R109 寄存器（偏移 = 0x6B - 0x6D）[只读]

图 6-91 展示了适用于 R107 - R109，表 6-102 中对此进行了介绍。

返回汇总表。

图 6-91. R107 - R109 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED															
R															

表 6-102. R107 - R109 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	RESERVED	R	-	未使用。只读回。

6.6.1.84 R110 寄存器（偏移量 = 0x6E）[只读]

R110 在图 6-92 中展示并在表 6-103 中进行了介绍。

返回汇总表。

图 6-92. R110 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED					rb_LD_VTUNE		RESERVED	rb_VCO_SEL			RESERVED				
R-0x0					R		R-0x0	R			R-0x0				

表 6-103. R110 寄存器字段说明

位	字段	类型	复位	说明
15 - 11	RESERVED	R	0x0	未使用。只读回。
10 - 9	rb_LD_VTUNE	R	-	用于锁定检测的回读字段。仅在 R0 至少被编程一次且 LD_TYPE = 1 时适用。 0：未锁定（Fvco 低电平） 1：无效 2：已锁定 3：未锁定（Fvco 高电平）
8	RESERVED	R	0x0	未使用。只读回。
7 - 5	rb_VCO_SEL	R	-	读回选择校准的实际 VCO。
4 - 0	RESERVED	R	0x0	未使用。只读回。

6.6.1.85 R111 寄存器（偏移量 = 0x6F）[只读]

R111 在图 6-93 中展示并在表 6-104 中进行了介绍。

返回汇总表。

图 6-93. R111 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

Copyright © 2025 Texas Instruments Incorporated

图 6-93. R111 寄存器（续）

RESERVED	rb_VCO_CAPCTRL
R-0x0	R

表 6-104. R111 寄存器字段说明

位	字段	类型	复位	说明
15 - 8	RESERVED	R	0x0	未使用。只读回。
7 - 0	rb_VCO_CAPCTRL	R	-	通过 VCO 校准选择的实际 VCO_CAPCTRL 值的回读字段。

6.6.1.86 R112 寄存器（偏移量 = 0x70）[只读]

R112 在图 6-94 中展示并在表 6-105 中进行了介绍。

返回汇总表。

图 6-94. R112 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED							rb_VCO_DACISET								
R-0x0							R								

表 6-105. R112 寄存器字段说明

位	字段	类型	复位	说明
15 - 9	RESERVED	R	0x0	未使用。只读回。
8 - 0	rb_VCO_DACISET	R	-	通过 VCO 校准选择的实际 VCO_DACISET 值的回读字段。

6.6.1.87 R113 寄存器（偏移量 = 0x71）[只读]

R113 在图 6-95 中展示并在表 6-106 中进行了介绍。

返回汇总表。

图 6-95. R113 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
rb_IO_STATUS															
R															

表 6-106. R113 寄存器字段说明

位	字段	类型	复位	说明
15 - 0	rb_IO_STATUS	R	-	读回模式引脚的状态。 位 0：RECAL_EN 引脚 位 1：FS0 引脚 ….. 位 8：FS7 引脚

6.6.1.88 R114 寄存器（偏移 = 0x72）[复位 = 0x26F]

R114 在图 6-96 中展示并在表 6-107 中进行了介绍。

返回汇总表。

图 6-96. R114 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESERVED						WD_DLY							WD_CNTRL		
R-0x0						R/W-0x4D							R/W-0x7		

Copyright © 2025 Texas Instruments Incorporated

表 6-107. R114 寄存器字段说明

位	字段	类型	复位	说明
15 - 10	RESERVED	R	0x0	在此字段编程 0x0。
9 - 3	WD_DLY	R/W	0x4D	内部看门狗计时器的延迟。延迟时间 = WD_DLY × 2^{14} /状态机时钟频率。
2 - 0	WD_CNTRL	R/W	0x7	看门狗控制 0：已禁用数字看门狗。 1：看门狗触发 1 次 2：看门狗触发多达 2 次 3：看门狗触发多达 3 次 4：看门狗触发多达 4 次 5：看门狗触发多达 5 次 6：看门狗触发多达 6 次 7：看门狗会根据需要多次重新触发，无限制。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 OSCin 配置

OSCin 支持单端或差分时钟。在器件引脚之前必须串联一个交流耦合电容器。OSCin 输入是具有内部偏置电压的高阻抗 CMOS。TI 建议使用端接分流电阻器来端接差分布线（如果有 50Ω 特性布线，请放置 50Ω 电阻器）。OSCin 和 OSCin* 侧在布局中必须匹配。在电路板布局布线中，必须在 OSCin 引脚后紧接着放置串联的交流耦合电容器，然后再放置接地的分流端接电阻器。

图 7-1 中显示了输入时钟定义：

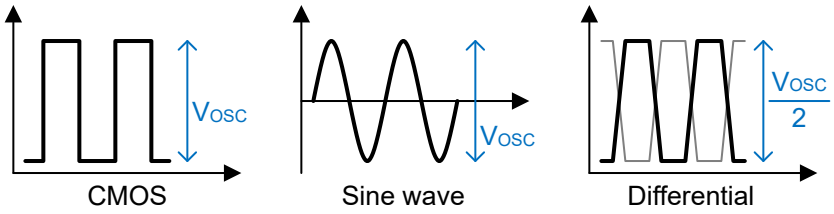


图 7-1. 输入时钟定义

7.1.2 OSCin 压摆率

如果压摆率过低，OSCin 信号的压摆率会对 LMX2615-SP 的杂散和相位噪声产生影响。一般而言，具有高压摆率但振幅较低的信号（例如 LVDS）能实现更好的性能。

7.1.3 射频输出缓冲器功率控制

OUTA_PWR 和 OUTB_PWR 寄存器控制输出的驱动电流大小。此电流会在上拉元件和负载两端产生电压。将 OUTx_PWR 设置保持为 31 或更小，因为较高的设置会消耗更多的电流，并且也会导致更高的输出功率。通常通过将 OUTx_PWR 设置在 15 至 25 的范围内，从而获得更好的本底噪声。

7.1.4 射频输出缓冲器上拉

输出缓冲器元件的选择非常重要，并且会对输出功率产生深远影响。上拉元件可以是电阻器或电感器，也可以是其组合。信号摆幅是由流经该上拉电阻器的电流产生的，因此，较高阻抗意味着较高的信号摆幅。但是，由于可以将该上拉元件视为与负载阻抗并联，因此随着阻抗变得远大于负载阻抗，会产生收益递减。该器件的输出阻抗随频率的变化而变化，是一个复数，但通常具有大约 100Ω 的幅度，但这会随着频率的降低而降低。

输出可以采用差分或者单端方式。如果使用单端，仍需要上拉电阻，并且用户需要端接未使用的互补侧，以便引脚观察到的阻抗与正在使用的引脚类似。以下是一些可能有用的典型元件。

表 7-1. 输出上拉配置

元件	值	器件型号
电感器	1nH，13.6GHz SRF	Toko LL1005-FH1N0S
	3.3nH，6.8GHz SRF	Toko LL1005-FH3N3S
	10nH，3.8GHz SRF	Toko LL1005-FH10NU
电阻器	50Ω	Vishay FC0402E50R0BST1
电容器	因频率而异	ATC 520L103KT16T ATC 504L50R0FTNCFT

Copyright © 2025 Texas Instruments Incorporated

7.1.4.1 上拉电阻器

选择上拉元件的一种策略是使用电阻器 (R)。这通常选择为 50Ω，并且假设器件输出阻抗较高，从而无论输出频率如何，输出阻抗理论上都为 50Ω。由于器件的输出阻抗不是无限的，因此使用上拉电阻器时的输出阻抗小于 50Ω，但相当接近。电阻器上存在一些压降，但如果 OUTx_PWR≤31，这似乎不会对 50Ω 电阻器的信号摆幅产生很大影响。

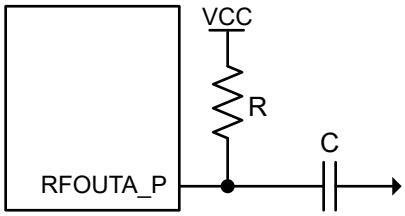


图 7-2. 上拉电阻器

7.1.4.2 上拉电感器

另一种策略为选择电感器 (L) 上拉。这样可实现更高的阻抗，而无需担心在元件上产生任何直流压降。理想情况下，所选电感器必须足够大，使阻抗相对于负载阻抗较高，并且在远离自谐振频率的情况下运行。例如，假设有一个 3.3nH 上拉电感器，自谐振频率为 7GHz，驱动 50Ω 频谱分析仪输入。理论上，该电感器的 j50Ω 输入阻抗约为 2.4GHz。在此频率下，该电阻与负载并联约为 35Ω，这降低了 3dB 功率。在 1.4GHz 下，此电感器的阻抗约为 j29Ω。它与 50Ω 负载并联，大小为 25Ω，与 50Ω 上拉相同。电感器上拉的主要问题在于阻抗看起来与负载不匹配。

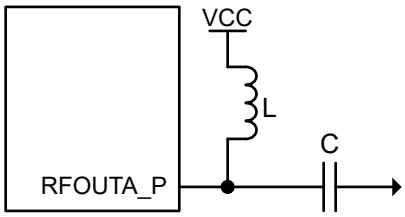


图 7-3. 上拉电感器

由于输出阻抗不是很好地匹配，但有更高的输出功率，因此需要使用电阻焊盘来获得最佳阻抗控制。6dB 焊盘（R1 = 18Ω、R2 = 68Ω）可能会产生更多衰减，而不是必要的衰减。3dB 甚至 1dB 的焊盘就已足够。在焊盘之前需要两个交流耦合电容器。在图 7-4 所示的配置中，其中一个接地，以尽可能减少高频路径中的元件数量，从而降低损耗。

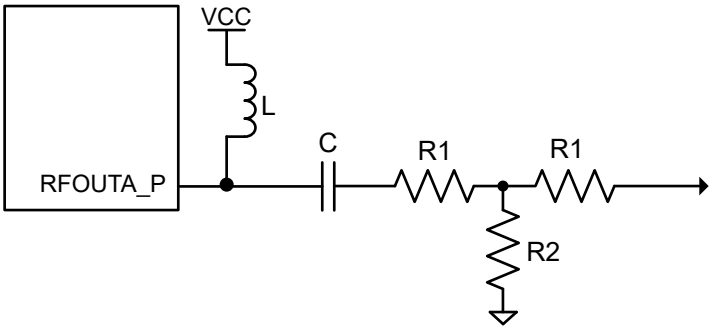


图 7-4. 电感器上拉与焊盘

对于电阻式焊盘，表 7-2 显示了一些常见值：

Copyright © 2025 Texas Instruments Incorporated

表 7-2. 电阻式 T 焊盘值

衰减 (dB)	R1 (Ω)	R2 (Ω)
1	2.7	420
2	5.6	220
3	6.8	150
4	12	100
5	15	82
6	18	68

7.1.4.3 组合上拉

电阻器可提供良好的低频响应，而电感器可在匹配较差的情况下提供良好的高频响应。需要将上拉电阻器的阻抗设置为高电平，但如果使用电阻器，则直流压降可能会过大。如果使用电感器，很难找到在低频下以及电感器自谐振频率附近良好的电感器。解决此问题的一种方法是使用串联电阻器和电感器，后跟一个电阻焊盘。

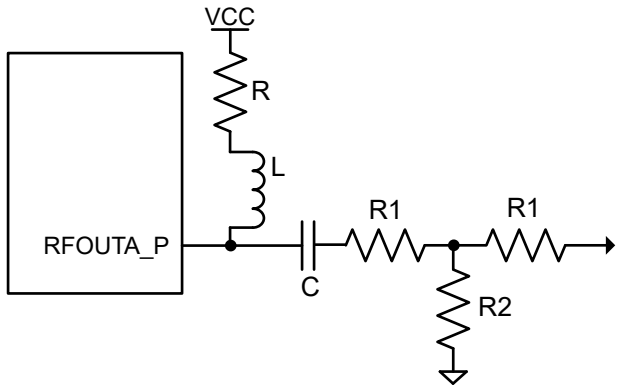


图 7-5. 电感器和上拉电阻器

7.1.5 互补侧的射频输出处理

无论是否使用了差分输出的两侧，两侧都必须具有相似的负载。

7.1.5.1 未使用输出的单端端接

未使用的输出端口必须具有与引脚外部大体相同的阻抗，从而更大限度地减小谐波并获得出色的输出功率。由于上拉元件的放置对于获得理想输出功率至关重要，因此布线不需要完全对称。向所用输出（在本例中为 RFoutA_P）提供最高优先级的路由。

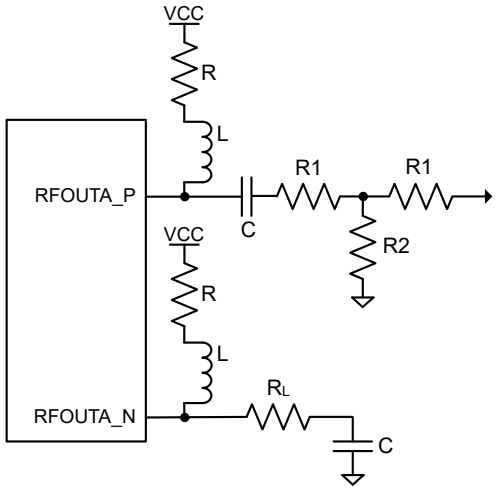


图 7-6. 未使用输出的端接：单端

7.1.5.2 差分终端

对于差分端接，可以通过对两侧进行相同的端接，或者也可以通过将接地端连接在一起来实现这点。还可以伴随一个差分转单端平衡-非平衡变压器来实现尽可能高的输出功率。

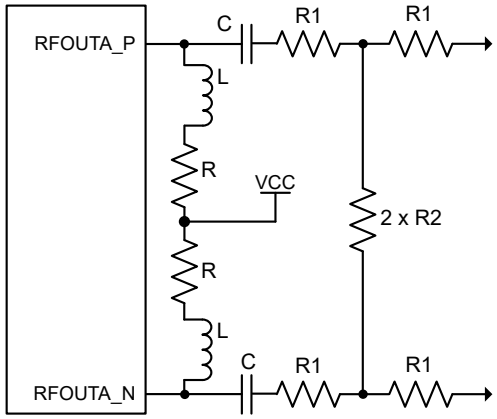


图 7-7. 未使用输出的端接：差分

7.2 外部环路滤波器

LMX2615-SP 需要一个应用特定的外部环路滤波器，并且可以通过 PLLatinum 仿真工具进行设计。对于 LMX2615-SP 来说，从 Vtune 引脚向外看到的阻抗很重要。对于三阶滤波器，该阻抗由元件 C3 主导，对于二阶滤波器，该阻抗由元件 C1 主导。如果与此引脚并联的电容至少有 1.5nF，则 VCO 相位噪声接近最佳值。如果较少，则 100kHz 至 1MHz 区域的 VCO 相位噪声会降低。该电容必须靠近 Vtune 引脚放置。

Copyright © 2025 Texas Instruments Incorporated

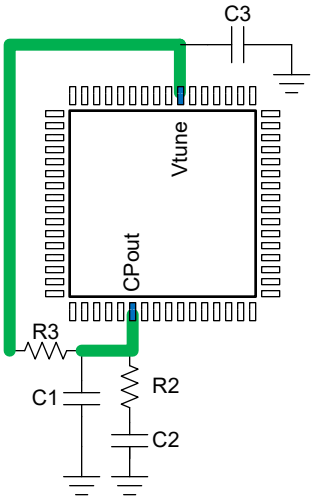


图 7-8. 外部环路滤波器

7.3 典型应用

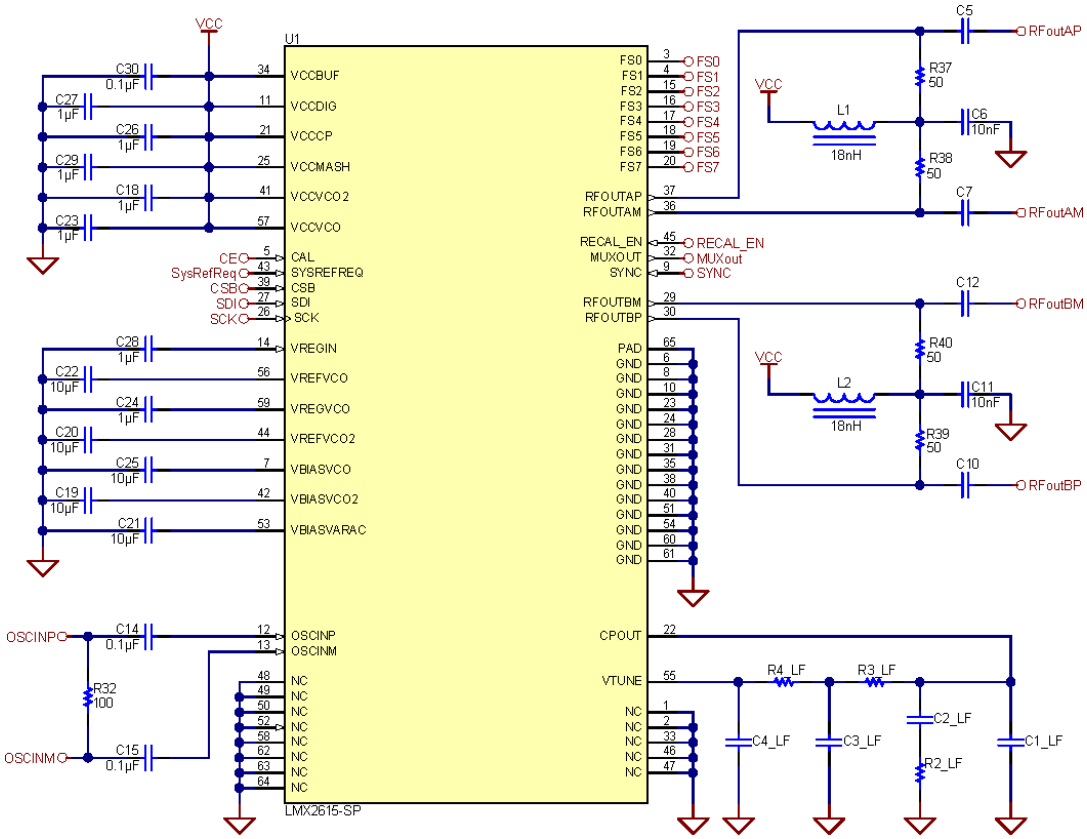


图 7-9. 典型应用原理图

7.3.1 设计要求

环路滤波器的设计很复杂，通常使用软件完成。PLLatinum Sim 软件是执行此操作的理想资源，图 7-10 中显示了该设计。

Copyright © 2025 Texas Instruments Incorporated



图 7-10. PLLatinum Sim 工具

7.3.2 详细设计过程

相位噪声在一定带宽上的积分（抖动）是一种性能规格，可转换为信噪比。环路带宽内的相位噪声主要由 PLL 控制，而环路带宽外的相位噪声主要由 VCO 控制。通常，如果环路带宽设计为两者相交的点，则抖动最低。较高相位裕度的环路滤波器设计在环路带宽处的峰值较小，因此抖动较低。这样做的代价是在设计时必须考虑更长的锁定时间和杂散。

7.3.3 应用曲线

使用所描述的设置，利用干净的 100MHz 输入基准测量的性能如下所示。请注意，根据仿真预测，环路带宽约为 350kHz。

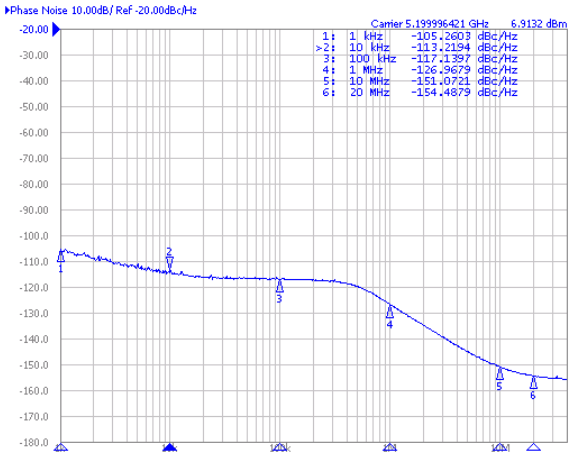


图 7-11. 环路滤波器设计的结果

Copyright © 2025 Texas Instruments Incorporated

7.4 电源相关建议

TI 建议将旁路电容器靠近引脚放置。有关布局示例，请参阅 EVM 说明。如果分数杂散问题严重，则在这些电源引脚上使用铁氧体磁珠可以在一定程度上减少杂散。该器件具有集成 LDO，可提高对电源噪声的抵抗力。但是，输出端的 RFoutA 和 RFoutB 引脚上的上拉元件直接连接到电源，因此必须格外小心，确认这些引脚的电压是干净的。

LMX2615-SP 的电流消耗取决于配置。在 LMX2615EVM-CVAL 默认配置下，表 7-3 显示了从每个电压电源引脚汲取的典型电流。所有电压电源引脚都可以连接在一起以共享同一个电源，或者引脚可以与单独的电源分离。但是，VccVCO 和 VccVCO2 必须连接到同一电源。

表 7-3. 单个电压电源引脚电流

引脚编号	引脚名称	电流 (mA)
11	VccDIG	25
21	VccCP	18
34	VccBUF	137（一个输出有效）
		258（两个输出有效）
25	VccMASH	59
57、41	VccVCO + VccVCO2	118（一个输出有效）
		130（两个输出有效）
总计		357（一个输出有效）
		490（两个输出有效）

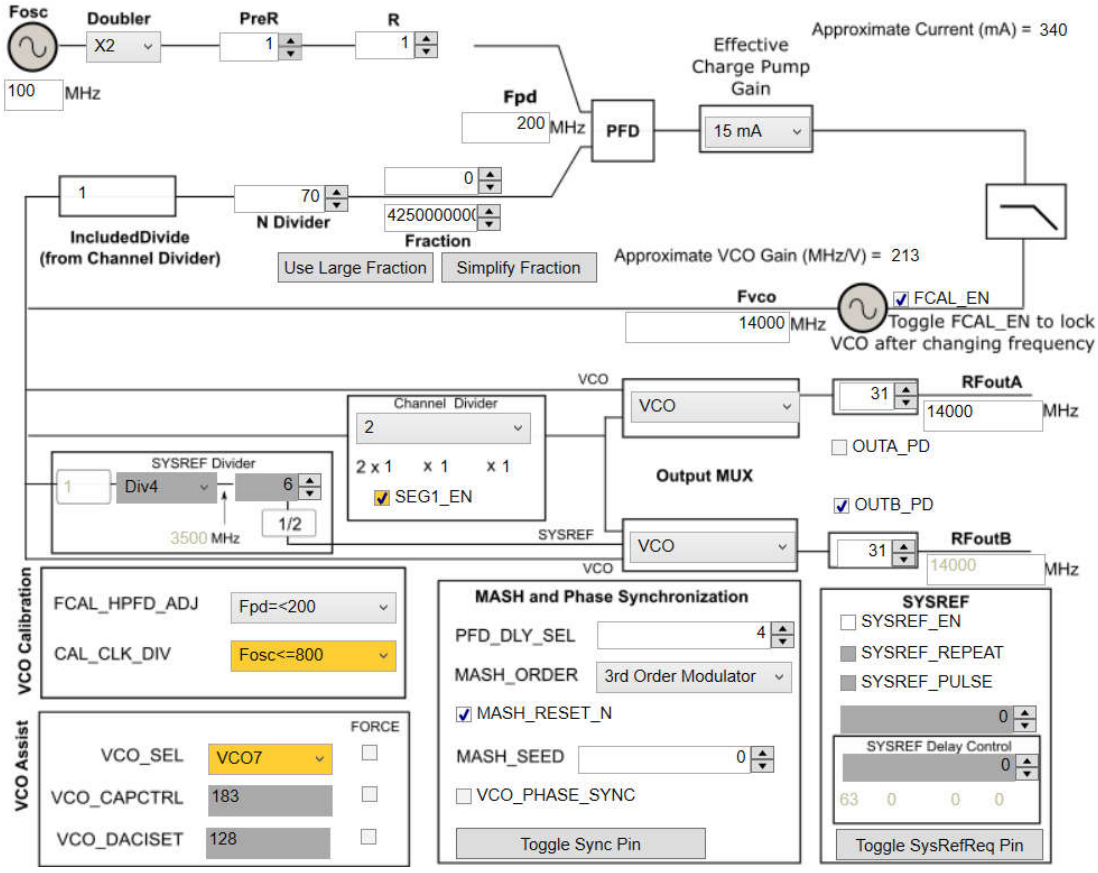


图 7-12. LMX2615EVM-CVAL 默认配置

Copyright © 2025 Texas Instruments Incorporated

7.5 布局

7.5.1 布局指南

一般来说，布局指南与大多数其他 PLL 器件相似。以下是一些具体的指南。

- GND 引脚可以在封装上路由回 DAP。
- 对于输出，使上拉元件尽可能靠近引脚，并在差分对的每一侧使用相同的元件。
- 如果需要单端输出，则另一端必须具有相同的负载和上拉电阻。但是，可以通过将互补侧通过过孔路由到电路板的另一侧来优化使用侧的布线。在这一侧，使用相同的上拉电阻并使负载看起来与使用的一侧相同。
- 确认器件上的 DAP 通过多个过孔良好接地，最好是铜填充。
- 有一个与 LMX2615-SP 裸露焊盘一样大的散热焊盘。在散热焊盘上添加过孔以更大限度地提高散热性能。
- 使用低损耗介电材料，以获得最佳输出功率。
- 将电源旁路电容器靠近引脚放置。

7.5.2 布局示例

除了已给出的布局指南之外，以下是针对此特定布局示例的一些其他注释

- 布局中最关键的部分是上拉元件（R37、R38、R39 和 R40）靠近引脚放置，以获得出色的输出功率。
- 在该布局中，大多数环路滤波器（C1_LF、C2_LF、C3_LF、R2_LF、R3_LF 和 R4_LF）都位于电路板的背部。但请注意，C4_LF 位于顶部右侧的 Vtune 引脚旁边。如果此 C4_LF 电容器处于开路状态。在此位置移动一个环路电容器。例如，如果使用三阶环路滤波器，技术上 C3_LF 为非零，C4_LF 为开。但是，对于这个为 4 阶环路滤波器设计的布局示例来说，最好使 R3_LF = 0 Ω、C3_LF = 开路，并且 C4_LF 与 C3_LF 相同。

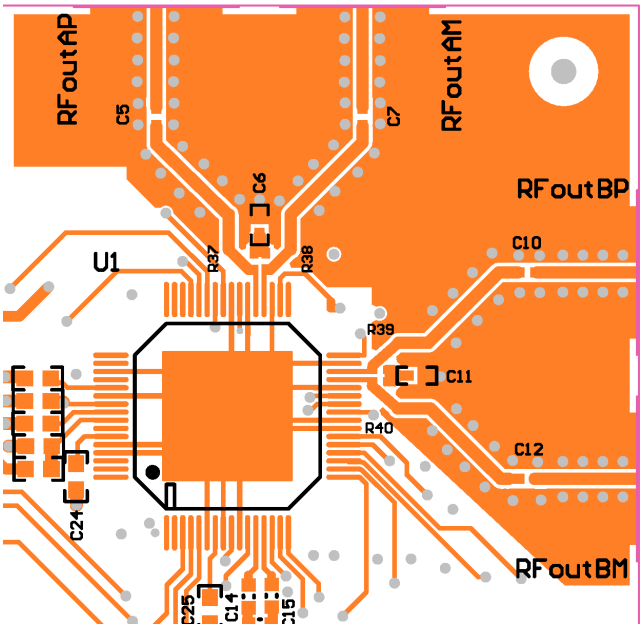


图 7-13. LMX2615-SP 布局示例

Copyright © 2025 Texas Instruments Incorporated

7.5.3 PCB 布局上的封装示例

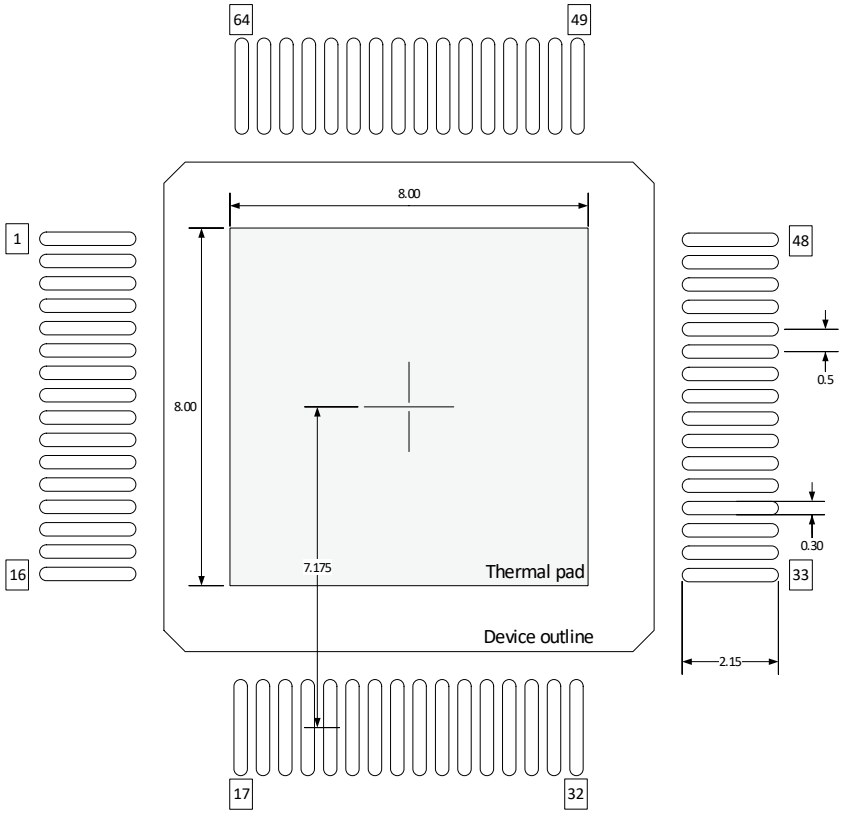


图 7-14. LMX2615-SP PCB 焊盘图案示例

7.5.4 辐射环境

在辐射环境中使用产品时，必须仔细考虑环境条件。

7.5.4.1 电离总剂量

耐辐射保障 (RHA) 产品是那些在订货信息中指定了电离辐射总剂量 (TID) 水平的器件型号。根据 MIL-STD-883 测试方法 1019，在晶圆级完成这些产品的测试和鉴定。晶圆级 TID 数据随批次发货一起提供。

7.5.4.2 单粒子效应

根据 EIA/JEDEC 标准 EIA/JEDEC57 进行一次性单粒子效应 (SEE) 测试，包括单粒子锁存 (SEL)、单粒子功能中断 (SEFI) 和单粒子翻转 (SEU)。可根据申请提供测试报告。

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

德州仪器 (TI) 在 www.ti.com.cn 提供了多种辅助开发的软件工具。其中包括：

- EVM 软件，用于了解如何对器件和 EVM 板进行编程。
- EVM 板说明，用于了解典型测量数据、详细测量条件以及完整设计的信息。
- PLLatinum Sim 程序，用于设计回路滤波器以及对相位噪声和杂散进行仿真。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*AN-1879 分数 N 频率合成* 应用手册
- 德州仪器 (TI)，*PLL 性能、仿真和设计手册* 设计指南

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (May 2020) to Revision E (December 2025)	Page
• 在*器件信息* 表中添加了封装质量和链接	1
• 更新了各种引脚的内容	3
• 添加了 DAP 引脚	3
• 在数字引脚电压中添加了 SCK、SDI 及 CSB	6
• 添加了 CDM 等级	6
• 将 t_{CD} 规格更改为最大列	9

Copyright © 2025 Texas Instruments Incorporated

- 添加了 SYNC 及 SYSREFREQ 的时序要求 9
- 添加了触发信号计时示意图；修改了 SPI 计时示意图 9
- 更新了典型图 11
- 在表 6-1 中为小数分子添加了一行 13
- 添加了最后一句 14
- 添加了最大状态机时钟频率。 14
- 更新了表 6-2 中的内容和值 14
- 可以更改线路共享 15
- 将相位检测器周期更改为状态机时钟周期 16
- 内容已更新 16
- 删除了公式 3 16
- 删除了表 6 16
- 将 WD_DLY 更改为 WD_CNTRL 17
- 将 LD_DLY 更改成 WD_DLY 17
- 删除了等效分频值 72 17
- 更新了图 6-2 和表 6-7 17
- 删除了 SPI 模式语句。添加了引脚模式语句。 19
- 更正了拼写错误 19
- 更新了图 6-3、图 6-4 和表 6-11 19
- 更改了同步的建立时间、保持时间及流程图 20
- 更新了使用 SYNC 的过程 21
- 删除了第一句 22
- 添加了相位调整内容 22
- 更新了 SYSREF 方框图和公式；更新了表 6-14 中的值 23
- 将“...需要 R75 下降至 R0...”更改为“…需要 R75 下降至 R0（其中 FCAL_EN = 1）...” 28
- 更新了内容 28
- 将表 6-17 中的寄存器 R1 位 3 名称从 1 更改为 MUXOUT_CTRL 29
- 将表 6-17 中的寄存器 R11 位 4 名称从 1 更改为 PLL_R 29
- 在 表 6-17 中添加了 POR 列 29
- 更改了表 6-20 中 RESET 的说明 34
- 在图 6-10 和表 6-21 中添加了 MUXOUT_CTRL 34
- 更新了图 7-1 63
- 更改了阻抗值。 64
- 添加了“外部环路滤波器”一节 66
- 更新了图 7-10 67
- 更新了图 7-11 68
- 更改了图 7-14 的标题 71
- 添加了工程示例技术文档的链接 75

Changes from Revision C (November 2018) to Revision D (May 2020) **Page**

- 添加了 SMD 型号及可订购器件 1
- 从*器件信息* 表中删除了 LMX2615W-MLS 1
- 从 *PLL 相位检测器和电荷泵* 部分删除了句子“请参阅应用部分以了解由电荷泵引起的相位噪声” 14
- 更改了*典型应用原理* 图 67
- 更改了*布局示例* 图 70

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision B (June 2018) to Revision C (November 2018) **Page**

- 将器件状态从“预告信息”更改为“量产数据” 1
- 更改了输出功率、VCO 校准时间及谐波。 7
- 添加了典型性能特性 11
- 将更高分频的最大频率更新成基于 11.5GHz，而不是 15.2GHz 17
- 更新了 FS7 引脚说明 24
- 添加了典型应用 67
- 添加了包括 Vtune 引脚电容器要求在内的更多详细信息。 70
- 添加了布局示例 70

Changes from Revision A (June 2018) to Revision B (August 2018) **Page**

- 将典型抖动更改成 45fs 1
- 添加了最大数字引脚和 OSCin 电压 6
- 更改了典型 VCO 增益 7
- 更改了回读计时示意图并添加了 tCD。 9
- 将 VCO 频率范围更改为 7600 至 15200MHz 13
- 将 VCO 校准更新成 7600 至 15200MHz 的新 VCO 范围 16
- 更改了校准时间表中 VCO 的顺序 16
- 添加了看门狗说明 17
- 更改了 RECAL 特性说明 17
- 更改了 VCO 增益表 17
- 更改了通道分频器描述和图片 17
- 更改了 VCO 频率的通道分频器使用情况 17
- 更改了 5GHz，而不是 5MHz 18
- 添加了有关如何处理未使用的引脚的信息 19
- Fosc%Fout=0 的更改情况现在为类别 2 20
- 更改了 CAL 和 RECAL_EN 的建议 24
- 将 RECAL_EN 更改为 CAL 引脚 24
- 将引脚模式 17 更改为不使用。 24
- 向建议的初始上电序列添加了 10ms 延迟，并添加了有关要编程哪些寄存器的更多详细信息。 28
- 添加了寄存器映射表 29

Changes from Revision * (May 2017) to Revision A (June 2018) **Page**

- 更改了 //ESD 等级//表 6
- 将环境温度参数更改为//推荐运行条件//表中的管壳温度 6
- 从//推荐操作条件//表中删除了结温参数 6
- 将电源电压最小值从：3.15V 更改为 3.2V 7
- 将测试条件更改为电源电流参数 7
- 将 RESET=1 测试条件下的上电复位电流典型值从：270mA 更改为：289mA 7
- 将 POWERDOWN = 1 测试条件下的上电复位电流典型值从：5mA 更改为：6mA 7
- 更改了测试条件并向基准输入电压参数添加了最小值 7
- 添加了相位检测器频率测试条件 7
- 更改了 VCO 相位噪声测试条件及典型值 7
- 更改了文本以阐明输出功率假设负载匹配且损耗已经剥离。 7
- 更改了*辅助 VCO 校准速度*表和*部分辅助的最小 VCO_SEL* 表 16
- 添加了*根据 VCO_SEL 的 f_{OSC} = f_{PD} = 100MHz 的典型校准时间* 表 16

Copyright © 2025 Texas Instruments Incorporated

• 更改了*相位调整*部分中的 MASH_SEED 注意事项..... 22

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

10.1 工程样片

工程样片 (LMX2615W-MPR) 具有与运行器件 (5962R1723601VXC) 相同的封装、引脚排列、编程和典型性能。这些样片在室温下经过测试，符合电气规范，但尚未经历或通过全面的生产流程或测试。工程样片可能是 QCI 不合格品，未通过全面的生产测试（如辐射或可靠性测试）。

有关工程样片的更多信息，请参阅德州仪器 (TI) 工程评估单元与 MIL-PRF-38535 QML V 类处理 手册。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962R1723601VXC	Active	Production	CFP (HBD) | 64	14 | TUBE	ROHS Exempt	NIAU	Level-1-NA-UNLIM	-55 to 125	5962R1723601VXC LMX2615WRQMLV
LMX2615-MKT-MS	Active	Production	CFP (HBD) | 64	1 | TUBE	-	Call TI	Call TI	25 to 25	LMX2615-MKT-MS MECHANICAL
LMX2615W-MPR	Active	Production	CFP (HBD) | 64	14 | TUBE	ROHS Exempt	NIAU	Level-1-NA-UNLIM	25 to 25	LMX2615W-MPR ENG SAMPLE

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

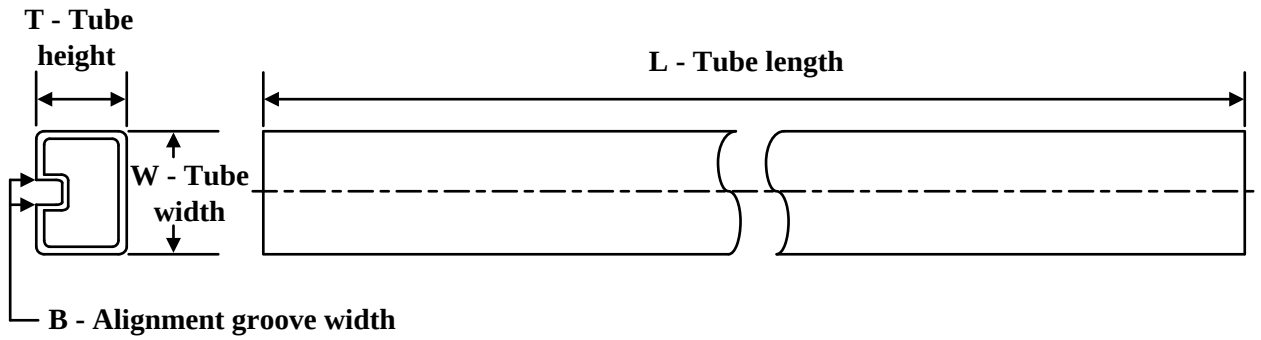
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TUBE



*All dimensions are nominal

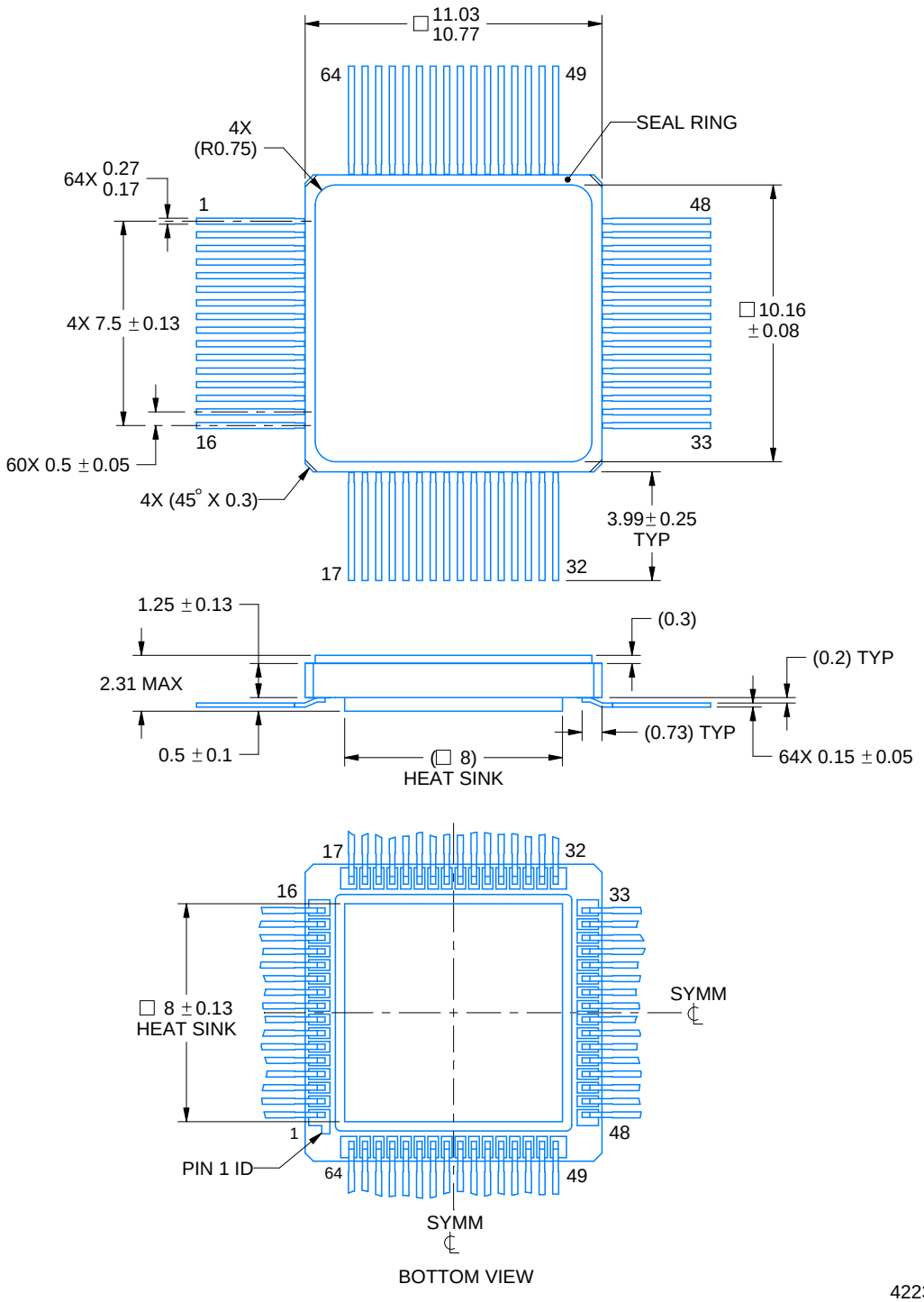
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962R1723601VXC	HBD	CFP (HSL)	64	14	495	33	11176	16.51
LMX2615W-MPR	HBD	CFP (HSL)	64	14	495	33	11176	16.51

PACKAGE OUTLINE

HBD0064A

CFP - 2.31 mm max height

CERAMIC FLATPACK



4223243/A 01/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a metal lid.
4. Ground pad to be electronic connected to heat sink and seal ring.
5. The leads are gold plated and can be solder dipped.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月