LMX1205-EP 低噪声、高频 JESD 缓冲器/倍频器/分频器

1 特性

- VID #V62/25648
- 输出频率：300MHz 至 12.8GHz
- 高达 60ps 的无噪声可调节输入延迟，分辨率为 1.1ps
- 高达 55ps 的独立可调节输出延迟，分辨率为 0.9ps
- 超低噪声
  - 本底噪声：在 6GHz 输出下为 –159dBc/Hz
  - 附加抖动（直流至 f_{CLK}）：36fs
  - 附加抖动（100Hz 至 100MHz）：10fs
- 4 个具有相应 SYSREF 输出的高频时钟
  - 由 1（旁路）、2、3、4、5、6、7 和 8 进行共享分频
  - 共享可编程倍频器 x2、x3、x4、x5、x6、x7 和 x8
- 带有相应 SYSREF 输出的 LOGICLK 输出
  - 基于单独的分频组
  - 1、2、4 预分频器
  - 1（旁路）、2、…、1023 后分频器
  - 带有额外分频器 1、2、4 和 8 的第二逻辑时钟选项
- 6 个可编程输出功率级别
- 同步的 SYSREF 时钟输出
  - 在 12.8GHz 下，508 次延迟步长调整，每次小于 2.5ps
  - 发生器、中继器和中继器重定时模式
  - SYSREFREQ 引脚的窗口化特性可优化时序
- 针对所有分频和倍频器件的 SYNC 特性
- 工作电压：2.5V
- 工作温度：–55ºC 至 +85ºC
- 高可靠性
  - 受控基线
  - 一个封测厂
  - 同一制造厂
  - 延长的产品生命周期
  - 产品可追溯性

2 应用

- 测试 & 测量
  - 示波器
  - 无线设备测试仪
  - 宽带数字转换器
- 航天 & 国防
  - 雷达
  - 电子战
  - 导引头前端
  - 军需品
  - 相控阵天线/波束形成
- 通用：
  - 数据转换器时钟
  - 时钟缓冲器分配/分频

3 说明

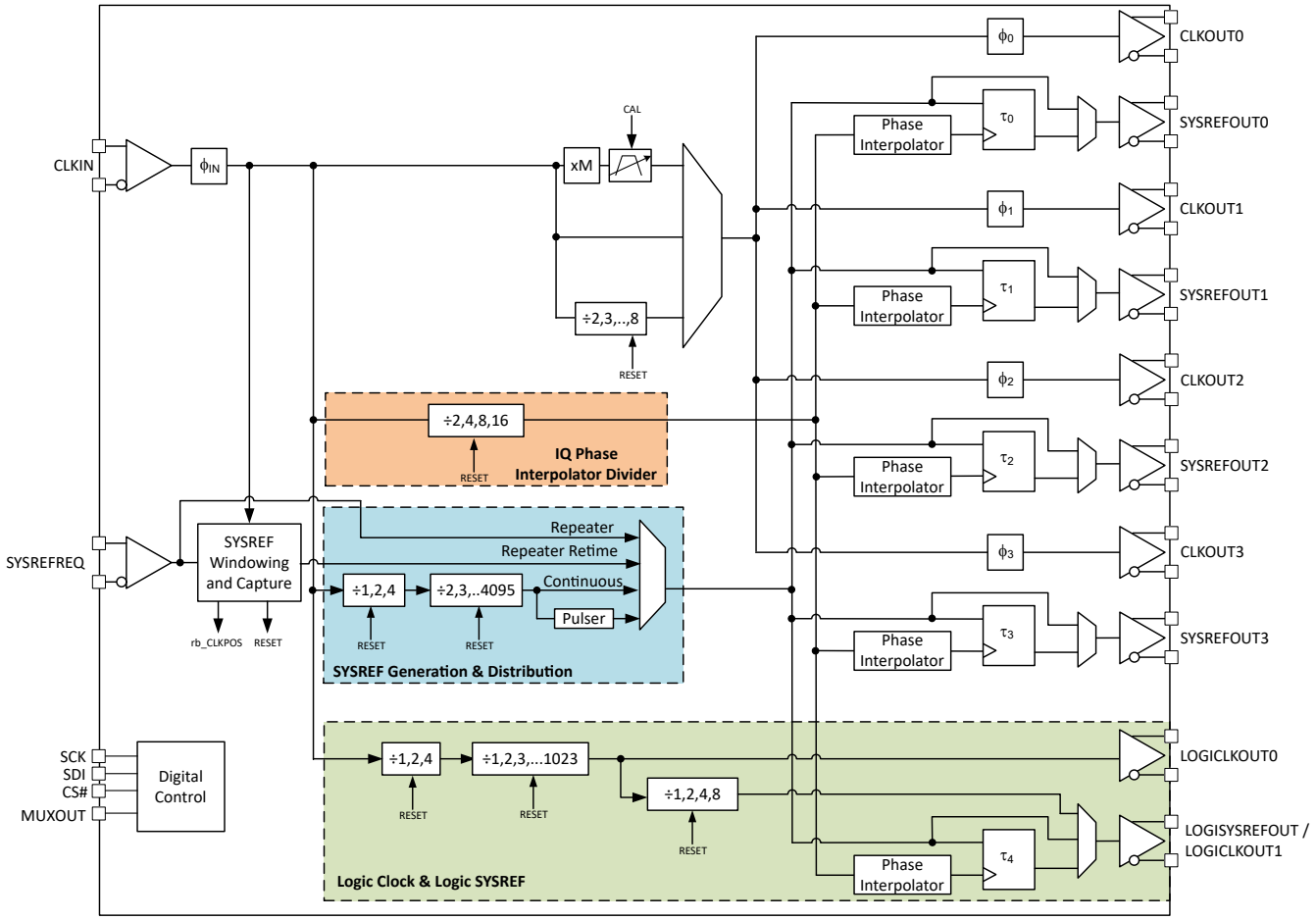
该器件具有高频率能力、极低的抖动和可编程时钟输入和输出延迟，可在不降低信噪比的情况下，很好地对高精度、高频数据转换器进行时钟控制。4 个高频时钟输出中的每一个输出以及具有更大分频器范围的附加 LOGICLK 输出，都配有一个 SYSREF 输出时钟信号。JESD204B/C 接口的 SYSREF 信号可以在内部生成，也可以作为输入传入，并重新与器件时钟同步。高频时钟输入路径和各个时钟输出路径上具有无噪声延迟调节，可确保多通道系统中的时钟具有低偏移。对于数据转换器时钟应用，务必使时钟的抖动小于数据转换器的孔径抖动。在需要对 4 个以上数据转换器进行时钟控制的应用中，可以使用多个器件开发各种级联架构，用于分配所需的所有高频时钟和 SYSREF 信号。该器件可与超低噪声基准时钟源相结合，是时钟控制型数据转换器的典型设计，尤其是在 3GHz 以上采样时。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMX1205-EP	RHA（VQFN，40）	6mm × 6mm

(1) 有关所有可选封装，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。



方框图

Copyright © 2026 Texas Instruments Incorporated

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 4
5 规格.... 6
5.1 绝对最大额定值.... 6
5.2 ESD 等级.... 6
5.3 建议运行条件.... 6
5.4 热性能信息.... 6
5.5 电气特性.... 7
5.6 时序要求.... 9
5.7 时序图.... 10
5.8 典型特性.... 11
6 详细说明.... 18
6.1 概述.... 18
6.2 功能方框图.... 19
6.3 特性说明.... 20
6.4 器件功能模式配置.... 34
7 寄存器映射.... 35
7.1 器件寄存器.... 38
8 应用和实施.... 55
8.1 参考.... 55
8.2 电源相关建议.... 57
8.3 布局.... 58
9 器件和文档支持.... 59
9.1 器件支持.... 59
9.2 文档支持.... 60
9.3 接收文档更新通知.... 60
9.4 支持资源.... 60
9.5 商标.... 60
9.6 静电放电警告.... 60
9.7 术语表.... 60
10 修订历史记录.... 60
11 机械、封装和可订购信息.... 60

4 引脚配置和功能

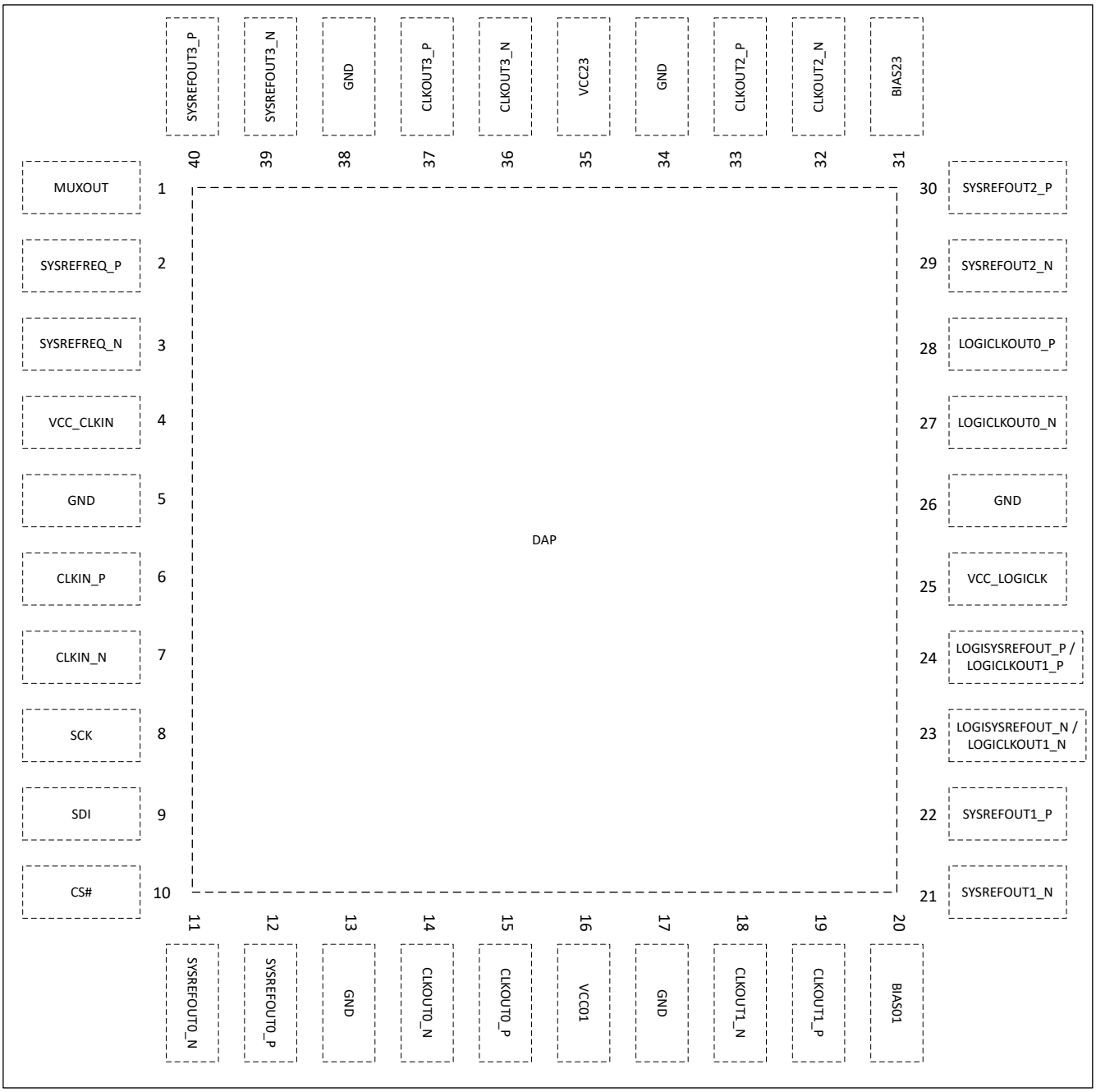


图 4-1. RHA 封装 40 引脚 VQFN 顶视图

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 引脚功能

名称	编号	类型[(1)]	说明
BIAS01	20	BYP	如果不使用倍频器，可将该引脚保持断开状态。如果使用倍频器，则使用 10nF 电容器将该引脚旁路至 GND，以实现出色的噪声性能。
BIAS23	31	BYP	如果不使用倍频器，可将该引脚保持断开状态。如果使用倍频器，则使用 10μF 和 0.1μF 电容器将该引脚旁路至 GND，以实现出色的噪声性能。
CLKIN_N	7	I	差分时钟输入对。每个引脚上内部端接 50Ω。使用与输入频率相适应的电容器（通常为 0.1μF 或更小）进行交流耦合。如果使用单端输入，则将输入信号接入 CLKIN_N 引脚，并使用串联交流耦合电容器和 50Ω 电阻器将未使用的 CLKIN_P 端接至 GND。
CLKIN_P	6		
CLKOUT0_N	14	O	差分时钟输出对。每个引脚都是一个集电极开路输出，内部集成了 50Ω 电阻，输出摆幅可编程。需要交流耦合。此类引脚分别需要一个 100Ω 差分负载或 50Ω 负载。
CLKOUT0_P	15		
CLKOUT1_N	18		
CLKOUT1_P	19		
CLKOUT2_N	32		
CLKOUT2_P	33		
CLKOUT3_N	36		
CLKOUT3_P	37		
CS#	10	I	SPI 芯片选择。高阻抗 CMOS 输入。接受高达 3.3V。此引脚需要串联 200Ω 电阻器。
DAP	DAP	GND	将这些引脚接地。
GND	5、13、17、26、34、38		
LOGICLKOUT0_N	27	O	差分逻辑时钟输出对。可选 CML 或 LVDS 格式。LVDS 格式具有可编程共模电压，CML 格式需要外部拉电阻。
LOGICLKOUT0_P	28		
LOGISYSREFOUT_N/ LOGICLKOUT1_N	23	O	差分逻辑时钟输出对。可选 CML 或 LVDS 格式。LVDS 格式具有可编程共模电压，CML 格式需要外部拉电阻。
LOGISYSREFOUT_P/ LOGICLKOUT1_P	24		
MUXOUT	1	O	多路复用引脚串行数据回读和倍频器的锁定状态。
SCK	8	I	SPI 时钟。高阻抗 CMOS 输入。接受高达 3.3V。此引脚需要串联 200Ω 电阻器。
SDI	9	I	SPI 数据输入。高阻抗 CMOS 输入。接受高达 3.3V。此引脚需要串联 200Ω 电阻器。
SYSREFREQ_N	3	I	用于支持 JESD204B/C 的差分 SYSREF 请求输入。每个引脚上内部端接 50Ω。支持交流和直流耦合，可直接接受 1V 至 2V 的共模电压。
SYSREFREQ_P	2		
SYSREFOUT0_N	11	O	用于支持 JESD204B/C 的差分 SYSREF CML 输出对。支持交流和直流耦合，可编程共模电压为 0.5V 至 1.5V。此引脚需要一个 100Ω 差分负载。
SYSREFOUT0_P	12		
SYSREFOUT1_N	21		
SYSREFOUT1_P	22		
SYSREFOUT2_N	29		
SYSREFOUT2_P	30		
SYSREFOUT3_N	39		
SYSREFOUT3_P	40		
VCC_CLKIN	4	PWR	连接到 2.5V 电源。建议在引脚附近并联一个高频分流电容（通常为 0.1μF 或更小）和较大的电容（通常为 1μF 和 10μF）。
VCC_LOGICLK	25		
VCC01	16		
VCC23	35		

(1) BYP = 旁路；GND = 接地；I = 输入；O = 输出；PWR = 电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
V_{CC}	电源电压	-0.3	2.75	V
V_{IN}	直流输入电压（SCK、SDI、CSB）	GND	3.6	V
V_{IN}	直流输入电压 (SYSREFREQ)	GND	V_{CC} + 0.3	V
V_{IN}	交流输入电压 (CLKIN)		V_{CC}	Vpp
T_J	结温		150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚[(1)]	±2500	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚[(2)]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{CC}	电源电压	2.4	2.5	2.6	V
T_A	环境温度	-55		85	°C
T_J	结温			125	°C

5.4 热性能信息

符号	热指标[(1)]	值	单位
$R_{\theta JA}$	结至环境热阻	24.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	12.8	°C/W
$R_{\theta JB}$	结至电路板热阻	6.8	°C/W
Ψ_{JT}	结至顶部特征参数	0.1	°C/W
Ψ_{JB}	结至电路板特征参数	6.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

2.4V ≤ V_{CC} ≤ 2.6V，–55°C ≤ T_A ≤ +85°C。典型值是 V_{CC} = 2.5V、25°C 条件下的值（除非另有指明）

参数		测试条件		最小值	典型值	最大值	单位
电流消耗							
I_{CC}	电源电流 (1)	已上电，所有时钟输出和 SYSREF 均开启			1130		mA
		已上电，所有时钟输出均开启，所有 SYSREF 均关闭			700		
		已上电，所有时钟输出和 SYSREF 均关闭			370		
		已断电			13.5		
I_{ADD}	附加输出电流	OUTx_PWR = 6			64		mA
	倍频器电流	分频，CLK_DIV = 8			60		
		倍频器，CLK_MULT = x8			360		
	SYSREF 电流	在 100MHz 下运行 生成模式，所有输出均开启			425		
	LOGICLK 电流	启用了带有 LOGISYSREF 的 LOGICLK			85		
SYSREF							
f_{SYSREF}	SYSREF 输出频率	发生器模式	发生器模式			200	MHz
f_{SYSREF}	SYSREF 输出频率	中继器模式	中继器模式			100	MHz
T_{SYNC}	SYNC 信号所需的脉冲宽度	Tsync = f_{CLKIN} 的 6xT，f_{CLKIN} = 6GHz		1000			ps
Δt	SYSREF 延迟步长	Δt = SYSREF_DLY_DIV/(508 x f_{CLKIN}), f_{CLKIN} = 12.8GHz			3		ps
t_{RISE}	上升时间（20% 至 80%）	SYSREFOUT			45		ps
		LOGISYSREFOUT	CML		65		ps
			LVDS		120	175	ps
t_{FALL}	下降时间（20% 至 80%）	SYSREFOUT			45		ps
		LOGISYSREFOUT	CML		65		ps
			LVDS		120	175	ps
V_{OD}DIFF	差分峰峰值输出电压	SYSREFOUT，SYSREFx_PWR = 4，SYSREFx_VCM = 10			0.9		Vpp
		LOGISYSREFOUT	CML		0.9		Vpp
			LVDS		0.7		Vpp
$V_{SYSREFCM}$	共模电压	SYSREFOUT	CML SYSREFx_VCM=41，100Ω 差分负载	1.35	1.5	1.65	V
			CML SYSREFx_VCM=4，100Ω 差分负载	0.45	0.5	0.55	V
		LOGISYSREFOUT	LVDS 100Ω 差分负载	0.8		1.4	V
SYSREFREQ 引脚							
$V_{SYSREFIN}$	差分峰峰值电压输入范围	交流差分电压		0.475		2	Vpp
$V_{SYSREFIN}$	单端电压输入范围	交流耦合至 SYSREFREQ_P；SYSREFREQ_N 交流耦合至 GND	交流耦合至 SYSREFREQ_P；SYSREFREQ_N 交流耦合至 GND	0.6		1.7	Vpp
V_{CM}	输入共模电压	差分 100Ω 端接，直流耦合在外部设置		1.0	1.3	2	V
时钟输入							

2.4V ≤ V_{CC} ≤ 2.6V，–55°C ≤ T_A ≤ +85°C。典型值是 V_{CC} = 2.5V、25°C 条件下的值（除非另有指明）

参数		测试条件		最小值	典型值	最大值	单位
f_{IN}	输入频率			0.3		12.8	GHz
P_{IN}	输入功率	CLKIN_P 或 CLKIN_N 处的单端电源		0		10	dBm
ϕ_{IN}	输入延迟范围				60		ps
Δ_{IN}	输入延迟可编程步长				1.1		ps
时钟输出							
f_{OUT}	输出频率	2 分频		0.15		6.4	GHz
		缓冲器模式		0.3		12.8	
		倍频器模式		6.4		12.8	
		LOGICLK 输出		1		800	MHz
t_{CAL}	校准时间	倍频器校准时间	f_{IN} = 6.4GHz；x2 f_{SMCLK} = 28MHz		750		μs
p_{OUT}	输出功率	单端	$f_{CLKLOUT}$ = 6GHz OUTx_PWR = 6		4.8		dBm
t_{RISE}	上升时间（20% 至 80%）	f_{CLKOUT} = 300MHz			45		ps
t_{FALL}	下降时间（20% 至 80%）	f_{CLKOUT} = 300MHz			45		ps
$V_{LOGICLKCM}$	共模电压	LOGICLKOUT0	LVDS	0.8	1.2	1.4	V
ϕ_{IN}	输出延迟范围				55		ps
$\Delta\phi_{IN}$	输出延迟可编程步长				0.9		ps
传播延迟和偏移							
$\lvert t_{SKEW} \rvert$	输出间的偏移幅度	CLKOUTx 至 CLKOUTy，而非 LOGICLK			3	10	ps
$\lvert t_{SKEW} \rvert$	CLKOUT 和 SYSREF 之间的偏移幅度	SYSREF 连续/脉冲模式	SYSREF 延迟发生器旁路		60		ps
		SYSREF 中继器重定时模式	SYSREF 延迟发生器旁路		100		ps
$\Delta t_{DLY}/\Delta T$	传播延迟随温度的变化	缓冲模式			0.06	0.1	ps/℃
t_{DLY}	传播延迟	缓冲模式	T_A = 25°C		165		ps
		分频器模式			175		ps
		倍频器模式			155		ps
t_{DLY}	传播延迟	中继器模式下的 SYSREF 输出	T_A = 25°C		185		ps
噪声、抖动和杂散							
σ_{CLKOUT}	CLKOUT 附加抖动	附加抖动。100Hz 至 100MHz 积分带宽。	缓冲器模式		10		fs、rms
			x2 倍频器		21		
			x3 倍频器		25		
			x4 倍频器		33		
			x5 倍频器		35		
			x6 倍频器		48		
			x7 倍频器		50		
			x8 倍频器		60		
$1/f_{CLKOUT}$	1/f 闪烁噪声	压摆率 > 8V/ns，f_{CLK}=6GHz，f_{Offset} =10kHz	缓冲器模式		-154		dBc/Hz

Copyright © 2026 Texas Instruments Incorporated

2.4V ≤ V_{CC} ≤ 2.6V，–55°C ≤ T_A ≤ +85°C。典型值是 V_{CC} = 2.5V、25°C 条件下的值（除非另有指明）

参数		测试条件		最小值	典型值	最大值	单位
NF_{CLKOUT}	本底噪声	压摆率 > 8V/ns，f_{OUT} = 6.4GHz，f_{Offset} =100MHz	缓冲器模式		-159		dBc/Hz
			2 分频		-158.5		
			倍频器（x2、x3、x4、x5、x6、x7、x8）		-159.5		
$NF_{LOGICLK}$	本底噪声	LOGICLK 输出，300MHz	CML		-150.5		dBc/Hz
			LVDS		-151.5		
H2	二次谐波	缓冲器模式 f_{OUT}=6.4GHz	差分		-25		dBc
			单端		-15		
		2 分频 f_{OUT}=6.4GHz	单端		-17		
$H_{1/M}$	输入时钟泄漏杂散	f_{OUT} = 12GHz（差分）	x2 (f_{SPUR} = 6GHz)		-40		dBc
		f_{OUT} = 12GHz（差分）	x3 (f_{SPUR} = 4GHz)		-40		
		f_{OUT} = 12GHz（差分）	x4 (f_{SPUR} = 3GHz)		-50		
		f_{OUT} = 12GHz（差分）	x6 (f_{SPUR} = 2GHz)		-50		
		f_{OUT} = 10GHz（差分）	x5 (f_{SPUR} = 2GHz)		-50		
		f_{OUT} = 10.5GHz（差分）	x7 (f_{SPUR} = 1.5GHz)		-52		
		f_{OUT} = 12GHz（差分）	x8 (f_{SPUR} = 1.5GHz)		-55		
$P_{crosstalk}$	LOGICLK 至 CLKOUT	f_{SPUR} = 300MHz（差分）			-70		dBc
	SYSREFOUT 至 CLKOUT	生成模式			-70		dBc
		中继器模式			-65		dBc
P_{LEAK}	缓冲器模式下 CLKIN 至 CLKOUT 泄漏	差分输入			-60		dBc
数字接口（SCK、SDI、CS#、MUXOUT）							
V_{IH}	高电平输入电压	SCK、SDI、CS#		1.4		3.3	V
V_{IL}	低电平输入电压			0		0.4	
V_{OH}	高电平输出电压	I_{OH} = 5mA		1.4		Vcc	
		I_{OH} = 0.1mA		2.2		Vcc	
V_{OL}	低电平输出电压	I_{OL} = 5mA				0.45	
I_{IH}	高电平输入电流					75	μA
I_{IL}	低电平输入电流			-25			

(1) 除非另有说明，否则 f_{CLKIN}=6.4GHz，CLK_MUX=缓冲器，所有时钟均开启且 OUTx_PWR=6、SYSREFREQ_MODE=1

5.6 时序要求

			最小值	标称值	最大值	单位
时序要求						
f_{SPI}	SPI 读取/写入速度				20	MHz
t_{CE}	时钟到使能低电平时间		20			ns
t_{CS}	时钟到数据等待时间		10			ns

			最小值	标称值	最大值	单位
t_{CH}	时钟到数据保持时间		5			ns
t_{CWH}	时钟脉冲宽度高电平		10			ns
t_{CWL}	时钟脉冲宽度低电平		10			ns
t_{CES}	使能到时钟设置时间		15			ns
t_{EWH}	使能脉冲宽度高电平		15			ns
t_{CD}	时钟下降沿到数据等待时间		40			ns

5.7 时序图

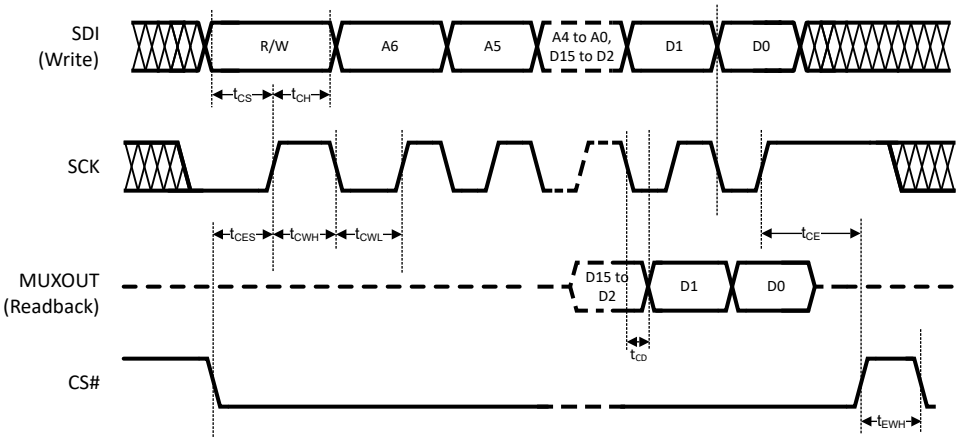


图 5-1. 串行数据输入时序图

在 SPI 上写入时，还有其他几个注意事项：

- R/W 位必须设置为 0。
- SDI 引脚上的数据在 SCK 引脚的每个上升沿被时钟输入到移位寄存器中。
- CS# 必须保持低电平，才能对数据进行时钟输入。如果 CS# 保持高电平，器件将忽略时钟脉冲。
- 该器件的建议 SPI 设置为 CPOL=0 和 CPHA=0。
- 如果在器件之间共享 SCK 和 SDI 线路，TI 建议在不进行时钟输入的器件上将 CS# 线路保持高电平。

SPI 回读还有其他几个注意事项：

- R/W 位必须设置为 1。
- 对于事务的地址部分，MUXOUT 引脚保持为三态。
- MUXOUT 上的数据在 SCK 的下降沿随时钟输出。也就是说，在时钟下降沿后的 t_{CD} 时，MUXOUT 引脚将提供回读数据。
- 始终忽略 SDI 线路上转换的数据部分。
- MUXOUT 引脚在回读事务期间自动启用；回读活动结束后，则自动进入三态。MUXOUT 引脚在倍频器模式下具有双重功能，因为倍频器锁定状态也会在 MUXOUT 引脚上指示。当与其他器件共享 SPI 总线回读引脚时，如果在倍频器模式下需要回读，请确保设置 LD_DIS=1。
- 若 READBACK_CTRL 设置为 0，即使是 R/W 位的回读值也并不总是写入的值，而是考虑了编程值以及其他因素（例如引脚状态）的内部器件状态。

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 2.5V，OUTx_PWR = 6，CLKx_DLY = 8，CLKIN_N 在引脚处以 10dBm 单端驱动。使用的信号源是具有超低噪声选项 B711 的 SMA100B。相位噪声分析仪是 FSWP50。

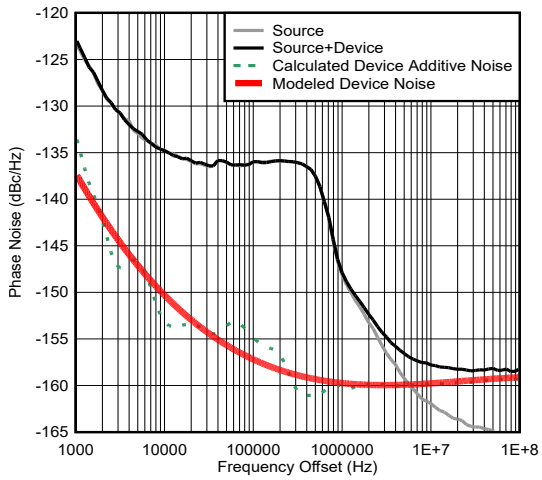


图 5-2. 6.4GHz 输出、缓冲器模式下的相位噪声图

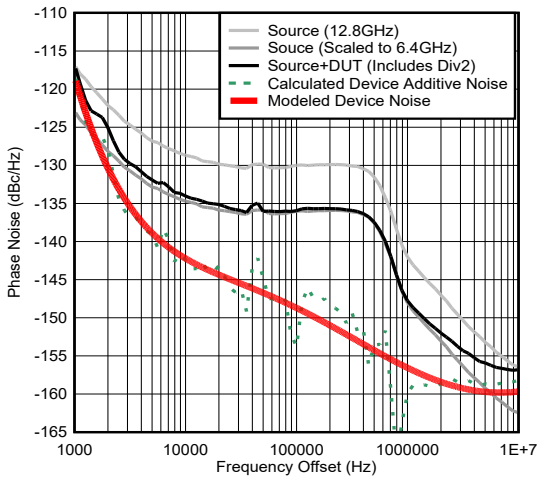


图 5-3. 6.4GHz 输出、分频器模式下的相位噪声图

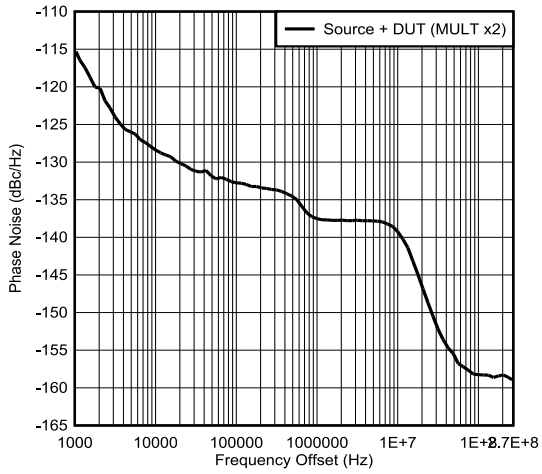


图 5-4. 6.4GHz 输出、倍频器模式下的相位噪声图

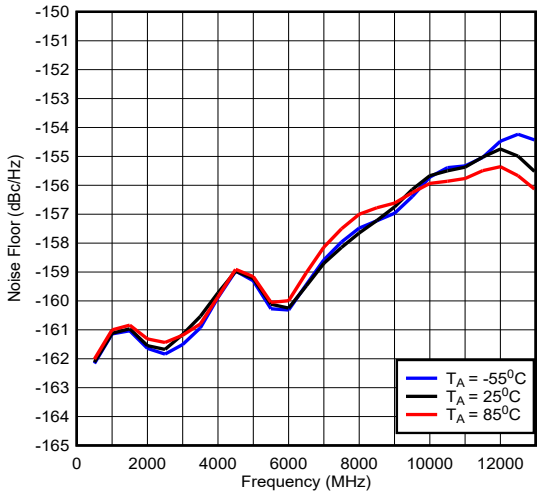


图 5-5. 缓冲器模式下的本底噪声

5.8 典型特性（续）

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 2.5V，OUTx_PWR = 6，CLKx_DLY = 8，CLKIN_N 在引脚处以 10dBm 单端驱动。使用的信号源是具有超低噪声选项 B711 的 SMA100B。相位噪声分析仪是 FSWP50。

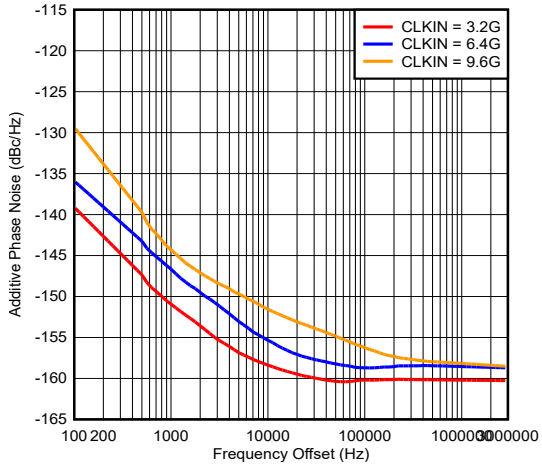
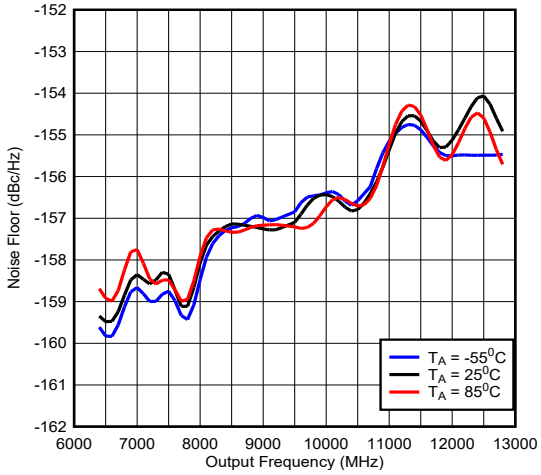
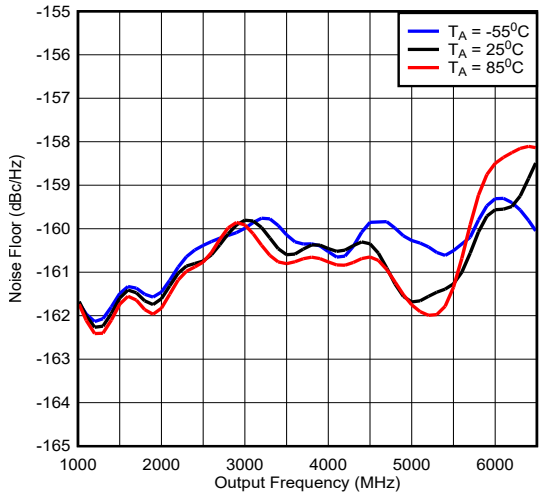


图 5-6. 缓冲器模式下的闪烁噪声



倍频器值 x2

图 5-7. 倍频器模式下的本底噪声



分频器值 - 2

图 5-8. 分频器模式下的本底噪声

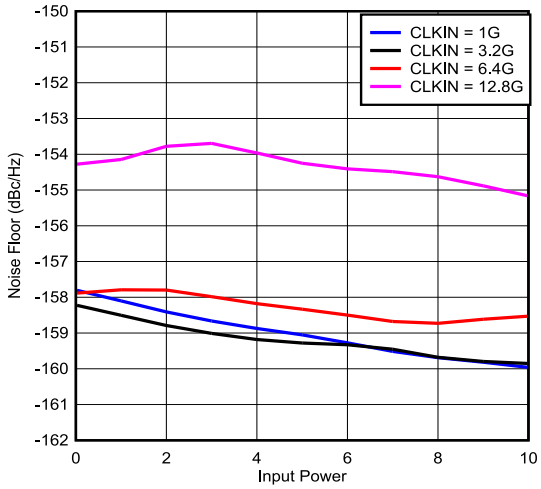


图 5-9. 缓冲器模式下的本底噪声

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性（续）

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 2.5V，OUTx_PWR = 6，CLKx_DLY = 8，CLKIN_N 在引脚处以 10dBm 单端驱动。使用的信号源是具有超低噪声选项 B711 的 SMA100B。相位噪声分析仪是 FSWP50。

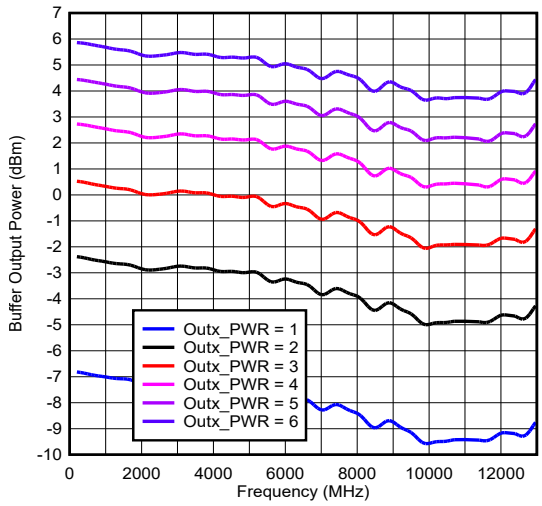


图 5-10. 单端输出功率

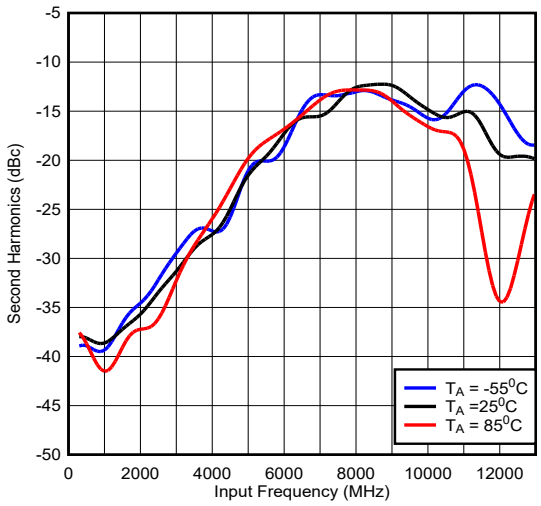
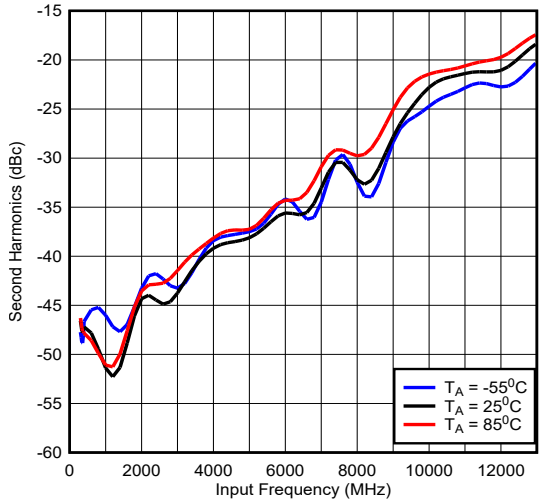
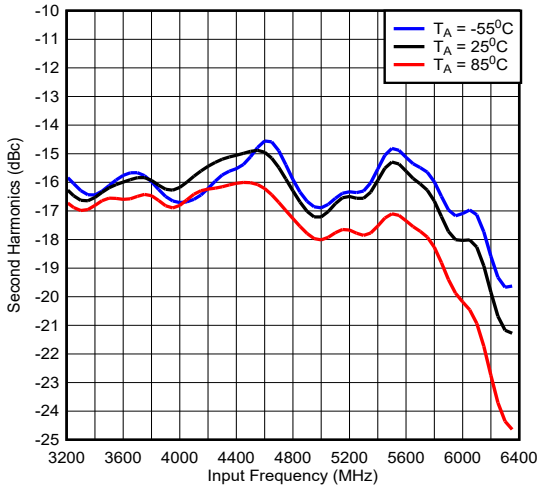


图 5-11. 缓冲器模式下的二次谐波



分频器值：x2

图 5-12. 分频器模式下的二次谐波

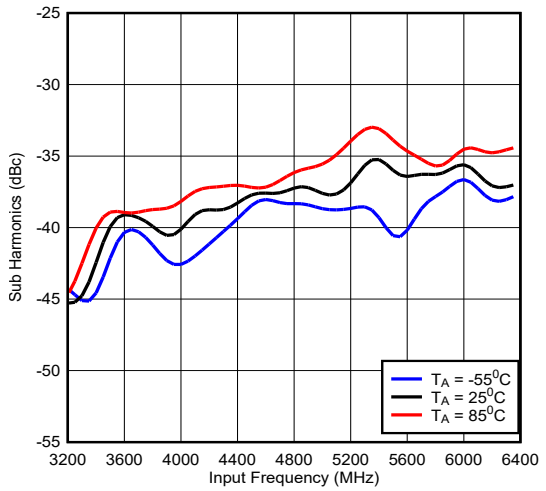


倍频器值：x2

图 5-13. 倍频器模式下的二次谐波

5.8 典型特性（续）

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 2.5V，OUTx_PWR = 6，CLKx_DLY = 8，CLKIN_N 在引脚处以 10dBm 单端驱动。使用的信号源是具有超低噪声选项 B711 的 SMA100B。相位噪声分析仪是 FSWP50。



倍频器值：x2；单端输入

图 5-14. 倍频器模式下的次谐波

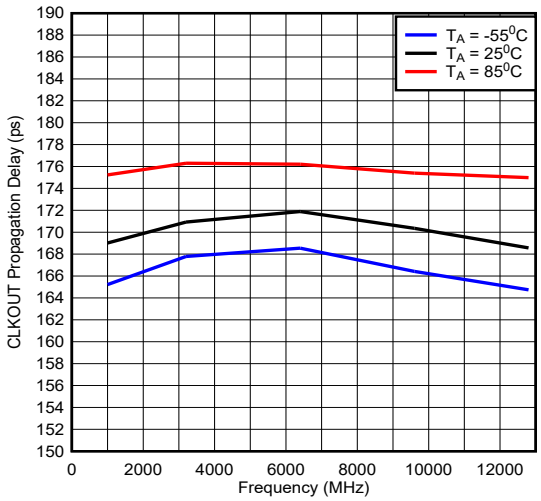


图 5-15. 缓冲器模式下的 CLKOUT 传播延迟

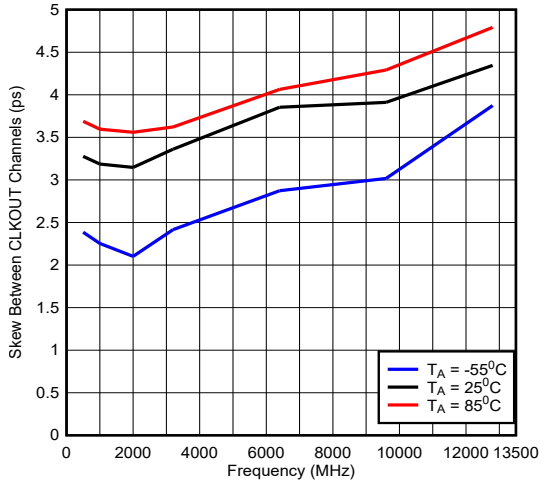


图 5-16. CLKOUT 通道之间的偏移

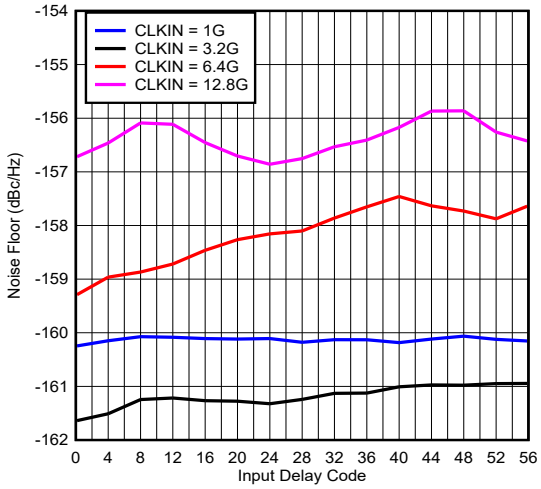


图 5-17. 缓冲器模式下相对于输入延迟代码的本底噪声

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性（续）

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 2.5V，OUTx_PWR = 6，CLKx_DLY = 8，CLKIN_N 在引脚处以 10dBm 单端驱动。使用的信号源是具有超低噪声选项 B711 的 SMA100B。相位噪声分析仪是 FSWP50。

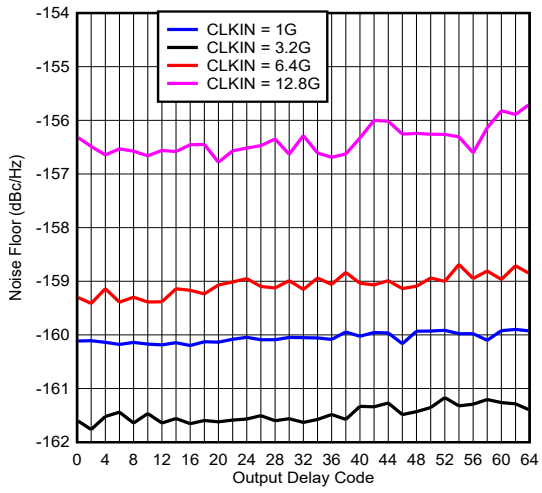


图 5-18. 缓冲器模式下相对于输出延迟代码的本底噪声

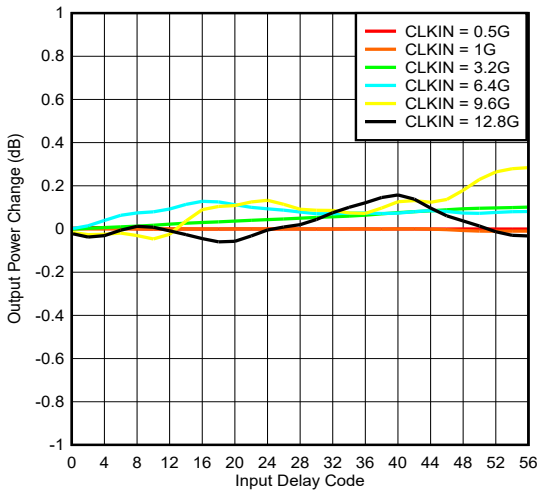


图 5-19. 相对于输入延迟代码的输出功率

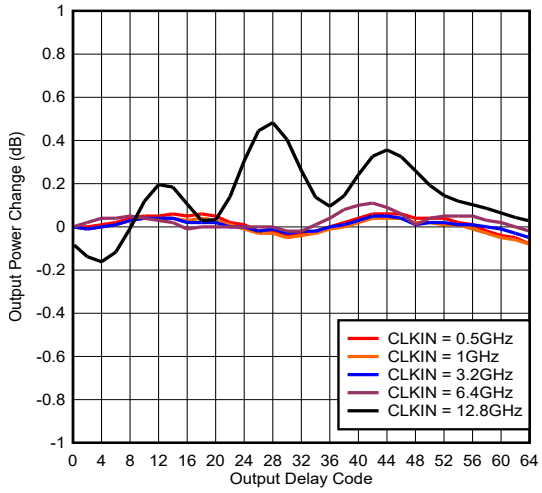
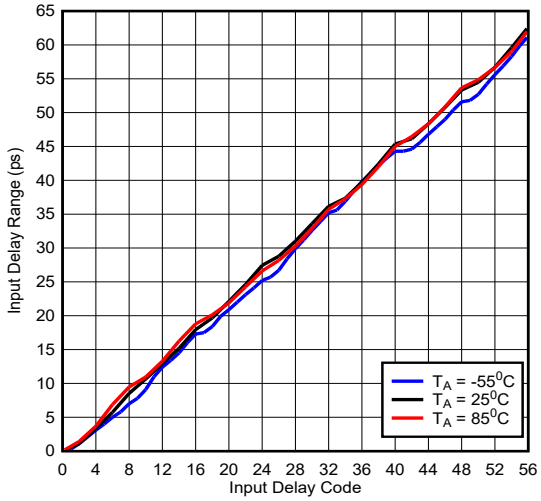


图 5-20. 相对于输出延迟代码的输出功率

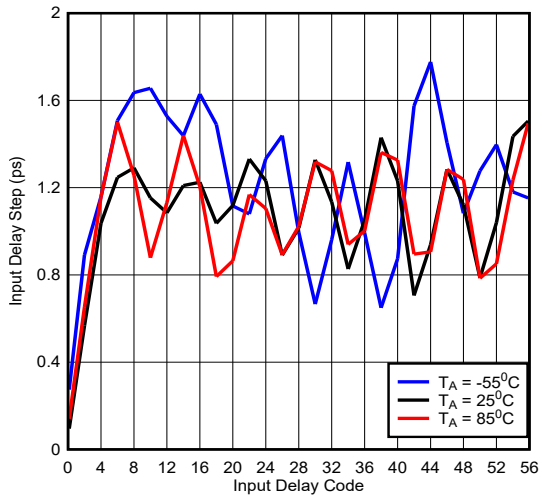


CLKIN 频率 = 6.4GHz

图 5-21. 时钟输入延迟范围

5.8 典型特性（续）

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 2.5V，OUTx_PWR = 6，CLKx_DLY = 8，CLKIN_N 在引脚处以 10dBm 单端驱动。使用的信号源是具有超低噪声选项 B711 的 SMA100B。相位噪声分析仪是 FSWP50。



CLKIN 频率 = 6.4GHz

图 5-22. 时钟输入延迟步长

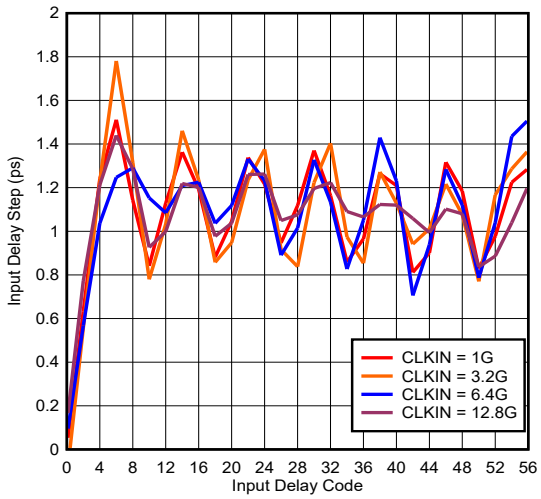
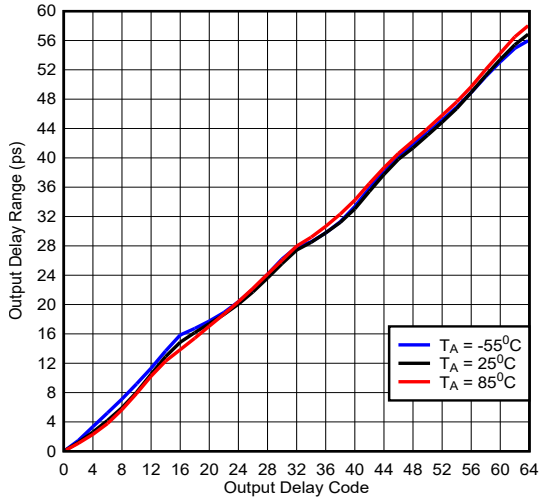
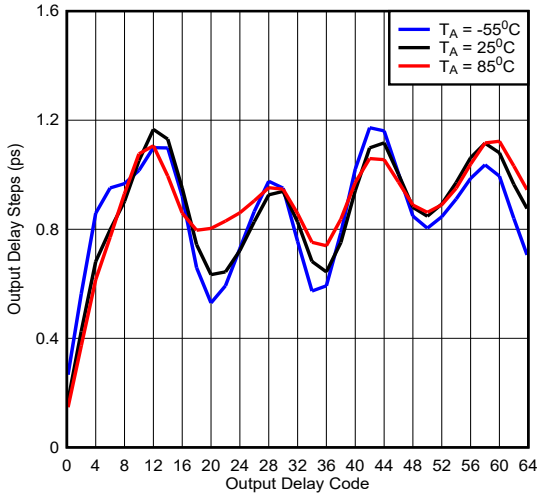


图 5-23. 时钟输入延迟步长



CLKIN 频率 = 6.4GHz

图 5-24. 时钟输出延迟范围



CLKIN 频率 = 6.4GHz

图 5-25. 时钟输出延迟步长

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性（续）

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 2.5V，OUTx_PWR = 6，CLKx_DLY = 8，CLKIN_N 在引脚处以 10dBm 单端驱动。使用的信号源是具有超低噪声选项 B711 的 SMA100B。相位噪声分析仪是 FSWP50。

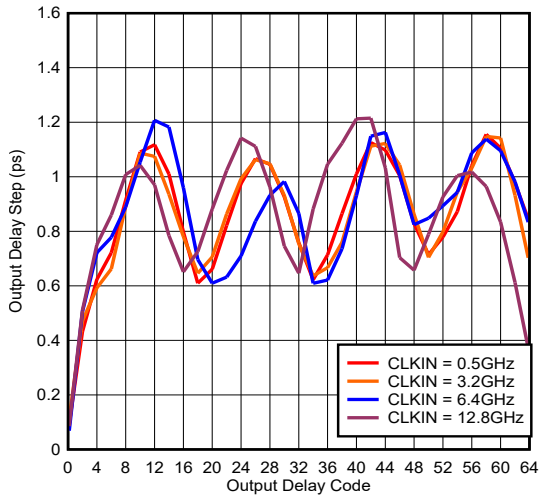
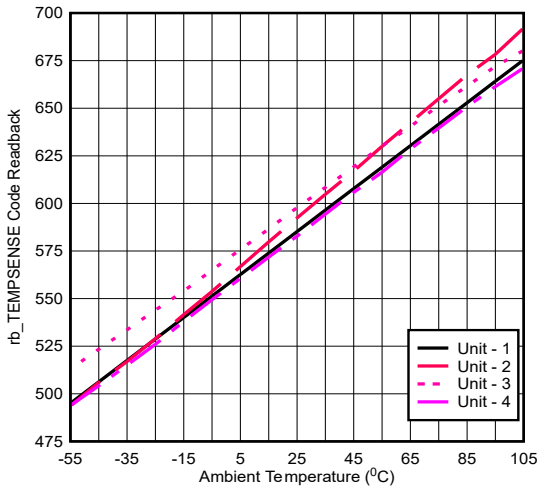


图 5-26. 时钟输出延迟步长



在断电模式下测量，目的使结温 = 环境温度

图 5-27. 温度传感器回读

6 详细说明

6.1 概述

LMX1205-EP 有四个主时钟输出，还有一个 LOGICLK 输出。主时钟输出的频率均相同。该频率可以与输入时钟相同，也可以相对于输入时钟进行分频或倍频。每个时钟输出都具有独立可编程的功率级别。LOGICLK 输出频率可进行分频，或与时钟输入的频率相同，并具有可编程的输出格式（CML 和 LVDS）和功率级别。第二个 LOGICLK 可在 LOGISYSREF 输出引脚处生成，并在 LOGICLK0 路径上额外进行 1、2、4 和 8 分频。

SYSREF 可通过重复 SYSREFREQ 引脚的输入生成，也可在内部生成。内部 SYSREF 窗口化特性可调整器件的内部时序，以优化 SYSREFREQ 输入相对于 CLKIN 输入的设置时间/保持时间。该特性要求 SYSREF 边沿与下一个上升时钟沿之间的延迟一致。所有五个输出都具有相应的 SYSREF 输出，该输出具有独立的可编程延迟和共模。对于 LOGISYSREF 输出，输出格式可编程为 CML 和 LVDS。

6.1.1 分频器和倍频器范围

分频器允许主输出和 LOGICLK 输出使用输入时钟的分频值。SYSREF 分频器用于对输入时钟进行分频，实现 SYSREF 生成和延迟。倍频器允许输出时钟的频率高于输入时钟。

表 6-1. 分频器和倍频器范围

类别			范围	注释
主时钟	缓冲器			
	分频器		2、3、4、5、6、7、8	奇数分频（1 除外）没有 50% 占空比
	倍频器		2、3、4、5、6、7、8	
LOGICLK	分频	预分频	1、2、4	总分频值 = 预分频值 × 分频器 0 的值 奇数分频（1 除外）没有 50% 占空比 逻辑 CLK2 总分频值 = 预分频值 x 分频器 0 的值 x 分频器 1 的值
		分频器 0	1、2、3、⋯ 1023	
		分频器 1	1、2、4、8	
SYSREF	用于生成频率的分频	预分频	1、2、4	用于生成 SYSREF 的预分频时钟。 总分频 = 预分频 × 分频 奇数分频没有 50% 占空比
		分频	2、3、4、⋯ 4095	
	用于生成延迟的分频	分频	2、4、8、16	该分频用于相位内插器，可根据输入频率进行设置。

Copyright © 2026 Texas Instruments Incorporated

6.2 功能方框图

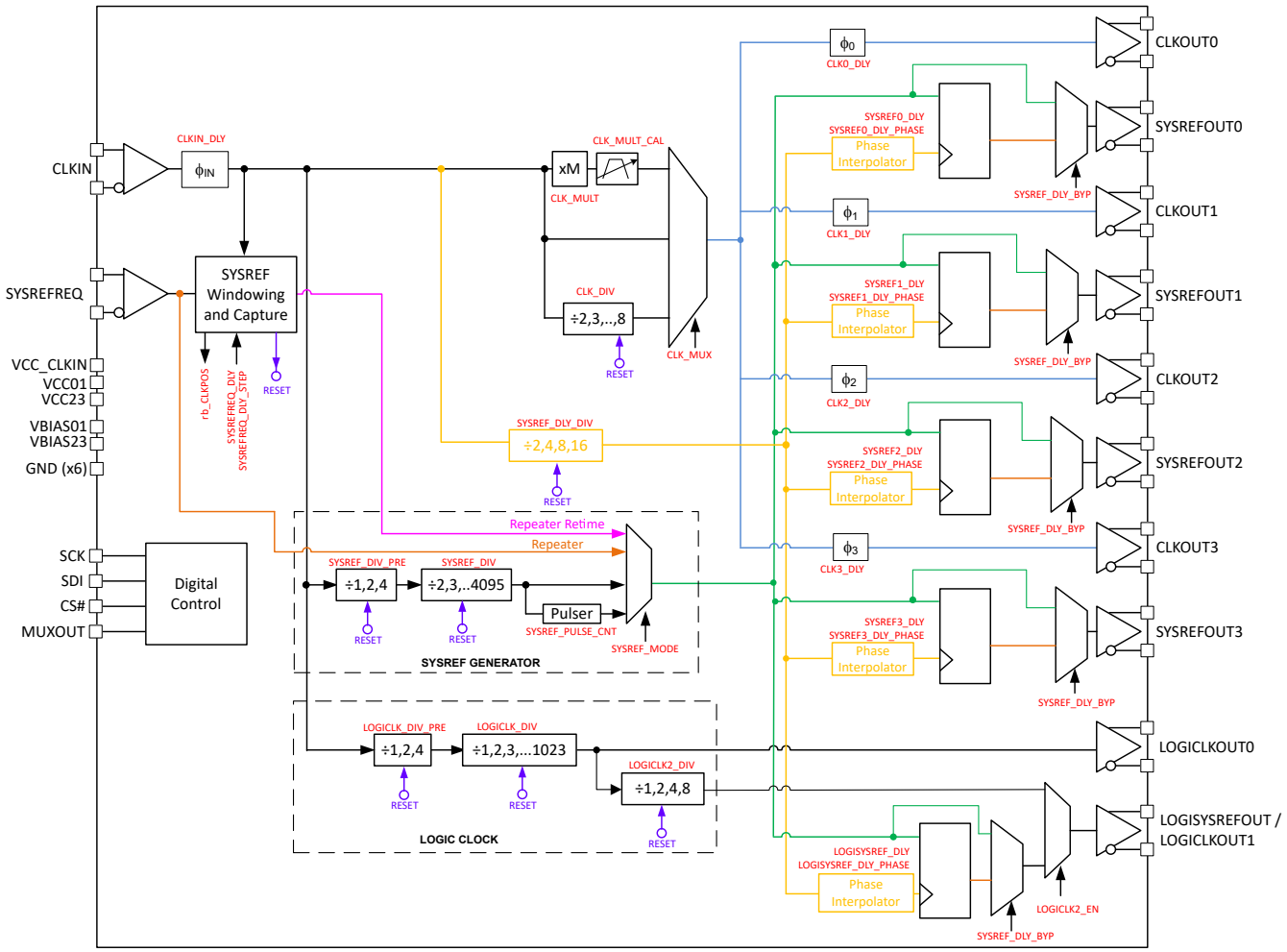


图 6-1. 功能方框图

6.3 特性说明

6.3.1 上电复位

当器件上电时，上电复位 (POR) 会将所有寄存器复位为默认状态，并将所有状态机和分频器复位。在上电复位状态下，将禁用所有 SYSREF 输出，绕过所有分频器，并且该器件用作 4 路输出缓冲器。用户必须在电源轨后等待 100µs，然后再对其他寄存器进行编程，以确保完成该复位。如果在没有器件时钟时发生上电复位，则器件会正常工作，但是，输入时钟出现时，电流会发生变化。

通过在 SPI 总线上写入 RESET=1 来执行软件上电复位既切实可行，也是一种通用的良好做法。一旦任何其他寄存器被写入，RESET 位就会自行清除。SPI 总线可用于将这些状态覆盖到所需的设置。

尽管该器件具有自动上电复位功能，但可能会受到不同电源引脚上不同斜升速率的影响，尤其是在存在强输入时钟信号的情况下。建议在 POR 后执行软件复位。这可通过编程 RESET = 1 来实现。可通过对任何其他寄存器进行编程或将 RESET 设置回 0 来清除复位位。即使在允许的最大 SPI 总线速度下，软件复位事件也始终在后续 SPI 写入之前完成。

6.3.2 温度传感器

可以回读结温，以便进行特性分析或根据温度进行调整。此类调整包括：调整 CLKx_PWR 使输出功率更稳定，或使用外部或数字延迟来补偿传播延迟随温度的变化。

由于器件输出和其他功能的功率耗散，结温通常高于环境温度。方程式 1 展示了代码回读与结温间的关系。

$$\text{Temperature} = 0.65 \times \text{Code} - 351 \tag{1}$$

方程式 1 是根据慢、标称和快工艺角批次的器件（每批次三个器件，共九个器件）创建的最佳拟合线路。实际温度与最佳拟合线路预测温度之间的最坏情况变化为 13°C，相当于 20 个代码。

6.3.3 时钟输入

CLKIN_P 和 CLKIN_N 引脚的时钟输入必须为交流耦合。对于单端时钟输入，在 CLKIN_N 引脚处提供输入，可实现出色的相位噪声性能。

根据器件内部架构，为了获得出色的器件性能，需要在引脚 CLKIN_P 和 CLKIN_N 之间设置电压偏移。要产生偏移，必须使用外部电阻器对 CLKIN_P 和 CLKIN_N 引脚进行偏置。偏置网络电路必须如下所示。推荐的电阻值为 R2 = 9.5k、R3 = 7.5K，R1 和 R4 不组装电阻。

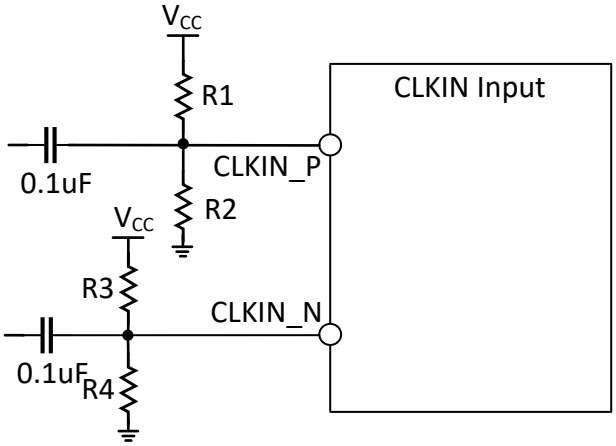


图 6-2. CLKIN 输入引脚外部偏置网络

6.3.3.1 时钟输入可调节延迟

时钟输入允许用户添加 0 至 60ps 范围的可调延迟，典型平均步长为 1.1ps。

Copyright © 2026 Texas Instruments Incorporated

6.3.4 时钟输出

该器件有四个主输出时钟，这些输出时钟使用相同的频率。这不包括额外的较低频 LOGICLK 输出。

6.3.4.1 时钟输出缓冲器

输出缓冲器采用集电极开路形式，带有集成上拉电阻，与 CML 类似。

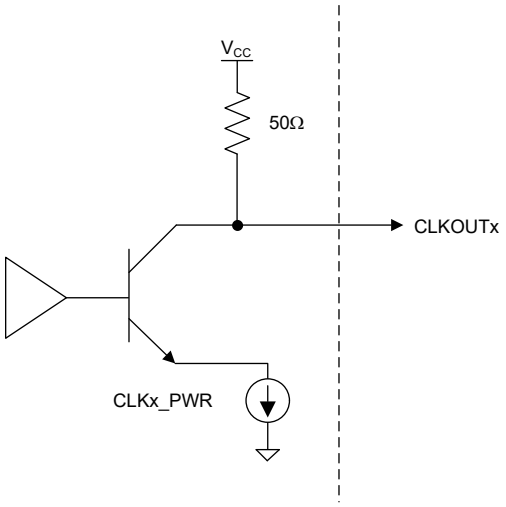


图 6-3. CLKOUT 输出缓冲器

CLKx_EN 位可启用输出缓冲器。缓冲器的输出功率可通过 CLKx_PWR 字段单独设置。但是，这些字段仅控制输出缓冲器，而不控制驱动该缓冲器的内部通道路径。要关闭整条路径的电源，请禁用 CHx_EN 位。

表 6-2. 时钟输出功率

CHx_EN	内部通道路径	CLKx_EN	CLKx_PWR	输出缓冲器
0	已断电	不用考虑	不用考虑	已断电
1	已上电	0	不用考虑	已断电
		1	0	最小值
			1	
			...	
			6	最大值

6.3.4.2 时钟输出可调节延迟

所有时钟输出都具有独立可编程的延迟，范围为 0ps 至 55ps，典型的平均步长为 0.9ps。为了在 1.5GHz 输出频率以下获得出色的噪声性能，使用输出延迟代码 >= 4。

6.3.4.3 时钟多路复用器

四个主时钟必须具有相同的频率，但该频率可被旁路、倍频或分频。这由 CLK_MUX 字决定。

表 6-3. 时钟多路复用器

CLK_MUX	选项	支持的值
0	缓冲模式	÷1（旁路）
1	分频器模式	÷2、3、4、5、6、7 和 8
2	倍频器模式	x2、x3、x4、x5、x6、x7、x8

6.3.4.4 时钟分频器

6.3.4.5 时钟倍频器

6.3.4.5.1 有关时钟倍频器的一般信息

时钟倍频器可用于将输入时钟频率乘以 2 倍、3 倍、4 倍、5 倍、6 倍、7 倍或 8 倍。所乘的值由 CLK_MULT 字段设置。由于倍频器基于 PLL 并包含一个集成的 VCO，因此具有一个状态机时钟和锁定检测功能，并需要校准。

6.3.4.5.2 时钟倍频器的状态机时钟

通过将输入时钟频率除以编程分频值，可得出状态机时钟频率 (f_{SMCLK})。倍频器校准和锁定检测也需要状态机时钟。

6.3.4.5.2.1 状态机时钟

在所有工作模式（缓冲器、分频器和倍频器）下必须启用状态机时钟。器件有上电复位默认设置 SMCLK_EN = 1，并且该字段不能更改为任何其他状态。SMCLK_EN 的状态可通过寄存器 R2[5] 位回读。为了正确配置器件，CLKIN 引脚上必须存在输入时钟。

状态机时钟需要小于 30MHz，频率如下：

$f_{SMCLK} = f_{CLKIN} / (SMCLK_DIV_PRE \times SMCLK_DIV)$

6.3.4.5.3 时钟倍频器校准

为获得理想的相位噪声，倍频器中的 VCO 将频率范围划分为许多不同的频段和内核，并且每个频段和内核都具有进行了优化的振幅设置。因此，在初次使用时或每当频率发生变化时，用户必须运行校准例程，以确定正确的内核、频段和幅度设置。使用有效的输入信号对 R0 寄存器进行编程，以执行校准。为提供可靠的倍频器校准，状态机时钟频率必须至少为 SPI 写入速度的两倍，但不能超过 30MHz。每当更改 CLK_MUX 模式或首次校准倍频器时，校准时间都会显著延长，约为 5ms。

6.3.4.5.4 时钟倍频器锁定检测

可通过 rb_LOCK_DETECT 字段或从 MUXOUT 引脚读回倍频器的锁定检测状态。状态机时钟必须处于运行状态，锁定检测才能正常工作。

6.3.5 LOGICLK 输出

两个 LOGICLK 输出可用于驱动使用较低频时钟的器件，如 FPGA。如果只需要一个 LOGICLK，相应的 SYSREF 输出也可用作 JESD204B/C 接口时钟。LOGICLK 输出具有可编程输出格式和相应的 SYSREF 输出。

6.3.5.1 LOGICLK 输出格式

LOGICLKOUT0 和 LOGICLKOUT1 输出格式可编程为 LVDS 和 CML 模式。根据输出格式的不同，共模电压可能是可编程的，也可能需要外部元件（请参阅 表 6-4）。

LOGICLKOUT1 输出的共模和格式可以像 LOGISYSREFOUT / LOGICLKOUT1 输出缓冲器配置一样进行编程 表 6-10

表 6-4. LOGICLKOUT0 格式和属性

LOGICLK_FMT	格式	所需外部元件	输出电平	共模
0	LVDS	无	可通过 LOGICLK_PWR 进行编程	可通过 LOGICLK_VCM 进行编程。
2	CML	上拉电阻 50Ω（连接至 V_{CC}）	可通过 LOGICLK_PWR 进行编程	LOGICLK_VCM 没有影响，但会随着 LOGICLK_PWR 的变化而变化。

表格显示了逻辑时钟 LVDS 格式的单端摆幅和可编程 LOGICLK_VCM 设置下支持的共模电压。

表 6-5. LOGICLK LVDS 共模电压与 LOGICLK_VCM

LOGICLK_VCM	LOGICLK VOD 摆幅 - 单端峰峰值 (V)	LOGICLK 共模电压 (V)
6	0.37	0.81
5	0.36	0.90

Copyright © 2026 Texas Instruments Incorporated

表 6-5. LOGICLK LVDS 共模电压与 LOGICLK_VCM （续）

LOGICLK_VCM	LOGICLK VOD 摆幅 - 单端峰峰值 (V)	LOGICLK 共模电压 (V)
4	0.35	0.99
3	0.34	1.09
2	0.33	1.18
1	0.31	1.27

下表显示了逻辑时钟 LVDS 格式下支持的 LOGICLK_VCM 范围，与 LOGICLK_PWR 设置对应。

表 6-6. 支持的 LOGICLK_VCM 设置

LOGICLK_PWR	LOGICLK VOD 摆幅 - 单端峰峰值 (V)	支持的 VOCM 范围	支持的 LOGICLK_VCM 范围	
			最小代码	最大代码
0	0.1	0.8 至 1.4	0	6
1	0.15	0.8 至 1.4	0	6
2	0.2	0.8 至 1.4	0	6
3	0.25	0.75 至 1.35	0	6
4	0.3	0.8 至 1.3	1	6
5	0.35	0.8 至 1.3	1	6
6	0.4	0.9 至 1.3	2	6
7	0.5	0.9 至 1.2	3	6

6.3.5.2 LOGICLK 分频器

LOGICLK_DIV_PRE 分频器、LOGICLK_DIV 和 LOGICLK2_DIV 分频器用于 LOGICLK 输出。必须使用 LOGICLK_DIV_PRE 分频器进行分频，以确保 LOGICLK_DIV 分频器的输入为 3.2GHz 或更低。LOGICLK2_DIV 是一个附加分频器，用于生成 LOGICLKOUT1 输出。当 LOGICLK_DIV 不是偶数且未被旁路时，占空比将不是 50%。所有 LOGICLK 分频器均通过 SYNC 功能进行同步，从而在多个器件之间实现同步。表 6-7 展示了逻辑时钟总分频器范围。

表 6-7. LOGICLK 分频器范围

f_{CLKIN} (MHz)	LOGICLK_DIV_PRE	LOGICLK_DIV	LOGICLK2_DIV	LOGICLKOUT0 总分频范围	LOGICLKOUT1 总分频范围
$f_{CLKIN} \leqslant$ 3.2GHz	÷1、2、4	÷1、2、3、…1023	÷1、2、4、8	[1、2、...1023] [2、4、...2046] [4、8、...4092]	[1、2、...32736]
3.2GHz < $f_{CLKIN} \leqslant$ 6.4GHz	÷2、4	÷1、2、3、…1023	÷1、2、4、8	[2、4、...2046] [4、8、...4092]	[2、4、...32736]
f_{CLKIN} > 6.4GHz	÷4	1、2、3、…1023	÷1、2、4、8	[4、8、...4092]	[4、8、...32736]

6.3.6 SYSREF

SYSREF 允许生成符合 JESD204B/C 标准的低频信号，该信号重新计时至主时钟输出或 LOGICLK 输出。CLKOUT 和 SYSREF 输出之间的延迟可通过软件进行调整。SYSREF 输出可使用内部 SYSREF 分频器配置为发生器，也可配置为在 SYSREFREQ 引脚上复制信号的中继器。主时钟的 SYSREF 发生器与 LOGICLK 输出的 SYSREF 发生器相同。

表 6-8. SYSREF 模式

SYSREF_MODE	说明
0	**发生器模式** 内部发生器产生连续的 SYSREF 脉冲流。SYSREFREQ_INPUT 位设置用于通过 SYSREFREQ 引脚或来自通道的逻辑高电平对 SYSREF 分频器进行门控，从而改善噪声隔离，而不会中断 SYSREF 分频器的同步。必须为 SYSREFREQ 引脚输入设置 SYSREFREQ_INPUT 位，或通过将位从 SYSREFREQ_INPUT[1] → 0 更改为 1 强制为高电平，才会产生 SYSREF 输出。
1	**脉冲发生器** 内部发生器生成一个由 SYSREF_PULSE_CNT 设置的 1 至 16 个脉冲组成的脉冲群，其触发条件是 SYSREFREQ 引脚的 SYSREFREQ_INPUT 设置为上升沿，或通过将 SYSREFREQ_INPUT[1] 位从 0 更改为 1 强制为高电平
2	**中继器模式** SYSREFREQ 引脚输入旁路至 SYSREFOUT 输出引脚。如果需要延迟，SYSREFREQ 引脚输入会根据 SYSREF_DLY_BYP 字段重新计时至时钟输出，然后发送到 SYSREFOUT 输出引脚。
3	**中继器重定时模式** SYSREFREQ 引脚输入重新计时至时钟输入，然后根据 SYSREF_DLY_BYP 字段进行延迟，再发送到 SYSREFOUT 输出引脚。

下图展示了不同 SYSREF 模式的功能方框图。

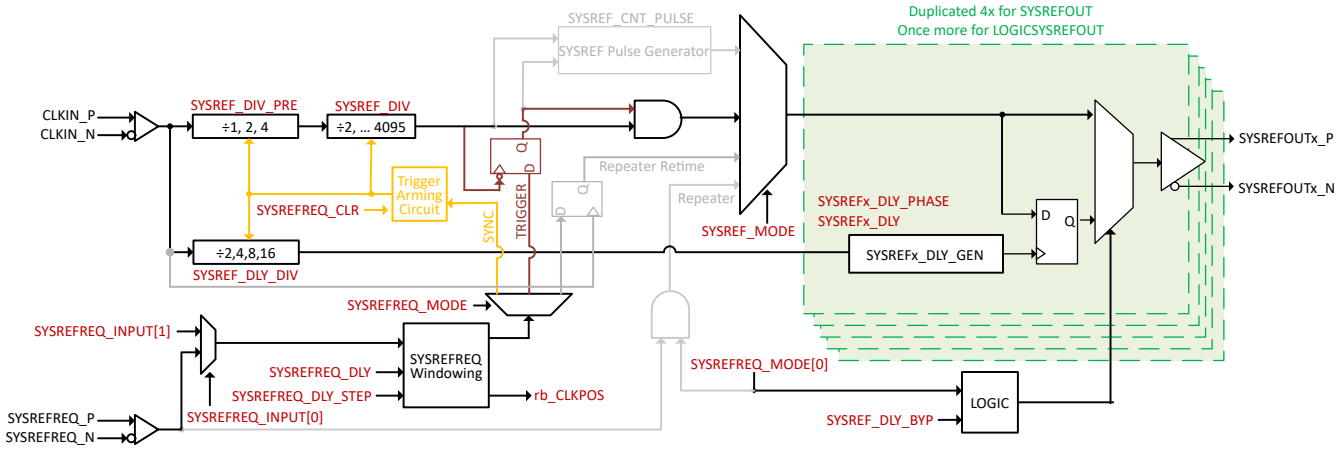


图 6-4. 发生器模式下的 SYSREF 电路功能方框图

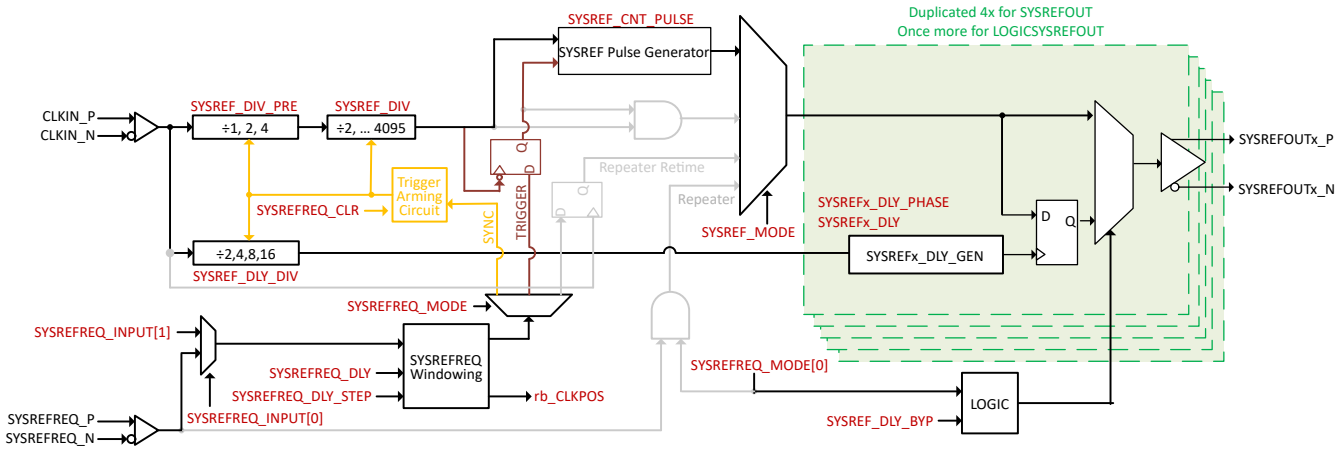


图 6-5. 脉冲发生器模式下的 SYSREF 电路功能方框图

Copyright © 2026 Texas Instruments Incorporated

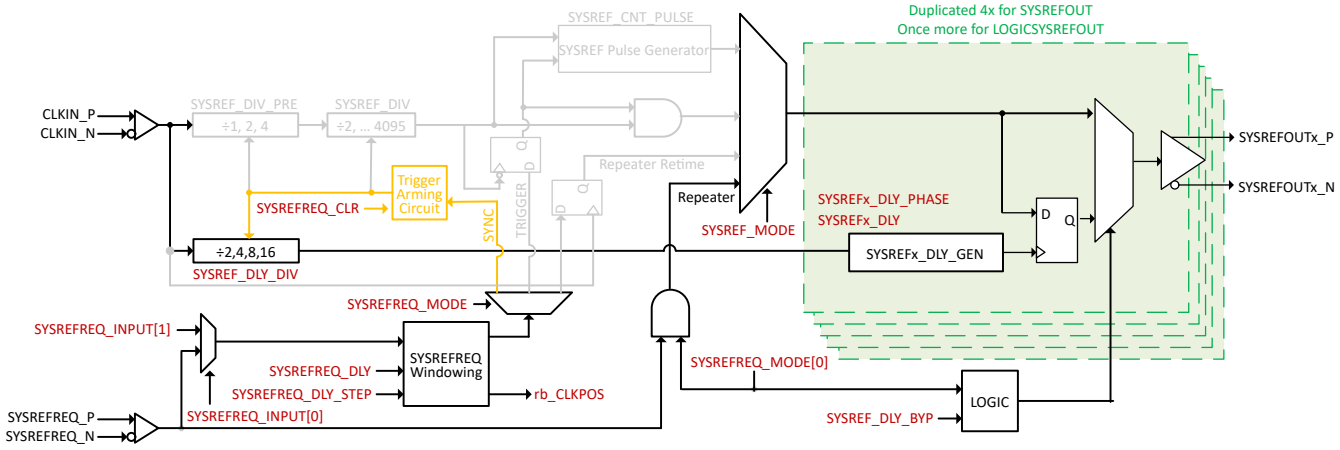


图 6-6. 中继器模式下的 SYSREF 电路功能方框图

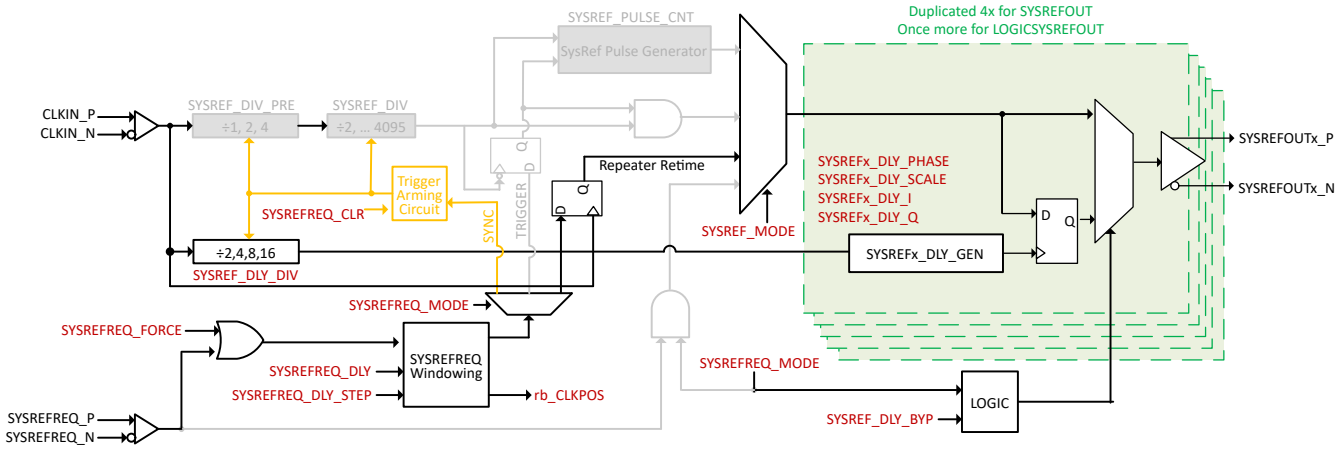


图 6-7. 中继器重定时模式下的 SYSREF 电路功能方框图

6.3.6.1 SYSREF 输出缓冲器

6.3.6.1.1 主时钟的 SYSREF 输出缓冲器 (SYSREFOUT)

时钟输出通道内的 SYSREF 输出与时钟输出缓冲器具有相同的输出缓冲器结构，并增加了用于调整共模电压的电路。SYSREF 输出是 CML 输出，其共模电压可通过 SYSREFx_VCM 字段进行调整，并且输出电平可通过 SYSREFx_PWR 字段进行编程。此特性可以实现直流耦合。请注意，CLKOUT 输出没有可调共模电压，必须采用交流耦合，以实现出色的噪声性能。

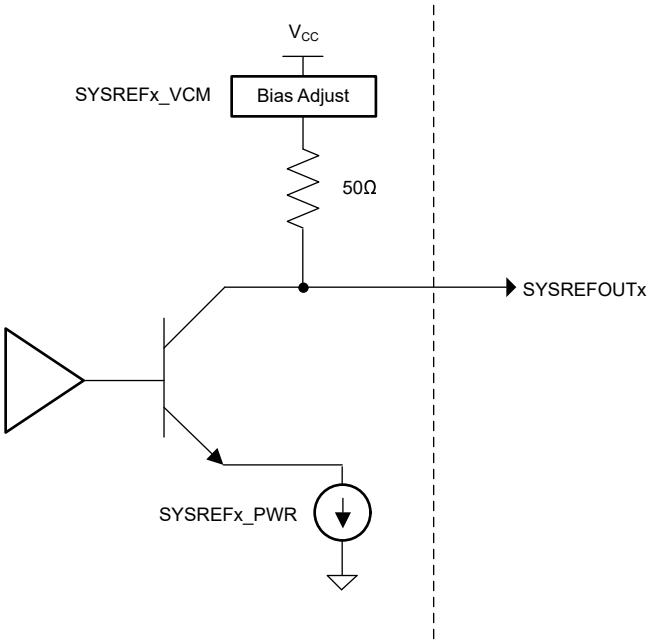


图 6-8. SYSREF 输出缓冲器

假设有 100Ω 差分负载、无直流路径接地的情况下，对共模电压和输出功率进行仿真。SYSREF 输出摆幅和相应的共模电压如下所示。对于每个 SYSREFx_VCM 设置，输出共模电压的变化范围可以在变化值的 ±10% 以内。

表 6-9. SYSREFOUT 支持的 SYSREFx_VCM 代码范围

SYSREFx_PWR	VOD 摆幅（单端峰峰值）		支持的 SYSREFx_VCM 代码				支持的 VCM 范围 (V)			
	SYSREFx_PWR_LOW = 1 低功耗 (V)	SYSREFx_PWR_LOW = 0 高功耗 (V)	SYSREFx_PWR_LOW = 1 低功耗 (V)		SYSREFx_PWR_LOW = 0 高功耗 (V)		SYSREFx_PWR_LOW = 1 低功耗 (V)		SYSREFx_PWR_LOW = 0 高功耗 (V)	
			最小代码	最大代码	最小代码	最大代码	最小 VCM	最大 VCM	最小 VCM	最大 VCM
0	0.23	0.46	4	44	10	44	0.500	1.500	0.650	1.500
1	0.29	0.58	6	44	12	42	0.550	1.500	0.700	1.450
2	0.35	0.69	7	44	15	40	0.575	1.500	0.775	1.400
3	0.40	0.79	8	44	18	36	0.600	1.500	0.850	1.300
4	0.46	0.89	10	44	20	31	0.650	1.500	0.900	1.175
5	0.51	0.97	11	44	22	26	0.675	1.500	0.950	1.050
6	0.57	1.04	12	44	23		0.700	1.500	0.975	
7	0.62		13	41			0.725	1.425		

6.3.6.1.2 LOGISYSREF 输出缓冲器

LOGISYSREFOUT/LOGICLKOUT1 输出支持 LVDS 和 CML 输出格式。LOGISYSREF_EN 启用输出缓冲器，LOGISYSREF_FMT 设置格式。LVDS 模式支持可编程输出功率和共模电压，CML 输出格式需要外部元件并支持可编程输出功率。

表 6-10. LOGISYSREFOUT/LOGICLKOUT1 输出缓冲器配置

LOGISYSREF_EN	LOGISYSREF_FMT	LOGISYSREF 格式	需要外部端接	输出功率	输出共模
0	已断电				

Copyright © 2026 Texas Instruments Incorporated

表 6-10. LOGISYSREFOUT/LOGICLKOUT1 输出缓冲器配置（续）

LOGISYSREF_EN	LOGISYSREF_FMT	LOGISYSREF 格式	需要外部端接	输出功率	输出共模
1	0	LVDS	无	可通过 LOGISYSREF_PWR 进行编程	可通过 LOGISYSREF_VCM 进行编程。
	1	保留			
	2	CML	上拉电阻 50Ω（连接至 V_{CC}）	可通过 LOGISYSREF_PWR 进行编程	LOGISYSREF_VCM 不产生影响，但这会随 LOGISYSREF_PWR 而变化。
	3	保留			

6.3.6.1.3 SYSREF 频率和延迟生成

对于发生器模式下 SYSREF 输出的频率，必须使用 SYSREF_DIV_PRE 分频器来确保 SYSREF_DIV 分频器的输入不超过 3.2GHz。表 6-11 展示了与 CLKIN 工作频率对应的 SYSREF 总分频范围。

表 6-11. SYSREF_DIV_PRE 设置

f_{CLKIN}	SYSREF_DIV_PRE	总 SYSREF 分频范围
3.2GHz 或更低	÷1、2 或 4	÷2、3、4、...16380
3.2GHz < f_{CLKIN} ≤ 6.4GHz	÷2 或 4	÷4、6、8、⋯ 16380
f_{CLKIN} > 6.4GHz	÷4	÷8、12、16、⋯ 16380

对于延迟，输入时钟频率除以 SYSREF_DLY_DIV 以生成 $f_{INTERPOLATOR}$。其范围受限，如表 6-12 所示。另请注意，当 SYSREF_DLY_BYP = 1（延迟发生器已启动）且 SYSREF_MODE = 0 或 1（发生器模式）时，SYSREF 输出频率必须是相位内插器频率的倍数。

$f_{INTERPOLATOR}$ % f_{SYSREF} = 0.

表 6-12. SYSREF 延迟设置

f_{CLKIN}	SYSREF_DLY_DIV	SYSREF_DLY_SCALE	$f_{INTERPOLATOR}$
6.4GHz < f_{CLKIN} ≤ 12.8GHz	16	0	0.4GHz 至 0.8GHz
3.2GHz < f_{CLKIN} ≤ 6.4GHz	8	0	0.4GHz 至 0.8GHz
1.6GHz < f_{CLKIN} ≤ 3.2GHz	4	0	0.4GHz 至 0.8GHz
0.8GHz < f_{CLKIN} ≤ 1.6GHz	2	0	0.4GHz 至 0.8GHz
0.4GHz < f_{CLKIN} ≤ 0.8GHz	2	1	0.2GHz 至 0.4GHz
0.3GHz < f_{CLKIN} ≤ 0.4GHz	2	2	0.15GHz 至 0.2GHz

最大延迟等于相位内插器周期，并且有 4 × 127 = 508 个不同的延迟步长。根据方程式 2 来计算每个步长的大小。

$$\text{DelayStepSize} = 1 / (f_{INTERPOLATOR} \times 508) = \text{SYSREF_DLY_DIV} / (f_{CLKIN} \times 508) \quad (2)$$

根据方程式 3 来计算总延迟。

$$\text{TotalDelay} = \text{DelayStepSize} \times \text{StepNumber} \quad (3)$$

表 6-13 展示了每个延迟的步数，可用于对所需的延迟步数进行编程。

表 6-13. 步数的计算

步数范围	SYSREFx_DLY_PHASE	SYSREFx_DLY
0 至 127 (127 - SYSREFx_DLY)	0	127 至 0

表 6-13. 步数的计算（续）

步数范围	SYSREFx_DLY_PHASE	SYSREFx_DLY
127 至 254 (127 + SYSREFx_DLY)	1	0 至 127
254 至 381 (381 - SYSREFx_DLY)	3	127 至 0
381 至 508 (381 + SYSREFx_DLY)	2	0 至 127

SYSREF_DLY_BYP 字段选择 SYSREF 生成输出和中继器重定时模式中的延迟路径。

SYSREF 延迟不可用步数 显示了在不同 SYSREF_MODE 和 SYSREF 分频器设置下，SYSREF 延迟的不可用步数。

表 6-14. SYSREF 延迟不可用步数

SYSREF_MODE	SYSREF_DIV_PRE	SYSREF_DIV	SYSREF_DLY_DIV	不可用步数
连续或脉冲模式	1	2 或 3	2	无效组合
			4	
			8	
			16	
	2		2	15 至 45
			4	无效组合
			8	
			16	
	4		2	10 至 45
			4	140 至 175
			8	无效组合
			16	
	1	>= 4	2	10 至 45
			4	390 至 430
			8	215 至 240
			16	无效组合
	2		2	265 至 300
			4	
			8	390 至 430
			16	280 至 300
	4		2	265 至 300
			4	
			8	140 至 175
			16	390 至 430
中继器重定时	x	x	2	20 至 50
			4	145 至 180
			8	85 至 125
			16	120 至 160

图 6-9 显示了一个不可用延迟步数位置的示例，其中 SYSREF 上升沿位于相位内插器上升沿附近。

Copyright © 2026 Texas Instruments Incorporated

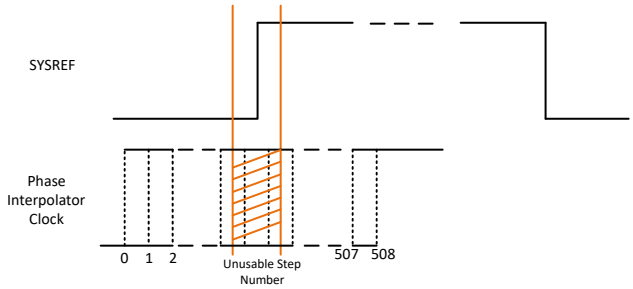


图 6-9. 不可用的延迟步数

图 6-10 显示了 SYSREF 输出延迟步长，它随相位内插器频率的变化而变化。

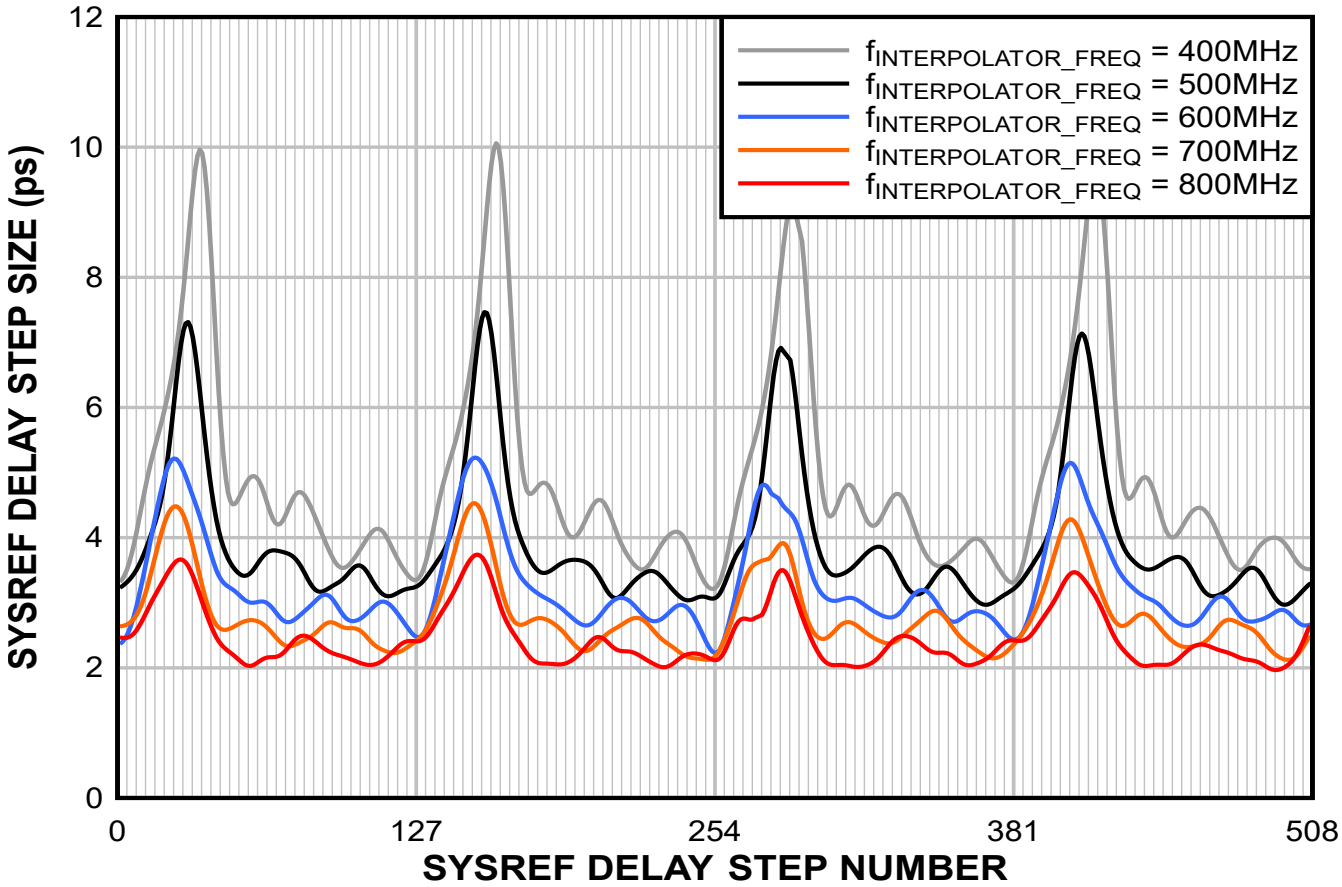


图 6-10. SYSREF 延迟步长

6.3.6.1.4 SYSREFREQ 引脚和 SYSREFREQ SPI 控制字段

SYSREFREQ 引脚是通用引脚，可用于 SYNC、SYSREF 请求和 SYSREF 窗口化。这些引脚可采用直流或交流耦合，并具有独立的 50Ω 单端端接，支持可编程共模。

除了这些引脚外，还可将 SYSREFREQ_INPUT 字段设置为选择 SYSREFREQ 引脚输入，或在内部将这些引脚强制为逻辑“低电平”或“高电平”来仿真相同效果，从而在某些情况下简化硬件。

6.3.6.1.4.1 SYSREFREQ 引脚共模电压

SYSREFREQ_P 和 SYSREFREQ_N 引脚可采用交流或直流耦合驱动。当采用交流耦合驱动或内部偏置时，可通过 SYSREFREQ_VCM 位调整共模电压。

表 6-15. SYSREFREQ 引脚共模电压

SYSREFREQ_VCM	SYSREFREQ 输入引脚 CM 电压
0	引脚之间零偏移（交流耦合）
1	引脚 P 偏置为高于引脚 N（交流耦合）
2	引脚 N 偏置为高于引脚 P（交流耦合）
3	无偏置（直流耦合）

在交流耦合期间没有输入时，则必须产生共模电压偏移，以免引脚发生抖动。SYSREFREQ_VCM_OFFSET 字段有助于设置引脚之间的偏移。

表 6-16. SYSREFREQ 引脚共模电压偏移

SYSREFREQ_VCM_OFFSET	引脚之间的共模电压偏移
0	25mV
1	50mV
2	100mV
3	150mV

6.3.6.1.4.2 SYSREFREQ 窗口化特性

SYSREF 窗口化可用于在内部校准 SYSREFREQ 和 CLKIN 引脚之间的时序，以优化设置和保持时序，并消除 SYSREFREQ 和 CLKIN 路径之间的任何不匹配情况。该特性要求从 SYSREFREQ 上升沿到 CLKIN 上升沿的时序保持一致。可通过 rb_CLKPOS 字段跟踪从 SYSREFREQ 上升沿到 CLKIN 上升沿的时序。一旦找到 CLKIN 引脚上升沿的时序，就可以使用 SYSREFREQ_DLY_STEP 和 SYSREFREQ_DLY 字段在内部调整 SYSREFREQ 上升沿，从而优化设置或保持时序。

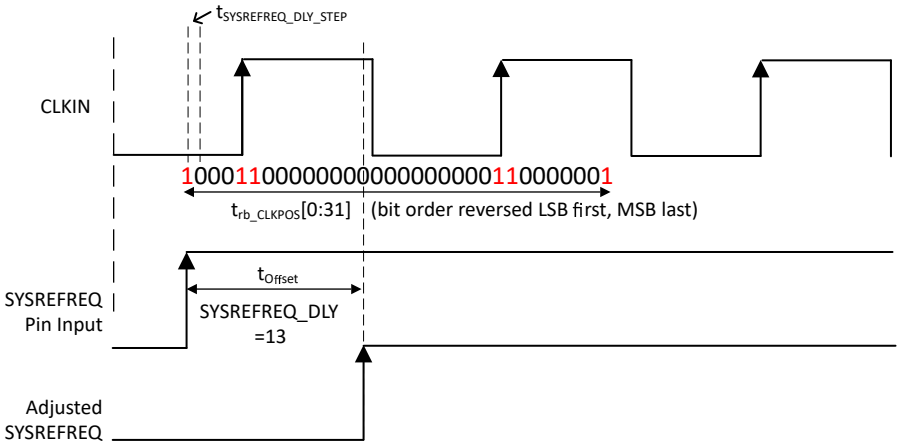


图 6-11. SYSREFREQ 内部时序调整

Copyright © 2026 Texas Instruments Incorporated

6.3.6.1.4.2.1 SYSREF 窗口化操作的一般过程流程图

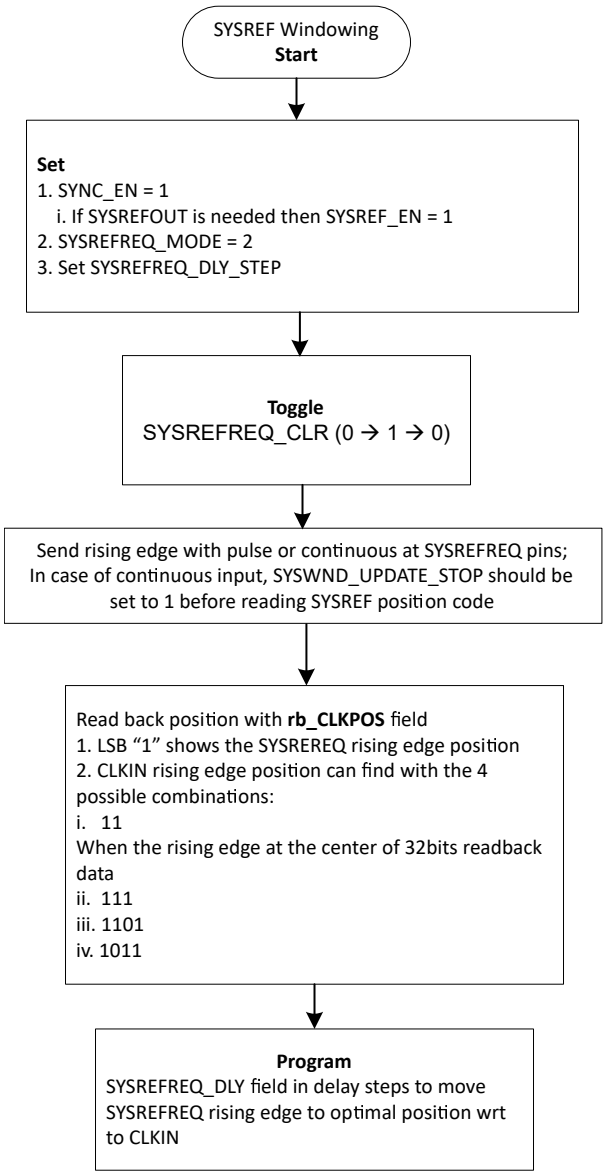


图 6-12. SYSREF 窗口化操作流程图

表 6-17. SYSREFREQ_DELAY_STEP

输入频率	建议的 SYSREFREQ_DLY_STEP	延迟 (ps)
1.4GHz < f_{CLKIN} ≤ 2.7GHz	0	22.25
2.4GHz < f_{CLKIN} ≤ 4.7GHz	1	13
3.1GHz < f_{CLKIN} ≤ 5.7GHz	2	10.5
f_{CLKIN} ≥ 4.5GHz	3	7.75

6.3.6.1.4.2.2 有关 SYSREF 窗口化的其他指导

- SYSREFREQ 引脚必须保持高电平至少 3/f_{CLKIN} + 1.6ns 的时间，只有在该时间之后，rb_CLKPOS 字段才有效。

- 如果用户从 rb_CLKPOS 寄存器推导出多个有效的 SYSREFREQ_DLY 值来避免违反设置和保持时间，TI 建议选择最小的有效 SYSREFREQ_DLY 值，以便尽量减少温度变化的影响。
- 为优化 SYSREF 窗口化后的设置和保持时间而编程的 SYSREFREQ_DLY 可调整内部 SYSREFREQ_DLY，但 SYSREFREQ_DLY 不会显示 SYSREF 窗口化回读代码中的移动。SYSREF 窗口化始终评估引脚上的信号。

6.3.6.1.4.2.3 用于无干扰输出

- 从请求模式切换到窗口化模式，再切换回请求模式时，SYSREFREQ 引脚的状态保持不变。例如，如果在窗口化模式启动时 SYSREFREQ 引脚为高电平（或低电平），请确保在窗口化模式结束后，引脚状态再次为高电平（或低电平），然后将 SYSREFREQ_MODE 编程为其他状态。
- 从 SYNC 模式切换到其他模式，或从其他模式切换到 SYNC 模式时，SYSREFREQ 引脚必须设置为低电平。

6.3.6.1.4.2.4 如果使用 SYNC 特性

- 每 75 个输入时钟周期仅允许 1 个 SYSREFREQ 引脚上升沿
- SYSREFREQ 必须在超过 6 个时钟周期内保持高电平

6.3.6.1.4.2.5 SYNC 功能

SYNC 功能允许用户同步 CLK_DIV、LOGICLK_DIV、LOGICLK1_DIV、LOGICLK_DIV_PRE、SYSREF_DIV、SYSREF_DIV_PRE 和 SYSREF_DLY_DIV 分频器，以便在下电上电期间使相位偏移保持一致。这样，用户就可以同步多个器件。在多个器件中，分频器同步必须通过 SYSREFREQ 引脚完成，而单个器件分频器同步可使用 SPI 完成。

6.3.7 上电时序

要为器件上电，需要对电源进行一些时序控制。

1. 为器件通电，并验证 VCC 引脚是否达到适当的电平。
2. 尽管上电复位会自动发生，但用户可通过将 RESET 位从 1 切换到 0 来执行软件复位。请确保编程这两条命令时至少间隔 1μs。
3. 根据需要对寄存器进行编程。
4. 将 DEV_IOPT_CTRL 字段编程为 0x6。

Copyright © 2026 Texas Instruments Incorporated

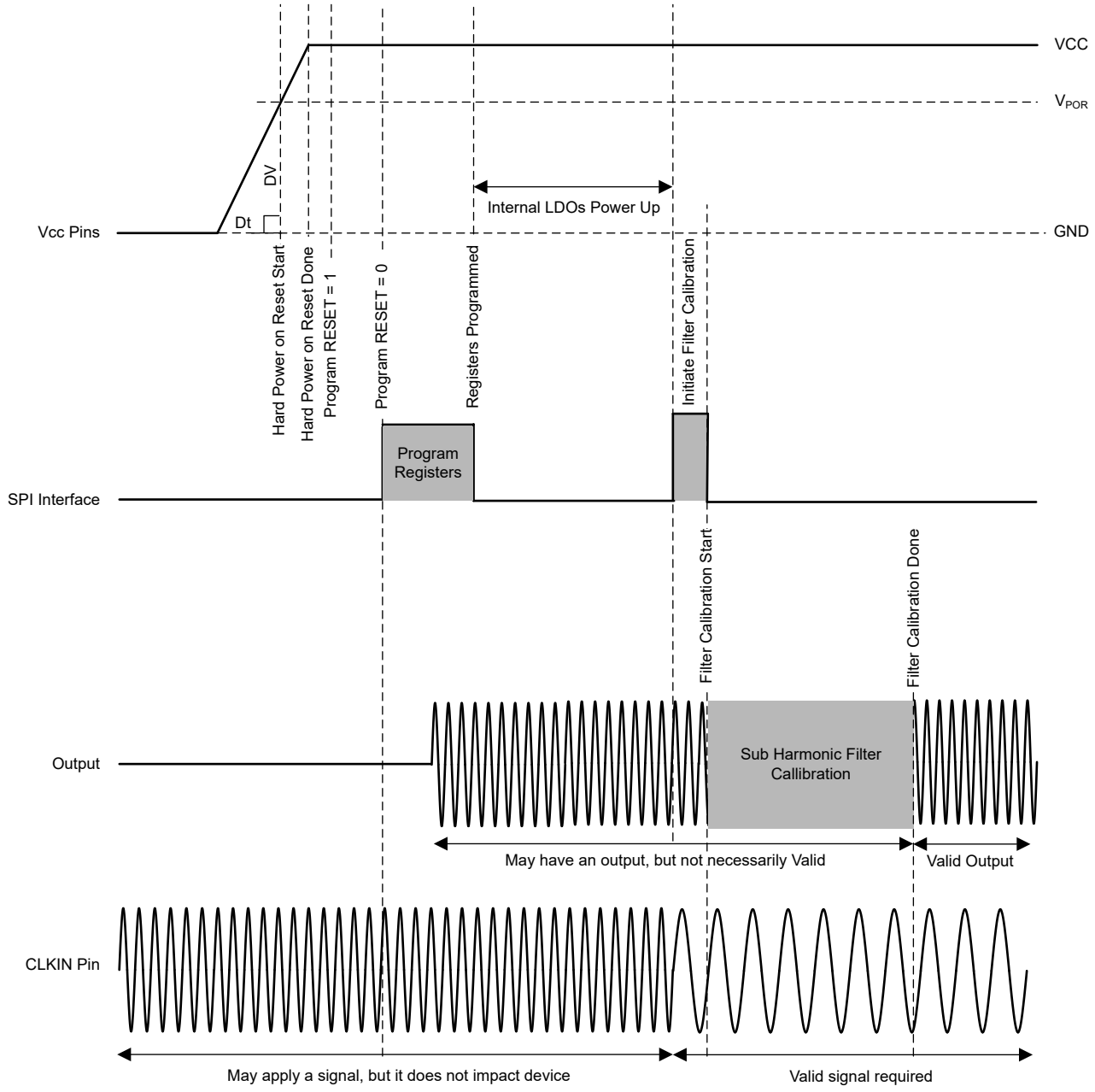


图 6-13. 上电时序

6.3.8 处理未使用的引脚

在许多情况下，并非会用到所有引脚。表 6-18 给出了有关处理这些未使用引脚的建议。

表 6-18. 处理未使用或部分使用的引脚

引脚	处理
所有 Vcc 引脚	这些引脚必须始终与电源相连。如果该块不使用电源（如引脚名称所示），则应更大程度降低或去除电源去耦电容。

表 6-18. 处理未使用或部分使用的引脚（续）

引脚	处理
SYSREFREQ	如果驱动单端交流耦合，则互补输入必须将交流耦合电容器接地。如果驱动单端直流耦合，则互补输入必须在所需的 VCM 处通过戴维南等效电路进行外部偏置。如果使用连续 SYSREF 发生器模式，则这些引脚既可用于打开和关闭输出缓冲器，也可保持悬空状态。如果悬空，请使用 SYSREFREQ_INPUT[1] 控制输出门控。如果根本不使用 SYSREF，则引脚可以保持开路状态。
CLKIN 互补输入	如驱动单端输入，则互补输入必须具有一个交流耦合电容器和 50Ω 接地电阻。
BIAS01 和 BIAS23	如果不使用倍频器，这些引脚可保持开路。
CLKOUT SYSREFOUT	建议在输出引脚之间放置一个 100Ω 差分电阻器。 如使用单端输出，则互补输出引脚必须具有一个交流耦合电容器和 50Ω 接地电阻。
LOGICLKOUT LOGISYSREFOUT	这些引脚可以在不使用时保持开路。

6.4 器件功能模式配置

该器件可配置为高频时钟缓冲器模式、分频器模式或倍频器模式。每种模式都需要以下寄存器配置才能运行。

表 6-19. 器件功能模式的配置

寄存器地址	位	字段	功能	BUFFER	分频器	乘法器
R27	2:0	CLK_MUX	选择模式	1	2	3
R27	5:3	CLK_DIV/ CLK_MULT	选择分频值或倍频值	x	CLK_DIV 0x1 = ÷2 0x2 = ÷3 0x3 = ÷4 0x4 = ÷5 0x5 = ÷6 0x6 = ÷7 0x7 = ÷8	CLK_MULT 0x2 = x2 0x3 = x3 0x4 = x4 0x5 = x5 0x6 = x6 0x7 = x7 0x8 = x8
R26	0	SMCLK_EN	启用状态机时钟发生器	x	x	1
R26	4:1	SMCLK_DIV_PRE	为状态机时钟设置预分频器	x	x	状态机时钟的预时钟分频器 0x2 = ÷2 0x4 = ÷4 0x8 = ÷8
R26	7:5	SMCLK_DIV	设置状态机时钟分频器	x	x	其他 SMCLK 分频器必须保持输出频率 ≤ 30MHz。 0x0 = ÷1 0x1 = ÷2 0x2 = ÷4 0x3 = ÷8 0x4 = ÷16 0x5 = ÷32 0x6 = ÷64 0x7 = ÷128
R0	全部	校准倍频器	校准基于 PLL 的倍频器	x	x	写入 R0 以校准倍频器

Copyright © 2026 Texas Instruments Incorporated

7 寄存器映射

	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	POWER DOWN	复位
R1	0	0	0	0	0	0	0	0	0	0	0	LD_DIS	READBACK_CTRL	0	1	1
R2	0	0	0	0	0	0	TEMPSENSE_EN	SYNC_EN	1	SYSREF_EN	1	LOGIC_EN	CH3_EN	CH2_EN	CH1_EN	CH0_EN
R3	0	0	0	0	0	0	0	0	0	CLKIN_DLY						
R4	0	0	0	0	0	CLK0_DLY							CLK0_PWR			CLK0_EN
R5	0	0	0	0	0	CLK1_DLY							CLK1_PWR			CLK1_EN
R6	0	0	0	0	0	CLK2_DLY							CLK2_PWR			CLK2_EN
R7	0	0	0	0	0	CLK3_DLY							CLK3_PWR			CLK3_EN
R8	0	SYSREF0_PWR_LOW	SYSREF0_AC	1	1	1	SYSREF0_VCM						SYSREF0_PWR			SYSREF0_EN
R9	0	SYSREF1_PWR_LOW	SYSREF1_AC	1	1	1	SYSREF1_VCM						SYSREF1_PWR			SYSREF1_EN
R10	0	SYSREF2_PWR_LOW	SYSREF2_AC	1	1	1	SYSREF2_VCM						SYSREF2_PWR			SYSREF2_EN
R11	0	SYSREF3_PWR_LOW	SYSREF3_AC	1	1	1	SYSREF3_VCM						SYSREF3_PWR			SYSREF3_EN
R12	0	0	0	LOGICLK_FMT		0	0	LOGICLK_VCM					LOGICLK_PWR			LOGICLK_EN
R13	0	0	0	LOGISYSREF_FMT		0	0	LOGISYSREF_VCM					LOGISYSREF_PWR			LOGISYSREF_EN
R14	LOGICLK_DIV_RST	0	0	LOGICLK_DIV										LOGICLK_DIV_PRE		
R15	0	0	0	0	0	0	0	0	0	0	0	0	0	LOGICLK2_DIV		LOGICLK2_EN

	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R16	0	0	0	0	0	0	0	0	SYSREF_DLY_SCALE		SYSREFREQ_DLY_STEP		SYSREFREQ_VCM_OFFSET		SYSREFREQ_VCM	
R17	0	0	0	0	0	0	0	0	SYSREFREQ_INPUT		SYSWND_UPDATE_STOP	SYNC_STOP	SYSWND_LATCH	SYSREFREQ_CLR	SYSREFREQ_MODE	
R18	0	0	0	0	0	0	0	0	0	0	SYSREFREQ_DLY					
R19	0	0	0	0	0	0	0	0	0	SYSREF_DLY_BYP	SYSREF_PULSE_CNT				SYSREF_MODE	
R20	SYSREF_DLY_DIV		SYSREF_DIV												SYSREF_DIV_PRE	
R21	0	0	0	0	0	0	0	SYSREF0_DLY							SYSREF0_DLY_PHASE	
R22	0	0	0	0	0	0	0	SYSREF1_DLY							SYSREF1_DLY_PHASE	
R23	0	0	0	0	0	0	0	SYSREF2_DLY							SYSREF2_DLY_PHASE	
R24	0	0	0	0	0	0	0	SYSREF3_DLY							SYSREF3_DLY_PHASE	
R25	0	0	0	0	0	0	0	LOGISYSREF_DLY							LOGISYSREF_DLY_PHASE	
R26	0	0	0	0	0	0	0	0	SMCLK_DIV			SMCLK_DIV_PRE				SMCLK_EN
R27	0	1	1	0	MULT_HIPFD_EN	1	FCAL_EN	0	0	CLK_DIV_RST	CLK_DIV			CLK_MUX		
R29	rb_CLKPOS[31:16]															
R30	rb_CLKPOS[15:0]															
R31	0	0	0	0	0	rb_TEMPSENSE										
R32	rb_VER_ID															
R36	1	0	0	0	1	0	1	1	0	0	0	1	0	1	1	0
R37	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	rb_LOCK_DETECT
R39	0	1	1	1	1	0	0	1	0	1	1	0	0	0	0	1
R40	0	1	1	1	1	0	0	1	0	1	1	0	0	0	1	1
R41	0	1	1	1	0	1	0	1	0	1	0	0	0	0	0	1
R42	0	1	1	1	0	1	1	1	0	1	0	0	0	0	0	1
R43	0	1	1	1	0	1	1	1	0	1	0	0	0	0	0	1

Copyright © 2026 Texas Instruments Incorporated

	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R44	0	1	1	1	0	1	0	1	0	1	1	0	0	0	0	1
R45	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1
R54	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0
R55	0	0	0	0	0	0	0	0	0	0	DEV_IOPT_CTRL					
R77	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

Copyright © 2026 Texas Instruments Incorporated

7.1 器件寄存器

表 7-1 列出了器件寄存器的存储器映射寄存器。表 7-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不得修改寄存器内容。

表 7-1. 器件寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	R0	断电和复位	节 7.1.1
1h	R1	软件复位、MUXOUT 引脚设置	节 7.1.2
2h	R2	通道、逻辑时钟、SYSREF、SYNC 和温度传感器使能	节 7.1.3
3h	R3	CLKIN 延迟	节 7.1.4
4h	R4	CLKOUT0 使能、电源和延迟	节 7.1.5
5h	R5	CLKOUT1 使能、电源和延迟	节 7.1.6
6h	R6	CLKOUT2 使能、电源和延迟	节 7.1.7
7h	R7	CLKOUT3 使能、电源和延迟	节 7.1.8
8h	R8	SYSREFOUT0 使能、电源、VCM	节 7.1.9
9h	R9	SYSREFOUT1 使能、电源、VCM	节 7.1.10
Ah	R10	SYSREFOUT2 使能、电源、VCM	节 7.1.11
Bh	R11	SYSREFOUT3 使能、电源、VCM	节 7.1.12
Ch	R12	LOGICLK 使能、电源、VCM 和输出格式	节 7.1.13
Dh	R13	LOGISYSREF 使能、电源、VCM 和输出格式	节 7.1.14
Eh	R14	LOGICLK 分频器	节 7.1.15
Fh	R15	LOGICLK2 使能、分频器	节 7.1.16
10h	R16	SYSREFREQ 输入	节 7.1.17
11h	R17	SYSREFREQ 输入	节 7.1.18
12h	R18	SYSREFREQ 输入	节 7.1.19
13h	R19	SYSREF 输出	节 7.1.20
14h	R20	SYSREF 输出分频器	节 7.1.21
15h	R21	SYSREFOUT0 延迟	节 7.1.22
16h	R22	SYSREFOUT1 延迟	节 7.1.23
17h	R23	SYSREFOUT2 延迟	节 7.1.24
18h	R24	SYSREFOUT3 延迟	节 7.1.25
19h	R25	LOGISYSREFOUT 延迟	节 7.1.26
1Ah	R26	状态机时钟	节 7.1.27
1Bh	R27	时钟多路复用器、时钟分频器/倍频器	节 7.1.28
1Dh	R29	SYSREFREQ 窗口化（回读）	节 7.1.29
1Eh	R30	SYSREFREQ 窗口化（回读）	节 7.1.30
1Fh	R31	温度传感器（回读）	节 7.1.31
20h	R32	器件版本 ID（回读）	节 7.1.32
24h	R36	倍频器模式（保留）	
25h	R37	锁定检测（回读）	节 7.1.34
27h	R39	倍频器模式（保留）	
28h	R40	倍频器模式（保留）	
29h	R41	倍频器模式（保留）	
2Ah	R42	倍频器模式（保留）	
2Bh	R43	倍频器模式（保留）	

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 器件寄存器（续）

偏移	首字母缩写词	寄存器名称	部分
2Ch	R44	倍频器模式（保留）	
2Dh	R45	倍频器模式（保留）	
36h	R54	倍频器模式（保留）	
37h	R55	电流优化	节 7.1.43
4Dh	R77	倍频器模式（保留）	

复杂的位访问类型经过编码可适应小型表单元。表 7-2 展示了适用于此部分中访问类型的代码。

表 7-2. 器件访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

7.1.1 R0 寄存器（偏移 = 0h）[复位 = 0000h]

表 7-3 展示了 R0。

返回到汇总表。

表 7-3. R0 寄存器字段说明

位	字段	类型	复位	说明
15-2	未披露	R	0h	将该字段编程为 0x0。
1	POWERDOWN	R/W	0h	将器件设置为低功耗状态。其他寄存器的状态保持不变。
0	复位	R/W	0h	软复位。复位整个逻辑和寄存器（相当于上电复位）。下次写入寄存器时自行清除。

7.1.2 R1 寄存器（偏移 = 1h）[复位 = 000Ah]

表 7-4 展示了 R1。

返回到汇总表。

表 7-4. R1 寄存器字段说明

位	字段	类型	复位	说明
15-5	未披露	R/W	0h	将该字段编程为 0x0。
4	LD_DIS	R/W	0h	如果设置为 0x1，则禁用在倍频器模式下从 MUXOUT 引脚产生的锁定检测状态。 在连接多个器件并希望在倍频器模式下执行回读操作时，该位必须设置为 1。 0h = 锁定检测 1h = 回读
3	READBACK_CTRL	R/W	1h	将此字段设置为 0x1 以读回写入的寄存器值。将该字段设置为 0x0 可读回由器件内部状态机设置的值。
2-0	未披露	R/W	2h	将该字段编程为 0x2。

7.1.3 R2 寄存器（偏移 = 2h）[复位 = 00BFh]

表 7-5 展示了 R2。

返回到汇总表。

表 7-5. R2 寄存器字段说明

位	字段	类型	复位	说明
15-10	未披露	R	0h	将该字段编程为 0x0。
9	TEMPSENSE_EN	R/W	0h	温度传感器使能覆盖位
8	SYNC_EN	R/W	0h	启用分频器的同步路径，并允许启用时钟位置捕获电路。用于多器件同步。如果 SYSREF_EN = 0x1，则为冗余。
7	未披露	R/W	1h	将该字段编程为 0x1。
6	SYSREF_EN	R/W	0h	启用 SYSREF 子系统（当 SYSREFREQ_MODE = 0x0 时还启用 SYNC 子系统）。将该位设置为 0x0 会完全禁用所有 SYNC、SYSREF 和时钟位置捕获电路，从而覆盖除 SYNC_EN 之外的其他断电/使能位的状态。如果 SYNC_EN = 0x1，则无论 SYSREF_EN 的状态如何，SYNC 路径和时钟位置捕获电路仍处于启用状态。
5	未披露	R/W	1h	将该字段编程为 0x1。
4	LOGIC_EN	R/W	1h	启用 LOGICLK 子系统（LOGICLKOUT、LOGISYSREFOUT）。将该位设置为 0x0 会完全禁用所有 LOGICLKOUT 和 LOGISYSREFOUT 电路，从而覆盖其他断电/使能位的状态。
3	CH3_EN	R/W	1h	启用 CH3（CLKOUT3、SYSREFOUT3）。将该位设置为 0 将完全禁用 CH3，从而覆盖其他断电/使能位的状态。
2	CH2_EN	R/W	1h	启用 CH2（CLKOUT2、SYSREFOUT2）。将该位设置为 0 将完全禁用 CH2，从而覆盖其他断电/使能位的状态。
1	CH1_EN	R/W	1h	启用 CH1（CLKOUT1、SYSREFOUT1）。将该位设置为 0 将完全禁用 CH1，从而覆盖其他断电/使能位的状态。
0	CH0_EN	R/W	1h	启用 CH0（CLKOUT0、SYSREFOUT0）。将该位设置为 0 将完全禁用 CH0，从而覆盖其他断电/使能位的状态。

7.1.4 R3 寄存器（偏移 = 3h）[复位 = 0000h]

表 7-6 展示了 R3。

返回到汇总表。

表 7-6. R3 寄存器字段说明

位	字段	类型	复位	说明
15-7	未披露	R/W	0h	将该字段编程为 0x0。
6-0	CLKIN_DLY	R/W	0h	设置输入时钟处的延迟。延迟范围 - 60ps，步长 - 1.1ps

7.1.5 R4 寄存器（偏移 = 4h）[复位 = 000Dh]

表 7-7 展示了 R4。

返回到汇总表。

表 7-7. R4 寄存器字段说明

位	字段	类型	复位	说明
15-11	未披露	R/W	0h	将该字段编程为 0x0。
10-4	CLK0_DLY	R/W	0h	设置 CLKOUT0 输出时钟处的延迟。延迟范围 - 55ps，步长 - 0.9ps
3-1	CLK0_PWR	R/W	6h	设置 CLKOUT0 的输出功率。值越大，对应的输出功率就越高。

Copyright © 2026 Texas Instruments Incorporated

表 7-7. R4 寄存器字段说明（续）

位	字段	类型	复位	说明
0	CLK0_EN	R/W	1h	启用 CLKOUT0 输出缓冲器。

7.1.6 R5 寄存器（偏移 = 5h）[复位 = 000Dh]

表 7-8 展示了 R5。

返回到汇总表。

表 7-8. R5 寄存器字段说明

位	字段	类型	复位	说明
15-11	未披露	R/W	0h	将该字段编程为 0x0。
10-4	CLK1_DLY	R/W	0h	设置 CLKOUT1 输出时钟处的延迟。延迟范围 - 55ps，步长 - 0.9ps
3-1	CLK1_PWR	R/W	6h	设置 CLKOUT1 的输出功率。值越大，对应的输出功率就越高。
0	CLK1_EN	R/W	1h	启用 CLKOUT1 输出缓冲器。

7.1.7 R6 寄存器（偏移 = 6h）[复位 = 000Dh]

表 7-9 展示了 R6。

返回到汇总表。

表 7-9. R6 寄存器字段说明

位	字段	类型	复位	说明
15-11	未披露	R/W	0h	将该字段编程为 0x0。
10-4	CLK2_DLY	R/W	0h	设置 CLKOUT2 输出时钟处的延迟。延迟范围 - 55ps，步长 - 0.9ps
3-1	CLK2_PWR	R/W	6h	设置 CLKOUT2 的输出功率。值越大，对应的输出功率就越高。
0	CLK2_EN	R/W	1h	启用 CLKOUT2 输出缓冲器。

7.1.8 R7 寄存器（偏移 = 7h）[复位 = 000Dh]

表 7-10 展示了 R7。

返回到汇总表。

表 7-10. R7 寄存器字段说明

位	字段	类型	复位	说明
15-11	未披露	R/W	0h	将该字段编程为 0x0。
10-4	CLK3_DLY	R/W	0h	设置 CLKOUT3 输出时钟处的延迟。延迟范围 - 55ps，步长 - 0.9ps
3-1	CLK3_PWR	R/W	6h	设置 CLKOUT3 的输出功率。值越大，对应的输出功率就越高。
0	CLK3_EN	R/W	1h	启用 CLKOUT3 输出缓冲器。

7.1.9 R8 寄存器（偏移 = 8h）[复位 = 5CA9h]

表 7-11 展示了 R8。

返回到汇总表。

表 7-11. R8 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R/W	0h	将该字段编程为 0x0。
14	SYSREF0_PWR_LOW	R/W	1h	将 SYSREFOUT0 输出驱动器设置为低功耗。设置为值 0 可实现单端较高摆幅。
13	SYSREF0_AC	R/W	0h	启用 SYSREFOUT0 交流耦合模式。
12-10	未披露	R/W	7h	将该字段编程为 0x7。
9-4	SYSREF0_VCM	R/W	Ah	设置 SYSREFOUT0 的输出共模电压，步长为 25mV。 必须正确设置 SYSREF0_PWR，使最小和最大输出电压处于允许的范围内。
3-1	SYSREF0_PWR	R/W	4h	设置 SYSREFOUT0 的输出功率。值越大，对应的输出功率就越高。 必须正确设置 SYSREFOUT0_VCM，使输出共模电压处于允许的范围内。
0	SYSREF0_EN	R/W	1h	启用 SYSREFOUT0 输出缓冲器。

7.1.10 R9 寄存器（偏移 = 9h）[复位 = 5CA9h]

表 7-12 展示了 R9。

返回到汇总表。

表 7-12. R9 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R/W	0h	将该字段编程为 0x0。
14	SYSREF1_PWR_LOW	R/W	1h	将 SYSREFOUT1 输出驱动器设置为低功耗。设置为值 0 可实现单端较高摆幅。
13	SYSREF1_AC	R/W	0h	启用 SYSREFOUT1 交流耦合模式。
12-10	未披露	R/W	7h	将该字段编程为 0x7。
9-4	SYSREF1_VCM	R/W	Ah	设置 SYSREFOUT1 的输出共模电压，步长为 25mV。 必须正确设置 SYSREF1_PWR，使最小和最大输出电压处于允许的范围内。
3-1	SYSREF1_PWR	R/W	4h	设置 SYSREFOUT1 的输出功率。值越大，对应的输出功率就越高。 必须正确设置 SYSREFOUT1_VCM，使输出共模电压处于允许的范围内。
0	SYSREF1_EN	R/W	1h	启用 SYSREFOUT1 输出缓冲器。

7.1.11 R10 寄存器（偏移 = Ah）[复位 = 5CA9h]

表 7-13 展示了 R10。

返回到汇总表。

表 7-13. R10 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R/W	0h	将该字段编程为 0x0。
14	SYSREF2_PWR_LOW	R/W	1h	将 SYSREFOUT2 输出驱动器设置为低功耗。设置为值 0 可实现单端较高摆幅。
13	SYSREF2_AC	R/W	0h	启用 SYSREFOUT2 交流耦合模式。
12-10	未披露	R/W	7h	将该字段编程为 0x7。
9-4	SYSREF2_VCM	R/W	Ah	设置 SYSREFOUT2 的输出共模电压，步长为 25mV。 必须正确设置 SYSREF2_PWR，使最小和最大输出电压处于允许的范围内。

Copyright © 2026 Texas Instruments Incorporated

表 7-13. R10 寄存器字段说明（续）

位	字段	类型	复位	说明
3-1	SYSREF2_PWR	R/W	4h	设置 SYSREFOUT2 的输出功率。值越大，对应的输出功率就越高。必须正确设置 SYSREFOUT2_VCM，使输出共模电压处于允许的范围内。
0	SYSREF2_EN	R/W	1h	启用 SYSREFOUT2 输出缓冲器。

7.1.12 R11 寄存器（偏移 = Bh）[复位 = 5CA9h]

表 7-14 展示了 R11。

返回到汇总表。

表 7-14. R11 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R/W	0h	将该字段编程为 0x0。
14	SYSREF3_PWR_LOW	R/W	1h	将 SYSREFOUT3 输出驱动器设置为低功耗。设置为值 0 可实现单端较高摆幅。
13	SYSREF3_AC	R/W	0h	启用 SYSREFOUT3 交流耦合模式。
12-10	未披露	R/W	7h	将该字段编程为 0x7。
9-4	SYSREF3_VCM	R/W	Ah	设置 SYSREFOUT3 的输出共模电压，步长为 25mV。 必须正确设置 SYSREF3_PWR，使最小和最大输出电压处于允许的范围内。
3-1	SYSREF3_PWR	R/W	4h	设置 SYSREFOUT3 的输出功率。值越大，对应的输出功率就越高。必须正确设置 SYSREFOUT3_VCM，使输出共模电压处于允许的范围内。
0	SYSREF3_EN	R/W	1h	启用 SYSREFOUT3 输出缓冲器。

7.1.13 R12 寄存器（偏移 = Ch）[复位 = 002Bh]

表 7-15 展示了 R12。

返回到汇总表。

表 7-15. R12 寄存器字段说明

位	字段	类型	复位	说明
15-13	未披露	R/W	0h	将该字段编程为 0x0。
12-11	LOGICLK_FMT	R/W	0h	选择 LOGICLKOUT 输出的输出驱动器格式。 0h = LVDS 1h = 保留 2h = CML 3h = 保留
10-9	未披露	R/W	0h	将该字段编程为 0x0。
8-4	LOGICLK_VCM	R/W	2h	设置 LOGICLKOUT 在 LVDS 输出格式下的输出共模电压。 必须正确设置 LOGICLK_PWR，使最小和最大输出电压处于允许的范围内。
3-1	LOGICLK_PWR	R/W	5h	设置 LOGICLKOUT 的输出功率。 值越大，对应的输出功率就越高。
0	LOGICLK_EN	R/W	1h	启用逻辑时钟输出缓冲器。

7.1.14 R13 寄存器（偏移 = Dh）[复位 = 002Bh]

表 7-16 展示了 R13。

返回到汇总表。

表 7-16. R13 寄存器字段说明

位	字段	类型	复位	说明
15-13	未披露	R/W	0h	将该字段编程为 0x0。
12-11	LOGISYSREF_FMT	R/W	0h	选择 LOGISYSREFOUT 输出的输出驱动器格式。 0h = LVDS 1h = 保留 2h = CML 3h = 保留
10-9	未披露	R/W	0h	将该字段编程为 0x0。
8-4	LOGISYSREF_VCM	R/W	2h	设置 LOGISYSREFOUT 在 LVDS 输出格式下的输出共模电压。 必须正确设置 LOGISYSREF_PWR，使最小和最大输出电压处于允许的范围内。
3-1	LOGISYSREF_PWR	R/W	5h	设置 LOGISYSREFOUT 的输出功率。 值越大，对应的输出功率就越高。
0	LOGISYSREF_EN	R/W	1h	启用逻辑 SYSREF 输出缓冲器。

7.1.15 R14 寄存器（偏移 = Eh）[复位 = 0084h]

表 7-17 展示了 R14。

返回到汇总表。

表 7-17. R14 寄存器字段说明

位	字段	类型	复位	说明
15	LOGICLK_DIV_RST	R/W	0h	逻辑时钟分频器的手动复位。
14-13	未披露	R/W	0h	将该字段编程为 0x0。
12-3	LOGICLK_DIV	R/W	10h	设置 LOGICLK 分频器值。由 LOGICLK_DIV_PRE 提供的最大输入频率必须 ≤ 3200MHz。最大 LOGICLKOUT 频率必须 ≤ 800MHz，以避免振幅衰减。 0h = 保留 1h = 保留 2h = /2 3h = /3 3FFh = /1023
2-0	LOGICLK_DIV_PRE	R/W	4h	设置逻辑时钟分频器的预分频器值。预分频器的输出 必须 ≤ 3.2GHz。除下列值以外的 值均保留。 1h = /1 2h = /2 4h = /4

7.1.16 R15 寄存器（偏移 = Fh）[复位 = 0002h]

表 7-18 展示了 R15。

返回到汇总表。

表 7-18. R15 寄存器字段说明

位	字段	类型	复位	说明
15-3	未披露	R/W	0h	将该字段编程为 0x0。

Copyright © 2026 Texas Instruments Incorporated

表 7-18. R15 寄存器字段说明（续）

位	字段	类型	复位	说明
2-1	LOGICLK2_DIV	R/W	1h	设置 LOGICLKOUT1 逻辑时钟的分频器值。
0	LOGICLK2_EN	R/W	0h	启用 LOGICLKOUT1 0h = LOGISYSREFOUT 1h = LOGICLKOUT1

7.1.17 R16 寄存器（偏移 = 10h）[复位 = 0030h]

表 7-19 展示了 R16。

返回到汇总表。

表 7-19. R16 寄存器字段说明

位	字段	类型	复位	说明
15-8	未披露	R	0h	将该字段编程为 0x0。
7-6	SYSREF_DLY_SCALE	R/W	0h	设置 SYSREFOUT 延迟发生器的频率范围。根据相位内插器频率进行设置。 0h = 400MHz 至 800MHz 1h = 200MHz 至 400MHz 2h = 150MHz 至 200MHz 3h = 保留
5-4	SYSREFREQ_DLY_STEP	R/W	3h	设置 SYSREFREQ 路径中使用的延迟元件的步长，用于 SYSREFREQ 输入延迟和时钟位置捕获。每个步长的推荐频率范围创建了给定 CLKIN 频率的最大可用步长数。这些范围包括一些重叠，以考虑工艺和温度变化。如果 CLKIN 频率被重叠范围覆盖，则较大的延迟步长会提高在时钟位置捕获期间检测到 CLKIN 上升沿的可能性。但是，值越大，包含的延迟步长就越多，因此相对于较小的步长，较大的步长在 PVT 上的总延迟变化更大。 0h = 28ps（1.4GHz 至 2.7GHz） 1h = 15ps（2.4GHz 至 4.7GHz） 2h = 11ps（3.1GHz 至 5.7GHz） 3h = 8ps（4.5GHz 至 12.8GHz）
3-2	SYSREFREQ_VCM_OFFSET	R/W	0h	设置 SYSREFREQ P 与 N 处的电压偏移 0h = 25mV 1h = 50mV 2h = 100mV 3h = 150mV
1-0	SYSREFREQ_VCM	R/W	0h	设置 SYSREFREQ 输入引脚共模电压 0h = 零偏移（交流耦合） 1h = 引脚 P 偏置为高于引脚 N（交流耦合） 2h = 引脚 N 高于引脚 P（交流耦合） 3h = 无偏置（直流耦合）

7.1.18 R17 寄存器（偏移 = 11h）[复位 = 0005h]

表 7-20 展示了 R17。

返回到汇总表。

表 7-20. R17 寄存器字段说明

位	字段	类型	复位	说明
15-12	未披露	R	0h	将该字段编程为 0x0。
11-8	未披露	R/W	0h	将该字段编程为 0x0。

表 7-20. R17 寄存器字段说明（续）

位	字段	类型	复位	说明
7-6	SYSREFREQ_INPUT	R/W	0h	设置 SYSREFREQ 块的功能 0h = SYSREFREQ 引脚 1h = 强制低电平 2h = 保留 3h = 强制高电平
5	SYSWND_UPDATE_STOP	R/W	0h	将位设置为高电平后停止窗口化。
4	SYNC_STOP	R/W	0h	将位设置为高电平后停止复位生成。
3	SYSWND_LATCH	R/W	0h	设置在 SYNC 输入的第一个上升沿进行 SYSREF 窗口化
2	SYSREFREQ_CLR	R/W	1h	复位 SYSREFREQ 信号的同步路径时序。在除 SYSREF 中继器模式之外的所有模式下，将该位保持为高电平可将内部 SYSREFREQ 信号保持为低电平，从而覆盖 SYSREFREQ_INPUT[0] 的状态。在执行 SYNC 或时钟位置捕获操作之前，必须设置和清除该位一次。
1-0	SYSREFREQ_MODE	R/W	1h	设置 SYSREFREQ 输入模式功能 0h = SYNC 1h = SYSREFREQ 2h = SYSREF 窗口化 3h = 保留

7.1.19 R18 寄存器（偏移 = 12h）[复位 = 0000h]

表 7-21 展示了 R18。

返回到汇总表。

表 7-21. R18 寄存器字段说明

位	字段	类型	复位	说明
15-6	未披露	R	0h	将该字段编程为 0x0。
5-0	SYSREFREQ_DLY	R/W	0h	设置外部 SYSREFREQ 信号的延迟线路步长。每个延迟线路步长都会造成一定的 SYSREFREQ 信号延迟，延迟量等于 SYSREFREQ_DLY x SYSREFREQ_DLY_STEP。在 SYNC 模式下，可以根据 rb_CLKPOS 值来确定该字段的值，从而满足 SYNC 信号相对于 CLKIN 信号的内部设置时间和保持时间要求。在 SYSREF 中继器模式下，该字段的值可用作粗略全局延迟。大于 0x3F 的值无效。由于较大的值包含更多的延迟步长，因此与较小的值相比，较大的值在整个 PVT 中的总步长变化更大。有关延迟步长计算过程的详细说明，请参阅数据表或器件 TICS Pro 配置文件。

7.1.20 R19 寄存器（偏移 = 13h）[复位 = 0004h]

表 7-22 展示了 R19。

返回到汇总表。

表 7-22. R19 寄存器字段说明

位	字段	类型	复位	说明
15-7	未披露	R	0h	将该字段编程为 0x0。
6	SYSREF_DLY_BYP	R/W	0h	设置 SYSREF 延迟旁路

Copyright © 2026 Texas Instruments Incorporated

表 7-22. R19 寄存器字段说明（续）

位	字段	类型	复位	说明
5-2	SYSREF_PULSE_CNT	R/W	1h	对在脉冲发生器模式下生成的脉冲数进行编程。脉冲发生器是对 SYSREF 分频器进行门控的计数器；因此，脉冲持续时间和频率分别等于 SYSREF 分频器输出的占空比和频率。 0h = 保留 1h = 1 个脉冲 2h = 2 个脉冲 Fh = 15 个脉冲
1-0	SYSREF_MODE	R/W	0h	控制 SYSREF 信号的生成方式，也受 SYSREF_DLY_BYP 字段的影响。连续模式可生成源自 SYSREF 分频器和延迟的连续 SYSREF 时钟。在脉冲发生器模式下，SYSREFREQ 引脚上的脉冲会导致为 SYSREF 输出生成特定数量（由 SYSREF_PULSE_CNT 确定）的脉冲。在中继器模式下，SYSREFREQ 引脚上的脉冲在 SYSREF 输出端生成单个脉冲，并且只添加通过该器件的传播延迟。 0h = 连续 1h = 脉冲发生器 2h = 中继器 3h = 中继器重定时

7.1.21 R20 寄存器（偏移 = 14h）[复位 = 8082h]

表 7-23 展示了 R20。

返回到汇总表。

表 7-23. R20 寄存器字段说明

位	字段	类型	复位	说明
15-14	SYSREF_DLY_DIV	R/W	2h	设置延迟发生器时钟分频，确定 fINTERPOLATOR 和延迟发生器分辨率。 0h = /2 (≤ 1.6GHz) 1h = /4（1.6GHz 至 3.2GHz） 2h = /8（3.2GHz 至 6.4GHz） 4h = /16（6.4GHz 至 12.8GHz）
13-2	SYSREF_DIV	R/W	20h	设置 SYSREF 分频器。由 SYSREF_DIV_PRE 提供的最大输入频率必须 ≤ 3200MHz。最大输出频率必须 ≤ 100MHz。仅当绕过延迟发生器时，才允许奇数分频（占空比 < 50%）。 0h = 保留 1h = 保留 2h = /2 3h = /3 FFFh = /4095
1-0	SYSREF_DIV_PRE	R/W	2h	设置 SYSREF 预分频器。最大输出频率必须 ≤ 3.2GHz。 0h = /1 1h = /2 2h = /4 3h = 保留

7.1.22 R21 寄存器（偏移 = 15h）[复位 = 01FCh]

表 7-24 展示了 R21。

返回到汇总表。

表 7-24. R21 寄存器字段说明

位	字段	类型	复位	说明
15-9	未披露	R/W	0h	将该字段编程为 0x0。

表 7-24. R21 寄存器字段说明（续）

位	字段	类型	复位	说明
8-2	SYSREF0_DLY	R/W	7Fh	设置 SYSREFOUT0 延迟发生器的延迟步长。在每个象限中，延迟有 127 个步长。
1-0	SYSREF0_DLY_PHASE	R/W	0h	设置用于 SYSREFOUT0 延迟发生器重定时器的内插器时钟的正交相位。 0h = ICLK' 1h = QCLK' 2h = ICLK 3h = QCLK

7.1.23 R22 寄存器（偏移 = 16h）[复位 = 01FCh]

表 7-25 展示了 R22。

返回到汇总表。

表 7-25. R22 寄存器字段说明

位	字段	类型	复位	说明
15-9	未披露	R/W	0h	将该字段编程为 0x0。
8-2	SYSREF1_DLY	R/W	7Fh	设置 SYSREFOUT1 延迟发生器的延迟步长。在每个象限中，延迟有 127 个步长。
1-0	SYSREF1_DLY_PHASE	R/W	0h	设置用于 SYSREFOUT1 延迟发生器重定时器的内插器时钟的正交相位。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK

7.1.24 R23 寄存器（偏移 = 17h）[复位 = 01FCh]

表 7-26 展示了 R23。

返回到汇总表。

表 7-26. R23 寄存器字段说明

位	字段	类型	复位	说明
15-9	未披露	R/W	0h	将该字段编程为 0x0。
8-2	SYSREF2_DLY	R/W	7Fh	设置 SYSREFOUT2 延迟发生器的延迟步长。在每个象限中，延迟有 127 个步长。
1-0	SYSREF2_DLY_PHASE	R/W	0h	设置用于 SYSREFOUT2 延迟发生器重定时器的内插器时钟的正交相位。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK

7.1.25 R24 寄存器（偏移 = 18h）[复位 = 01FCh]

表 7-27 展示了 R24。

返回到汇总表。

表 7-27. R24 寄存器字段说明

位	字段	类型	复位	说明
15-9	未披露	R/W	0h	将该字段编程为 0x0。

Copyright © 2026 Texas Instruments Incorporated

表 7-27. R24 寄存器字段说明（续）

位	字段	类型	复位	说明
8-2	SYSREF3_DLY	R/W	7Fh	设置 SYSREFOUT3 延迟发生器的延迟步长。在每个象限中，延迟有 127 个步长。
1-0	SYSREF3_DLY_PHASE	R/W	0h	设置用于 SYSREFOUT3 延迟发生器重定时器的内插器时钟的正交相位。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK

7.1.26 R25 寄存器（偏移 = 19h）[复位 = 01FCh]

表 7-28 展示了 R25。

返回到汇总表。

表 7-28. R25 寄存器字段说明

位	字段	类型	复位	说明
15-9	未披露	R/W	0h	将该字段编程为 0x0。
8-2	LOGISYSREF_DLY	R/W	7Fh	设置 LOGISYSREF 延迟发生器的延迟步长。在每个象限中，延迟有 127 个步长。
1-0	LOGISYSREF_DLY_PHASE	R/W	0h	设置用于 LOGISYSREFOUT 延迟发生器重定时器的内插器时钟的正交相位。 0h = ICLK' 1h = QCLK' 2h = QCLK 3h = ICLK

7.1.27 R26 寄存器（偏移 = 1Ah）[复位 = 00D1h]

表 7-29 展示了 R26。

返回到汇总表。

表 7-29. R26 寄存器字段说明

位	字段	类型	复位	说明
15-8	未披露	R/W	0h	将该字段编程为 0x0。
7-5	SMCLK_DIV	R/W	6h	设置状态机时钟分频器。进一步对状态机时钟预分频器的输出进行分频。由 SMCLK_DIV_PRE 提供的输入频率必须 ≤ 1600MHz。输出频率必须 ≤ 30MHz。分频值为 2^{SMCLK_DIV}。 0h = /1 1h = /2 2h = /4 3h = /8 4h = /16 5h = /32 6h = /64 7h = /128
4-1	SMCLK_DIV_PRE	R/W	8h	状态机时钟预分频器（一个热分频器）。状态机时钟从输入时钟分频。预分频器的输出必须 ≤1600MHz。除所列值以外的值均保留。 2h = /2 4h = /4 8h = /8

表 7-29. R26 寄存器字段说明（续）

位	字段	类型	复位	说明
0	SMCLK_EN	R/W	1h	启用状态机时钟发生器。仅在用于校准倍频器和执行倍频器锁定检测（包括在 MUXOUT 引脚上检测）时需启用。如果未使用倍频器，或者未使用倍频器锁定检测特性，则可禁用状态机时钟发生器，以更大限度减少串扰。

7.1.28 R27 寄存器（偏移 = 1Bh）[复位 = 3609h]

表 7-30 展示了 R27。

返回到汇总表。

表 7-30. R27 寄存器字段说明

位	字段	类型	复位	说明
15-12	未披露	R/W	3h	将该字段编程为 0x3。
11	MULT_HIPFD_EN	R/W	0h	在倍频器模式下高于 4.2GHz 频率时，要优化电流，则将该位与 R0 一同从低电平切换至高电平。要在没有 R0 的情况下将该位设置为高电平，则将电流增加 20mA。
10	未披露	R/W	1h	将该字段编程为 0x1。
9	FCAL_EN	R/W	1h	启用频率校准。在该位为高电平时写入此寄存器会触发倍频器频率校准。如果未使用倍频器，则设置为 0。
8-7	未披露	R/W	0h	将该字段编程为 0x0。
6	CLK_DIV_RST	R/W	0h	复位主时钟分频器。如果在运行过程中更改了时钟分频器值，则在设置新分频器值后将该位设置为高电平，然后再设置为低电平。当 SYSREFREQ_MODE = 0x0 且 SYNC_EN = 0x1 时将器件与 SYSREFREQ 引脚同步也会复位主时钟分频器。该位在分频器模式之外无效。
5-3	CLK_DIV	R/W	1h	CLK_DIV 和 CLK_MULT 是同一字段的别名。 当 CLK_MUX=1（缓冲器模式）时，将忽略该字段。 当 CLK_MUX = 2（分频器模式）时，时钟分频器为 CLK_DIV + 1。CLK_DIV 的有效范围为 1 至 7。将其设置为 0 将禁用主时钟分频器并恢复到缓冲器模式。 当 CLK_MUX = 3（倍频器模式）时，倍频器值为 CLK_MULT。有效范围为 1 至 7。
2-0	CLK_MUX	R/W	1h	选择主时钟输出的功能 0h = 保留 1h = 缓冲器 2h = 分频器 3h = 倍频器

7.1.29 R29 寄存器（偏移 = 1Dh）[复位 = 0000h]

表 7-31 展示了 R29。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 7-31. R29 寄存器字段说明

位	字段	类型	复位	说明
15-0	rb_CLKPOS[31:16]	R	0h	存储 CLKIN 信号上升沿位置相对于 SYSREFREQ 上升沿的快照，该快照从 LSB 开始并在 MSB 结束。每个位都代表 CLKIN 信号的一个样片，由 SYSREFREQ_DLY_STEP 字段确定的延迟隔开。 rb_CLKPOS 的第一位和最后一位始终保持置位状态，指示捕获窗口边界条件下的不确定性。CLKIN 上升沿由从 LSB 到 MSB 的两个设置位的每个序列表示，包括边界条件下的位。快照中 CLKIN 上升沿的位置以及 CLKIN 信号周期和延迟步长可用于计算 SYSREFREQ_DLY_STEP 的值，从而更大限度地延长 SYSREFREQ 引脚上 SYNC 信号的设置时间和保持时间。

7.1.30 R30 寄存器（偏移 = 1Eh）[复位 = 0000h]

表 7-32 展示了 R30。

返回到汇总表。

表 7-32. R30 寄存器字段说明

位	字段	类型	复位	说明
15-0	rb_CLKPOS	R	0h	rb_CLKPOS 字段的 LSB。

7.1.31 R31 寄存器（偏移 = 1Fh）[复位 = 0000h]

表 7-33 展示了 R31。

返回到汇总表。

表 7-33. R31 寄存器字段说明

位	字段	类型	复位	说明
15-14	未披露	R	0h	将该字段编程为 0x0。
13-11	未披露	R	0h	将该字段编程为 0x0。
10-0	rb_TEMPSENSE	R	0h	片上温度传感器的回读值。

7.1.32 R32 寄存器（偏移 = 20h）[复位 = 0000h]

表 7-34 展示了 R32。

返回到汇总表。

表 7-34. R32 寄存器字段说明

位	字段	类型	复位	说明
15-0	rb_VER_ID	R	0h	版本 ID。

7.1.33 R36 寄存器（偏移 = 24h）[复位 = 84A3h]

表 7-35 展示了 R36。

返回到汇总表。

表 7-35. R36 寄存器字段说明

位	字段	类型	复位	说明
15-10	未披露	R/W	21h	将该字段编程为 0x42。
9-8	未披露	R/W	0h	将该字段编程为 0x3。

表 7-35. R36 寄存器字段说明（续）

位	字段	类型	复位	说明
7-6	未披露	R/W	2h	将该字段编程为 0x0。
5-0	未披露	R/W	23h	将该字段编程为 0x16。

7.1.34 R37 寄存器（偏移 = 25h）[复位 = 0000h]

表 7-36 展示了 R37。

返回到汇总表。

表 7-36. R37 寄存器字段说明

位	字段	类型	复位	说明
15	未披露	R	0h	将该字段编程为 0x0。
14-1	未披露	R	0h	将该字段编程为 0x0。
0	rb_LOCK_DETECT	R	0h	在倍频器模式下读回锁定检测状态 0h = 未锁定 1h = 锁定检测

7.1.35 R39 寄存器（偏移 = 27h）[复位 = 78E1h]

表 7-37 展示了 R39。

返回到汇总表。

表 7-37. R39 寄存器字段说明

位	字段	类型	复位	说明
15-12	未披露	R/W	7h	将该字段编程为 0x7。
11-9	未披露	R/W	4h	将该字段编程为 0x4。
8-4	未披露	R/W	Eh	将该字段编程为 0x16。
3-0	未披露	R/W	1h	将该字段编程为 0x1。

7.1.36 R40 寄存器（偏移 = 28h）[复位 = 78E1h]

表 7-38 展示了 R40。

返回到汇总表。

表 7-38. R40 寄存器字段说明

位	字段	类型	复位	说明
15-12	未披露	R/W	7h	将该字段编程为 0x7。
11-9	未披露	R/W	4h	将该字段编程为 0x4。
8-4	未披露	R/W	Eh	将该字段编程为 0x16。
3-0	未披露	R/W	1h	将该字段编程为 0x3。

7.1.37 R41 寄存器（偏移 = 29h）[复位 = 78F3h]

表 7-39 展示了 R41。

返回到汇总表。

Copyright © 2026 Texas Instruments Incorporated

表 7-39. R41 寄存器字段说明

位	字段	类型	复位	说明
15-12	未披露	R/W	7h	将该字段编程为 0x7。
11-9	未披露	R/W	4h	将该字段编程为 0x2。
8-4	未披露	R/W	Fh	将该字段编程为 0x14。
3-0	未披露	R/W	3h	将该字段编程为 0x1。

7.1.38 R42 寄存器（偏移 = 2Ah）[复位 = 76F3h]

表 7-40 展示了 R42。

返回到汇总表。

表 7-40. R42 寄存器字段说明

位	字段	类型	复位	说明
15-12	未披露	R/W	7h	将该字段编程为 0x7。
11-9	未披露	R/W	3h	将该字段编程为 0x3。
8-4	未披露	R/W	Fh	将该字段编程为 0x14。
3-0	未披露	R/W	3h	将该字段编程为 0x1。

7.1.39 R43 寄存器（偏移 = 2Bh）[复位 = 7707h]

表 7-41 展示了 R43。

返回到汇总表。

表 7-41. R43 寄存器字段说明

位	字段	类型	复位	说明
15-12	未披露	R/W	7h	将该字段编程为 0x7。
11-9	未披露	R/W	3h	将该字段编程为 0x3。
8-4	未披露	R/W	10h	将该字段编程为 0x14。
3-0	未披露	R/W	7h	将该字段编程为 0x1。

7.1.40 R44 寄存器（偏移 = 2Ch）[复位 = 7707h]

表 7-42 展示了 R44。

返回到汇总表。

表 7-42. R44 寄存器字段说明

位	字段	类型	复位	说明
15-12	未披露	R/W	7h	将该字段编程为 0x7。
11-9	未披露	R/W	3h	将该字段编程为 0x2。
8-4	未披露	R/W	10h	将该字段编程为 0x16。
3-0	未披露	R/W	7h	将该字段编程为 0x1。

7.1.41 R45 寄存器（偏移 = 2Dh）[复位 = 2ABFh]

表 7-43 展示了 R45。

返回到汇总表。

表 7-43. R45 寄存器字段说明

位	字段	类型	复位	说明
15-12	未披露	R/W	2h	将该字段编程为 0x2。
11-10	未披露	R/W	2h	将该字段编程为 0x3。
9-8	未披露	R/W	2h	将该字段编程为 0x3。
7-6	未披露	R/W	2h	将该字段编程为 0x3。
5-4	未披露	R/W	3h	将该字段编程为 0x3。
3-2	未披露	R/W	3h	将该字段编程为 0x3。
1-0	未披露	R/W	3h	将该字段编程为 0x3。

7.1.42 R54 寄存器（偏移 = 36h）[复位 = 0000h]

表 7-44 展示了 R54。

返回到汇总表。

表 7-44. R54 寄存器字段说明

位	字段	类型	复位	说明
15-14	未披露	R	0h	将该字段编程为 0x0。
13-4	未披露	R/W	0h	将该字段编程为 0x0。
3-2	未披露	R/W	0h	将该字段编程为 0x3。
1-0	未披露	R/W	0h	将该字段编程为 0x2。

7.1.43 R55 寄存器（偏移 = 37h）[复位 = 0000h]

表 7-45 展示了 R55。

返回到汇总表。

表 7-45. R55 寄存器字段说明

位	字段	类型	复位	说明
15-6	未披露	R/W	0h	将该字段编程为 0x0。
5-0	DEV_IOPT_CTRL	R/W	0h	在所有模式下（也包括断电模式），将该字段设置为 0x6。 在倍频器模式下，进行校准前将该字段设置为 0x6，校准后再将该字段更改为 0x1

7.1.44 R77 寄存器（偏移 = 4Dh）[复位 = 0000h]

表 7-46 展示了 R77。

返回到汇总表。

表 7-46. R77 寄存器字段说明

位	字段	类型	复位	说明
15-2	未披露	R/W	0h	将该字段编程为 0x0。
1-0	未披露	R/W	0h	将该字段编程为 0x2。

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 参考

8.1.1 典型应用

对于此应用，我们探讨了将 LMX1205-EP 用作缓冲器添加到 LMX2694-EP 6.4GHz 输出时钟所产生的附加噪声影响。为了将两个 EVM 连接在一起，这种特定设置使用了单端时钟来驱动 LMX1205-EP，但通常建议以差分方式驱动该设置。

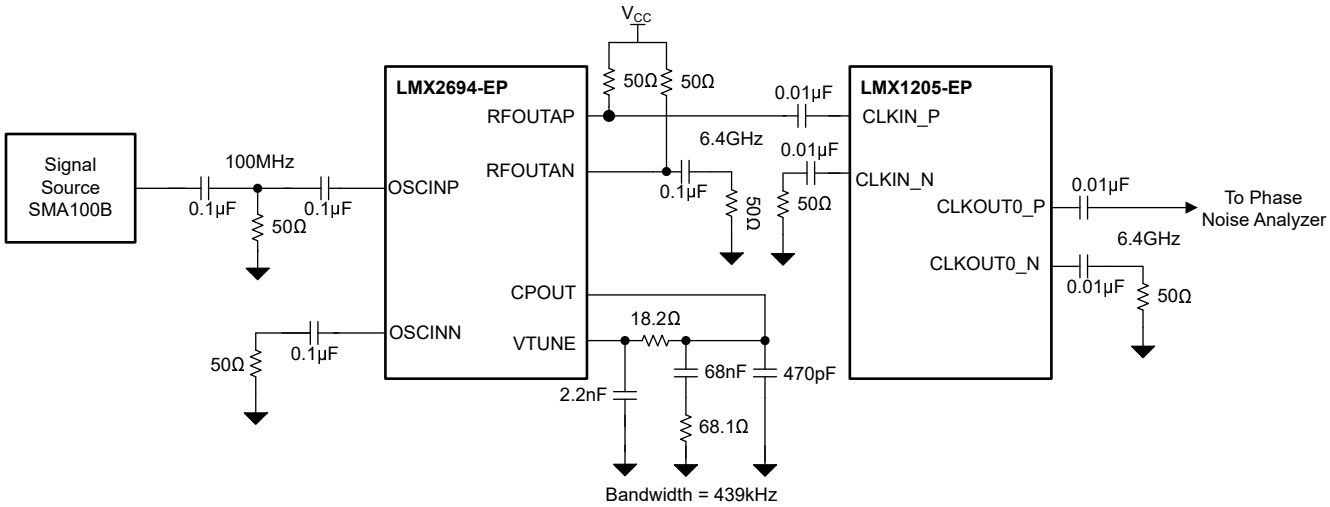


图 8-1. 典型应用原理图

8.1.1.1 设计要求

表 8-1 展示了本示例的设计参数。

如果不会用到所有输出，TI 建议压缩布局，以尽可能缩短布线长度，特别是输入布线长度。

表 8-1. 设计参数

参数	值
LMX2694-EP 输入频率	100MHz
LMX2694-EP 输出频率	6.4GHz
LMX1205-EP 输入时钟频率	6.4GHz
LMX1205-EP 输出时钟频率	6.4GHz
LMX1205-EP	缓冲器模式

8.1.1.2 详细设计过程

在本例中，6.4GHz 输入时钟经过缓冲处理后输出。外部元件不会因内部配置而发生太大变化。TICS Pro 软件在计算必要的寄存器值和配置器件方面非常有用。

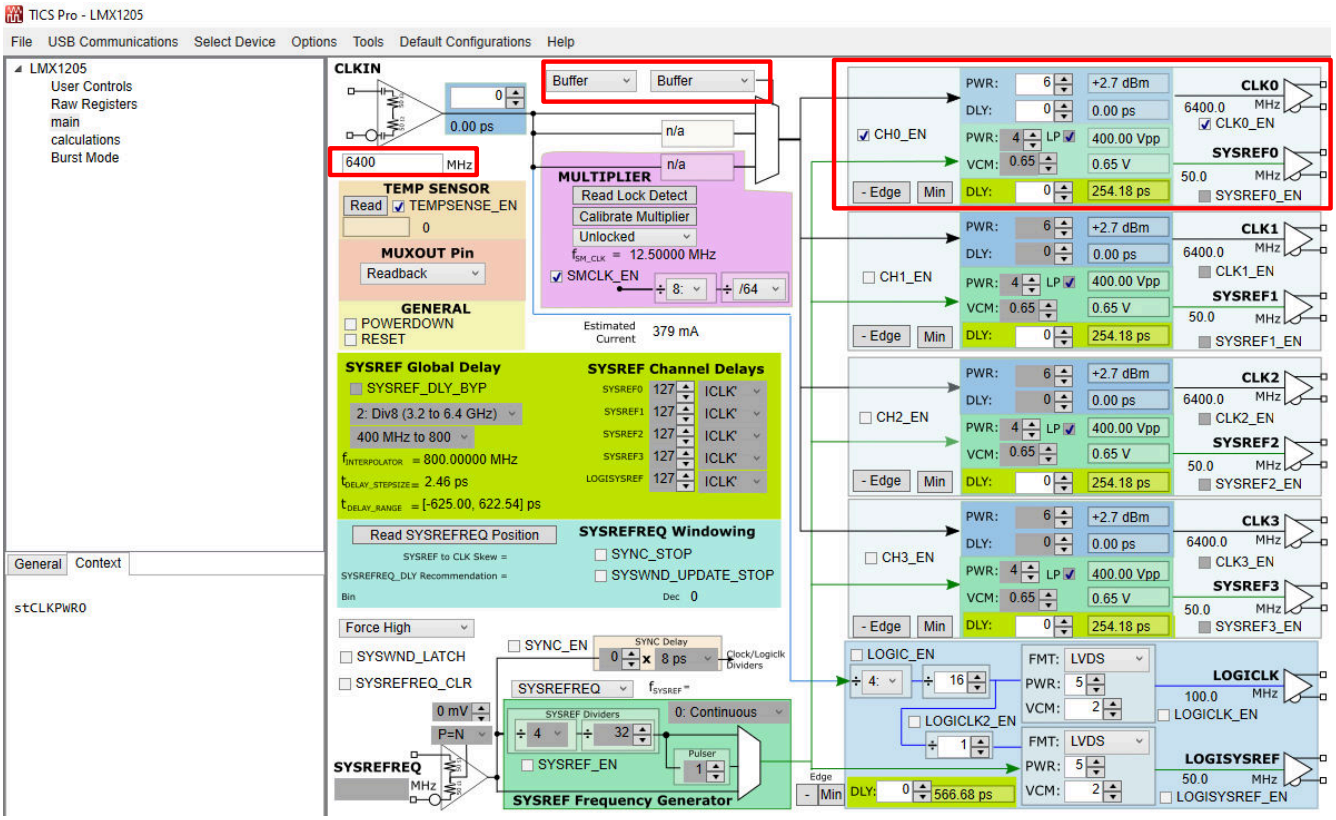


图 8-2. LMX1205-EP TICS Pro 设置

8.1.1.3 应用曲线图

下图是 LMX1205-EP 缓冲器模式噪声和 LMX2694-EP 6.4GHz 输出噪声之和。 LMX1205-EP 的噪声曲线与 LMX2694-EP 相同。

Copyright © 2026 Texas Instruments Incorporated

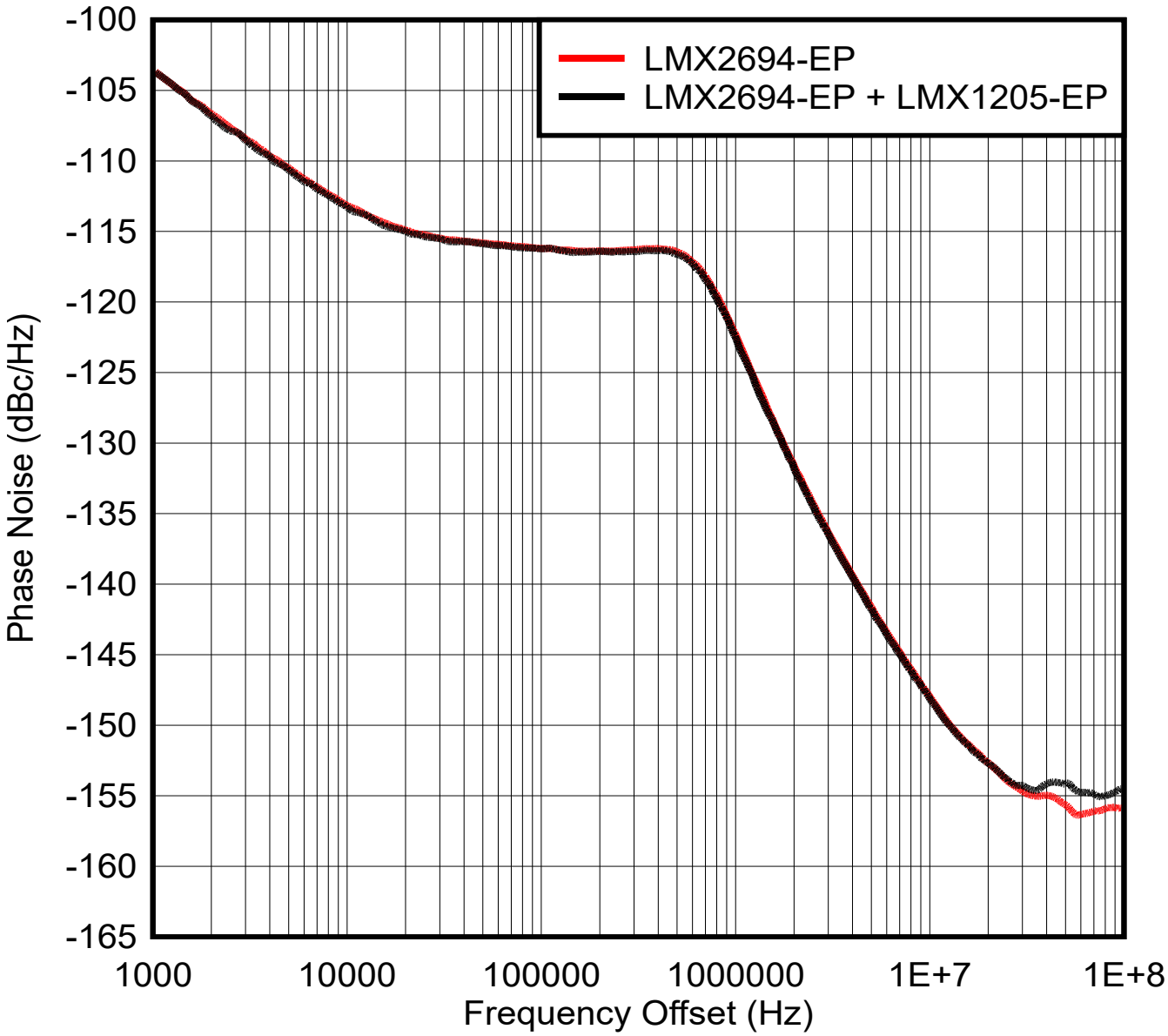


图 8-3. LMX1205-EP 缓冲器模式输出

8.2 电源相关建议

该器件整体使用 2.5V 电源。直接连接到开关电源可能会在输出端产生不必要的杂散。可以在所有电源引脚上单独实现旁路。TI 建议将频率更高且具有最小阻抗的较小电容器与器件放置在同一层上，并尽可能靠近引脚。器件中几乎所有信号的频率都是 100MHz 或更高，因此，具有低频最小阻抗的较大值旁路电容器仅用于稳定内部 LDO，其与器件的距离（以及旁路路径的环路电感）可以更大。如果同时使用时钟和 LOGICLK，则用一个小电阻或铁氧体磁珠隔离时钟和 LOGICLK 的电源引脚。有关每个引脚的其他建议，请参阅 *引脚配置和功能* 部分。

备注

该器件具有较低工作电压，并采用 LDO 进行内部滤波，因此 PSRR 非常小。请务必将该器件连接到没有过多杂散噪声的低噪声电源。

8.3 布局

8.3.1 布局指南

- 如果使用单端输出，则用端接互补侧，以便互补侧的阻抗与所用侧相似。
- 封装外围的 GND 引脚在封装上的布线可以接回 DAP。
- 尽可能缩短 CLKIN 布线长度以获得合适的相位噪声。匹配不佳会降低本底噪声。
- 确保器件上的 DAP 通过多个通孔良好接地。
- 使用低损耗介电材料，例如 Rogers 4350B，以获得出色输出功率。
- 请注意，如果所有输出和 SYSREF 均在运行，则电流消耗可能会很高，以至于超过 125°C 的建议内部结温；此时可能需要散热器。

Copyright © 2026 Texas Instruments Incorporated

8.3.2 布局示例

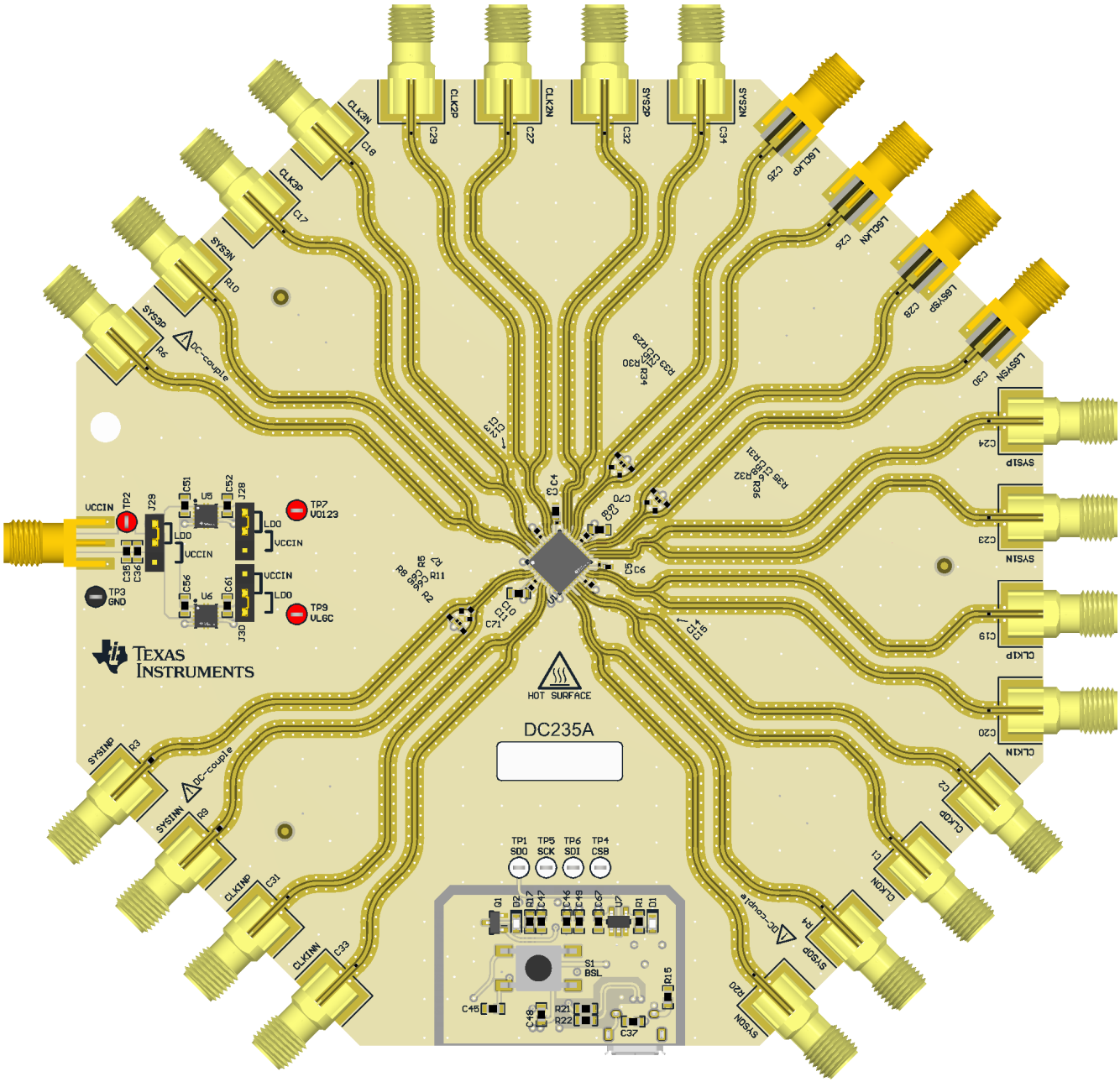


图 8-4. 布局示例

9 器件和文档支持

9.1 器件支持

TI 提供大量的开发工具和软件来模拟器件性能并对器件进行编程。

表 9-1. 开发工具和软件

工具	类型	说明
PLLatinum™ Sim	软件	模拟所有模式下的相位噪声

表 9-1. 开发工具和软件（续）

工具	类型	说明
TICS Pro	软件	使用具有交互式反馈和十六进制寄存器导出功能的用户友好型 GUI 对器件进行编程。

9.2 文档支持

9.2.1 相关文档

德州仪器 (TI)，*LMX1205 评估模块*，EVM 用户指南

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

PLLatinum™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2025	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

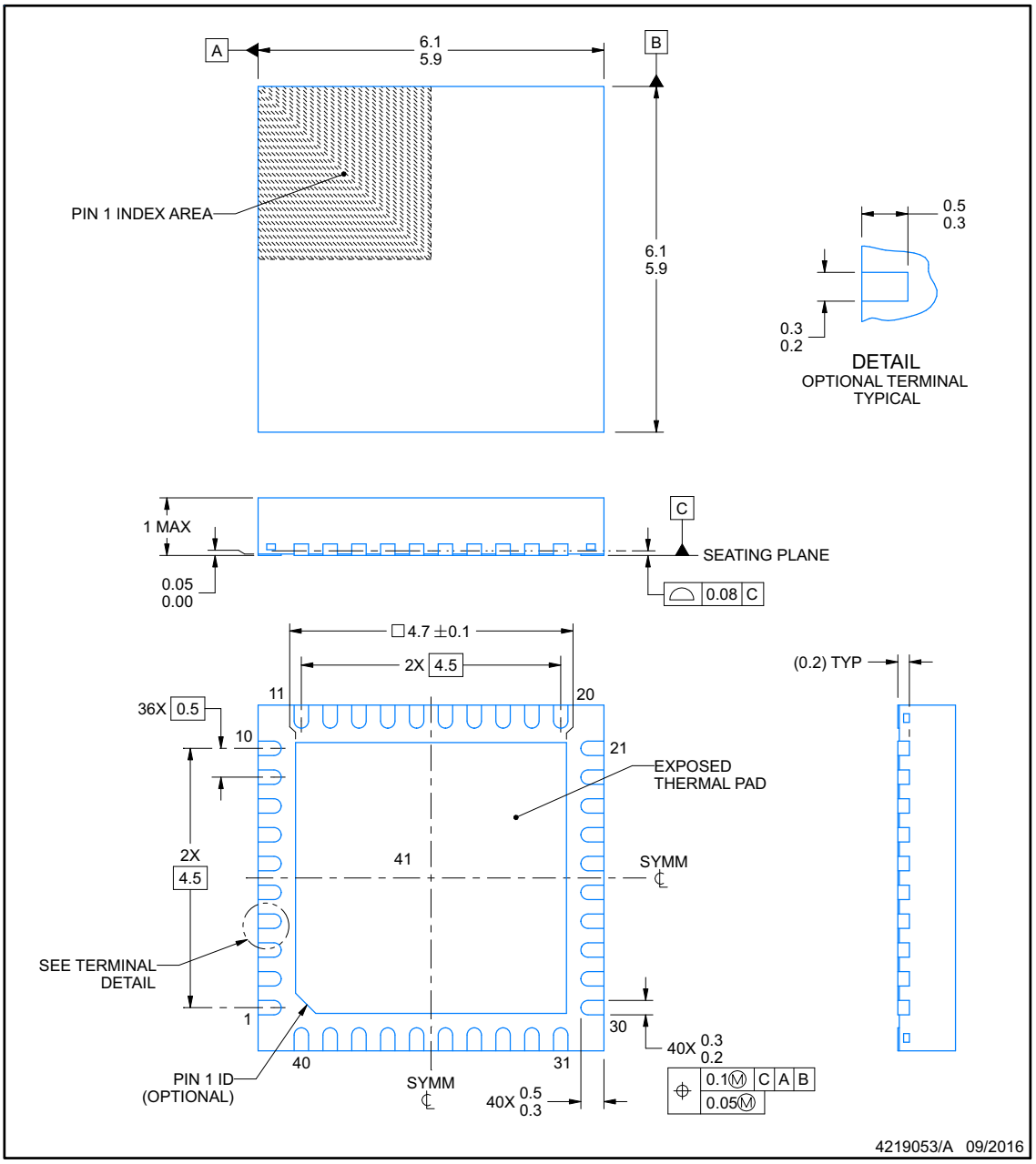
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

RHA0040C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

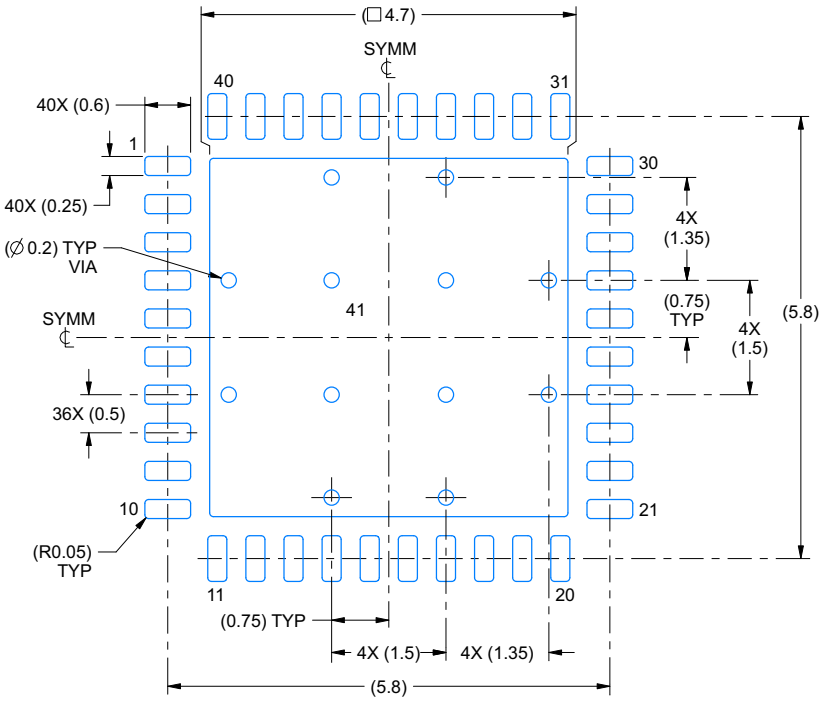
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

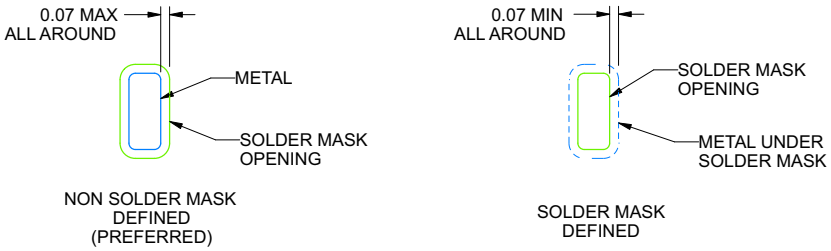
RHA0040C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:12X



SOLDER MASK DETAILS

4219053/A 09/2016

NOTES: (continued)

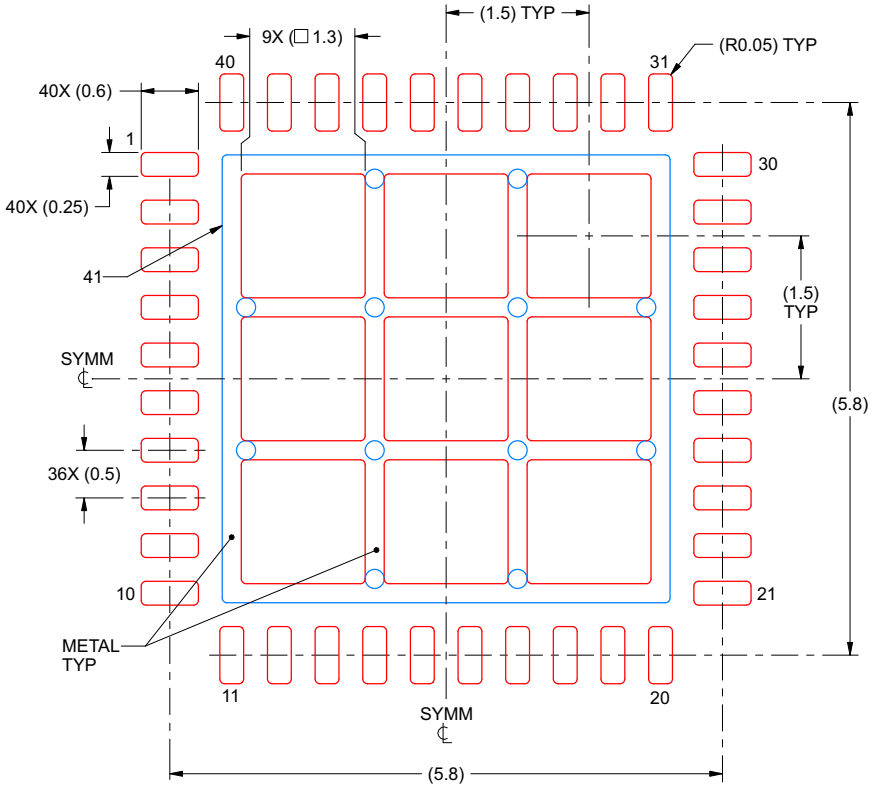
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RHA0040C **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 41:
69% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

4219053/A 09/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMX1205SRHAREP	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-	LMX1205 EP
LMX1205SRHATEP	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-	LMX1205 EP
V62/25648-01XE	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	-	NIPDAUAG	Level-3-260C-168 HR	See LMX1205SRHAREP	LMX1205 EP
V62/25648-01XE-T	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	-	NIPDAUAG	Level-3-260C-168 HR	See LMX1205SRHATEP	LMX1205 EP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMX1205-EP :

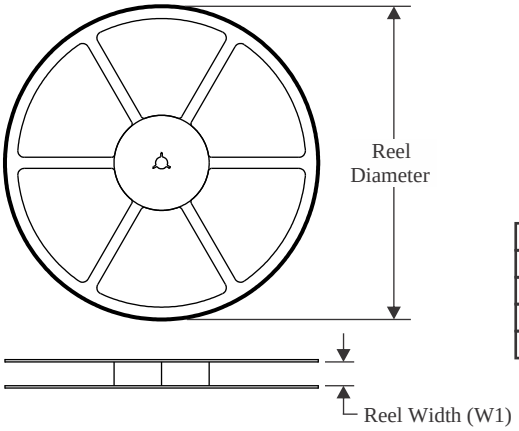
- Catalog : LMX1205

NOTE: Qualified Version Definitions:

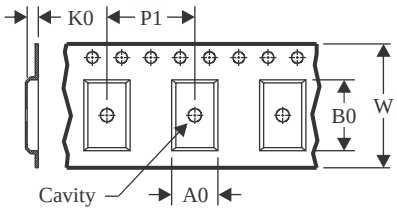
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

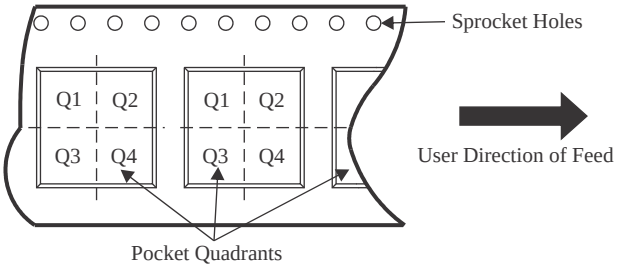


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

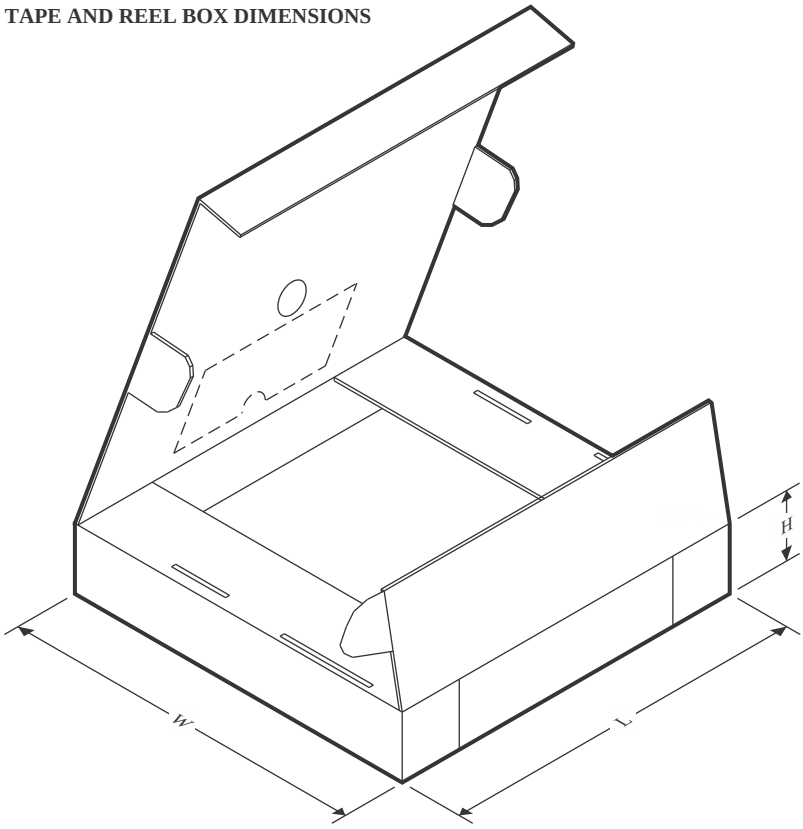
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMX1205SRHAREP	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
LMX1205SRHATEP	VQFN	RHA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMX1205SRHAREP	VQFN	RHA	40	2500	367.0	367.0	38.0
LMX1205SRHATEP	VQFN	RHA	40	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

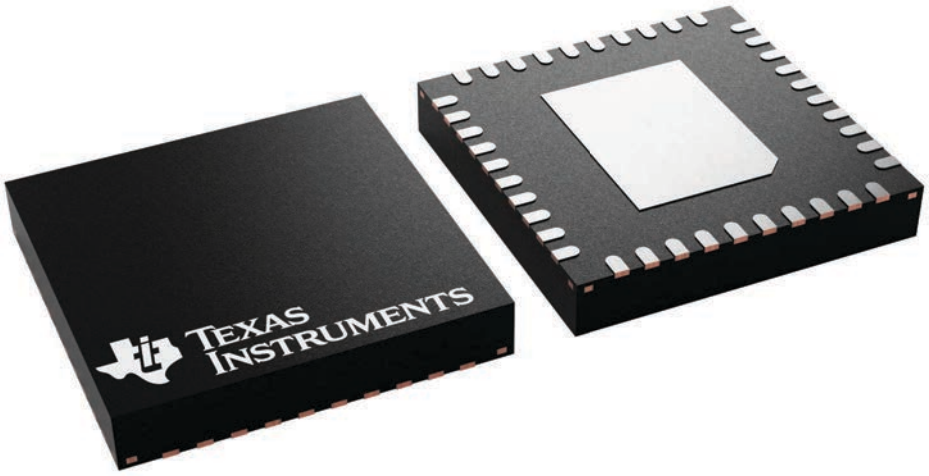
RHA 40

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



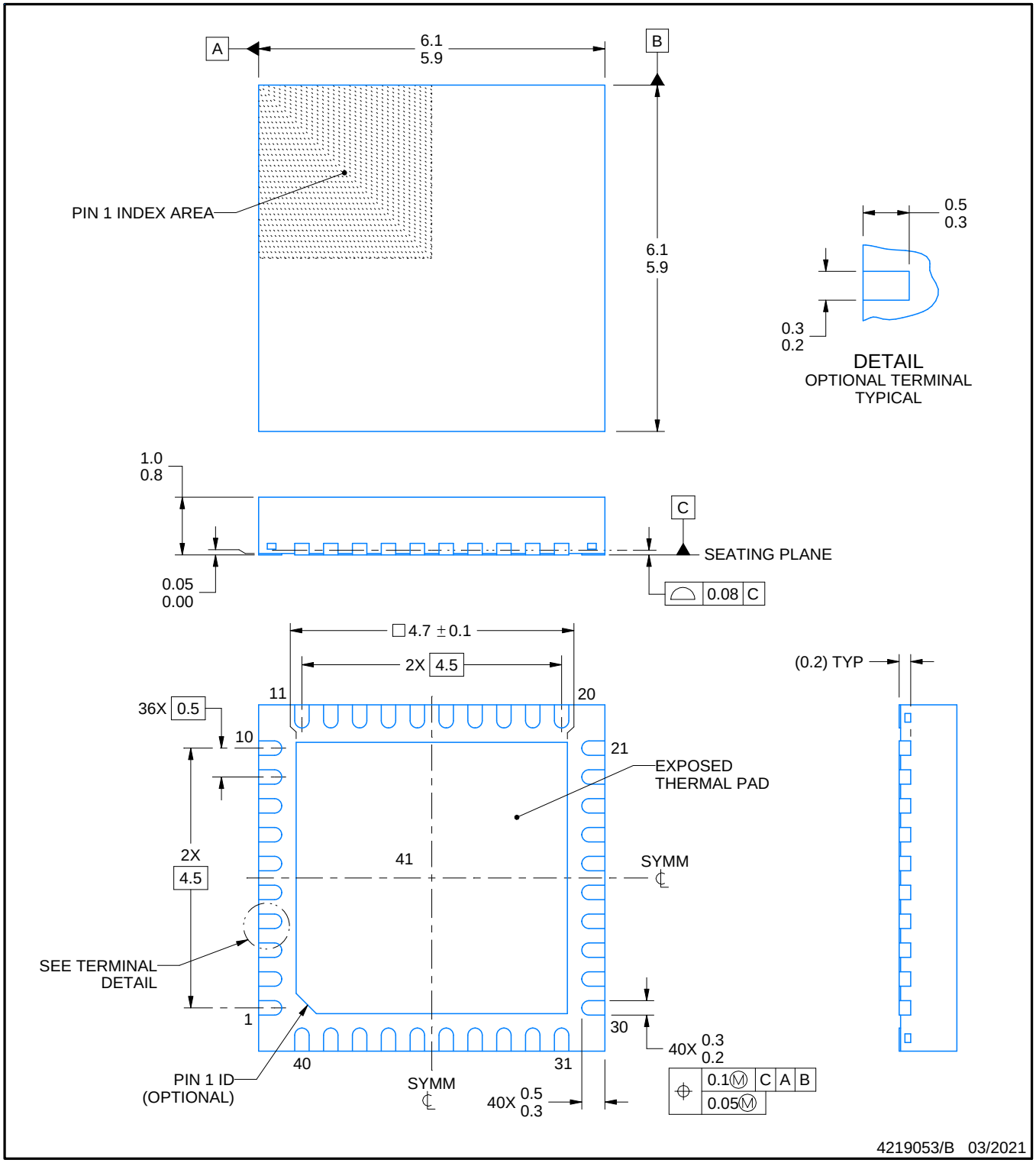
4225870/A

RHA0040C

PACKAGE OUTLINE

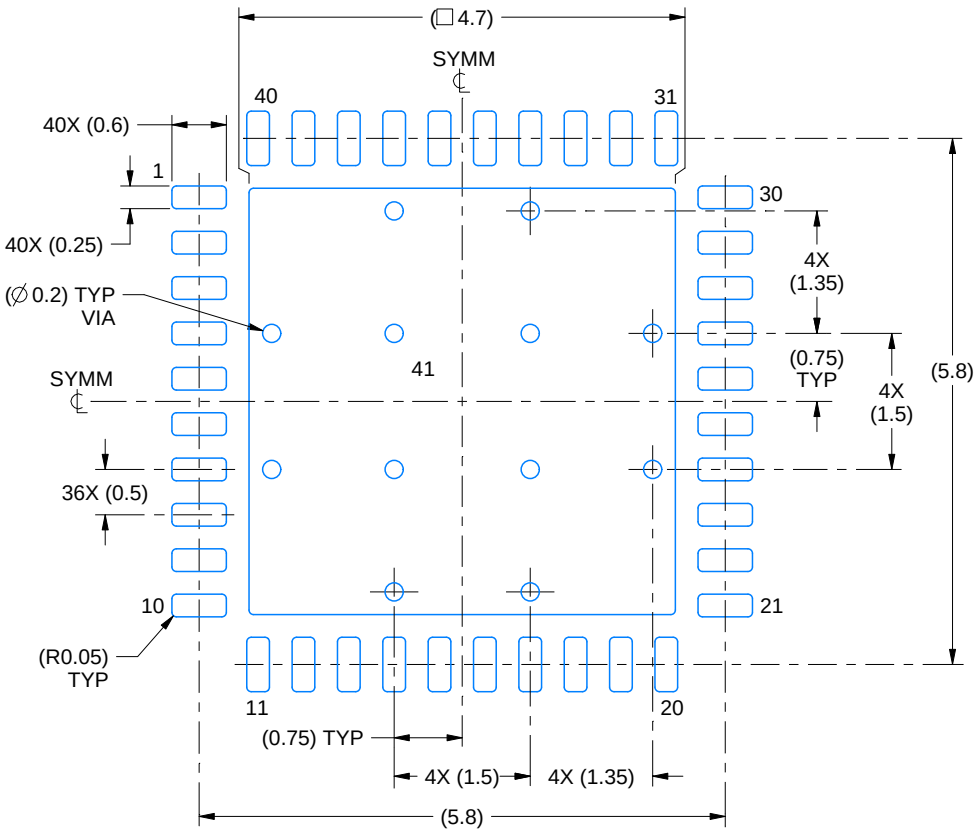
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

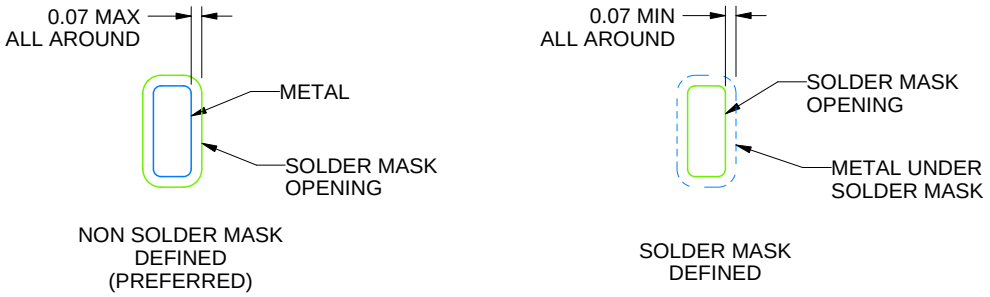


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:12X

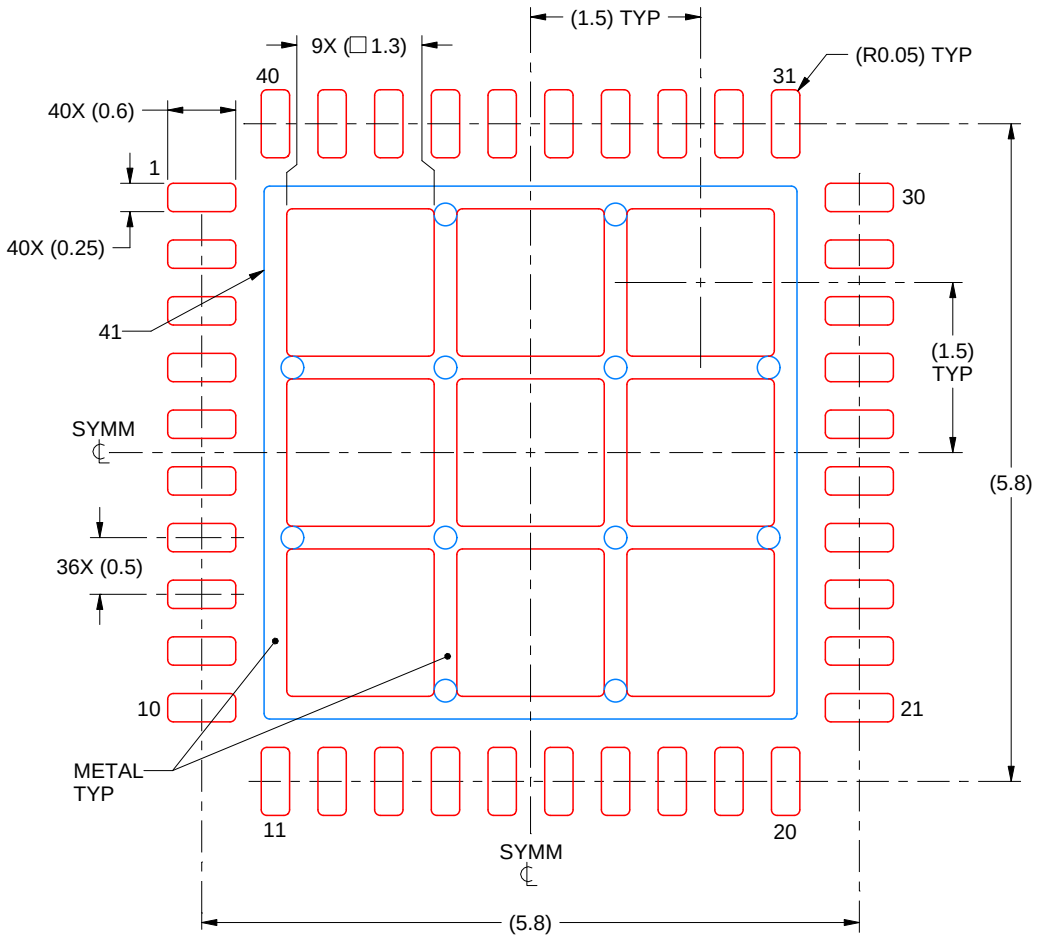


SOLDER MASK DETAILS

4219053/B 03/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 41:
69% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

4219053/B 03/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月