LMX1204 低噪声、高频率 JESD 缓冲器/倍频器/分频器

1 特性

- 300MHz 至 12.8GHz 输出频率
- 超低噪声
  - 6GHz 输出的本底噪声为 –161dBc/Hz
  - 6GHz 输出、10kHz 偏移时的 1/f 噪声为 –154dBc/Hz
  - 5fs 抖动（12kHz 至 20MHz）
  - <30fs 附加抖动（DC 到 f_{CLK}）
- 4 个具有相应 SYSREF 输出的高频时钟
  - 支持 ÷1（缓冲器模式）、÷2、3、4、5、6、7 和 8 的共享分频器
  - 支持 x1（滤波器模式）、x2、x3 和 x4 的基于 PLL 的共享倍频器
- LOGICLK 和相应的 SYSREF 输出
  - 基于单独的分频组
  - ÷1、2、4 预分频器
  - ÷1（旁路）、2、…、1023 后分频器
- 8 个可编程输出功率级别
- 同步的 SYSREF 时钟输出
  - 在 12.8GHz 下，508 次延迟步长调整，每次小于 2.5ps
  - 发生器和中继器模式
  - SYSREFREQ 引脚的窗口化特性，以优化计时
- 针对所有分频和倍频器件的 SYNC 特性
- 2.5V 工作电压
- –40ºC 至 85ºC 工作温度

2 应用

- 测试 & 测量
  - 示波器
  - 无线设备测试仪
  - 宽带数字转换器
- 航天 & 国防
  - 雷达
  - 电子战
  - 导引头前端
  - 军需品
  - 相控阵天线/波束形成
- 通用：
  - 数据转换器时钟
  - 时钟缓冲器分配/分频

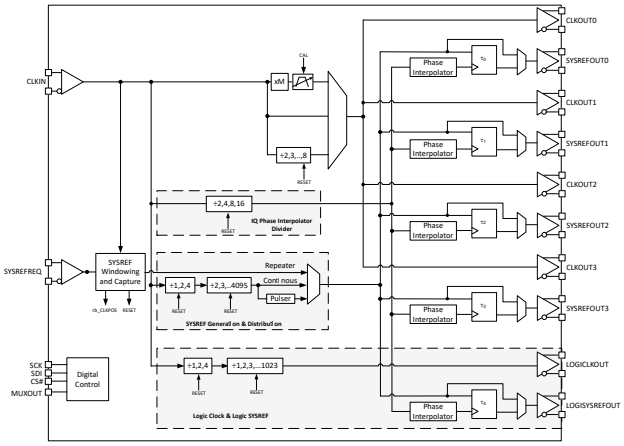
3 说明

该器件具有高频功能和极低的抖动，可在不降低信噪比的情况下，很好地解决时钟精度、高频数据转换器的问题。4 个高频时钟输出中的每一个输出以及具有更大分频器范围的附加 LOGICLK 输出都与 SYSREF 输出时钟信号配对。JESD 接口的 SYSREF 信号可以在内部生成，也可以作为输入传入，并重新计时为器件时钟。对于数据转换器时钟应用，务必使时钟的抖动小于数据转换器的孔径抖动。在需要对 4 个以上数据转换器进行时钟控制的应用中，可以使用多个器件开发各种级联架构，以分配所需的所有高频时钟和 SYSREF 信号。凭借其低抖动和低本底噪声，该器件可与超低噪声基准时钟源相结合，是时钟控制型数据转换器的典型设计，尤其是以高于 3GHz 的频率采样时。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMX1204	RHA（VQFN，40）	6.00mm × 6.00mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....5
5.4 热性能信息.....5
5.5 电气特性.....6
5.6 时序要求.....8
5.7 时序图.....8
5.8 典型特性.....9
6 详细说明.....15
6.1 概述.....15
6.2 功能方框图.....16
6.3 特性说明.....17
6.4 器件功能模式.....30
7 寄存器映射.....31
7.1 LMX1204 寄存器.....33
8 应用和实施.....56
8.1 应用信息.....56
8.2 典型应用.....60
8.3 电源相关建议.....62
8.4 布局.....62
9 器件和文档支持.....64
9.1 器件支持.....64
9.2 文档支持.....64
9.3 接收文档更新通知.....64
9.4 支持资源.....64
9.5 商标.....64
9.6 静电放电警告.....64
9.7 术语表.....64
10 修订历史记录.....65
11 机械、封装和可订购信息.....65

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

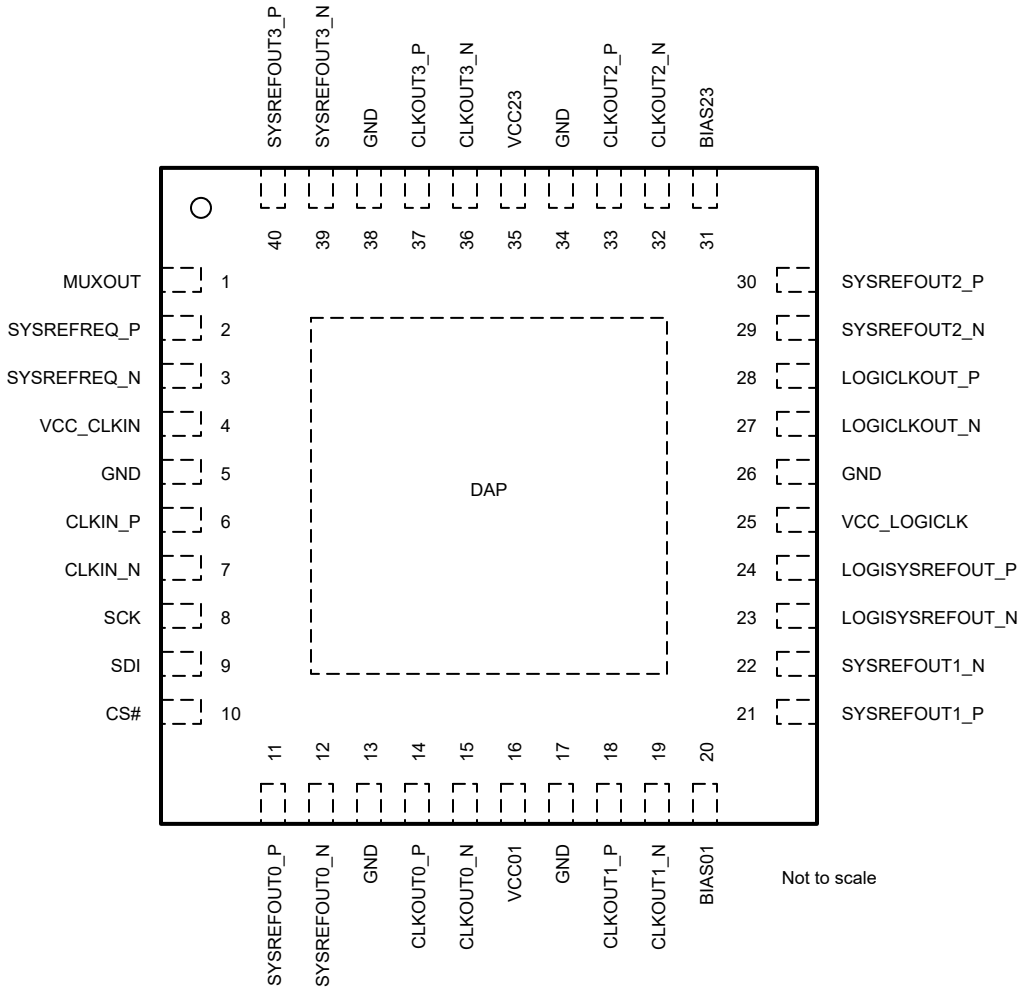


图 4-1. RHA 封装 40 引脚 VQFN 顶视图

表 4-1. 引脚功能

名称	编号	类型[(1)]	说明
BIAS01	20	BYP	如果不使用倍频器，可将该引脚保持断开状态。如果使用倍频器，则使用 10nF 电容器将该引脚旁路至 GND，以实现出色的噪声性能。
BIAS23	31	BYP	如果不使用倍频器，可将该引脚保持断开状态。如果使用倍频器，则使用 10μF 和 0.1μF 电容器将该引脚旁路至 GND，以实现出色的噪声性能。
CLKIN_N	7	I	差分基准输入时钟。内部 50Ω 端接。使用与输入频率相适应的电容器（通常为 0.1μF 或更小）进行交流耦合。如果使用单端，则使用串联交流耦合电容器 50Ω 电阻将未使用的一侧端接至 GND。
CLKIN_P	6		
CLKOUT0_N	15	O	差分时钟输出对。每个引脚都是一个集电极开路输出，内部集成了 50Ω 电阻，输出摆幅可编程。需要交流耦合。
CLKOUT0_P	14		
CLKOUT1_N	19		
CLKOUT1_P	18		
CLKOUT2_N	32		
CLKOUT2_P	33		
CLKOUT3_N	36		
CLKOUT3_P	37		
CS#	10	I	SPI 芯片选择。高阻抗 CMOS 输入。接受高达 3.3V。
DAP	DAP	GND	将这些引脚接地。
GND	5、13、17、26、34、38		
LOGICLKOUT_N	27	O	差分时钟输出对。可选 CML、LVDS 或 LVPECL 格式。可编程共模电压。
LOGICLKOUT_P	28		
LOGISYSREFOUT_N	23	O	差分时钟输出对。可选 CML、LVDS 或 LVPECL 格式。可编程共模电压。
LOGISYSREFOUT_P	24		
MUXOUT	1	O	多路复用引脚串行数据回读和倍频器的锁定状态。
SCK	8	I	SPI 时钟。高阻抗 CMOS 输入。接受高达 3.3V。
SDI	9	I	SPI 数据输入。高阻抗 CMOS 输入。接受高达 3.3V。
SYSREFREQ_N	3	I	用于支持 JESD204B 的差分 SYSREF 请求输入。内部 50Ω 交流耦合到内部共模电压或电容器连接到 GND。支持交流和直流耦合，可直接接受 1.2V 至 2V 的共模电压。
SYSREFREQ_P	2		
SYSREFOUT0_N	12	O	用于支持 JESD204B 的差分 SYSREF CML 输出对。支持交流和直流耦合，可编程共模电压为 0.6V 至 2V。
SYSREFOUT0_P	11		
SYSREFOUT1_N	22		
SYSREFOUT1_P	21		
SYSREFOUT2_N	29		
SYSREFOUT2_P	30		
SYSREFOUT3_N	39		
SYSREFOUT3_P	40		
VCC_CLKIN	4	PWR	连接到 2.5V 电源。建议在引脚附近安装一个并联高频电容器（通常为 0.1μF 或更小），在较远处与较大的电容器（通常为 1μF 和 10μF）并联。
VCC_LOGICLK	25		
VCC01	16		
VCC23	35		

(1) I = 输入，O = 输出，GND = 接地，PWR = 电源，BYP = 绕过

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
V_{DD}	电源电压	-0.3	2.75	V
V_{IN}	直流输入电压（SCK、SDI、CSB）	GND	3.6	V
V_{IN}	直流输入电压 (SYSREFREQ)	GND	V_{DD} + 0.3	V
V_{IN}	交流输入电压 (CLKIN)		V_{DD}	Vpp
T_J	结温		150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚[(1)]	±2500	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚[(2)]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{DD}	电源电压	2.4	2.5	2.6	V
T_A	环境温度	-40		85	°C
T_J	结温			125	°C

5.4 热性能信息

符号	热性能指标[(1)]	值 RHA (VQFN) 40 引脚	单位
$R_{\theta JA}$	结至环境热阻	24.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	13.0	°C/W
$R_{\theta JB}$	结至电路板热阻	6.9	°C/W
Ψ_{JT}	结至顶部特征参数	0.1	°C/W
Ψ_{JB}	结至电路板特征参数	6.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

5.5 电气特性

参数		测试条件		最小值	典型值	最大值	单位
电流消耗							
I_{CC}	电源电流[1]	已上电，所有输出和 SYSREF 均开启			1050		mA
		已上电，所有输出均开启，所有 SYSREF 均关闭			600		
		已上电，所有输出和 SYSREF 均关闭			265		
		已断电[2]			11		
SYSREF							
f_{SYSREF}	SYSREF 输出频率	发生器模式				200	MHz
		中继器模式				100	MHz
Δt	SYSREF 延迟步长	f_{CLKIN} = 12.8GHz			3		ps
t_{RISE}	上升时间（20% 至 80%）	SYSREFOUT			45		ps
		LOGISYSREFOUT	CML		120		ps
			LVDS		120		ps
			LVPECL		230		ps
t_{FALL}	下降时间（20% 至 80%）	SYSREFOUT			45		ps
		LOGISYSREFOUT	CML		120		ps
			LVDS		120		ps
			LVPECL		170		ps
V_{OD}	差分输出电压	SYSREFOUT			0.85		Vpp
		LOGISYSREFOUT	CML		0.4		Vp
			LVDS		0.4		Vp
			LVPECL		0.8		Vp
$V_{SYSREFCM}$	共模电压	SYSREFOUT	CML SYSREFOUTx_PWR = 4 100Ω 差分负载		0.8		V
SYSREFREQ 引脚							
$V_{SYSREFIN}$	电压输入范围	交流差分电压		0.8		2	Vpp
V_{CM}	输入共模	差分 100Ω 端接，直流耦合 在外部设置		1.2	1.3	2	V
时钟输入							
f_{IN}	输入频率			0.3		12.8	GHz
P_{IN}	输入功率	CLKIN_P 或 CLKIN_N 处的单端电源		0		10	dBm
时钟输出							
f_{OUT}	输出频率	2 分频		0.15		6.4	GHz
f_{OUT}	输出频率	缓冲器模式		0.3		12.8	
f_{OUT}	输出频率	x1（滤波器模式）、x2、x3、x4		3.2		6.4	
f_{OUT}	输出频率	LOGICLK 输出		1		800	MHz
t_{CAL}	校准时间	倍频器校准时间	f_{IN} = 3.2GHz；x2 f_{SMCLK} = 28MHz		750		μs
p_{OUT}	输出功率	单端	$f_{CLKLOUT}$ = 6GHz OUTx_PWR = 7		4		dBm
t_{RISE}	上升时间（20% 至 80%）	f_{CLKOUT} = 300MHz			45		ps
t_{FALL}	下降时间（20% 至 80%）	f_{CLKOUT} = 300MHz			45		ps
传播延迟和偏斜							
$\lvert t_{SKEW} \rvert$	输出间的偏斜幅度	CLKOUTx 至 CLKOUTy，而非 LOGICLK			1	15	ps

Copyright © 2024 Texas Instruments Incorporated

参数		测试条件		最小值	典型值	最大值	单位
噪声、抖动和杂散							
J_{CKx}	附加抖动	附加抖动。 12kHz 至 100MHz 积分带宽。	缓冲器模式		5		fs、rms
			滤波器模式		12		
			x2 倍频器		16		
			x3 倍频器		21		
			x4 倍频器		26		
闪烁	1/f 闪烁噪声	压摆率 > 8V/ns，f_{CLK} = 6GHz	缓冲器模式		-154		dBc/Hz
NF	本底噪声	f_{OUT} = 6GHz；f_{Offset} ≥ 100MHz	缓冲器模式		-161		dBc/Hz
NF			2 分频		-160.5		
NF			倍频器（x1、x2、x3、x4）		-161.5		
NFL	本底噪声	LOGICLK 输出，300MHz	CML		-150.5		dBc/Hz
NFL			LVDS		-151.5		
NFL			LVPECL		-153.5		
H2	二次谐波	f_{OUT} = 6GHz（差分），缓冲器模式			-25		dBc
		f_{OUT} = 6GHz（单端），缓冲器模式			-13		
		f_{OUT} = 6GHz，单端，2 分频			-16		
H1/2	输入时钟泄漏杂散	f_{OUT} = 6GHz（单端）	x2 (f_{SPUR} = 3GHz)		-40		dBc
H1/3			x3 (f_{SPUR} = 2GHz)		-50		
H1/4			x4 (f_{SPUR} = 1.5GHz)		-54		dBc
I_{SPUR}	LOGICLK 至 CLKOUT	f_{SPUR} = 300MHz（差分）			-70		dBc
数字接口（SCK、SDI、CS#、MUXOUT）							
V_{IH}	高电平输入电压	SCK、SDI、CS#		1.4		3.3	V
V_{IL}	低电平输入电压			0		0.4	
V_{OH}	高电平输出电压	I_{OH} = 5mA		1.4		Vcc	
		I_{OH} = 0.1mA		2.2		Vcc	
V_{OL}	低电平输出电压	I_{OL} = 5mA				0.45	
I_{IH}	高电平输入电流			-42		42	uA
I_{IL}	低电平输入电流			-25		25	

(1) 除非另有说明，否则 f_{CLKIN}=6GHz，CLK_MUX=缓冲器，所有时钟均开启且 OUTx_PWR=7、SYSREFREQ_MODE=1
(2) 对于断电模式，如果 LOGISYSREFOUT 字段设置为 LVPECL 模式并且放置了 LVPECL 电阻器，则此断电电流将增加至大约 40mA。

5.6 时序要求

			最小值	标称值	最大值	单位
时序要求						
f_{SPI}	SPI 读取/写入速度				2	MHz
t_{CE}	时钟到使能低电平时间		20			ns
t_{CS}	时钟到数据等待时间		20			ns
t_{CH}	时钟到数据保持时间		20			ns
t_{CWH}	时钟脉冲宽度高电平		100			ns
t_{CWL}	时钟脉冲宽度低电平		100			ns
t_{CES}	使能到时钟设置时间		20			ns
t_{EWH}	使能脉冲宽度高电平		50			ns
t_{CD}	时钟下降沿到数据等待时间		100			ns

5.7 时序图

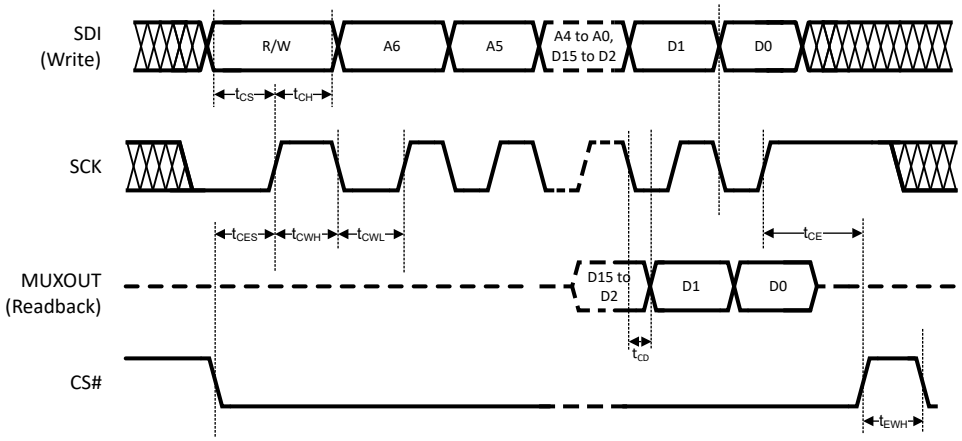


图 5-1. 串行数据输入时序图

在 SPI 上写入时，还有其他几个注意事项：

- R/W 位必须设置为 0。
- SDI 引脚上的数据在 SCK 引脚的每个上升沿被时钟输入到移位寄存器中。
- CS# 必须保持低电平，才能对数据进行时钟输入。如果 CS# 保持高电平，器件将忽略时钟脉冲。
- 该器件的建议 SPI 设置为 CPOL=0 和 CPHA=0。
- 如果在器件之间共享 SCK 和 SDI 线路，TI 建议在不进行时钟输入的器件上将 CS# 线路保持高电平。

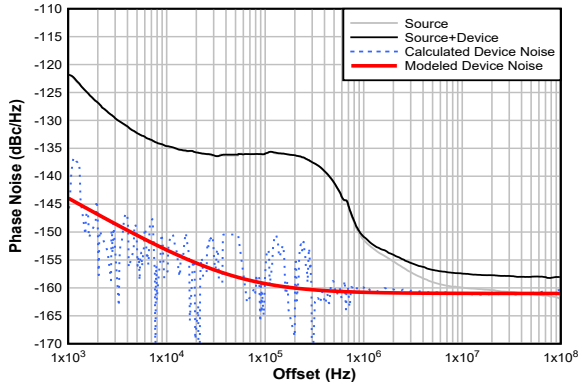
SPI 回读还有其他几个注意事项：

- R/W 位必须设置为 1。
- 对于事务的地址部分，MUXOUT 引脚将始终为低电平。
- MUXOUT 上的数据在 SCK 的下降沿随时钟输出。也就是说，在时钟下降沿后的 t_{CD} 时，MUXOUT 引脚将提供回读数据。
- 始终忽略 SDI 线路上转换的数据部分。
- 回读事务完成后，MUXOUT 引脚不会自动进入三态。当与其他器件共享 SPI 总线回读引脚时，请在器件的所有回读事务完成后设置 MUXOUT_EN=0，以便手动将 MUXOUT 引脚置于三态，从而允许其他器件控制回读线路。
- 即使对于 R/W 位，回读值也并非总是写入的值，而是考虑了编程值以及其他因素（例如引脚状态）的内部器件状态。

Copyright © 2024 Texas Instruments Incorporated

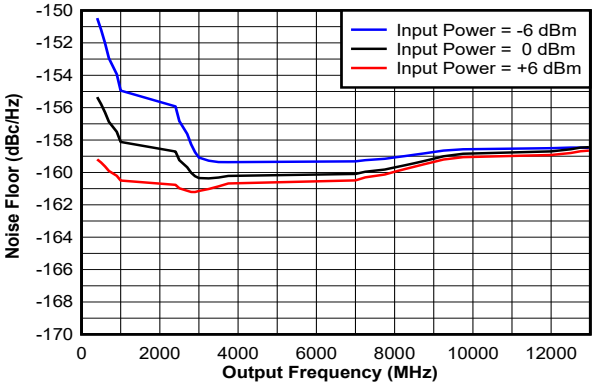
5.8 典型特性

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 2.5V，OUTx_PWR = 5，CLKIN 在每个引脚上以 8dBm 差分驱动。使用的信号源是具有超低噪声选项 B711 的 SMA100B。



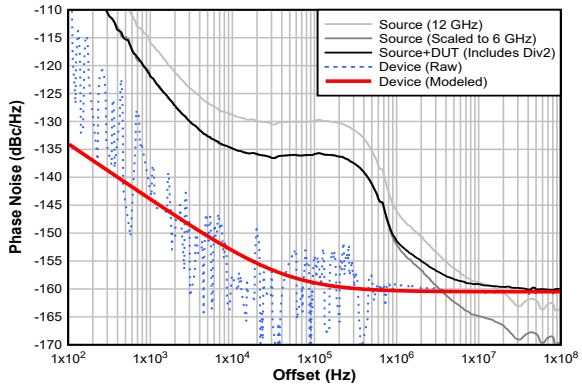
10kHz 时本底噪声 = –161dBc/Hz，1/f 噪声 = –154dBc/Hz，在 100Hz 至 6GHz 偏移范围内积分时，抖动为 28fs

图 5-2. 6GHz 输出时的缓冲器相位噪声图



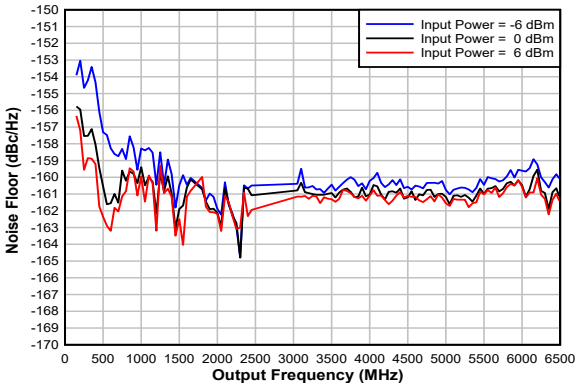
在每个引脚上施加规定的输入功率。

图 5-3. 缓冲器模式下的本底噪声



10kHz 时本底噪声 = -160.5dBc/Hz，1/f 噪声 = –154dBc/Hz，在 100Hz 至 6GHz 偏移范围内积分时，抖动为 30fs

图 5-4. 6GHz 输出时的 2 分频相位噪声图



在每个引脚上施加规定的输入功率。

图 5-5. 具有 2 分频的本底噪声

5.8 典型特性（续）

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 2.5V，OUTx_PWR = 5，CLKIN 在每个引脚上以 8dBm 差分驱动。使用的信号源是具有超低噪声选项 B711 的 SMA100B。

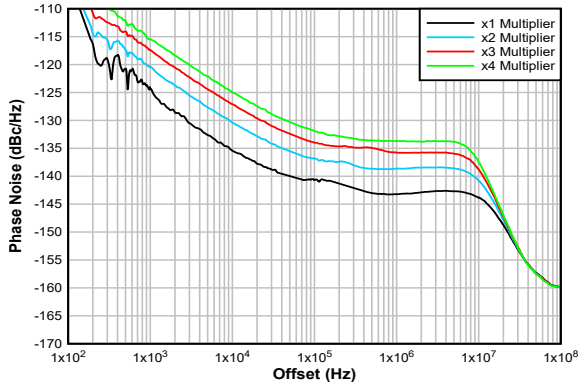
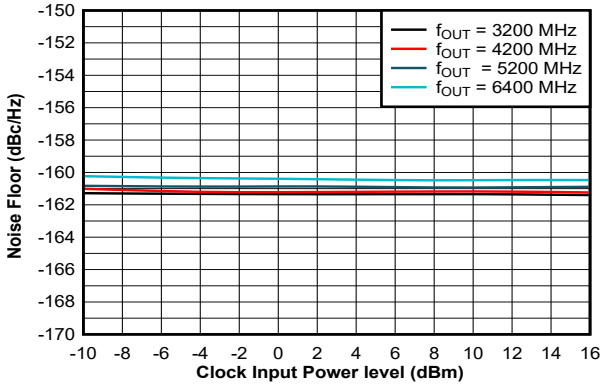


图 5-6. 6GHz 输出时的倍频器相位噪声图



备注

图中的输入功率是差分功率。

图 5-7. 倍频 x2 模式下的本底噪声

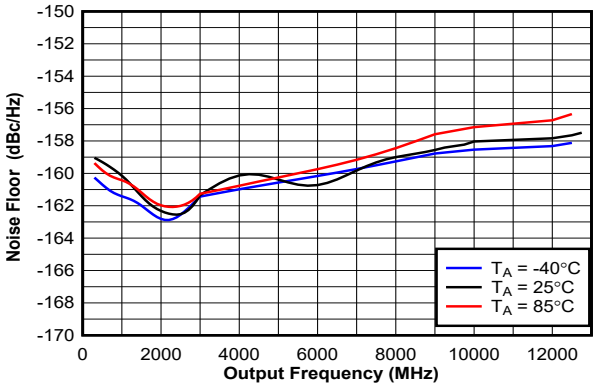


图 5-8. 缓冲器模式下的本底噪声

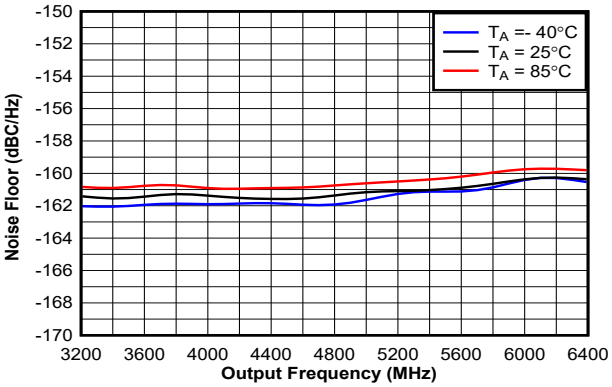


图 5-9. x2 倍频器模式下的本底噪声

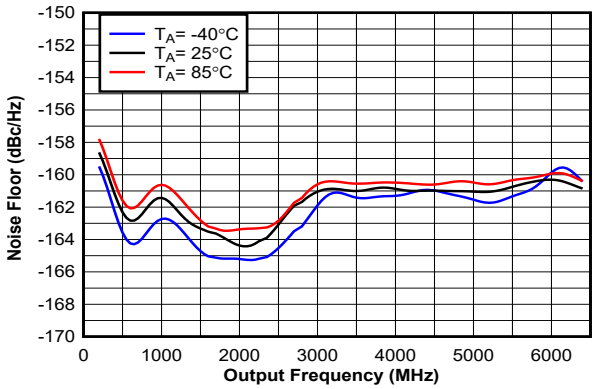


图 5-10. 2 分频模式下的本底噪声

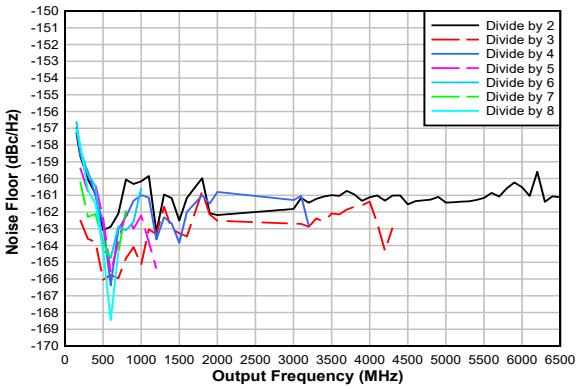
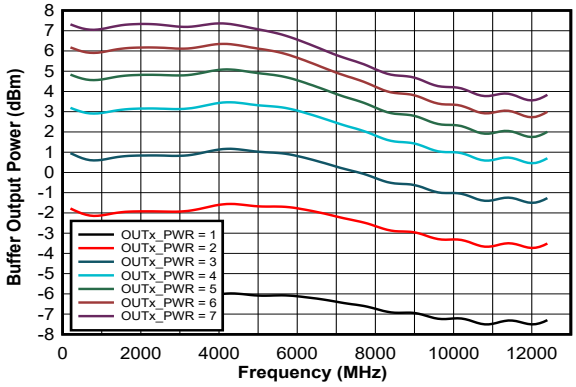


图 5-11. 分频器模式下的本底噪声

Copyright © 2024 Texas Instruments Incorporated

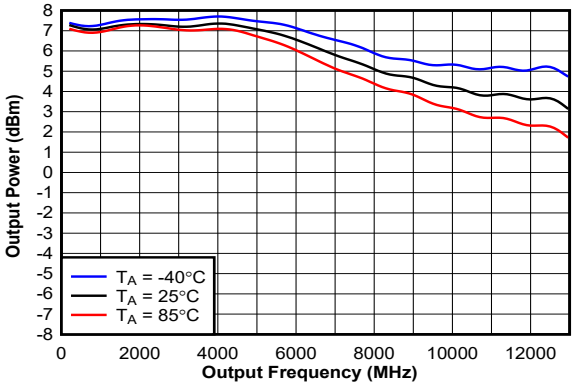
5.8 典型特性（续）

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 2.5V，OUTx_PWR = 5，CLKIN 在每个引脚上以 8dBm 差分驱动。使用的信号源是具有超低噪声选项 B711 的 SMA100B。



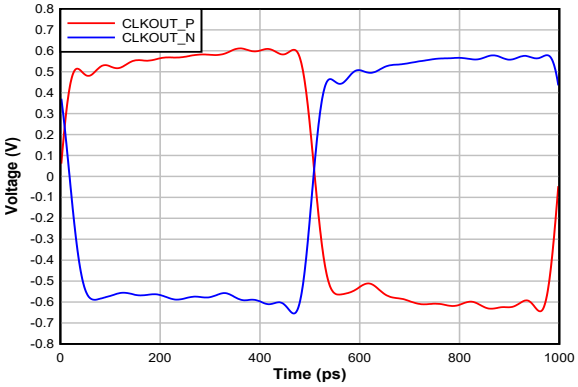
适用于除奇数分频的分频器模式（其功率稍低）之外的所有模式。

图 5-12. 单端输出功率



CLKOUTx_PWR = 7

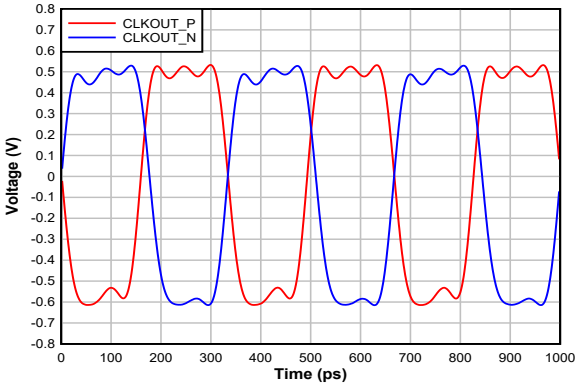
图 5-13. 单端输出功率



备注

CLKOUTx_PWR=7

图 5-14. 1GHz 时的 CLKOUT 波形



备注

CLKOUTx_PWR=7

图 5-15. 3GHz 时的 CLKOUT 波形

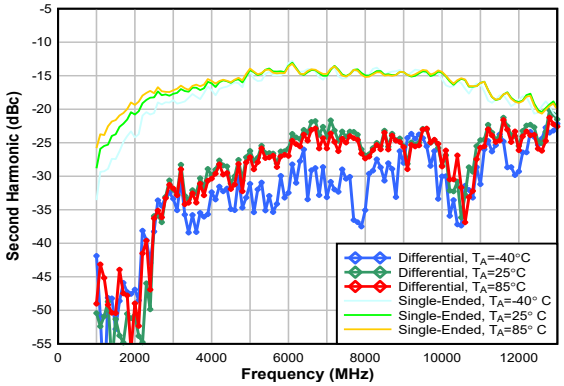


图 5-16. 缓冲器模式下的二次谐波

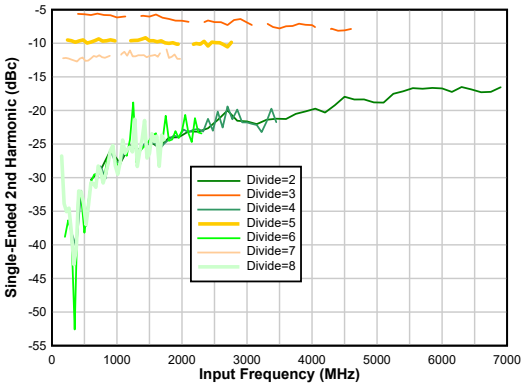


图 5-17. 分频模式下的二次谐波（单端）

5.8 典型特性（续）

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 2.5V，OUTx_PWR = 5，CLKIN 在每个引脚上以 8dBm 差分驱动。使用的信号源是具有超低噪声选项 B711 的 SMA100B。

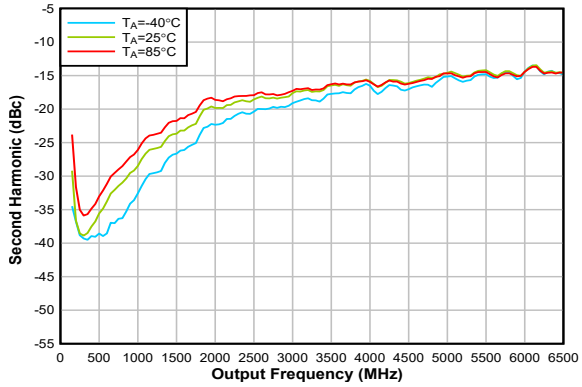


图 5-18. 2 分频模式下的二次谐波（单端）

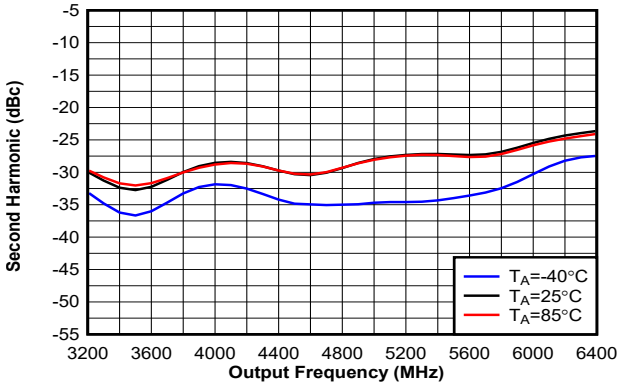
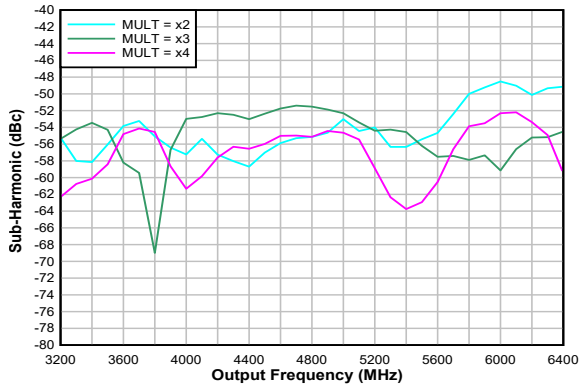


图 5-19. 倍频 X2 模式下的二次谐波（差分）



备注

输出为差分输出。

图 5-20. 倍频器次谐波（谐波频率 = 输出频率/M）

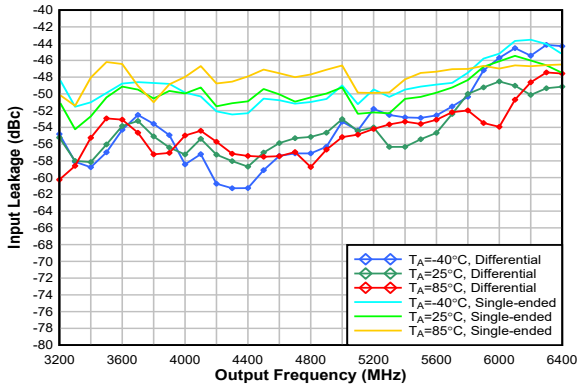


图 5-21. X2 模式下的倍频器 1/2 次谐波

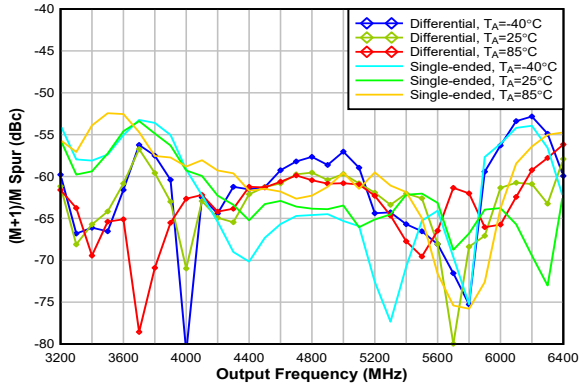


图 5-22. 倍频器互调杂散 (MULT=2)

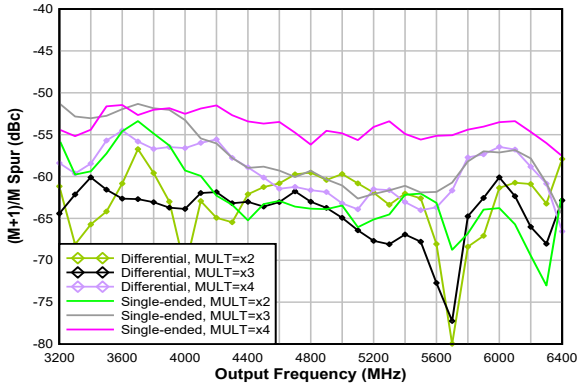
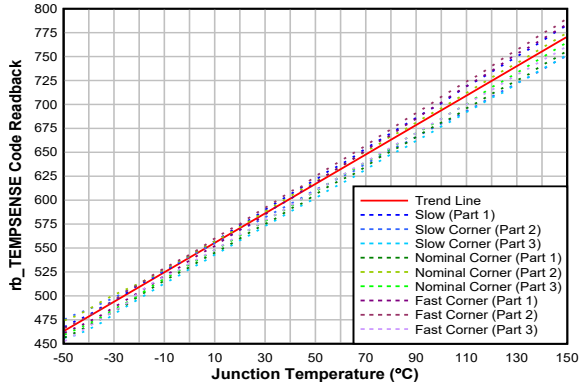


图 5-23. 倍频器互调 (M+1)/M 杂散

Copyright © 2024 Texas Instruments Incorporated

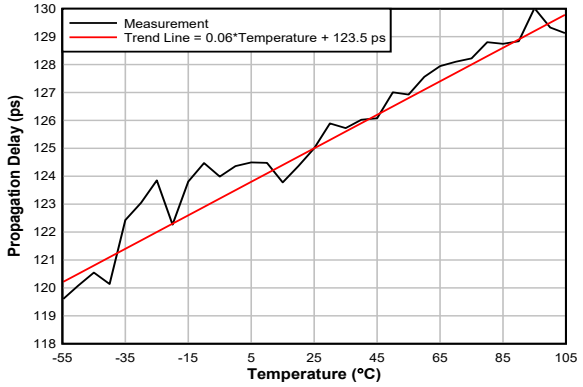
5.8 典型特性（续）

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 2.5V，OUTx_PWR = 5，CLKIN 在每个引脚上以 8dBm 差分驱动。使用的信号源是具有超低噪声选项 B711 的 SMA100B。



在断电模式下测量，使结温 = 环境温度。

图 5-24. 温度传感器回读



超过 30 个器件和 3 个工艺角批次，整个过程中的传播延迟变化为 1.1ps，当温度保持在恒定 25°C 时，总传播延迟变化为 7ps。

图 5-25. 传播延迟

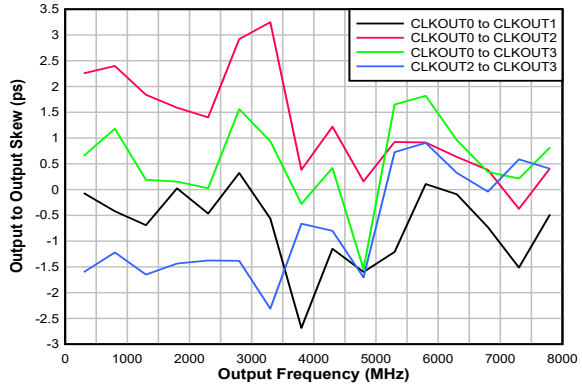
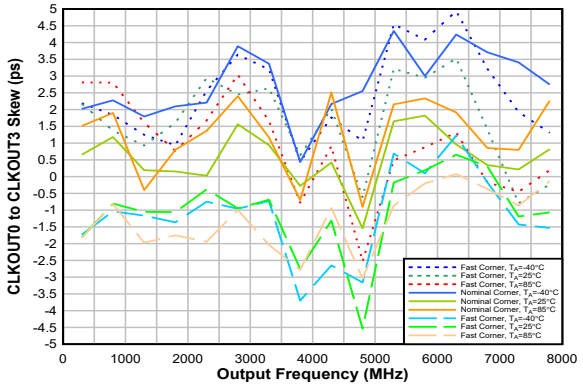


图 5-26. 输出到输出偏斜



出现偏斜的主要原因是频率和测量误差。观察到的其他变化来源包括工艺角范围内大约 3ps，在温度范围内大约 1.5ps。

图 5-27. CLKOUT0 到 CLKout3 的输出到输出偏斜变化

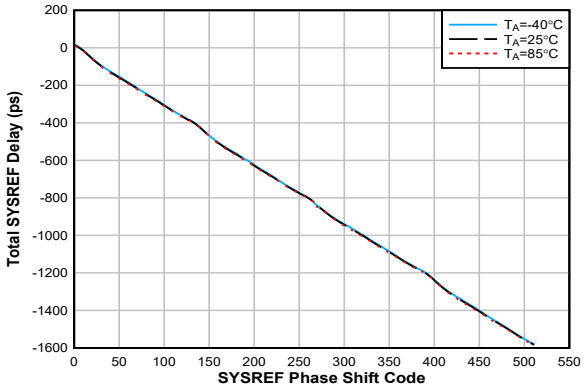


图 5-28. SYSREF 延迟与温度和代码之间的关系 (Fout = 10GHz)

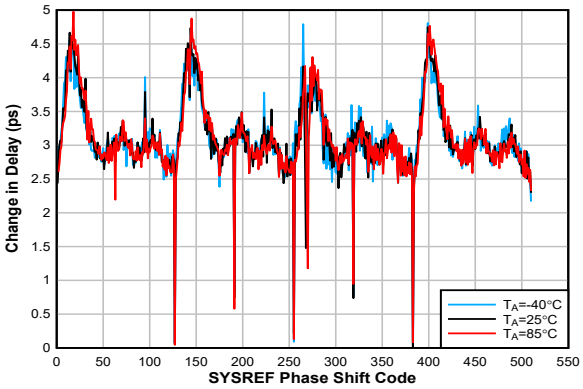


图 5-29. SYSREF 增量延迟与温度和代码之间的关系 (Fout=10GHz)

5.8 典型特性（续）

除非另外说明，否则可假设满足以下条件：温度 = 25°C，Vcc = 2.5V，OUTx_PWR = 5，CLKIN 在每个引脚上以 8dBm 差分驱动。使用的信号源是具有超低噪声选项 B711 的 SMA100B。

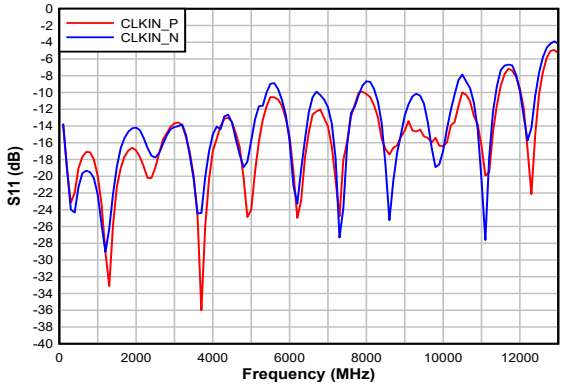


图 5-30. CLKIN S11 幅度

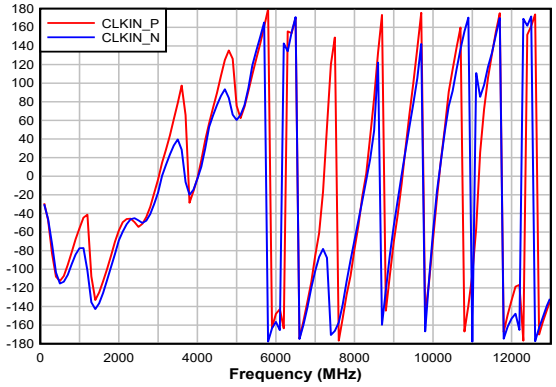


图 5-31. CLKIN S11 相位

Copyright © 2024 Texas Instruments Incorporated

6 详细说明

6.1 概述

LMX1204 有四个主时钟输出，还有一个 LOGICLK 输出。主时钟输出的频率均相同。该频率可以与输入时钟相同，也可以相对于输入时钟进行分频或倍频。每个时钟输出都具有可编程功率级别。LOGICLK 输出频率是独立的，通常低于其他四个主时钟的频率，并具有可编程输出格式（CML、LVDS 和 LVPECL）和功率级别。

SYSREF 可通过重复 SYSREFREQ 引脚的输入生成，也可在内部生成。内部 SYSREF 窗口化特性可调整器件的内部时序，以优化 SYSREFREQ 输入相对于 CLKIN 输入的设置时间/保持时间。该特性假设 SYSREF 边沿与下一个上升时钟沿之间的延迟一致。五个输出中的每一个都具有相应的 SYSREF 输出，该输出具有独立的延迟和可编程共模。对于 LOGISYSREF 输出，输出格式可编程为 CML、LVDS 或 LVPECL。

6.1.1 分频器和倍频器范围

分频器允许主输出和 LOGICLK 输出使用输入时钟的分频值。主时钟输出也可以使用倍频器。除此之外，分频器用于在发生器模式下生成 SYSREF 以及用于生成延迟块。

表 6-1. 分频器和倍频器范围

类别			范围	注释
主时钟	缓冲器			
	分频器		2、3、4、… 8	奇数分频（1 除外）没有 50% 占空比
	倍频器		1.2、3、4	x1 倍频器和滤波器模式是相同的。
LOGICLK	分频	预分频	1、2、4	总分频 = 预分频 × 分频 奇数分频（1 除外）没有 50% 占空比
		分频	1、2、3、… 1023	
SYSREF	用于生成频率的分频	预分频	1、2、4	针对相位内插器预分频时钟。 总分频 = 预分频 × 分频 奇数分频没有 50% 占空比
		分频	2、3、4、… 4095	
	用于生成延迟的分频	分频	2、4、8、16	该分频根据输入频率进行设置。

6.2 功能方框图

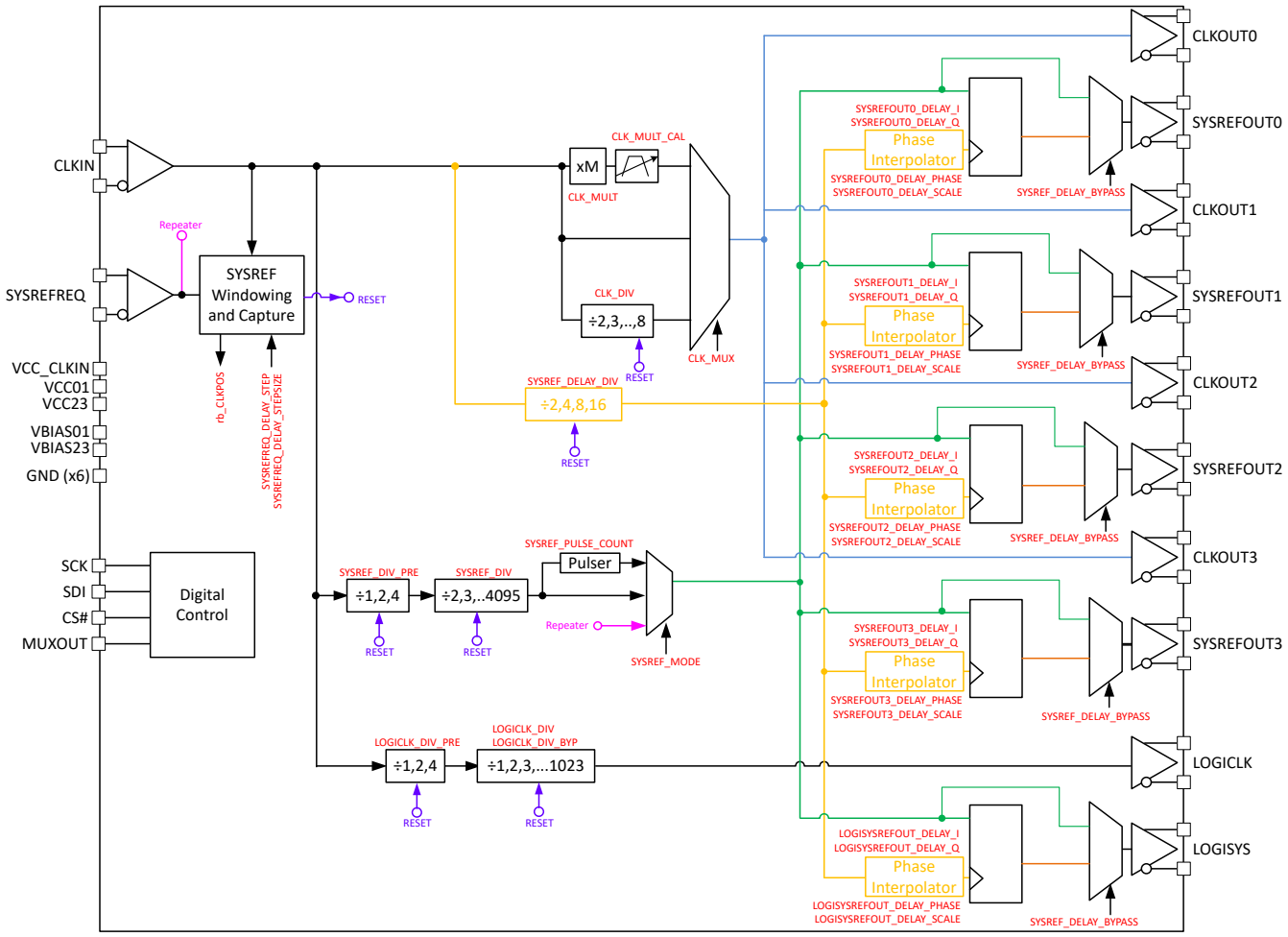


图 6-1. 功能方框图

Copyright © 2024 Texas Instruments Incorporated

6.3 特性说明

6.3.1 上电复位

当器件上电时，上电复位 (POR) 会将所有寄存器复位为默认状态，并将所有状态机和分频器复位。在上电复位状态下，将禁用所有 SYSREF 输出，绕过所有分频器，并且该器件用作 4 路输出缓冲器。用户必须在电源轨后等待 100µs，然后再对其他寄存器进行编程，以确保完成该复位。如果在没有器件时钟时发生上电复位，则器件会正常工作，但是，输入时钟出现时，电流会发生变化。

通过在 SPI 总线上写入 RESET=1 来执行软件上电复位既切实可行，也是一种通用的良好做法。一旦任何其他寄存器被写入，RESET 位就会自行清除。SPI 总线可用于将这些状态覆盖到所需的设置。

尽管该器件具有自动上电复位功能，但可能会受到不同电源引脚上不同斜升速率的影响，尤其是在存在强输入时钟信号的情况下。建议在 POR 后执行软件复位。这可通过编程 RESET = 1 来实现。可通过对任何其他寄存器进行编程或将 RESET 设置回 0 来清除复位位。即使在允许的最大 SPI 总线速度下，软件复位事件也始终在后续 SPI 写入之前完成。

6.3.2 温度传感器

可以回读结温，以便进行表征或根据温度进行调整。此类调整可能包括调整 CLKOUTx_PWR 以使输出功率更稳定，或使用外部或数字延迟来补偿传播延迟随温度的变化。

由于器件输出和其他功能的功率耗散，结温通常高于环境温度。方程式 1 展示了代码回读与结温间的关系。

$$\text{Temperature} = 0.65 \times \text{Code} - 351 \tag{1}$$

方程式 1 是根据慢、标称和快工艺角批次的器件（每批次三个器件，共九个器件）创建的最佳拟合线路。实际温度与最佳拟合线路预测温度之间的最坏情况变化为 13°C，相当于 20 个代码。

6.3.3 时钟输出

该器件有四个主输出时钟，这些输出时钟使用相同的频率。这不包括额外的低频 LOGICLK 输出。

6.3.3.1 时钟输出缓冲器

输出缓冲器采用集电极开路形式，带有集成上拉电阻，与 CML 类似。

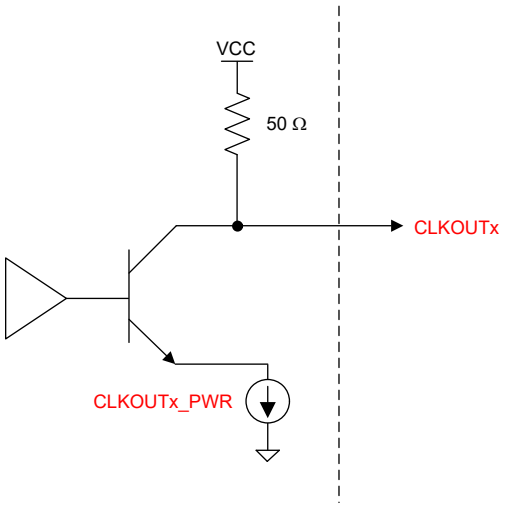


图 6-2. CLKOUT 输出缓冲器

CLKOUTx_EN 位可以启用输出缓冲器。缓冲器的输出功率可通过 CLKOUTx_PWR 字段单独设置。但是，这些字段仅控制输出缓冲器，而不控制驱动该缓冲器的内部通道路径。要关闭整条路径的电源，请禁用 CHx_EN 位。

表 6-2. 时钟输出功率

CHx_EN	内部通道路径	CLKOUTx_EN	CLKOUTx_PWR	输出缓冲器
0	已断电	不用考虑	不用考虑	已断电
1	已上电	0	不用考虑	已断电
		1	0	最小值
			1	
			...	
			7	最大值

6.3.3.2 时钟多路复用器

四个主时钟必须具有相同的频率，但该频率可被旁路、倍频或分频。这由 CLK_MUX 字决定。

表 6-3. 时钟多路复用器

CLK_MUX	选项	支持的值
0	缓冲器模式	÷1（旁路）
1	分频器模式	÷2、3、4、5、6、7 和 8
2	倍频器模式	x1（滤波器模式）、x2、x3、x4

6.3.3.3 时钟分频器

将 CLK_MUX 设置为“已分频”，分频值为 2、3、4、5、6、7 或 8。这由 CLK_DIV 字设置。使用时钟分频器时，对输入频率的任何更改都需要将 CLK_DIV_RST 位从 1 切换为 0。

表 6-4. 时钟分频器

CLK_DIV	分频值	占空比
0	保留	不適用
1	2	50%
2	3	33%
3	4	50%
4	5	40%
5	6	50%
6	7	43%
7	8	50%

6.3.3.4 时钟倍频器和滤波器模式

6.3.3.4.1 有关时钟倍频器的一般信息

时钟倍频器可用于将输入时钟频率乘以 ×1、×2、×3 或 ×4 倍。所乘的值由 CLK_MULT 字段设置。由于倍频器基于 PLL 并包含一个集成的 VCO，因此倍频器具有状态机时钟，需要进行校准，具有锁定检测特性且可用作可调谐滤波器。请注意，如果不使用倍频器，则无需状态机时钟或锁定检测特性。

6.3.3.4.2 时钟倍频器的状态机时钟

通过将输入时钟频率除以编程分频值，可得出状态机时钟频率 (f_{SMCLK})。倍频器校准和锁定检测也需要状态机时钟。如果担心状态机时钟产生杂散，则可以关闭状态机时钟，前提是未运行倍频器校准且未使用锁定检测功能。

6.3.3.4.2.1 状态机时钟

如果不使用时钟倍频器，则必须通过设置 SMCLK_EN=0 来禁用状态机时钟，从而更大程度地减少串扰和杂散。然而，使用时钟倍频器时，当频率发生变化时，需要状态机时钟来运行校准引擎，状态机时钟还用于让锁定检测持续监控基于 PLL 的时钟倍频器是否处于锁定状态。状态机时钟必须小于 30MHz。有关更多详细信息，请参阅寄存器映射文档。

Copyright © 2024 Texas Instruments Incorporated

6.3.3.4.3 时钟倍频器校准

为获得理想的相位噪声，倍频器中的 VCO 会将频率范围划分为许多不同的频段和内核，并且每个频段都具有进行了优化的振幅设置。因此，在初次使用时或每当频率发生变化时，用户需要运行校准例程，以确定正确的内核、频段和幅度设置。通过使用有效输入信号对 R0 寄存器进行编程来执行校准。提高状态机时钟的速度会加快倍频器校准速度。为提供可靠的倍频器校准，状态机时钟频率必须至少为 SPI 写入速度的两倍，但不能超过 30MHz。每当更改 CLK_MUX 模式或首次校准倍频器时，校准时间都会显著延长，约为 5ms。

6.3.3.4.4 使用 x1 时钟倍频器作为滤波器

由于倍频器基于 PLL，它可用作可编程滤波器，来衰减 PLL 环路带宽（约 10MHz）外的噪声、杂散、谐波和次谐波。滤波器模式（x1 倍频器）允许用户将时钟倍频器用作具有 10MHz 带宽的可协调滤波器，其附加噪声低于较高的倍频值。在该滤波器模式下，杂散首先由输入级放大，然后由环路滤波器衰减，从而使该模式最有效地滤除 100MHz 或更高偏移处的杂散。请注意，滤波器模式与缓冲器模式不同，因为滤波器模式可以对输入频率进行滤波，但会增加更多近端相位噪声。x1 倍频器值不支持 SYNC 操作。在 4.2GHz 以上的频率，Fref/3 处可能存在次谐波。这些次谐波可通过在输出端使用滤波器来消除。

6.3.3.4.5 时钟倍频器锁定检测

可通过 rb_LD 字段或从 MUXOUT 引脚读回倍频器的锁定检测状态。状态机时钟必须处于运行状态，锁定检测才能正常工作。

6.3.4 器件功能模式配置

该器件可配置为高频时钟缓冲器模式、分频器模式或倍频器模式。每种模式都需要以下寄存器配置才能运行。

表 6-5. 器件功能模式的配置

寄存器地址	位	字段	功能	缓冲器	分频器	倍频器
R25	2:0	CLK_MUX	选择模式	1	2	3
R25	5:3	CLK_DIV/ CLK_MULT	选择分频值或倍频值	x	CLK_DIV 0x1 = ÷2 0x2 = ÷3 0x3 = ÷4 0x4 = ÷5 0x5 = ÷6 0x6 = ÷7 0x7 = ÷8	CLK_MULT 0x2 = x2 0x3 = x3 0x4 = x4
R2	5	SMCLK_EN	启用状态机时钟发生器	x	x	1
R2	9:6	SMCLK_DIV_PRE	为状态机时钟设置预分频器	x	x	状态机时钟的预时钟分频器 0x2 = ÷2 0x4 = ÷4 0x8 = ÷8

表 6-5. 器件功能模式的配置（续）

寄存器地址	位	字段	功能	缓冲器	分频器	倍频器
R3	2:0	SMCLK_DIV	设置状态机时钟分频器	x	x	其他 SMCLK 分频器必须保持输出频率 ≤ 30MHz。 0x0 = ÷1 0x1 = ÷2 0x2 = ÷4 0x3 = ÷8 0x4 = ÷16 0x5 = ÷32 0x6 = ÷64 0x7 = ÷128
R0	所有	校准倍频器	校准基于 PLL 的倍频器	x	x	写入 R0 以校准倍频器

6.3.5 LOGICLK 输出

LOGICLK 输出可用于驱动使用低频时钟的器件，如 FPGA。LOGICLK 输出具有可编程输出格式和相应的 SYSREF 输出。

6.3.5.1 LOGICLK 输出格式

LOGICLK 输出格式可编程为 LVDS、LVPECL 和 CML 模式。根据格式的不同，共模可能是可编程的，也可能需要外部元件（请参阅表 6-6）。

表 6-6. LOGICLK 格式和属性

LOGICLKOUT_FMT	格式	所需外部元件	输出电平	共模
0	LVDS	无	固定	可通过 LOGICLKOUT_VCM 进行编程
1	LVPECL	发射极电阻器	固定	不可编程
2	CML	上拉电阻 50Ω 至 V_{CC}	可通过 LOGICLKOUT_PWR 进行编程	不可编程
3	无效			

6.3.5.2 LOGICLK_DIV_PRE 和 LOGICLK_DIV 分频器

LOGICLK_DIV_PRE 分频器和 LOGICLK_DIV 分频器用于 LOGICLK 输出。必须使用 LOGICLK_DIV_PRE 分频器进行分频，以确保 LOGICLK_DIV 分频器的输入为 3.2GHz 或更低。当 LOGICLK_DIV 不是偶数且未被旁路时，占空比将不是 50%。两个 LOGICLK 分频器均通过 SYNC 特性进行同步，从而可跨多个器件实现同步。

表 6-7. 最小 N 分频器限制

f_{CLKIN} (MHz)	LOGICLK_DIV_PRE	LOGICLK_DIV	总分频范围
f_{CLKIN} ≤ 3.2GHz	÷1、2、4	÷1、2、3、…1023	[1、2、...1023] [2、4、...2046] [4、8、4092]
3.2GHz < f_{CLKIN} ≤ 6.4GHz	÷2、4	÷1、2、3、…1023	[4、...2046] [4、8、4092]
f_{CLKIN} > 6.4GHz	÷4	1、2、3、…1023	[8、4092]

Copyright © 2024 Texas Instruments Incorporated

6.3.6 SYSREF

SYSREF 允许生成符合 JESD204B/C 标准的低频信号，该信号重新计时为主输出或 LOGICLK 输出。CLKOUT 和 SYSREF 输出之间的延迟可通过软件进行调整。SYSREF 输出可使用内部 SYSREF 分频器配置为发生器，也可配置为在 SYSREFREQ 引脚上复制信号的中继器。主时钟的 SYSREF 发生器与 LOGICLK 输出的 SYSREF 发生器相同。

表 6-8. SYSREF 模式

SYSREF_MODE	说明
0	**发生器模式** 内部发生器产生连续的 SYSREF 脉冲流。SYSREFREQ 引脚或 SYSREFREQ_SPI 位可用于从通道中对 SYSREF 分频器进行门控，从而改善噪声隔离，而不会中断 SYSREF 分频器的同步。SYSREFREQ 引脚或 SYSREFREQ_SPI 位必须为高电平，SYSREF 输出才能进行输出。
1	**脉冲发生器** 内部发生器生成一个由 1 至 16 个脉冲组成的脉冲群，该脉冲群由 SYSREF_PULSE_COUNT 设置，发生在 SYSREFREQ 引脚的上升沿之后或在 SYSREFREQ_SPI 位从 0 更改为 1 之后（假设 SYSREFREQ 引脚被强制为低电平状态）。
2	**中继器模式** SYSREFREQ 引脚输入重新计时为时钟输出，然后根据 SYSREF_DELAY_BYPASS 字段进行延迟，再发送到 SYSREFOUT 输出引脚。

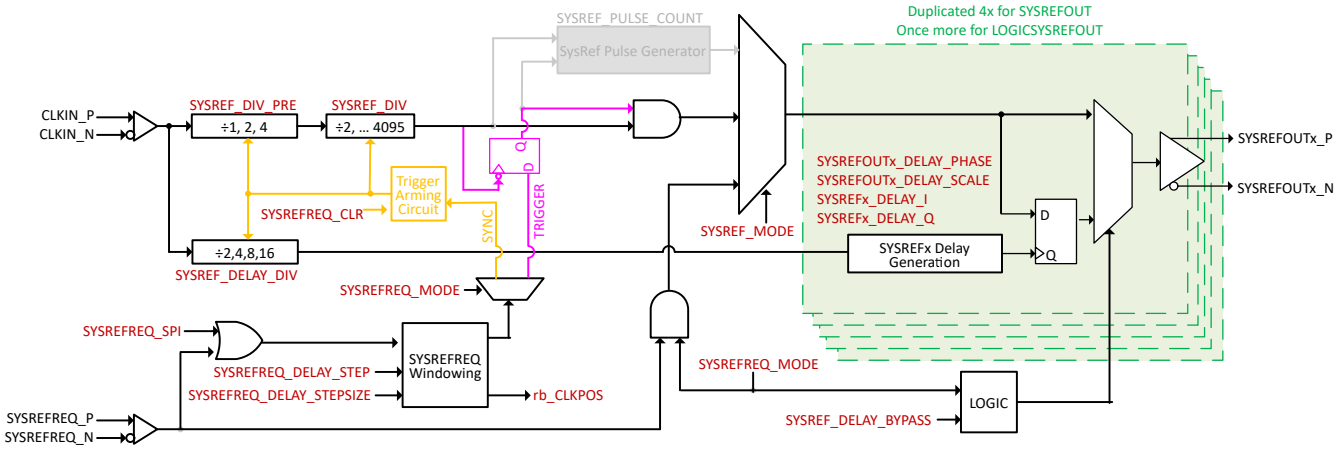


图 6-3. 发生器模式下的 SYSREF 电路功能方框图

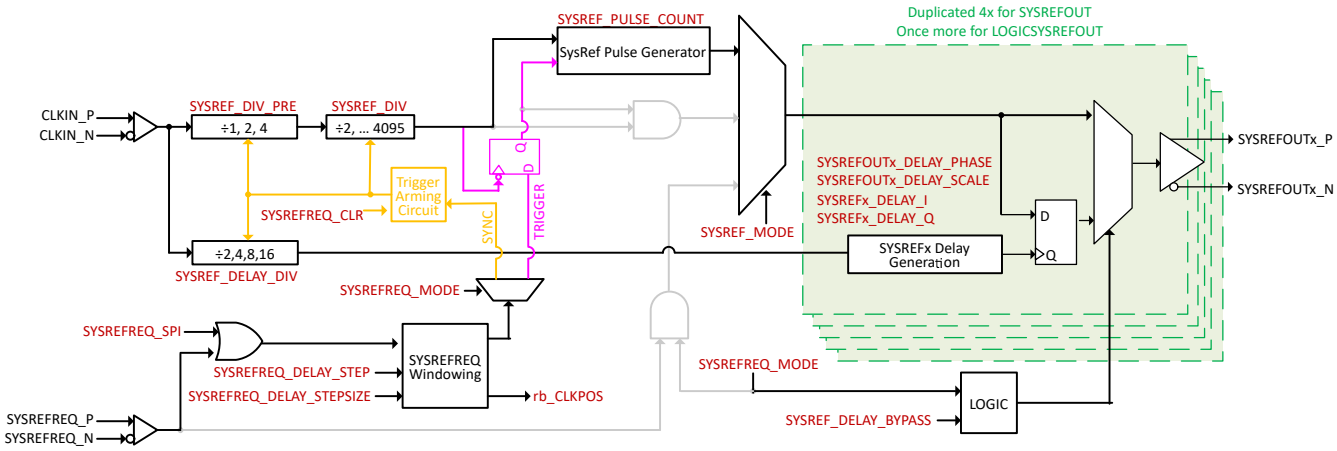


图 6-4. 脉冲发生器模式下的 SYSREF 电路功能方框图

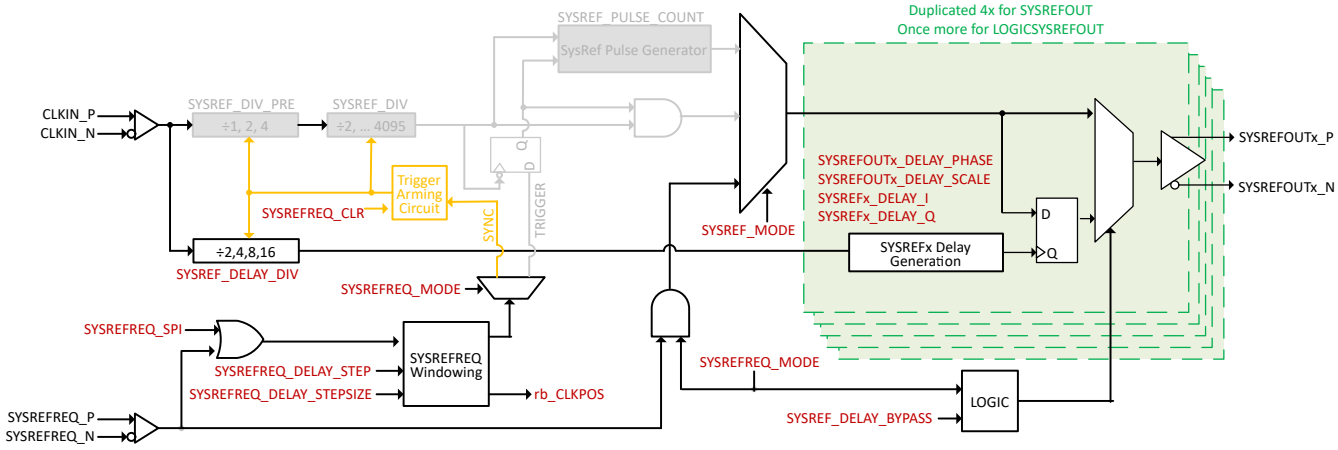


图 6-5. 中继器模式下的 SYSREF 电路功能方框图

要运行 SYSREFREQ_SPI 位控制的 SYSREF 输出（脉冲发生器）和 SYNC，请从外部将 SYSREFREQ 引脚设置为低逻辑状态。例如，确保 SYSREFREQ_N 引脚的电平 (400mV) 高于 SYSREFREQ_P 引脚的电平，并保持输入共模电压要求。

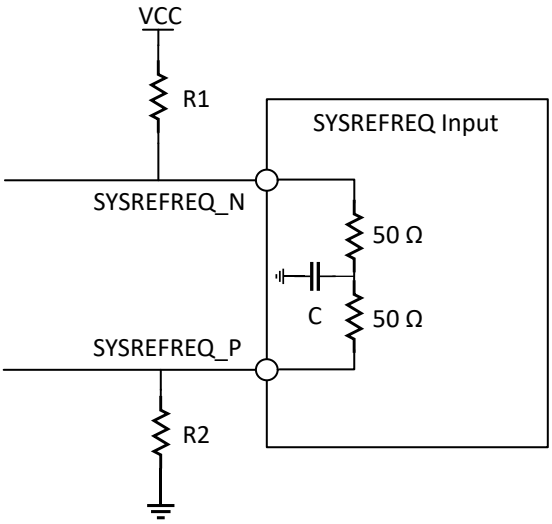


图 6-6. SYSREFREQ 引脚逻辑低电平设置

例如，要在 2.5V 的 VCC 下保持 400mV 的最小电压差，通过 100Ω 消耗的电流将为 4mA。在本例中，将 SYSREFREQ_P 引脚保持在 1.4V 直流电压，将 R2 设置为 350Ω，将 R1 设置为 175Ω，使 SYSREFREQ_N 引脚处的电压为 1.8V。

6.3.6.1 SYSREF 输出缓冲器

6.3.6.1.1 主时钟的 SYSREF 输出缓冲器 (SYSREFOUT)

时钟输出通道内的 SYSREF 输出与时钟输出缓冲器具有相同的输出缓冲器结构，并增加了用于调整共模电压的电路。SYSREF 输出是 CML 输出，其共模电压可通过 SYSREFOUTx_VCM 字段进行调整，并且输出电平可通过 SYSREFOUTx_PWR 字段进行编程。此特性可以实现直流耦合。请注意，CLKOUT 输出没有可调共模电压，必须采用交流耦合，以实现出色的噪声性能。

Copyright © 2024 Texas Instruments Incorporated

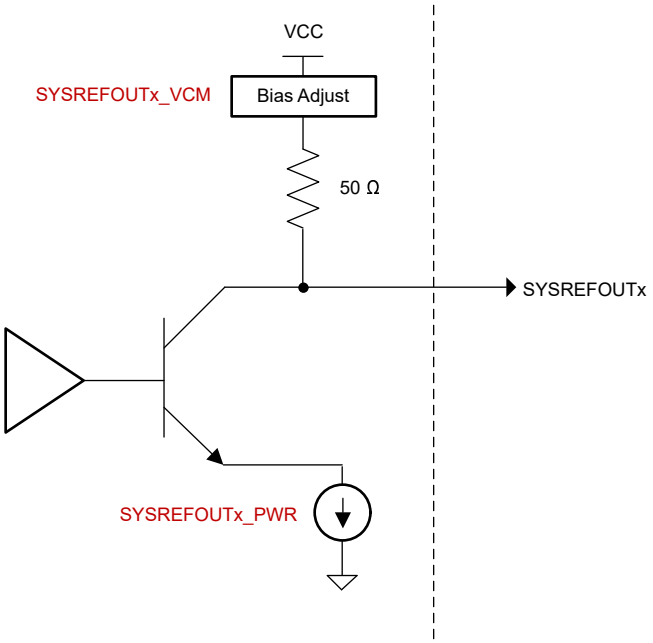


图 6-7. SYSREF 输出缓冲器

共模电压和输出功率相互关联，可在假设存在 100Ω 差分负载且没有直流接地路径的情况下进行仿真。共模电压和输出相互关联，如表 6-9 所示。由于实现长期可靠性的限制条件是 V_{CM} – $V_{OD}/2 \geqslant 0.5V$，因此表中不包括不满足该限制条件的 V_{CM} 和 V_{OD} 组合。

表 6-9. 单端电压 (V_{OD}) 和共模电压 (V_{CM})

SYSREFOUTx_PWR	SYSREFOUTx_VCM	V_{OD}	V_{CM}
0	0	0.31	0.91
	1	0.31	1.06
	2	0.31	1.23
	3	0.32	1.41
	4	0.32	1.58
	5	0.33	1.75
	6	0.33	1.94
	7	0.34	2.11
1	0	0.34	0.59
	1	0.35	0.76
	2	0.35	0.96
	3	0.35	1.19
	4	0.36	1.39
	5	0.36	1.59
	6	0.36	1.82
	7	0.36	2.03

表 6-9. 单端电压 (V_{OD}) 和共模电压 (V_{CM}) （续）

SYSREFOUTx_PWR	SYSREFOUTx_VCM	V_{OD}	V_{CM}
2	0	0.39	0.46
	1	0.42	0.52
	2	0.44	0.69
	3	0.46	0.96
	4	0.46	1.2
	5	0.47	1.43
	6	0.48	1.7
	7	0.49	1.94
3	2	0.48	0.53
	3	0.51	0.74
	4	0.53	1.02
	5	0.54	1.27
	6	0.55	1.59
	7	0.56	1.87
4	3	0.56	0.59
	4	0.59	0.83
	5	0.61	1.13
	6	0.62	1.47
	7	0.64	1.79
5	3	0.58	0.54
	4	0.64	0.69
	5	0.67	0.98
	6	0.69	1.37
	7	0.71	1.72
6	5	0.73	0.84
	6	0.75	1.26
	7	0.78	1.64
7	5	0.78	0.73
	6	0.82	1.15
	7	0.84	1.57

6.3.6.1.2 用于 LOGICLK 的 SYSREF 输出缓冲器

LOGISYSREFOUT 输出支持 LVDS、LVPECL 和 CML 这三种格式。LOGISYSREFOUT_EN 启用输出缓冲器，LOGISYSREF_FMT 设置格式。LVDS 模式允许可编程共模，LVPECL 和 CML 需要外部元件，CML 允许可编程输出功率（请参阅表 6-10）。

表 6-10. LOGISYSREFOUT 输出缓冲器配置

LOGISYSREFOUT_EN	LOGISYSREF_FMT	LOGISYSREF 格式	需要外部端接	输出功率	输出共模
0	已断电				

Copyright © 2024 Texas Instruments Incorporated

表 6-10. LOGISYSREFOUT 输出缓冲器配置（续）

LOGISYSREFOUT_EN	LOGISYSREF_FMT	LOGISYSREF 格式	需要外部端接	输出功率	输出共模
1	0	LVDS	无	固定	可使用 LOGISYSREF_VCM 进行编程
	1	LVPECL	发射极电阻器	固定	固定
	2	CML	上拉电阻 50Ω 至 V_{CC}	由 LOGISYSREF_PWR 控制	LOGISYSREF_VCM 不产生影响，但这会随 LOGISYSREF_PWR 而变化。
	3	保留			

6.3.6.2 SYSREF 频率和延迟生成

SYSREF 电路可以产生与 f_{CLKIN} 同步的输出信号。该输出可能是单个脉冲，也可能是一系列脉冲，亦或是连续的脉冲流。在发生器模式下，SYSREF_DIV_PRE 和 SYSREF_DIV 值用于将 CLKIN 频率分频为时钟恢复到输出的较低频率。在中继器模式下，此信号是在 SYSREFREQ 引脚上输入的。每个输出都有一个独立的延迟控制。

表 6-11. SYSREF 模式

SYSREF_MODE	说明
0	**发生器模式（连续）** 内部发生器产生连续的 SYSREF 脉冲流。SYSREFREQ 引脚或 SYSREFREQ_SPI 字段可用于从通道中对 SYSREF 分频器进行门控，从而改善噪声隔离，而不会中断 SYSREF 分频器的同步。SYSREFREQ 引脚或 SYSREFREQ_SPI 字段必须为高电平，SYSREF 输出才能进行输出。
1	**发生器模式（脉冲发生器）** 内部发生器会生成一个由 1 至 16 个脉冲组成的脉冲群，该脉冲群由 SYSREF_PULSE_COUNT 设置，发生在 SYSREFREQ 引脚的上升沿之后
2	**中继器模式** SYSREFREQ 引脚重新计时为时钟输出，然后根据 SYSREF_DELAY_BYPASS 字段进行延迟，再发送到 SYSREFOUT 输出。

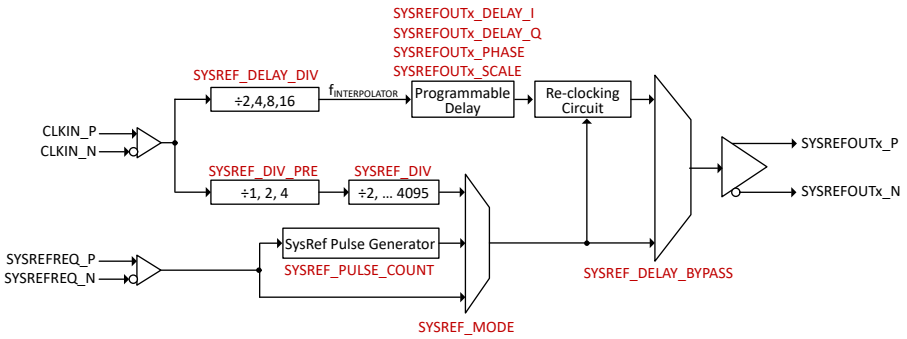


图 6-8. SYSREF 发生器图

对于发生器模式下 SYSREF 输出的频率，必须使用 SYSREF_DIV_PRE 分频器来确保 SYSREF_DIV 分频器的输入不超过 3.2GHz。

表 6-12. SYSREF_DIV_PRE 设置

f_{CLKIN}	SYSREF_DIV_PRE	总 SYSREF 分频范围
3.2GHz 或更低	÷1、2 或 4	÷2、3、4、...16380
3.2GHz < f_{CLKIN} ≤ 6.4GHz	÷2 或 4	÷4、6、8、⋯ 16380

表 6-12. SYSREF_DIV_PRE 设置（续）

f_{CLKIN}	SYSREF_DIV_PRE	总 SYSREF 分频范围
f_{CLKIN} > 6.4GHz	÷4	÷8、12、16、… 16380

对于延迟，输入时钟频率除以 SYSREF_DELAY_DIV 以生成 $f_{INTERPOLATOR}$。其范围受限，如表 6-13 所示。另请注意，当 SYSREF_DELAY_BYPASS=0 或 2（延迟发生器用于发生器模式）并且 SYSREF_MODE = 0 或 1（发生器模式）时，SYSREF 输出频率必须是相位内插器频率的倍数。

$f_{INTERPOLATOR}$ % f_{SYSREF} = 0。

表 6-13. SYSREF 延迟设置

f_{CLKIN}	SYSREF_DELAY_DIV	SYSREFx_DELAY_SCALE	$f_{INTERPOLATOR}$
6.4GHz < f_{CLKIN} ≤ 12.8GHz	16	0	0.4GHz 至 0.8GHz
3.2GHz < f_{CLKIN} ≤ 6.4GHz	8	0	0.4GHz 至 0.8GHz
1.6GHz < f_{CLKIN} ≤ 3.2GHz	4	0	0.4GHz 至 0.8GHz
0.8GHz < f_{CLKIN} ≤1.6GHz	2	0	0.4GHz 至 0.8GHz
0.4GHz < f_{CLKIN} ≤ 0.8GHz	2	1	0.2GHz 至 0.4GHz
0.3GHz < f_{CLKIN} ≤ 0.4GHz	2	2	0.15GHz 至 0.2GHz

最大延迟等于相位内插器周期，并且有 4x127 = 508 个不同的延迟步长。根据方程式 2 来计算每个步长的大小。

$$DelayStepSize = 1/(f_{INTERPOLATOR} \times 508) = SYSREF_DELAY_DIV/(f_{CLKIN} \times 508) \quad (2)$$

根据方程式 3 来计算总延迟。

$$TotalDelay=DelayStepSize \times StepNumber \quad (3)$$

表 6-14 展示了每个延迟的步长数。

表 6-14. StepNumber 的计算

SYSREFx_DELAY_PHASE	STEPNUMBER
3	127 - SYSREFx_DELAY_I
2	254 - SYSREFx_DELAY_Q
0	381 - SYSREFx_DELAY_I
1	508 - SYSREFx_DELAY_Q

SYSREF_DELAY_BYPASS 字段在延迟发生器输出和中继器模式旁路信号之间进行选择。当 SYSREF_MODE 设置为连续或脉冲发生器模式时，TI 建议将 SYSREF_DELAY_BYPASS 设置为发生器模式。如果 SYSREF_MODE 设置为中继器模式，TI 建议将 SYSREF_DELAY_BYPASS 设置为旁路模式。

6.3.6.3 SYSREFREQ 引脚和 SYSREFREQ_SPI 字段

SYSREFREQ 引脚是通用引脚，可用于 SYNC、SYSREF 请求和 SYSREF 窗口化。这些引脚可采用直流或交流耦合，并具有双 50Ω 单端端接，支持可编程共模。

除了这些引脚外，还可将 SYSREFREQ_SPI 字段设置为 1，以模拟与将这些引脚强制为高电平的相同效果，从而在某些情况下简化硬件。

6.3.6.3.1 SYSREFREQ 引脚共模电压

SYSREFREQ_P 和 SYSREFREQ_N 引脚可采用交流或直流耦合驱动。当采用交流耦合驱动时，可通过 SYSREFREQ_VCM 位调整共模电压。

Copyright © 2024 Texas Instruments Incorporated

表 6-15. SYSREFREQ 引脚共模电压

SYSREFREQ_VCM	共模电压
0	1.3V 交流耦合
1	1.1V 交流耦合
2	1.5V 交流耦合
3	无偏置（直流耦合）

6.3.6.3.2 SYSREFREQ 窗口化特性

SYSREF 窗口化可用于在内部校准 SYSREFREQ 和 CLKIN 引脚之间的时序，以优化设置和保持时序，并消除 SYSREFREQ 和 CLKIN 路径之间的任何不匹配情况。该特性要求从 SYSREFREQ 上升沿到 CLKIN 上升沿的时序保持一致。可通过 rb_CLKPOS 字段跟踪从 SYSREFREQ 上升沿到 CLKIN 上升沿的时序。一旦找到 CLKIN 引脚上升沿的时序，就可以使用 SYSREFREQ_DELAY_STEP 和 SYSREF_DELAY_STEPSIZE 字段在内部调整 SYSREFREQ 上升沿，以优化设置和保持时序。

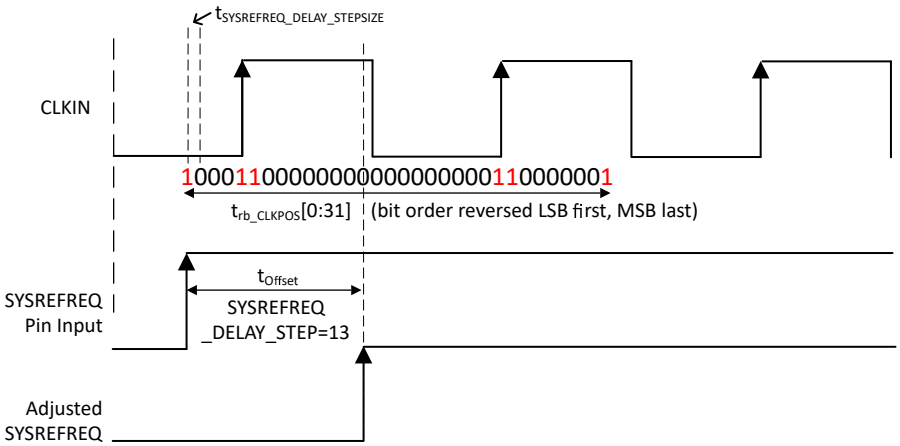


图 6-9. SYSREFREQ 内部时序调整

6.3.6.3.2.1 SYSREF 窗口化操作的一般过程流程图

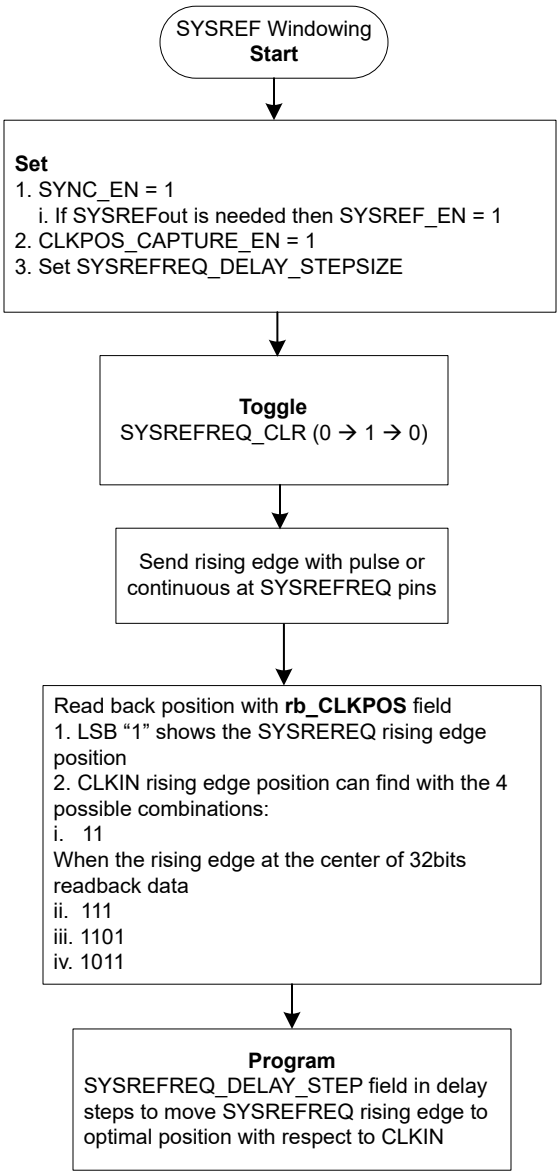


图 6-10. SYSREF 窗口化操作流程图

表 6-16. SYSREFREQ_DELAY_STEPSIZE

输入频率	推荐的 SYSREFREQ_DELAY_STEPSIZE	延迟 (ps)
1.4GHz < f_{CLKIN} ≤ 2.7GHz	0	22.25
2.4GHz < f_{CLKIN} ≤ 4.7GHz	1	13
3.1GHz < f_{CLKIN} ≤ 5.7GHz	2	10.5
f_{CLKIN} ≥ 4.5GHz	3	7.75

6.3.6.3.2.2 具有延迟发生器的 SYSREFREQ 中继器模式（重定时）

通过在 IQ 发生器的不同边沿对 SYSREFout 进行重定时，LMX 至 LMX 扇出器件可以实现启用了延迟的 SYSREF 中继器模式。该重定时可根据 SYSREF_DELAY_DIV 值来确定 CLKIN 和 SYSREFREQ 输入之间的延迟裕度。

Copyright © 2024 Texas Instruments Incorporated

表 6-17 展示了 SYSREF 窗口化的总延迟裕度与各种 SYSREF 设置间的关系。

表 6-17. 中继器模式下重定时的 SYSREF 相位调整设置

SYSREF_DELAY_DIV	同步期间选择的位置代码	最大裕度的边沿	CLKIN 周期中的总裕度	SYSREFx_DELAY_PHASE	SYSREFx_DELAY_Q	SYSREFx_DELAY_I
/2	第 1 个边沿前	I	-1、+1	“11”	0	127
	第 1 个边沿后	Qz	-1、+1	“01”	127	0
	第 2 个边沿后	Iz	-1、+1	“00”	0	127
/4	第 1 个边沿前	Qz	-2、+2	“01”	127	0
	第 1 个边沿后	Iz	-2、+2	“00”	0	127
	第 2 个边沿后	Q	-2、+2	“10”	127	0
/8	第 1 个边沿前	Qz	-5、+3	“01”	127	0
	第 1 个边沿后	Qz	-4、+4	“01”	127	0
	第 2 个边沿后	Qz	-3、+5	“01”	127	0
/16	第 1 个边沿前	I	-9、+7	“11”	0	127
	第 1 个边沿后	I	-8、+8	“11”	0	127
	第 2 个边沿后	I	-7、+9	“11”	0	127

需要使用中继器重定时模式来在初始阶段执行 SYSREF 窗口化，以同步多个器件中的 SYSREF_DELAY_DIV。用户稍后可以为 SYNC 的所选边沿选择 SYSREFx_DELAY_PHASE、SYSREF_DELAY_Q 和 SYSREFx_DELAY_I 设置。

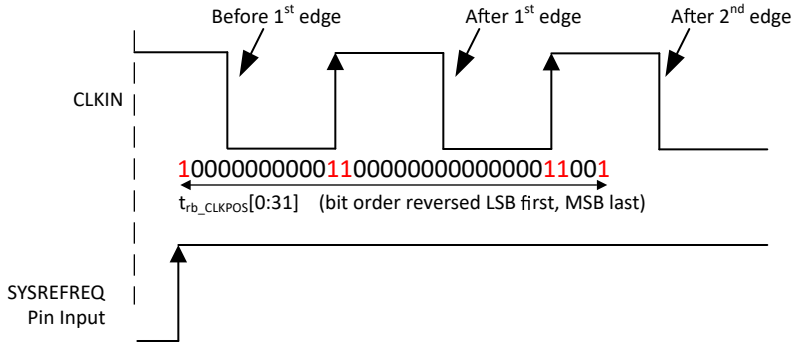


图 6-11. 用于选择 SYNC 边沿位置的 SYSREF 窗口化

该配置必须将器件设置为 **SYSREF_MODE** R17[1:0] 值“2”（中继器模式）和 **SYSREF_DELAY_BYPASS** R72[1:0] 值“2”（在所有模式下启用延迟发生器）。

用于无干扰输出

- 从请求模式切换到窗口模式，再切换回请求模式时，SYSREFREQ 引脚的状态保持不变。例如，如果在窗口模式启动时 SYSREFREQ 引脚为高电平（或低电平），请确保在窗口模式结束后，引脚状态再次为高电平（或低电平），然后才对 CLKPOS_CAPTURE_EN 进行编程。
- 从 SYNC 模式切换到其他模式，或从其他模式切换到 SYNC 模式时，SYSREFREQ 引脚必须设置为低电平。

使用 SYSREF 窗口化的其他指针

- SYSREFREQ 引脚必须保持高电平至少 $3/f_{CLKIN}$ + 1.6ns 的时间，只有在该时间之后，rb_CLKPOS 字段才有效。

- 如果用户从 rb_CLKPOS 寄存器推导出多个有效的 SYSREFREQ_DELAY_STEP 值来避免违反设置和保持时间，TI 建议选择最小的有效 SYSREFREQ_DELAY_STEP，以便尽量减少温度变化的影响。

如果使用 SYNC 特性

- 每 75 个输入时钟周期仅允许 1 个 SYSREFREQ 引脚上升沿
- SYSREFREQ 必须在 > 6 个时钟周期内保持高电平

6.3.7 SYNC 特性

SYNC 特性允许用户同步 CLK_DIV、LOGICLK_DIV、LOGICLK_DIV_PRE、SYSREF_DIV、SYSREF_DIV_PRE 和 SYSREF_DELAY_DIV 分频器，以便在下电上电期间使相位偏移保持一致。这允许对多个器件进行同步。该同步分频器只能通过 SYSREFREQ 引脚完成，不能通过软件完成。

6.4 器件功能模式

表 6-18 展示了器件的不同模式。CLK_MUX 字段允许用户将器件配置为缓冲器、分频器或倍频器。对于需要此功能的应用，也可以启用 SYSREF。

表 6-18. 器件配置

CLK_MUX	CLK_DIV/ CLK_MULT	SYSREF_EN	功能模式
1	x	0	缓冲器
		1	带 SYSREF 的缓冲器
2	2、3、4、..、8	0	分频器
		1	带 SYSREF 的分频器
3	2、3、4	0	倍频器
		1	带 SYSREF 的倍频器

Copyright © 2024 Texas Instruments Incorporated

7 寄存器映射

	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R0	0	0	0	0	0	0	0	0	0	0	0	0	0	POWERDOWN	0	RESET
R2	0	0	0	0	0	0	SMCLK_DIV_PRE				SMCLK_EN	0	0	0	1	1
R3	CH3_EN	CH2_EN	CH1_EN	CH0_EN	LOGIC_MUTE_CAL	CH3_MUTE_CAL	CH2_MUTE_CAL	CH1_MUTE_CAL	CH0_MUTE_CAL	0	0	0	0	SMCLK_DIV		
R4	0	0	CLKOUT1_PWR			CLKOUT0_PWR			SYSREFOUT3_EN	SYSREFOUT2_EN	SYSREFOUT1_EN	SYSREFOUT0_EN	CLKOUT3_EN	CLKOUT2_EN	CLKOUT1_EN	CLKOUT0_EN
R5	0	SYSREFOUT2_PWR			SYSREFOUT1_PWR			SYSREFOUT0_PWR			CLKOUT3_PWR			CLKOUT2_PWR		
R6	LOGICLKOUT_EN	SYSREFOUT3_VCM			SYSREFOUT2_VCM			SYSREFOUT1_VCM			SYSREFOUT0_VCM			SYSREFOUT3_PWR		
R7	0	LOGISYSREFOUT_VCM		LOGICLKOUT_VCM		LOGISYSREFOUT_PREDRV_PWR		LOGICLKOUT_PREDRV_PWR		LOGISYSREFOUT_PWR			LOGICLKOUT_PWR			LOGISYSREFOUT_EN
R8	0	0	0	0	0	0	0	LOGICLK_DIV_PRE			1	LOGIC_EN	LOGISYSREFOUT_FMT		LOGICLKOUT_FMT	
R9	SYSREFREQ_VCM		SYNC_EN	LOGICLK_DIV_PD	LOGICLK_DIV_BYPASS	0	LOGICLK_DIV									
R11	rb_CLKPOS															
R12	rb_CLKPOS[31:16]															
R13	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SYSREFREQ_DELAY_STEPSIZE	
R14	0	0	0	0	0	0	0	SYNC_MUTE_PD	0	0	0	0	0	CLKPOS_CAPTURE_EN	SYSREFREQ_MODE	SYSREFREQ_LATCH
R15	0	0	0	0	SYSREF_DIV_PRE		1	SYSREF_SP_EN	SYSREF_EN	SYSREFREQ_DELAY_STEP						SYSREFREQ_CLR
R16	SYSREF_PULSE_COUNT				SYSREF_DIV											
R17	0	0	0	0	0	SYSREF0_DELAY_I							SYSREF0_DELAY_PHASE		SYSREF_MODE	
R18	SYSREF1_DELAY_I							SYSREF1_DELAY_PHASE		SYSREF0_DELAY_Q						
R19	SYSREF2_DELAY_I							SYSREF2_DELAY_PHASE		SYSREF1_DELAY_Q						
R20	SYSREF3_DELAY_I							SYSREF3_DELAY_PHASE		SYSREF2_DELAY_Q						
R21	LOGISYSREF_DELAY_I							LOGISYSREF_DELAY_PHASE		SYSREF3_DELAY_Q						
R22	SYSREF1_DELAY_SCALE		SYSREF0_DELAY_SCALE		SYSREF_DELAY_DIV			0	0	LOGISYSREF_DELAY_Q						
R23	EN_TEMPSENSE	1	MUXOUT_EN	0	0	0	0	0	0	MUXOUT_SEL	LOGISYSREF_DELAY_SCALE		SYSREF3_DELAY_SCALE		SYSREF2_DELAY_SCALE	
R24	0	0	0	0	rb_TEMPSENSE											EN_TS_COUNT
R25	0	0	0	0	0	0	1	0	0	CLK_DIV_RST	CLK_DIV (CLK_MULT)			CLK_MUX		
R28	0	0	0	FORCE_VCO	VCO_SEL			0	0	0	0	0	1	0	0	0

R29	0	0	0	0	0	1	0	1	CAPCTRL							
R33	0	1	0	1	0	1	1	0	0	1	1	0	0	1	1	0
R34	0	0	0	0	0	1	0	0	1	1	0	0	0	1	0	1
R65	0	1	0	0	0	1	0	rb_VCO_SEL					0	0	0	0
R67	0	1	0	1	0	0	0	1	1	1	0	0	1	0	1	1
R72	0	0	0	0	0	0	0	0	0	0	0	0	PULSER_LATCH	SYSREFREQ_SPI	SYSREF_DELAY_BYPASS	
R75	0	0	0	0	0	0	rb_LD		0	0	0	0	0	0	1	1
R79	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0
R86	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R90	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0

Copyright © 2024 Texas Instruments Incorporated

7.1 LMX1204 寄存器

表 7-1 列出了器件寄存器的存储器映射寄存器。表 7-1 中未列出的所有寄存器地址都是无文档记载的地址，可以视为保留。写入无文档记载的地址可能会导致器件无法按预期工作。除非 TI 特别指示，否则不要向无文档记载的地址写入数据。

推荐的初始编程序列首先写入 R0 且 RESET = 0x1，然后按降序写入所需配置的所有寄存器（从最大到最小地址）。如果不使用这些特性，或者所需的值与复位值不相同，那么与特定特性相关的寄存器可被跳过。有几个寄存器被记录下来，只是为了允许回读某些倍频器值，它们可以在初始编程时被省略，或者在不使用倍频器时被完全忽略。

表 7-1. LMX1204 寄存器

地址	首字母缩写词	需要此寄存器的特性	部分
0x0	R0	断电、复位、倍频器模式校准	转到
0x2	R2	倍频器模式（状态机时钟）	转到
0x3	R3	倍频器模式（状态机时钟）、输出使能	转到
0x4	R4	输出使能、CLKOUT 电源	转到
0x5	R5	CLKOUT 电源、SYSREFOUT 电源	转到
0x6	R6	LOGICLK 使能、SYSREFOUT 电源/VCM	转到
0x7	R7	LOGICLK 和 LOGISYSREF	转到
0x8	R8	LOGICLK 和 LOGISYSREF	转到
0x9	R9	LOGICLK 分频器、SYNC、SYSREFREQ	转到
0xB	R11	SYSREFREQ 窗口化（回读）	转到
0xC	R12	SYSREFREQ 窗口化（回读）	转到
0xD	R13	SYSREFREQ 窗口化	转到
0xE	R14	SYSREFREQ 窗口化、SYNC、SYSREF	转到
0xF	R15	SYSREFREQ 窗口化、SYNC、SYSREF	转到
0x10	R16	SYSREF	转到
0x11	R17	SYSREF、SYSREFOUT 延迟	转到
0x12	R18	SYSREFOUT 延迟	转到
0x13	R19	SYSREFOUT 延迟	转到
0x14	R20	SYSREFOUT 延迟	转到
0x15	R21	SYSREFOUT 延迟	转到
0x16	R22	SYSREFOUT 延迟	转到
0x17	R23	温度传感器、MUXOUT、SYSREFOUT 延迟	转到
0x18	R24	温度传感器	转到
0x19	R25	倍频器模式、分频器模式	转到
0x1C	R28	倍频器模式（可选，部分辅助校准）	转到
0x1D	R29	倍频器模式（可选，部分辅助校准）	转到
0x21	R33	倍频器模式（保留，必须在倍频器模式下写入）	转到
0x22	R34	倍频器模式（保留，必须在倍频器模式下写入）	转到
0x41	R65	倍频器模式（只读，可选，用于部分辅助校准）	转到
0x43	R67	倍频器模式（保留，必须在倍频器模式下写入）	转到
0x48	R72	SYSREF	转到
0x4B	R75	倍频器模式（只读，可选，锁定检测）	转到
0x4F	R79	LOGICLK 分频器（保留，可选，用于分频器旁路）	转到

表 7-1. LMX1204 寄存器（续）

地址	首字母缩写词	需要此寄存器的特性	部分
0x56	R86	MUXOUT（保留，可选，用于三态）	转到
0x5A	R90	LOGICLK 分频器（保留，可选，用于分频器旁路）	转到

复杂的位访问类型经过编码可适应小型表单元。器件访问类型代码 展示了适用于此部分中访问类型的代码。

表 7-2. 器件访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入

Copyright © 2024 Texas Instruments Incorporated

7.1.1 R0 寄存器（偏移 = 0x0）[复位 = 0x0000]

表 7-3 展示了 R0。

返回到汇总表。

表 7-3. R0 寄存器字段说明

位	字段	类型	复位	说明
15:3	RESERVED	R	0x0000	保留（未使用）。
2	POWERDOWN	R/W	0x0	将器件设置为低功耗状态。其他寄存器的状态保持不变。
1	RESERVED	R/W	0x0	保留。如果对该寄存器执行写操作，将该位置位为 0x0。
0	RESET	R/W	0x0	软复位。复位整个逻辑和寄存器（相当于上电复位）。下次写入寄存器时自行清除。

7.1.2 R2 寄存器（偏移 = 0x2）[复位 = 0x0223]

表 7-4 展示了 R2。

返回到汇总表。

表 7-4. R2 寄存器字段说明

位	字段	类型	复位	说明
15:11	RESERVED	R	0x00	保留（未使用）。
10	RESERVED	R/W	0x0	保留。如果对该寄存器执行写操作，将该位置位为 0x0。
9:6	SMCLK_DIV_PRE	R/W	0x8	为状态机时钟设置预分频器。 状态机时钟由 CLKIN 分频得到。预分频器的输出必须 ≤ 1600MHz。 除下列值以外的值均保留。 0x2 = ÷2 0x4 = ÷4 0x8 = ÷8
5	SMCLK_EN	R/W	0x1	启用状态机时钟发生器。仅在用于校准倍频器和执行倍频器锁定检测（包括在 MUXOUT 引脚上检测）时需启用。如果未使用倍频器，或者未使用倍频器锁定检测特性，则可禁用状态机时钟发生器，以更大限度减少串扰。
4:0	RESERVED	R/W	0x03	保留。如果对该寄存器执行写操作，则将这些位设置为 0x03。

7.1.3 R3 寄存器（偏移 = 0x3）[复位 = 0xFF86]

表 7-5 展示了 R3。

返回到汇总表。

表 7-5. R3 寄存器字段说明

位	字段	类型	复位	说明
15	CH3_EN	R/W	0x1	启用 CH3（CLKOUT3、SYSREFOUT3）。将该位设置为 0x0 会完全禁用所有 CH3 电路，从而覆盖其他断电/使能位的状态。
14	CH2_EN	R/W	0x1	启用 CH2（CLKOUT2、SYSREFOUT2）。将该位设置为 0x0 会完全禁用所有 CH2 电路，从而覆盖其他断电/使能位的状态。
13	CH1_EN	R/W	0x1	启用 CH1（CLKOUT1、SYSREFOUT1）。将该位设置为 0x0 会完全禁用所有 CH1 电路，从而覆盖其他断电/使能位的状态。
12	CH0_EN	R/W	0x1	启用 CH0（CLKOUT0、SYSREFOUT0）。将该位设置为 0x0 会完全禁用所有 CH0 电路，从而覆盖其他断电/使能位的状态。
11	LOGIC_MUTE_CAL	R/W	0x1	在倍频器校准期间使 LOGIC 输出（LOGICLKOUT、LOGISYSREFOUT）静音。
10	CH3_MUTE_CAL	R/W	0x1	在倍频器校准期间使 CH3（CLKOUT3、SYSREFOUT3）静音。
9	CH2_MUTE_CAL	R/W	0x1	在倍频器校准期间使 CH2（CLKOUT2、SYSREFOUT2）静音。
8	CH1_MUTE_CAL	R/W	0x1	在倍频器校准期间使 CH1（CLKOUT1、SYSREFOUT1）静音。
7	CH0_MUTE_CAL	R/W	0x1	在倍频器校准期间使 CH0（CLKOUT0、SYSREFOUT0）静音。
6:3	RESERVED	R/W	0x0	保留。如果对该寄存器执行写操作，则将这些位设置为 0x0。
2:0	SMCLK_DIV	R/W	0x6	设置状态机时钟分频器。进一步对状态机时钟预分频器的输出进行分频。由 SMCLK_DIV_PRE 提供的输入频率必须 ≤ 1600MHz。输出频率必须 ≤ 30MHz。分频值为 2^{SMCLK_DIV}。 0x0 = ÷1 0x1 = ÷2 0x2 = ÷4 0x3 = ÷8 0x4 = ÷16 0x5 = ÷32 0x6 = ÷64 0x7 = ÷128

Copyright © 2024 Texas Instruments Incorporated

7.1.4 R4 寄存器（偏移 = 0x4）[复位 = 0x360F]

表 7-6 展示了 R4。

返回到汇总表。

表 7-6. R4 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R	0x0	保留（未使用）。
13:11	CLKOUT1_PWR	R/W	0x6	设置 CLKOUT1 的输出功率。值越大，对应的输出功率就越高。
10:8	CLKOUT0_PWR	R/W	0x6	设置 CLKOUT0 的输出功率。值越大，对应的输出功率就越高。
7	SYSREFOUT3_EN	R/W	0x0	启用 SYSREFOUT3 输出缓冲器。
6	SYSREFOUT2_EN	R/W	0x0	启用 SYSREFOUT2 输出缓冲器。
5	SYSREFOUT1_EN	R/W	0x0	启用 SYSREFOUT1 输出缓冲器。
4	SYSREFOUT0_EN	R/W	0x0	启用 SYSREFOUT0 输出缓冲器。
3	CLKOUT3_EN	R/W	0x1	启用 CLKOUT3 输出缓冲器。
2	CLKOUT2_EN	R/W	0x1	启用 CLKOUT2 输出缓冲器。
1	CLKOUT1_EN	R/W	0x1	启用 CLKOUT1 输出缓冲器。
0	CLKOUT0_EN	R/W	0x1	启用 CLKOUT0 输出缓冲器。

7.1.5 R5 寄存器（偏移 = 0x5）[复位 = 0x4936]

表 7-7 展示了 R5。

返回到汇总表。

表 7-7. R5 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留（未使用）。
14:12	SYSREFOUT2_PWR	R/W	0x4	设置 SYSREFOUT2 的输出功率。值越大，对应的输出功率就越高。必须正确设置 SYSREFOUT2_VCM，使输出共模电压处于允许的范围内。另请参阅 R6 寄存器。
11:9	SYSREFOUT1_PWR	R/W	0x4	设置 SYSREFOUT1 的输出功率。值越大，对应的输出功率就越高。必须正确设置 SYSREFOUT1_VCM，使输出共模电压处于允许的范围内。另请参阅 R6 寄存器。
8:6	SYSREFOUT0_PWR	R/W	0x4	设置 SYSREFOUT0 的输出功率。值越大，对应的输出功率就越高。必须正确设置 SYSREFOUT0_VCM，使输出共模电压处于允许的范围内。另请参阅 R6 寄存器。
5:3	CLKOUT3_PWR	R/W	0x6	设置 CLKOUT3 的输出功率。值越大，对应的输出功率就越高。
2:0	CLKOUT2_PWR	R/W	0x6	设置 CLKOUT2 的输出功率。值越大，对应的输出功率就越高。

7.1.6 R6 寄存器（偏移 = 0x6）[复位 = 0x36D6]

表 7-8 展示了 R6。

返回到汇总表。

表 7-8. R6 寄存器字段说明

位	字段	类型	复位	说明
15	LOGICLKOUT_EN	R/W	0x0	启用 LOGICLKOUT 输出缓冲器。
14:12	SYSREFOUT3_VCM	R/W	0x3	设置 SYSREFOUT3 的输出共模。必须设置正确 SYSREFOUT3_PWR，使最小和最大输出电压处于允许的范围内。
11:9	SYSREFOUT2_VCM	R/W	0x3	设置 SYSREFOUT2 的输出共模。必须设置正确 SYSREFOUT2_PWR，使最小和最大输出电压处于允许的范围内。另请参阅 R5 寄存器。
8:6	SYSREFOUT1_VCM	R/W	0x3	设置 SYSREFOUT1 的输出共模。必须设置正确 SYSREFOUT1_PWR，使最小和最大输出电压处于允许的范围内。另请参阅 R5 寄存器。
5:3	SYSREFOUT0_VCM	R/W	0x3	设置 SYSREFOUT0 的输出共模。必须设置正确 SYSREFOUT0_PWR，使最小和最大输出电压处于允许的范围内。另请参阅 R5 寄存器。
2:0	SYSREFOUT3_PWR	R/W	0x4	设置 SYSREFOUT3 的输出功率。值越大，对应的输出功率就越高。必须正确设置 SYSREFOUT3_VCM，使输出共模电压处于允许的范围内。

Copyright © 2024 Texas Instruments Incorporated

7.1.7 R7 寄存器（偏移 = 0x7）[复位 = 0x0000]

表 7-9 展示了 R7。

返回到汇总表。

表 7-9. R7 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留（未使用）。
14:13	LOGISYSREFOUT_VCM	R/W	0x0	以 LVDS 格式设置 LOGISYSREFOUT 的输出共模。其他输出格式（CML、LVPECL）会忽略该字段。 0x0 = 1.2V 0x1 = 1.1V 0x2 = 1.0V 0x3 = 0.9V
12:11	LOGICLKOUT_VCM	R/W	0x0	以 LVDS 格式设置 LOGICLKOUT 的输出共模。其他输出格式（CML、LVPECL）会忽略该字段。 0x0 = 1.2V 0x1 = 1.1V 0x2 = 1.0V 0x3 = 0.9V
10:9	LOGISYSREFOUT_PREDRV_PWR	R/W	0x0	设置 LOGISYSREFOUT 前置驱动器的输出功率。值越大，对应的输出功率就越高。默认值足以满足典型使用要求。
8:7	LOGICLKOUT_PREDRV_PWR	R/W	0x0	设置 LOGICLKOUT 前置驱动器的输出功率。值越大，对应的输出功率就越高。默认值足以满足典型使用要求。
6:4	LOGISYSREFOUT_PWR	R/W	0x0	以 CML 格式设置 LOGISYSREFOUT 的输出功率。值越大，对应的输出功率就越高。其他输出格式（LVDS、LVPECL）会忽略该字段。有效范围为 0x0 至 0x3。
3:1	LOGICLKOUT_PWR	R/W	0x0	以 CML 格式设置 LOGICLKOUT 的输出功率。值越大，对应的输出功率就越高。其他输出格式（LVDS、LVPECL）会忽略该字段。有效范围为 0x0 至 0x3。
0	LOGISYSREFOUT_EN	R/W	0x0	启用 LOGISYSREFOUT 输出缓冲器。

7.1.8 R8 寄存器（偏移 = 0x8）[复位 = 0x0120]

表 7-10 展示了 R8。

返回到汇总表。

表 7-10. R8 寄存器字段说明

位	字段	类型	复位	说明
15:9	RESERVED	R	0x00	保留（未使用）。
8:6	LOGICLK_DIV_PRE	R/W	0x4	设置逻辑时钟分频器的预分频器值。预分频器的输出必须 ≤ 3.2GHz。除下列值以外的值均保留。 0x1 = ÷1 0x2 = ÷2 0x4 = ÷4
5	RESERVED	R/W	0x1	保留。如果对该寄存器执行写操作，将该位置位为 0x1。
4	LOGIC_EN	R/W	0x0	启用 LOGICLK 子系统（LOGICLKOUT、LOGISYSREFOUT）。将该位设置为 0x0 会完全禁用所有 LOGICLKOUT 和 LOGISYSREFOUT 电路，从而覆盖其他断电/使能位的状态。
3:2	LOGISYSREFOUT_FMT	R/W	0x0	选择 LOGISYSREFOUT 输出的输出驱动器格式。LVDS 支持通过 LOGISYSREFOUT_VCM 字段进行共模控制。CML 可通过 LOGISYSREFOUT_PWR 字段实现输出功率控制。CML 格式需要外部 50Ω 上拉电阻器。LVPECL 在交流耦合时需要外部 220Ω 发射极电阻连接到 GND，在直流耦合时需要 50Ω 连接到 VCC - 2V (0.5V)。另请参阅 R7 寄存器。 0x0 = LVDS 0x1 = LVPECL 0x2 = CML 0x3 = 保留
1:0	LOGICLKOUT_FMT	R/W	0x0	选择 LOGICLKOUT 输出的输出驱动器格式。LVDS 可通过 LOGICLKOUT_VCM 字段实现共模控制。CML 可通过 LOGICLKOUT_PWR 字段实现输出电源控制。CML 格式需要外部 50Ω 上拉电阻器。LVPECL 在交流耦合时需要外部 220Ω 发射极电阻连接到 GND，在直流耦合时需要 50Ω 连接到 VCC - 2V (0.5V)。另请参阅 R7 寄存器。 0x0 = LVDS 0x1 = LVPECL 0x2 = CML 0x3 = 保留

Copyright © 2024 Texas Instruments Incorporated

7.1.9 R9 寄存器（偏移 = 0x9）[复位 = 0x001E]

表 7-11 展示了 R9。

返回到汇总表。

表 7-11. R9 寄存器字段说明

位	字段	类型	复位	说明
15:14	SYSREFREQ_VCM	R/W	0x0	设置 SYSREFREQ 引脚的内部直流偏置。对于交流耦合输入，必须启用偏置；但对于直流耦合输入，可以启用偏置并过驱动，也可以禁用偏置。SYSREFREQ DC 引脚电压必须在 0.7V 至 VCC 范围内，包括最小和最大信号摆幅。 0x0 = 1.3V 0x1 = 1.1V 0x2 = 1.5V 0x3 = 禁用（仅直流耦合）
13	SYNC_EN	R/W	0x0	启用分频器的同步路径，并允许启用时钟位置捕获电路。用于多器件同步。如果 SYSREF_EN = 0x1，则为冗余。
12	LOGICLK_DIV_PD	R/W	0x0	禁用 LOGICLK 分频器。LOGICLK 预分频器保持启用状态。用于在绕过 LOGICLK 分频器时减少电流消耗。 当 LOGICLK_DIV_PRE = 0x2 或 0x4 时，该位必须设置为 0x0。
11	LOGICLK_DIV_BYPASS	R/W	0x0	绕过 LOGICLK 分频器，直接从预分频器导出 LOGICLK 输出。用于在 LOGICLK_DIV_PRE = 0x1 时实现 1 分频。 当 LOGICLK_DIV_PRE = 0x2 或 0x4 时，该位必须设置为 0x0。 当 LOGICLK_DIV_BYPASS = 0x1 时，设置 R90[6:5] = 0x3 且 R79[9:8] = 0x0。当 LOGICLK_DIV_BYPASS = 0x0 时，如果由于先前的用户设置导致 R90[6:5] = 0x3，则设置 R90[6:5] = 0x0。 LOGICLK_DIV_BYPASS = 0x1 时，LOGICLKOUT 频率必须 ≤ 800MHz，以避免振幅衰减。 另请参见 R79 寄存器和 R90 寄存器。
10	RESERVED	R/W	0x0	保留。如果对该寄存器执行写操作，将该位置位为 0x0。
9:0	LOGICLK_DIV	R/W	0x1E	设置 LOGICLK 分频器值。由 LOGICLK_DIV_PRE 提供的最大输入频率必须 ≤ 3200MHz。最大 LOGICLKOUT 频率必须 ≤ 800MHz，以避免振幅衰减。 0x0：保留 0x1：保留 0x2： ÷2 0x3：÷3 ... 0x1FF：÷1023

7.1.10 R11 寄存器（偏移 = 0xB）[复位 = 0xFFFF]

表 7-12 展示了 R11。

返回到汇总表。

表 7-12. R11 寄存器字段说明

位	字段	类型	复位	说明
15:0	rb_CLKPOS[15:0]	R	0xFFFF	存储 CLKIN 信号上升沿位置相对于 SYSREFREQ 上升沿的快照，该快照从 LSB 开始并在 MSB 结束。每个位都代表 CLKIN 信号的一个样片，由 SYSREFREQ_DELAY_STEPSIZE 字段确定的延迟隔开。rb_CLKPOS 的第一位和最后一位始终保持置位状态，指示捕获窗口边界条件下的不确定性。CLKIN 上升沿由从 LSB 到 MSB 的两个设置位的每个序列表示，包括边界条件下的位。快照中 CLKIN 上升沿的位置以及 CLKIN 信号周期和延迟步长可用于计算 SYSREFREQ_DELAY_STEP 的值，从而更大限度地延长 SYSREFREQ 引脚上 SYNC 信号的设置时间和保持时间。另请参阅 R12 寄存器、R13 寄存器、R14 寄存器和 R15 寄存器。

7.1.11 R12 寄存器（偏移 = 0xC）[复位 = 0xFFFF]

表 7-13 展示了 R12。

返回到汇总表。

表 7-13. R12 寄存器字段说明

位	字段	类型	复位	说明
15:0	rb_CLKPOS[31:16]	R	0xFFFF	rb_CLKPOS 字段的 MSB。另请参阅 R11 寄存器、R13 寄存器、R14 寄存器和 R15 寄存器。

7.1.12 R13 寄存器（偏移 = 0xD）[复位 = 0x0003]

表 7-14 展示了 R13。

返回到汇总表。

表 7-14. R13 寄存器字段说明

位	字段	类型	复位	说明
15:2	RESERVED	R	0x0000	保留（未使用）。
1:0	SYSREFREQ_DELAY_STEPSIZE	R/W	0x3	设置 SYSREFREQ 路径中使用的延迟元件的步长，用于 SYSREFREQ 输入延迟和时钟位置捕获。每个步长的推荐频率范围创建了给定 CLKIN 频率的最大可用步长数。这些范围包括一些重叠，以考虑工艺和温度变化。如果 CLKIN 频率被重叠范围覆盖，则较大的延迟步长会提高在时钟位置捕获期间检测到 CLKIN 上升沿的可能性。但是，值越大，包含的延迟步长就越多，因此相对于较小的步长，较大的步长在 PVT 上的总延迟变化更大。另请参阅 R11 寄存器、R12 寄存器、R14 寄存器和 R15 寄存器。 0x0 = 28ps（1.4GHz 至 2.7GHz） 0x1 = 15ps（2.4GHz 至 4.7GHz） 0x2 = 11ps（3.1GHz 至 5.7GHz） 0x3 = 8ps（4.5GHz 至 12.8GHz）

Copyright © 2024 Texas Instruments Incorporated

7.1.13 R14 寄存器（偏移 = 0xE）[复位 = 0x0002]

表 7-15 展示了 R14。

返回到汇总表。

表 7-15. R14 寄存器字段说明

位	字段	类型	复位	说明
15:9	RESERVED	R/W	0x00	保留。如果对该寄存器执行写操作，则将这些位设置为 0x00。
8	SYNC_MUTE_PD	R/W	0x0	消除 SYNC 模式 (SYSREFREQ_MODE = 0x0) 期间 SYSREFOUT 和 LOGISYSREFOUT 引脚上的静音条件。由于 SYNC 操作也会复位 SYSREF 分频器，因此静音条件通常是可取的，该位可保留为默认值。
7:3	RESERVED	R/W	0x00	保留。如果对该寄存器执行写操作，则将这些位设置为 0x00。
2	CLKPOS_CAPTURE_EN	R/W	0x0	启用窗口化电路，该电路可捕获 rb_CLKPOS 寄存器中相对于 SYSREF 边沿的时钟位置。捕获时钟位置之前，必须通过将 SYSREFREQ_CLR 切换为高电平然后切换为低电平来清除窗口化电路。清除窗口化电路后，SYSREFREQ 引脚上的第一个上升沿将触发捕获。捕获电路大大增加了电源电流，在 SYNC 或 SYSREF 模式下无需启用捕获电路即可延迟 SYSREFREQ 信号。确定所需的 SYSREFREQ_DELAY_STEP 值后，将该位设置为 0x0 以尽可能减少电流消耗。如果 SYNC_EN = 0x0 且 SYSREF_EN = 0x0，则会忽略该位的值，并禁用窗口化电路。另请参阅 R11 寄存器、R12 寄存器、R13 寄存器和 R15 寄存器。
1	SYSREFREQ_MODE	R/W	0x1	选择 SYSREFREQ 引脚的功能。 0x0 = SYNC 引脚 0x1 = SYSREFREQ 引脚
0	SYSREFREQ_LATCH	R/W	0x0	在 SYSREFREQ 引脚的第一个上升沿，将内部 SYSREFREQ 状态锁存为逻辑高电平。通过将 SYSREFREQ_CLR 设置为 0x1 可以清除该锁存，也可以通过将 SYSREFREQ_LATCH 设置为 0x0 来旁路该锁存。另请参阅 R15 寄存器。

7.1.14 R15 寄存器（偏移 = 0xF）[复位 = 0x0901]

表 7-16 展示了 R15。

返回到汇总表。

表 7-16. R15 寄存器字段说明

位	字段	类型	复位	说明
15:12	RESERVED	R	0x0	保留（未使用）。
11:10	SYSREF_DIV_PRE	R/W	0x2	设置 SYSREF 预分频器。最大输出频率必须 ≤ 3.2GHz。 0x0 = ÷1 0x1 = ÷2 0x2 = ÷4 0x3 = 保留
9:8	RESERVED	R/W	0x1	保留。如果对该寄存器执行写操作，则将这些位设置为 0x1。
7	SYSREF_EN	R/W	0x0	启用 SYSREF 子系统（当 SYSREFREQ_MODE = 0x0 时还启用 SYNC 子系统）。将该位设置为 0x0 会完全禁用所有 SYNC、SYSREF 和时钟位置捕获电路，从而覆盖除 SYNC_EN 之外的其他断电/使能位的状态。如果 SYNC_EN = 0x1，则无论 SYSREF_EN 的状态如何，SYNC 路径和时钟位置捕获电路仍处于启用状态。
6:1	SYSREFREQ_DELAY_STEP	R/W	0x0	设置外部 SYSREFREQ 信号的延迟线路步长。每个延迟线路步长都会造成一定的 SYSREFREQ 信号延迟，延迟量等于 SYSREFREQ_DELAY_STEP x SYSREFREQ_DELAY_STEPSIZE。在 SYNC 模式下，可以根据 rb_CLKPOS 值来确定该字段的值，从而满足 SYNC 信号相对于 CLKIN 信号的内部设置时间和保持时间要求。在 SYSREF 中继器模式下，该字段的值可用作粗略全局延迟。大于 0x3F 的值无效。由于较大的值包含更多的延迟步长，因此与较小的值相比，较大的值在整个 PVT 中的总步长变化更大。有关延迟步长计算过程的详细说明，请参阅数据表或器件 TICS Pro 配置文件。另请参阅 R11 寄存器、R12 寄存器、R13 寄存器和 R14 寄存器。
0	SYSREFREQ_CLR	R/W	0x1	清除 SYSREFREQ_LATCH，从而复位 SYSREFREQ 输入锁存器、内部分频器同步重定时器和包含 rb_CLKPOS 的时钟位置捕获触发器。在除 SYSREF 中继器模式之外的所有模式下，设置该位会将内部 SYSREFREQ 信号保持为低电平，从而覆盖 SYSREFREQ_SPI 的状态。在执行 SYNC 或时钟位置捕获操作之前，必须设置和清除该位一次。另请参阅 R14 寄存器。

Copyright © 2024 Texas Instruments Incorporated

7.1.15 R16 寄存器（偏移 = 0x10）[复位 = 0x1003]

表 7-17 展示了 R16。

返回到汇总表。

表 7-17. R16 寄存器字段说明

位	字段	类型	复位	说明
15:12	SYSREF_PULSE_COUNT	R/W	0x1	对在脉冲发生器模式下生成的脉冲数进行编程。脉冲发生器是对 SYSREF 分频器进行门控的计数器；因此，脉冲持续时间和频率分别等于 SYSREF 分频器输出的占空比和频率。 0x0：保留 0x1：1 个脉冲 0x2：2 个脉冲 ... 0xF：15 个脉冲
11:0	SYSREF_DIV	R/W	0x3	设置 SYSREF 分频器。由 SYSREF_DIV_PRE 提供的最大输入频率必须 ≤ 3200MHz。最大输出频率必须 ≤ 100MHz。仅当绕过延迟发生器时，才允许奇数分频（占空比 != 50%）。另请参阅 R72 寄存器。 0x0：保留 0x1：保留 0x2：÷2 0x3：÷3 ... 0xFFF：÷4095

7.1.16 R17 寄存器（偏移 = 0x11）[复位 = 0x07F0]

表 7-18 展示了 R17。

返回到汇总表。

表 7-18. R17 寄存器字段说明

位	字段	类型	复位	说明
15:11	RESERVED	R	0x0	保留（未使用）。
10:4	SYSREFOUT0_DELAY_I	R/W	0x7F	设置 SYSREFOUT0 延迟发生器的延迟步长。必须满足 SYSREFOUT0_DELAY_I + SYSREFOUT0_DELAY_Q = 0x7F。有关配置说明，请参阅数据表。另请参见 R18 寄存器和 R22 寄存器。
3:2	SYSREFOUT0_DELAY_PHASE	R/W	0x0	设置用于 SYSREFOUT0 延迟发生器重定时器的内插器时钟的正交相位。有关配置说明，请参阅数据表。另请参见 R18 寄存器和 R22 寄存器。 0x0 = $\overline{\text{ICLK}}$ 0x1 = $\overline{\text{QCLK}}$ 0x2 = QCLK 0x3 = ICLK
1:0	SYSREF_MODE	R/W	0x0	控制 SYSREF 信号的生成或重复方式。另请参阅 R79 寄存器中的 SYSREF_DELAY_BYPASS，以了解其他配置选项。 0x0 = 连续（发生器模式） 0x1 = 脉冲发生器（发生器模式） 0x2 = 中继器（中继器模式） 0x3 = 保留

7.1.17 R18 寄存器（偏移 = 0x12）[复位 = 0xFE00]

表 7-19 展示了 R18。

返回到汇总表。

表 7-19. R18 寄存器字段说明

位	字段	类型	复位	说明
15:9	SYSREFOUT1_DELAY_I	R/W	0x7F	设置 SYSREFOUT1 延迟发生器的延迟步长。必须满足 SYSREFOUT1_DELAY_I + SYSREFOUT1_DELAY_Q = 0x7F。有关配置说明，请参阅数据表。另请参见 R19 寄存器和 R22 寄存器。
8:7	SYSREFOUT1_DELAY_PHASE	R/W	0x0	设置用于 SYSREFOUT1 延迟发生器重定时器的内插器时钟的正交相位。有关配置说明，请参阅数据表。另请参见 R19 寄存器和 R22 寄存器。 0x0 = $\overline{\text{ICLK}}$ 0x1 = $\overline{\text{QCLK}}$ 0x2 = QCLK 0x3 = ICLK
6:0	SYSREFOUT0_DELAY_Q	R/W	0x0	设置 SYSREFOUT0 延迟发生器的延迟步长。必须满足 SYSREFOUT0_DELAY_I + SYSREFOUT0_DELAY_Q = 0x7F。有关配置说明，请参阅数据表。另请参见 R17 寄存器和 R22 寄存器。

7.1.18 R19 寄存器（偏移 = 0x13）[复位 = 0xFE00]

表 7-20 展示了 R19。

返回到汇总表。

表 7-20. R19 寄存器字段说明

位	字段	类型	复位	说明
15:9	SYSREFOUT2_DELAY_I	R/W	0x7F	设置 SYSREFOUT2 延迟发生器的延迟步长。必须满足 SYSREFOUT2_DELAY_I + SYSREFOUT2_DELAY_Q = 0x7F。有关配置说明，请参阅数据表。另请参见 R20 寄存器和 R23 寄存器。
8:7	SYSREFOUT2_DELAY_PHASE	R/W	0x0	设置用于 SYSREFOUT2 延迟发生器重定时器的内插器时钟的正交相位。有关配置说明，请参阅数据表。另请参见 R20 寄存器和 R23 寄存器。 0x0 = $\overline{\text{ICLK}}$ 0x1 = $\overline{\text{QCLK}}$ 0x2 = QCLK 0x3 = ICLK
6:0	SYSREFOUT1_DELAY_Q	R/W	0x0	设置 SYSREFOUT1 延迟发生器的延迟步长。必须满足 SYSREFOUT1_DELAY_I + SYSREFOUT1_DELAY_Q = 0x7F。有关配置说明，请参阅数据表。另请参见 R18 寄存器和 R22 寄存器。

Copyright © 2024 Texas Instruments Incorporated

7.1.19 R20 寄存器（偏移 = 0x14）[复位 = 0xFE00]

表 7-21 展示了 R20。

返回到汇总表。

表 7-21. R20 寄存器字段说明

位	字段	类型	复位	说明
15:9	SYSREFOUT3_DELAY_I	R/W	0x7F	设置 SYSREFOUT3 延迟发生器的延迟步长。必须满足 SYSREFOUT3_DELAY_I + SYSREFOUT3_DELAY_Q = 0x7F。有关配置说明，请参阅数据表。另请参见 R21 寄存器和 R23 寄存器。
8:7	SYSREFOUT3_DELAY_PHASE	R/W	0x0	设置用于 SYSREFOUT3 延迟发生器重定时器的内插器时钟的正交相位。有关配置说明，请参阅数据表。另请参见 R21 寄存器和 R23 寄存器。 0x0 = $\overline{\text{ICLK}}$ 0x1 = $\overline{\text{QCLK}}$ 0x2 = QCLK 0x3 = ICLK
6:0	SYSREFOUT2_DELAY_Q	R/W	0x0	设置 SYSREFOUT2 延迟发生器的延迟步长。必须满足 SYSREFOUT2_DELAY_I + SYSREFOUT2_DELAY_Q = 0x7F。有关配置说明，请参阅数据表。另请参见 R19 寄存器和 R23 寄存器。

7.1.20 R21 寄存器（偏移 = 0x15）[复位 = 0xFE00]

表 7-22 展示了 R21。

返回到汇总表。

表 7-22. R21 寄存器字段说明

位	字段	类型	复位	说明
15:9	LOGISYSREFOUT_DELAY_I	R/W	0x7F	设置 LOGISYSREFOUT 延迟发生器的延迟步长。必须满足 LOGISYSREFOUT_DELAY_I + LOGISYSREFOUT_DELAY_Q = 0x7F。有关配置说明，请参阅数据表。另请参见 R22 寄存器和 R23 寄存器。
8:7	LOGISYSREFOUT_DELAY_PHASE	R/W	0x0	设置用于 LOGISYSREFOUT 延迟发生器重定时器的内插器时钟的正交相位。有关配置说明，请参阅数据表。另请参见 R22 寄存器和 R23 寄存器。 0x0 = $\overline{\text{ICLK}}$ 0x1 = $\overline{\text{QCLK}}$ 0x2 = QCLK 0x3 = ICLK
6:0	SYSREFOUT3_DELAY_Q	R/W	0x0	设置 SYSREFOUT3 延迟发生器的延迟步长。必须满足 SYSREFOUT3_DELAY_I + SYSREFOUT3_DELAY_Q = 0x7F。有关配置说明，请参阅数据表。另请参见 R20 寄存器和 R23 寄存器。

Copyright © 2024 Texas Instruments Incorporated

7.1.21 R22 寄存器（偏移 = 0x16）[复位 = 0x0800]

表 7-23 展示了 R22。

返回到汇总表。

表 7-23. R22 寄存器字段说明

位	字段	类型	复位	说明
15:14	SYSREFOUT1_DELAY_SCALE	R/W	0x0	设置 SYSREFOUT1 延迟发生器的频率范围。根据 $f_{INTERPOLATOR}$ 频率进行设置。有关配置说明，请参阅数据表。另请参见 R18 寄存器和 R19 寄存器。 0x0 = 400MHz 至 800MHz 0x1 = 200MHz 至 400MHz 0x2 = 150MHz 至 200MHz 0x3 = 保留
13:12	SYSREFOUT0_DELAY_SCALE	R/W	0x0	设置 SYSREFOUT0 延迟发生器的频率范围。根据 $f_{INTERPOLATOR}$ 频率进行设置。有关配置说明，请参阅数据表。另请参见 R17 寄存器和 R18 寄存器。 0x0 = 400MHz 至 800MHz 0x1 = 200MHz 至 400MHz 0x2 = 150MHz 至 200MHz 0x3 = 保留
11:9	SYSREF_DELAY_DIV	R/W	0x4	设置延迟发生器时钟分频，确定 $f_{INTERPOLATOR}$ 和延迟发生器分辨率。除下列值以外的值均保留。另请参阅 R23 寄存器。 0x0 = ÷2 (≤ 1.6GHz) 0x1 = ÷4（1.6GHz 至 3.2GHz） 0x2 = ÷8（3.2GHz 至 6.4GHz） 0x4 = ÷16（6.4GHz 至 12.8GHz）
8:7	RESERVED	R/W	0x0	保留。如果对该寄存器执行写操作，则将这些位设置为 0x0。
6:0	LOGISYSREFOUT_DELAY_Q	R/W	0x0	设置 LOGISYSREFOUT 延迟发生器的延迟步长。必须满足 LOGISYSREFOUT_DELAY_I + LOGISYSREFOUT_DELAY_Q = 0x7F。另请参见 R21 寄存器和 R23 寄存器。

Copyright © 2024 Texas Instruments Incorporated

7.1.22 R23 寄存器（偏移 = 0x17）[复位 = 0x4000]

表 7-24 展示了 R23。

返回到汇总表。

表 7-24. R23 寄存器字段说明

位	字段	类型	复位	说明
15	EN_TEMPSENSE	R/W	0x0	启用片上温度传感器。还必须启用温度传感器计数器 (EN_TS_COUNT) 以进行回读。另请参阅 R24 寄存器。
14	RESERVED	R/W	0x1	保留。如果对该寄存器执行写操作，将该位置位为 0x1。
13	MUXOUT_EN	R/W	0x0	启用 MUXOUT 引脚驱动器或将其置于三态。另请参阅 R86 寄存器。 0x0 = 三态 0x1 - 推挽
12:7	RESERVED	R/W	0x00	保留。如果对该寄存器执行写操作，则将这些位设置为 0x00。
6	MUXOUT_SEL	R/W	0x0	选择 MUXOUT 引脚功能。 0x0 = 锁定检测（仅限倍频器） 0x1 = SDO（SPI 回读）
5:4	LOGISYSREFOUT_DELAY_SCALE	R/W	0x0	设置 LOGISYSREFOUT 延迟发生器的频率范围。根据 $f_{INTERPOLATOR}$ 频率进行设置。有关配置说明，请参阅数据表。另请参见 R21 寄存器和 R22 寄存器。 0x0 = 400MHz 至 800MHz 0x1 = 200MHz 至 400MHz 0x2 = 150MHz 至 200MHz 0x3 = 保留
3:2	SYSREFOUT3_DELAY_SCALE	R/W	0x0	设置 SYSREFOUT3 延迟发生器的频率范围。根据 $f_{INTERPOLATOR}$ 频率进行设置。有关配置说明，请参阅数据表。另请参阅 R20 寄存器、R21 寄存器和 R22 寄存器。 0x0 = 400MHz 至 800MHz 0x1 = 200MHz 至 400MHz 0x2 = 150MHz 至 200MHz 0x3 = 保留
1:0	SYSREFOUT2_DELAY_SCALE	R/W	0x0	设置 SYSREFOUT2 延迟发生器的频率范围。根据 $f_{INTERPOLATOR}$ 频率进行设置。有关配置说明，请参阅数据表。另请参阅 R19 寄存器、R20 寄存器和 R22 寄存器。 0x0 = 400MHz 至 800MHz 0x1 = 200MHz 至 400MHz 0x2 = 150MHz 至 200MHz 0x3 = 保留

7.1.23 R24 寄存器（偏移 = 0x18）[复位 = 0x0FFE]

表 7-25 展示了 R24。

返回到汇总表。

表 7-25. R24 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R	0x0	保留（未使用）。
13:12	RESERVED	R/W	0x0	保留。如果对该寄存器执行写操作，则将这些位设置为 0x0。
11:1	rb_TEMPSENSE	R	0x7FF	片上温度传感器的输出。可以根据以下公式将回读代码转换为结温（以 °C 为单位）： T_J = 0.65 * rb_TEMPSENSE - 351
0	EN_TS_COUNT	R/W	0x0	启用温度传感器计数器。必须启用温度传感器 (EN_TEMPSENSE) 才能获得准确数据。另请参阅 R23 寄存器。

7.1.24 R25 寄存器（偏移 = 0x19）[复位 = 0x0211]

表 7-26 展示了 R25。

返回到汇总表。

表 7-26. R25 寄存器字段说明

位	字段	类型	复位	说明
15:7	RESERVED	R/W	0x004	保留。如果对该寄存器执行写操作，则将这些位设置为 0x004。
6	CLK_DIV_RST	R/W	0x0	复位主时钟分频器。如果在运行过程中更改了时钟分频器值，则在设置新分频器值后将该位设置为高电平，然后再设置为低电平。当 SYSREFREQ_MODE = 0x0 且 SYNC_EN = 0x1 时将器件与 SYSREFREQ 引脚同步也会复位主时钟分频器。该位在分频器模式之外无效。
5:3	CLK_DIV CLK_MULT	R/W	0x2	CLK_DIV 和 CLK_MULT 是同一字段的别名。 当 CLK_MUX = 0x2（分频器模式）时，将时钟分频器设置为等于 CLK_DIV + 1。有效范围为 0x1 至 0x7。设置 CLK_DIV = 0x0 会禁用主时钟分频器并恢复到缓冲器模式。 当 CLK_MUX = 0x3（倍频器模式）时，将倍频器设置为等于 CLK_MULT。有效范围为 0x1 至 0x4。将 CLK_MULT 设置为无效值会禁用倍频器并恢复到缓冲器模式。 当 CLK_MUX = 0x1（缓冲器模式）时，此字段会被忽略。
2:0	CLK_MUX	R/W	0x1	选择器件的功能。 倍频器模式要求在倍频器校准之前将其他几个寄存器（R33、R34 和 R67）写入与 POR 默认值不同的值，并配置状态机时钟（R2 和 R3）。向 R0 写入任何值（只要 POWERDOWN = 0x0 且 RESET = 0x0）会触发倍频器校准。 除下列值以外的值均保留。 0x1 = 缓冲器模式 0x2 = 分频器模式 0x3 = 倍频器模式

Copyright © 2024 Texas Instruments Incorporated

7.1.25 R28 寄存器（偏移 = 0x1C）[复位 = 0x0A08]

表 7-27 展示了 R28。

返回到汇总表。

表 7-27. R28 寄存器字段说明

位	字段	类型	复位	说明
15:13	RESERVED	R	0x0	保留（未使用）。
12	FORCE_VCO	R/W	0x0	强制倍频器的 PLL VCO 为 VCO_SEL 选择的值。倍频器模式编程不需要该字段，但可以选择用该字段来缩短校准时间。
11:9	VCO_SEL	R/W	0x5	用户指定的用于倍频器 PLL 的启动 VCO。当 FORCE_VCO = 0x0 时，倍频器校准从该字段设置的 VCO 开始。当 FORCE_VCO = 0x1 时，该字段会设置倍频器使用的 VCO 内核。倍频器模式编程不需要该字段，但可以选择用该字段来缩短校准时间。
8:0	RESERVED	R/W	0x008	保留。如果对该寄存器执行写操作，则将这些位设置为 0x008。

7.1.26 R29 寄存器（偏移 = 0x1D）[复位 = 0x05FF]

表 7-28 展示了 R29。

返回到汇总表。

表 7-28. R29 寄存器字段说明

位	字段	类型	复位	说明
15:13	RESERVED	R	0x0	保留（未使用）。
12:8	RESERVED	R/W	0x5	保留。如果对该寄存器执行写操作，则将这些位设置为 0x05。
7:0	CAPCTRL	R/W	0xFF	设置倍频器校准期间 VCO 调谐电容的起始值。倍频器模式编程不需要该字段，但可以选择用该字段来缩短校准时间。

7.1.27 R33 寄存器（偏移 = 0x21）[复位 = 0x7777]

表 7-29 展示了 R33。

返回到汇总表。

表 7-29. R33 寄存器字段说明

位	字段	类型	复位	说明
15:0	RESERVED	R/W	0x7777	保留。如果使用倍频器模式，则在校准前设置为 0x5666。否则，可跳过写入此寄存器。

7.1.28 R34 寄存器（偏移 = 0x22）[复位 = 0x0000]

表 7-30 展示了 R34。

返回到汇总表。

表 7-30. R34 寄存器字段说明

位	字段	类型	复位	说明
15:14	RESERVED	R	0x0	保留（未使用）。
13:0	RESERVED	R/W	0x0000	保留。如果使用倍频器模式，则在校准前设置为 0x04C5。否则，可跳过写入此寄存器。

7.1.29 R65 寄存器（偏移 = 0x41）[复位 = 0x45F0]

表 7-31 展示了 R65。

返回到汇总表。

表 7-31. R65 寄存器字段说明

位	字段	类型	复位	说明
15:9	RESERVED	R/W	0x22	由于该寄存器仅用于回读，应尽可能避免写入这些位。如果必须对该寄存器执行写操作，则将这些位设置为 0x22。回读可能与默认值和写入值不同。
8:4	rb_VCO_SEL	R	0x1F	倍频器内核选择的回读 PLL VCO。可以选择与 VCO_SEL 和 FORCE_VCO 字段结合使用以缩短校准时间。 0xF = VCO5 0x17 = VCO4 0x1B = VCO3 0x1D = VCO2 0x1E = VCO1
3:0	RESERVED	R/W	0x0	由于该寄存器仅用于回读，应尽可能避免写入这些位。如果必须对该寄存器执行写操作，则将这些位设置为 0x0。

7.1.30 R67 寄存器（偏移 = 0x43）[复位 = 0x50C8]

表 7-32 展示了 R67。

返回到汇总表。

表 7-32. R67 寄存器字段说明

位	字段	类型	复位	说明
15:0	RESERVED	R/W	0x50C8	保留。如果使用倍频器模式，则在校准前设置为 0x51CB。否则，可跳过写入此寄存器。

Copyright © 2024 Texas Instruments Incorporated

7.1.31 R72 寄存器（偏移 = 0x48）[复位 = 0x0000]

表 7-33 展示了 R72。

返回到汇总表。

表 7-33. R72 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留（未使用）。
14:4	RESERVED	R/W	0x000	保留。设置为 0x000。
3	PULSER_LATCH	R/W	0x0	当编程为 0x1 时，锁存脉冲发生器输入。设置了该位时，脉冲发生器模式 (SYSREF_MODE = 0x1) 下 SYSREFREQ 引脚上的外部信号不能多次触发脉冲发生器，直到该位清零。提供该位是为了在中继器模式下更改 SYSREF_MODE，而不会意外触发脉冲发生器。
2	SYSREFREQ_SPI	R/W	0x0	使用 SPI 触发 SYSREFREQ。设置该位可模拟 SYSREFREQ 引脚上逻辑高电平的行为。当该位置位时，SYSREFREQ 引脚上的外部信号被忽略。
1:0	SYSREF_DELAY_BYPASS	R/W	0x0	可选择绕过延迟发生器重定时。在正常情况下 (SYSREF_DELAY_BYPASS = 0)，延迟发生器用于连续模式或脉冲发生器模式（发生器模式），并在中继器模式下被旁路。通常，此配置是可取的：延迟发生器依赖于 SYSREF_DELAY_DIV 从 CLKIN 频率生成的信号，因此发生器模式 SYSREF 信号始终与延迟发生器保持一致；在中继器模式下，外部信号源通常可以利用不同的延迟机制。在某些情况下，如果可以在 JESD 接收器上补偿 SYSREF 延迟，则通过设置 SYSREF_DELAY_BYPASS = 0x1 在发生器模式下绕过延迟发生器重定时，可以大幅降低器件电流消耗。在其他情况下，通过设置 SYSREF_DELAY_BYPASS = 0x2 将 SYSREFREQ 信号重定时到延迟发生器，可以提高 SYSREF 输出相位相对于 CLKIN 相位的精度；或者只要内插器分频器相位和 SYSREFREQ 相位之间存在相干相位关系，就可以独立地改变各个输出的延迟。 0x0 = 在发生器模式下接通，在中继器模式下旁路 0x1 = 在所有模式下旁路 0x2 = 在所有模式下接通 0x3 = 保留

7.1.32 R75 寄存器（偏移 = 0x4B）[复位 = 0xE716]

表 7-34 展示了 R75。

返回到汇总表。

表 7-34. R75 寄存器字段说明

位	字段	类型	复位	说明
15:10	RESERVED	R	0x39	只读。忽略对这些位的写操作。回读可能与默认值不同。
9:8	rb_LD	R	0x3	倍频器 PLL 锁定检测。只读。如果器件未处于倍频器模式，则字段值没有意义。 0x0 = 未锁定（VTUNE 低电平） 0x1 = 保留 0x2 = 已锁定 0x3 = 未锁定（VTUNE 高电平）
7:4	RESERVED	R	0x1	只读。忽略对这些位的写操作。回读可能与默认值不同。
3:0	RESERVED	R/W	0x6	保留。由于该寄存器仅用于回读，应尽可能避免写入这些位。如果必须对该寄存器执行写操作，则设置为 0x6。

7.1.33 R79 寄存器（偏移 = 0x4F）[复位 = 0x0104]

表 7-35 展示了 R79。

返回到汇总表。

表 7-35. R79 寄存器字段说明

位	字段	类型	复位	说明
15	RESERVED	R	0x0	保留（未使用）。
14:0	RESERVED	R/W	0x0104	保留。设置 LOGICLK_DIV_BYPASS = 0x1 后立即设置为 0x0104；之后还必须立即写入 R90。如果未使用 LOGICLK_DIV_BYPASS 或将其设置为 0x0，则不需要对该寄存器执行写操作并且可以跳过该寄存器。另请参阅 R90 寄存器。

7.1.34 R86 寄存器（偏移 = 0x56）[复位 = 0x0000]

表 7-36 展示了 R86。

返回到汇总表。

表 7-36. R86 寄存器字段说明

位	字段	类型	复位	说明
15:0	RESERVED	R/W	0x0000	保留。必须将该寄存器设置为 0x0004，才能允许 MUXOUT_EN 在 SPI 回读后使 MUXOUT 引脚置于三态。如果不需要 SPI 回读，或者 MUXOUT 引脚上不需要三态，则可以跳过写入该寄存器，强制 MUXOUT_EN 为 0x1（推挽模式）。

Copyright © 2024 Texas Instruments Incorporated

7.1.35 R90 寄存器（偏移 = 0x5A）[复位 = 0x0000]

表 7-37 展示了 R90。

返回到汇总表。

表 7-37. R90 寄存器字段说明

位	字段	类型	复位	说明
15:8	RESERVED	R	0x00	保留（未使用）。
15:0	RESERVED	R/W	0x00	保留。在设置 LOGICLK_DIV_BYPASS = 0x1 并设置 R79 = 0x0104 后立即设置为 0x60。如果 LOGICLK_DIV_BYPASS 未被使用或保留为默认值，则不需要对该寄存器执行写操作并且可以跳过该寄存器。但是，如果从 LOGICLK_DIV_BYPASS = 0x1 转换到 0x0，则必须将该寄存器重新写入 0x00。另请参阅 R79 寄存器。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

8.1.1 SYSREFREQ 输入配置

SYSREFREQ 引脚支持交流或直流耦合模式下的单端或差分输入。SYSREFREQ 引脚具有带电容接地的内部 50Ω 端接，可用作 100Ω 差分端接。

图 8-1 展示了通用 SYSREFREQ 输入电路建议，以支持所有交流/直流、单端或差分输入。图 8-1 中的一些分立式元件只是单个输入信号（单端或差分输入）以及交流或直流耦合输入的占位符。

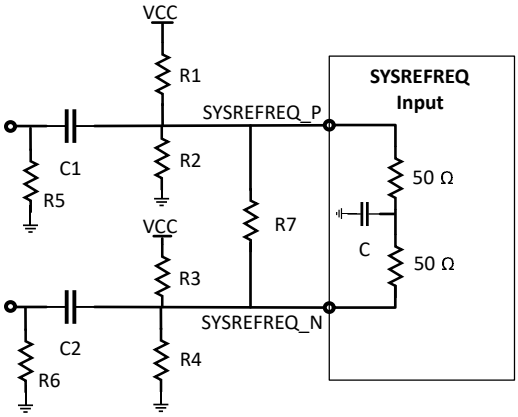


图 8-1. SYSREFREQ 输入电路建议

下图展示了每种配置的电路图：

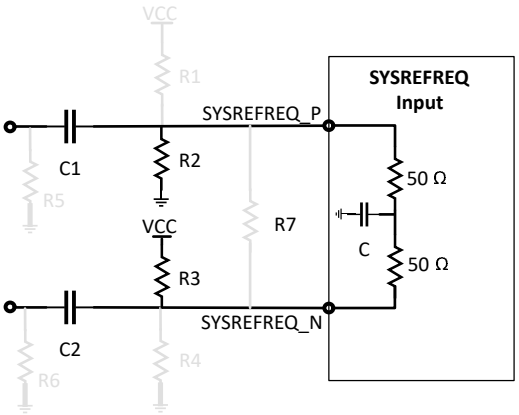


图 8-2. 交流耦合差分输入

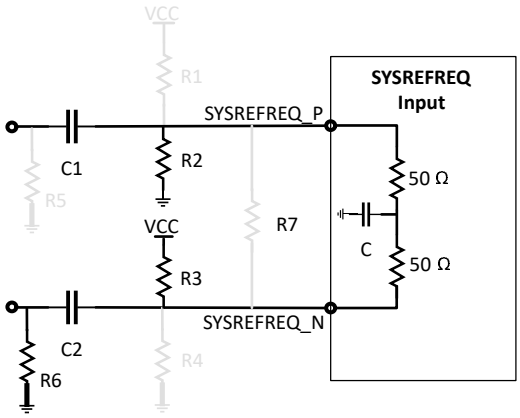


图 8-3. 交流耦合单端输入

Copyright © 2024 Texas Instruments Incorporated

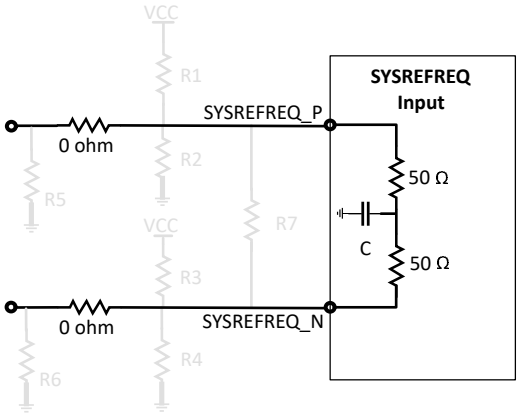


图 8-4. 直流耦合差分输入

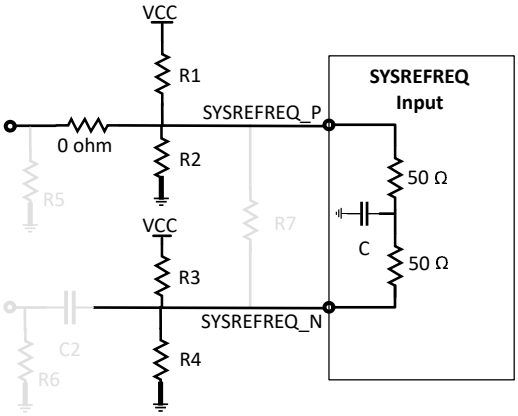


图 8-5. 直流耦合单端输入

1. 交流耦合差分和单端输入配置需要电阻端接（R2 和 R3）以在每个引脚上产生 VCM，并且必须选择电阻值以保持引脚 P 和引脚 N 之间的电位差大于 150mV。
   a. 例如，要在引脚 P 处产生 1.5V VCM，在引脚 N 处产生 1.65V VCM，并使 VCC 为 2.5V，请将 R3 设置为 550Ω，将 R2 设置为 1kΩ
   b. 对于单端输入配置，请将 R6 设置为 50Ω，以避免在互补输入引脚处发生任何反射。
2. 直流耦合差分和单端输入配置要求源共模电压与器件输入共模规格相匹配。
   a. 对于单端输入配置，请保留 R1、R2、R3 和 R4 电阻。这种方法在两个引脚处产生相同的共模电压，并且电阻分压器在引脚 P 处产生 75Ω 戴维南等效电阻，在引脚 N 处产生 50Ω 戴维南等效电阻。
   b. 例如，要在每个引脚处产生 1.35V 共模电压，请将电阻分压器元件值设置为 R1 = 130Ω，R2 = 165Ω，R3 = 86.6Ω，R4 = 110Ω，并且 VCC 为 2.5V。

8.1.2 降低 SYSREF 共模电压

对于直流耦合 SYSREF 应用，某些数据转换器可能要求 SYSREF 输出的共模电压低于输出能够支持的水平。对于这些应用，可以使用电阻分压器来降低共模电压。但是，当有接地路径时，负载会固有地降低共模电压。对于一些测试案例，共模电压的测量如表 8-1 所示。请注意，此表适用于 SYSREFOUTx 引脚，而非 LOGISYSREFout 引脚。

表 8-1. SYSREFOUTx_PWR=SYSREFOUTx_VCM=7 时，负载至 GND（两个引脚）对单端 V_{OD} 和 V_{CM} 的影响

负载至 GND	\V_{OD}	V_{CM}	VOL
50Ω	0.72	0.79	0.43
78Ω	0.86	0.99	0.56
100Ω	0.96	1.07	0.59
215Ω	1.13	1.33	0.76

一旦 SYSREFOUTx 引脚检测到的负载已知，就可以得知这些引脚上的 V_{OD} 和 V_{CM} 电压。届时，可使用一个电阻分压器来生成所需的 V_{OD} 和 V_{CM} 电压，如图 8-6 和图 8-7 所示。

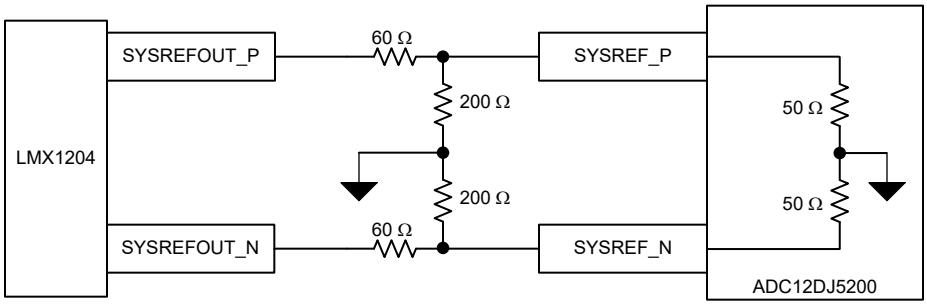


图 8-6. 使用电阻分压器降低 V_{CM}（案例 1）

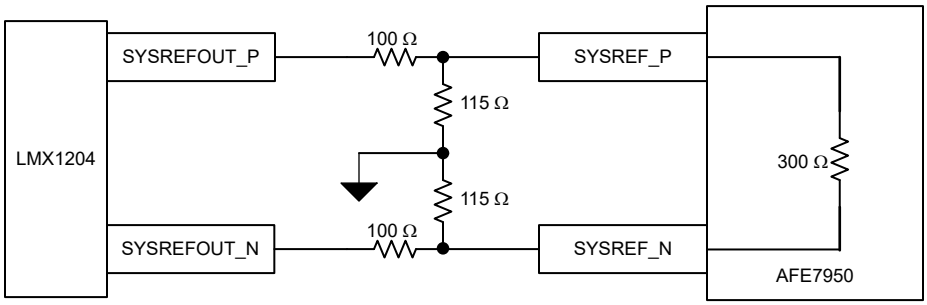


图 8-7. 使用电阻分压器降低 V_{CM}（案例 2）

这些示例可得到表 8-2 中的计算结果。请注意，电阻分压器可降低 V_{OD}、V_{CM} 和 V_{CM}（V_{CM} 的典型变化）。

表 8-2. 计算得出的电压值

测量位置	参数	ADC12DJ5200	AFE7950
在 LMX1204	R_{Load}（Ω）	100	215
	V_{OD} (V)	0.96	1.13
	V_{CM}	1.065	1.328
	ΔV_{CM}	0.2	0.2
外部电阻器	R1（Ω）	60	100
	R2（Ω）	200	115
AT 数据转换器	R3（Ω）	50	无
	Rp（Ω）	无	300
	R2 || R3（Ω）	40	无
	2R2 || Rp（Ω）	200	130.1887
	VOD 比率	0.4	0.394286
	VCM 比率	0.4	0.534884
数据转换器的临界电压	V_{ID} (V)	0.384	0.445543
	V_{CM} (V)	0.426	0.710326
	ΔV_{CM} (V)	0.08	0.106977

8.1.3 电流消耗

电流消耗量随设置条件的变化而变化。通过将表 8-3 中显示的所有块电流相加，可以对任何设置条件下的电流进行合理估算。

Copyright © 2024 Texas Instruments Incorporated

表 8-3. 每个块的电流消耗

块		条件		电流 (mA)
器件内核		CLK_MUX = 缓冲器模式		294
		CLK_MUX = 分频模式		260
		CLK_MUX = 倍频模式	SMCLK_EN=0	540
			SMCLK_EN=1	560
SYSREF SYNC 窗口化	内核	SYSREF_EN=1		80
	延迟发生器	发生器模式（SYSREF_MODE=0、1）		53
		中继器模式 (SYSREF_MODE=2)		40
	窗口化电路	窗口化电路 (CLKPOS_CAPTURE_EN=1)	SYSREF_MODE=0、1	113
			SYSREF_MODE=2	0
	SYSREF 脉冲发生器	SYSREF_MODE=1		7
CLKOUT（每个有效时钟通道）	内核	SYSREF_EN=0		25
		SYSREF_EN = 1	未使用延迟	30
			使用延迟	40
	输出缓冲器	CHx_EN = CLKOUTx_EN=1		4+6*CLKOUTx_PWR
SYSREFOUT	内核	SYSREFOUT_EN = CHx_EN = 1		74 + SYSREFOUTx_PWR*5
	输出缓冲器	SYSREFOUT_EN = CHx_EN = 1（SYSREFOUTx_PWR 和 SYSREFOUTx_VCM 可以相互作用，在某些情况下会使输出缓冲器电流低于公式预测的电流）		2*SYSREFOUTx_PWR + 2*SYSREFOUTx_VCM
LOGICLKOUT	内核	LOGIC_EN=1 LOGICLKOUT_EN=1	SYSREF_EN=0	49
			SYSREF_EN=1	59
	输出缓冲器		CML(R_P=50Ω)	16+1*LOGICLKOUT_PWR
			LVDS	12
			LVPECL	30
LOGISYSREFOUT	内核	LOGIC_EN=1 LOGISYSREFOUT_EN=1	SYSREF_EN=0	0
			SYSREF_EN=1	55
	输出缓冲器	LOGIC_EN=1 LOGISYSREFOUT_EN=1	CML(R_P=50Ω)	16+1*LOGICLKOUT_PWR
			LVDS	12
			LVPECL	30

如果所有输出时钟、LOGICLK 和倍频器均启用，那么该器件会消耗大量电流。建议在不主动发送 SYSREF 脉冲时关闭 SYSREF 输出缓冲器以节省电流，从而降低电流消耗。

8.1.4 处理未使用的引脚

在许多情况下，并非会用到所有引脚。表 8-4 给出了有关处理这些未使用引脚的建议。

表 8-4. 处理未使用或部分使用的引脚

引脚	处理
所有 Vcc 引脚	这些引脚必须始终与电源相连。如果不使用由这些 VCC 引脚（如引脚名称所暗示）供电的模块，则可更大限度地减少或消除旁路。
SYSREFREQ	如果驱动单端交流耦合，则互补输入必须将交流耦合电容器接地。如果驱动单端直流耦合，则互补输入必须在所需的 VCM 处通过戴维南等效电路进行外部偏置。如果使用连续 SYSREF 发生器模式，这些引脚既可用于打开和关闭输出缓冲器，也可保持悬空状态。如果悬空，请使用 SYSREFREQ_SPI 控制输出门控。如果根本不使用 SYSREF，则引脚可以保持开路状态。
CLKIN 互补输入	如果驱动单端，则互补输入必须具有交流耦合电容器和 50Ω 接地电阻。

表 8-4. 处理未使用或部分使用的引脚（续）

引脚	处理
BIAS01 和 BIAS23	如果不使用倍频器，这些引脚可保持开路。
CLKOUT SYSREFOUT LOGICLKOUT LOGISYSREFOUT	这些引脚可以在不使用时保持开路。

8.2 典型应用

对于该应用，我们探讨了将 LMX1204 用作 ×2 倍频器时，与 LMX2820 3GHz 输出时钟相加所产生的叠加噪声影响。为了将两个 EVM 连接在一起，这种特定设置使用了单端时钟来驱动 LMX1204，但通常建议以差分方式驱动该设置。

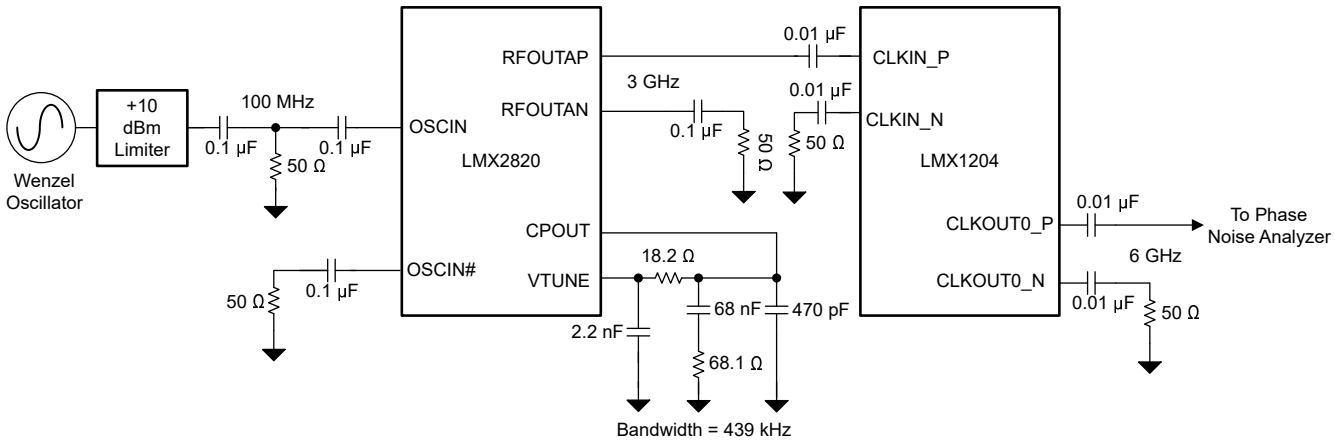


图 8-8. 典型应用原理图

8.2.1 设计要求

表 8-5 展示了本示例的设计参数。

如果不会用到所有输出或 SYSREF，TI 建议压缩布局，以尽可能缩短布线长度，特别是输入布线长度。

表 8-5. 设计参数

参数	值
LMX2820 输入频率	100MHz
LMX2820 输出频率	3GHz
LMX1204 输入时钟频率	3GHz
LMX1204 输出时钟频率	6GHz
倍频器值	x2

Copyright © 2024 Texas Instruments Incorporated

8.2.2 详细设计过程

在本例中，3GHz 输入时钟倍增为 6GHz 输入时钟。外部元件不会因内部配置而发生太大变化。TICS Pro 软件在计算必要的寄存器值和配置器件方面非常有用。

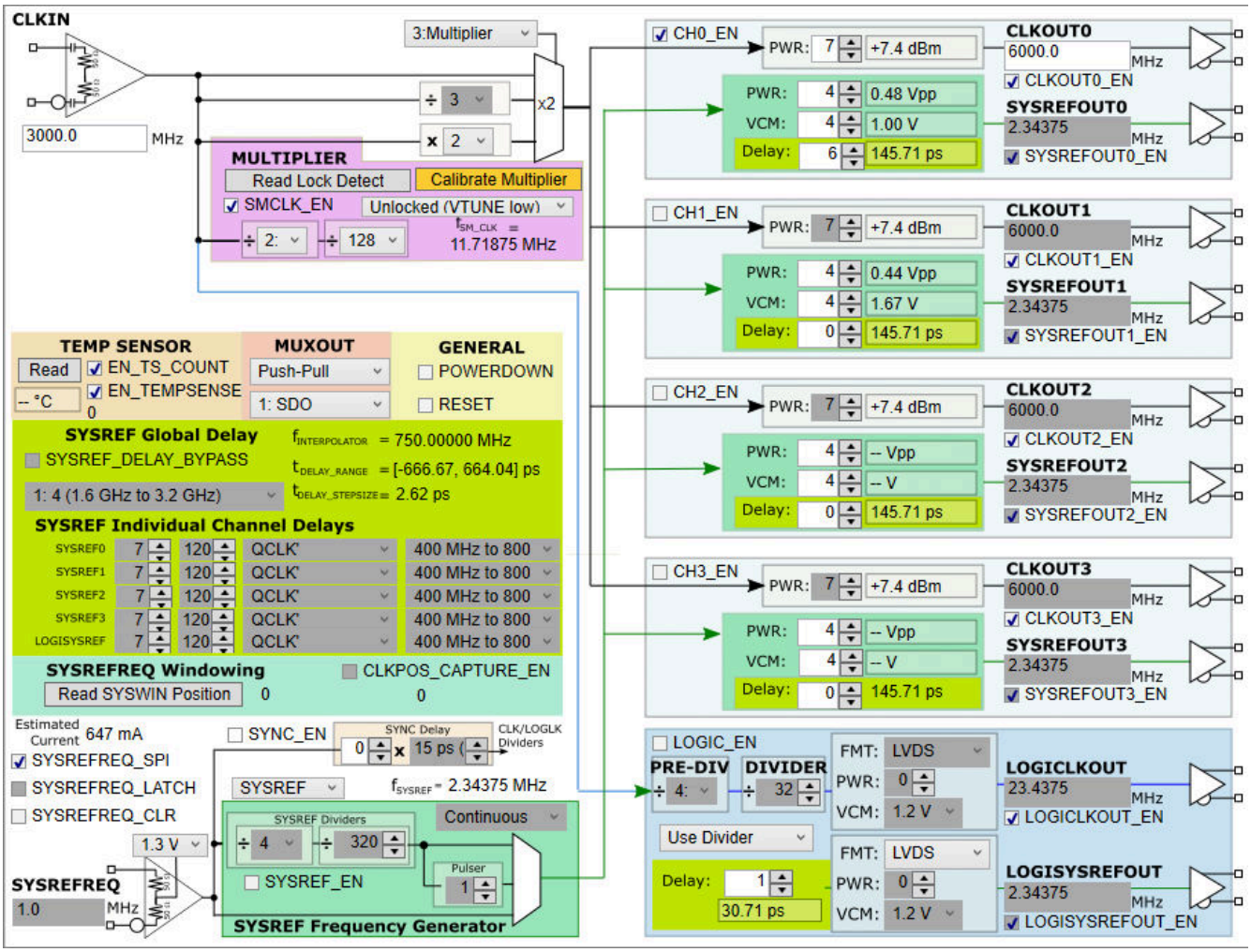


图 8-9. LMX1204 TICS Pro 设置

8.2.3 应用曲线

图 8-10 总图是 LMX1204 倍频器噪声与 LMX2820 3GHz 输出噪声（通过增加 6dB 调节至 6GHz）之和。请注意，LMX1204 在 1MHz 至 20MHz 范围内确实会增加相位噪声，但超过 20MHz 后，输入倍频器实际上会滤除输出本底噪声。

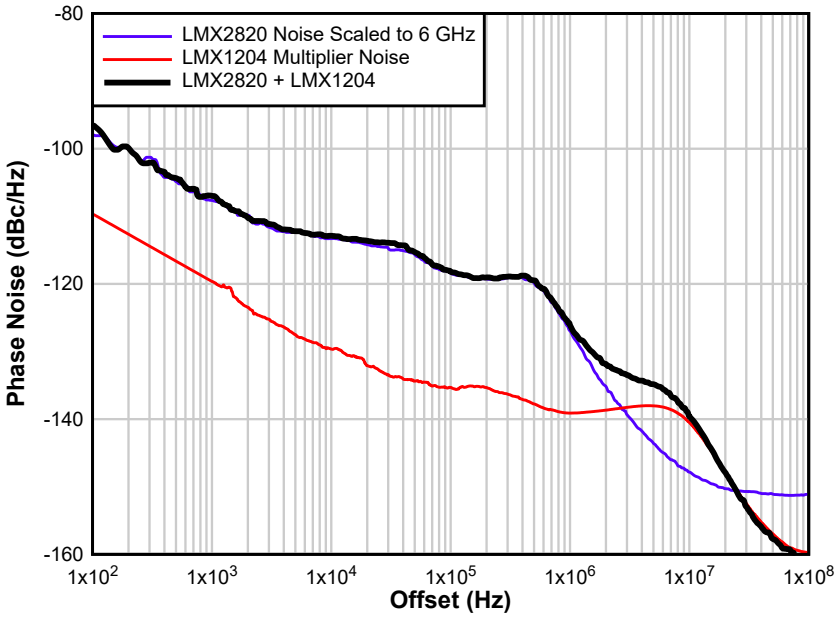


图 8-10. 倍频器输出频率

8.3 电源相关建议

整个器件使用 2.5V 电源。直接连接到开关电源可能会在输出端产生不必要的杂散。可以在所有电源引脚上单独实现旁路。TI 建议将频率更高且具有最小阻抗的较小电容器与器件放置在同一层上，并尽可能靠近引脚。器件中几乎所有信号的频率都是 100MHz 或更高，因此，具有低频最小阻抗的较大值旁路电容器仅用于稳定内部 LDO，其与器件的距离（以及旁路路径的环路电感）可以更大。如果同时使用时钟和 LOGICLK，则用一个小电阻或铁氧体磁珠隔离时钟和 LOGICLK 的电源引脚。有关每个引脚的其他建议，请参阅*引脚配置和功能*部分。

备注

该器件具有较低工作电压，并采用 LDO 进行内部滤波，因此 PSRR 非常小。请务必将该器件连接到没有过多杂散噪声的低噪声电源。

8.4 布局

8.4.1 布局指南

- 如果使用单端输出，则用端接互补侧，以便互补侧的阻抗与所用侧相似。
- 封装外围的 GND 引脚在封装上的布线可以接回 DAP。
- 尽可能缩短 CLKIN 布线长度以获得合适的相位噪声。匹配不佳会降低本底噪声。
- 确保器件上的 DAP 通过多个通孔良好接地。
- 使用低损耗介电材料，例如 Rogers 4350B，以获得出色输出功率。
- 请注意，如果所有输出和 SYSREF 均在运行，则电流消耗可能会很高，以至于超过 125°C 的建议内部结温；此时可能需要散热器。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 布局示例

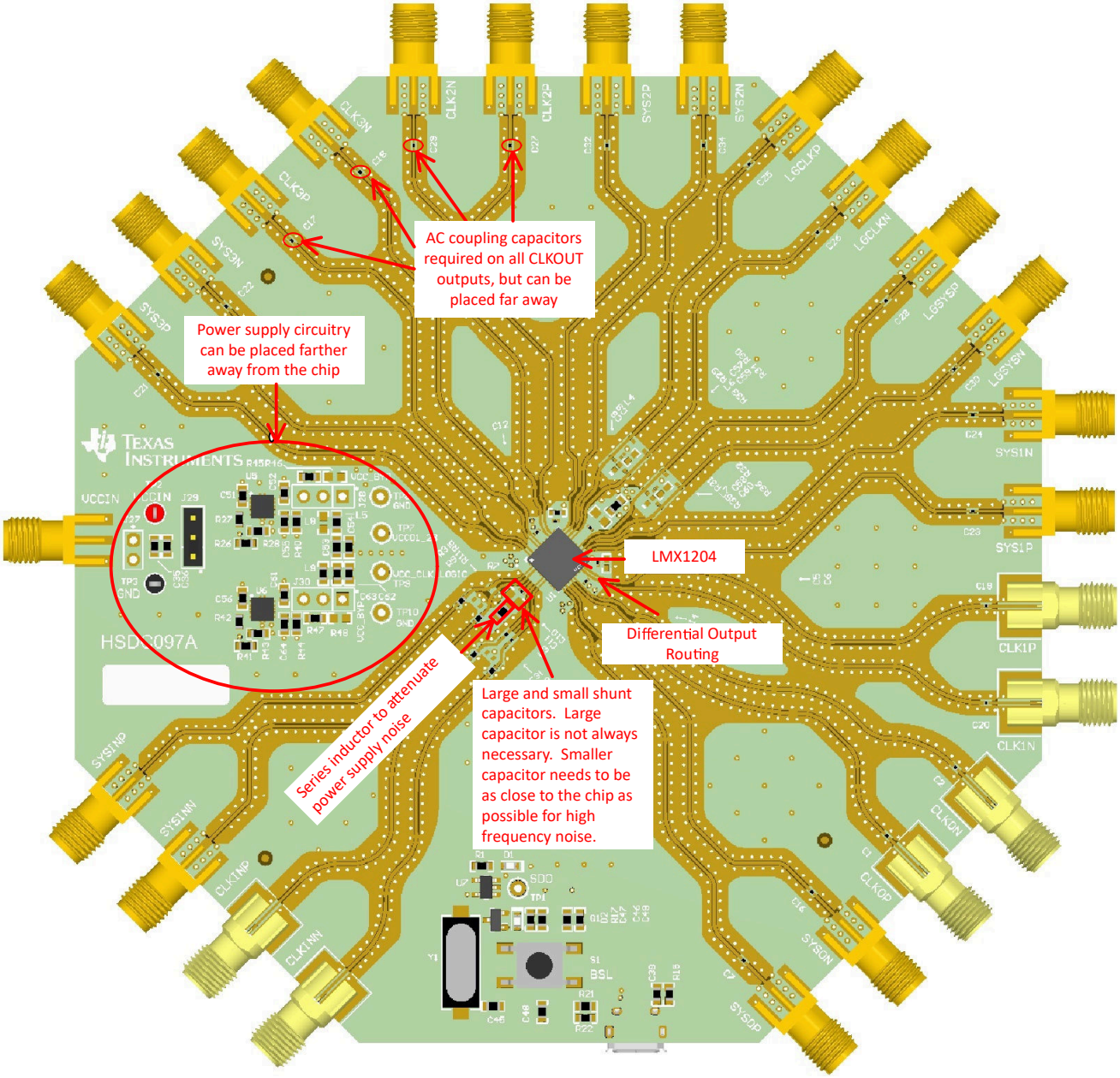


图 8-11. 布局示例

9 器件和文档支持

9.1 器件支持

TI 提供大量的开发工具和软件来模拟器件性能并对器件进行编程。

表 9-1. 开发工具和软件

工具	类型	说明
PLLatinum™ Sim	软件	模拟所有模式下的相位噪声
TICS Pro	软件	使用具有交互式反馈和十六进制寄存器导出功能的用户友好型 GUI 对器件进行编程。

9.2 文档支持

9.2.1 相关文档

- 德州仪器 (TI)，*级联 LMX1204 相位误差分析* 应用手册
- 德州仪器 (TI)，*LMX1204 倍频器时钟分配驱动大型相控阵系统* 应用手册
- 德州仪器 (TI)，*使用 LMX1204 充分利用您的数据转换器时钟系统* 应用手册

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

PLLatinum™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2024 Texas Instruments Incorporated

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (August 2022) to Revision B (February 2024)	Page
• 向特性中添加了 5fs 抖动	1
• 更新了 SPI 时序图和回读注释	8
• 针对量产数据发布更改了*典型特性* 部分	9
• 更新了“功能方框图”	16
• 添加了关于滤波器模式无法与 SYNC 模式配合使用的内容	19
• 更新了表中的 VOD/VCM 值	22
• 更新了 SYSREF 窗口化并添加了中继器模式	27
• 添加了 SYSREF 窗口化流程图	28
• 添加了具有延迟发生器的 AYSREF 中继器模式（重定时）	28
• 添加了寄存器映射	31
• 添加了“SYSREFREQ 输入配置”部分	56
• 添加了“降低 SYSREF 共模电压”部分	57

Changes from Revision * (July 2021) to Revision A (August 2022)	Page
• 将数据表状态从“预告信息”更改为“量产数据”	1
• 向数据表中添加了滤波器模式信息	1
• 将寄存器和字段定义从预量产更改为量产	33
• 更改了表 8-3	58
• 将*电源相关建议* 和*布局* 部分移到了*应用和实施* 部分	62

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMX1204RHAR	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	LMX1204
LMX1204RHAR.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	LMX1204
LMX1204RHAT	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	LMX1204
LMX1204RHAT.A	Active	Production	VQFN (RHA) | 40	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	LMX1204

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

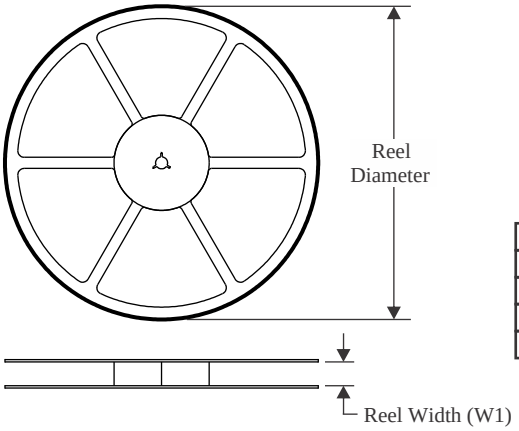
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

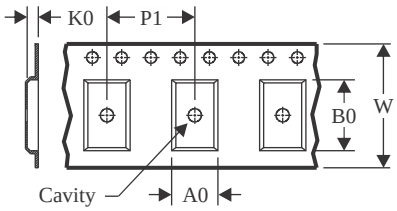
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

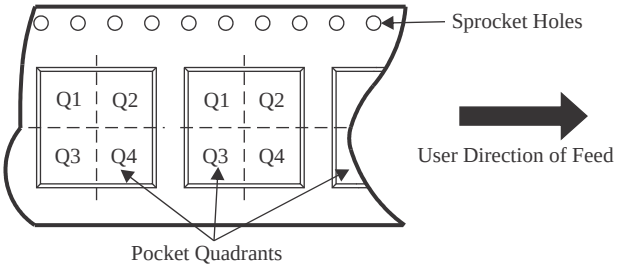


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

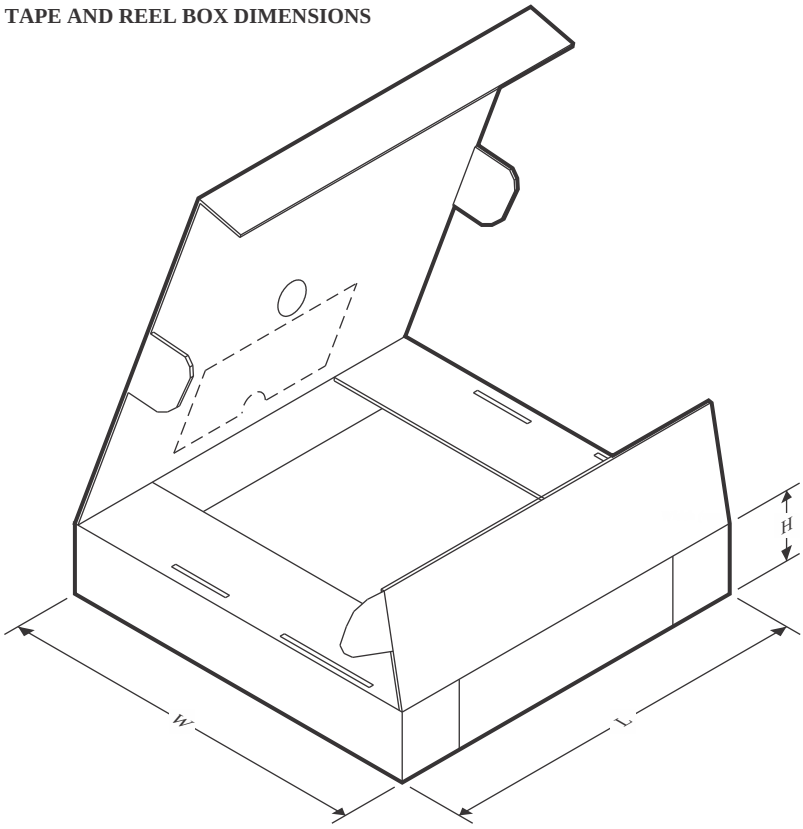
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMX1204RHAR	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
LMX1204RHAT	VQFN	RHA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMX1204RHAR	VQFN	RHA	40	2500	367.0	367.0	38.0
LMX1204RHAT	VQFN	RHA	40	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

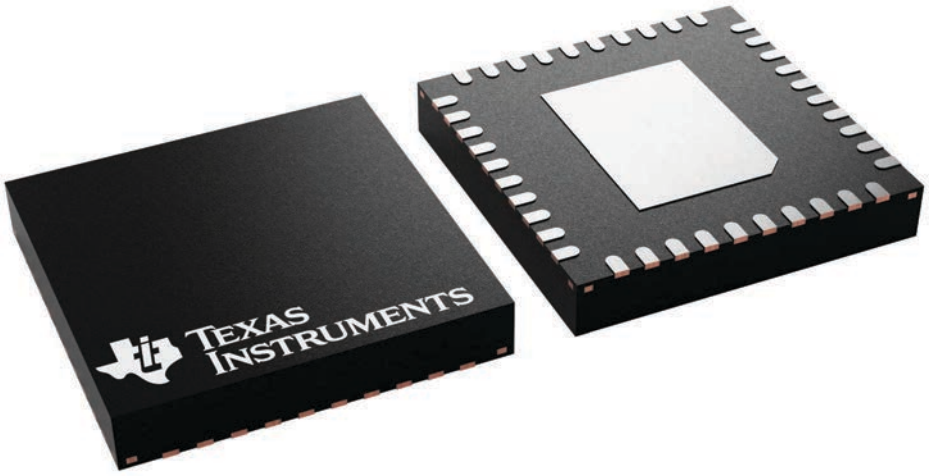
RHA 40

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



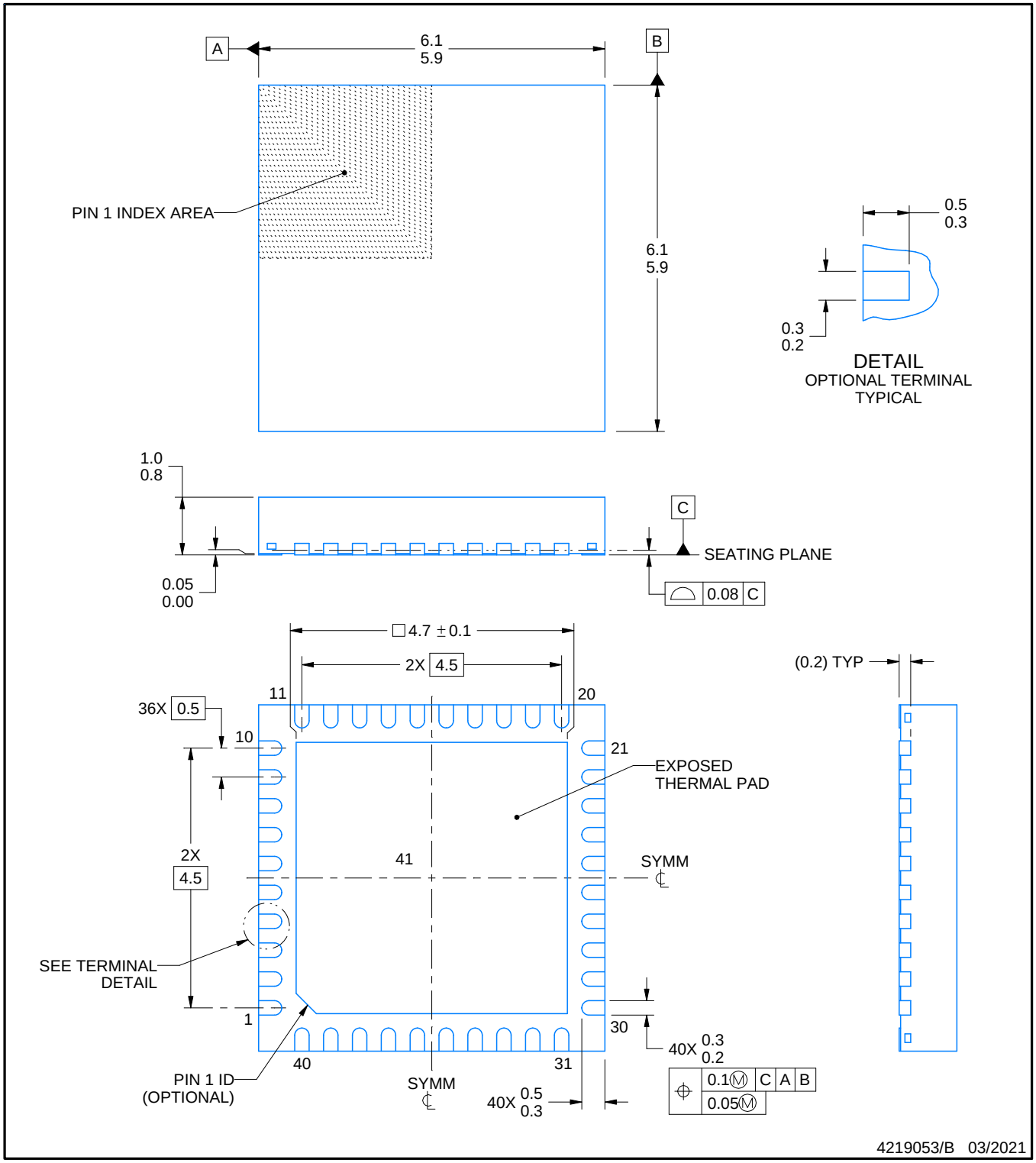
4225870/A

RHA0040C

PACKAGE OUTLINE

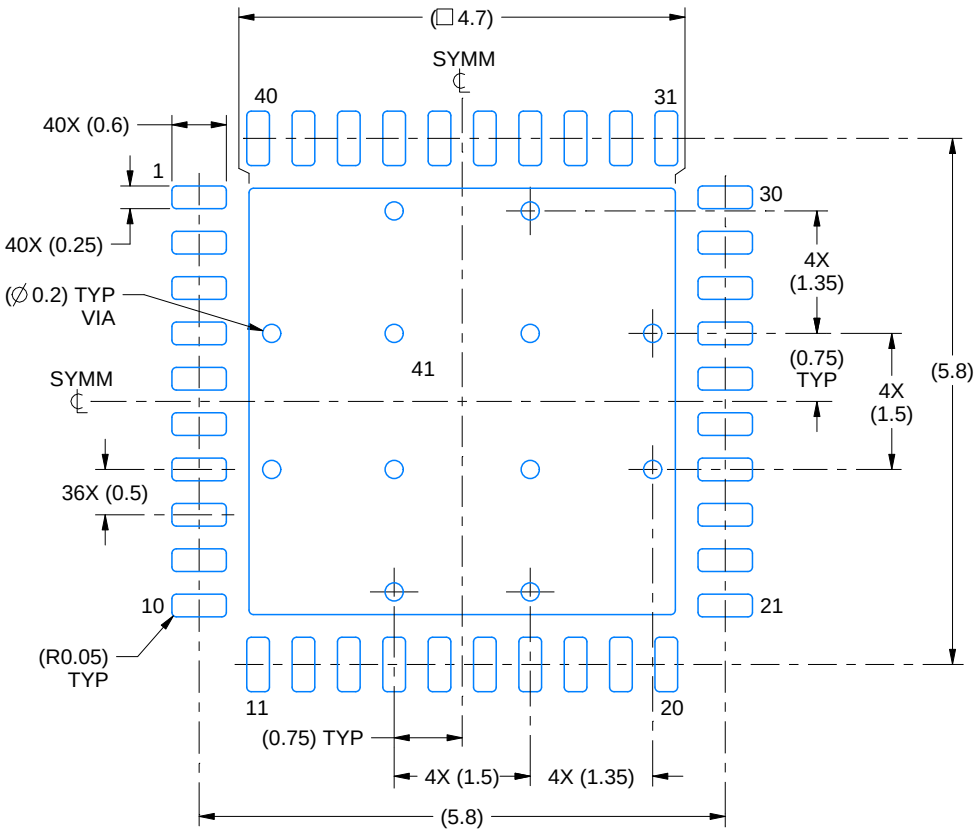
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

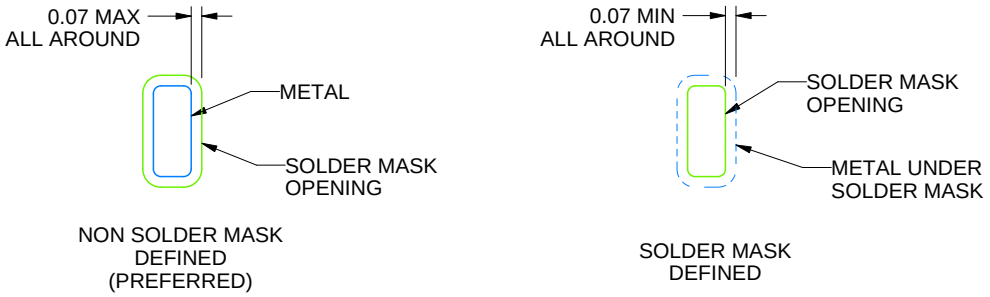


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:12X

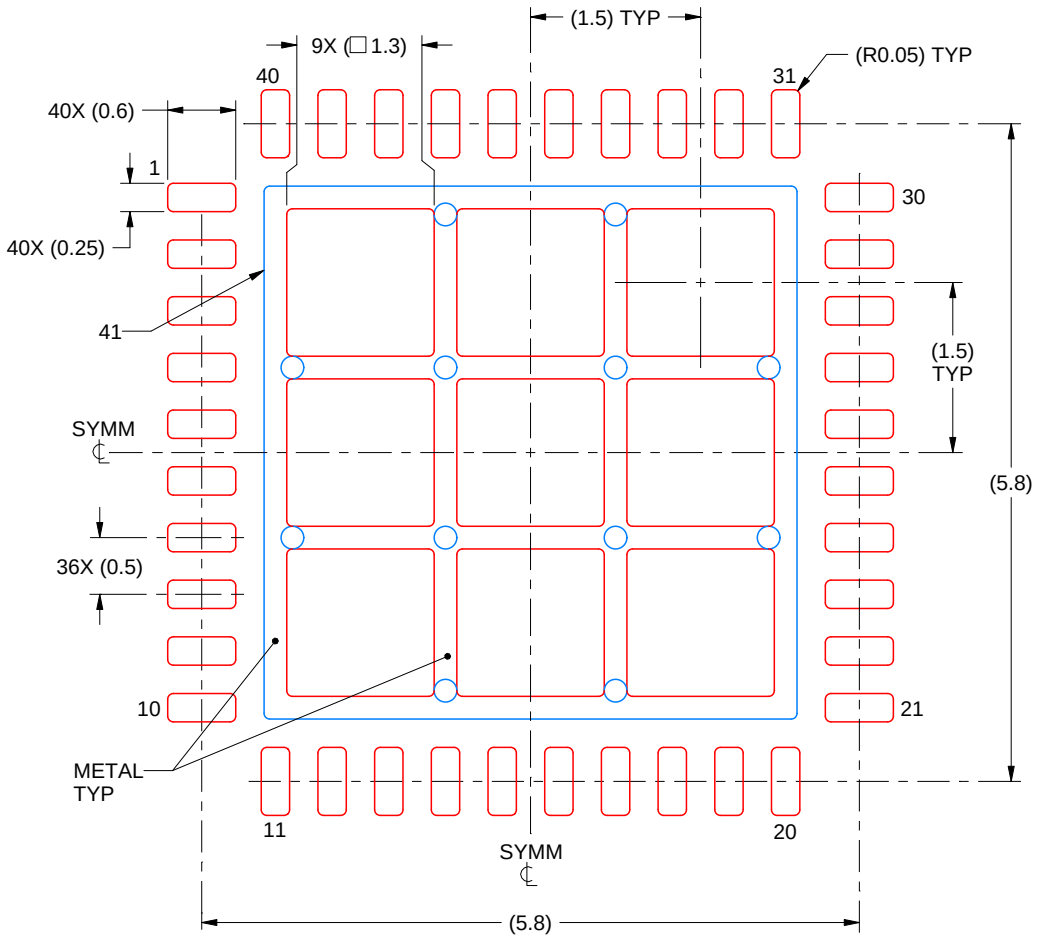


SOLDER MASK DETAILS

4219053/B 03/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 41:
69% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

4219053/B 03/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月