LMV82x 单通道/双通道/四通道、低电压、低功耗、RRO、5MHz 运算放大器

1 特性

- 符合汽车类应用的 标准
- 符合 AEC-Q100 标准，其中包括：
  - LMV822-Q1 和 LMV824-Q1 为汽车级 AEC-Q100 1 级版本
- 除非另有说明，否则 Vs = 5V 且采用典型电源值
- LMV824 具有高达 125°C 的扩展温度范围
- 小型 SC70-5 封装 (2.0mm x 1.25mm x 0.95mm)
- 在 2.5V、2.7V 和 5V 电压下具有额定性能
- V_{OS} 为 3.5mV（最大值）
- TCV_{OS} 为 1uV/°C
- 2.7V 时的增益带宽积为 5MHz
- 2.7V 电源电压时的 I_{Supply} 为 220µA/放大器
- 压摆率为 1.4V/µs（最小值）
- CMRR 为 90dB
- PSRR 为 85dB
- 5V 电源电压时的 V_{CM} 为 -0.3V 至 4.3V
- 轨至轨输出 (RRO)
  - 600Ω 负载时，以电源轨为基准的输出摆幅为 160mV
  - 10kΩ 负载时，以电源轨为基准的输出摆幅为 55mV
- 在容性负载下实现稳定性能

2 应用

- 无绳电话
- 手机
- 笔记本电脑
- PDA
- PCMCIA

3 说明

LMV821/LMV822/LMV824 运算放大器为低电压、低功耗系统带来了出色的性能和经济性。这些器件具有 5MHz 的单位增益频率（2.7V 电源电压下）和 1.4V/µs 的压摆率，且静态电流仅为 220µA/放大器。这些器件可向 600Ω 负载提供轨至轨输出 (RRO) 摆幅。输入共模电压范围包括地电平，最大输入失调电压为 3.5mV。这些器件还能轻松驱动 应用 部分所述的大型容性负载。

LMV821 单通道运算放大器采用微型 SC70-5 封装（这种封装的尺寸约为 SOT23-5 的一半）。LMV824NDGV 在扩展工业温度范围内具有额定性能，采用 TVSOP 封装。

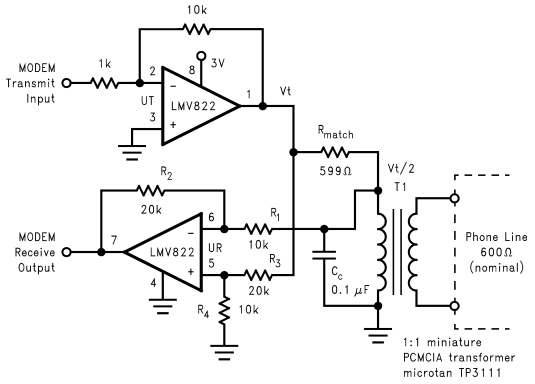
总体而言，LMV821/LMV822/LMV824 器件是低电压、低功耗和高性能的运算放大器，能够以经济实惠的价格满足广泛 应用 的要求。

器件信息(1)

器件名称	封装	封装尺寸
LMV821-N	SOT23 (5)	2.92mm x 1.60mm
	SC70 (5)	2.00mm x 1.25mm
LMV822-N	SOIC (8)	4.90mm x 3.91mm
	VSSOP (8)	3.00mm x 3.00mm
LMV822-N-Q1	VSSOP (8)	3.00mm x 3.00mm
LMV824-N	SOIC (14)	8.65mm x 3.91mm
	TSSOP (14)	5.00mm x 4.40mm
LMV824-N-Q1	TSSOP (14)	5.00mm x 4.40mm
LMV824I	TVSOP (14)	4.40mm x 3.60mm

(1) 如需了解所有可用封装，请参阅产品说明书末尾的可订购产品附录。

用于 **PCMCIA** 调制解调器卡的电话线路收发器



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 3
6 规格 ... 4
6.1 绝对最大额定值 ... 4
6.2 ESD 额定值 ... 4
6.3 建议运行条件 ... 4
6.4 热性能信息，5 引脚 ... 4
6.5 热性能信息，8 引脚(3) ... 5
6.6 热性能信息，14 引脚(3) ... 5
6.7 直流电气特性：2.7V ... 5
6.8 直流电气特性：2.5V ... 8
6.9 交流电气特性：2.7V ... 8
6.10 直流电气特性：5V ... 8
6.11 交流电气特性：5V ... 11
6.12 典型特性 ... 12
7 详细 说明 ... 18
7.1 概述 ... 18
7.2 功能框图 ... 18
7.3 特性 说明 ... 18
7.4 器件功能模式 ... 18
8 应用和实现 ... 21
8.1 应用信息 ... 21
8.2 典型 应用 ... 21
8.3 注意事项 ... 27
9 电源建议 ... 27
10 布局 ... 28
10.1 布局指南 ... 28
10.2 布局示例 ... 28
11 器件和文档支持 ... 30
11.1 文档支持 ... 30
11.2 接收文档更新通知 ... 30
11.3 社区资源 ... 30
11.4 相关链接 ... 30
11.5 商标 ... 30
11.6 静电放电警告 ... 30
11.7 术语表 ... 30
12 机械、封装和可订购信息 ... 30

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision H (April 2014) to Revision I — **Page**

- 已更改 特性 部分 ... 1
- 将“贮存温度”从“处理额定值”表（已重命名为 ESD 表）移出 ... 4
- 已更改 将“处理额定值”表更改为“ESD 额定值”表格式 - 未更改数据 ... 4
- 已添加 热性能信息 ... 4
- 已更改 并更新了电气特性表 ... 8

Changes from Revision G (November 2013) to Revision H — **Page**

- 已更改 产品说明书流程和布局以符合 TI 新标准。添加了以下部分：“应用和实现”、“电源建议”、“布局”、“器件和文档支持”、“机械、封装和可订购信息” ... 1
- 已添加 在整个产品说明书内添加新的 LMV824I ... 1
- 已删除 “请参阅应用手册 AN-397 了解详细说明。”- 不存在此类应用手册 ... 21
- 已添加 新增部分 ... 27
- 已添加 新增部分 ... 27

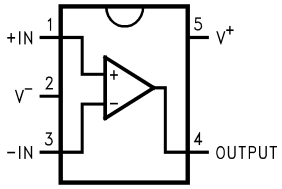
Changes from Revision D (February 2013) to Revision G — **Page**

- 已添加 新器件 ... 1
- 已添加 新器件 ... 1
- 已添加 新器件 ... 4
- 已添加 新器件 ... 5
- 已添加 新器件 ... 8
- 已添加 新器件 ... 8

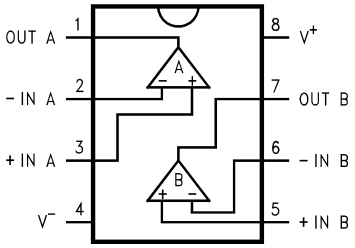
版权 © 1999–2016, Texas Instruments Incorporated

5 引脚配置和功能

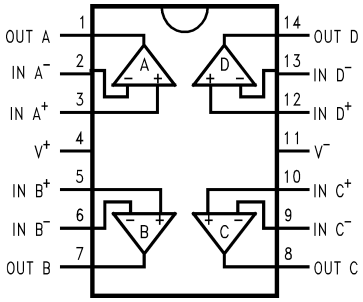
5 引脚 SC70-5/SOT23-5
DCK0005A、DBV0005A 封装
俯视图



8 引脚 SOIC/VSSOP
D0008A、DGK0008A 封装
俯视图



14 引脚 SOIC/TSSOP/TVSOP
D0014A、PW0014A、DGV0014A 封装
俯视图



引脚功能

引脚名称	I/O	说明
+IN	I	同相输入
-IN	I	反相输入
OUT	O	输出
V-	P	负电源
V+	P	正电源

版权 © 1999–2016, Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值(1)(2)

	最小值	最大值	单位
差分输入电压	V^-	V^+	V
电源电压 ($V^+ – V^-$)	–0.3	5.5	V
输出短路至 V^+(3)		请参阅 (3)	
输出短路至 V^-(3)		请参阅 (3)	
焊接信息			
红外或对流（20 秒）		235	°C
结温(4)		150	°C
贮存温度 T_{stg}	–65	150	°C

(1) 绝对最大额定值表示限值，超过这些限值可能对器件造成损坏。运行额定值表示器件可正常运行但无法确保器件具体性能的条件。有关保证的各种规格和测试条件，请参阅“电气特性”。
(2) 如果需要军用/航天专用器件，请与 TI 销售办事处/经销商联系以了解供货情况和技术规格。
(3) 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。输出电流长期超过 45mA 会对可靠性造成不利影响。
(4) 最大功耗是 $T_{J(max)}$、θ_{JA} 和 T_A 的函数。任何环境温度下允许的最大功耗为 $P_D = (T_{J(max)}–T_A)/\theta_{JA}$。所有数字均适用于直接焊接到 PC 板的封装。

6.2 ESD 额定值

			值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚(1)(2)(3)	±2000	V
		人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚(1) LMV821	±1500	
		机器放电模型 (MM) (4)	±200	

(1) 上表所列级别是 ANSI、ESDA 和 JEDEC JS-001 规定的通过级别。JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) 人体放电模型，1.5kΩ 与 100pF 串联。
(3) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范对 Q 级器件执行 HBM 应力测试。
(4) 机器放电模型，200Ω 与 100pF 串联。

6.3 建议运行条件

		最小值	标称值	最大值	单位
电源电压		2.5		5.5	V
温度范围	LMV821、LMV822、LMV824	–40		85	°C
	LMV822-Q1、LMV824I 和 LMV824-Q1	–40		125	

6.4 热性能信息，5 引脚(1)

热指标(1)		DCK SC70-5 封装	DBV SOT23-5 封装	单位
		5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	263.4	217.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	102.8	142.4	°C/W
$R_{\theta JB}$	结至电路板热阻	50.9	49.4	°C/W
ψ_{JT}	结至顶部特征参数	3.7	29.1	°C/W
ψ_{JB}	结至电路板特征参数	50.2	48.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关传统和新型热指标的更多信息，请参阅《半导体和 IC 封装热指标》应用报告。

版权 © 1999–2016, Texas Instruments Incorporated

6.5 热性能信息，8 引脚(1)

热指标(1)		D SOIC 封装	DGK VSSOP 封装	单位
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	132.6	193.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	76.9	84.4	°C/W
$R_{\theta JB}$	结至电路板热阻	73.2	114.5	°C/W
ψ_{JT}	结至顶部特征参数	25.0	21.6	°C/W
ψ_{JB}	结至电路板特征参数	72.6	113.0	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关传统和新型热指标的更多信息，请参阅*《半导体和 IC 封装热指标》*应用报告。

6.6 热性能信息，14 引脚(1)

热指标(1)		D SOIC 封装	PW TSSOP 封装	DGV TVSOP 封装	单位
		14 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	109.7	135.6	148.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	65.9	63.8	67.3	°C/W
$R_{\theta JB}$	结至电路板热阻	64.1	77.4	77.5	°C/W
ψ_{JT}	结至顶部特征参数	24.5	13.0	12.9	°C/W
ψ_{JB}	结至电路板特征参数	63.9	76.8	76.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关传统和新型热指标的更多信息，请参阅*《半导体和 IC 封装热指标》*应用报告。

6.7 直流电气特性：2.7V

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C，V^+ = 2.7V，V^- = 0V，V_{CM} = 1.0V，V_O = 1.35V，且 R_L > 1MΩ。LMV821/822/824 的极端温度范围为 −40°C ≤ T_J ≤ 85°C，而 LMV822-Q1/LMV824-Q1/LMV824I 的范围为 −40°C ≤ T_J ≤ 125°C。

参数		测试条件	最小值 (1)	典型值 (2)	最大值 (1)	单位
V_{OS}	输入失调电压	LMV821/822/822-Q1/824		1	3.5	mV
		LMV821/822/822-Q1/824，在温度范围内			4	
		LMV824-Q1/LMV824I		1		
		LMV824-Q1/LMV824I，在温度范围内			5.5	
TCV_{OS}	输入失调电压平均漂移			1		µV/°C
I_B	输入偏置电流			30	90	nA
		在温度范围内			140	
I_{OS}	输入失调电流			0.5	30	nA
		在温度范围内			50	
CMRR	共模抑制比	0V ≤ V_{CM} ≤ 1.7V	70	85		dB
		0V ≤ V_{CM} ≤ 1.7V，在温度范围内	68			
+PSRR	正电源抑制比	1.7V ≤ V^+ ≤ 4V，V^- = 1V，V_O = 0V，V_{CM} = 0V LMV821/822/824/824-Q1/LMV824I	75	85		dB
		1.7V ≤ V^+ ≤ 4V，V^- = 1V，V_O = 0V，V_{CM} = 0V LMV821/822/824/824-Q1/LMV824I，在温度范围内	70			
		LMV822-Q1	75	85		

(1) 所有限值均根据测试或统计分析确定。
(2) 典型值表示最可能的参数标准。

直流电气特性：2.7V (接下页)

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C，V^+ = 2.7V，V^- = 0V，V_{CM} = 1.0V，V_O = 1.35V，且 R_L > 1MΩ。LMV821/822/824 的极端温度范围为 −40°C ≤ T_J ≤ 85°C，而 LMV822-Q1/LMV824-Q1/LMV824I 的范围为 −40°C ≤ T_J ≤ 125°C。

参数		测试条件	最小值 (1)	典型值 (2)	最大值 (1)	单位
−PSRR	负电源抑制比	-1.0V ≤ V^- ≤ -3.3V，V^+ = 1.7V，V_O = 0V，V_{CM} = 0V LMV821/822/824/824-Q1/LMV824I	73	85		dB
		-1.0V ≤ V^- ≤ -3.3V，V^+ = 1.7V，V_O = 0V，V_{CM} = 0V LMV821/822/824/824-Q1/LMV824I，在温度范围内	70			
		LMV822-Q1	73	85		
V_{CM}	输入共模电压范围	当 CMRR ≥ 50dB 时		–0.3	–0.2	V
			1.9	2.0		
A_V	大信号电压增益	拉电流，R_L = 600Ω（连接至 1.35V）， V_O = 1.35V 至 2.2V； LMV821/822/824	90	100		dB
		拉电流，R_L = 600Ω（连接至 1.35V）， V_O = 1.35V 至 2.2V； LMV821/822/824，在温度范围内	85			
		LMV822-Q1/LMV824-Q1/LMV824I	90	100		
		灌电流，R_L = 600Ω（连接至 1.35V）， V_O = 1.35V 至 0.5V LMV821/822/824	85	90		dB
		灌电流，R_L = 600Ω（连接至 1.35V）， V_O = 1.35V 至 0.5V LMV821/822/824，在温度范围内	80			
		LMV824I	85	90		
		LMV824I，在温度范围内	78			
		LMV822-Q1/LMV824-Q1	85	90		
		拉电流，R_L = 2kΩ（连接至 1.35V）， V_O = 1.35V 至 2.2V； LMV821/822/824	95	100		dB
		拉电流，R_L = 2kΩ（连接至 1.35V）， V_O = 1.35V 至 2.2V； LMV821/822/824，在温度范围内	90			
		LMV822-Q1/LMV824-Q1/LMV824I	95	100		
		灌电流，R_L = 2kΩ（连接至 1.35V）， V_O = 1.35V 至 0.5V LMV821/822/824	90	95		dB
		灌电流，R_L = 2kΩ（连接至 1.35V）， V_O = 1.35V 至 0.5V LMV821/822/824，在温度范围内	85			
		LMV822-Q1/LMV824-Q1/LMV824I	90	95		
V_O	输出摆幅	V^+ = 2.7V，R_L = 600Ω（连接至 1.35V）	2.50	2.58		V
				0.13	0.20	
		V^+ = 2.7V，R_L = 600Ω（连接至 1.35V），在温度范围内	2.40		0.30	
		V^+ = 2.7V，R_L = 2kΩ（连接至 1.35V）	2.60	2.66		V
				0.08	0.120	
		V^+ = 2.7V，R_L = 2kΩ（连接至 1.35V），在温度范围内	2.50		0.200	
I_O	输出电流	拉电流，V_O = 0V	12	16		mA
		灌电流，V_O = 2.7V	12	26		

版权 © 1999–2016, Texas Instruments Incorporated

直流电气特性：2.7V (接下页)

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C，V^+ = 2.7V，V^- = 0V，V_{CM} = 1.0V，V_O = 1.35V，且 R_L > 1MΩ。LMV821/822/824 的极端温度范围为 −40°C ≤ T_J ≤ 85°C，而 LMV822-Q1/LMV824-Q1/LMV824I 的范围为 −40°C ≤ T_J ≤ 125°C。

参数		测试条件	最小值 (1)	典型值 (2)	最大值 (1)	单位
I_S	电源电流	LMV821（单通道）		0.22	0.3	mA
		LMV821，在温度范围内			0.5	
		LMV822（双通道）		0.45	0.6	mA
		LMV822，在温度范围内			0.8	
		LMV824（四通道）		0.72	1.0	mA
		LMV824，在温度范围内			1.2	

6.8 直流电气特性：2.5V

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C，V^+ = 2.5V，V^- = 0V，V_{CM} = 1.0V，V_O = 1.25V，且 R_L > 1MΩ。LMV821/822/824 的极端温度范围为 −40°C ≤ T_J ≤ 85°C，而 LMV822-Q1/LMV824-Q1/LMV824I 的范围为 −40°C ≤ T_J ≤ 125°C。

参数		条件	最小值 (1)	典型值 (2)	最大值 (1)	单位
V_{OS}	输入失调电压	LMV821/822/822-Q1/824		1	3.5	mV
		LMV821/822/822-Q1/824，在温度范围内			4	
		LMV824-Q1/LMV824I		1		
		LMV824-Q1/LMV824I，在温度范围内			5.5	
V_O	输出摆幅	V^+ = 2.5V，R_L = 600Ω（连接至 1.25V）	2.30	2.37		V
				0.13	0.20	
		V^+ = 2.5V，R_L = 600Ω（连接至 1.25V），在温度范围内	2.20		0.30	
		V^+ = 2.5V，R_L = 2kΩ（连接至 1.25V）	2.40	2.46		V
				0.08	0.12	
		V^+ = 2.5V，R_L = 2kΩ（连接至 1.25V），在温度范围内	2.30		0.20	

(1) 所有限值均根据测试或统计分析确定。
(2) 典型值表示最可能的参数标准。

6.9 交流电气特性：2.7V

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C，V^+ = 2.7V，V^- = 0V，V_{CM} = 1.0V，V_O = 1.35V，且 R_L > 1MΩ。LMV821/822/824 的极端温度范围为 −40°C ≤ T_J ≤ 85°C，而 LMV822-Q1/LMV824-Q1/LMV824I 的范围为 −40°C ≤ T_J ≤ 125°C。

参数		测试条件	最小值 (1)	典型值 (2)	最大值 (1)	单位
SR	压摆率	请参阅 (3)		1.5		V/μs
GBW	增益带宽积			5		MHz
Φ_m	相位裕度			61		度
G_m	增益裕量			10		dB
	放大器到放大器隔离	请参阅 (4)		135		dB
e_n	输入相关电压噪声	f = 1kHz，V_{CM} = 1V		28		nV/√Hz
i_n	输入参考电流噪声	f = 1kHz		0.1		pA/√Hz
THD	总谐波失真	f = 1kHz，A_V = −2， R_L = 10kΩ，V_O = 4.1V_{PP}		0.01%		

(1) 所有限值均根据测试或统计分析确定。
(2) 典型值表示最可能的参数标准。
(3) V^+ = 5V。作为电压跟随器连接且输入阶跃为 3V。标注的数字是正负压摆率中较低的值。
(4) 以输入为参考，V^+ = 5V，且 R_L = 100kΩ（连接至 2.5V）。每个放大器依次以 1kHz 的频率接受激励以便产生 V_O = 3V_{PP}。

6.10 直流电气特性：5V

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C，V^+ = 5V，V^- = 0V，V_{CM} = 2.0V，V_O = 2.5V，且 R_L > 1MΩ。LMV821/822/824 的极端温度范围为 −40°C ≤ T_J ≤ 85°C，而 LMV822-Q1/LMV824-Q1/LMV824I 的范围为 −40°C ≤ T_J ≤ 125°C。

参数		测试条件	最小值 (1)	典型值 (2)	最大值 (1)	单位
V_{OS}	输入失调电压	LMV821/822/822-Q1/824		1	3.5	mV
		LMV821/822/822-Q1/824，在温度范围内			4.0	
		LMV824-Q1/LMV824I		1		
		LMV824-Q1/LMV824I，在温度范围内			5.5	
TCV_{OS}	输入失调电压平均漂移			1		μV/°C

(1) 所有限值均根据测试或统计分析确定。
(2) 典型值表示最可能的参数标准。

版权 © 1999–2016, Texas Instruments Incorporated

直流电气特性：5V (接下页)

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C，V^+ = 5V，V^- = 0V，V_{CM} = 2.0V，V_O = 2.5V，且 R_L > 1MΩ。LMV821/822/824 的极端温度范围为 −40°C ≤ T_J ≤ 85°C，而 LMV822-Q1/LMV824-Q1/LMV824I 的范围为 −40°C ≤ T_J ≤ 125°C。

参数		测试条件	最小值 (1)	典型值 (2)	最大值 (1)	单位
I_B	输入偏置电流			40	100	nA
		在温度范围内			150	
I_{OS}	输入失调电流			0.5	30	nA
		在温度范围内			50	
CMRR	共模抑制比	0V ≤ V_{CM} ≤ 4.0V	72	90		dB
		0V ≤ V_{CM} ≤ 4.0V，在温度范围内	70			
+PSRR	正电源抑制比	1.7V ≤ V^+ ≤ 4V，V^- = 1V，V_O = 0V，V_{CM} = 0V LMV821/822/824/824-Q1/824I		85	75	dB
		1.7V ≤ V^+ ≤ 4V，V^- = 1V，V_O = 0V，V_{CM} = 0V LMV821/822/824/824-Q1/824I，在温度范围内			70	
		LMV822-Q1	75	85		
−PSRR	负电源抑制比	-1.0V ≤ V^- ≤ -3.3V，V^+ = 1.7V，V_O = 0V，V_{CM} = 0V LMV821/822/824/824-Q1/824I	73	85		dB
		-1.0V ≤ V^- ≤ -3.3V，V^+ = 1.7V，V_O = 0V，V_{CM} = 0V LMV821/822/824/824-Q1/824I	70			
		LMV822-Q1	73	85		
V_{CM}	输入共模电压范围	当 CMRR ≥ 50dB 时		-0.3	-0.2	V
			4.2	4.3		V
A_V	大信号电压增益	拉电流，R_L = 600Ω（连接至 2.5V）， V_O = 2.5V 至 4.5V； LMV821/822/824	95	105		dB
		拉电流，R_L = 600Ω（连接至 2.5V）， V_O = 2.5V 至 4.5V； LMV821/822/824，在温度范围内	90			
		LMV822-Q1/LMV824-Q1/LMV824I	95	105		
		灌电流，R_L = 600Ω（连接至 2.5V）， V_O = 2.5V 至 0.5V LMV821/822/824	95	105		dB
		灌电流，R_L = 600Ω（连接至 2.5V）， V_O = 2.5V 至 0.5V LMV821/822/824，在温度范围内	90			
		LMV824I	95	105		
		LMV824I，在温度范围内	82			
		LMV822-Q1/LMV824-Q1	95	105		
		拉电流，R_L = 2kΩ（连接至 2.5V）， V_O = 2.5V 至 4.5V； LMV821/822/824	95	105		dB
		拉电流，R_L = 2kΩ（连接至 2.5V）， V_O = 2.5V 至 4.5V； LMV821/822/824，在温度范围内	90			
		LMV822-Q1/LMV824-Q1/LMV824I	95	105		
		灌电流，R_L = 2kΩ（连接至 2.5V）， V_O = 2.5V 至 0.5V LMV821/822/824	95	105		dB
		灌电流，R_L = 2kΩ（连接至 2.5V）， V_O = 2.5V 至 0.5V LMV821/822/824，在温度范围内	90			
		LMV822-Q1/LMV824-Q1/LMV824I	95	105		

版权 © 1999–2016, Texas Instruments Incorporated

直流电气特性：5V (接下页)

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C，V^+ = 5V，V^- = 0V，V_{CM} = 2.0V，V_O = 2.5V，且 R_L > 1MΩ。LMV821/822/824 的极端温度范围为 −40°C ≤ T_J ≤ 85°C，而 LMV822-Q1/LMV824-Q1/LMV824I 的范围为 −40°C ≤ T_J ≤ 125°C。

参数		测试条件	最小值 (1)	典型值 (2)	最大值 (1)	单位
V_O	输出摆幅	V^+ = 5V，R_L = 600Ω（连接至 2.5V）	4.75	4.84		V
		V^+ = 5V，R_L = 600Ω（连接至 2.5V），在温度范围内	4.70			
		V^+ = 5V，R_L = 600Ω（连接至 2.5V）（LMV824-Q1、LMV824I）		4.84		
		V^+ = 5V，R_L = 600Ω（连接至 2.5V）（LMV824-Q1、LMV824I），在温度范围内	4.60			
		V^+ = 5V，R_L = 600Ω（连接至 2.5V）		0.17	0.250	V
		V^+ = 5V，R_L = 600Ω（连接至 2.5V），在温度范围内			0.30	
		V^+ = 5V，R_L = 600Ω（连接至 2.5V）（LMV824-Q1、LMV824I）		0.17		
		V^+ = 5V，R_L = 600Ω（连接至 2.5V）（LMV824-Q1、LMV824I），在温度范围内			0.40	
		V^+ = 5V，R_L = 2kΩ（连接至 2.5V）	4.85	4.90		V
				0.10	0.15	
		V^+ = 5V，R_L = 2kΩ（连接至 2.5V），在温度范围内	4.80		0.20	
I_O	输出电流	拉电流，V_O = 0V	20	45		mA
		拉电流，V_O = 0V，在温度范围内	15			
		拉电流，V_O = 0V LMV824I	20	45		mA
		拉电流，V_O = 0V LMV824I，在温度范围内	10			
		灌电流，V_O = 5V	20	40		mA
		灌电流，V_O = 5V，在温度范围内	15			
		灌电流，V_O = 5V LMV824I	20	40		mA
		灌电流，V_O = 5V LMV824I，在温度范围内	10			
I_S	电源电流	LMV821（单通道）		0.30	0.4	mA
		LMV821，在温度范围内			0.6	
		LMV822（双通道）		0.5	0.7	mA
		LMV822，在温度范围内			0.9	
		LMV824（四通道）		1.0	1.3	mA
		LMV824，在温度范围内			1.5	
		LMV824I（四通道）		1.0	1.3	mA
		LMV824I，在温度范围内			1.6	

版权 © 1999–2016, Texas Instruments Incorporated

6.11 交流电气特性：5V

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C，V^+ = 5V，V^- = 0V，V_{CM} = 2.0V，V_O = 2.5V，且 R_L > 1MΩ。LMV821/822/824 的极端温度范围为 −40°C ≤ T_J ≤ 85°C，而 LMV822-Q1/LMV824-Q1/LMV824I 的范围为 −40°C ≤ T_J ≤ 125°C。

参数		测试条件	最小值 (1)	典型值 (2)	最大值 (1)	单位
SR	压摆率	请参阅 (3)	1.4	2.0		V/μs 最小值
GBW	增益带宽积			5.6		MHz
Φ_m	相位裕度			67		度
G_m	增益裕量			15		dB
	放大器到放大器隔离	请参阅 (4)		135		dB
e_n	输入相关电压噪声	f = 1kHz，V_{CM} = 1V		24		nV/√Hz
i_n	输入参考电流噪声	f = 1kHz		0.25		pA/√Hz
THD	总谐波失真	f = 1kHz，A_V = −2， R_L = 10kΩ，V_O = 4.1V_{PP}		0.01%		

(1) 所有限值均根据测试或统计分析确定。
(2) 典型值表示最可能的参数标准。
(3) V^+ = 5V。作为电压跟随器连接且输入阶跃为 3V。标注的数字是正负压摆率中较低的值。
(4) 以输入为参考，V^+ = 5V，且 R_L = 100kΩ（连接至 2.5V）。每个放大器依次以 1kHz 的频率接受激励以便产生 V_O = 3V_{PP}。

版权 © 1999–2016, Texas Instruments Incorporated

6.12 典型特性

除非另有说明，否则 V_S = +5V，单电源，T_A = 25°C。

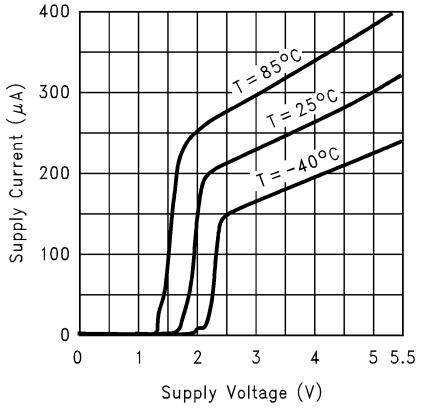


图 **1.** 电源电流与电源电压间的关系 **(LMV821)**

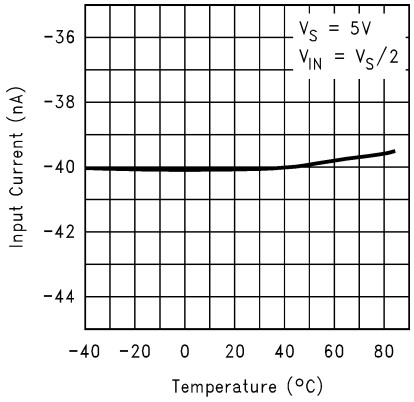


图 **2.** 输入电流与温度间的关系

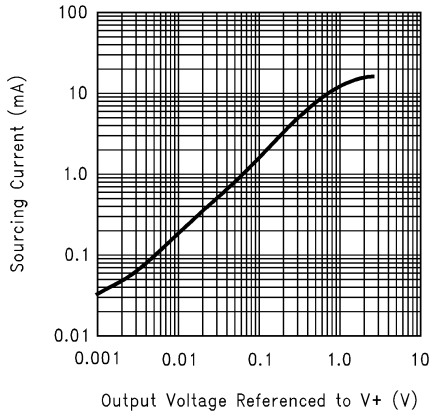


图 **3.** 拉电流与输出电压间的关系 **(V_S = 2.7V)**

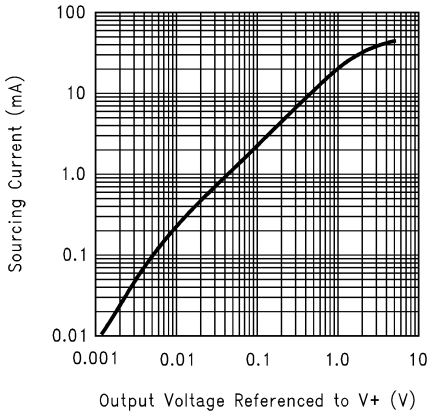


图 **4.** 拉电流与输出电压间的关系 **(V_S = 5V)**

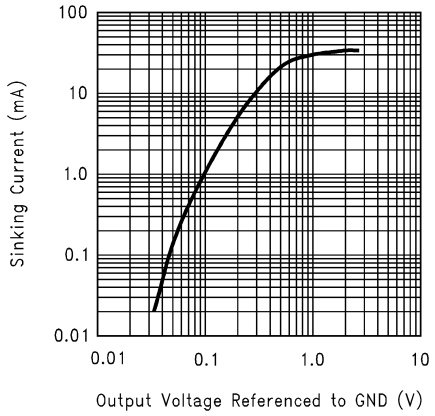


图 **5.** 灌电流与输出电压间的关系 **(V_S = 2.7V)**

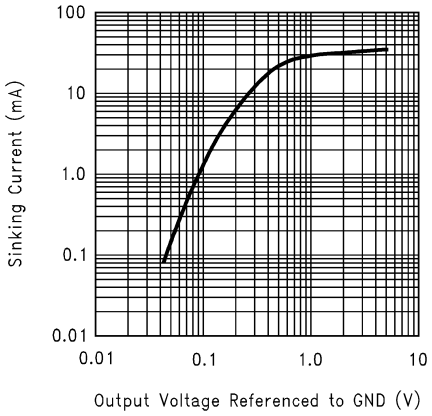


图 **6.** 灌电流与输出电压间的关系 **(V_S = 5V)**

版权 © 1999–2016, Texas Instruments Incorporated

典型特性 (接下页)

除非另有说明，否则 V_S = +5V，单电源，T_A = 25°C。

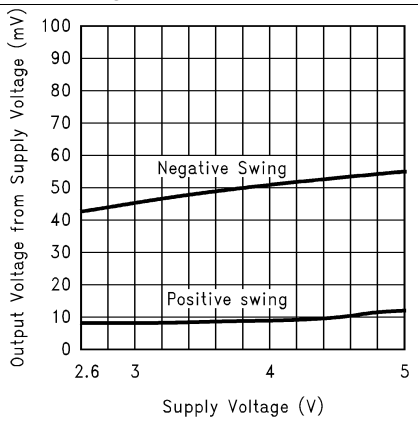


图 **7.** 输出电压摆幅与电源电压间的关系 **(R_L = 10kΩ)**

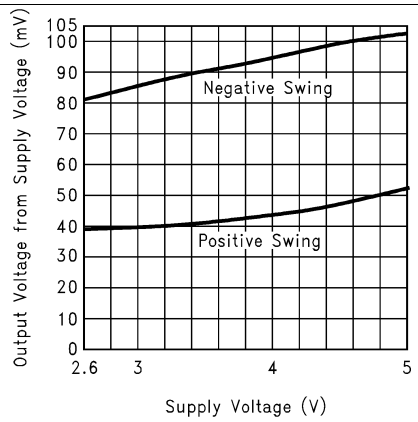


图 **8.** 输出电压摆幅与电源电压间的关系 **(R_L = 2kΩ)**

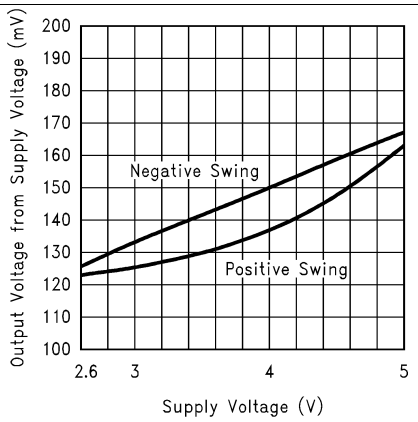


图 **9.** 输出电压摆幅与电源电压间的关系 **(R_L = 600Ω)**

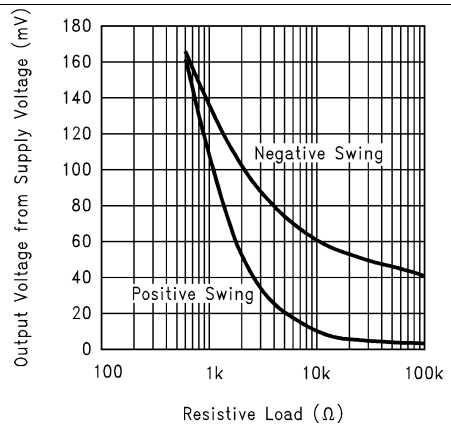


图 **10.** 输出电压摆幅与负载电阻间的关系

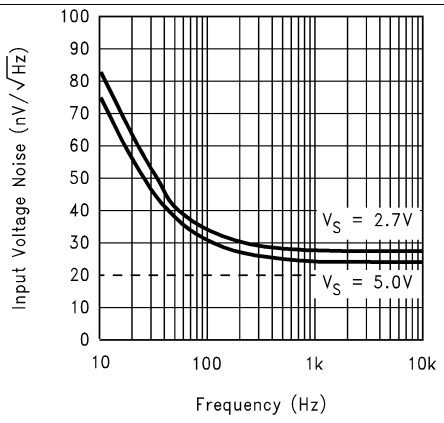


图 **11.** 输入电压噪声与频率间的关系

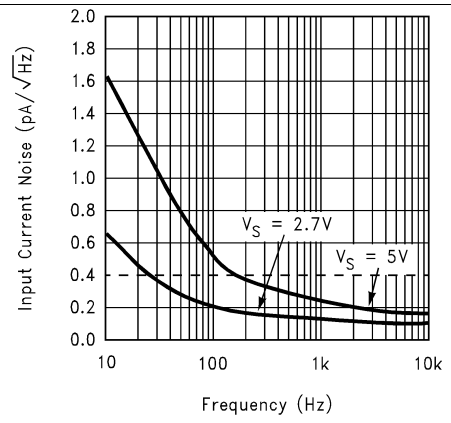


图 **12.** 输入电流噪声与频率间的关系

典型特性 (接下页)

除非另有说明，否则 V_S = +5V，单电源，T_A = 25°C。

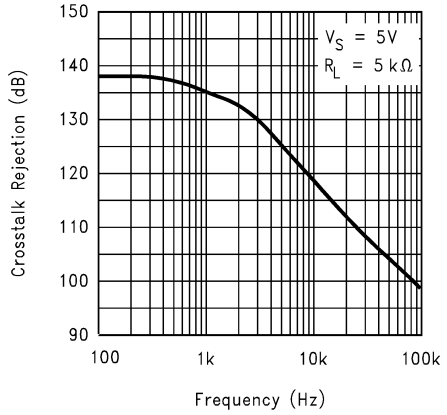


图 **13.** 串扰抑制与频率间的关系

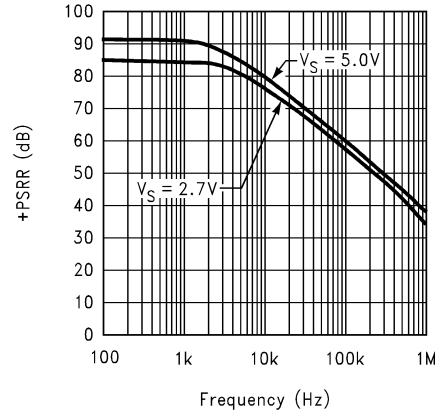


图 **14. +PSRR** 与频率间的关系

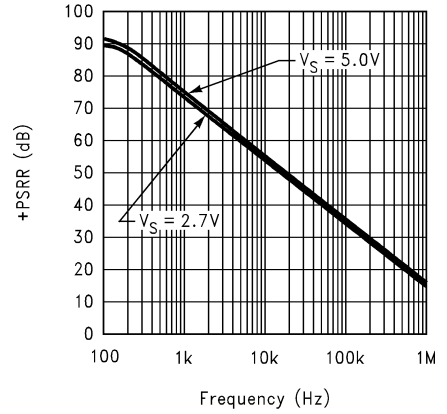


图 **15. -PSRR** 与频率间的关系

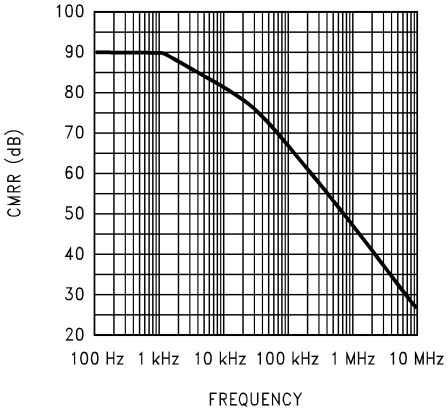


图 **16. CMRR** 与频率间的关系

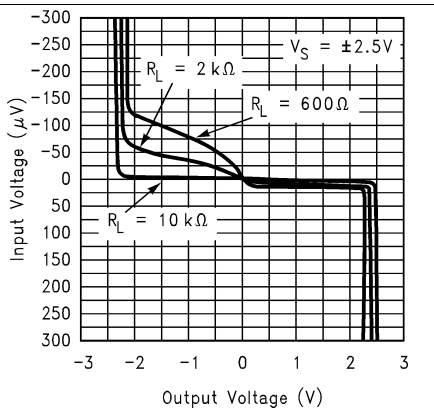


图 **17.** 输入电压与输出电压间的关系

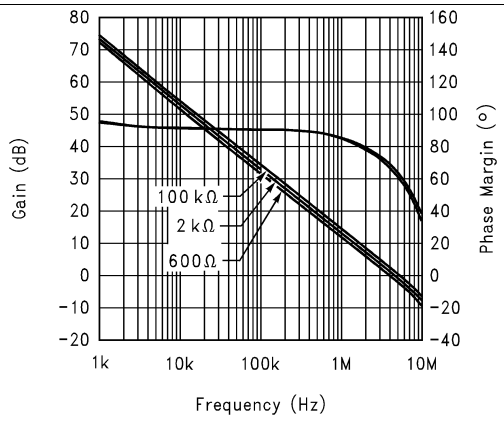


图 **18.** 增益和相位裕度与频率间的关系
（R_L = 100kΩ、2kΩ、600Ω），电压为 **2.7V**

版权 © 1999–2016, Texas Instruments Incorporated

典型特性 (接下页)

除非另有说明，否则 V_S = +5V，单电源，T_A = 25°C。

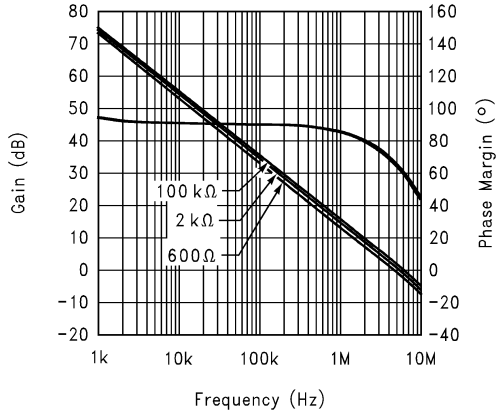


图 19. 增益和相位裕度与频率间的关系
（R_L = 100kΩ、2kΩ、600Ω），电压为 5V

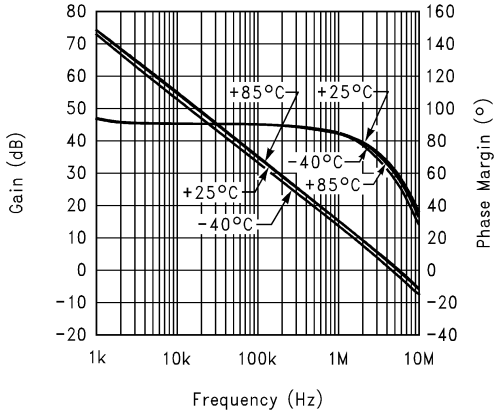


图 20. 增益和相位裕度与频率间的关系
（温度= 25°C、-40°C、85°C，R_L = 10kΩ），电压为 2.7V

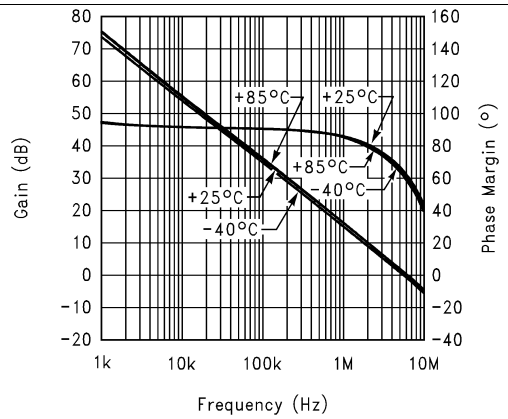


图 21. 增益和相位裕度与频率间的关系
（温度= 25°C、-40°C、85°C，R_L = 10kΩ），电压为 5V

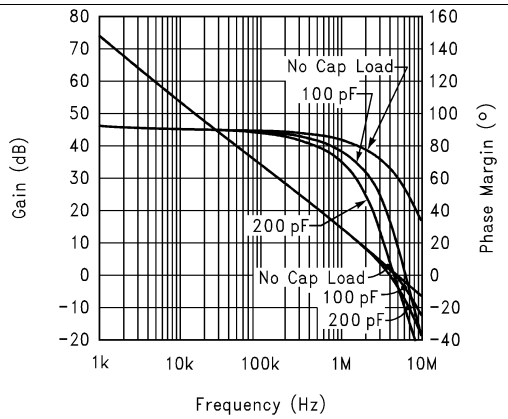


图 22. 增益和相位裕度与频率间的关系
（C_L = 100pF、200pF、0pF，R_L = 10kΩ），电压为 2.7V

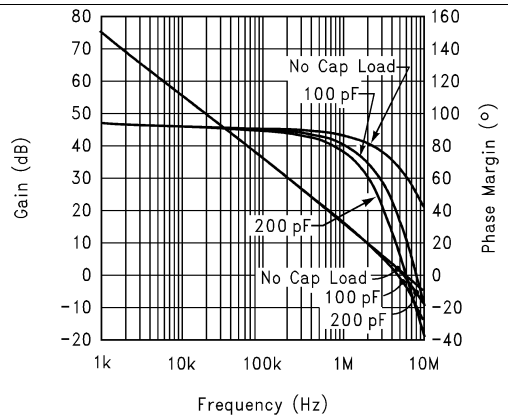


图 23. 增益和相位裕度与频率间的关系
（C_L = 100pF、200pF、0pF，R_L = 10kΩ），电压为 5V

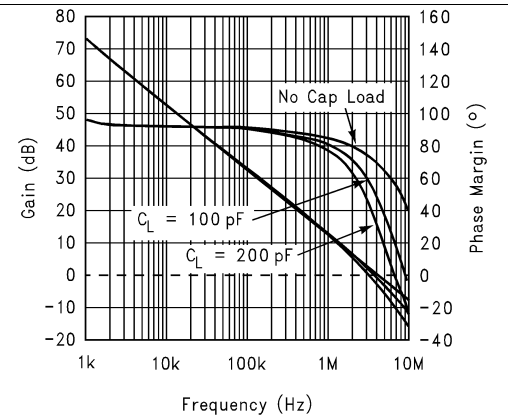


图 24. 增益和相位裕度与频率间的关系
（C_L = 100pF、200pF、0pF，R_L = 600Ω），电压为 2.7V

版权 © 1999–2016, Texas Instruments Incorporated

典型特性 (接下页)

除非另有说明，否则 V_S = +5V，单电源，T_A = 25°C。

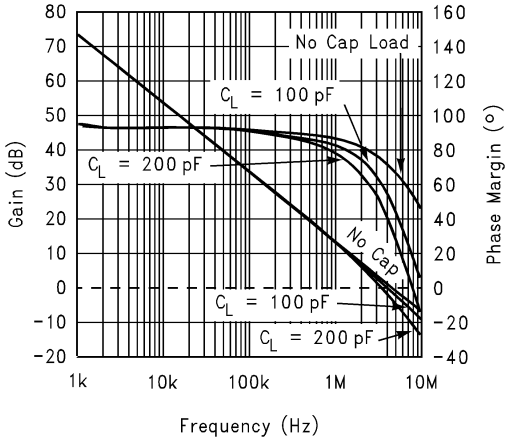


图 **25.** 增益和相位裕度与频率间的关系
（C_L = 100pF、200pF、0pF，R_L = 600Ω），电压为 **5V**

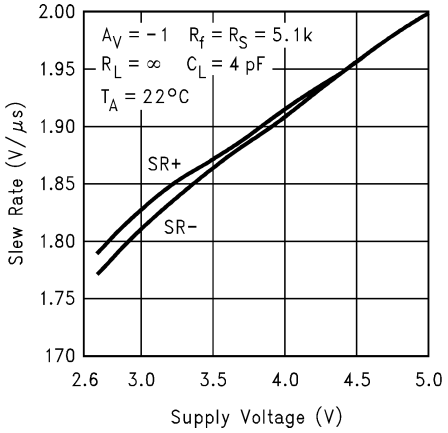


图 **26.** 压摆率与电源电压间的关系

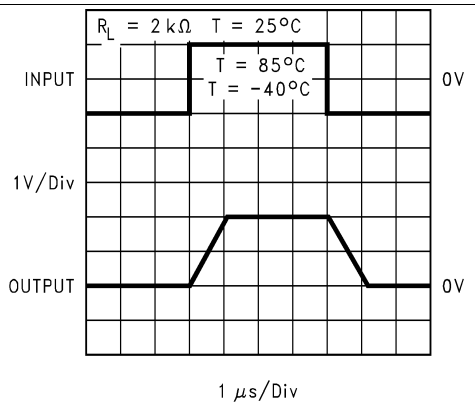


图 **27.** 同相大信号脉冲响应

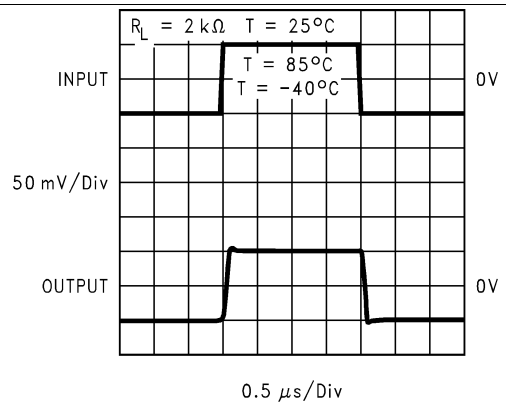


图 **28.** 同相小信号脉冲响应

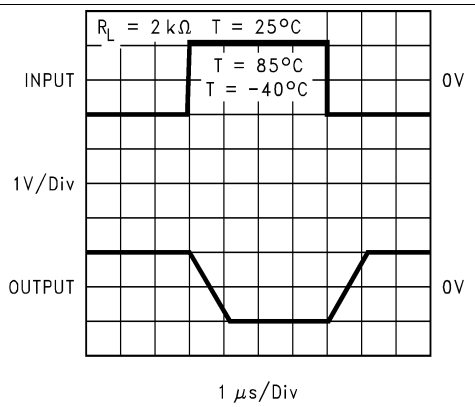


图 **29.** 反相大信号脉冲响应

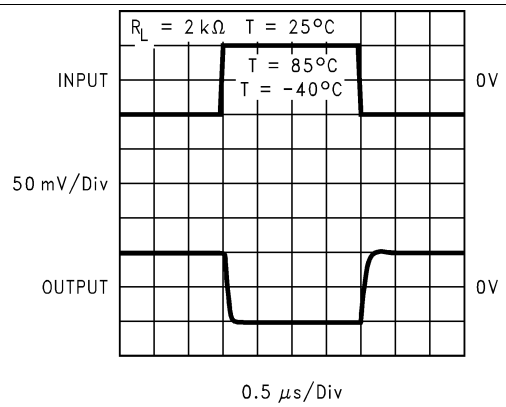


图 **30.** 反相小信号脉冲响应

版权 © 1999–2016, Texas Instruments Incorporated

典型特性 (接下页)

除非另有说明，否则 V_S = +5V，单电源，T_A = 25°C。

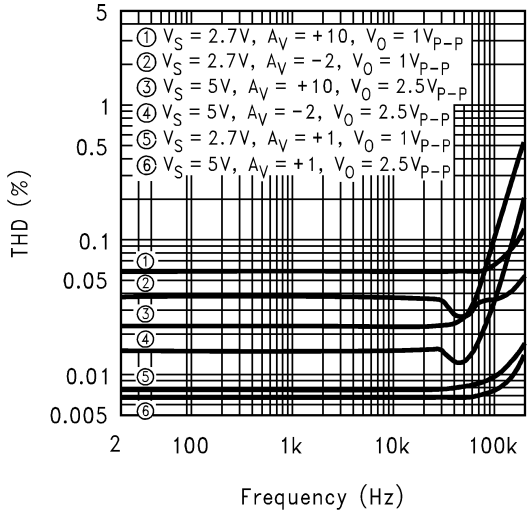


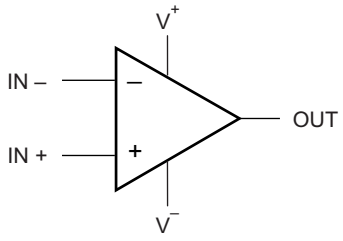
图 **31. THD** 与频率间的关系

7 详细 说明

7.1 概述

LMV821/LMV822/LMV824 为低电压/低功耗系统带来了出色的性能和经济性。这些器件具有 5MHz 的单位增益频率和 1.4V/μs 的额定压摆率，且静态电流仅为 220μA/放大器 (2.7V)。这些器件可向重负载（600Ω 额定值）提供轨至轨 (R-to-R) 输出摆幅。输入共模电压范围包括地电平，最大输入失调电压为 3.5mV。

7.2 功能框图



Copyright © 2016,
Texas Instruments Incorporated

图 **32.** （每个放大器）

7.3 特性 说明

此放大器的差分输入包含一个同相输入 (+IN) 和一个反相输入 (–IN)。此放大器仅放大两个输入之间的电压差，这称为差分输入电压。此运算放大器的输出电压 (Vout) 的计算公式为公式 1：

$$V_{OUT} = A_{OL} (IN^+ - IN^-) \quad (1)$$

其中的 A_{OL} 是放大器的开环增益，通常约为 100dB（100,000x，或 10uV/V）。

7.4 器件功能模式

本部分介绍以下设计注意事项：

1. 频率和相位响应注意事项
2. 单位增益脉冲响应注意事项
3. 输入偏置电流注意事项

7.4.1 频率和相位响应注意事项

开环频率响应与开环相位响应之间的关系决定了闭环稳定性能（负反馈）。开环相位响应导致反馈信号转变为正反馈，从而变得不稳定。输出相位角距输入相位角越远，则负反馈将运行得越稳定。相位裕度 (φ_m) 指明了单位增益交叉点处的这种输出到输入相位关系。零度的相位裕度意味着输入和输出完全相互同相，并将在单位增益频率下保持振荡。

交流电气特性表显示了空载条件下的 φ_m。但是，φ_m 会随负载而变化。我们可以使用曲线部分的“增益和相位裕度与频率间的关系”图以图形方式确定各种负载条件下的 φ_m 值。为此，应检查曲线图的相位角部分，找到单位增益频率下的相位裕度点，并确定这一点与零度相位裕度之间的距离。相位裕度越大，电路运行越稳定。

带宽也受负载影响。图 33 和图 34 的图形简要说明了各种负载如何影响 LMV821/822/824 系列的 φ_m 和带宽。这些图形显示了容性负载会同时降低 φ_m 和带宽，而阻性负载会降低带宽但增大 φ_m。注意图中将一个 600Ω 电阻器与 220 皮法的电容并联，使 φ_m 增大 20°（近似值），但仅以大约 100kHz 的带宽为代价。

总体而言，LMV821/822/824 系列可在各种负载条件下提供良好的稳定性。

版权 © 1999–2016, Texas Instruments Incorporated

器件功能模式 (接下页)

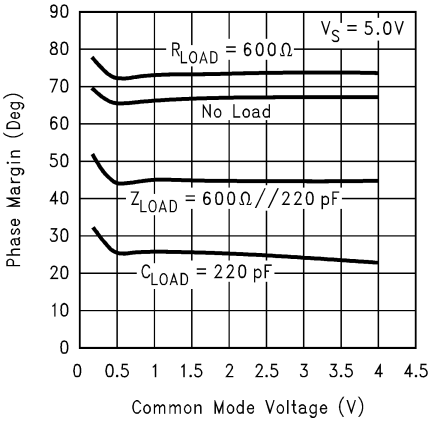


图 **33.** 各种负载下的相位裕度与共模电压间的关系

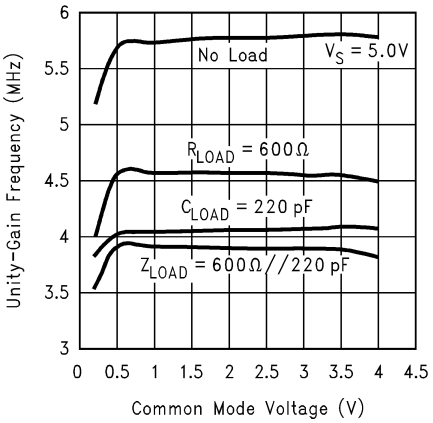


图 **34.** 各种负载下的单位增益频率与共模电压间的关系

7.4.2 单位增益脉冲响应注意事项

上拉电阻器非常适合用于增强单位增益脉冲响应稳定性。例如，在驱动 220pF 的负载时，一个 600Ω 的上拉电阻器可将过冲电压降低约 50%。图 35 显示了如何实施上拉电阻器来提高脉冲响应稳定性。

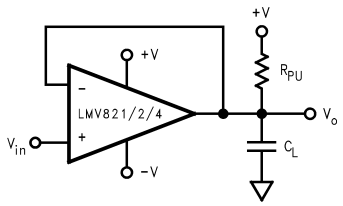


图 **35.** 在输出端使用上拉电阻器来稳定容性负载

可通过降低上拉电阻器的值来驱动更高的电容，但电阻值的下降程度不应超过器件的灌入能力。另一种方法是使用隔离电阻器（如图 36 所示）。

图 37 显示了由 LMV824 产生的脉冲响应，此情况中通过 20Ω 隔离电阻器驱动 10,000pF 的负载。

器件功能模式 **(**接下页**)**

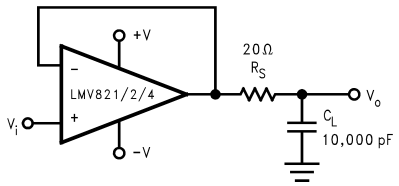


图 **36.** 使用隔离电阻器来驱动大型容性负载

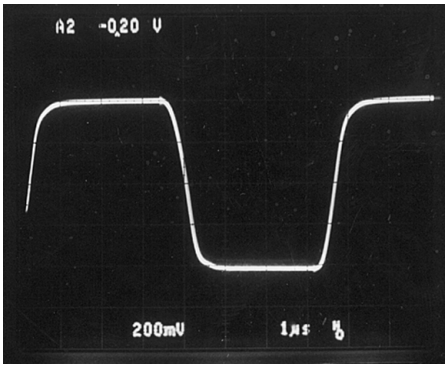


图 **37.** 的脉冲响应图 **36**

7.4.3 输入偏置电流注意事项

输入偏置电流 (I_B) 可产生较大的失调电压。此失调电压主要归因于 I_B 流经负反馈电阻器 R_F。例如，如果 I_B 为 90nA（室温下的最大值），而 R_F 为 100kΩ，则会产生 9mV 的失调电压 (V_{OS}= I_B x R_F)。使用补偿电阻器 (R_C)（如图 38 所示）可以消除这种影响。但是，输入失调电流 (I_{OS}) 仍会以同样的方式影响失调电压 - 室温下通常为 0.05mV。

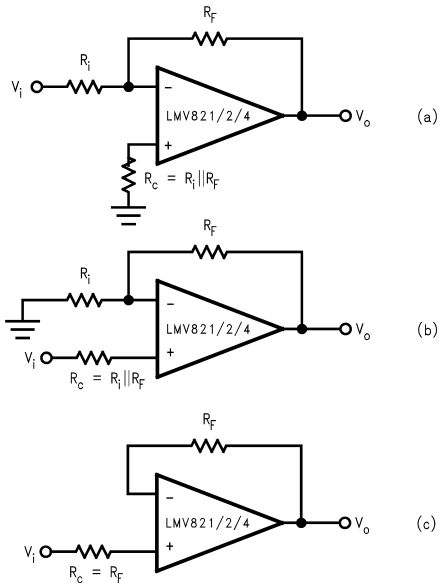


图 **38.** 消除输入偏置电流对失调电压的影响

版权 © 1999–2016, Texas Instruments Incorporated

8 应用和实现

8.1 应用信息

LMV82x 为低电压/低功耗系统带来了出色的性能和经济性。这些器件可向重负载提供轨至轨输出摆幅，能够驱动大型容性负载。

8.2 典型 应用

8.2.1 电话线路收发器

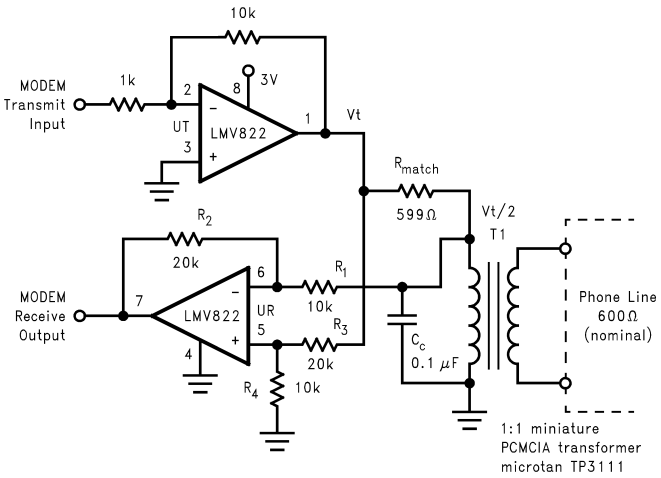


图 39. 用于 PCMCIA 调制解调器卡的电话线路收发器

8.2.1.1 设计要求

图 39 的电话线路收发器通过 PCMCIA 微型变压器提供全双工连接。接收机部分 (UR) 的差分配置消除了从发射机部分 (UT) 接收的问题。请注意，UR 的差分配置的输入信号包括发射电压 (V_T) 和 $V_T/2$。这是因为选择的 R_{match} 需要与耦合的电话线路阻抗相匹配；所以将 V_T 除以 2（假设 R1 >> R_{match}）。

8.2.1.2 详细设计流程

UR 的差分配置根据以下公式选择其电阻器以消除 V_T 和 $V_T/2$ 输入：

$$V_O = V_T\left(\frac{R_4}{R_3+R_4}\right)\left(1+\frac{R_2}{R_1}\right) - \frac{V_T}{2}\left(\frac{R_2}{R_1}\right) = V_T\frac{1}{3}(3) - \frac{V_T}{2}(2) = 0 \quad (2)$$

请注意，加入 Cc 是为了消除有损小型变压器的缺陷。

典型 应用 **(**接下页**)**

8.2.2 “简单”混频器（调幅器）

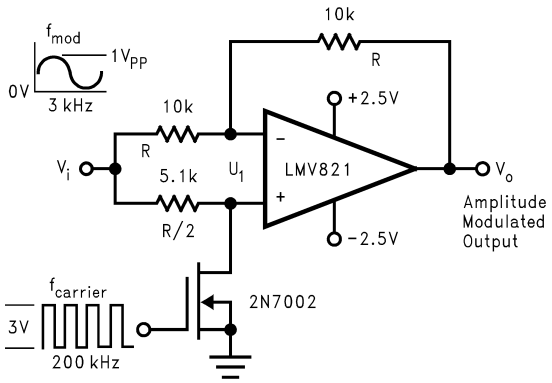


图 **40.** 调幅器电路

8.2.2.1 设计要求

简单的混频器可运用于利用多普勒效应来测量物体速度的 应用 。差频是其输出频率分量之一。这种差频幅度 (/F_M-F_C/) 是根据多普勒效应确定物体速度的关键因素。如果信号传输到移动物体，则反射的频率将是不同的频率。这种传输与接收频率的差异与物体的速度成正比。

8.2.2.2 详细设计流程

图 40 的混频器很简单，提供了一种独特的调幅形式。Vi 为调制频率 (F_M)，而 Q1 栅极处的 +3V 方波会产生载波频率 (F_C)。Q1 在反相和同相单位增益配置之间切换 U1。在 Vi 处将正弦波偏移到地电平以上将产生图 41 所示的示波器图。

8.2.2.3 应用性能图

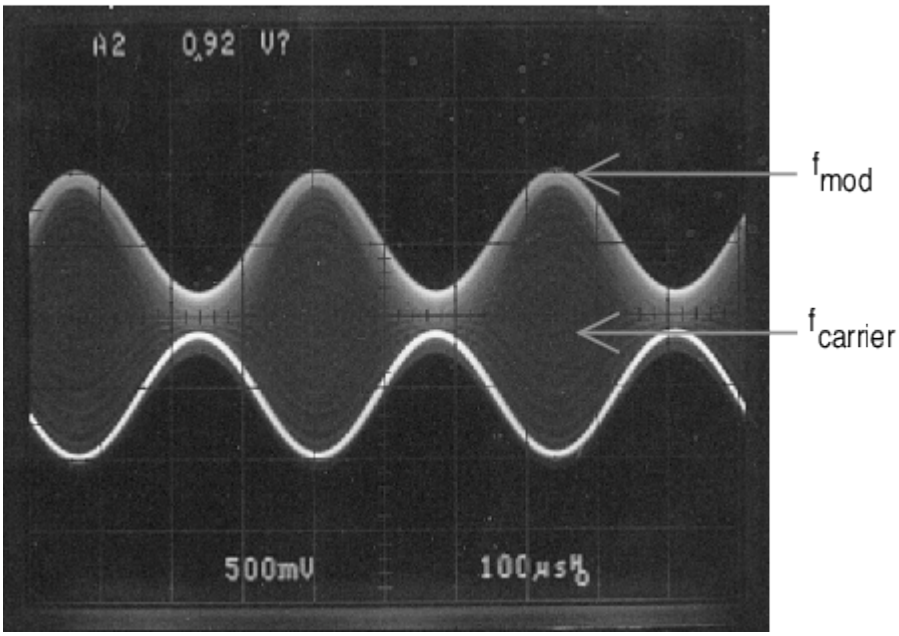


图 **41.** 图 **40** 的输出信号

版权 © 1999–2016, Texas Instruments Incorporated

典型 应用 **(**接下页**)**

8.2.3 三级电压检测器

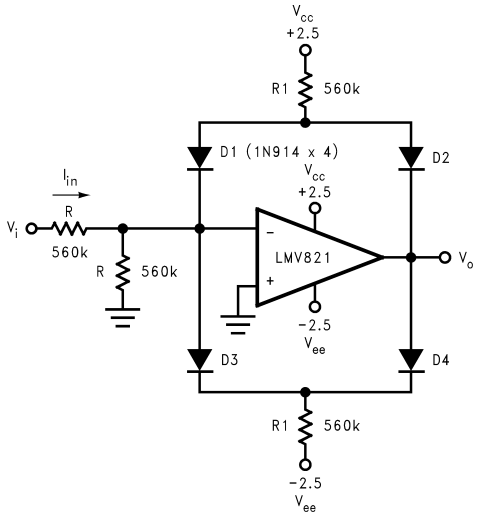


图 **42.** 三级电压检测器

8.2.3.1 设计要求

图 42 的三级电压检测器提供了一种窗口比较器功能。它能检测三种不同的输入电压范围：最小范围、中间范围和最大范围。最小范围的输出电压 (V_O) 处于 V_{CC}。中间范围的 V_O 钳位于 GND。对于最大范围，V_O 处于 V_{ee}。图 43 显示了 V_O 与V_I 间关系的示波器图（根据图 42 的电路）。

此器件的工作原理如下：V_I 偏离 GND 使二极管电桥吸收 I_{IN} 以保持钳位状态 (V_O= 0V)。最终，I_{IN} 将达到二极管电桥的偏置极限。达到此极限时，钳位效应停止，而运算放大器产生开环响应。直接位于图 43 之前的设计公式显示了如何确定钳位范围。该公式可解出每一侧 GND 端的输入电压带。中间范围是此电压带的两倍。

8.2.3.2 详细设计流程

$$\Delta V = \frac{R}{R_1}(V_{CC} - V_{Diode}) \quad (3)$$

典型 应用 **(**接下页**)**

8.2.3.3 应用性能图

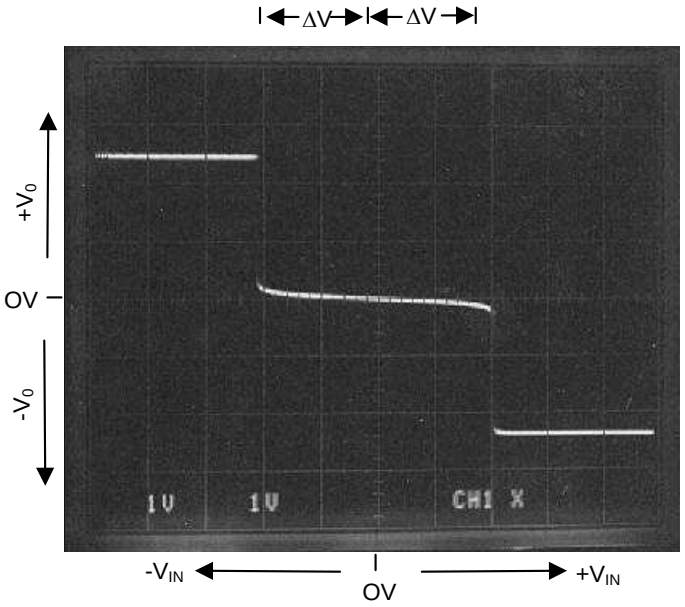
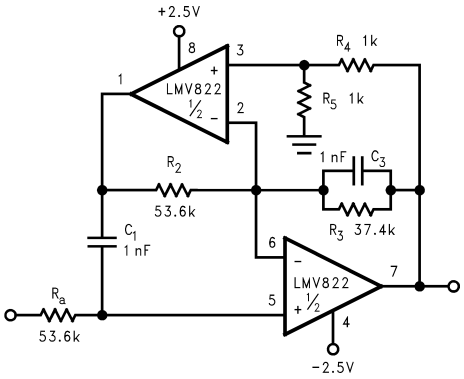


图 **43. X**、**Y** 示波器迹线，其中显示了 V_{OUT} 与 V_{IN} 间的关系（基于三级电压检测器电路）

8.2.4 双放大器有源滤波器 **(DAAF)**

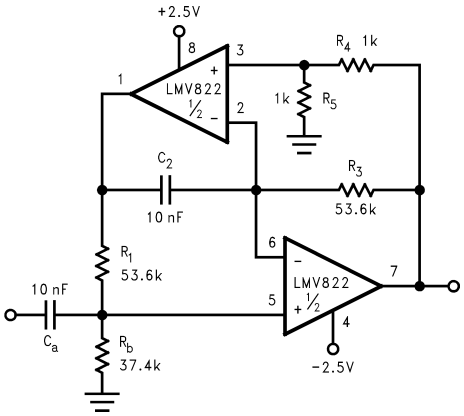


具有巴特沃斯响应和两倍通带增益的 3kHz 低通有源滤波器

图 **44.** 双放大器有源低通滤波器

版权 © 1999–2016, Texas Instruments Incorporated

典型 应用 **(**接下页**)**



具有巴特沃斯响应和两倍通带增益的 300Hz 高通有源滤波器

图 **45.** 双有源放大器高通滤波器

8.2.4.1 设计要求

LMV822/24 为 DAAF 带来了经济性和高性能。图 44 和图 45 分别对应的低通和高通滤波器具有一个主要特性：卓越的灵敏度性能。良好的灵敏度是指组件值偏差导致滤波器参数（如截止频率 (Fc)）相对较小的偏差。像 Sallen-Key 这样的单放大器有源滤波器的灵敏度性能相对较差，有时会导致在大批量生产时出现问题；它们的参数比 DAAF 更可能偏离规格。图 44 和图 45 的 DAAF 非常适合大批量生产。

8.2.4.2 详细设计流程

有源滤波器对运算放大器的参数（特别是增益和带宽）也很敏感。LMV822/24 可提供大增益和宽带宽。DAAF 可以极好地利用这些功能规格。

单放大器版本需要在滤波器响应的 Fc 处具有较大的开环/闭环增益比（大约为 50 比 1）。

除了性能，DAAF 相对更易于设计和实现。低通和高通 DAAF 的设计公式如下。前两个公式计算 LPF（图 44）的 Fc 和电路品质因数 (Q)。后两个公式计算 HPF（图 45）的 Fc 和 Q。

$$\text{(LPF)} \quad F_C = \frac{\sqrt{R_5}}{2\pi\sqrt{R_a}\cdot\sqrt{R_2}\cdot\sqrt{R_4}\cdot\sqrt{C_1}\cdot\sqrt{C_3}}$$

$$Q = 2\pi F_C\sqrt{C_1}\cdot\sqrt{C_3}$$

$$\text{(HPF)} \quad F_C = \frac{\sqrt{R_4}}{2\pi\sqrt{R_1}\cdot\sqrt{R_3}\cdot\sqrt{R_5}\cdot\sqrt{C_a}\cdot\sqrt{C_2}}$$

$$Q = 2\pi F_C\sqrt{C_a}\cdot\sqrt{C_2} \tag{4}$$

为了简化设计过程，某些组件设置为彼此相等。请参阅图 44 和图 45。这些相等的组件值有助于将设计公式简化为如下所示：

$$\text{(LPF)} \quad R_a = R_2 = \frac{1}{2\pi F_C\sqrt{C_1}\cdot\sqrt{C_3}}$$

$$R_3 = \frac{Q}{2\pi F_C\sqrt{C_1}\cdot\sqrt{C_3}}$$

$$\text{(HPF)} \quad R_1 = R_3 = \frac{1}{2\pi F_C\sqrt{C_a}\cdot\sqrt{C_2}}$$

$$R_b = \frac{Q}{2\pi F_C\sqrt{C_a}\cdot\sqrt{C_2}} \tag{5}$$

为了说明设计过程/实现情况，我们以如下方式设计一个 3kHz 巴特沃斯响应低通滤波器 DAAF（图 44）：

典型 应用 **(接下页)**

1. 选择 $C_1 = C_3 = C = 1nF$

2. 选择 $R_4 = R_5 = 1k\Omega$

3. 根据以下公式对所需的 Fc 计算 R_a 和 R_2：

$$R_a = R_2 = \frac{1}{2\pi(F_C)C} = \frac{1}{2\pi(3\,kHz)1nF} = 53.1\,k\Omega \cong 53.6\,k\Omega\ (Practical\ Value) \quad (6)$$

4. 对所需的 Q 值计算 R_3。巴特沃斯（最大平坦）响应的所需 Q 值为 0.707（呈 45 度角进入 s 平面）。R_3 的计算公式如下：

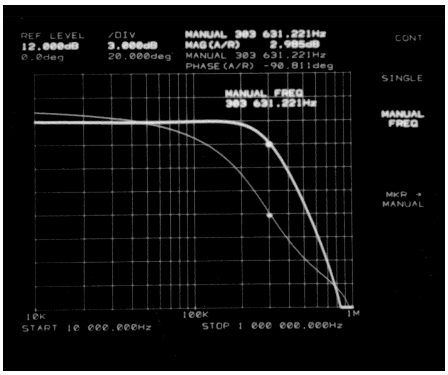
$$R_3 = \frac{Q}{2\pi(F_C)C} = \frac{0.707}{2\pi(3\,kHz)1nF} = 37.5\,k\Omega \cong 37.4\,k\Omega\ (Practical\ Value) \quad (7)$$

请注意，R_3 也可以计算为 R_a 或 R_2 的 0.707。

该电路已实现，并测出了其截止频率。截止频率测量值为 2.92kHz。

该电路还显示出良好的可重复性。在电路中放置了 10 个不同的 LMV822 样片。截止频率的相应变化小于百分之一。

8.2.4.3 应用性能图



由 HP3577A 网络分析器测出的巴特沃斯响应

图 46. 300kHz DAAF 低通滤波器测量结果

图 46 显示了一幅令人印象深刻的网络分析器 (HP3577A) 测量结果图。测量结果取自 300kHz 版本的图 44。在 300kHz 时，Fc 下的开环/闭环增益比大约为 5 比 1。这仅仅是单放大器有源滤波器的常见比值（50 比 1）的 1/10。

表 1 提供了 10MΩ 负载条件下的灵敏度测量值。左列显示了 3kHz 低通 DAAF 的无源组件。第三列显示了 300Hz 高通 DAAF 的组件。它们各自的灵敏度测量值显示在每个组件列的右侧。它们的值为截止频率 (Fc) 的百分比变化除以组件值的百分比变化的结果。灵敏度值越低，性能越好。

每个电阻值的变化量大约为 10%，并且测出的该变化被分成了测出的 Fc 变化。测量值前面的正号或负号表示相对于组件变化方向的 Fc 变化方向。例如，灵敏度值为负 1.2，意味着组件值增加 1% 时，Fc 下降 1.2%。

版权 © 1999–2016, Texas Instruments Incorporated

典型 应用 **(**接下页**)**

请注意，通过此信息可以了解如何在必要时微调截止频率。还应该注意的是，每个电路的 R_4 和 R_5 也引起了通带增益的变化。R_4 增加 10% 会使增益增大 0.4dB，而 R_5 降低 10% 会使增益减小 0.4dB。

表 **1.** 组件灵敏度测量值

组件 (LPF)	灵敏度 (LPF)	组件 (HPF)	灵敏度 (HPF)
R_a	-1.2	C_a	-0.7
C_1	-0.1	R_b	-1.0
R_2	-1.1	R_1	+0.1
R_3	+0.7	C_2	-0.1
C_3	-1.5	R_3	+0.1
R_4	-0.6	R_4	-0.1
R_5	+0.6	R_5	+0.1

8.3 注意事项

应正确旁路掉电源。

在驱动容性负载（尤其是电缆、多路复用器和 ADC 输入）时，应向输出端添加串联电阻。

不要超过输入共模范围。输入不是“轨至轨”，当配置为跟随器或其他低增益 应用时，会限制上部输出摆幅。请参阅电气特性表的“输入共模电压范围”部分。

如果输入电压预计会超过电源电压，则应添加串行限流电阻器和外部肖特基钳位二极管。将电流限制为 1mA 或更小 (1KΩ/V)。

9 电源建议

为实现正常运行，必须对电源进行适当的去耦。为了对电源线进行去耦，建议将 10nF 电容器尽可能靠近运算放大器电源引脚放置。对于单电源，应在 V^+ 和 V^- 电源引线之间放置一个电容器。对于双电源，应在 V^+ 和接地端之间放置一个电容器，并在 V^- 和接地端之间放置一个电容器。

版权 © 1999–2016, Texas Instruments Incorporated

10 布局

10.1 布局指南

应使用低 ESR 电容器将 V+ 引脚旁路至接地引脚。

放置位置越靠近 V+ 引脚和接地引脚越好。

请注意，应最大限度减小由 V+ 和接地引脚之间的旁路电容器连接形成的环路区域。

应将接地引脚连接至 PCB 接地平面的器件引脚。

应将反馈组件放置在尽可能靠近器件的位置，以最大限度减少杂散。

10.2 布局示例

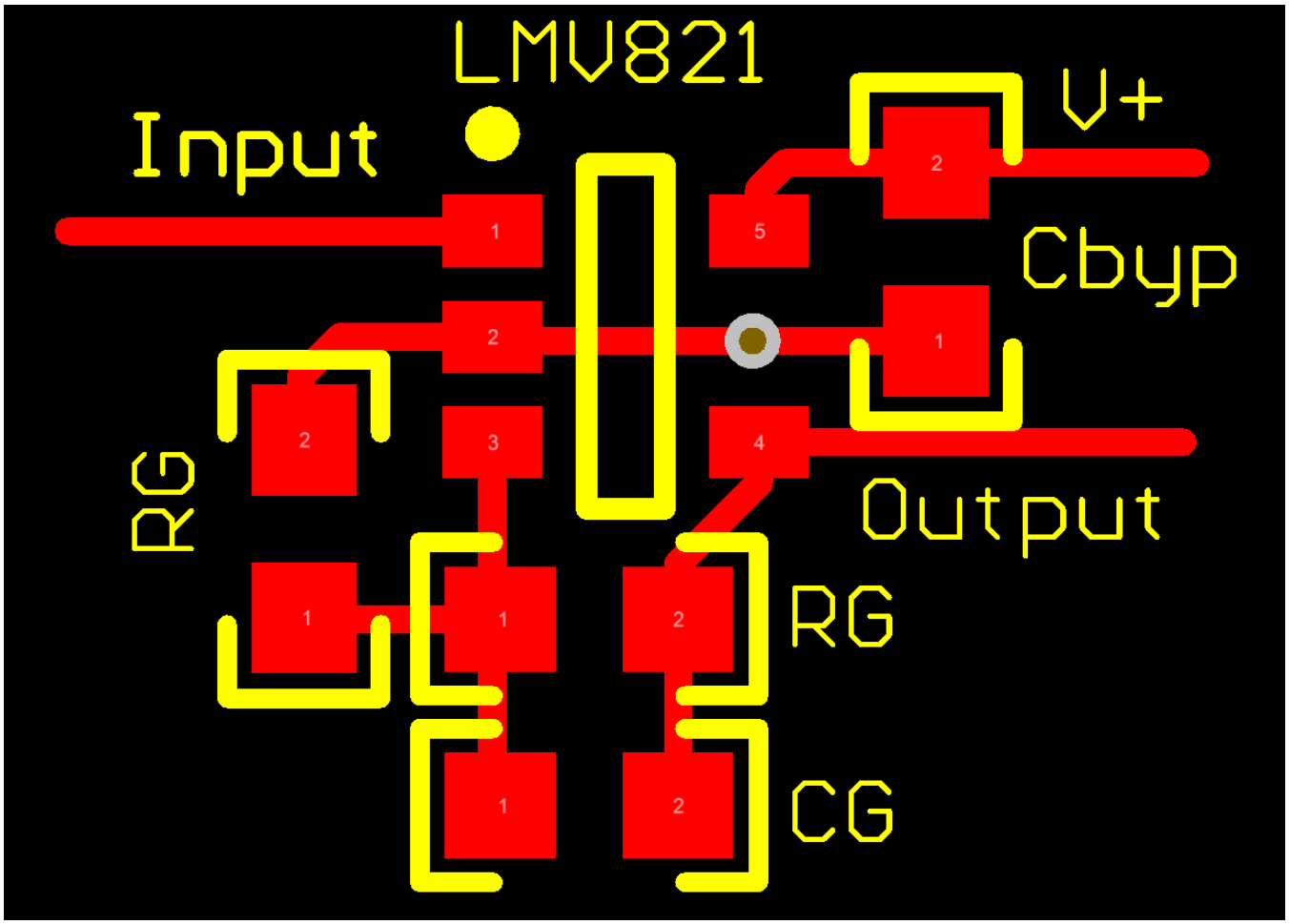


图 47. 2D 布局

版权 © 1999–2016, Texas Instruments Incorporated

布局示例 **(**接下页**)**

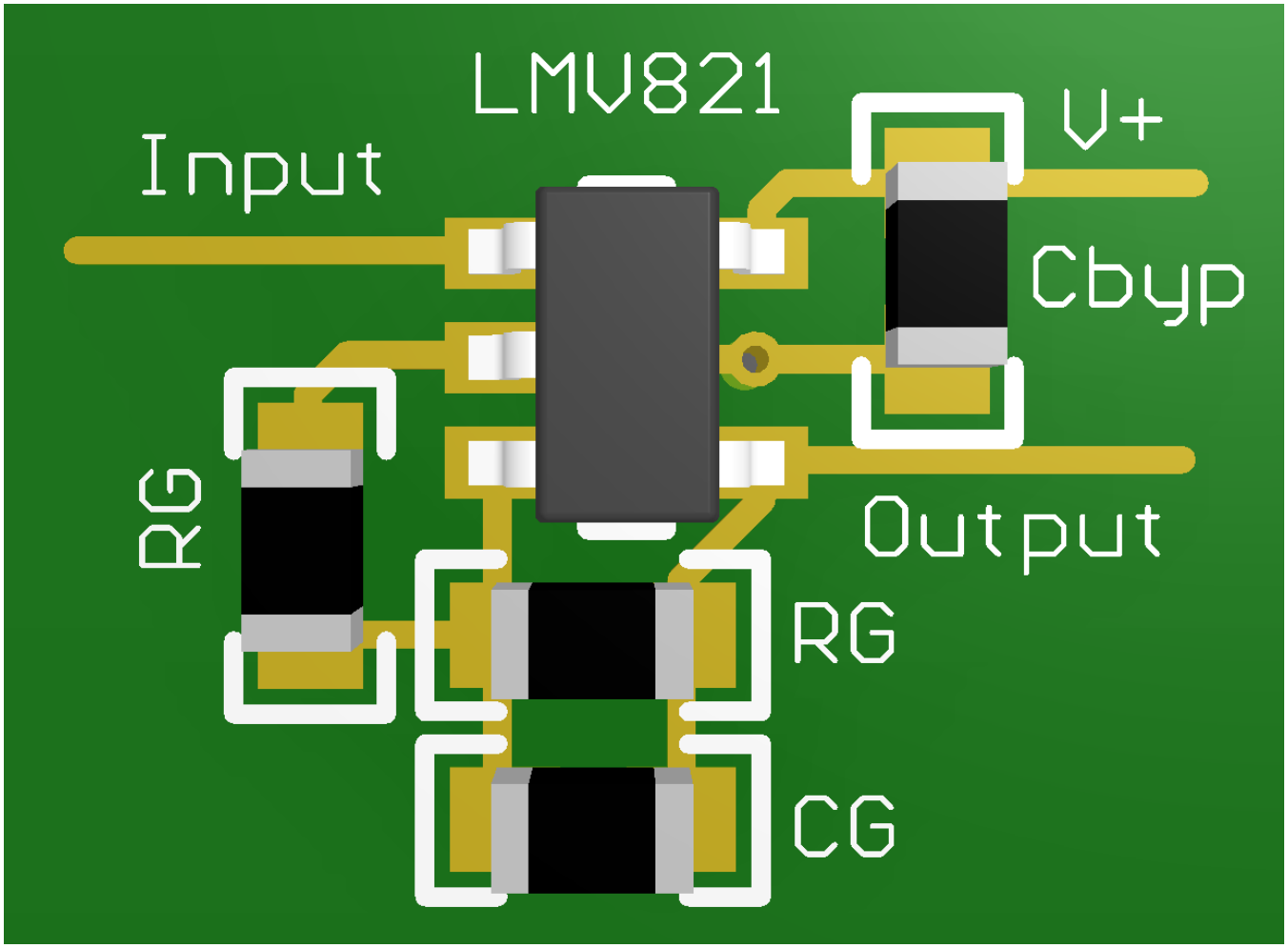


图 **48. 3D** 布局

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅如下相关文档：

- TI Filterpro 软件
- TI 通用运算放大器评估模块
- 基于 SPICE 的 TINA-TI 模拟仿真程序

11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。单击右上角的*通知我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** **此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。**

设计支持 ***TI 参考设计支持*** **可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。**

11.4 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件以及申请样片或购买产品的快速访问链接。

表 **2.** 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
LMV821-N	单击此处	单击此处	单击此处	单击此处	单击此处
LMV822-N	单击此处	单击此处	单击此处	单击此处	单击此处
LMV822-N-Q1	单击此处	单击此处	单击此处	单击此处	单击此处
LMV824-N	单击此处	单击此处	单击此处	单击此处	单击此处
LMV824-N-Q1	单击此处	单击此处	单击此处	单击此处	单击此处

11.5 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

11.6 静电放电警告



这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.7 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此产品说明书的浏览器版本，请参阅左侧的导航栏。

版权 © 1999–2016, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV821M5/NOPB	Active	Production	SOT-23 (DBV) | 5	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A14
LMV821M5/NOPB.A	Active	Production	SOT-23 (DBV) | 5	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A14
LMV821M5X/NOPB	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A14
LMV821M5X/NOPB.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A14
LMV821M7/NOPB	Active	Production	SC70 (DCK) | 5	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A15
LMV821M7/NOPB.A	Active	Production	SC70 (DCK) | 5	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A15
LMV821M7X/NOPB	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A15
LMV821M7X/NOPB.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A15
LMV822M/NOPB	Active	Production	SOIC (D) | 8	95 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMV 822M
LMV822M/NOPB.A	Active	Production	SOIC (D) | 8	95 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMV 822M
LMV822MM/NOPB	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	NIPDAUAG | SN	Level-1-260C-UNLIM	-40 to 85	V822
LMV822MM/NOPB.A	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	V822
LMV822MMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAUAG | SN	Level-1-260C-UNLIM	-40 to 85	V822
LMV822MMX/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	V822
LMV822MX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMV 822M
LMV822MX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMV 822M
LMV822Q1MM/NOPB	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	AKAA
LMV822Q1MM/NOPB.A	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AKAA
LMV822Q1MMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	AKAA
LMV822Q1MMX/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AKAA
LMV824M/NOPB	Active	Production	SOIC (D) | 14	55 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMV824M
LMV824M/NOPB.A	Active	Production	SOIC (D) | 14	55 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMV824M
LMV824MT/NOPB	Active	Production	TSSOP (PW) | 14	94 | TUBE	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	LMV824 MT
LMV824MT/NOPB.A	Active	Production	TSSOP (PW) | 14	94 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMV824 MT

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV824MTX/NOPB	Active	Production	TSSOP (PW) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	LMV824 MT
LMV824MTX/NOPB.A	Active	Production	TSSOP (PW) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMV824 MT
LMV824MX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMV824M
LMV824MX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LMV824M
LMV824NDGVR	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV824N
LMV824NDGVR.A	Active	Production	TVSOP (DGV) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MV824N
LMV824Q1MA/NOPB	Active	Production	SOIC (D) | 14	55 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV824Q1 MA
LMV824Q1MA/NOPB.A	Active	Production	SOIC (D) | 14	55 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV824Q1 MA
LMV824Q1MAX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV824Q1 MA
LMV824Q1MAX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV824Q1 MA
LMV824Q1MT/NOPB	Active	Production	TSSOP (PW) | 14	94 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV824 Q1MT
LMV824Q1MT/NOPB.A	Active	Production	TSSOP (PW) | 14	94 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV824 Q1MT
LMV824Q1MTX/NOPB	Active	Production	TSSOP (PW) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV824 Q1MT
LMV824Q1MTX/NOPB.A	Active	Production	TSSOP (PW) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV824 Q1MT

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMV822-N, LMV822-N-Q1, LMV824-N, LMV824-N-Q1 :

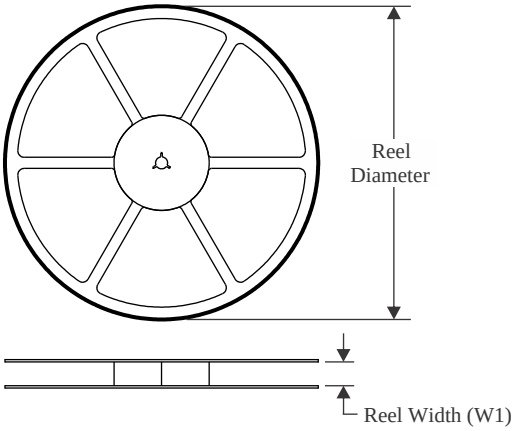
- Catalog : LMV822-N, LMV824-N
- Automotive : LMV822-N-Q1, LMV824-N-Q1

NOTE: Qualified Version Definitions:

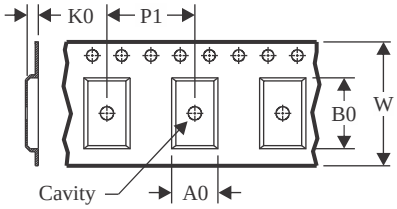
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

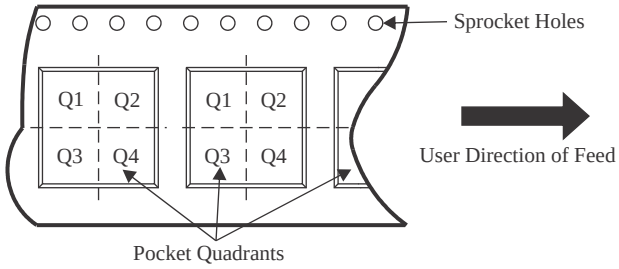


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

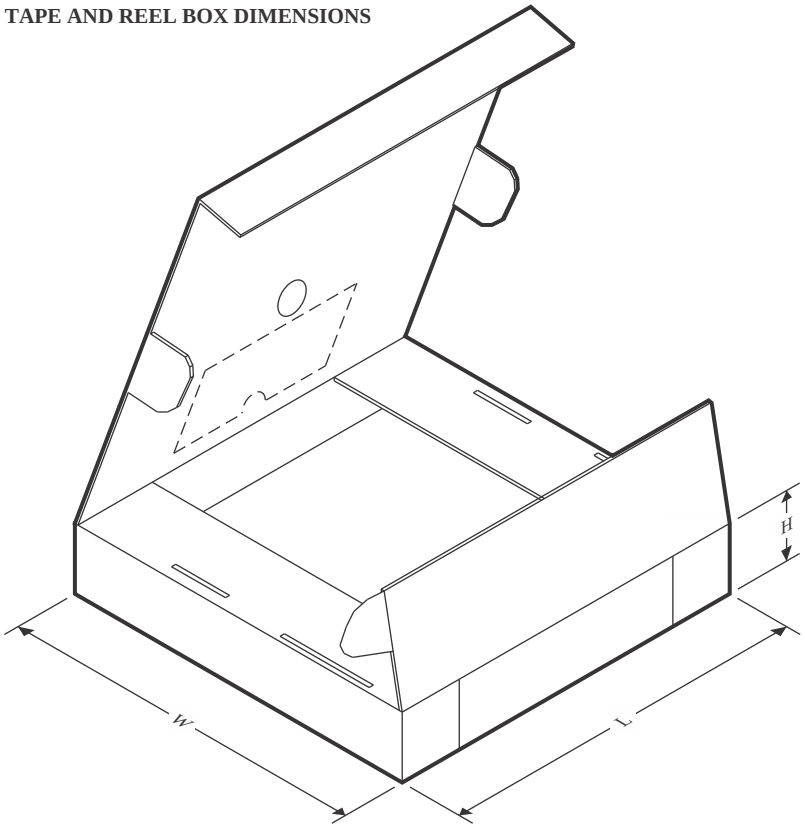


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV821M5/NOPB	SOT-23	DBV	5	1000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV821M5/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV821M5X/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV821M5X/NOPB	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV821M7/NOPB	SC70	DCK	5	1000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV821M7X/NOPB	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV822MM/NOPB	VSSOP	DGK	8	1000	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV822MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV822MX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMV822Q1MM/NOPB	VSSOP	DGK	8	1000	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV822Q1MM/NOPB	VSSOP	DGK	8	1000	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV822Q1MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV822Q1MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV824MTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV824MTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LMV824MX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV824NDGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
LMV824Q1MAX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMV824Q1MTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

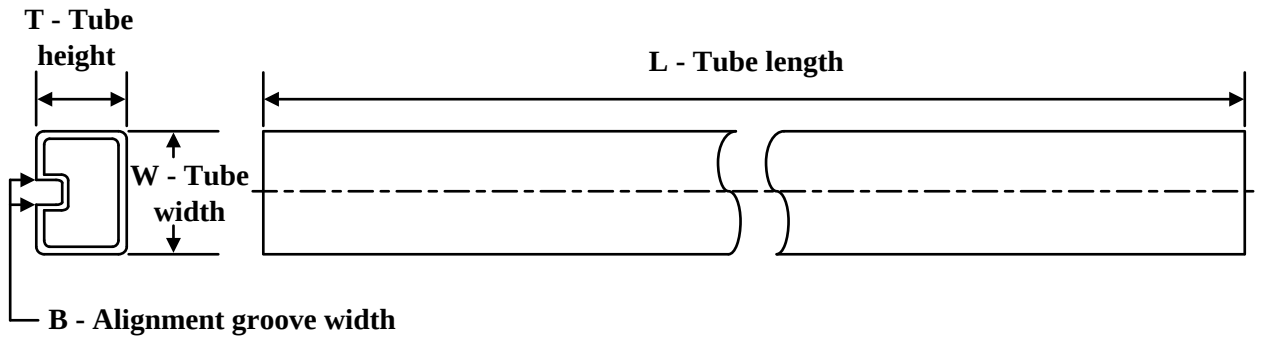


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV821M5/NOPB	SOT-23	DBV	5	1000	210.0	185.0	35.0
LMV821M5/NOPB	SOT-23	DBV	5	1000	208.0	191.0	35.0
LMV821M5X/NOPB	SOT-23	DBV	5	3000	208.0	191.0	35.0
LMV821M5X/NOPB	SOT-23	DBV	5	3000	210.0	185.0	35.0
LMV821M7/NOPB	SC70	DCK	5	1000	208.0	191.0	35.0
LMV821M7X/NOPB	SC70	DCK	5	3000	208.0	191.0	35.0
LMV822MM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMV822MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMV822MX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMV822Q1MM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMV822Q1MM/NOPB	VSSOP	DGK	8	1000	213.0	191.0	35.0
LMV822Q1MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMV822Q1MMX/NOPB	VSSOP	DGK	8	3500	353.0	353.0	32.0
LMV824MTX/NOPB	TSSOP	PW	14	2500	367.0	367.0	35.0
LMV824MTX/NOPB	TSSOP	PW	14	2500	353.0	353.0	32.0
LMV824MX/NOPB	SOIC	D	14	2500	356.0	356.0	35.0
LMV824NDGVR	TVSOP	DGV	14	2000	353.0	353.0	32.0
LMV824Q1MAX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0

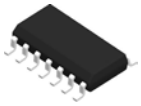
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV824Q1MTX/NOPB	TSSOP	PW	14	2500	367.0	367.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LMV822M/NOPB	D	SOIC	8	95	495	8	4064	3.05
LMV822M/NOPB.A	D	SOIC	8	95	495	8	4064	3.05
LMV824M/NOPB	D	SOIC	14	55	495	8	4064	3.05
LMV824M/NOPB.A	D	SOIC	14	55	495	8	4064	3.05
LMV824MT/NOPB	PW	TSSOP	14	94	530	10.2	3600	3.5
LMV824MT/NOPB	PW	TSSOP	14	94	495	8	2514.6	4.06
LMV824MT/NOPB.A	PW	TSSOP	14	94	530	10.2	3600	3.5
LMV824MT/NOPB.A	PW	TSSOP	14	94	495	8	2514.6	4.06
LMV824Q1MA/NOPB	D	SOIC	14	55	495	8	4064	3.05
LMV824Q1MA/NOPB.A	D	SOIC	14	55	495	8	4064	3.05
LMV824Q1MT/NOPB	PW	TSSOP	14	94	495	8	2514.6	4.06
LMV824Q1MT/NOPB.A	PW	TSSOP	14	94	495	8	2514.6	4.06

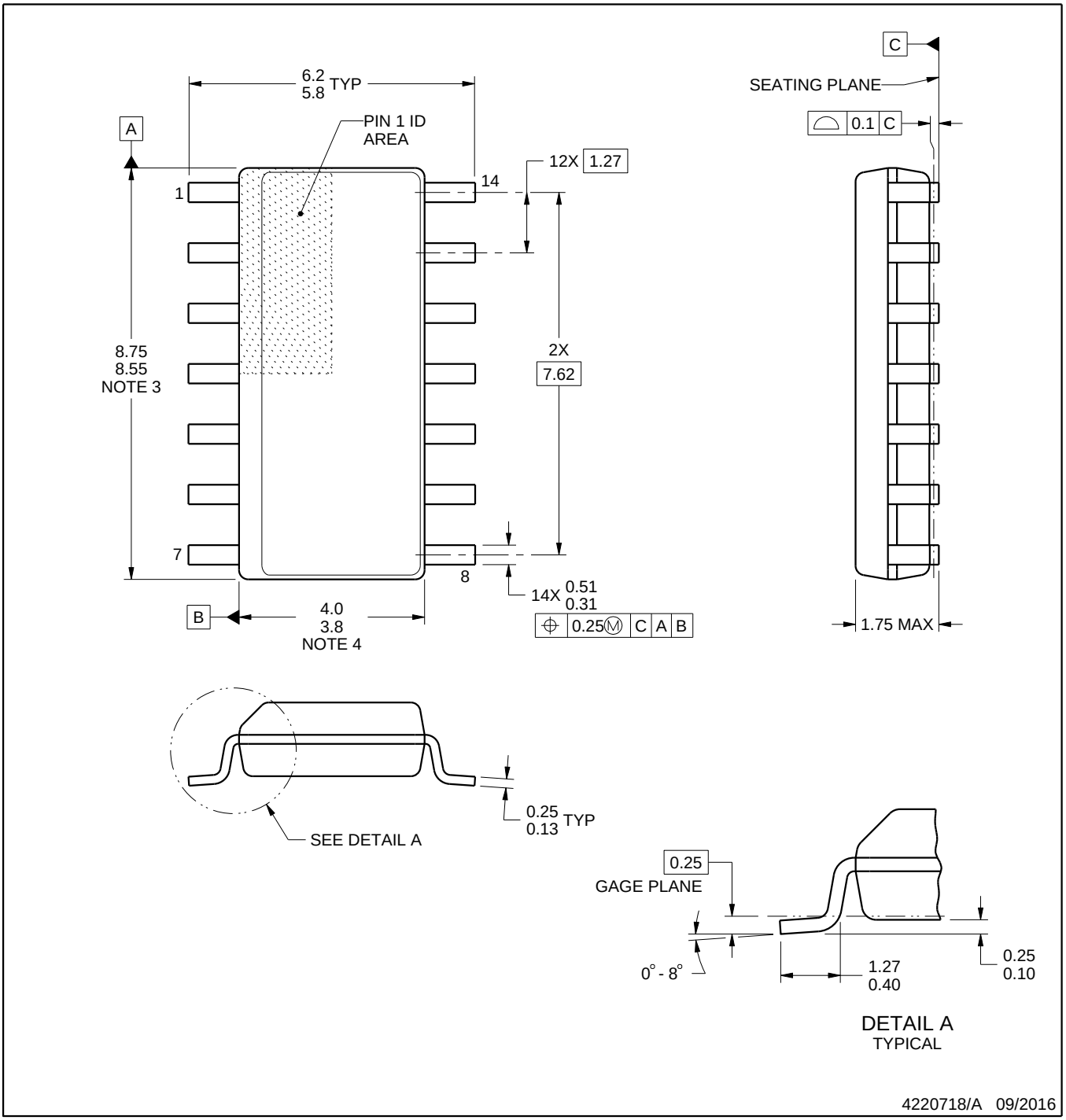


PACKAGE OUTLINE

D0014A

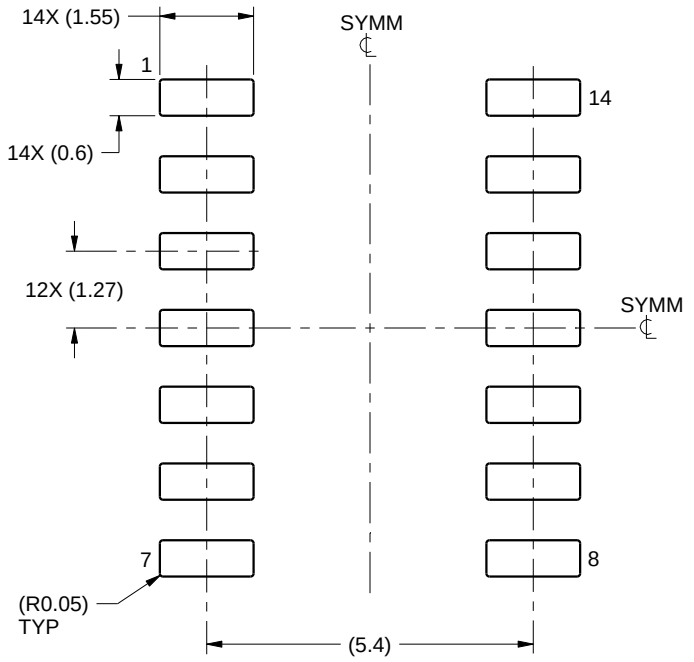
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

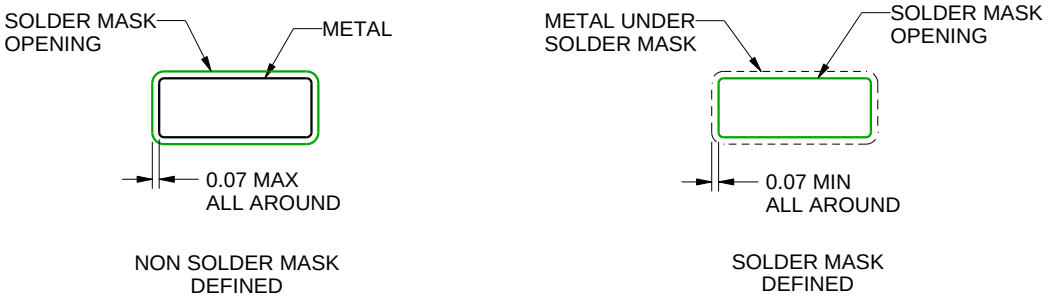


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

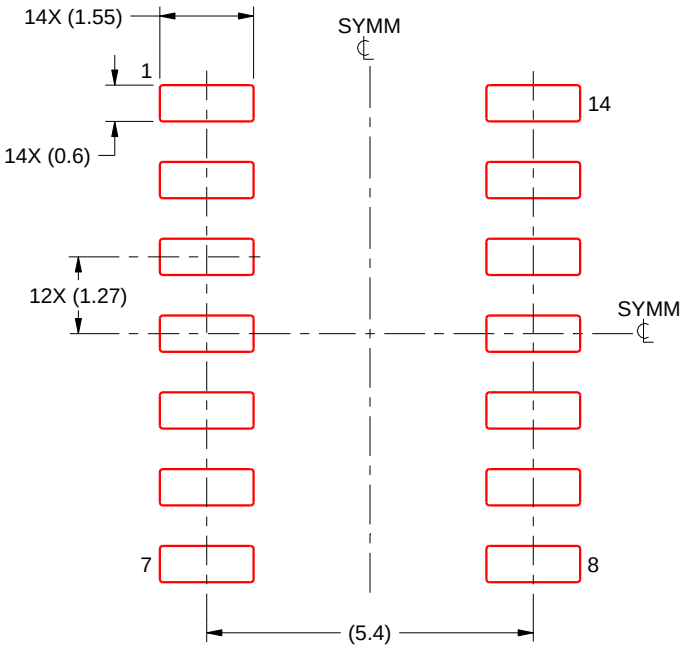
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

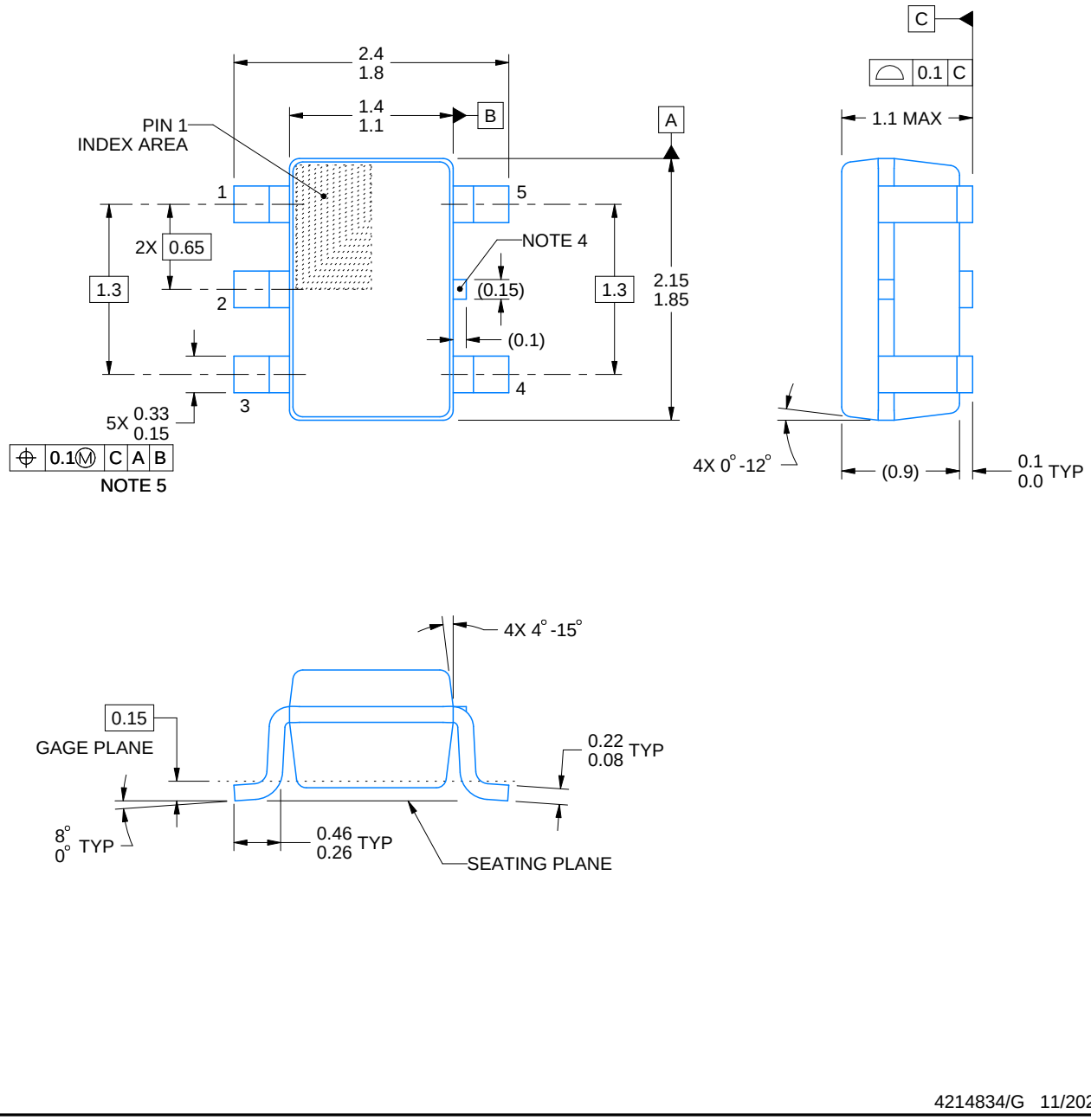
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

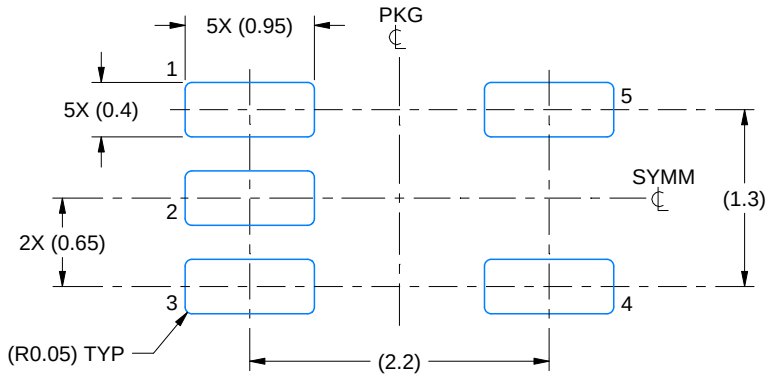
SMALL OUTLINE TRANSISTOR



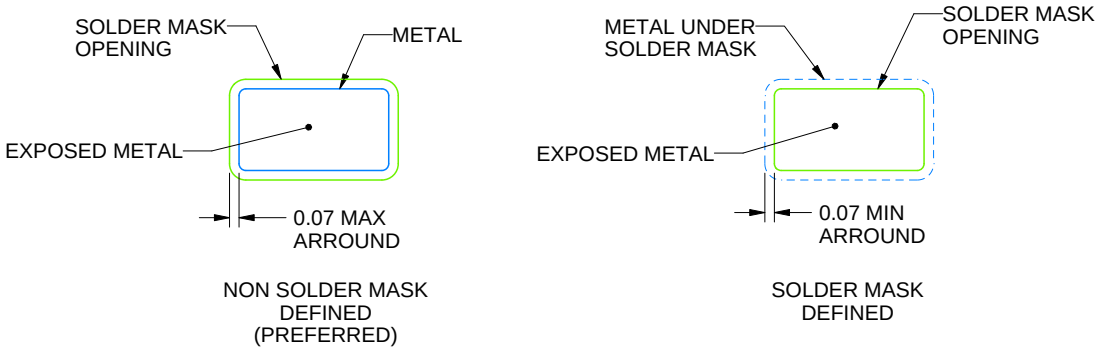
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

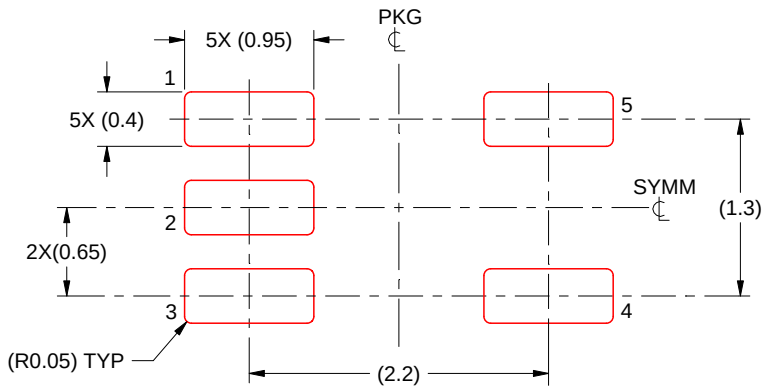


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

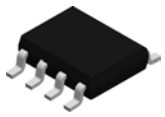


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

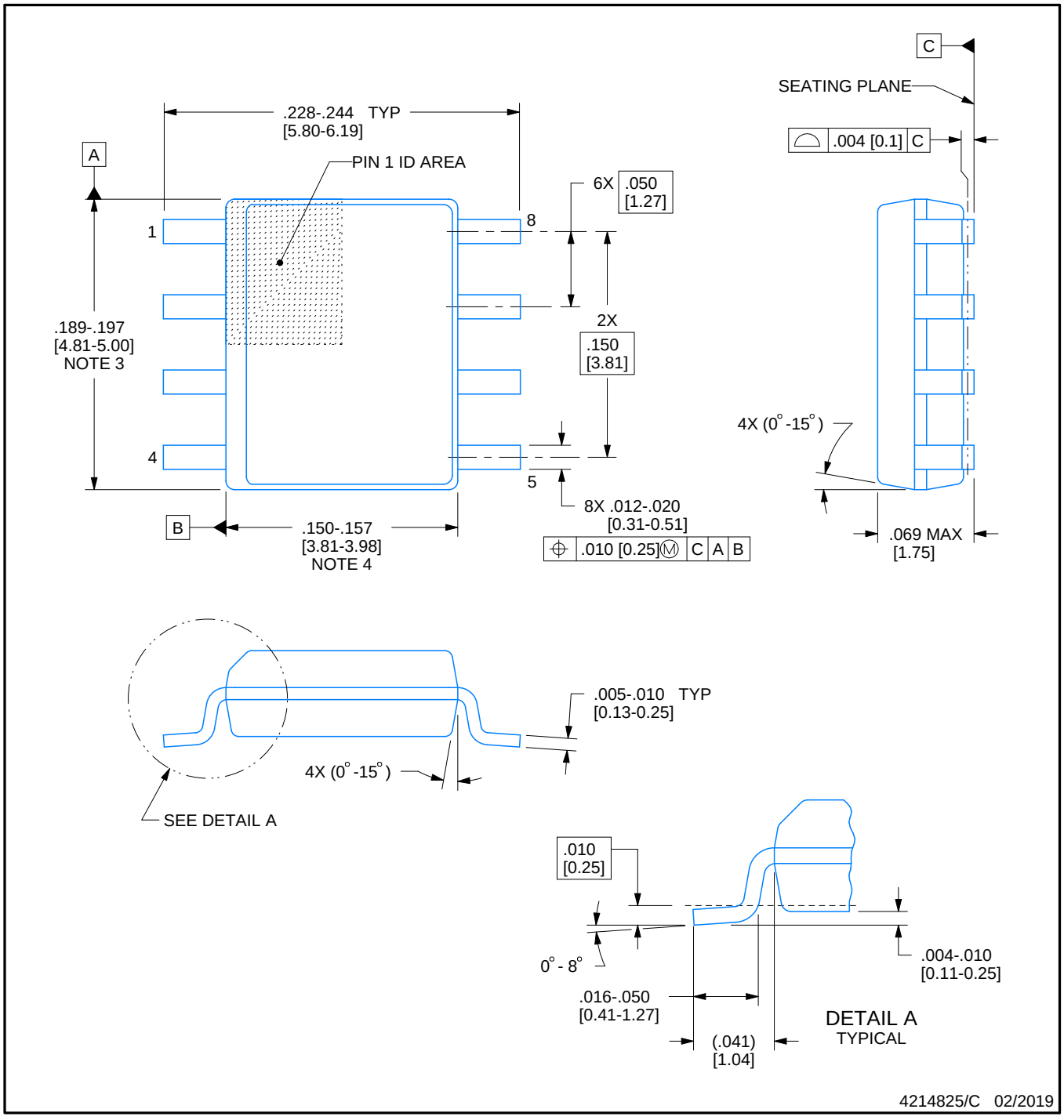


PACKAGE OUTLINE

D0008A

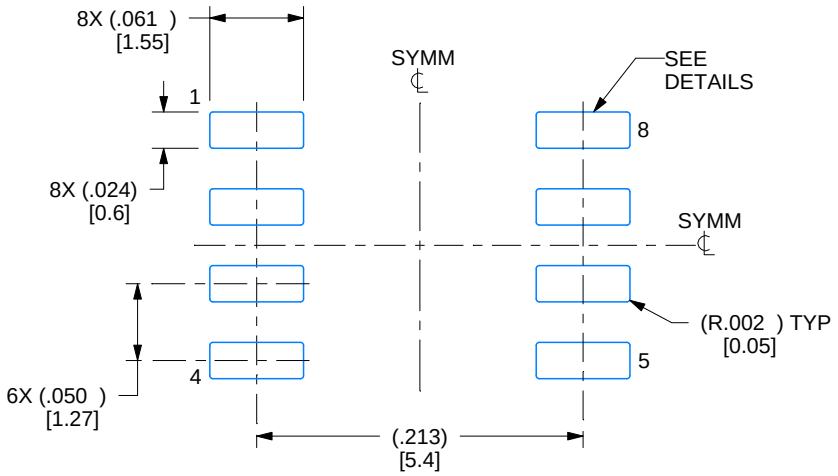
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

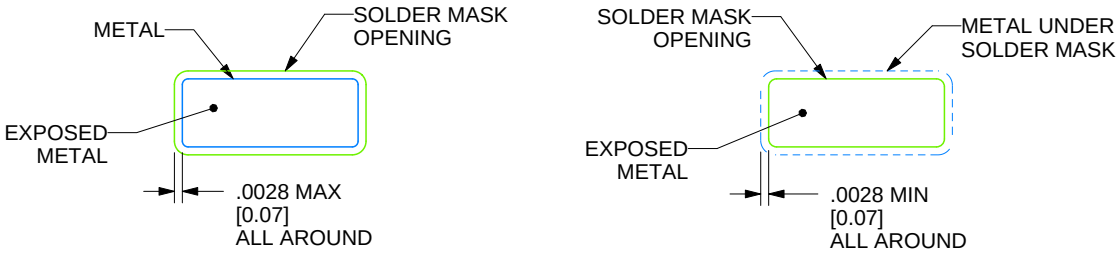


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

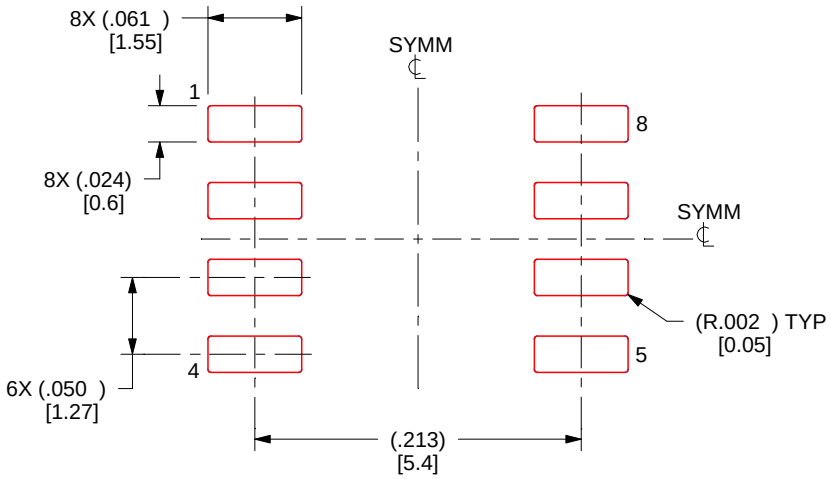
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

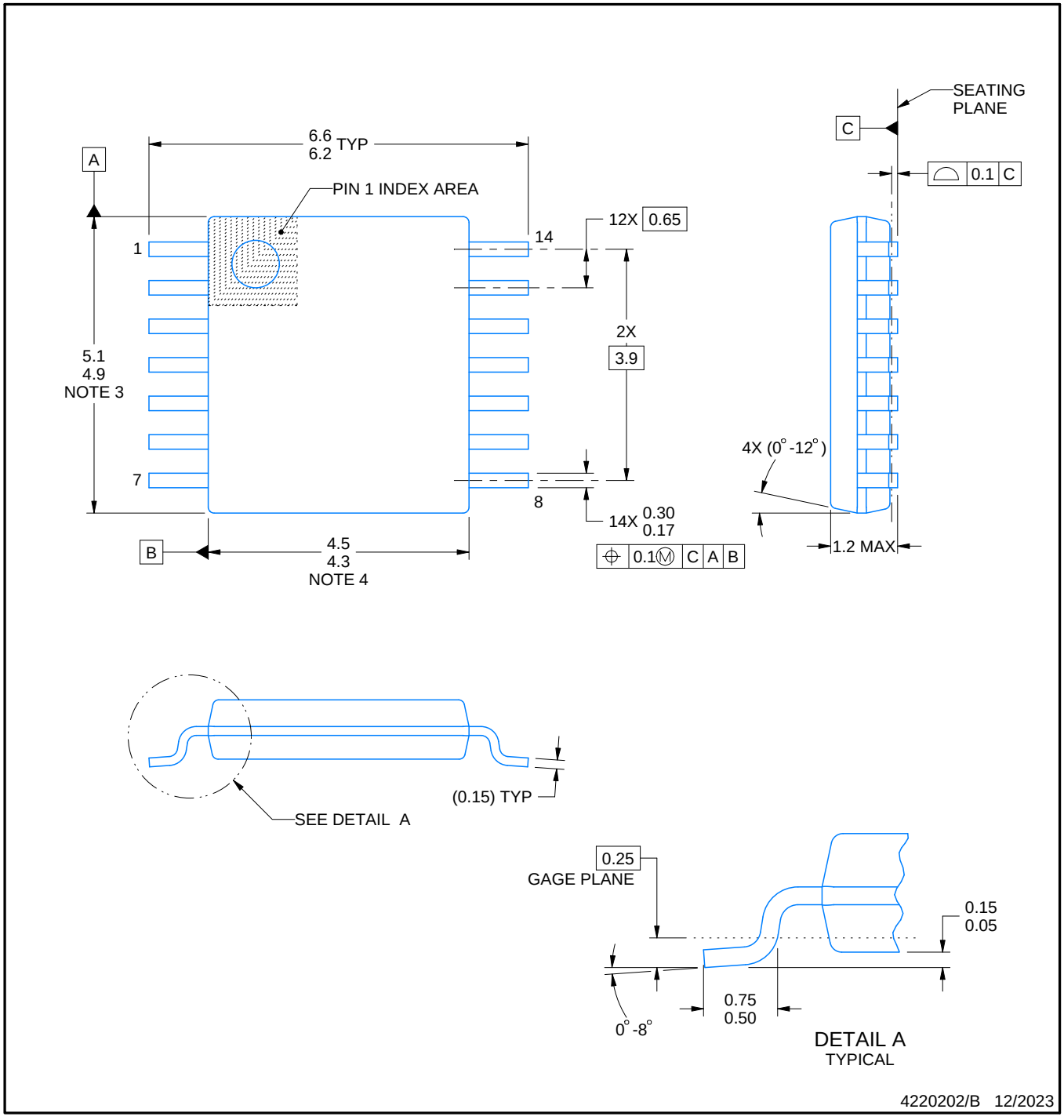
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

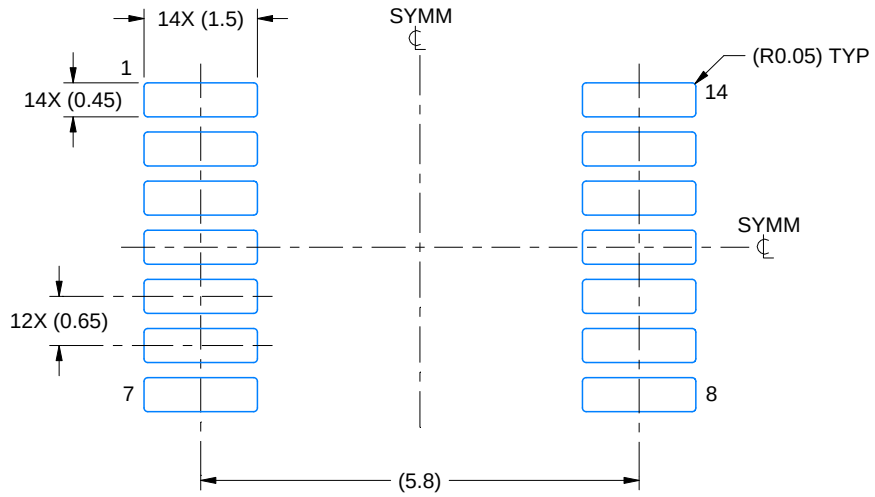
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

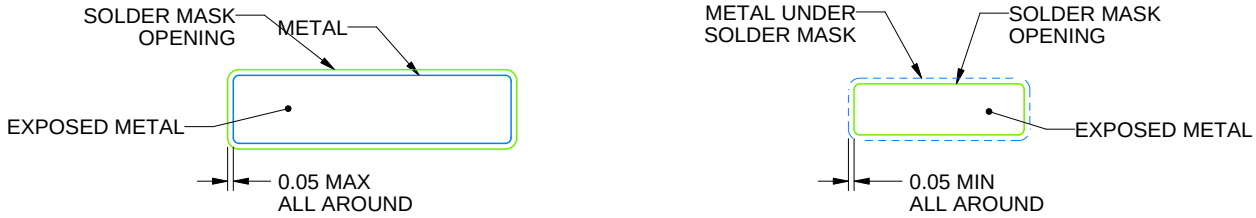


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

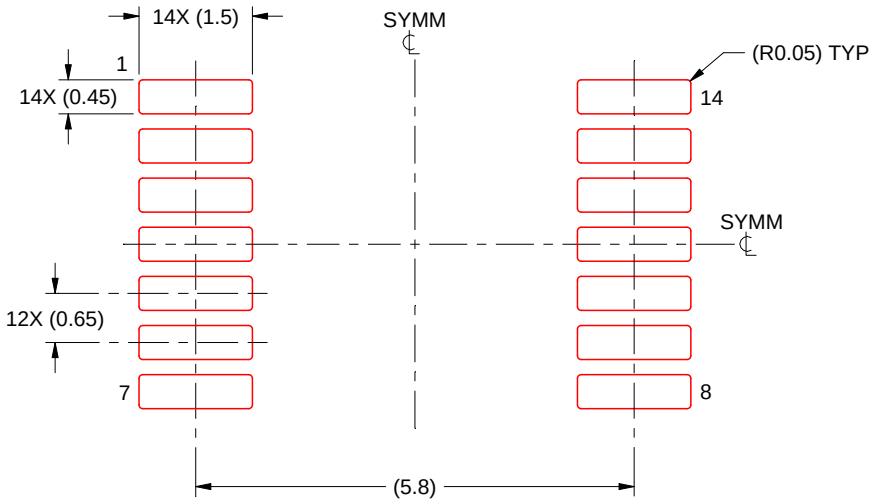


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

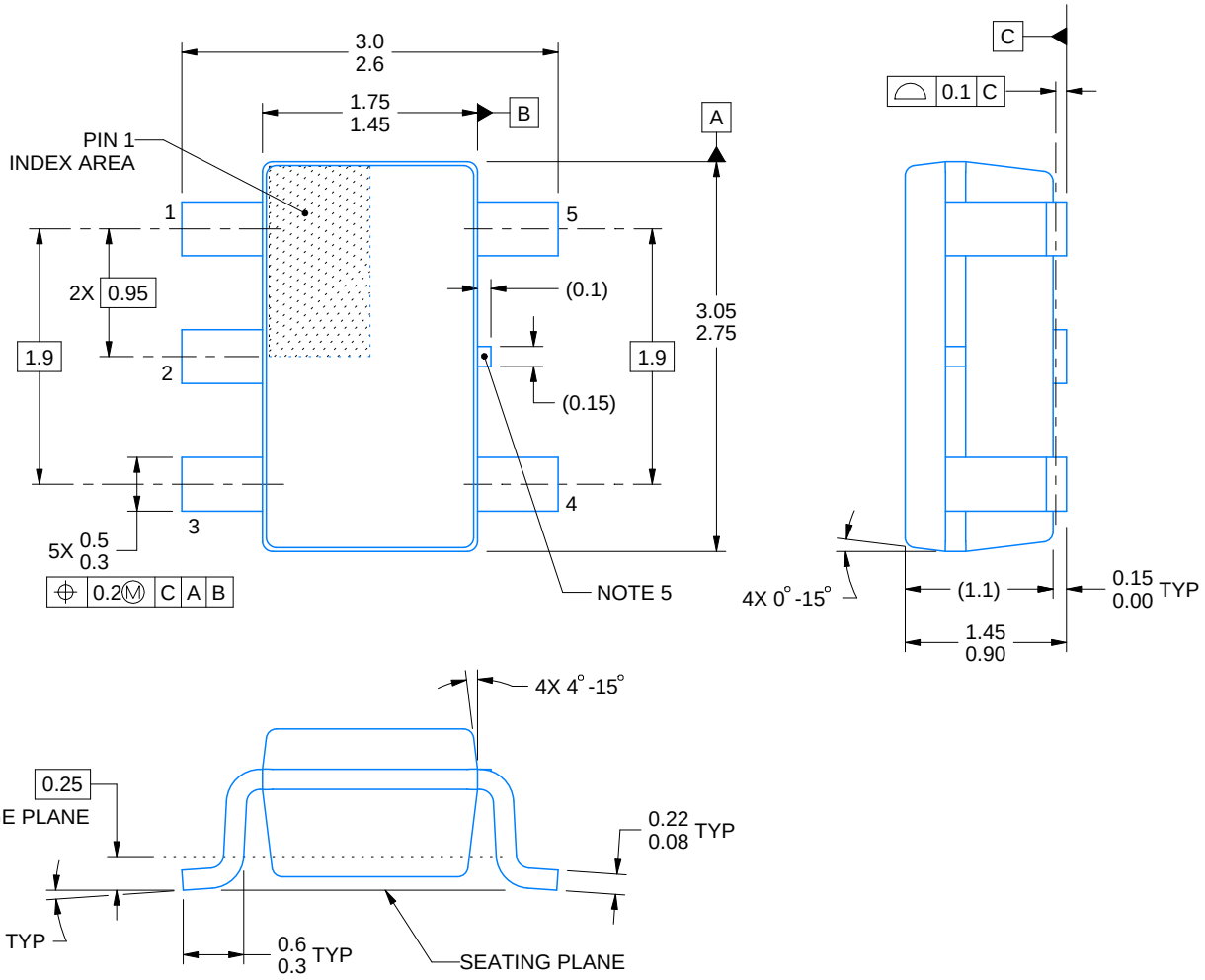
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

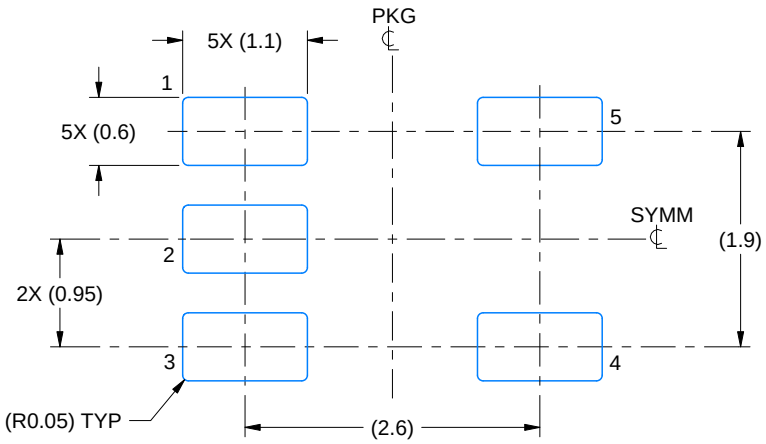
SMALL OUTLINE TRANSISTOR



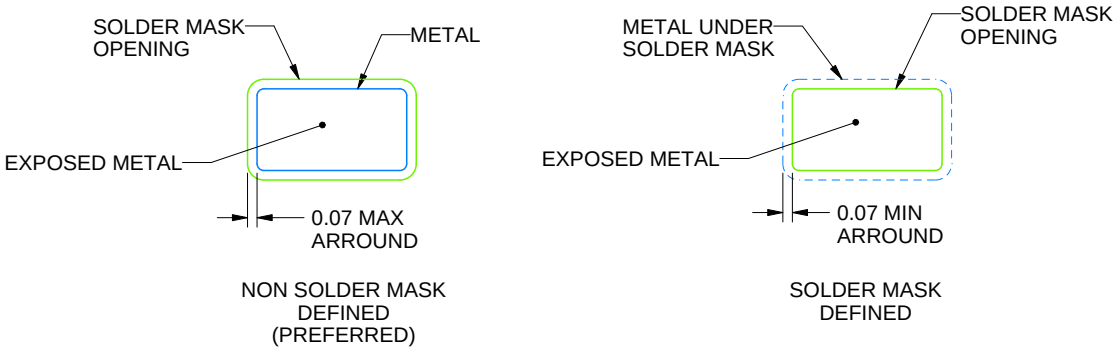
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

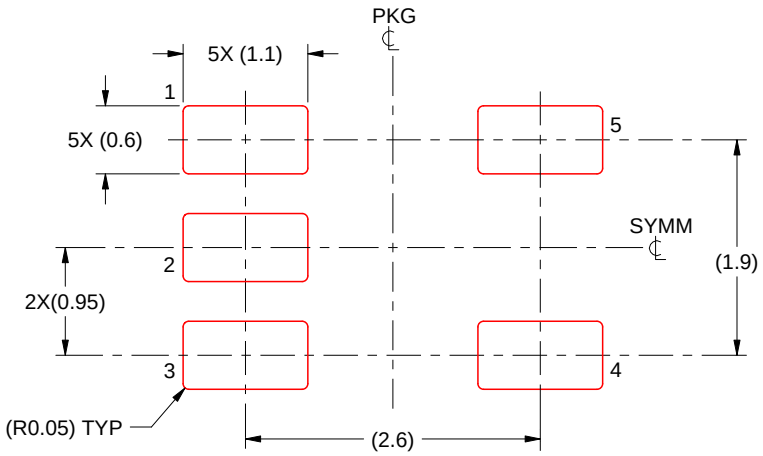


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

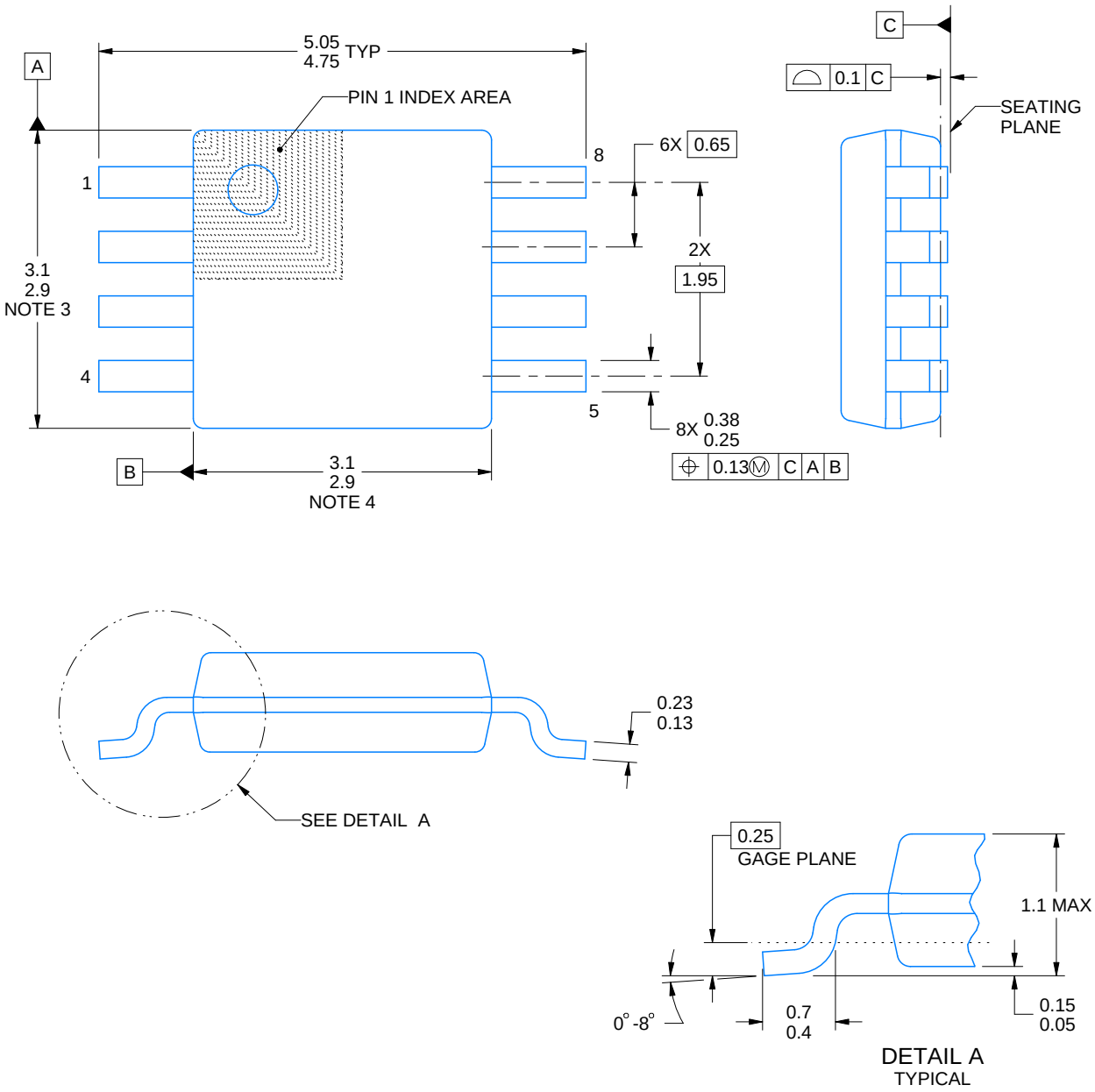
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

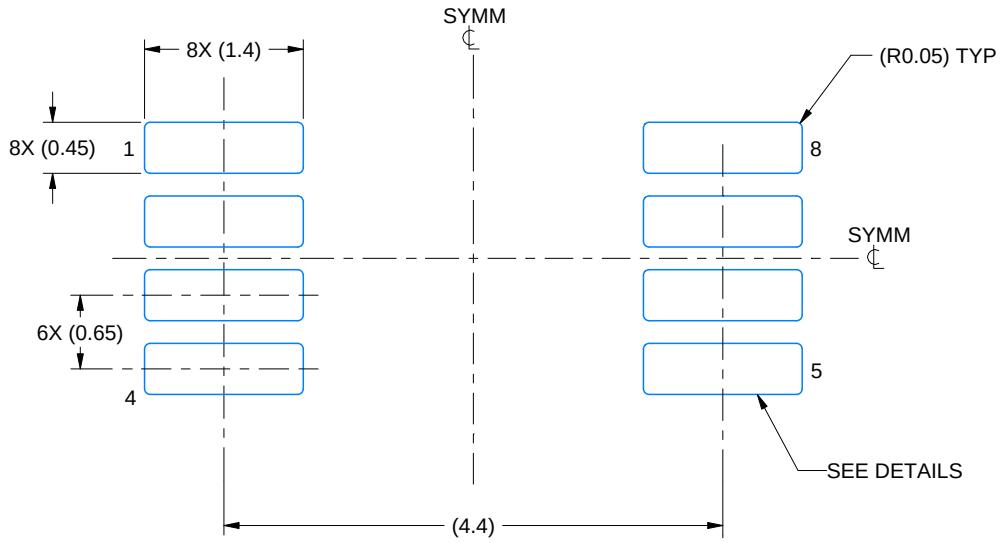
SMALL OUTLINE PACKAGE



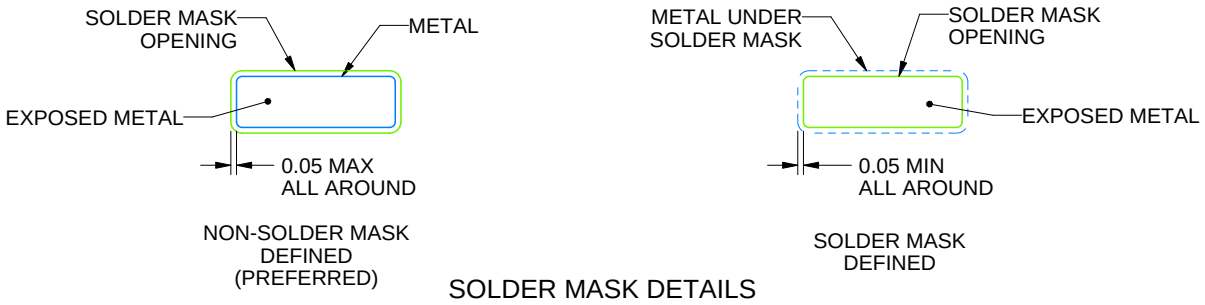
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

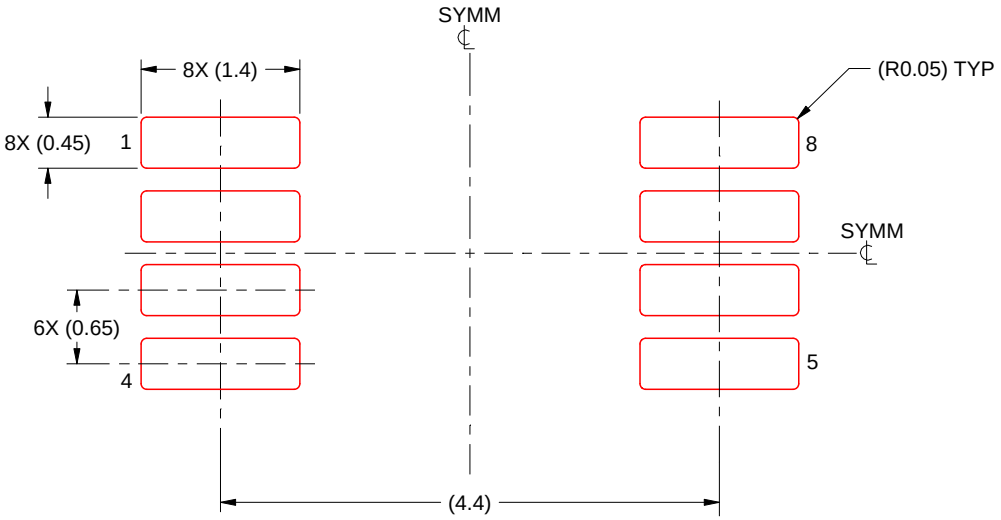


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月