

LMV722-Q1 10MHz 低噪声、低电压运算放大器

1 特性

- 符合汽车类 标准
- 具有符合 AEC-Q100 标准的下列特性：
 - 器件环境工作温度：
–40°C 至 +125°C
 - 器件 HBM ESD 分类等级 2
 - 器件 CDM ESD 分类等级 C4B
- 电源电压范围：2.2V 至 5.5V
- 低电源电流：2.2V 时 905μA/放大器
- 高单位增益带宽：10MHz
- 轨至轨输出摆幅
 - 600Ω 负载：2.2V 时每个电源轨 120mV
 - 2kΩ 负载：2.2V 时每个电源轨 50mV
- 输入共模电压范围包括接地
- 输入电压噪声：10.5nV/√Hz, f = 1kHz 时

2 应用

- 信息娱乐
- 引擎控制单元
- 汽车照明
- 音频信号路径

3 说明

LMV722-Q1 器件是一种低噪声、低电压运算放大器，适用于多种 应用。LMV722-Q1 具有 10MHz 单位增益带宽、5.25V/μs 压摆率，以及良好的电压和电流噪声性能。

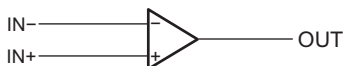
LMV722-Q1 能够在音频信号路径或电机控制应用等低电压和低噪声系统中提供优质 性能。该器件可向重负载提供轨到轨输出摆幅。输入共模电压范围包括接地，器件的最大输入失调电压为 3.5mV（超出推荐的温度范围）。在低电源电压下，容性负载能力也很好。工作范围为 2.2V 至 5.5V。

器件信息⁽¹⁾

器件型号	封装	封装尺寸（标称值）
LMV722-Q1	VSSOP	3.00mm × 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

简化原理图



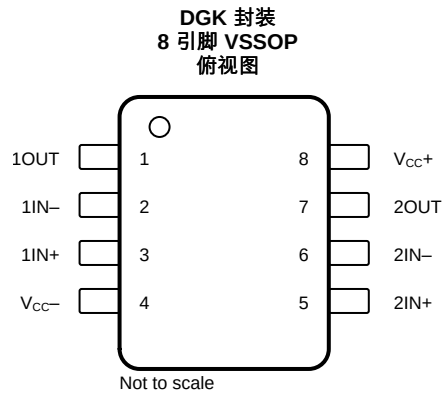
目录

1	特性	1	7.4	器件功能模式	12
2	应用	1	8	以下一些应用中	13
3	说明	1	8.1	应用信息	13
4	修订历史记录	2	8.2	典型应用	13
5	引脚配置和功能	3	9	电源建议	15
6	规格	4	9.1	输入和 ESD 保护	15
6.1	绝对最大额定值	4	10	布局	16
6.2	ESD 额定值	4	10.1	布局指南	16
6.3	建议运行条件	4	10.2	布局示例	17
6.4	热性能信息	4	11	器件和文档支持	18
6.5	电气特性: $V_{CC+} = 2.2V$	5	11.1	文档支持	18
6.6	电气特性: $V_{CC+} = 5V$	6	11.2	接收文档更新通知	18
6.7	典型特性	7	11.3	社区资源	18
7	详细 说明	12	11.4	商标	18
7.1	概述	12	11.5	静电放电警告	18
7.2	功能框图	12	11.6	术语表	18
7.3	特性 说明	12	12	机械、封装和可订购信息	18

4 修订历史记录

Changes from Original (June 2017) to Revision A	Page
• 已更改 将封装尺寸从 4.90mm 更改为 3.00mm	1
• 将 CDM 值从 100V 更改成了 1000V	4
• 更新了布局示例 部分	17

5 引脚配置和功能



引脚功能

引脚		I/O	说明
编号	名称		
1	1OUT	O	放大器 1 的输出
2	1IN-	I	放大器 1 的反相输入
3	1IN+	I	放大器 1 的同相输入
4	V _{CC-}	I	负电源
5	2IN+	I	放大器 2 的同相输入
6	2IN-	I	放大器 2 的反相输入
7	2OUT	O	放大器 2 的输出
8	V _{CC+}	I	正电源

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
$V_{CC+} - V_{CC-}$	电源电压 ⁽²⁾	0	6	V
V_{ID}	差分输入电压 ⁽³⁾	正负电源电压		V
T_J	运行虚拟结温		150	°C
T_{stg}	贮存温度	-65	150	°C

- (1) 应力超出绝对最大额定值下所列的值可能会对器件造成永久损坏。这些仅为在极端额定值下的工作情况，这不表示在这些条件下以及其它在超出推荐的操作条件下的任何其它操作时，器件能够功能性运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 所有电压值（差分电压和为 I_{OS} 测量指定的 V_{CC} 除外）都是相对于网络 GND 的值。
- (3) 差分电压是相对于 $IN-$ 的 $IN+$ 上的值。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 ⁽¹⁾	2000
		充电器件模型 (CDM)，符合 AEC Q100-011	1000

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风温度范围内测得（除非另有说明）

		最小值	最大值	单位
$V_{CC+} - V_{CC-}$	电源电压	2.2	5.5	V
T_J	工作环境温度	-40	125	°C

6.4 热性能信息

热指标 ⁽¹⁾		LMV722-Q1	单位
		DGK (VSSOP)	
		8 引脚	
$R_{\theta JA}$	结至环境热阻	176.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	69.5	°C/W
$R_{\theta JB}$	结至电路板热阻	97.7	°C/W
Ψ_{JT}	结至顶部特征参数	12.7	°C/W
Ψ_{JB}	结至电路板特征参数	96.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

- (1) 有关传统和最新热指标的更多信息，请参阅 [半导体和 IC 封装热指标应用报告](#)。

6.5 电气特性：V_{CC+} = 2.2V

V_{CC+} = 2.2V, V_{CC-} = GND, V_{ICR} = V_{CC+}/2, V_O = V_{CC+}/2 且 R_L > 1MΩ (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
V _{IO} 输入失调电压	T _J = 25°C	0.02	3		mV
	T _J = -40°C 至 +125°C		3.5		
TCV _{IO} 输入失调电压平均漂移	T _J = 25°C	0.6			μV/°C
I _{IB} 输入偏置电流	T _J = 25°C	260			nA
I _{IO} 输入失调电流	T _J = 25°C	25			nA
CMMR 共模抑制比	V _{ICR} = 0V 至 1.3V	T _J = 25°C 70	88		dB
		T _J = -40°C 至 +125°C 64			
PSRR 电源抑制比	V _{CC+} = 2.2V 至 5V V _O = 0, V _{ICR} = 0	T _J = 25°C 80	90		dB
		T _J = -40°C 至 +125°C 70			
V _{ICR} 输入共模电压	CMRR ≥ 50dB	T _J = 25°C	-0.3		V
		T _J = 25°C	1.3		
A _{VD} 大信号电压增益	R _L = 600Ω, V _O = 0.75V 至 2V	T _J = 25°C 75	81		dB
		T _J = -40°C 至 +125°C 70			
	R _L = 2kΩ, V _O = 0.5V 至 2.1V	T _J = 25°C 75	84		
		T _J = -40°C 至 +125°C 70			
V _O 输出摆幅	R _L = 600Ω (连接至 V _{CC+} /2)	T _J = 25°C	2.090	2.125	V
		T _J = -40°C 至 +125°C	2.065		
		T _J = 25°C	0.071	0.120	
		T _J = -40°C 至 +125°C		0.145	
	R _L = 2kΩ (连接至 V _{CC+} /2)	T _J = 25°C	2.150	2.177	
		T _J = -40°C 至 +125°C	2.125		
		T _J = 25°C	0.056	0.080	
		T _J = -40°C 至 +125°C		0.105	
I _O 输出电流	拉电流, V _O = 0V V _{IN(diff)} = ±0.5V	T _J = 25°C	10	14.9	mA
		T _J = -40°C 至 +125°C	5		
	灌电流, V _O = 2.2V V _{IN(diff)} = ±0.5V	T _J = 25°C	10	17.6	
		T _J = -40°C 至 +125°C	5		
I _{CC} 电源电流		T _J = 25°C	1.81	2.4	mA
		T _J = -40°C 至 +125°C		2.6	
SR 压摆率 ⁽¹⁾		T _J = 25°C	4.9		V/μs
GBW 增益带宽积		T _J = 25°C	10		MHz
Φ _m 相位裕度		T _J = 25°C	67.4		°
G _m 增益裕量		T _J = 25°C	-9.8		dB
V _n 输入参考电压噪声	f = 1kHz	T _J = 25°C	11		nV/√Hz
I _n 输入参考电流噪声	f = 1kHz	T _J = 25°C	0.3		pA/√Hz
THD 总谐波失真	f = 1kHz, AV = 1, R _L = 600Ω, V _O = 500mV _{pp}	T _J = 25°C	0.004%		

(1) 作为电压跟随器连接且输入阶跃为 1V。指定的数字是正负压摆率中较低的值。

LMV722-Q1

ZHCSGC9A–JUNE 2017–REVISED JANUARY 2018

www.ti.com.cn
6.6 电气特性：V_{CC+} = 5V

 V_{CC+} = 5V, V_{CC-} = GND, V_{ICR} = V_{CC+}/2, V_O = V_{CC+}/2 且 R_L > 1MΩ (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
V _{IO}	输入失调电压		T _J = 25°C	-0.08		3	mV
			T _J = -40°C 至 +125°C	3.5			
TCV _{IO}	输入失调电压平均漂移		T _J = 25°C	0.6			μV/°C
I _{IB}	输入偏置电流		T _J = 25°C	260			nA
I _{IO}	输入失调电流		T _J = 25°C	25			nA
CMMR	共模抑制比	V _{ICR} = 0V 至 4.1V	T _J = 25°C	80	89		dB
		V _{ICR} = 0V 至 4.1V	T _J = -40°C 至 +125°C	75			
PSRR	电源抑制比	V _{CC+} = 2.2V 至 5V , V _O = 0 , V _{ICR} = 0	T _J = 25°C	70	90		dB
		V _{CC+} = 2.2V 至 5V , V _O = 0 , V _{ICR} = 0	T _J = -40°C 至 +125°C	64			
V _{ICR}	输入共模电压	CMRR ≥ 50dB	T _J = 25°C	-0.3			V
			T _J = 25°C	4.1			
A _{VD}	大信号电压增益	R _L = 600Ω , V _O = 0.75V 至 4.8V	T _J = 25°C	80	87		dB
			T _J = -40°C 至 +125°C	70			
		R _L = 2kΩ , V _O = 0.7V 至 4.9V	T _J = 25°C	80	94		
			T _J = -40°C 至 +125°C	70			
V _O	输出摆幅	R _L = 600Ω (连接至 V _{CC+} /2)	T _J = 25°C	4.84	4.882		V
			T _J = -40°C 至 +125°C	4.815			
			T _J = 25°C		0.134	0.19	
			T _J = -40°C 至 +125°C		0.215		
		R _L = 2kΩ (连接至 V _{CC+} /2)	T _J = 25°C	4.93	4.952		
			T _J = -40°C 至 +125°C	4.905			
			T _J = 25°C		0.076	0.11	
			T _J = -40°C 至 +125°C		0.135		
I _O	输出电流	拉电流, V _O = 0V , V _{IN(diff)} = ±0.5V	T _J = 25°C	20	52.6		mA
			T _J = -40°C 至 +125°C	12			
		灌电流, V _O = 2.2V , V _{IN(diff)} = ±0.5V	T _J = 25°C	15	23.7		
			T _J = -40°C 至 +125°C	8.5			
I _{CC}	电源电流		T _J = 25°C	2.01	2.4		mA
			T _J = -40°C 至 +125°C		2.8		
SR	压摆率 ⁽¹⁾		T _J = 25°C	5.25			V/μs
GBW	增益带宽积		T _J = 25°C	10			MHz
Φ _m	相位裕度		T _J = 25°C	72			°
G _m	增益裕量		T _J = 25°C	-11			dB
V _n	输入参考电压噪声	f = 1kHz	T _J = 25°C	10.5			nV/√Hz
I _n	输入参考电流噪声	f = 1kHz	T _J = 25°C	0.2			pA/√Hz
THD	总谐波失真	f = 1kHz , AV = 1 , R _L = 600Ω , V _O = 500mV _{pp}	T _J = 25°C	0.001%			

(1) 作为电压跟随器连接且输入阶跃为 1V。指定的数字是正负压摆率中较低的值。

6.7 典型特性

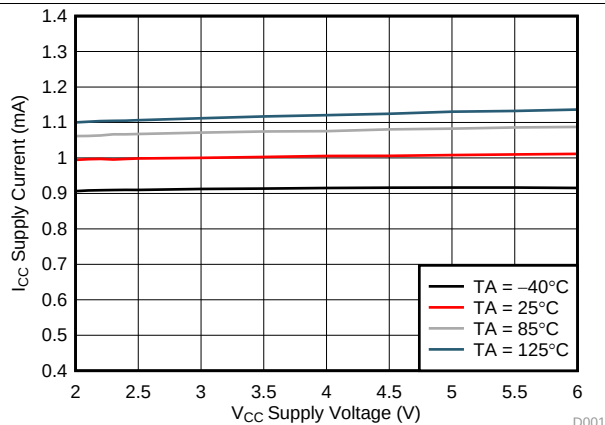


图 1. 电源电流与电源电压间的关系

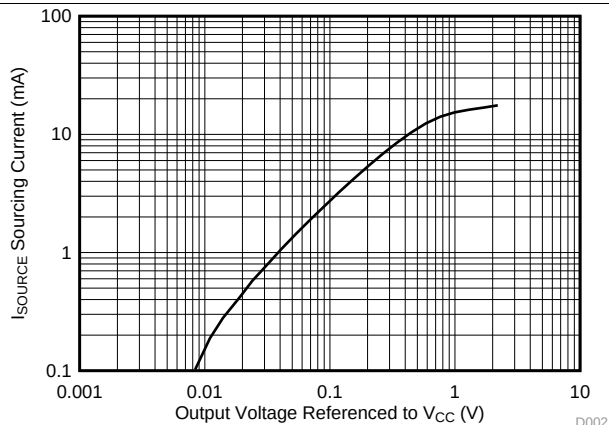


图 2. 拉电流与输出电压间的关系

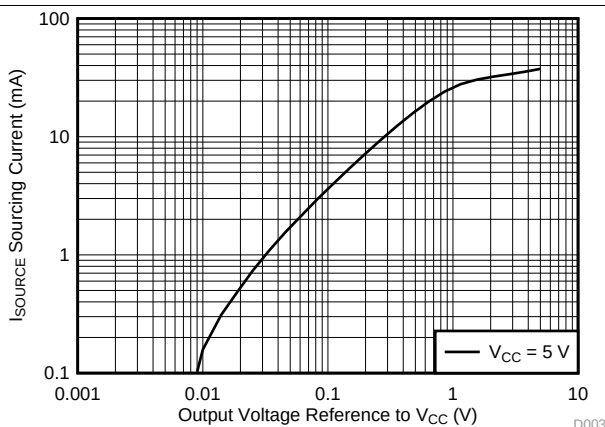


图 3. 拉电流与输出电压间的关系

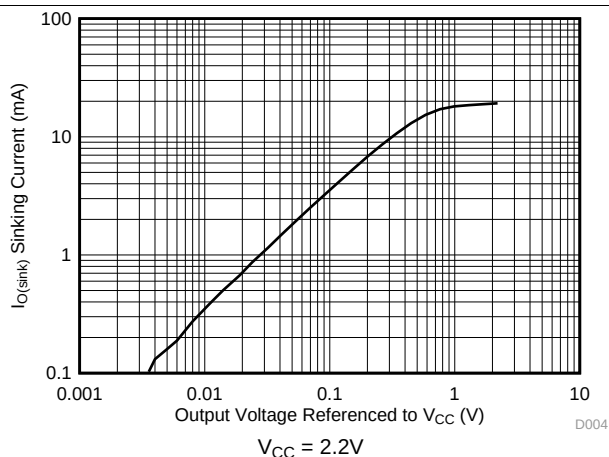


图 4. 灌电流与输出电压间的关系

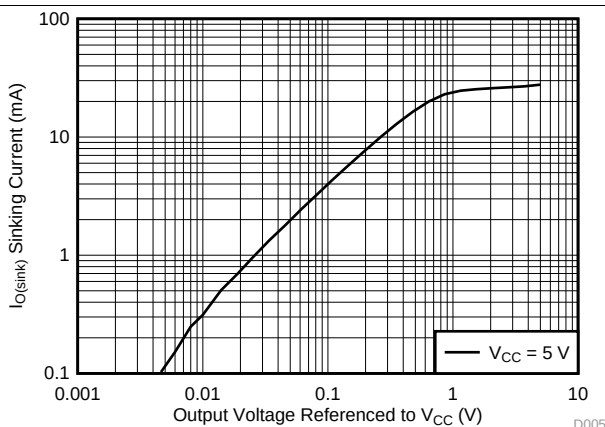


图 5. 灌电流与输出电压间的关系

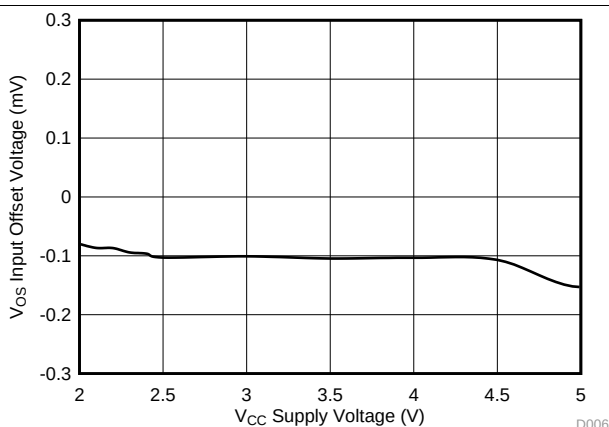


图 6. V_{IO} 与电源电压间的关系

典型特性 (接下页)

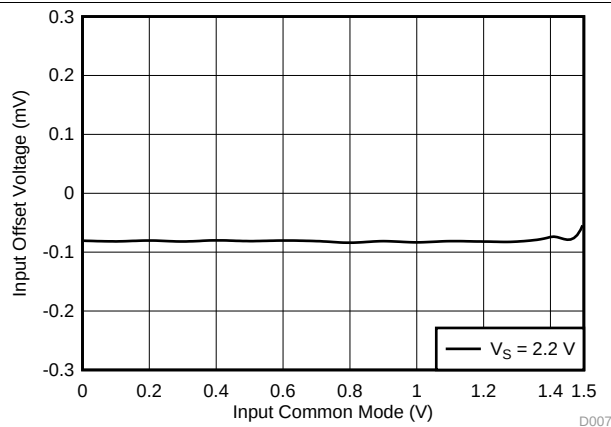


图 7. 输入失调电压与输入共模电压间的关系

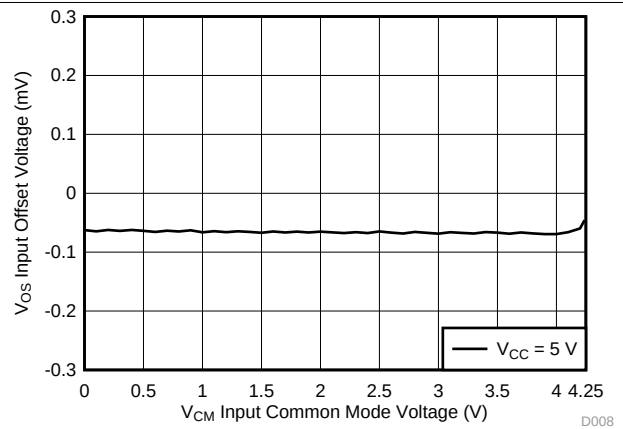


图 8. 输入失调电压与输入共模电压间的关系

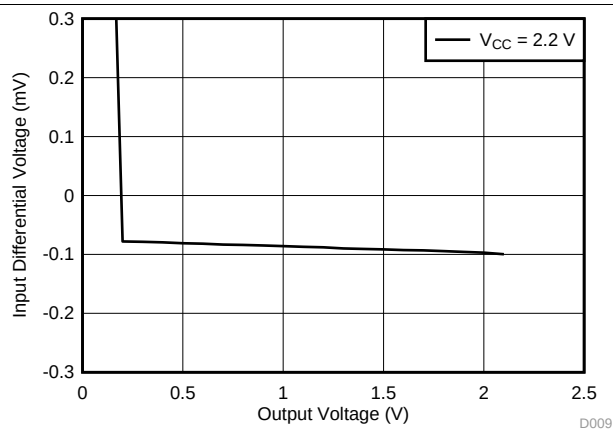


图 9. 输入电压与输出电压间的关系

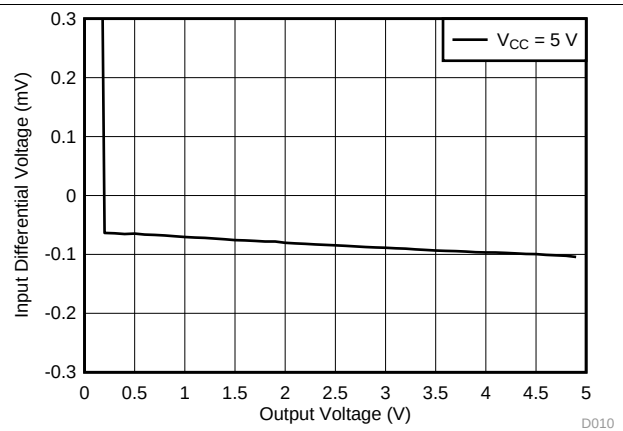


图 10. 输入电压与输出电压间的关系

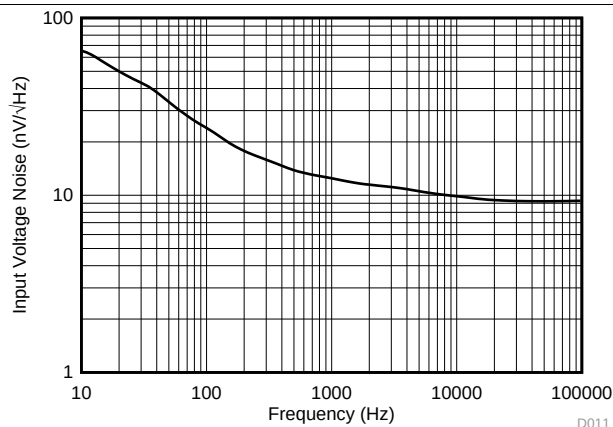


图 11. 输入电压噪声与频率间的关系

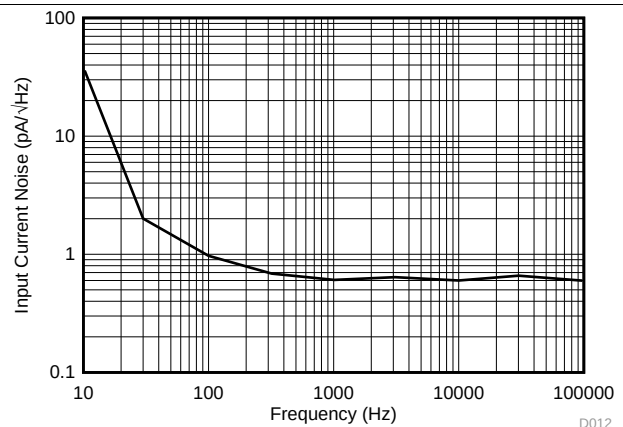


图 12. 输入电流噪声与频率间的关系

典型特性 (接下页)

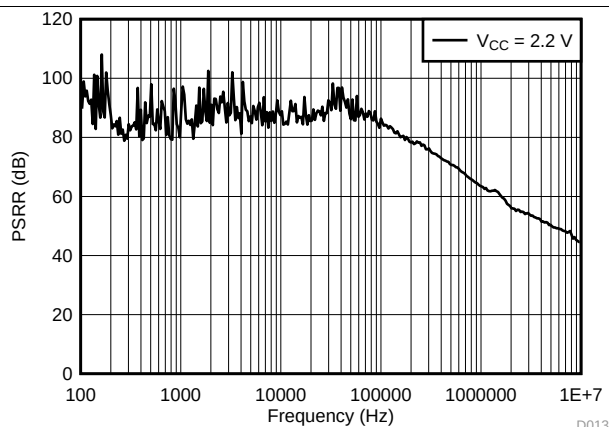


图 13. PSRR 与频率间的关系

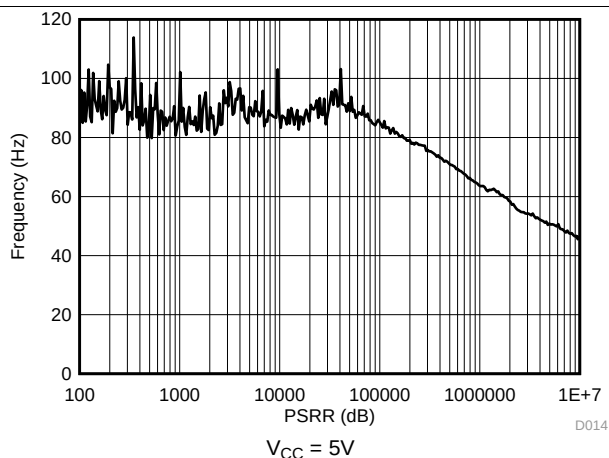


图 14. PSRR 与频率间的关系

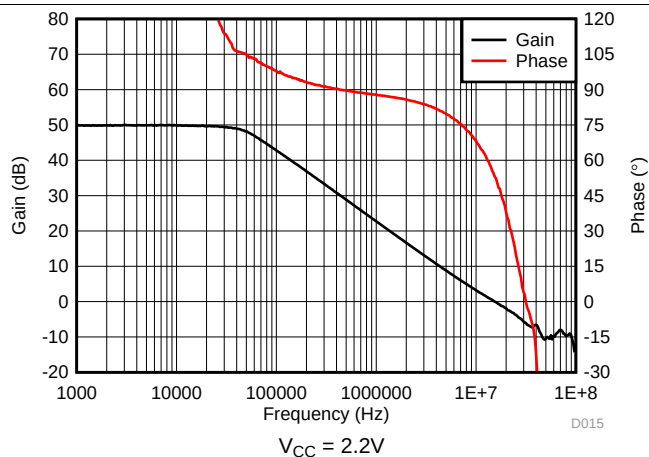


图 15. 增益和相位与频率间的关系

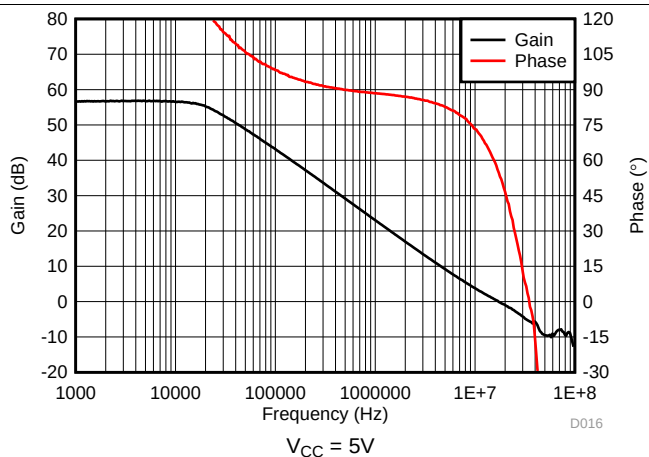


图 16. 增益和相位与频率间的关系

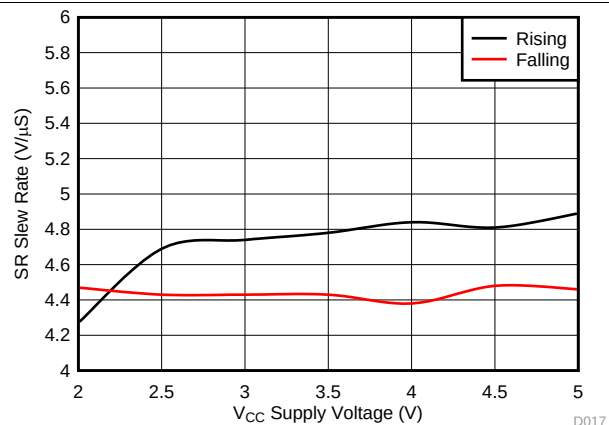


图 17. 压摆率与电源电压间的关系

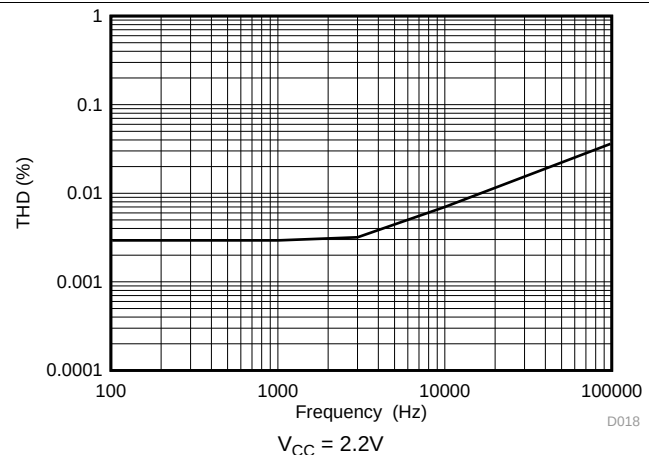
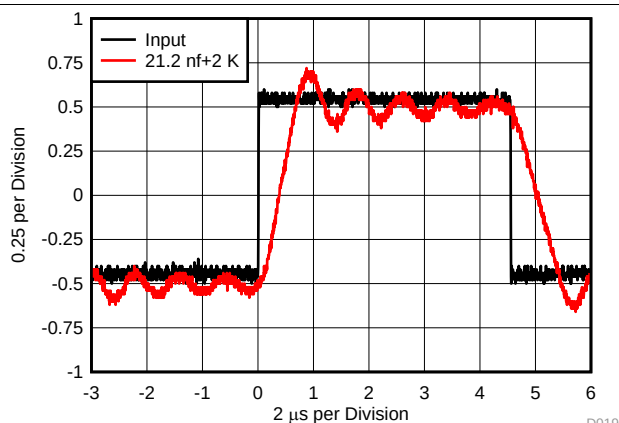


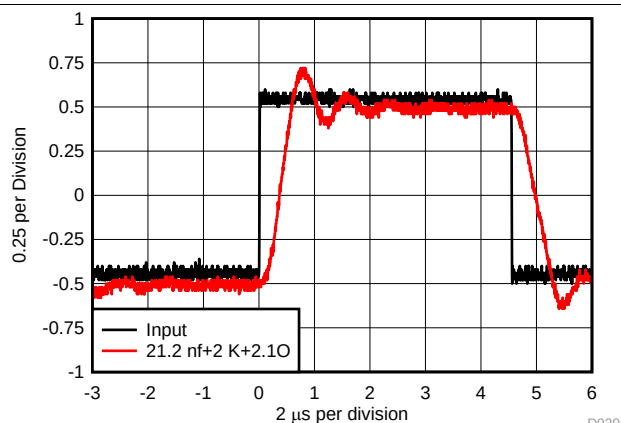
图 18. THD 与频率间的关系

典型特性 (接下页)



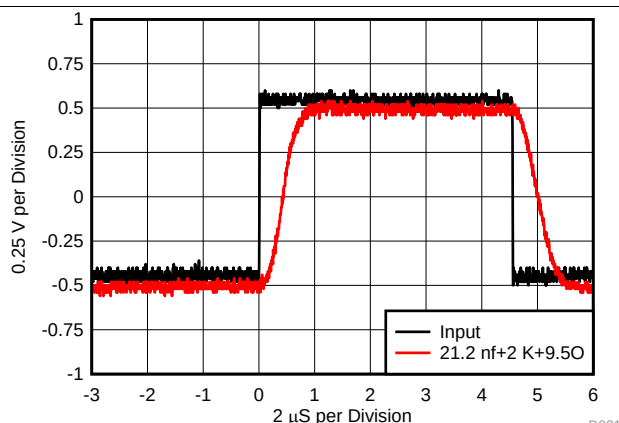
$V_{CC} = 5V$, $R_L = 2k\Omega$, $C_L = 21.2nF$, $R_O = 0\Omega$

图 19. 脉冲响应



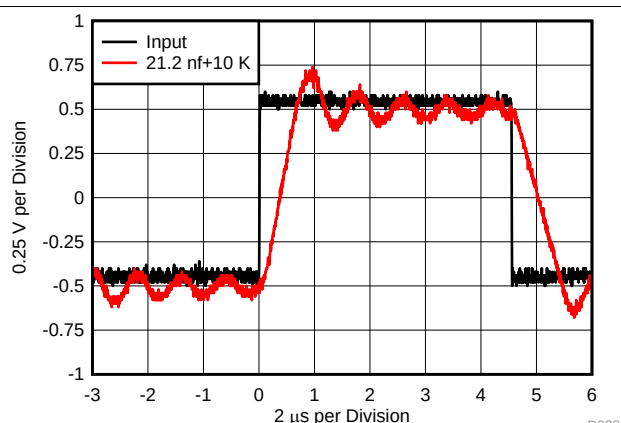
$V_{CC} = 5V$, $R_L = 2k\Omega$, $C_L = 21.2nF$, $R_O = 2.1\Omega$

图 20. 脉冲响应



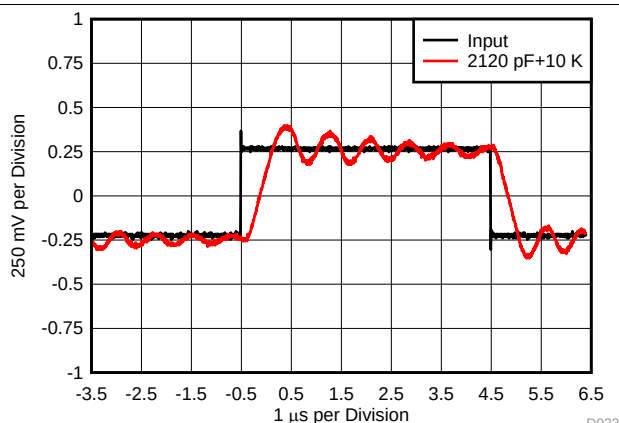
$V_{CC} = 5V$, $R_L = 2k\Omega$, $C_L = 21.2nF$, $R_O = 9.5\Omega$

图 21. 脉冲响应



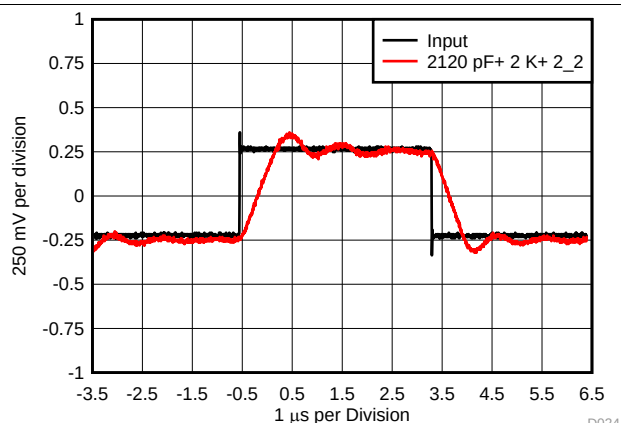
$V_{CC} = 5V$, $R_L = 10k\Omega$, $C_L = 21.2nF$, $R_O = 0\Omega$

图 22. 脉冲响应



$V_{CC} = 2.2V$, $R_L = 10k\Omega$, $C_L = 2.12nF$, $R_O = 0\Omega$

图 23. 脉冲响应



$V_{CC} = 2.2V$, $R_L = 10k\Omega$, $C_L = 2.12nF$, $R_O = 2.2\Omega$

图 24. 脉冲响应

典型特性 (接下页)

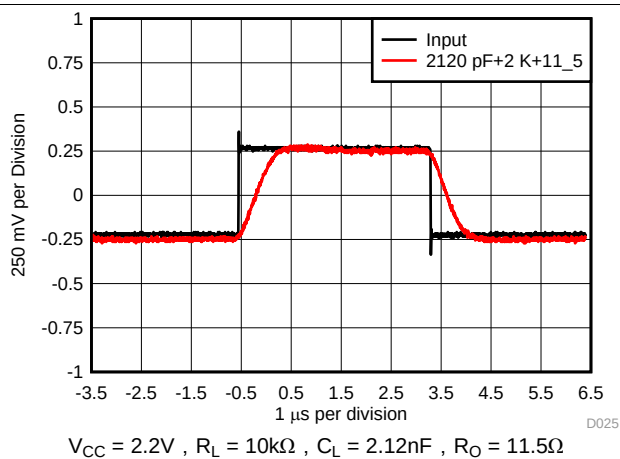


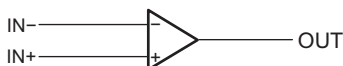
图 25. 脉冲响应

7 详细 说明

7.1 概述

LMV722-Q1 是一款低功耗、低噪声、轨至轨输出运算放大器。该器件符合适用于汽车 应用的 AEC-Q100 标准。LMV722-Q1 由 2.2V 至 5.5V 的单电源供电，具有单位增益稳定特性，适用于各种通用 应用。输入共模电压范围包括接地。轨至轨输入和输出摆幅可大幅扩大低电源应用中的动态 范围，使 应用 非常适合驱动采样模数转换器 (ADC)。LMV722-Q1 封装小巧紧凑，可以节省印刷电路板空间，并且能够在设计更小的电子产品（如汽车音响主机）期间实现良好的信号完整性和噪声性能。

7.2 功能框图



7.3 特性 说明

7.3.1 低噪声

LMV722-Q1 是一款通用运算放大器，提供 10.5nV/√Hz 的低噪声和 10MHz 的宽带宽。低噪声和宽带宽使得 LMV722-Q1 器件对于需要在成本和性能之间实现良好平衡的各种精密 应用 而言非常具有吸引力。

7.3.2 轨至轨输出

轨至轨输出摆幅可提供尽可能最大的输出动态范围。在低电源电压下运行时，这一点尤为重要。

7.3.3 输入包括接地

利用该功能，可以在单电源供电时靠近接地端直接感应。

7.3.4 信号完整性

信号会在信号源和放大器之间拾取噪声。LMV722-Q1 采用尺寸更小的放大器封装（如 8 引脚 VSSOP (DGK)），因此可放置在更靠近信号源的位置，从而降低噪声拾取并提高信号完整性。

7.4 器件功能模式

LMV722-Q1 器件可用的唯一模式是开启。

8 以下一些应用中

注

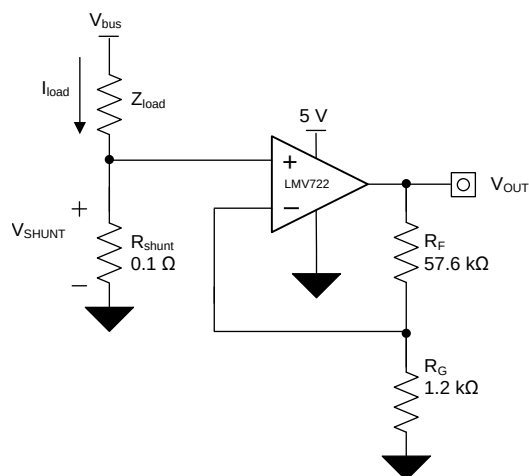
的应用和实现 信息 部分的信息不属于 TI 规格范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

LMV722-Q1 具有 10MHz 带宽和 5.25V/ μ s 压摆率，从而在功耗极低的情况下提供良好的交流性能。在直流 应用中也具有良好性能，其输入噪声电压极低（在 1kHz 时为 10.5nV/ $\sqrt{\text{Hz}}$ ），输入偏置电流低，且典型的输入失调电压为 0.02mV。

8.2 典型应用

图 26 显示了低侧电流检测应用中配置的 LMV722-Q1。



Copyright © 2017, Texas Instruments Incorporated

图 26. 低侧电流检测应用中的 LMV722-Q1

8.2.1 设计要求

此设计的设计要求如下：

- 负载电流：0A 至 1A
- 输出电压：4.9V
- 最大分流电压：100mV

典型应用 (接下页)

8.2.2 详细设计流程

图 26 中的传递函数如公式 1 所示

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times \text{Gain} \quad (1)$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，公式 2 中定义了最大分流电阻。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100\text{mV}}{1\text{A}} = 100\text{m}\Omega \quad (2)$$

根据公式 2 计算出的 R_{SHUNT} 为 100mΩ。 I_{LOAD} 和 R_{SHUNT} 产生的电压降由 LMV722-Q1 放大，从而产生大约 0V 至 4.9V 的输出电压。LMV722-Q1 产生必要输出电压时所需的增益根据公式 3 算出：

$$\text{Gain} = \frac{(V_{OUT_MAX} - V_{OUT_MIN})}{(V_{IN_MAX} - V_{IN_MIN})} \quad (3)$$

根据公式 3 计算出的所需增益为 49V/V，由电阻器 R_F 和 R_G 设定此值。公式 4 用于调整电阻器 R_F 和 R_G 的大小，从而将 LMV722-Q1 的增益设置为 49V/V。

$$\text{Gain} = 1 + \frac{(R_F)}{(R_G)} \quad (4)$$

选择 R_F 为 57.6kΩ 而 R_G 为 1.2kΩ 的组合时可获得大约 49V/V 的增益。图 27 显示了图 26 所示电路的测量传递函数。

8.2.3 应用曲线

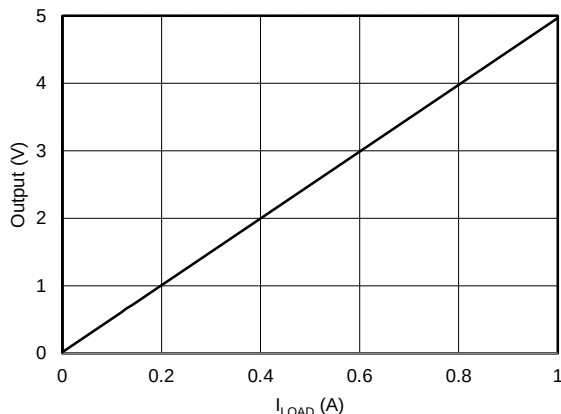


图 27. 低侧电流检测传递函数

9 电源建议

LMV722-Q1 系列的额定工作电压范围是 2.2V 至 5.5V ($\pm 1.1\text{V}$ 至 $\pm 2.75\text{V}$) ; 许多规格在 -40°C 至 $+125^{\circ}\text{C}$ 的温度下适用。部分提供的参数可能随工作电压或温度的变化而出现显著变化。

CAUTION

电源电压超过 6V 可能会对器件造成永久损坏；请参阅 [绝对最大额定值](#) 表。

将 $0.1\mu\text{F}$ 旁路电容器置于电源引脚附近，以减小从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器位置的更多详细信息，请参阅 [部分](#)。

9.1 输入和 ESD 保护

LMV722-Q1 在所有引脚上均整合了内部 ESD 保护电路。对于输入和输出引脚，这种保护主要包括输入和电源引脚之间连接的导流二极管。只要电流如 [布局指南](#) 表中所述不超过 10mA，这些 ESD 保护二极管就能提供电路内输入过驱保护。[图 28](#) 显示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声；在对噪声敏感的应用中，该值必须保持在最低值中，该值应保持在最低值。

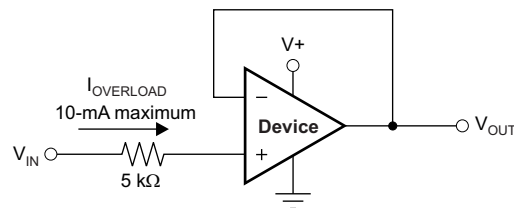


图 28. 输入电流保护

10 布局

10.1 布局指南

为了实现器件的最佳运行性能，应使用良好的印刷电路板 (PCB) 布局规范，包括：

- 噪声可以通过整个电路的电源引脚和运算放大器本身的电源引脚传入模拟电路。旁路电容为局部模拟电路提供低阻抗电源，用于降低耦合噪声。
 - 在每个电源引脚和接地端之间连接低 ESR 0.1 μ F 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单通道电源应用。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参阅《[电路板布局技巧](#)》。
- 为降低寄生耦合，输入迹线应尽量远离电源或输出迹线。如果这些走线不能保持分离，则敏感走线与有噪声走线垂直相交比平行更好。
- 外部组件的位置应尽量靠近器件。如[图 30](#) 所示，使 RF 和 RG 接近反相输入可最大限度地减小反相输入端的寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。
- 为获得最佳性能，建议在组装 PCB 板后进行清洗。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。请遵循所有的 PCB 水清洁流程，建议将 PCB 组装烘干，以去除清洗时渗入器件封装中的湿气。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

10.2 布局示例

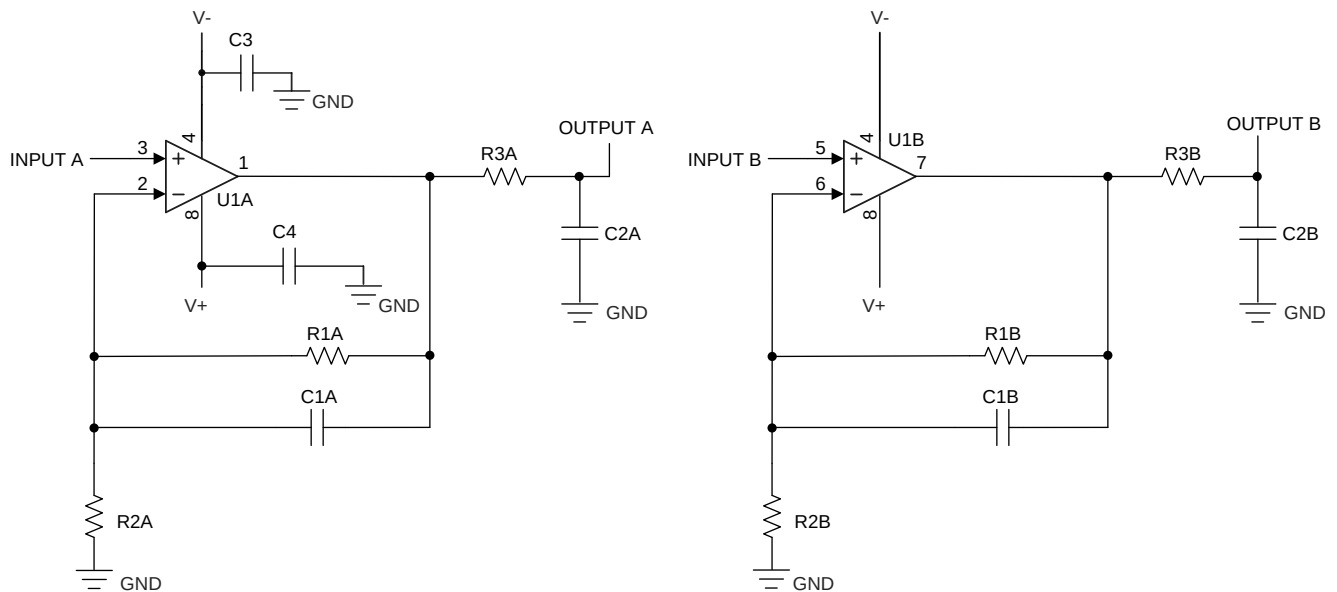


图 29. 图 30 的原理图表示

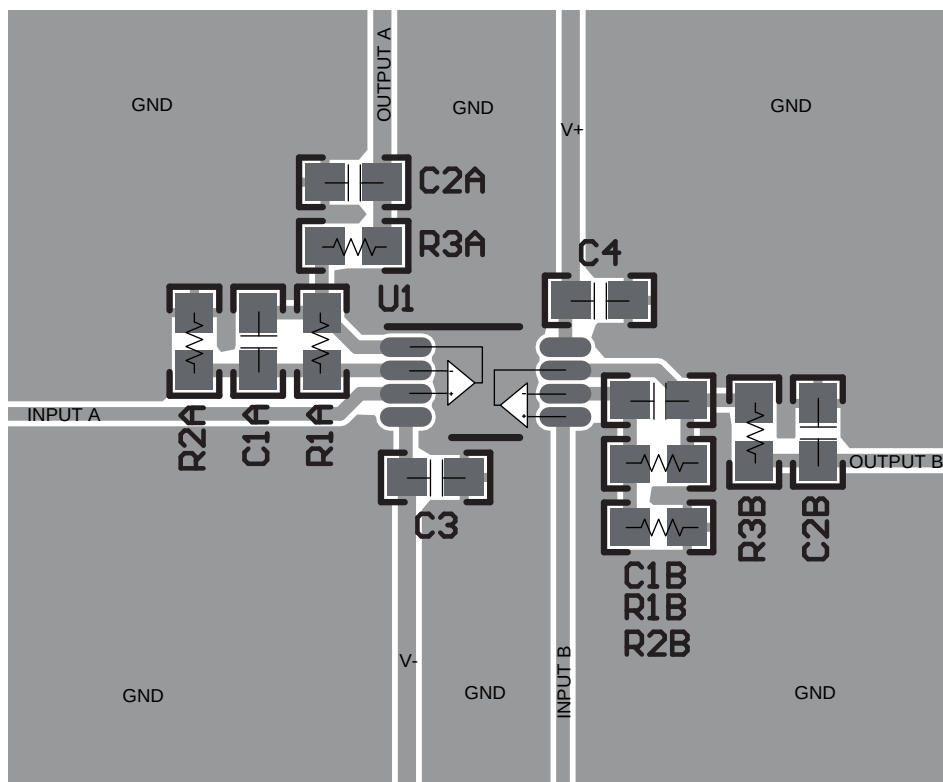


图 30. 布局示例

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

如需相关文档，请参阅：

德州仪器 (TI)，《[电路板布局技巧](#)》

11.2 接收文档更新通知

要接收文档更新通知，请导航至 [TI.com.cn](#) 上的器件产品文件夹。单击右上角的 [通知我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《[使用条款](#)》。

TI E2E™ 在线社区 [TI 的工程师对工程师 \(E2E\) 社区](#)。此社区的创建目的在于促进工程师之间的协作。在 [e2e.ti.com](#) 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 [TI 参考设计支持](#) 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

11.4 商标

E2E is a trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

11.5 静电放电警告



ESD 可能会损坏该集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理措施和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

[SLYZ022](#) — [TI 术语表](#)。

这份术语表列出并解释术语、缩写和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请参阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV722QDGKRQ1	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	R6EQ
LMV722QDGKRQ1.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	R6EQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

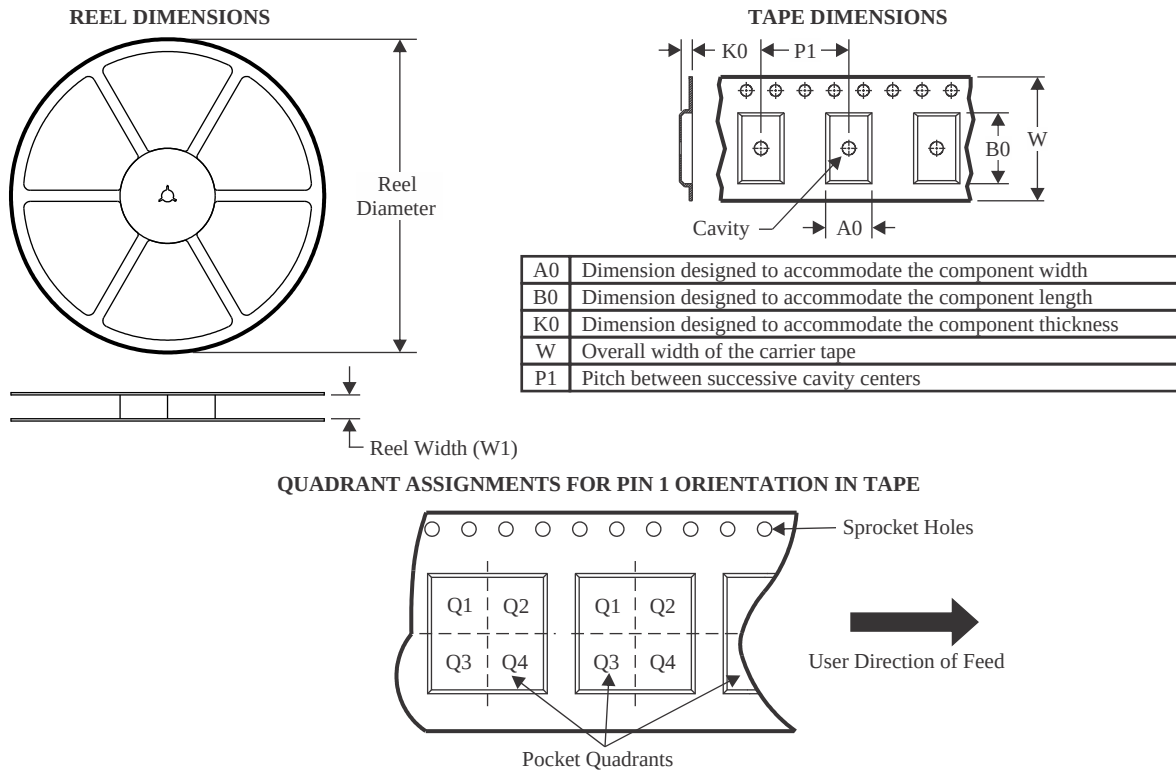
OTHER QUALIFIED VERSIONS OF LMV722-Q1 :

- Catalog : [LMV722](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV722QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

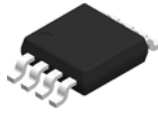
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV722QDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0

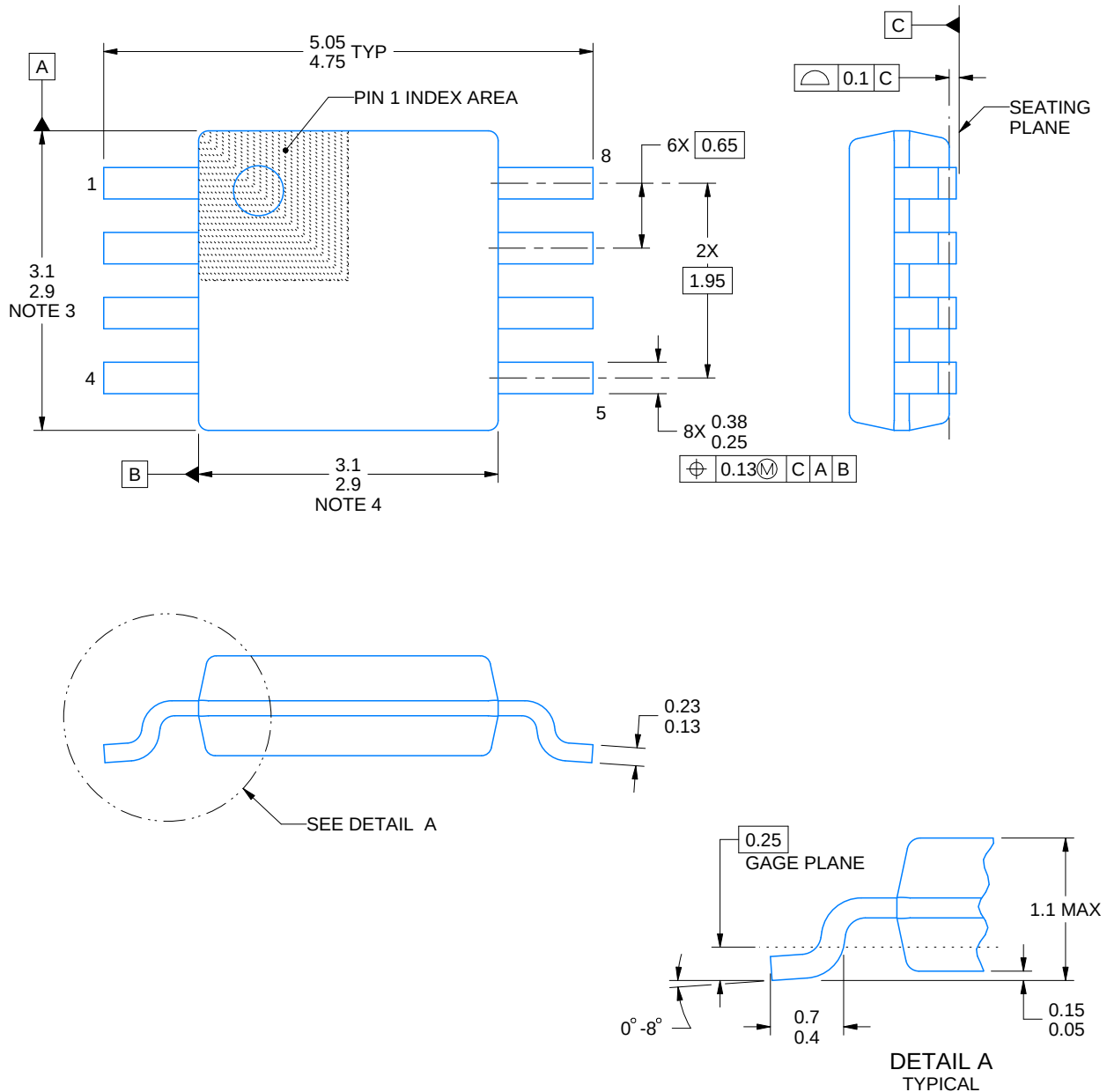
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

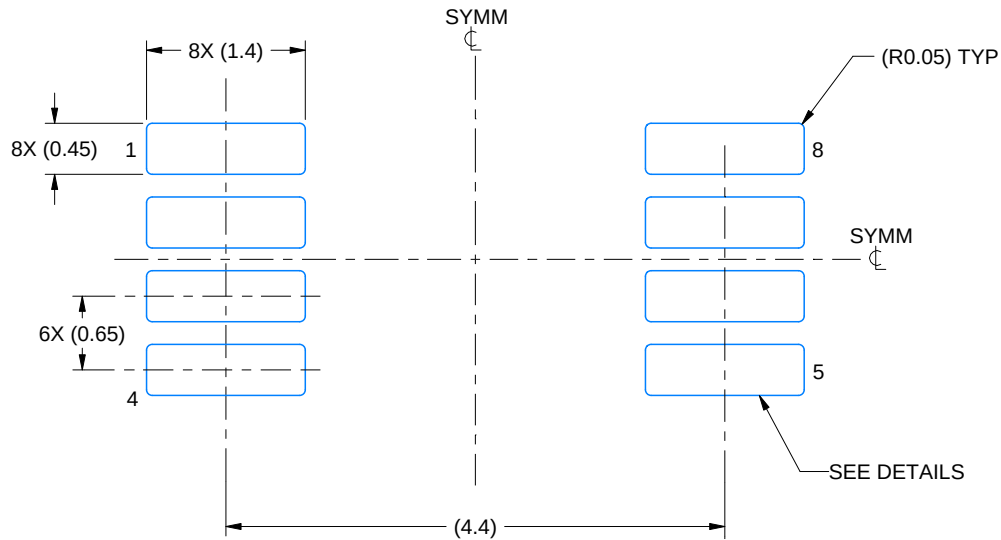
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

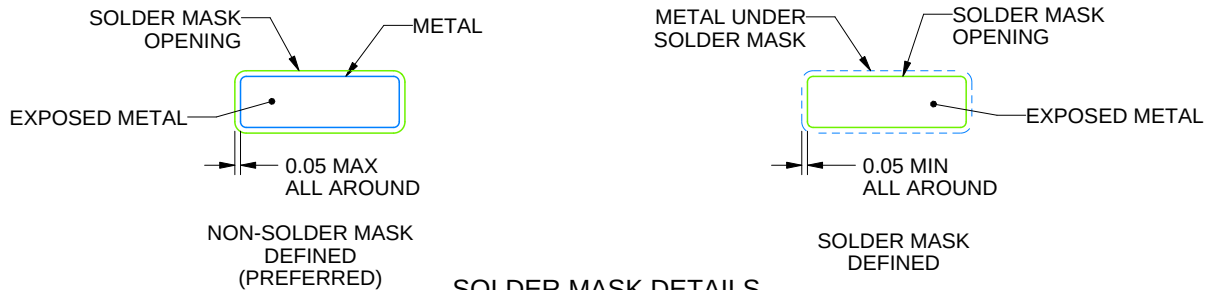
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

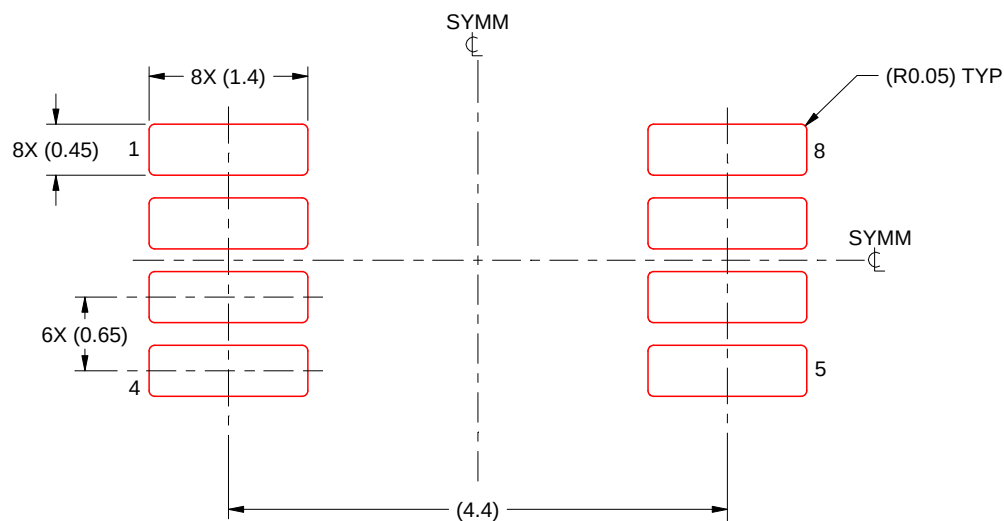
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月