LMV65x 12MHz 低电压低功耗放大器

1 特性

- 典型 5V 电源（除非另有说明）
- 在 3V 和 5V 电压下具有额定性能
- 低电源电流
  - LMV651：116μA
  - LMV652：118μA（每个放大器）
  - LMV654：122μA（每个放大器）
- 高单位增益带宽：12MHz
- 最大输入失调电压：1.5mV
- CMRR：100dB
- PSRR：95dB
- 输入基准电压噪声：17nV/√Hz
- 2kΩ 负载下以电源轨为基准的输出摆幅为 120mV
- 总谐波失真：1kHz、2kΩ 时为 0.003%
- 温度范围：−40°C 至 125°C

2 应用范围

- 便携式设备
- 汽车
- 电池供电型系统
- 传感器和仪表

3 说明

TI 的 LMV65x 器件是采用 TI 先进的 VIP50 工艺实现的高性能、低功耗运算放大器 IC。此系列器件 具有 12MHz 带宽，并且电流消耗仅为 116μA，其带宽功率比是同类运算放大器中较为出色的。LMV65x 器件具有单位增益稳定性，可为低电压、低功耗 应用中的一般性放大需求提供出色的解决方案。

此系列的低电压、低功耗放大器在功耗和空间利用方面具有卓越的性能和经济性。这些运算放大器具有 1.5mV 的最大输入失调电压、轨至轨输出级以及包括接地端在内的输入共模电压范围。LMV65x 的 PSRR 为 95dB，CMRR 为 100dB，在 1kHz 频率和 2kΩ 负载下的总谐波失真 (THD) 为 0.003%。

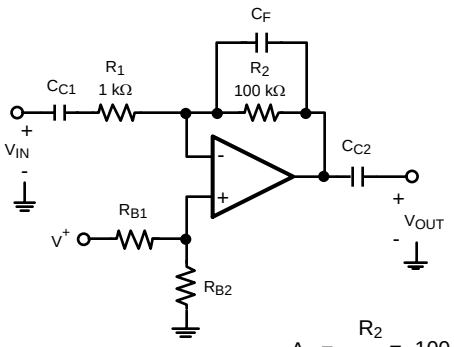
此系列器件的工作电源电压范围为 2.7V 至 5.5V。这些运算放大器可在宽温度范围（−40°C 至 125°C）内工作，是汽车 应用、传感器 应用和便携式设备 应用的理想选择。LMV651 采用超小型 5 引脚 SC70 和 5 引脚 SOT-23 封装。LMV652 采用 8 引脚 VSSOP 封装。LMV654 采用 14 引脚 TSSOP 封装。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
LMV651	SOT-23 (5)	2.90mm × 1.60mm
	SC70 (5)	2.00mm × 1.25mm
LMV652	VSSOP (8)	3.00mm × 3.00mm
LMV654	TSSOP (14)	5.00mm × 4.40mm

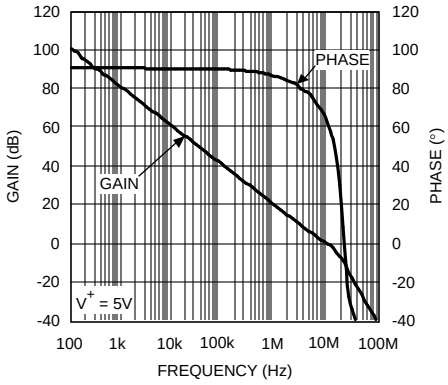
(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

高增益宽带宽反相放大器



$$A_V = -\frac{R_2}{R_1} = -100$$

开环增益和相位与频率间的关系



An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用范围 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 引脚配置和功能 ... 3
6 规格 ... 4
6.1 绝对最大额定值 ... 4
6.2 ESD 额定值 ... 4
6.3 建议运行条件 ... 4
6.4 热性能信息 ... 4
6.5 3V 直流电气特性 ... 4
6.6 5V 直流电气特性 ... 5
6.7 典型特性 ... 7
7 详细 说明 ... 13
7.1 概述 ... 13
7.2 功能框图 ... 13
7.3 特性 说明 ... 13
7.4 器件功能模式 ... 14
8 以下一些应用中 ... 17
8.1 应用信息 ... 17
8.2 典型 应用 ... 17
8.3 注意事项 ... 19
9 电源相关建议 ... 19
10 布局 ... 20
10.1 布局指南 ... 20
10.2 布局示例 ... 20
11 器件和文档支持 ... 21
11.1 器件支持 ... 21
11.2 文档支持 ... 21
11.3 相关链接 ... 21
11.4 社区资源 ... 21
11.5 商标 ... 21
11.6 静电放电警告 ... 21
11.7 术语表 ... 22
12 机械、封装和可订购信息 ... 22

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision J (March 2013) to Revision K **Page**

- 添加了 *ESD 额定值* 表、*特性 说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分。 ... 1

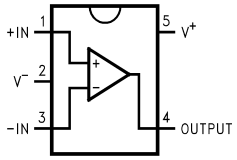
Changes from Revision I (March 2012) to Revision J **Page**

- 已更改 将美国国家半导体产品说明书的布局更改成了 TI 格式 ... 19

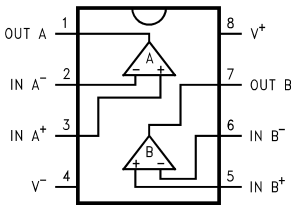
版权 © 2005–2016, Texas Instruments Incorporated

5 引脚配置和功能

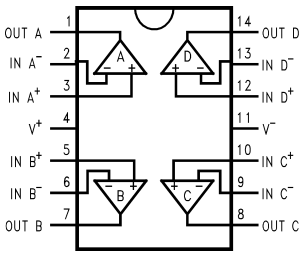
LMV651 DBV 或 DCK 封装
5 引脚 SC70 或 SOT-23
俯视图



LMV652 DGK 封装
8 引脚 VSSOP
俯视图



LMV654 PW 封装
14 引脚 TSSOP
俯视图



SOT-23 的：LMV651

引脚		I/O	说明
名称	编号		
–IN	3	I	反相输入
+IN	1	I	同相输入
OUT	4	O	Output
V–	2	P	负电源输入
V+	5	P	正电源输入

表 **1.** 引脚功能：**LMV652**、**LMV654**

引脚			I/O	说明
名称	**VSSOP**	**TSSOP**		
–IN A	2	2	I	反相输入，通道 A
+IN A	3	3	I	同相输入，通道 A
–IN B	6	6	I	反相输入，通道 B
+IN B	5	5	I	同相输入，通道 B
–IN C	—	9	I	反相输入，通道 C
+IN C	—	10	I	同相输入，通道 C
–IN D	—	13	I	反相输入，通道 D
+IN D	—	12	I	同相输入，通道 D
OUT A	1	1	O	输出，通道 A
OUT B	7	7	O	输出，通道 B
OUT C	—	8	O	输出，通道 C
OUT D	—	14	O	输出，通道 D
V–	4	11	P	负电源（最低）
V+	8	4	P	正电源（最高）

版权 © 2005–2016, Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值(1)(2)

		最小值	最大值	单位
差分输入 V_{ID}			±0.3	
电源电压 ($V_S = V^+ - V^-$)			6	
输入/输出引脚电压		V^- − 0.3	V^+ + 0.3	V
焊接信息	红外或对流（20 秒）		235	°C
	波焊铅温（10 秒）		260	
结温(3)			150	°C
贮存温度，T_{stg}		−65	150	°C

(1) 应力超出*绝对最大额定值* 下所列的值可能会对器件造成永久损坏。这些仅为在极端额定值下的工作情况，这不表示在这些条件下以及其它在超出*推荐的操作条件*下的任何其它操作时，器件能够功能性运行. 长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果需要军用/航天专用器件，请与德州仪器 (TI) 销售办事处/分销商联系以了解供货情况和技术规格。
(3) 最大功耗是 $T_{J(MAX)}$、θ_{JA} 和 T_A 的函数。任何环境温度下允许的最大功耗为 $P_D = (T_{J(MAX)} - T_A)/ \theta_{JA}$。所有数字均适用于直接焊接到 PCB 的封装。

6.2 ESD 额定值

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)(1)	±2000	V
		充电器件模型(2)	±100	

(1) 人体放电模型，适用标准 MIL-STD-883，Method 3015.7
(2) 机器放电模型，适用标准。JESD22-A115-A（JEDEC 的ESD MM 标准）电场诱导充电器件模型，适用标准。JESD22-C101-C（JEDEC 的 ESD FICDM 标准）。

6.3 建议运行条件

	最小值	最大值	单位
温度	−40	125	°C
电源电压	2.7	5.5	V

6.4 热性能信息

热指标(1)		LMV651		LMV652	LMV653	单位
		DCK (SC70)	DBV (SOT-23)	DGK (VSSOP)	PW (TSSOP)	
		5 引脚	5 引脚	8 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	303.5	214.2	200.3	134.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	135.5	173.3	89.1	60.9	°C/W
$R_{\theta JB}$	结至电路板热阻	81.1	72.5	120.9	77.3	°C/W
ψ_{JT}	结至顶部特征参数	8.4	56.7	21.7	11.5	°C/W
ψ_{JB}	结至电路板特征参数	80.4	71.9	119.4	76.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	°C/W

(1) 有关传统和新热指标的更多信息，请参阅《*半导体和 IC 封装热指标*》应用报告，SPRA953。

6.5 3V 直流电气特性

除非另有说明，否则所有限值均基于以下条件：T_A = 25°C，V^+ = 3V，V^- = 0V，$V_O = V_{CM} = V^+/2$，且 R_L > 1MΩ。

参数		测试条件	最小值(1)	典型值(2)	最大值(1)	单位
V_{OS}	输入失调电压			0.1	±1.5	mV
		在额定温度范围内			2.7	
TC V_{OS}	输入失调平均漂移			6.6		µV/°C

(1) 限值均在 25°C 下经过 100% 生产检测。使用统计质量控制 (SQC) 方法通过关联指定工作温度范围的限值。
(2) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。

版权 © 2005–2016, Texas Instruments Incorporated

3V 直流电气特性 (接下页)

除非另有说明，否则所有限值均基于以下条件：T_A = 25°C，V^+ = 3V，V^- = 0V，$V_O = V_{CM} = V^+/2$，且 R_L > 1MΩ。

参数		测试条件		最小值(1)	典型值(2)	最大值(1)	单位
I_B	输入偏置电流(3)				80	120	nA
I_{OS}	输入失调电流				2.2	15	nA
CMRR	共模抑制比	0 ≤ V_{CM} ≤ 2V		87	100		dB
			在额定温度范围内	80			
PSRR	电源抑制比	3V ≤ V^+ ≤ 5V，V_{CM} = 0.5V		87	95		dB
			在额定温度范围内	81			
		2.7V ≤ V^+ ≤ 5.5V，V_{CM} = 0.5V		87	95		
			在额定温度范围内	81			
CMVR	输入共模电压范围	CMRR ≥ 75dB		0		2.1	V
		CMRR ≥ 60dB，在额定温度范围内		0		2.1	
A_{VOL}	大信号电压增益	0.3V ≤ V_O ≤ 2.7V，R_L = 2kΩ（连接至 $V^+/2$）		80	85		dB
		0.4V ≤ V_O ≤ 2.6V，R_L = 2kΩ（连接至 $V^+/2$），在额定温度范围内		76			
		0.3V ≤ V_O ≤ 2.7V，R_L = 10kΩ（连接至 $V^+/2$）		86	93		
		0.4V ≤ V_O ≤ 2.6V，R_L = 10kΩ（连接至 $V^+/2$），在额定温度范围内		83			
V_O	输出摆幅高	R_L = 2kΩ（连接至 $V^+/2$）			80	95	mV（相对于电源轨）
			在额定温度范围内			120	
		R_L = 10kΩ（连接至 $V^+/2$）			45	50	
			在额定温度范围内			60	
	输出摆幅低	R_L = 2kΩ（连接至 $V^+/2$）			95	110	
			在额定温度范围内			125	
		R_L = 10kΩ（连接至 $V^+/2$）			60	65	
			在额定温度范围内			75	
I_{SC}	最大连续输出电流	拉电流(4)			17		mA
		灌电流(4)			25		
I_S	电源电流（每个放大器）	LMV651			115	140	μA
			在额定温度范围内			175	
		LMV652			118	140	
			在额定温度范围内			175	
		LMV654			122	140	
			在额定温度范围内			175	
SR	压摆率	A_V = +1，10% 至 90%(5)			3.0		V/μs
GBW	增益带宽积				12		MHz
e_n	输入基准电压噪声	f = 100kHz			17		nV/√Hz
		f = 1kHz			17		
i_n	输入基准电流噪声	f = 100kHz			0.1		pA/√Hz
		f = 1kHz			0.15		
THD	总谐波失真	f = 1kHz，A_V = 2，R_L = 2kΩ			0.003%		

(3) 正电流相当于流入器件的电流。
(4) 压摆率是上升压摆率和下降压摆率的平均值。
(5) 此部件不受短路保护，所以不建议在低电阻负载下运行。*典型特性*中提供典型的拉电流输出和灌电流输出曲线，在设计重负载之前应参考此曲线。

6.6 5V 直流电气特性

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C，V^+ = 5V，V^- = 0V，$V_O = V_{CM} = V^+/2$，且 R_L > 1MΩ。

参数		测试条件	最小值(1)	典型值(2)	最大值(1)	单位
V_{OS}	输入失调电压			0.1	±1.5	mV
		在额定温度范围内			2.7	

(1) 限值均在 25°C 下经过 100% 生产检测。使用统计质量控制 (SQC) 方法通过关联指定工作温度范围的限值。
(2) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。

版权 © 2005–2016, Texas Instruments Incorporated

5V 直流电气特性 (接下页)

除非另有说明，否则所有限值均基于以下条件：T_J = 25°C，V^+ = 5V，V^- = 0V，$V_O = V_{CM} = V^+/2$，且 R_L > 1MΩ。

参数		测试条件		最小值(1)	典型值(2)	最大值(1)	单位
TC V_{OS}	输入失调平均漂移				6.6		μV/°C
I_B	输入偏置电流	请参阅(3)			80	120	nA
I_{OS}	输入失调电流				2.2	15	nA
CMRR	共模抑制比	0 ≤ V_{CM}≤ 4V		90	100		dB
			在额定温度范围内	83			
PSRR	电源抑制比	3V ≤ V^+ ≤ 5V，V_{CM} = 0.5V		87	95		dB
			在额定温度范围内	81			
		2.7V ≤ V^+ ≤ 5.5V，V_{CM} = 0.5V		87	95		
			在额定温度范围内	81			
CMVR	输入共模电压范围	CMRR ≥ 80dB		0		4.1	V
		CMRR ≥ 68dB，在额定温度范围内		0		4.1	
A_{VOL}	大信号电压增益	0.3V ≤ V_O ≤ 4.7V，R_L = 2kΩ（连接至 V^+/2）		79	84		dB
		0.4V ≤ V_O ≤ 4.6V，R_L = 2kΩ（连接至 V^+/2），在额定温度范围内		76			
		0.3V ≤ V_O ≤ 4.7V，R_L = 10kΩ（连接至 V^+/2）		87	94		
		0.4V ≤ V_O ≤ 4.6V，R_L = 10kΩ（连接至 V^+/2），在额定温度范围内		84			
V_O	输出摆幅高	R_L = 2kΩ（连接至 V^+/2）			120	140	mV（相对于电源轨）
			在额定温度范围内			185	
		R_L = 10kΩ（连接至 V^+/2）			75	90	
			在额定温度范围内			120	
	输出摆幅低	R_L = 2kΩ（连接至 V^+/2）			110	130	
			在额定温度范围内			150	
		R_L = 10kΩ（连接至 V^+/2）			70	80	
			在额定温度范围内			95	
I_{SC}	最大连续输出电流	拉电流(4)			18.5		mA
		灌电流(4)			25		
I_S	电源电流（每个放大器）	LMV651			116	140	μA
			在额定温度范围内			175	
		LMV652			118	140	
			在额定温度范围内			175	
		LMV654			122	140	
			在额定温度范围内			175	
SR	压摆率	A_V = +1，V_O = 1V_{PP}，10% 至 90%(5)			3.0		V/μs
GBW	增益带宽积				12		MHz
e_n	输入基准电压噪声	f = 100kHz			17		nV/√Hz
		f = 1kHz			17		
i_n	输入基准电流噪声	f = 100kHz			0.1		pA/√Hz
		f = 1kHz			0.15		
THD	总谐波失真	f = 1kHz，A_V = 2，R_L = 2kΩ			0.003%		

(3) 正电流相当于流入器件的电流。
(4) 此部件不受短路保护，所以不建议在低电阻负载下运行。*典型特性*中提供典型的拉电流输出和灌电流输出曲线，在设计重负载之前应参考此曲线。
(5) 压摆率是上升压摆率和下降压摆率的平均值。

版权 © 2005–2016, Texas Instruments Incorporated

6.7 典型特性

除非另有说明，否则 T_A= 25°C，V_S= 5V，V^+= 5V，V^-= 0V，V_{CM}= V_S/2

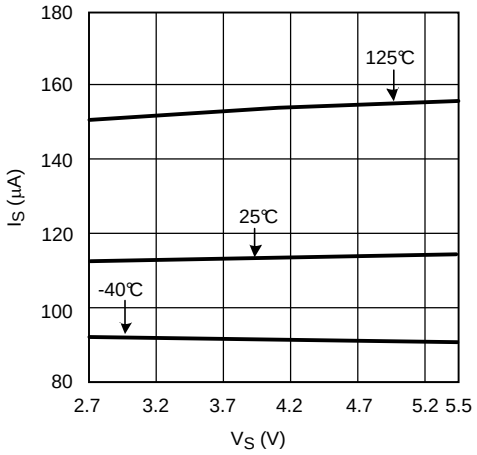


图 **1.** 电源电流与电源电压间的关系 **(LMV651)**

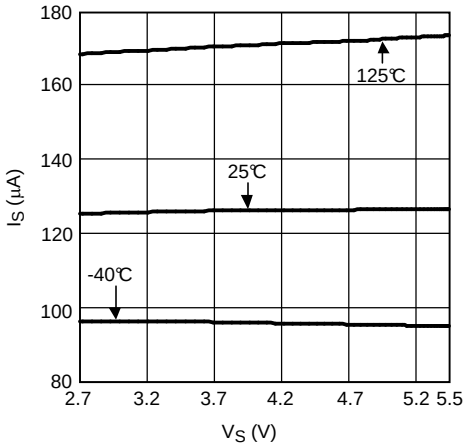


图 **2.** 每通道电源电流与电源电压间的关系 **(LMV652)**

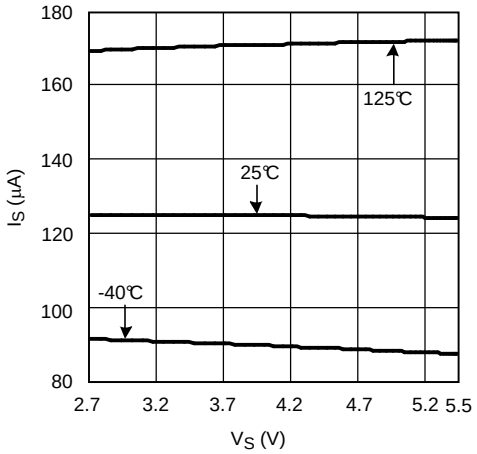


图 **3.** 每通道电源电流与电源电压间的关系 **(LMV654)**

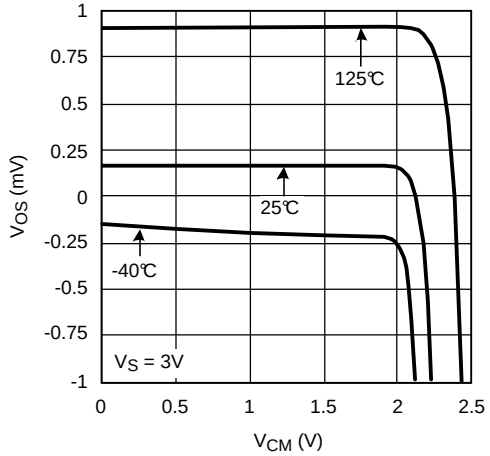


图 **4. V_{OS}** 与 **V_{CM}** 间的关系

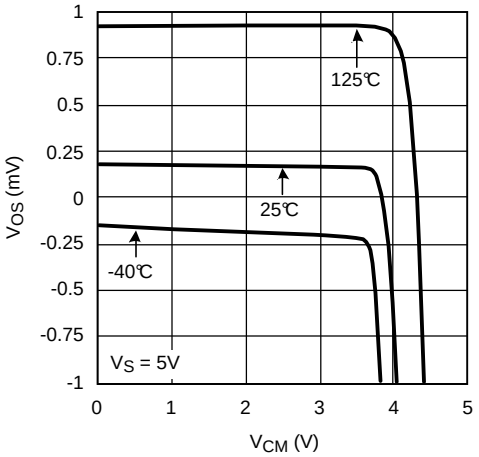


图 **5. V_{OS}** 与 **V_{CM}** 间的关系

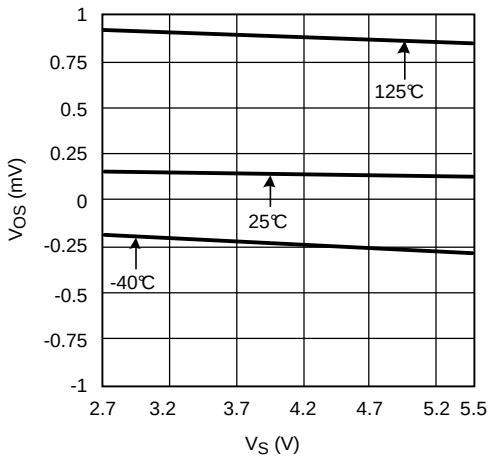


图 **6. V_{OS}** 与电源电压间的关系

典型特性 (接下页)

除非另有说明，否则 T_A= 25°C，V_S= 5V，V^+= 5V，V^-= 0V，V_{CM}= V_S/2

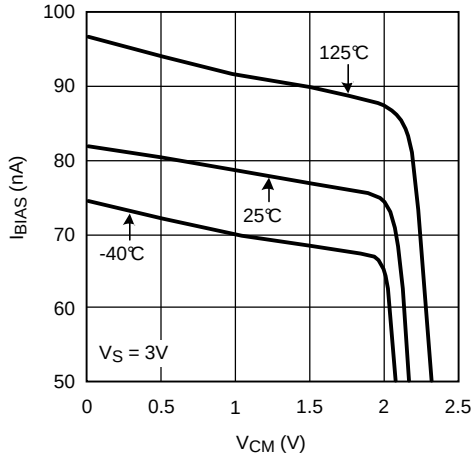


图 **7.** I_{BIAS} 与 V_{CM} 间的关系

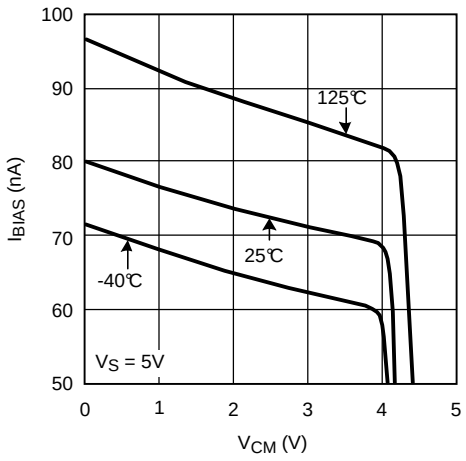


图 **8.** I_{BIAS} 与 V_{CM} 间的关系

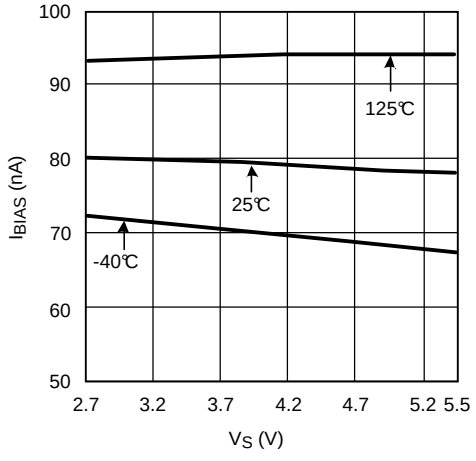


图 **9.** I_{BIAS} 与电源电压间的关系

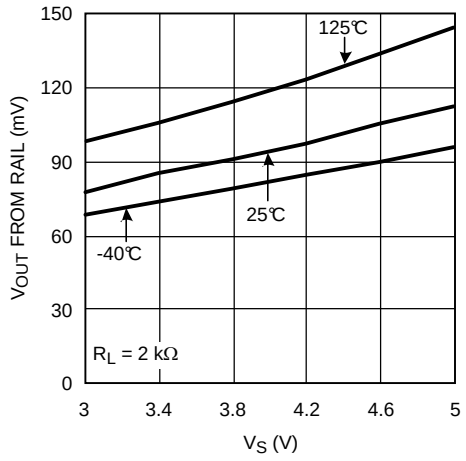


图 **10.** 正输出摆幅与电源电压间的关系

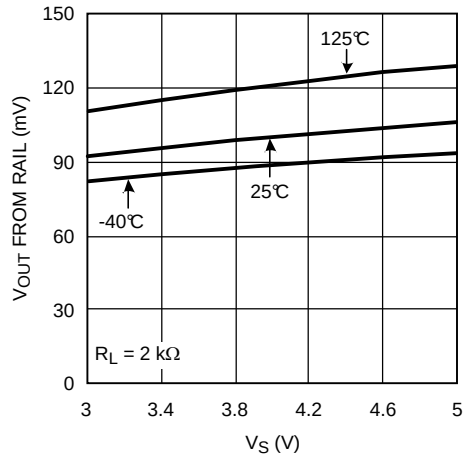


图 **11.** 负输出摆幅与电源电压间的关系

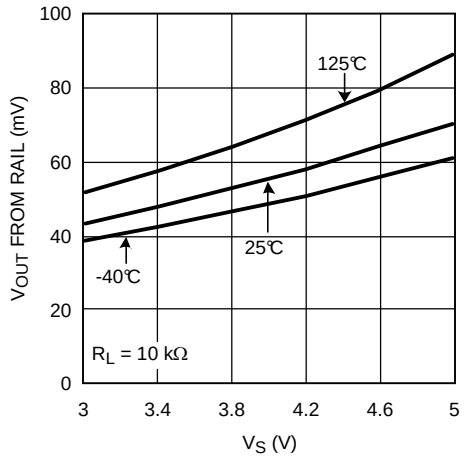


图 **12.** 正输出摆幅与电源电压间的关系

版权 © 2005–2016, Texas Instruments Incorporated

典型特性 (接下页)

除非另有说明，否则 T_A= 25°C，V_S= 5V，V^+= 5V，V^-= 0V，V_{CM}= V_S/2

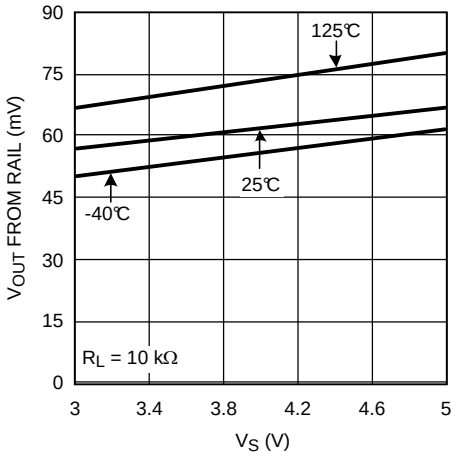


图 **13.** 负输出摆幅与电源电压间的关系

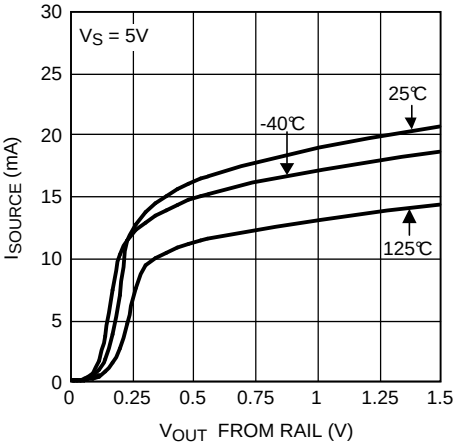


图 **14.** 拉电流与输出电压间的关系

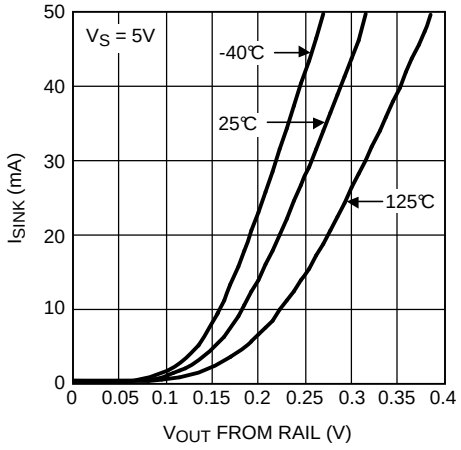


图 **15.** 灌电流与输出电压间的关系 **(LMV651)**

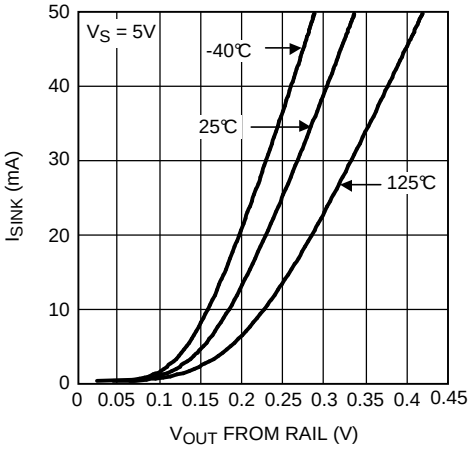


图 **16.** 灌电流与输出电压间的关系 **(LMV652)**

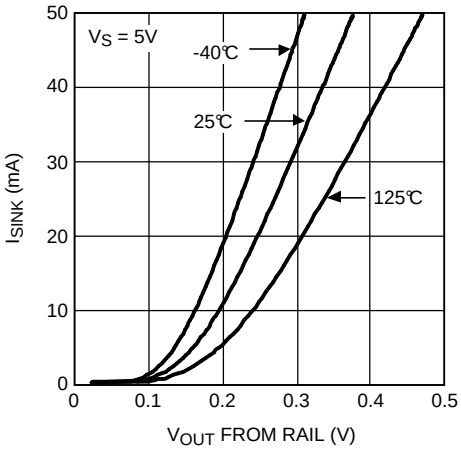


图 **17.** 灌电流与输出电压间的关系 **(LMV654)**

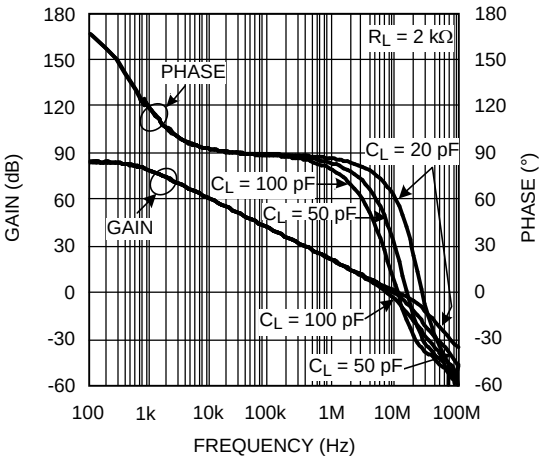


图 **18.** 带容性负载的开环增益和相位

典型特性 (接下页)

除非另有说明，否则 T_A= 25°C，V_S= 5V，V^+= 5V，V^-= 0V，V_{CM}= V_S/2

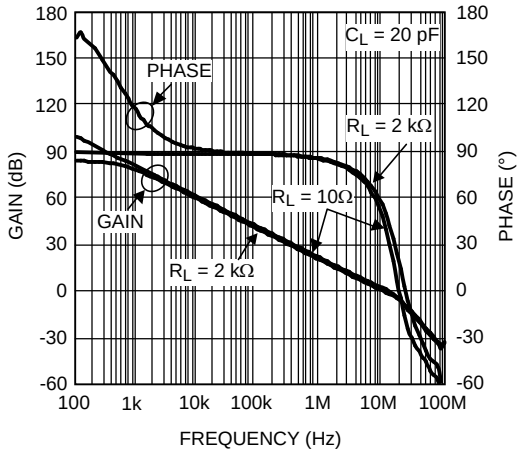


图 **19.** 开环增益和相位随阻性负载的变化

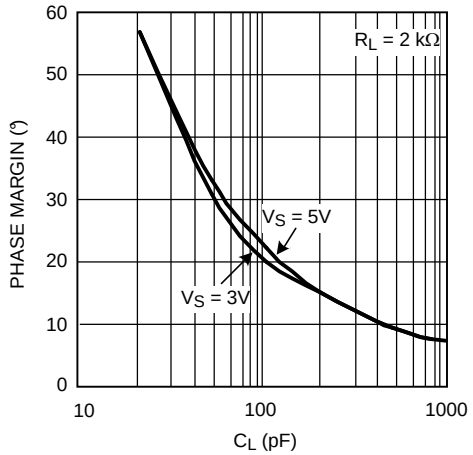


图 **20.** 相位裕度与容性负载（稳定性）间的关系

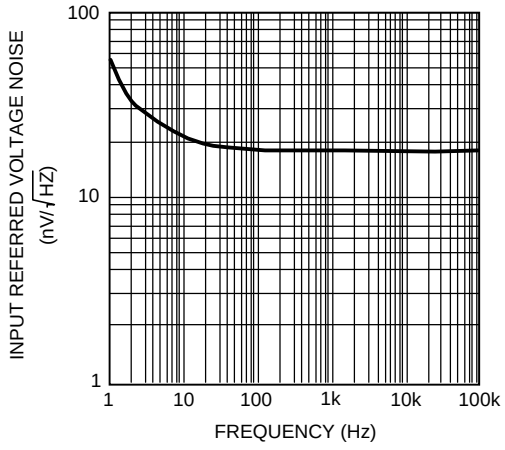


图 **21.** 输入基准电压噪声与频率间的关系

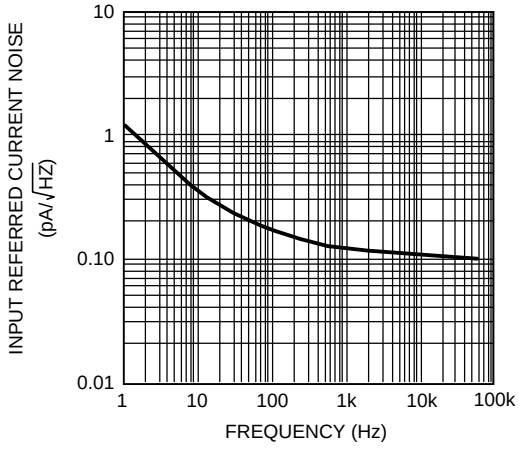


图 **22.** 输入基准电流噪声与频率间的关系

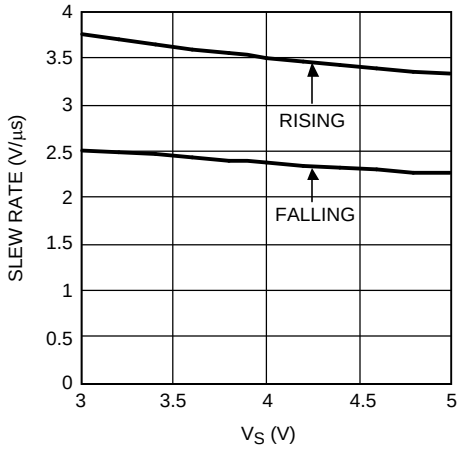


图 **23.** 压摆率与电源电压间的关系

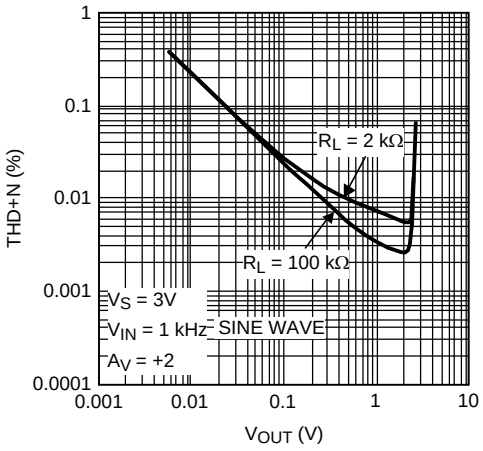


图 **24. THD+N** 与 V_{OUT} 间的关系

版权 © 2005–2016, Texas Instruments Incorporated

典型特性 (接下页)

除非另有说明，否则 T_A= 25°C，V_S= 5V，V^+= 5V，V^-= 0V，V_{CM}= V_S/2

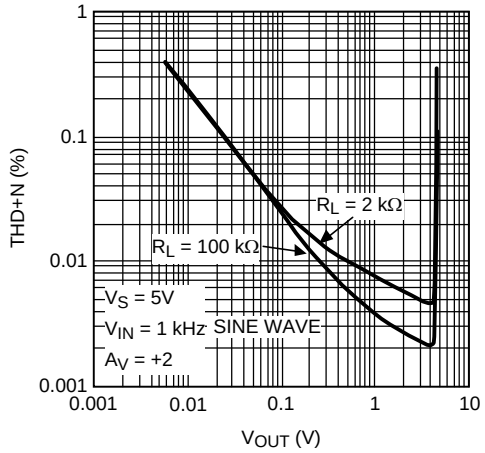


图 **25. THD+N** 与 **V_{OUT}** 间的关系

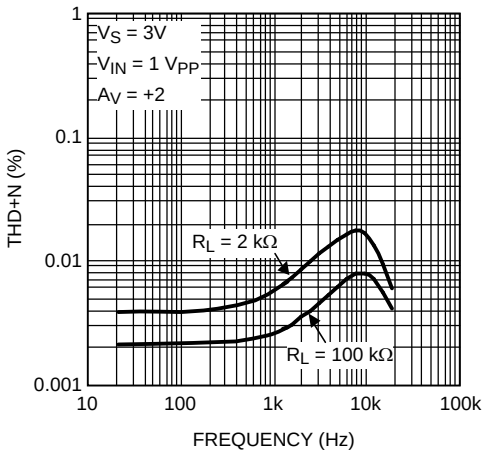


图 **26. THD+N** 与频率间的关系

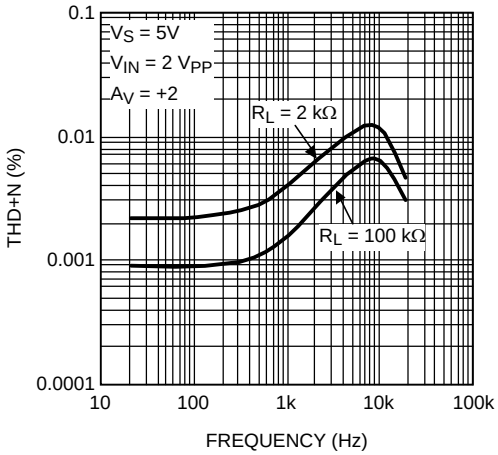


图 **27. THD+N** 与频率间的关系

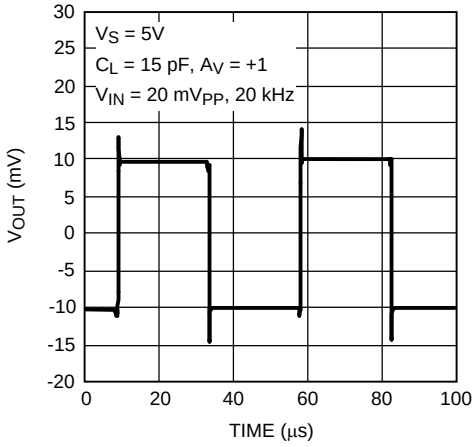


图 **28.** 小信号瞬态响应

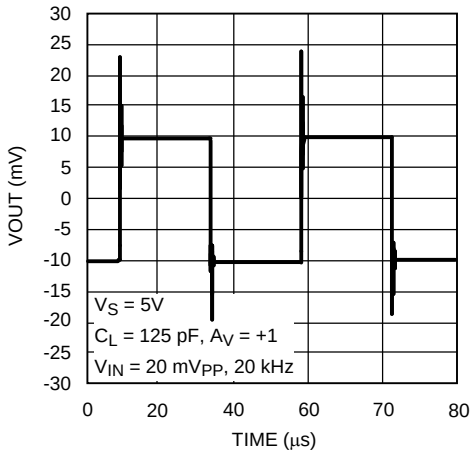


图 **29.** 小信号瞬态响应

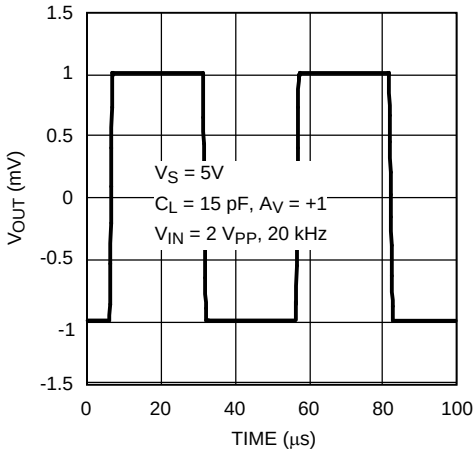


图 **30.** 大信号瞬态响应

典型特性 (接下页)

除非另有说明，否则 T_A= 25°C，V_S= 5V，V^+= 5V，V^-= 0V，V_{CM}= V_S/2

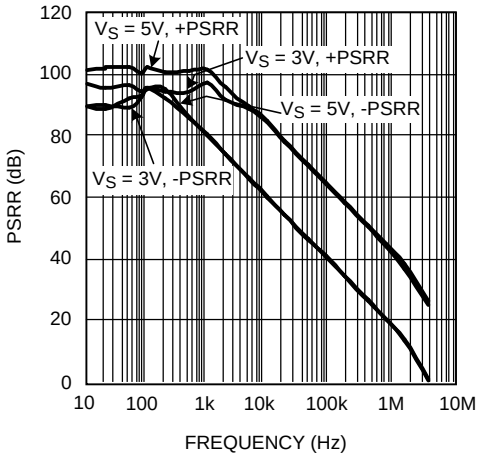


图 **31. PSRR** 与频率间的关系

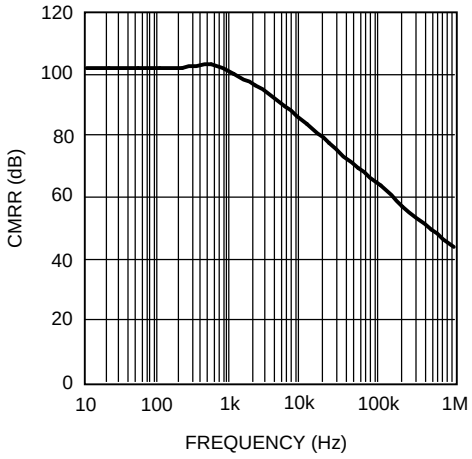


图 **32. CMRR** 与频率间的关系

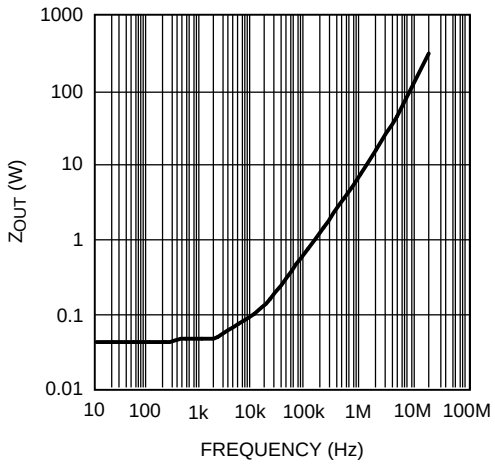


图 **33.** 闭环输出阻抗与频率间的关系

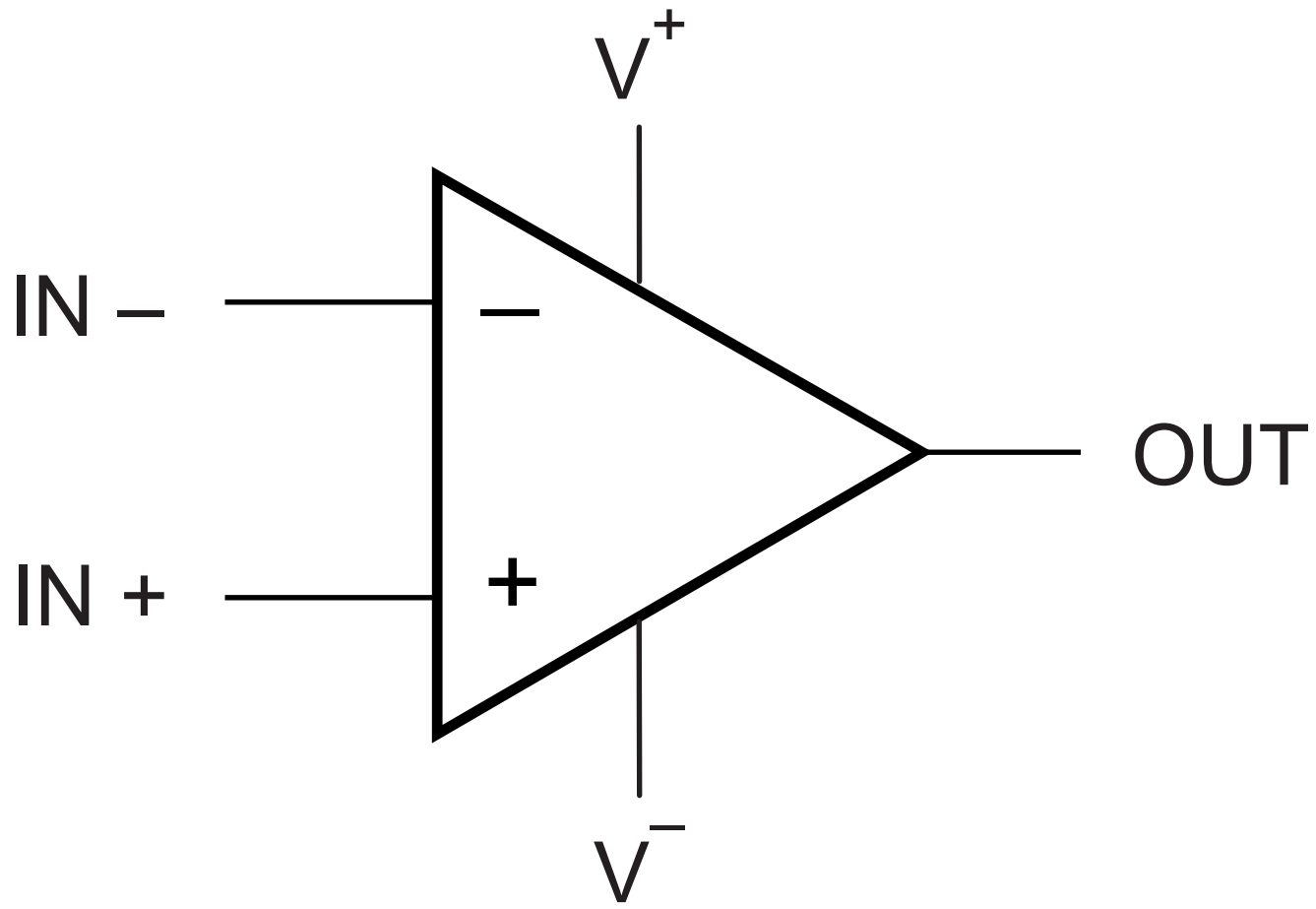
版权 © 2005–2016, Texas Instruments Incorporated

7 详细 说明

7.1 概述

TI 的 LMV65x 器件具有 12MHz 带宽和单位增益稳定性，且仅消耗 116μA 的电流。这些器件还具有 1.5mV 的最大输入失调电压、轨至轨输出级以及包括接地端在内的输入共模电压范围。最后，这些运算放大器的 PSRR 为 95dB，CMRR 为 100dB，在 1kHz 频率和 2kΩ 负载下的总谐波失真 (THD) 为 0.003%。

7.2 功能框图



Copyright © 2016,
Texas Instruments Incorporated

（每个放大器）

7.3 特性 说明

7.3.1 低电压和低功耗运行

在电源电压为 3V 和 5V 时，LMV65x 具有额定性能。这些器件在 2.7V 至 5.5V 之间的所有电源电压下均可正常工作。LMV651 消耗 116μA 的低电源电流，LMV652 消耗 118μA/通道的电流，而 LMV654 消耗 122μA/通道的电流。此系列运算放大器提供低电压和低功率放大功能，这对于便携式 应用至关重要。

特性 说明 (接下页)

7.3.2 宽带宽

尽管仅消耗 116μA 的极低电源电流，但 LMV65x 可以提供 12MHz 的宽单位增益带宽。这一数据轻而易举成就了有史以来实现的最佳带宽功率比之一，并让这些运算放大器能够在使用最小功率量的情况下提供宽带放大功能。因此，此系列器件非常适合低功耗信号处理 应用， 如便携式媒体播放器和其他附件。

7.3.3 低输入参考噪声

LMV65x 提供的平带输入基准电压噪声密度为 17nV/√Hz，这显著优于低功耗运算放大器的预期噪声性能。这些运算放大器还具有非常低的 1/f 噪声，1/f 噪声转角频率低至 4Hz。因此，这些器件非常适合那些需要良好噪声性能的低功耗 应用 ，如 PDA 和便携式传感器。

7.3.4 接地感应和轨至轨输出

LMV65x 每个器件均具有一个轨至轨输出级，这可提供尽可能最大的输出动态范围。这对于需要大输出摆幅的 应用尤其重要。此系列器件的输入共模范围包括负电源轨，允许在单电源供电时直接感应地面。

7.3.5 小型尺寸

LMV65x 采用小尺寸封装，可以节省印刷电路板空间，从而打造出更小、更紧凑的电子产品设计。信号源和运算放大器之间的较长迹线使得信号路径易受噪声的影响。通过使用物理上更小的封装，可将这些运算放大器放置在更靠近信号源的位置，从而降低噪声拾取、增强信号完整性。

7.4 器件功能模式

7.4.1 稳定性和容性负载

如果根据输出端的容性负载 (C_L) 描绘 LMV65x 的相位裕度，并且 C_L 增加到 100pF 以上，则可以看到相位裕度会显著减小。这是因为，运算放大器旨在为低电源电流提供尽可能最大的带宽。如果要稳定放大器以获得更高的容性负载，则需要急剧增加电源电流，或需要高容值内部补偿电容，而这会减少运算放大器带宽。因此，如果要使用这些器件来驱动更高的容性负载，必须对其进行外部补偿。

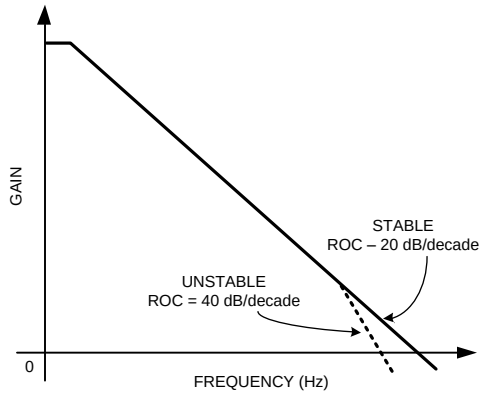


图 34. 运算放大器的增益与频率间的关系

理想情况下，运算放大器的主极点应接近直流，从而使其增益相对于频率以 20dB/十倍频的速率衰减。如果此衰减率（又称为接近率 (ROC)）在运算放大器的单位增益带宽之前保持不变，则说明此运算放大器是稳定的。但是，如果将大电容添加至运算放大器的输出端，则它将结合运算放大器的输出抗阻，从而在其单位增益频率之前在其频率响应中形成另一个极点（请参阅图 34）。这样一来，ROC 会提高至 40dB/十倍频，并引起不稳定。

版权 © 2005–2016, Texas Instruments Incorporated

器件功能模式 (接下页)

在这种情况下，可以使用一些技术来恢复电路的稳定性。所有这些方案背后的理念都是更改频率响应，以便可将 ROC 恢复到 20dB/十倍频，从而确保稳定性。

7.4.2 环路内补偿

图 35 展示了一种称为*环路内* 补偿的补偿技术，此技术在反馈环路中采用 RC 反馈电路来稳定同相放大器配置。一个低阻值串联电阻 R_S 用于隔离放大器输出和负载电容 C_L，同时还有一个低容值电容 C_F 插入到反馈电阻器上以便在出现较高频率时旁路掉 C_L。

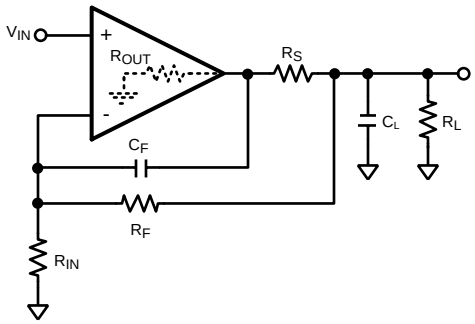


图 35. 环路内补偿

确定 R_S 和 C_F 值的方法是确保影响 C_F 的零点与影响 C_L 的极点处于同一频率。这可以确保通过零点的存在来补偿第二个极点对传递函数的影响，并且将 ROC 维持在 20dB/十倍频。对于图 35 中显示的电路，R_S 和 C_F 的值都由公式 1 给定。维持 C_L 不同值的稳定性所需的 R_S 和 C_F 的值，以及获得的相位裕度都显示在表 2 中。R_F 和 R_{IN} 取值为 10kΩ，R_L 为 2kΩ，而 R_{OUT} 取值为 340Ω。

$$R_S = \frac{R_{OUT}R_{IN}}{R_F}$$

$$C_F = \left(\frac{R_F + 2R_{IN}}{R_F^2}\right) C_L R_{OUT} \quad (1)$$

表 2. 环路补偿值

C_L (pF)	R_S (Ω)	C_F (pF)	相位裕度 (°)
150	340	15	39.4
200	340	20	34.6
250	340	25	31.1

尽管此方法可以为任何负载电容提供电路稳定性，但却以带宽为代价。电路的闭环带宽现在受限于 R_F 和 C_F。

7.4.3 外部电阻器补偿

在某些 应用中，在不影响带宽的情况下驱动容性负载至关重要。在这种情况下，环路内补偿不是可行方案。图 36 中显示了更简单的补偿方案。将电阻器 R_{ISO} 串联在负载电容和输出之间。这在电路传递函数中引入一个零点，可以抵消负载电容形成的极点的影响，并确保稳定性。确定要使用的 R_{ISO} 的值时应依据 C_L 的大小和需要的性能水平。从 5Ω 到 50Ω 的值通常都足以确保稳定性。较大的 R_{ISO} 值会让系统出现较少的振铃和过冲，但也会限制电路的输出摆幅和短路电流。

版权 © 2005–2016, Texas Instruments Incorporated

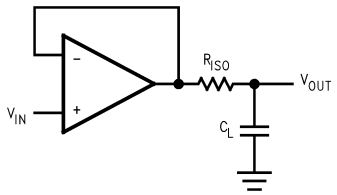


图 **36.** 隔离电阻器补偿

版权 © 2005–2016, Texas Instruments Incorporated

8 以下一些应用中

注

的应用和实现 信息 部分的信息不属于 TI 规格范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

凭借低电源电流、低功耗运行方式和低谐波失真，LMV65x 器件非常适合用于实现宽带宽、高增益放大。

8.2 典型 应用

8.2.1 高增益、低功耗反相放大器

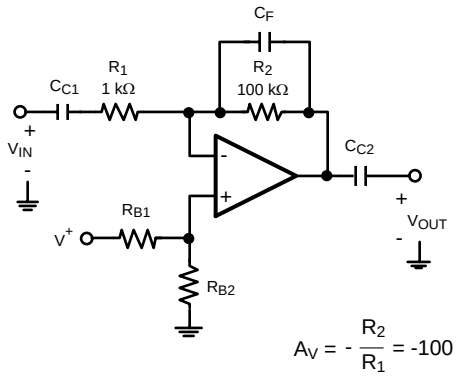


图 **37.** 高增益反相放大器

8.2.1.1 设计要求

由于具备宽单位增益带宽，因此这些器件可在广泛频率范围内提供较大增益，同时驱动低至 2kΩ 的负载，而失真率低于 0.003%。

8.2.1.2 详细设计流程

图 37 是反相放大器，具有 100kΩ 的反馈电阻器 R_2 和 1kΩ 的输入电阻器 R_1，并提供 −100 的增益。借助 LMV65x，这些电路可以凭借 120kHz 的 −3dB 带宽提供 −100 的增益，且静态电流低至 116μA。可以添加耦合电容器 C_{C1} 和 C_{C2} 来隔离电路和直流电压，而 R_{B1} 和 R_{B2} 提供直流偏置。还可以添加反馈电容器 C_F 来改善补偿。

版权 © 2005–2016, Texas Instruments Incorporated

典型 应用 (接下页)

8.2.1.3 应用曲线

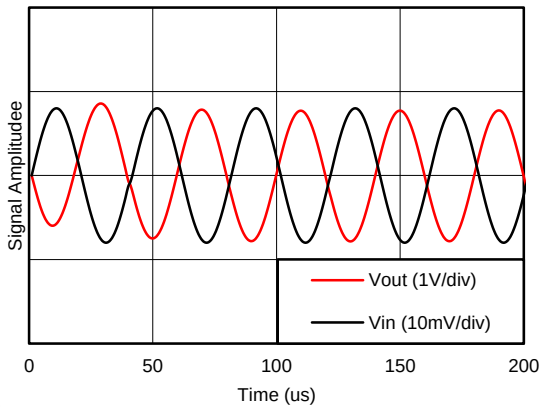


图 **38.** 高增益反相放大器结果

8.2.2 高增益、低功耗同相放大器

凭借低电源电流、低功耗运行方式和低谐波失真，LMV65x 器件非常适合用于实现宽带宽、高增益放大。由于具备宽单位增益带宽，因此这些器件可在广泛频率范围内提供较大增益，同时驱动低至 2kΩ 的负载，而失真率低于 0.003%。图 39 是增益为 1001 的同相放大器，能够凭借 12kHz 的 −3dB 带宽提供该增益，且具有类似的低静态功耗。借助 LMV65x，这些电路可以凭借 120kHz 的 −3dB 带宽提供 −100 的增益，且静态电流低至 116μA。可以添加耦合电容器 C_{C1} 和 C_{C2} 来隔离电路和直流电压，而 R_{B1} 和 R_{B2} 提供直流偏置。还可以添加反馈电容器 C_F 来改善补偿。

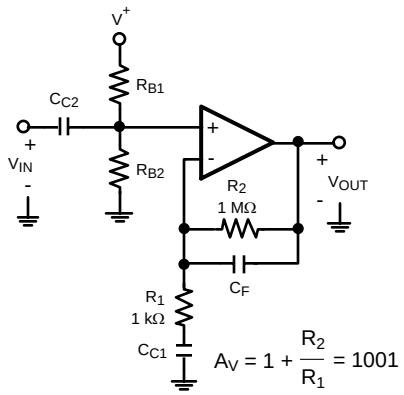


图 **39.** 高增益同相放大器

8.2.3 有源滤波器

凭借 12MHz 的宽单位增益带宽、低输入参考噪声密度和低电源电流等特性，LMV65x 器件非常适合低功耗滤波 应用。有源滤波器拓扑结构（如图 40 中所示的 Sallen-Key 低通滤波器）具有广泛用途，可用于设计各种滤波器（切比雪夫、巴特沃斯或贝塞耳）。特别是 Sallen-Key 拓扑结构可用于通过使用正反馈来抑制不需要的频率范围，从而获得大范围的 Q。

版权 © 2005–2016, Texas Instruments Incorporated

典型 应用 (接下页)

在图 40 所示的电路中，两个电容器在较低频率下表现为开路，并且信号直接缓冲到输出端。在高频率时，电容器表现为短路，并且信号在被放大之前由其中一个电容器分流到接地端。在电容阻抗与 R_g 和 R_f 数量级相同的截止频率附近，通过另一个电容器提供的正反馈可以使电路达到所需的 Q 值。两个电阻器的比值 m^2 提供了一种旋钮机制来控制所获得的 Q 值。

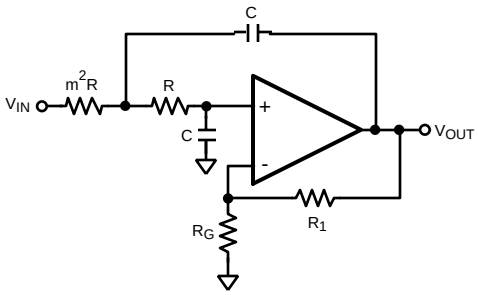


图 40. Sallen-Key 低通滤波器

8.3 注意事项

应正确旁路掉电源。

在驱动容性负载（尤其是电缆、多路复用器和 ADC 输入）时，应向输出端添加串联电阻。

如果输入电压预计会超过电源电压，则应添加串联限流电阻器和外部肖特基钳位二极管。将电流限制为 1mA 或更小 (1kΩ/V)。

9 电源相关建议

为了正确运行，必须适当地对电源进行去耦。为了对电源线进行去耦，TI 建议将 10nF 电容器尽可能靠近运算放大器电源引脚放置。对于单电源，应在 V^+ 和 V^- 电源引线之间放置一个电容器。对于双电源，应在 V^+ 和接地端之间放置一个电容器，并在 V^- 和接地端之间放置一个电容器。

10 布局

10.1 布局指南

为了正确旁路掉电源，需要考虑印刷电路板上的多个位置。必须
在放大器的电源被引入电路板的位置放置一个 6.8μF 或更大的钽电容器。必须在尽可能靠近放大器电源引脚的位置放置另一个 0.1μF 的陶瓷电容器。如果放大器在单电源供电的情况下工作，则只需要使用 0.1μF 的电容器旁路掉 V^+ 引脚。如果放大器在双电源供电的情况下工作，则 V^+ 和 V^- 引脚都必须旁路掉。

最好在印刷电路板上使用接地平面为所有组件提供低电感接地连接。

建议在 LMV651-N 应用电路中使用 0805 或更小尺寸的表面贴装组件。设计人员可以利用 VSSOP 微型尺寸来缩小电路板布局以便节省空间并减少杂散电容。

10.2 布局示例

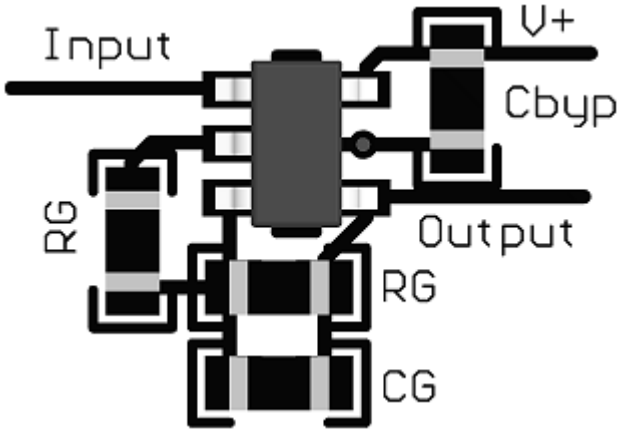


图 **41. LMV65x** 布局示例

版权 © 2005–2016, Texas Instruments Incorporated

11 器件和文档支持

11.1 器件支持

11.1.1 开发支持

LMV651 PSPICE 模型 http://www.ti.com/lit/zip/snom064

LMV652 PSPICE 模型 http://www.ti.com/lit/zip/snom065

LMV654 PSPICE 模型 http://www.ti.com/lit/zip/snom066

TINA-TI 基于 SPICE 的模拟仿真程序，http://www.ti.com.cn/tool/cn/tina-ti

DIP 适配器评估模块，http://www.ti.com.cn/tool/cn/dip-adapter-evm

TI 通用运行放大器评估模块，http://www.ti.com.cn/tool/cn/opampevm

TI Filterpro 软件，http://www.ti.com.cn/tool/cn/filterpro

11.2 文档支持

11.2.1 相关文档

有关其他 应用，请参阅以下文档：

《AN-31 运算放大器电路集合》，SNLA140

11.3 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件以及申请样片或购买产品的快速访问链接。

表 **3.** 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
LMV651	单击此处	单击此处	单击此处	单击此处	单击此处
LMV652	单击此处	单击此处	单击此处	单击此处	单击此处
LMV654	单击此处	单击此处	单击此处	单击此处	单击此处

11.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 《使用条款》。

TI E2E™ 在线社区 ***TI 的工程师对工程师 (E2E) 社区。*** 此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 ***TI 参考设计支持*** 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

11.5 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

11.6 静电放电警告

这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

版权 © 2005–2016, Texas Instruments Incorporated

11.7 术语表

SLYZ022 — *TI 术语表*。

这份术语表列出并解释术语、缩写和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请参阅左侧的导航栏。

版权 © 2005–2016, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMV651MF/NOPB	Active	Production	SOT-23 (DBV) | 5	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AY2A
LMV651MF/NOPB.A	Active	Production	SOT-23 (DBV) | 5	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AY2A
LMV651MFX/NOPB	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AY2A
LMV651MFX/NOPB.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AY2A
LMV651MG/NOPB	Active	Production	SC70 (DCK) | 5	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	A93
LMV651MG/NOPB.A	Active	Production	SC70 (DCK) | 5	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	A93
LMV651MGX/NOPB	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	A93
LMV651MGX/NOPB.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	A93
LMV652MM/NOPB	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AB3A
LMV652MM/NOPB.A	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AB3A
LMV652MMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AB3A
LMV652MMX/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AB3A
LMV654MT/NOPB	Active	Production	TSSOP (PW) | 14	94 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV65 4MT
LMV654MT/NOPB.A	Active	Production	TSSOP (PW) | 14	94 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV65 4MT
LMV654MTX/NOPB	Active	Production	TSSOP (PW) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV65 4MT
LMV654MTX/NOPB.A	Active	Production	TSSOP (PW) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMV65 4MT

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

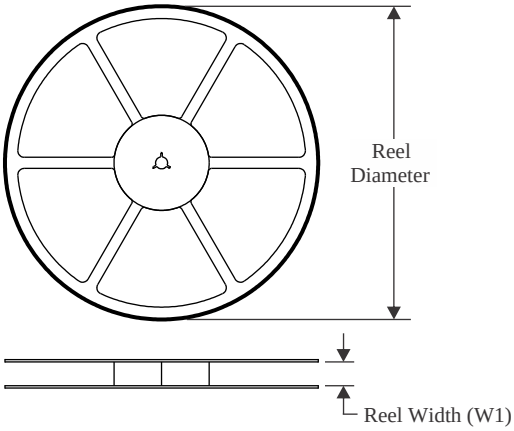
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

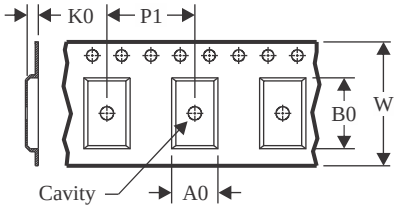
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

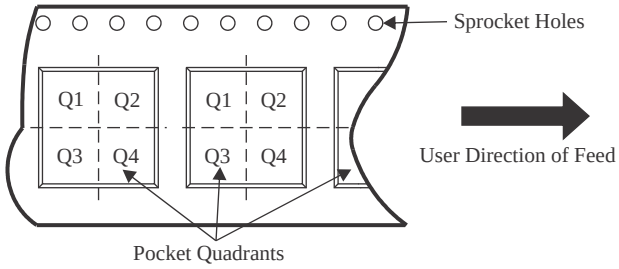


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

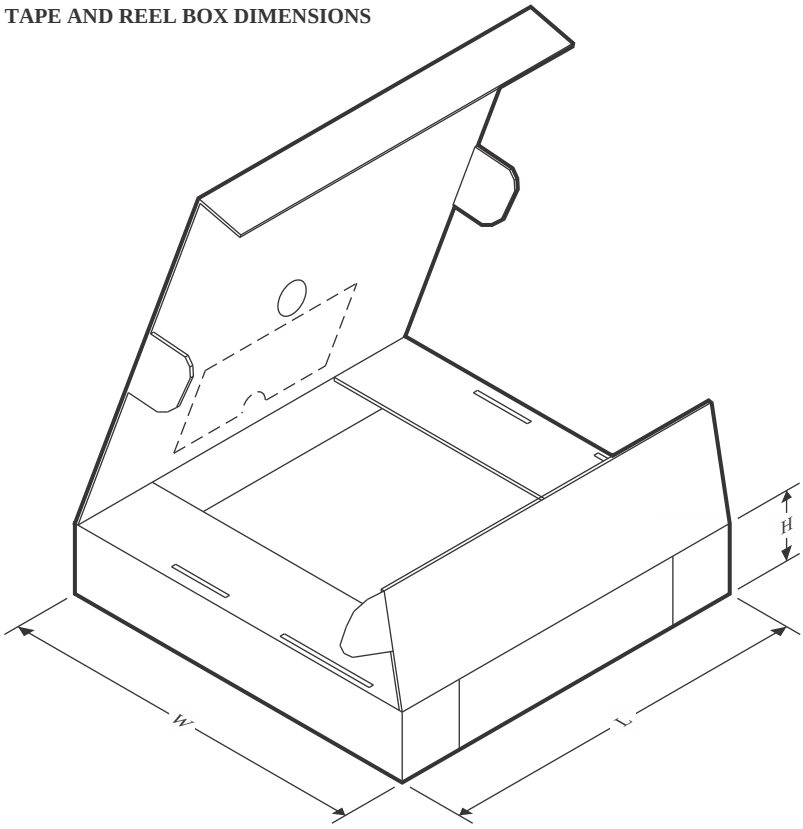
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV651MF/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV651MFX/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV651MG/NOPB	SC70	DCK	5	1000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV651MGX/NOPB	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV652MM/NOPB	VSSOP	DGK	8	1000	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV652MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV654MTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

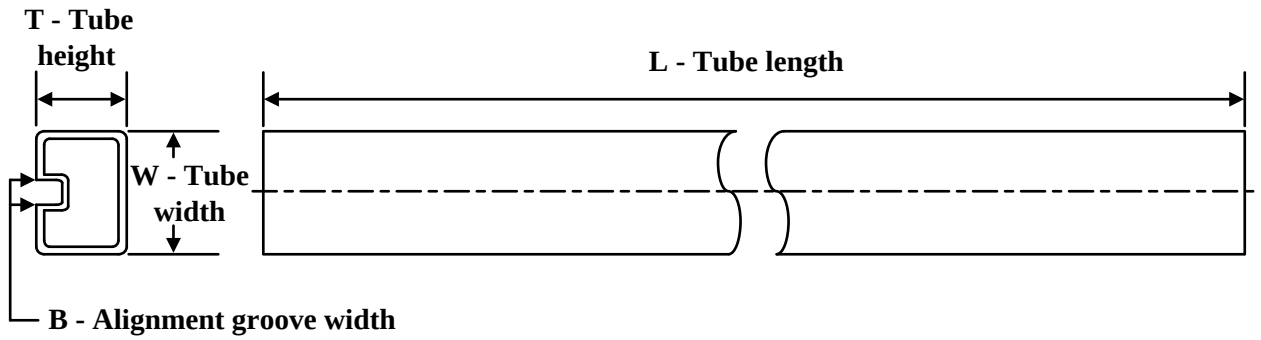
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV651MF/NOPB	SOT-23	DBV	5	1000	208.0	191.0	35.0
LMV651MFX/NOPB	SOT-23	DBV	5	3000	208.0	191.0	35.0
LMV651MG/NOPB	SC70	DCK	5	1000	208.0	191.0	35.0
LMV651MGX/NOPB	SC70	DCK	5	3000	208.0	191.0	35.0
LMV652MM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMV652MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMV654MTX/NOPB	TSSOP	PW	14	2500	367.0	367.0	35.0

TUBE



*All dimensions are nominal

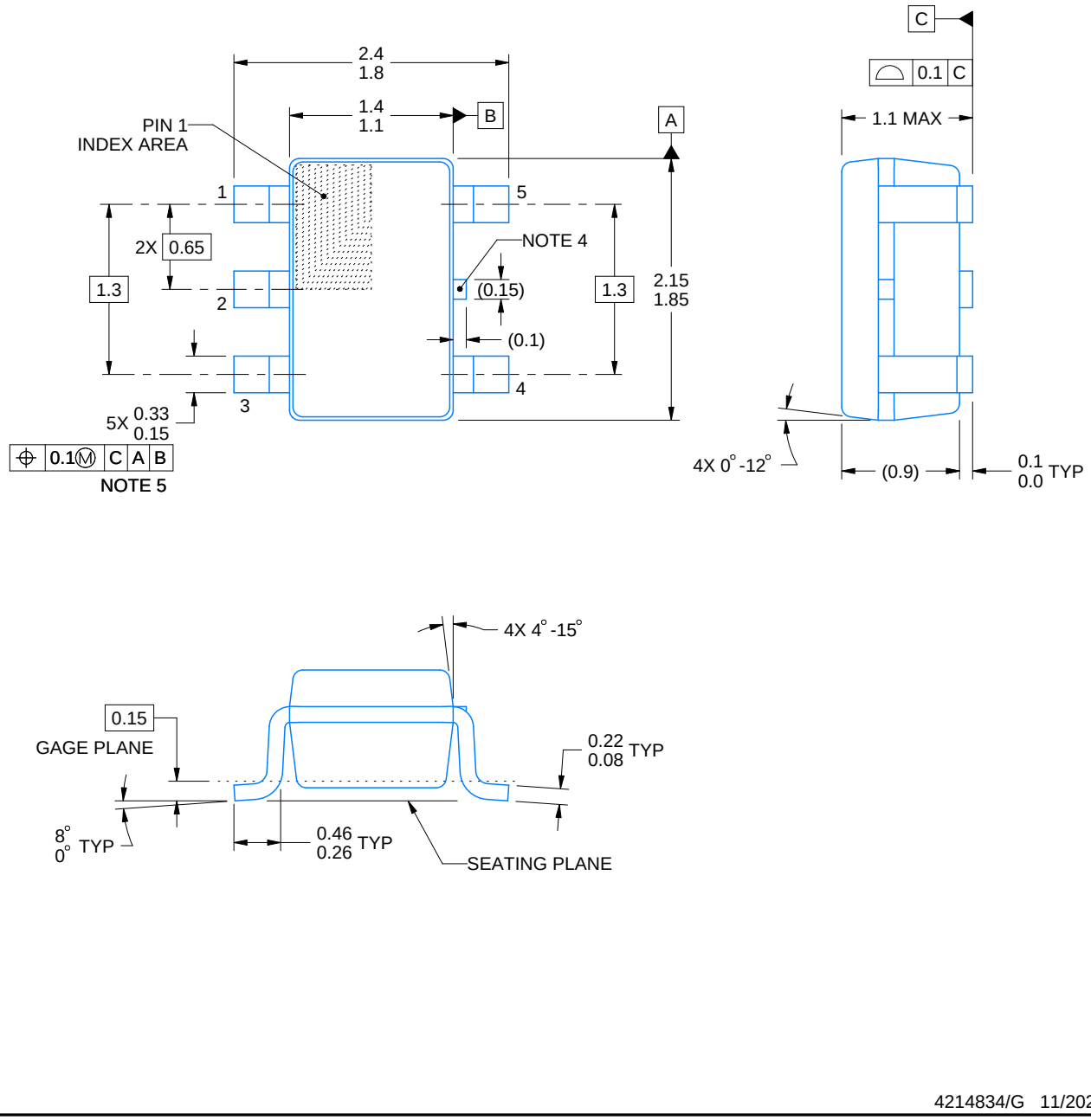
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LMV654MT/NOPB	PW	TSSOP	14	94	495	8	2514.6	4.06
LMV654MT/NOPB.A	PW	TSSOP	14	94	495	8	2514.6	4.06

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

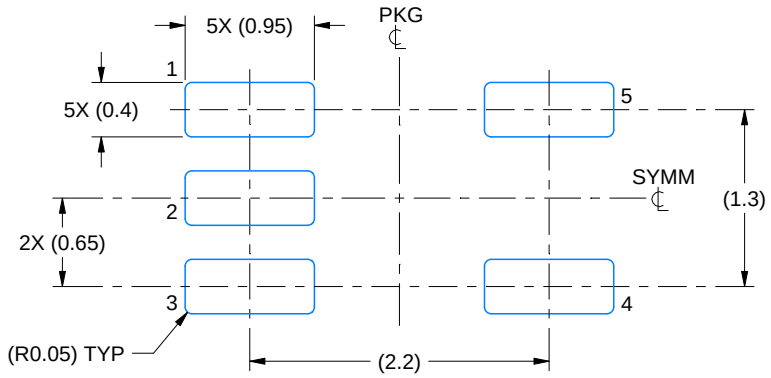
SMALL OUTLINE TRANSISTOR



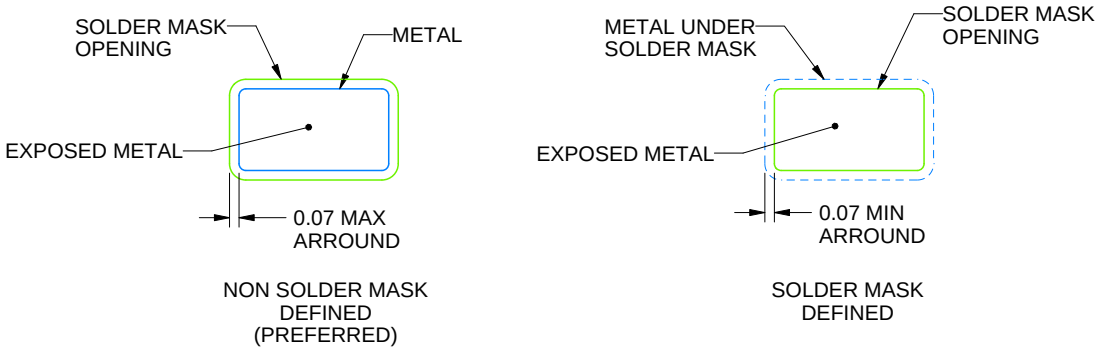
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

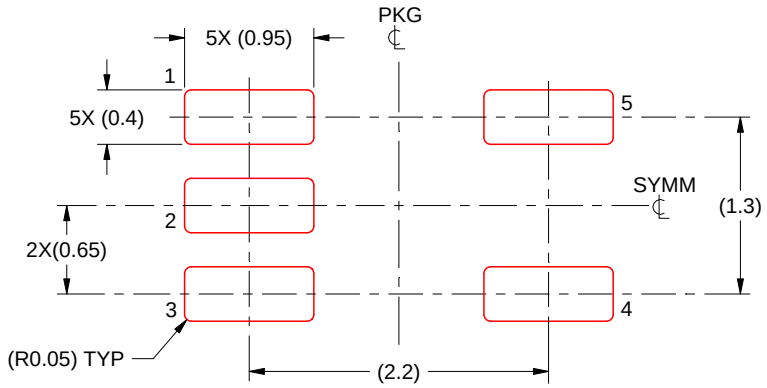


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

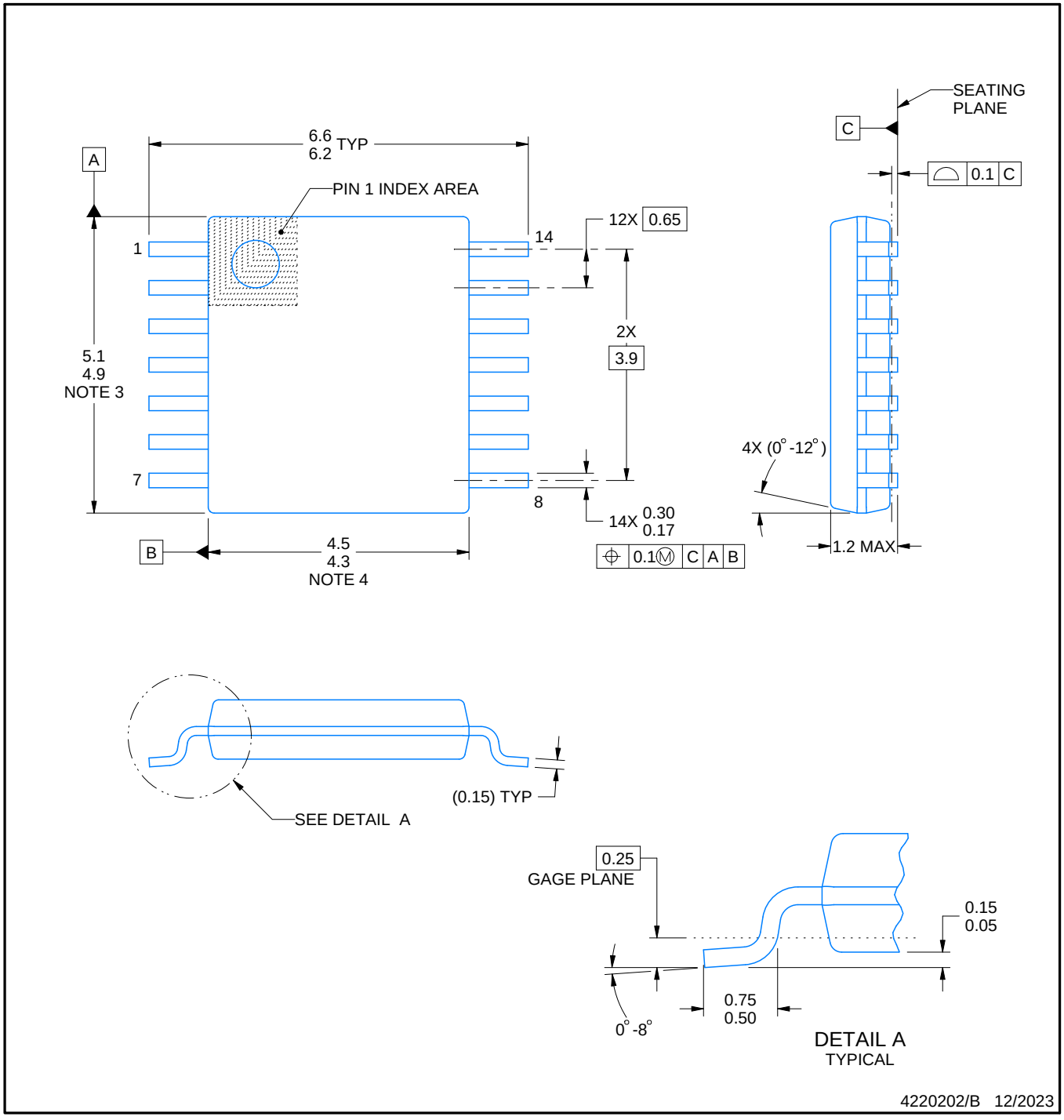
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

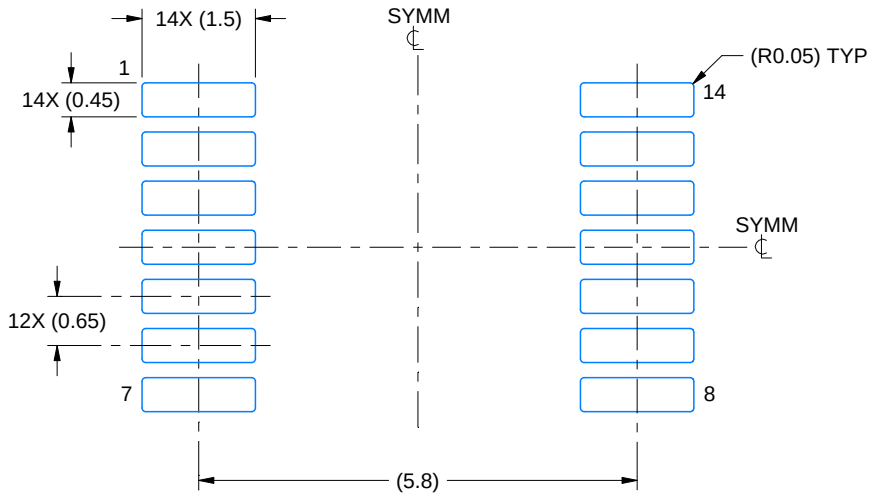
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

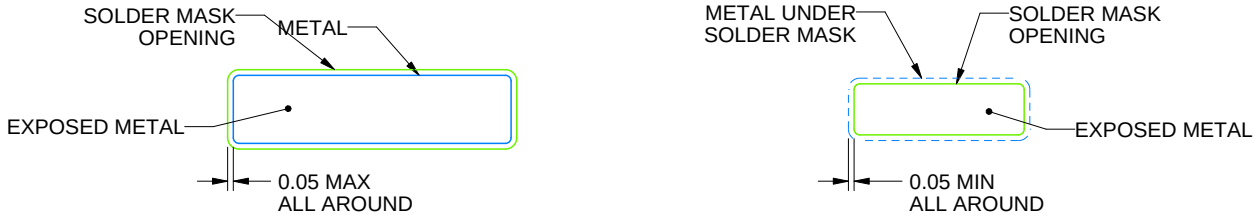


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

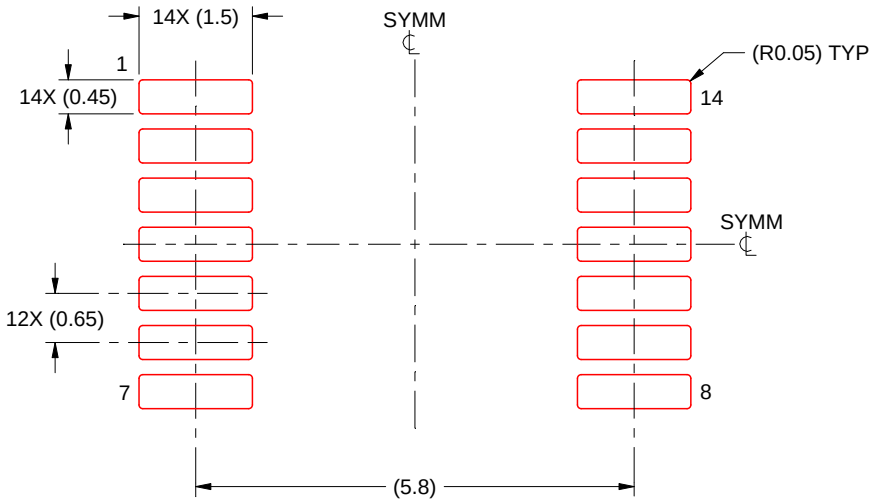


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

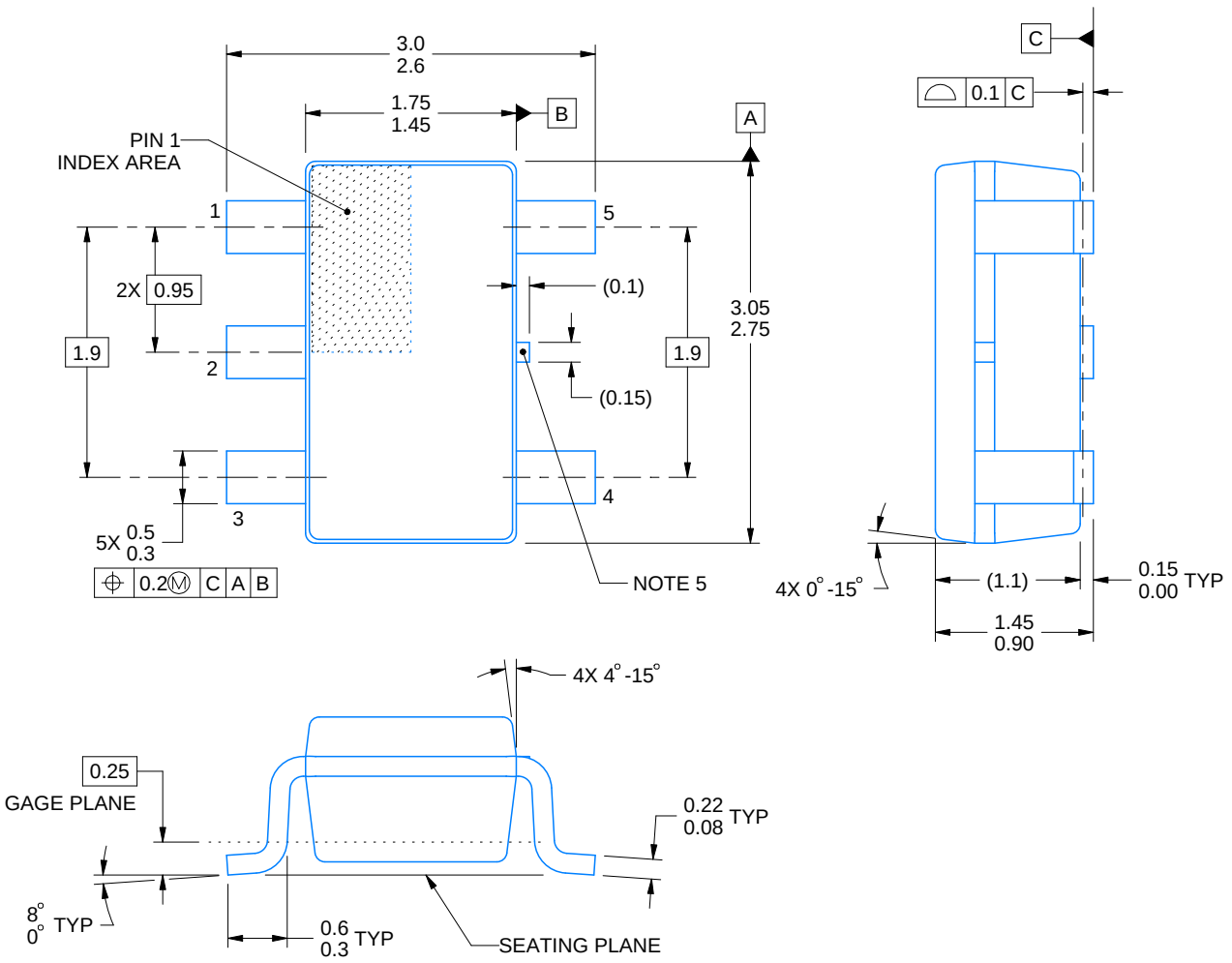
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

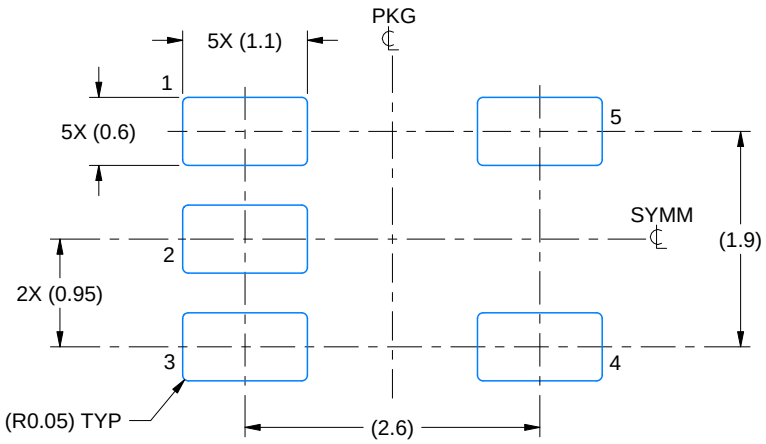
SMALL OUTLINE TRANSISTOR



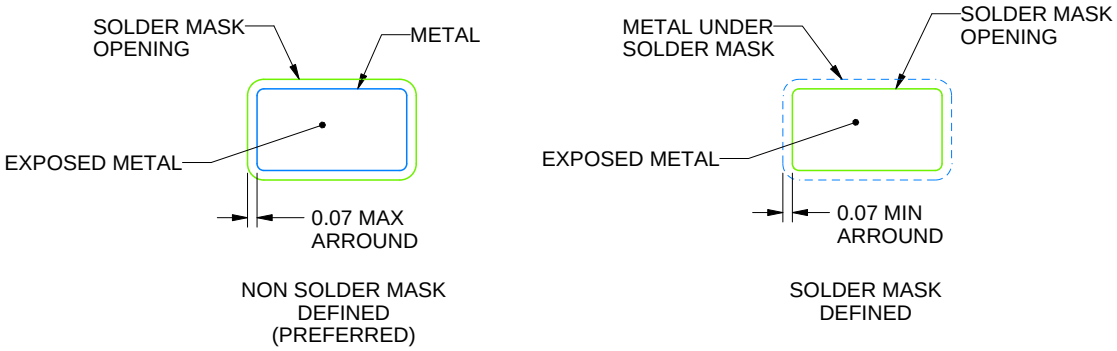
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

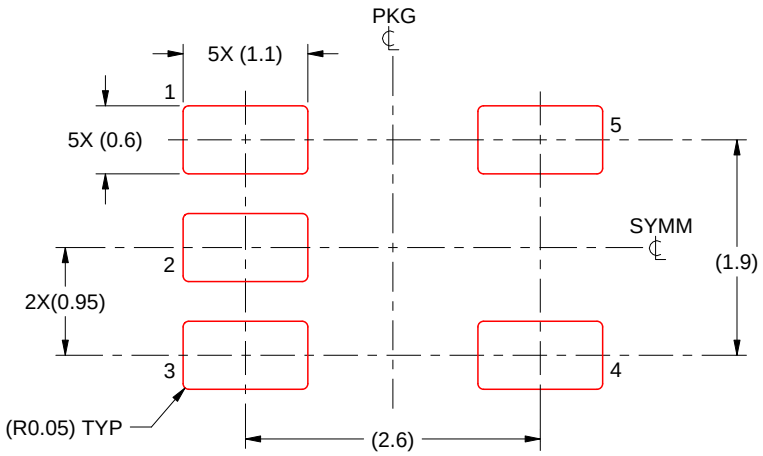


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

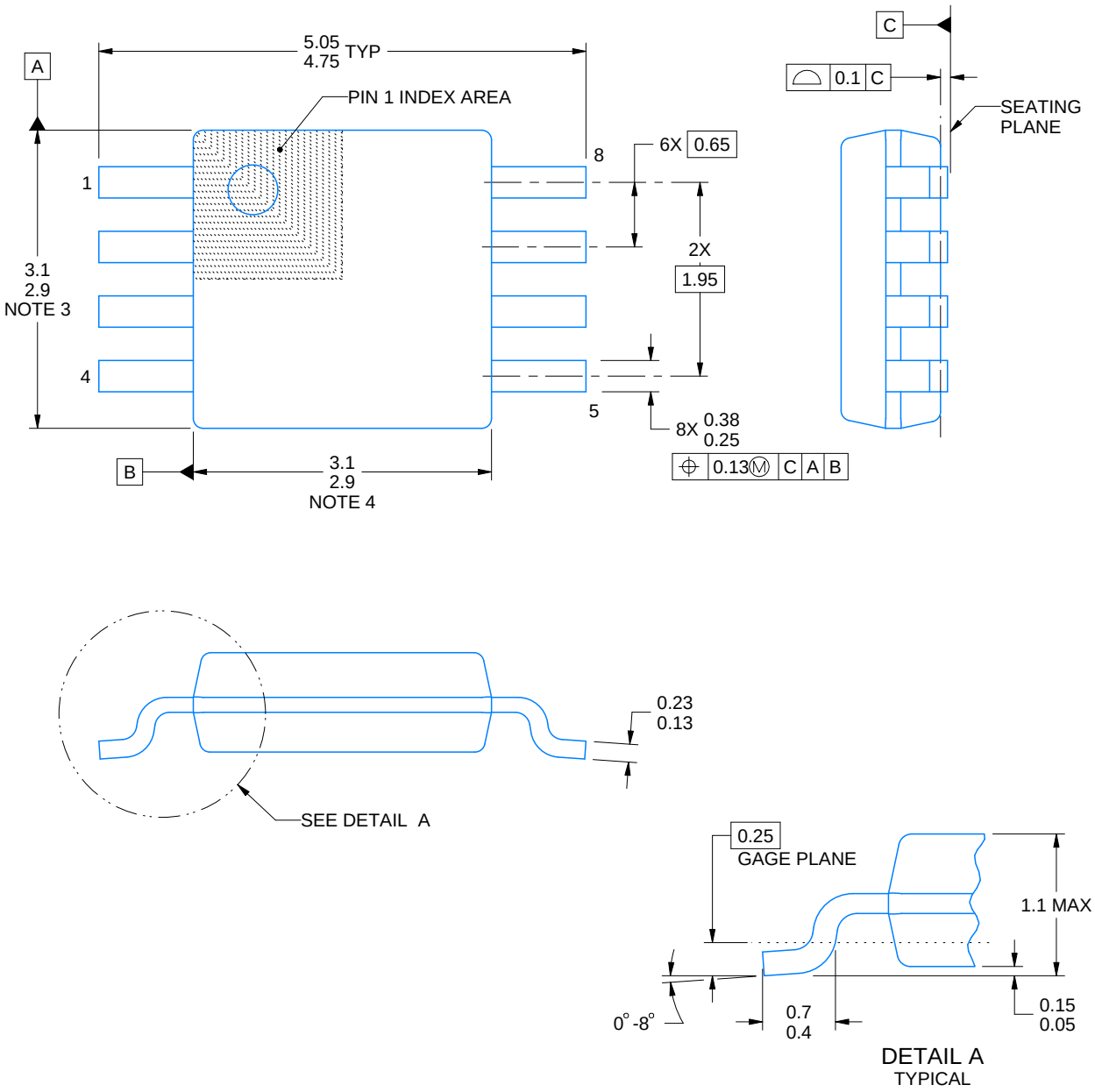
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

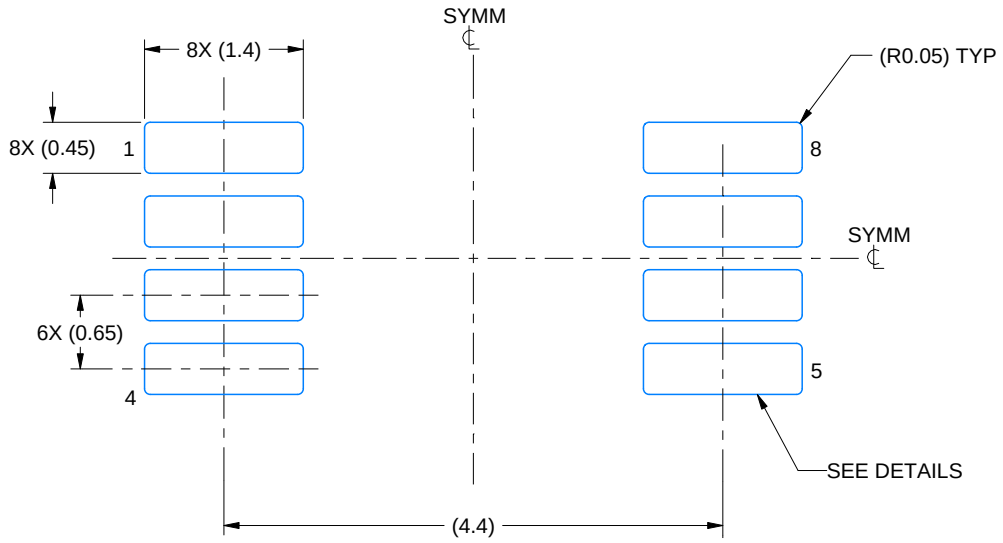
SMALL OUTLINE PACKAGE



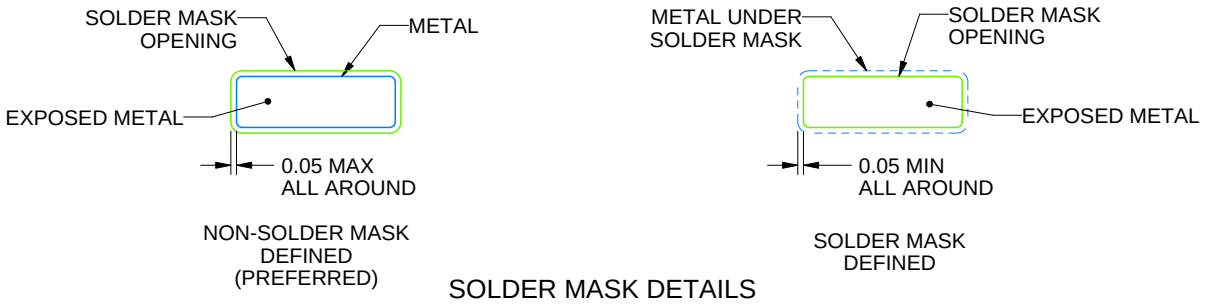
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

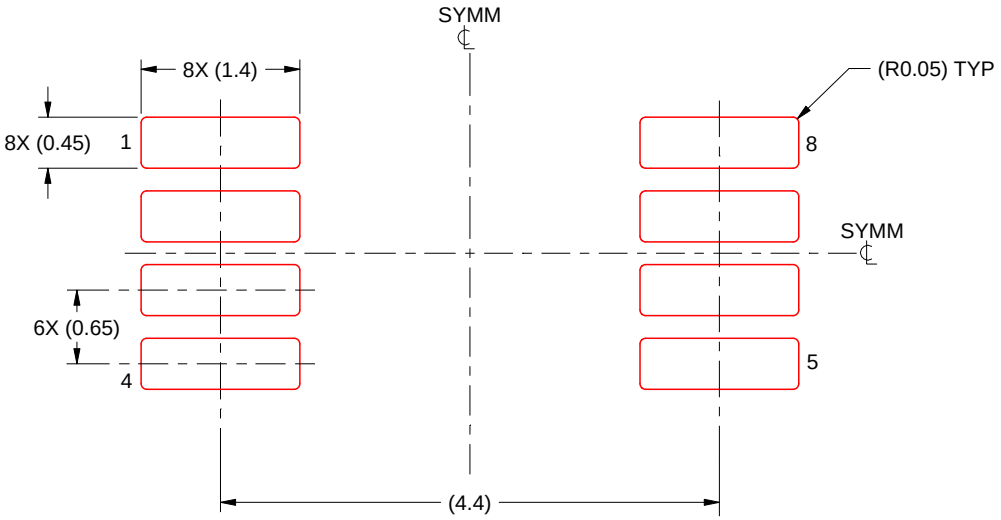


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月