LMR66430-EP 36V、3A、超小型同步降压转换器

1 特性

- 宽输入电压范围
  - 3.35V 至 36V 上升沿
  - 2.7V 至 36V 下降沿
  - 绝对最大值为 42V
- 集成 132mΩ 和 75mΩ MOSFET
- 经优化可满足低 EMI 要求：
  - 双随机展频可降低峰值发射
  - 引脚可选 FPWM 模式可在轻负载下实现恒定频率和通过 MODE/SYNC 引脚实现 F_{SW} 同步
  - 可调 F_{SW}：200kHz 至 2.2MHz（采用 RT 引脚）
- 微型设计尺寸和低元件成本：
  - 具有可湿性侧面和内部无铅焊接的 2.6mm × 2.6mm 增强型 HotRod™ QFN 封装
  - 内部控制环路补偿

2 应用

- 支持国防和航空航天应用
  - 受控基线
  - 一个封装测试厂
  - 一个制造基地
  - 结温支持（–55ºC 至 150ºC）温度范围
  - 延长了产品生命周期
  - 延长了产品变更通知
  - 产品可追溯性
- 医疗
- 测试和测量
- 电机驱动器

3 说明

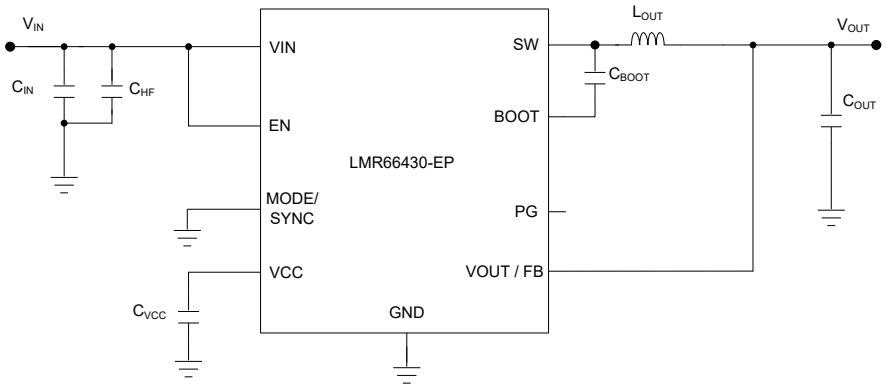
LMR66430-EP 是一款采用增强型 HotRod QFN 封装的小型 36V、3A 同步直流/直流降压转换器。该易于使用的转换器支持 2.7V 至 36V 的宽输入电压范围（启动后或运行后），并支持高达 42V 的瞬态电压。

LMR66430-EP 是专为满足常开型应用的低待机功耗要求而设计的。该器件以自动模式在轻负载下运行时会进行频率折返，从而实现高轻负载效率。脉宽调制 (PWM) 和脉冲频率调制 (PFM) 模式之间的无缝转换以及超低的 MOSFET 导通电阻可确保在整个负载范围内实现出色的效率。控制架构（峰值电流模式）和功能集非常适合具有超小输出电容的超小设计尺寸。该器件使用双随机展频 (DRSS)、低 EMI 增强型 HotRod QFN 封装和经过优化的引脚排列，更大程度地减小了输入滤波器尺寸。MODE/SYNC 和 RT 引脚型号可用于设置或同步频率，以避开噪声敏感频带。关键高电压引脚之间有 NC 引脚，可减少引脚之间的潜在短路。LMR66430-EP 丰富的功能集旨在简化各种工业终端设备的实施。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMR66430-EP	RXB（VQFN-FCRLF，14）	2.6mm × 2.6mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较表.....3
5 引脚配置和功能.....4
6 规格.....5
6.1 绝对最大额定值.....5
6.2 ESD 等级.....5
6.3 建议运行条件.....5
6.4 热性能信息.....6
6.5 电气特性.....6
6.6 典型特性.....8
7 详细说明.....9
7.1 概述.....9
7.2 功能方框图.....10
7.3 特性说明.....11
7.4 器件功能模式.....19
8 应用和实施.....25
8.1 应用信息.....25
8.2 典型应用.....26
8.3 最佳设计实践.....34
8.4 电源相关建议.....34
8.5 布局.....34
9 器件和文档支持.....37
9.1 器件支持.....37
9.2 文档支持.....37
9.3 接收文档更新通知.....37
9.4 支持资源.....37
9.5 商标.....37
9.6 静电放电警告.....38
9.7 术语表.....38
10 修订历史记录.....38
11 机械、封装和可订购信息.....39
11.1 卷带包装信息.....39

Copyright © 2024 Texas Instruments Incorporated

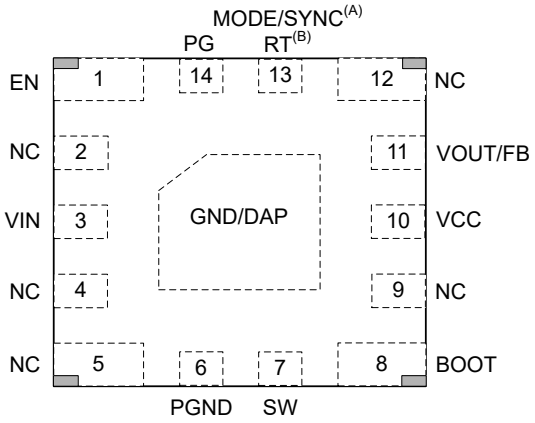
4 器件比较表

可订购器件型号(1)	输出电流	输出电压	外部同步	F_{SW}	内部电容器	展频
LMR66430MB3RXBRNEP	3A	3.3V 固定/可调节	是（PFM/FPWM 可选）	固定 1MHz	否	是
LMR66430R3RXBRNEP	3A	3.3V 固定/可调节	否（轻负载时默认为 PFM）	可通过 RT 电阻器调节	否	否

(1) 有关器件可订购器件型号的更多信息，请参阅*器件命名规则*。

Copyright © 2024 Texas Instruments Incorporated

5 引脚配置和功能



A. 引脚 13 出厂设置仅适用于固定开关频率 MODE/SYNC 型号。

B. 请参阅*器件比较表*，了解更多详细信息。引脚 13 经出厂设置，仅适用于外部可调开关频率 RT 型号。

图 5-1. RXB 14 引脚 (2.6mm × 2.6mm) 增强型 HotRod™ VQFN-FCRLF 封装（顶视图）

表 5-1. 引脚功能

引脚		类型	说明
名称	编号		
EN/UVLO	1	A	使能输入到稳压器。高电平 = 开启，低电平 = 关闭。可直接连接至 VIN。*请勿将该引脚悬空。*
NC	2	—	没有与器件的内部电路连接
VIN	3	P	到稳压器的输入电源。必须在此引脚和 PGND 之间直接添加优质旁路电容器。
NC	4	—	没有与器件的内部电路连接
NC	5	—	没有与器件的内部电路连接
PGND	6	G	电源接地端子。连接到系统地。用短而宽的布线连接到 C_{IN}。
SW	7	P	稳压器开关节点。连接到功率电感器。
BOOT	8	P	内部高侧驱动器的自举电源电压。该引脚和 SW 之间需要一个外部 0.1µF 16V 电容器。
NC	9	—	没有与器件的内部电路连接
VCC	10	A	内部 LDO 输出。用作内部控制电路的电源。不要连接至外部负载。可用作电源正常标志的逻辑电源。在该引脚和 GND 之间连接一个 1µF 优质电容器。
VOUT/FB	11	A	VOUT/FB 引脚型号提供固定输出选项和可调输出选项。连接到输出电压节点以提供固定 V_{OUT}。请参阅*节 7.3.7*，了解如何选择反馈电阻分压器值。请参阅*器件比较表*，了解更多详细信息。FB 功能可用于调节输出电压。连接到反馈分压器的接触点。*请勿将该引脚悬空。*
NC	12	—	没有与器件的内部电路连接
RT 或 MODE/SYNC	13	A	对于 *RT 型号*，该器件可在 200kHz 至 2.2MHz 范围内调节开关频率。 对于 *MODE/SYNC 型号*，该器件可在用户可选的 PFM/FPWM 模式下工作，并可与外部时钟同步。*请勿将该引脚悬空。*
PG	14	A	开漏电源正常标志输出。通过限流电阻器连接到合适的电压电源。高电平 = 电源正常，低电平 = 电源不良。当 EN = 低电平时，该引脚变为低电平。该引脚在不使用时可以开路或接地。
GND/DAP	—	G	封装的散热焊盘。必须焊接以实现适当的耗散。必须连接到 GND。
A = 模拟，P = 电源，G = 地			

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在建议的工作结温范围内(1)

参数		最小值	最大值	单位
电压	VIN 至 GND	-0.3	42	V
电压	SW 至 GND	-0.3	42.3	V
电压	BOOT 至 SW	-0.3	5.5	V
电压	VCC 至 GND	-0.3	5.5	V
电压	VOUT/FB 至 GND	-0.3	16	V
电压	SYNC/MODE 或 RT 至 GND	-0.3	5.5	V
电压	PG 至 GND	-0.3	20	V
电压	EN 到 GND	-0.3	42	V
温度	T_J，结温	-55	150	°C
温度	T_{stg}，贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±750	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在推荐的 -55°C 到 150°C 工作结温范围内测得（除非另外说明）

		最小值	最大值	单位
V_{IN}	启动所需的输入电压范围	3.35	36	V
	输入电压范围（启动后）	2.7	36	V
V_{OUT}	具有可调输出电压设置的输出电压范围	1	18	V
I_{OUT}	LMR66430-EP 连续直流输出电流范围	0	3	A
T_J	工作结温	-55	150	°C

Copyright © 2024 Texas Instruments Incorporated

6.4 热性能信息

此表中的 $R_{\theta JA}$ 值仅用于与其他封装的比较。这些值是根据 JESD 51-7 计算的，并在 4 层 JEDEC 板上进行了仿真。它们并不代表在实际应用中获得的性能。

热指标 (1)		LMR66430-EP VQFN 14 引脚	单位
$R_{\theta JA}$	结至环境热阻 (JEDEC)	66.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	53.6	°C/W
$R_{\theta JB}$	结至电路板热阻	26.2	°C/W
Ψ_{JT}	结至顶部特征参数	3.3	°C/W
Ψ_{JB}	结至电路板特征参数	25.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

6.5 电气特性

限制值适用于推荐的 -55°C 至 +150°C 工作结温范围，除非另有说明。最小和最大限制经过测试、设计和统计相关性分析确定。典型值表示 T_J = 25°C 条件下最有可能达到的参数标准，仅供参考。除非另有说明，以下条件适用：VIN = 13.5V，VOUT = 3.3V。

参数		测试条件	最小值	典型值	最大值	单位
电源电压（VIN 引脚）						
V_{INMIN}	启动的输入电压上升阈值	启动前	3.2	3.35	3.5	V
	输入电压下降阈值	运行后	2.45	2.7	3	V
$I_{SD(VIN)}$	VIN 引脚处的关断静态电流	EN = 0V		0.25	1	µA
I_{BIAS}	VOUT/FB 处的非开关输入电流	固定 3.3Vout，$V_{VOUT/FB}$ = 3.47V		4.2	6.5	µA
$I_{QVIN(nonsw)}$	非开关输入电流；在 VIN 引脚处测得(1)	固定 3.3V V_{OUT}，$V_{VOUT/FB}$ = 3.47V		1.2	2.3	µA
使能（EN 引脚）						
$V_{EN-WAKE}$	EN 唤醒阈值		0.5	0.7	1	V
$V_{EN-VOUT}$	V_{OUT} 的精密使能上升阈值		1.16	1.23	1.3	V
$V_{EN-HYST}$	使能迟滞低于 $V_{EN-VOUT}$		0.3	0.35	0.4	V
I_{LKG-EN}	使能引脚输入漏电流	V_{EN} = V_{IN} = 13.5V		10		nA
内部 LDO（VCC 引脚）						
V_{CC}	VCC 引脚输出电压	V_{FB} = 0V，I_{VCC} = 1mA	3.1	3.3	3.45	V
电压反馈（VOUT/FB 引脚）						
V_{OUT}	固定 V_{OUT} 的输出电压精度	3.3V V_{OUT}，V_{IN} = 3.6V 至 36V，FPWM 模式	3.27	3.3	3.32	V
V_{FB}	内部基准电压精度	V_{OUT} = 1V，V_{IN} = 3.0V 至 36V，FPWM 模式	0.99	1.00	1.01	V
$I_{FB(LKG)}$	FB 输入电流	可调配置，FB = 1V		10		nA
电流限值						
$I_{PEAKMAX}$	高侧峰值电流限值		3.8	4.4	5	A
I_{VALMAX}	低侧谷值电流限值		2.9	3.5	4	A
$I_{PEAKMIN}$	最小峰值电流限制	自动模式	0.45	0.69	0.95	A
I_{NEGMIN}	低侧谷值电流负限值	FPWM 模式	-1.5	-1.3	-1	A
I_{ZC}	过零电流限值	自动模式	30	80	135	mA
电源正常（PG 引脚）						
PG_{OV}	PG 上限阈值 - 上升	VOUT/FB %（固定或可调输出）	104	108	111	%
PG_{UV}	PG 上限阈值 - 下降	VOUT/FB %（固定或可调输出）	89	91	94.2	%

Copyright © 2024 Texas Instruments Incorporated

6.5 电气特性（续）

限制值适用于推荐的 -55°C 至 +150°C 工作结温范围，除非另有说明。最小和最大限制经过测试、设计和统计相关性分析确定。典型值表示 T_J = 25°C 条件下最有可能达到的参数标准，仅供参考。除非另有说明，以下条件适用：VIN = 13.5V，VOUT = 3.3V。

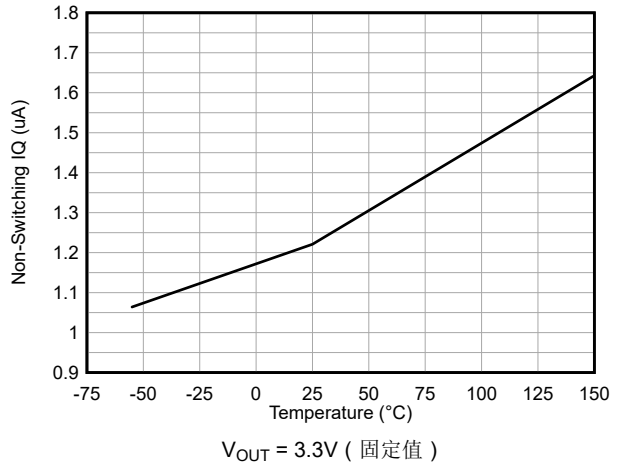
参数		测试条件	最小值	典型值	最大值	单位
PG_{HYST}	OV 的 PG 恢复迟滞	VOUT/FB 目标调节电压 %	1.7	2	2.3	%
	UV 的 PG 恢复迟滞	VOUT/FB 目标调节电压 %	1.9	3.3	4.6	%
V_{PG-VAL}	PG 功能的最小 V_{IN}	V_{EN} = 0V，R_{PG_PU} = 10kΩ			1.5	V
R_{PG}	PG 导通电阻	V_{EN} = 3.3V，200μA 上拉电流			100	Ω
R_{PG}	PG 导通电阻	V_{EN} = 0V，200μA 上拉电流			100	Ω
t_{RESET_FILTER}	PG 下降沿抗尖峰脉冲延迟		25	40	75	μs
t_{PG_ACT}	PG 高电平信号的延迟时间		1.35	2.5	4	ms
软启动						
t_{SS}	从设定点的第一个 SW 脉冲到 90% VOUT/FB 的时间		2	3.5	4.6	ms
t_{HICCUP}	重试软启动之前处于断续模式的时间		30	50	75	ms
振荡器（SYNC/MODE 引脚）						
$t_{PULSE_H_ATE}$	需要识别为有效时钟信号的高电平脉冲最小持续时间(2)				100	ns
$t_{PULSE_L_ATE}$	需要识别为有效时钟信号的低电平脉冲最小持续时间(2)				100	ns
t_{SYNC_THRESH}	要识别为有效时钟信号的高/低电平脉冲最大持续时间		6	9	12.5	μs
$F_{SW(1MHz)}$	1MHz 固定开关频率		900	1000	1060	kHz
V_{MODE_L}	SYNC/MODE 输入电压低电平阈值				1	V
V_{MODE_H}	SYNC/MODE 输入电压高电平阈值		1.65			V
振荡器（RT 引脚）						
$F_{SW(1MHz)}$	采用内部固定 1MHz 设置的开关频率	绑定到 V_{CC} 的 RT 引脚	900	1000	1060	kHz
$F_{SW(2p2MHz)}$	2.2MHz 固定开关频率	RT 引脚连接至 GND	2050	2200	2350	kHz
$F_{SW(Adj)}$	外部频率 (400kHz) 的精度	R_{RT} = 39.2kΩ 0.1% 电阻	340	400	460	kHz
开关节点						
t_{ON-MIN}	最短高侧开关导通时间	FPWM 模式 I_{OUT} = 1A，2.2MHz 固定		65	76	ns
$t_{OFF-MIN}$	最短高侧开关关断时间			60	85	ns
t_{ON-MAX}	最大高侧开关导通时间	压降中的 HS 超时	6	9	13	μs
功率级						
V_{BOOT_UVLO}	与 SW 相比 BOOT 引脚上的电压，将关闭高侧开关			2.1		V
$R_{DSON-HS}$	高侧 MOSFET 导通电阻	负载 = 1A		132	260	mΩ
$R_{DSON-LS}$	低侧 MOSFET 导通电阻	负载 = 1A		75	140	mΩ

(1) 这是器件开环使用的电流，并不代表稳压时系统的总输入电流。
(2) 高/低电平时钟脉冲持续时间必须等于或大于显示的值。

Copyright © 2024 Texas Instruments Incorporated

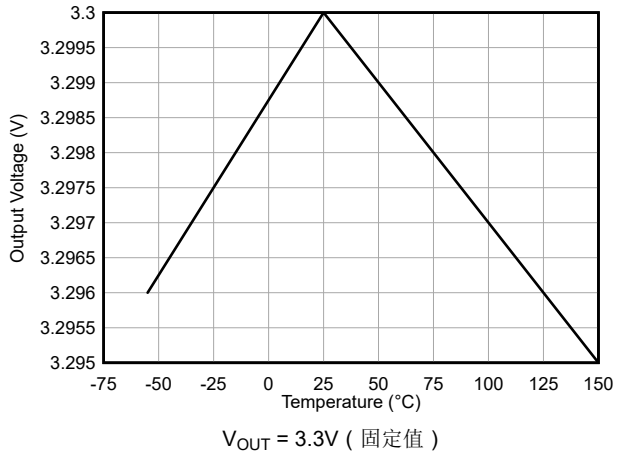
6.6 典型特性

除非另有说明，否则以下条件适用：T_A = 25°C，V_{IN} = 13.5V。



V_{OUT} = 3.3V（固定值）

图 6-1. 非开关输入电流 ($I_{QVIN(nonsw)}$) 与温度间的关系



V_{OUT} = 3.3V（固定值）

图 6-2. 输出电压精度与温度间的关系

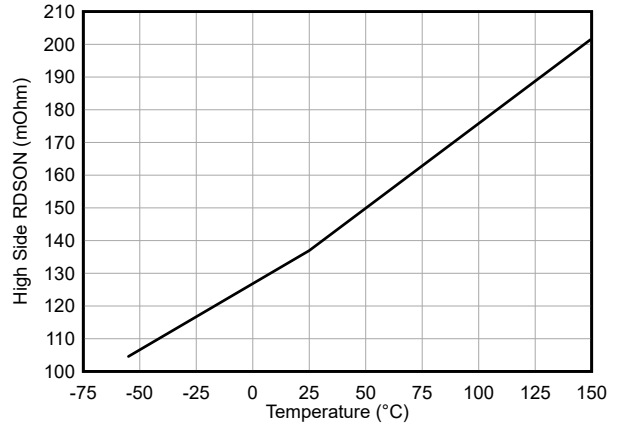


图 6-3. 高侧 MOSFET 导通电阻 ($R_{DSON-HS}$) 与温度间的关系

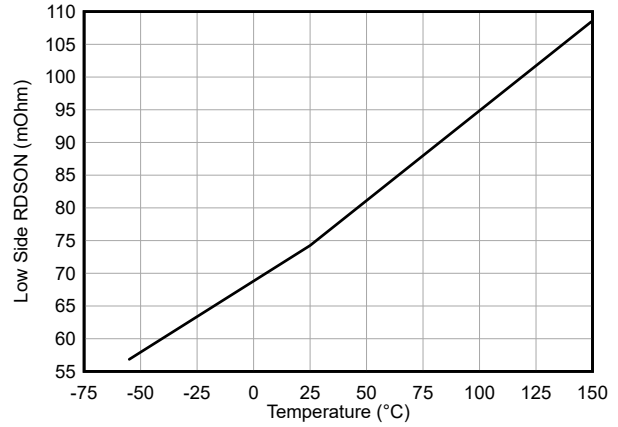


图 6-4. 低侧 MOSFET 导通电阻 ($R_{DSON-LS}$) 与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

7 详细说明

7.1 概述

LMR66430-EP 是一款宽输入、低静态电流、高性能稳压器，可在宽占空比和开关频率范围内运行，包括 AM 以下频带（400kHz 时）以及 AM 以上频带（2.2MHz 时）。在宽输入瞬态期间，如果最小导通时间或最小关断时间无法在较高的开关频率设置下支持所需的占空比，开关频率会自动降低，从而让器件保持输出电压调节。与市场上其他降压稳压器相比，器件针对最小输出电容器进行了优化的内部补偿设计，使系统设计过程得到显著简化。

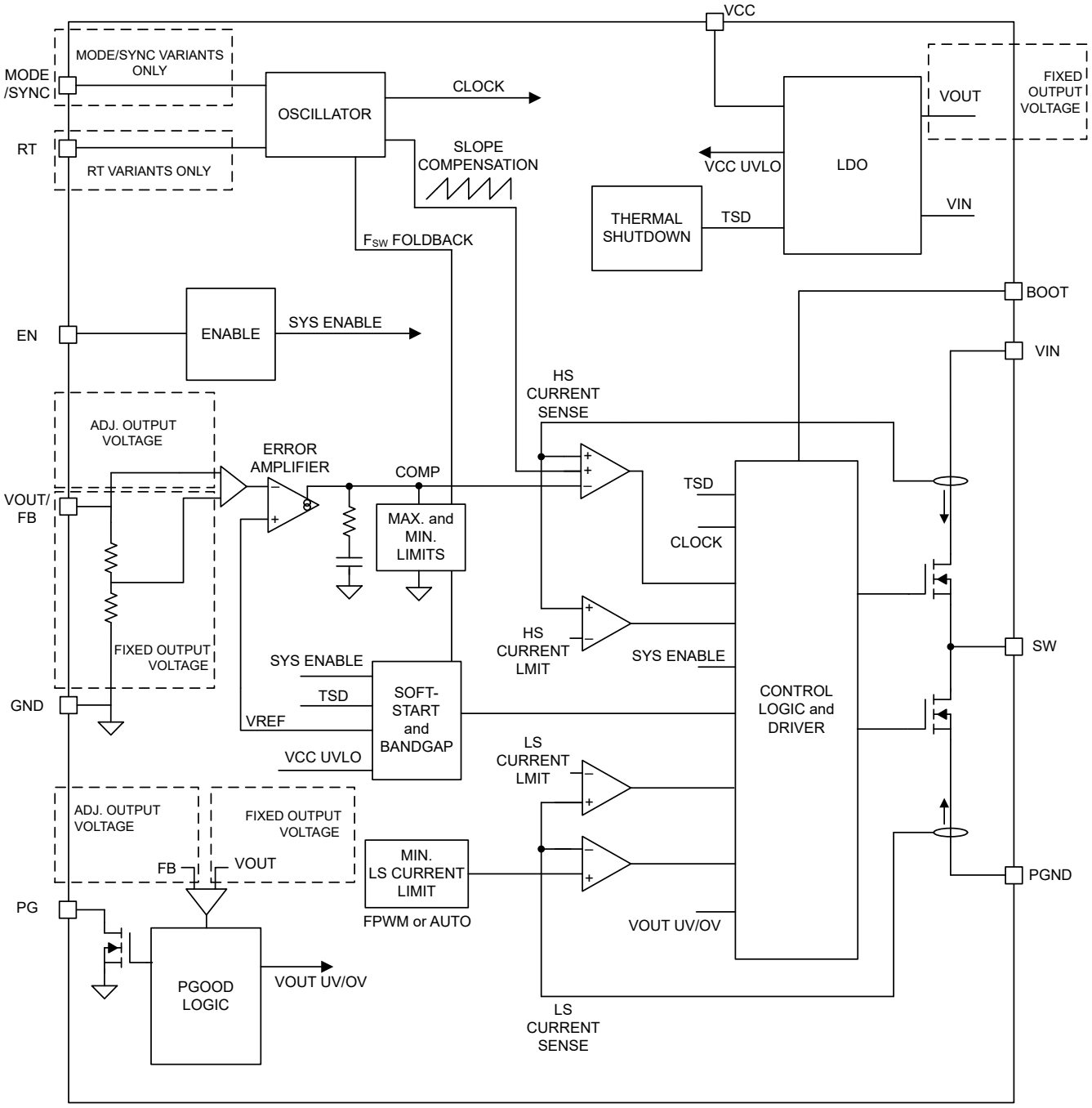
该器件旨在更大限度地降低外部元件成本和设计尺寸，同时能够在所有严苛的工业环境中运行。该器件系列包含各种型号，这些型号可在为 RT 引脚与地之间选择了合适电阻的情况下，设置为在 200kHz 至 2.2MHz 的宽开关频率范围内运行。具有内置延迟释放功能的 PG 输出可以在许多应用中省去复位监控器，从而进一步降低了系统成本。

LMR66430-EP 系列旨在通过使用未使用键合线的增强型 HotRod QFN 封装，引入双随机展频 (DRSS) 开关频率抖动方案，从而降低 EMI/EMC 辐射。此外，还提供了 MODE/SYNC 功能，该功能允许与外部时钟同步。总之，这些功能可降低对共模扼流圈或屏蔽层的要求，或降低对于任何详尽输入滤波器设计方案的要求，从而显著降低 EMI/EMC 缓解措施的复杂性和成本。

该器件采用超小型 2.6mm × 2.6mm 增强型 HotRod QFN 封装，可进行快速光学检查，并具有专门设计的角锚引脚，可实现可靠的板级焊接连接。

Copyright © 2024 Texas Instruments Incorporated

7.2 功能方框图



Copyright © 2024 Texas Instruments Incorporated

7.3 特性说明

7.3.1 启用、启动和关断

EN 引脚电压控制着 LMR66430-EP 系列器件的启动或远程关断。只要 EN 引脚电压低于 $V_{EN-WAKE}$ = 0.7V（典型值），该器件就会保持关闭状态。在关断期间，器件消耗的输入电流通常降至 0.25µA (V_{IN} = 13.5V)。只要 EN 引脚电压大于 $V_{EN-WAKE}$，器件就会进入待机模式，内部 LDO 上电以生成 VCC。随着 EN 电压进一步升高并接近 $V_{EN-VOUT}$，器件最终会开始开关，并通过软启动进入启动模式。在器件关断过程中，当 EN 输入电压测量值小于 ($V_{EN-VOUT}$ – $V_{EN-HYST}$) 时，稳压器停止开关并重新进入器件待机模式。如果 EN 引脚电压进一步降低至 $V_{EN-WAKE}$ 以下，器件就会被彻底关断。如果不需要远程精密控制，则可将符合高电压标准的 EN 输入引脚直接连接到 V_{IN} 输入引脚。不得允许 EN 输入引脚悬空。*电气特性* 中列出了各种 EN 阈值参数及其值。图 7-2 显示了精密使能行为，图 7-3 显示了应用中的典型远程 EN 启动波形。EN 变为高电平后，经过大约 2.5 ms 的延迟后，输出电压开始通过软启动上升，并在大约 3.5ms (t_{ss}) 内达到最终值。经过大约 2.5ms (t_{PG_ACT}) 的延迟后，PG 标志变为高电平。在启动期间，在软启动时间过去前，不允许器件进入 FPWM 模式。该时间是从 EN 的上升沿开始测量的。如需了解元件的选择，请查看节 8.2.3.9。

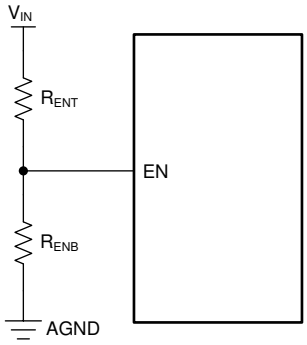


图 7-1. 使用 EN 引脚时的 VIN UVLO

Copyright © 2024 Texas Instruments Incorporated

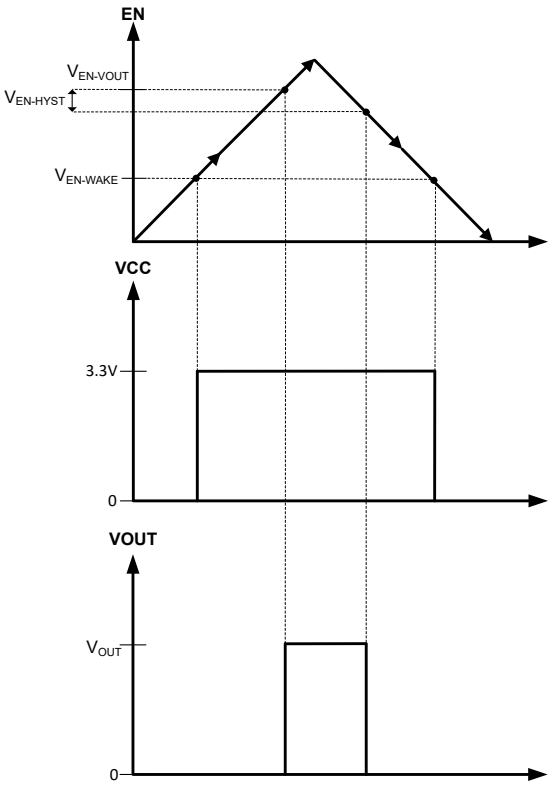


图 7-2. 精密使能行为

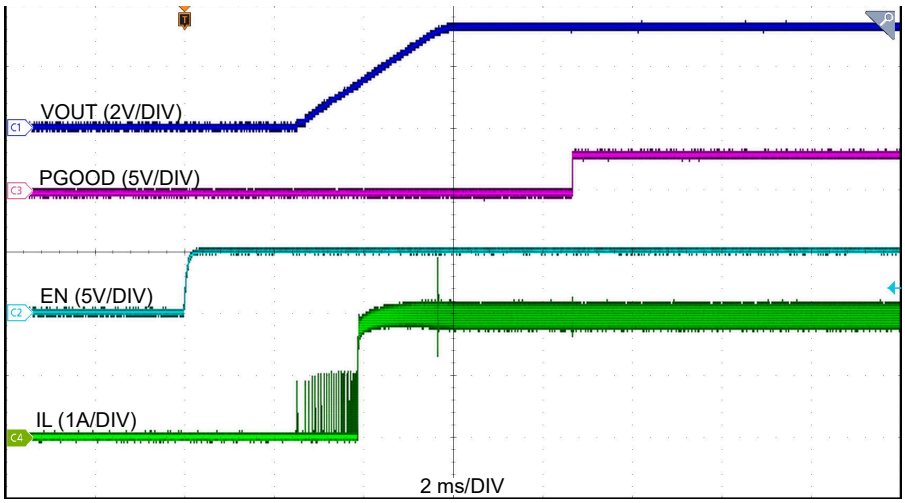


图 7-3. V_{IN} = 24V、V_{OUT} = 3.3V、I_{OUT} = 2A 时的使能启动

7.3.2 外部 CLK SYNC（通过 MODE/SYNC）

通常需要在单个系统中使多个稳压器同步运行，以实现明确定义的系统级性能。该器件中具有 MODE/SYNC 引脚的部分型号允许电源设计人员将器件同步到通用外部时钟。器件实现同相锁定方案，在这种方案中，向器件 MODE/SYNC 引脚提供的时钟信号上升沿对应于高侧器件的导通。外部时钟同步是使用锁相环 (PLL) 实现的，消除了任何较大的干扰。馈入到器件的外部时钟取代了内部自由运行时钟，但不会影响任何频率折返操作。输出电压继续得到良好调节。当提供同步输入时，该器件保持在 FPWM 模式，并在轻负载时以 CCM 模式运行。器件允许的频率范围由 f_{SYNC} 给出，并在*电气特性*中提供。

Copyright © 2024 Texas Instruments Incorporated

器件中的 MODE/SYNC 输入引脚可在三种可选模式之一下运行：

- 自动模式：在轻负载期间启用脉冲频率调制 (PFM) 运行，二极管仿真可防止反向电流通过电感器。有关更多详细信息，请参阅节 7.4.3.2。
- FPWM 模式：在 FPWM 模式下，禁用二极管仿真，从而允许电流反向流过电感器。这样即使没有负载电流，也能以全频率运行。有关更多详细信息，请参阅节 7.4.3.3。
- SYNC 模式：内部时钟锁定到施加在 MODE/SYNC 引脚的外部信号。只要输出电压可在全频率下进行调节，并且不受最短关断时间或最短导通时间的限制，时钟频率就会与施加到 MODE/SYNC 引脚的信号频率相匹配。当器件处于 SYNC 模式时，它就像在 FPWM 模式下运行一样：禁用二极管仿真，从而允许在没有负载的情况下匹配施加到 MODE/SYNC 引脚的频率。

7.3.2.1 脉冲相关 MODE/SYNC 引脚控制

大多数需要该器件提供多种运行模式的系统由微处理器等数字电路控制。这些系统可以轻松生成动态信号，但难以生成多级信号。脉冲相关 MODE/SYNC 引脚控制对这些系统很有用。要启动脉冲相关 MODE/SYNC 引脚控制，必须施加有效的同步信号。表 7-1 汇总了脉冲相关模式选择设置。

表 7-1. 脉冲相关模式选择设置

MODE/SYNC 输入	模式
> V_{MODE_H}	带展频的 FPWM 出厂设置
< V_{MODE_L}	带展频的自动模式出厂设置
同步时钟	SYNC 模式

图 7-4 显示了在脉冲相关 MODE/SYNC 控制下自动模式和 FPWM 模式之间的转换。该器件在时间 t_{MODE} 之后转换为新的运行模式。图 7-4 和图 7-5 显示了详细信息。

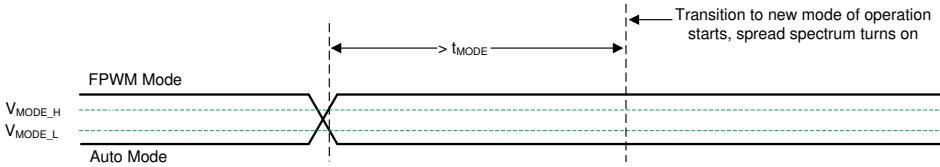


图 7-4. 自动模式和 FPWM 模式之间的转换

如果 MODE/SYNC 电压保持恒定的时间长于 t_{MODE}，器件将进入自动模式或 FPWM 模式，并打开展频（如果启用了出厂设置），MODE/SYNC 会继续以脉冲相关方案运行。

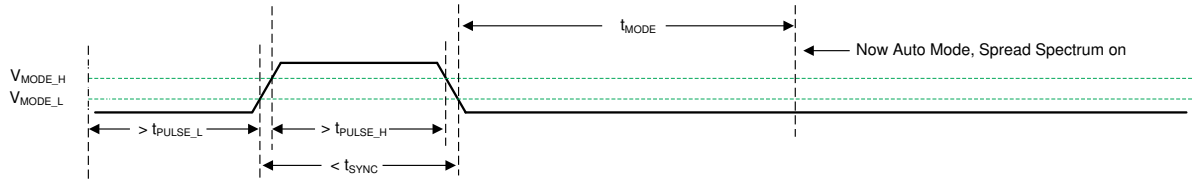


图 7-5. 从 SYNC 模式转换到自动模式

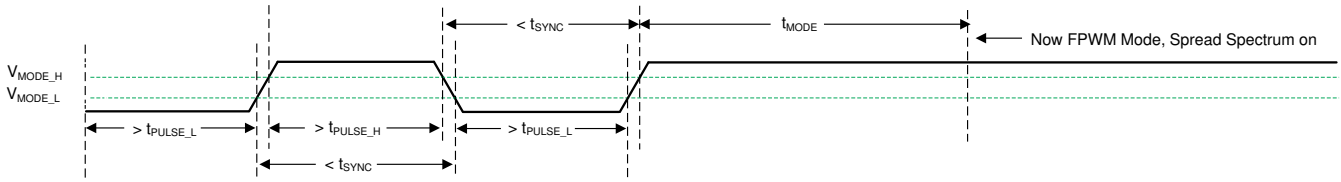


图 7-6. 从 SYNC 模式转换到 FPWM 模式

Copyright © 2024 Texas Instruments Incorporated

7.3.3 可调开关频率（通过 RT）

借助该器件系列中带 RT 引脚的精选型号，电源设计人员可在应用中将所需的工作频率设于 200kHz 和 2.2MHz 之间。请参阅图 7-7 以确定所需开关频率需要的电阻值。RT 引脚和 MODE/SYNC 引脚型号共用同一引脚位置。电源设计人员可以使用 RT 引脚型号并根据应用的保证调整工作的开关频率，也可以使用 MODE/SYNC 型号并与外部时钟信号同步。有关对 RT 引脚进行编程的选择，请参阅表 7-2。

表 7-2. RT 引脚设置

RT 输入	开关频率
VCC	1MHz
GND	2.2MHz
RT 至 GND	可根据图 7-7 调节
悬空（不推荐）	无切换

方程式 1 可以根据所需的频率计算 RT 值。

$$RT = \frac{18286}{Fsw^{1.021}} \quad (1)$$

其中

- RT 是频率设置电阻值 (kΩ)。
- F_{SW} 为开关频率。

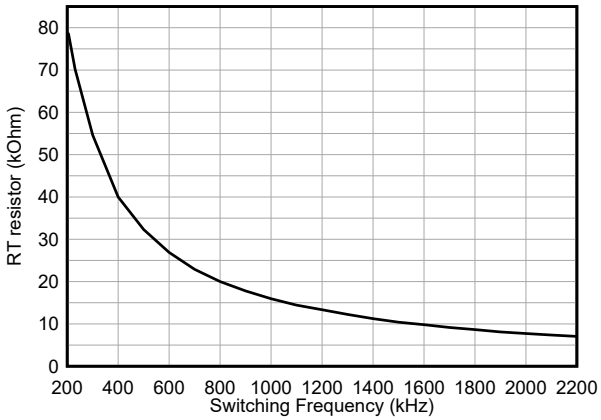


图 7-7. RT 值与频率间的关系

7.3.4 电源正常输出运行

当输出电压超出稳压范围时，使用该器件的 PG 引脚的电源正常特性可用于复位系统微处理器。该开漏输出在电流限值和热关断等器件故障条件下以及正常启动期间保持低电平。干扰滤波器可防止在输出电压的短时偏移（例如在线路和负载瞬态期间）时出现错误标志。持续时间少于 t_{RESET_FILTER} 的输出电压偏移不会触发电源正常标志。通过参考图 7-8，可以更好地理解电源正常运行。表 7-3 提供了 PG 运行的更详细的细目列表。在这里，$V_{PG_{UV}}$ 被定义为 PG_{UV} 缩放版本的 V_{OUT}（目标稳定输出电压），$V_{PG_{HYST}}$ 被定义为 PG_{HYST} 缩放版本的 V_{OUT}，其中 PG_{UV} 和 PG_{HYST} 都列在*电气特性*中。在初始上电期间，从触发 $V_{EN-VOUT}$ 到电源正常标志为高电平之间的总延迟为 8.5ms（典型值）。该延迟仅在器件启动期间发生，在电源正常功能的任何其他正常运行期间不会发生。当 EN 拉低时，电源正常标志输出也被强制为低电平。在 EN 为低电平时，只要输入电压 V_{PG-VAL} 大于 1.5V（最大值），电源正常输出就保持有效。

Copyright © 2024 Texas Instruments Incorporated

电源正常输出方案包含一个开漏 N 沟道 MOSFET，需要一个外部上拉电阻连接到合适的逻辑电源。还可以根据需要通过适当的电阻器将电源正常输出方案上拉至 V_{CC} 或 V_{OUT}。如果不需要此功能，PG 引脚可以保持开路或接地。将流入该引脚的电流限制为 ≤ 4mA。

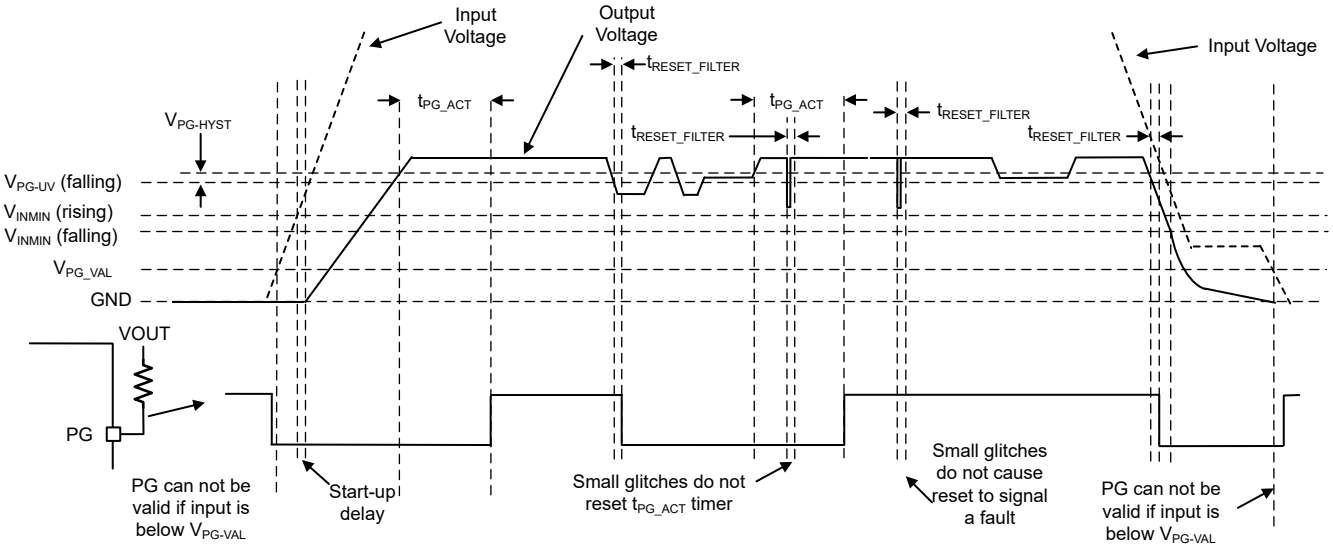


图 7-8. 电源正常运行（不包括 OV 事件）

表 7-3. PG 的故障条件（拉至低电平）

故障条件启动	故障条件结束（在此之后，必须经过 t_{PG_ACT} 才能释放 PG 输出）
$V_{OUT} < V_{PG_{UV}}$ 且 $t > t_{RESET_FILTER}$	稳压输出电压： $V_{PG_{UV}} + V_{PG_{HYST}} < V_{OUT} < V_{PG_{OV}} - V_{PG_{HYST}}$
$V_{OUT} > V_{PG_{OV}}$ 且 $t > t_{RESET_FILTER}$	稳压输出电压
$T_J > T_{SD(trip)}$	$T_J < T_{SD(trip)} - T_{SD(hyst)}$ 且稳压输出电压
$EN < V_{EN-VOUT} - V_{EN-HYST}$	$EN > V_{EN-VOUT}$ 且稳压输出电压

7.3.5 内部 LDO、VCC 和 VOUT/FB 输入

该器件使用内部 LDO 输出和 VCC 引脚提供所有内部电源。VCC 引脚从 VIN 获取电力（在可调输出型号中）或从 VOUT/FB 获取电力（在固定输出型号中）。在固定输出型号中，在器件处于激活状态但尚未进行调节后，VCC 电压轨将继续从输入电压 V_{IN} 获取电力，直到 VOUT/FB 电压达到 > 3.15V（或当器件在软启动后达到稳态调节时）。在可调和固定输出型号中，VCC 电源轨通常可测量出 3.3V 电压。启动期间，VCC 会瞬间超过其正常工作电压，然后降至正常工作电压。

7.3.6 自举电压和 $V_{BOOT-UVLO}$（BOOT 端子）

高侧开关驱动器电路需要高于 VIN 的偏置电压以确保 HS 开关导通。BOOT 和 SW 之间连接有一个内部 0.1 µF 电容器，该电容器用作电荷泵，用于将 BOOT 端子上的电压升压至 (SW + VCC)。器件芯片上集成的自举二极管可更大限度地减小物理设计尺寸。CBOOT 电压轨具有 UVLO 设置。该 UVLO 具有 $V_{BOOT-UVLO}$ 阈值，通常设置为 2.1V。如果 BOOT 电容器未充电到高于这个相对于 SW 引脚的电压，该器件会启动一个充电序列，在尝试开启高侧器件前将低侧开关导通。

Copyright © 2024 Texas Instruments Incorporated

7.3.7 输出电压选择

在该器件系列中，可为每个器件型号配置可调输出或固定输出电压选项（请参阅节 4）。对于可调输出，用户需要在输出电压节点、器件 FB 引脚和系统 GND 之间连接一个外部电阻分压器，如图 7-9 所示。以可调输出电压运行时使用 1V 内部基准电压。

使用器件系列中的固定输出配置时，只需将 FB 引脚（对于固定输出型号，在数据表的其余部分中，标识为 VOUT/FB 引脚）连接到系统输出电压节点。有关更多详细信息，请参阅节 4。

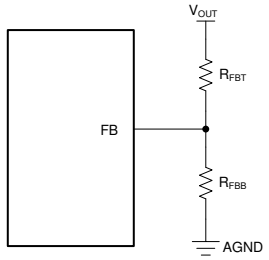


图 7-9. 为可调输出选项设置输出电压

在可调输出电压配置中，可以使用一个与 R_{FBT} 并联的额外前馈电容器 C_{FF} 来优化相位裕度和瞬态响应。有关更多详细信息，请参阅节 8.2.3.8。在固定输出型号中，不需要额外的电阻分压器或前馈电容器。

通过选择顶部反馈电阻 R_{FBT}（即 100kΩ），然后计算 R_{FBB}，可以对输出电压进行编程（方程式 2）。附加条件是 R_{FBT} 和 R_{FBB} 并联组合的最小值大于 5kΩ（方程式 3）。

$$R_{FBB} = \frac{R_{FBT}}{V_{OUT} - 1} \tag{2}$$

$$5\ k\Omega < R_{FBT} || R_{FBB} \tag{3}$$

7.3.8 展频

在 LMR66430-EP 系列器件中，展频是一种出厂选项。要查找启用了展频的器件，请参阅节 4。

展频旨在通过在比具有固定频率运行的器件更宽的频率范围内分散特定频率下的峰值发射来减少这些峰值发射。LMR66430-EP 实现了一种调制模式，旨在减少开关频率前几个谐波的低频传导发射。这种模式还有助于减少更难滤除且可能落在 FM 频带中的更高谐波。这些谐波通常通过开关节点和电感器周围的电场耦合到环境中。LMR66430-EP 使用频率展频，该展频在 FM 和 TV 频带中平滑传播能量。该器件实现了双随机展频 (DRSS)。DRSS 是三角展频模式与假随机跳频的组合。这种组合可使展频非常有效地在以下位置传播能量：

- 具有慢三角模式的基波开关谐波
- 在开关频率下具有额外假随机跳变的高频谐波

DRSS 的优势在于在高频下的等效谐波衰减具有较小的基频偏差。这一优势可减少在调制频率下引入的输入电流和输出电压纹波量。此外，LMR66430-EP 还允许用户进一步降低由展频调制模式引起的输出电压纹波。

展频仅在器件时钟以固有频率自由运行时才可用。以下任一条件都会覆盖展频，从而关闭展频：

- 时钟由于在低输入电压下运行而变慢，这是压降操作。
- 在自动模式下，时钟在轻负载时变慢。请注意，如果您在 FPWM 模式下运行，即使没有负载，展频也可以激活。
- 由于输入与输出电压比很高，时钟速度变慢。如果导通时间达到最短导通时间，则应该会出现这种运行模式。请参阅*电气特性*
- 该时钟与外部时钟同步。

Copyright © 2024 Texas Instruments Incorporated

7.3.9 软启动和从压降中恢复

使用 LMR66430-EP 进行设计时，必须将因对压降进行软恢复和软启动而引起的输出电压缓慢上升视为两种单独的运行条件，如图 7-10 和图 7-11 所示。软启动由以下任一条件触发：

- 为器件的 VIN 引脚供电，释放欠压锁定。
- EN 用于打开器件。
- 由于过热保护而从关断状态恢复

触发软启动后，IC 将执行以下操作：

- IC 用来调节输出电压的基准缓慢升高。最终结果是，如果输出电压先前为 0V，则 t_{SS} 将达到所需值的 90%。
- 工作模式设置为自动模式，为低侧 MOSFET 激活二极管仿真模式。这允许在不将输出拉低的情况下启动。即使在预偏置启动期间输出端已经存在电压，也是如此。

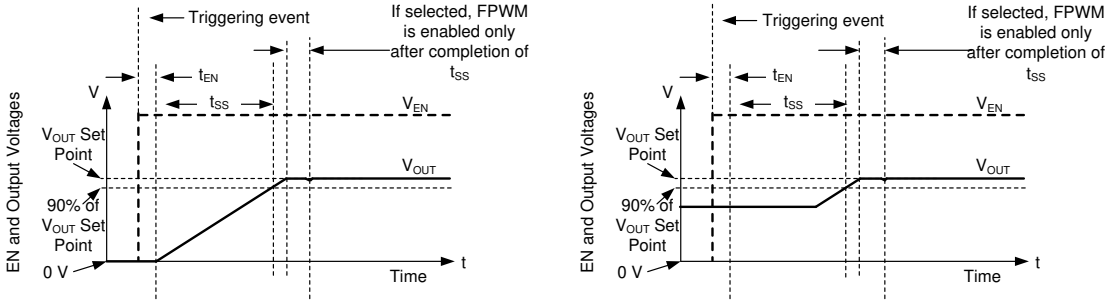


图 7-10. 带和不带预偏置电压的软启动

7.3.9.1 从压降中恢复

只要输出电压下降超过几个百分点，输出电压就会缓慢升高。在本文档中，这种情况称为从压降中正常恢复，与软启动的区别主要体现在两个方面：

- 基准电压设置为比实现当前输出电压所需的值高出大概 1%。
- 如果器件设置为 FPWM，则器件在从压降中恢复期间继续以该模式运行。如果输出电压突然被一个外部电源上拉，LMR66430-EP 可在输出端下拉。请注意，正常运行期间提供的所有保护措施均可用，可防止在输出对高电压或接地短路时发生任何灾难性故障。

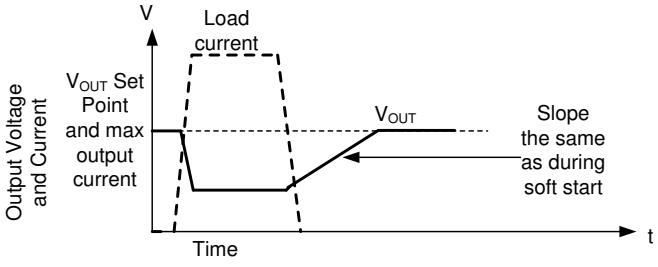


图 7-11. 从压降中恢复

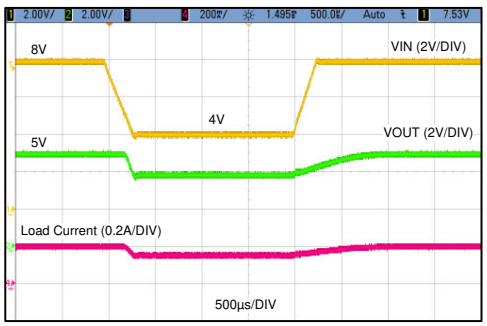


图 7-12. 典型输出从压降中恢复（8V 至 4V）

无论是由于高负载还是低输入电压导致输出电压下降，一旦导致输出降至设定点以下的条件消除，输出就会以与启动期间相同的速度爬升。图 7-12 显示了该行为的示例。

Copyright © 2024 Texas Instruments Incorporated

7.3.10 电流限值和短路

该器件通过针对高侧和低侧 MOSFET 的逐周期电流限制在过流情况下得到保护。高侧 MOSFET 过流保护是通过典型峰值电流模式控制方案来实现的。当高侧开关在较短的消隐时间后导通时，将检测到高侧开关电流。在每个开关周期，将高侧开关电流与固定电流设定点的最小值，或与内部误差放大器环路的输出减去斜率补偿之后的值进行比较。由于内部误差放大器环路的输出具有最大值，并且斜率补偿随着占空比的增大而增加，因此如果占空比通常高于 35%，高侧电流限值会随着占空比的增加而降低。

当低侧开关接通时，也会检测和监控流经该开关的电流。与高侧器件一样，低侧器件具有由内部误差放大器环路命令的关断功能。对于低侧器件，即使振荡器正常启动一个新的开关周期，也会在电流超过此值时阻止关断。与高侧器件一样，关断电流的高低也受到限制。该限值在图 7-13 中称为低侧电流限值 I_{VALMAX}。如果超出低侧电流限值，低侧 MOSFET 将保持导通状态，高侧开关不会导通。一旦低侧电流降至此限值以下，低侧开关就会关断，并且只要自高侧器件上次导通后至少经过一个时钟周期，高侧开关就会再次导通。

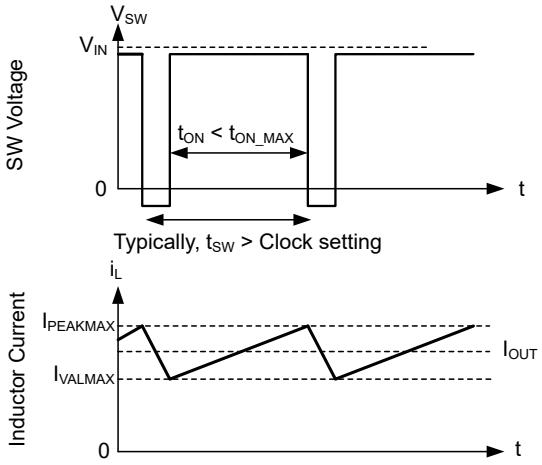


图 7-13. 电流限值波形

由于电流波形假定值介于 $I_{PEAKMAX}$ 和 I_{VALMAX} 之间，因此最大输出电流非常接近这两个值的平均值，除非占空比非常高。在电流限制下运行之后将使用迟滞控制，并且电流不会随着输出电压接近零而增加。

如果发生极端过载并满足以下条件，LMR66430-EP 会采用断续过流保护：

- 输出电压低于输出电压设定点的约 0.4 倍。
- 自软启动开始以来，经过了大于 t_{SS} 的时间。
- 该器件不处于压降运行状态，表明具有最短关断时间受控占空比。

在断续模式下，器件会关断，并在 t_{HICCUP} 后尝试软启动。断续模式有助于在严重过流和短路情况下降低器件功耗。请参阅图 7-14。

一旦消除过载，器件就会像在软启动中一样恢复；请参阅图 7-15。

Copyright © 2024 Texas Instruments Incorporated

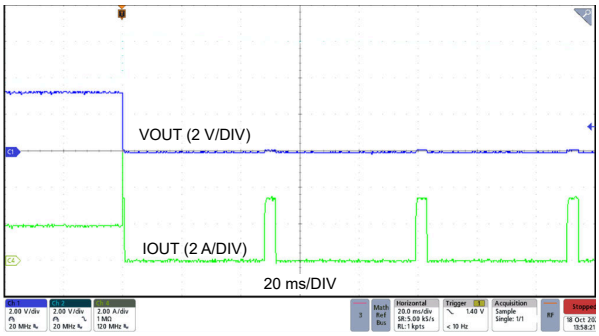


图 7-14. 进入断续

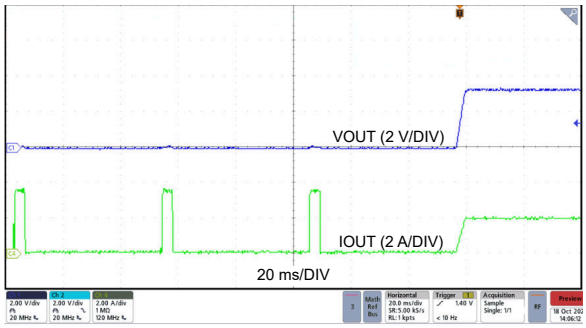


图 7-15. 退出断续

7.3.11 热关断

当器件结温超过 168°C（典型值）时，热关断通过关闭内部开关来限制总功率耗散。低于 158°C（最小值）时不会触发热关断。热关断发生后，迟滞会阻止器件开关，直到结温降至约 153°C（典型值）。当结温低于 153°C（典型值）时，该器件会尝试另一次软启动。

当器件由于结温过高而关断时，继续向 VCC 供电。为了防止由于对 VCC 施加短路而导致过热，为 VCC 供电的 LDO 降低了电流限制，而器件因高结温而被禁用。LDO 在热关断期间仅提供几毫安的电流。

7.3.12 输入电源电流

该器件设计为在调节轻负载时具有非常低的输入电源电流。这是通过从输出端为大量内部电路供电来实现。固定输出电压型号中的 VOUT/FB 引脚是 LDO 的输入端，可为大多数控制电路供电。通过将 VOUT/FB 输入引脚连接到稳压器的输出节点，将从输出端汲取少量电流。该电流在输入端按 V_{OUT}/V_{IN} 的比率降低。

$$I_{Standby} = I_{QVIN(nonsw)} + I_{LKG-EN} + I_{BIAS} \times \frac{V_{OUT}}{\eta_{eff} \times V_{IN}} \quad (4)$$

其中

- $I_{Standby}$ 是空载时运行（开关）降压转换器消耗的总待机（开关）电流。
- $I_{QVIN(nonsw)}$ 是从 V_{IN} 端子汲取的非开关电流。有关详细信息，请参阅节 6.5。
- I_{LKG-EN} 是 EN 端子汲取的电流。如果 EN 连接到 VIN，则包括该电流。有关详细信息，请参阅节 6.5。
- I_{BIAS} 是 BIAS LDO 汲取的非开关偏置电流。有关详细信息，请参阅节 6.5。
- η_{eff} 是降压转换器的轻负载效率。在正常工作条件下，可使用 η_{eff} = 0.8。

7.4 器件功能模式

7.4.1 关断模式

器件的 EN 引脚可提供电气开/关控制功能。当 EN 引脚电压低于 0.4V 时，转换器和内部 LDO 均无输出电压，器件处于关断模式。在关断模式下，静态电流降至 250nA（典型值）。

7.4.2 待机模式

内部 LDO 的 EN 阈值低于转换器的输出。当 EN 引脚电压高于 1V（最大值）且低于输出电压的精密使能阈值时，内部 LDO 将 VCC 电压稳定在 3.3V（典型值）。一旦 VCC 高于 UVLO，精密使能电路就会导通。除非 EN 引脚上的电压超过精密使能阈值，否则 SW 节点的内部功率 MOSFET 将保持关断状态。该器件还采用 UVLO 保护。如果 VCC 电压低于 UVLO 电平，则转换器的输出会关闭。

7.4.3 工作模式

只要 EN 引脚电平高于 $V_{EN-VOUT}$、V_{IN} 足够高，满足了 V_{INMIN} 要求，并且不存在其他故障条件，该器件就处于工作模式。使之工作的最简单方法是将 EN 引脚连接到 V_{IN}，这样可以在施加的输入电压超过最小 V_{INMIN} 时允许器件启动。

Copyright © 2024 Texas Instruments Incorporated

在工作模式下，根据负载电流、输入电压和输出电压，器件有五种工作模式：

- *连续导通模式 (CCM)*：负载电流大于电感器电流纹波的一半时，开关频率固定
- *自动模式* – 轻负载运行：在超轻负载下开关频率降低时为 PFM
- *FPWM 模式* - 轻负载运行：负载电流低于电感器电流纹波的一半时为不连续导通模式 (DCM)
- *最短导通时间*：在高输入电压、低输出电压下，开关频率会降低以保持稳压。
- *压降模式*：降低开关频率以更大限度地减小压降时采用该模式。

7.4.3.1 CCM 模式

有关器件的以下运行说明，请参阅节 7.2 和图 7-16 中的波形。在 CCM 中，该器件以变化的占空比 (D) 打开内部高侧 (HS) 和低侧 (LS) 开关，从而提供稳定的输出电压。在 HS 开关导通期间，SW 引脚电压 V_{SW} 摆动至大约 V_{IN}，电感器电流 I_L 以线性斜率增加。HS 开关由控制逻辑关闭。在 HS 开关关闭时间 t_{OFF}，LS 开关打开。电感器电流通过 LS 开关放电，这会强制 V_{SW} 通过 LS 开关两端的压降摆动到地电位以下。转换器环路调节占空比以保持恒定的输出电压。D 由 HS 开关在开关周期内的导通时间定义：

$$D = T_{ON} / T_{SW} \quad (5)$$

在忽略损耗的理想降压转换器中，D 与输出电压成正比，与输入电压成反比：

$$D = V_{OUT} / V_{IN} \quad (6)$$

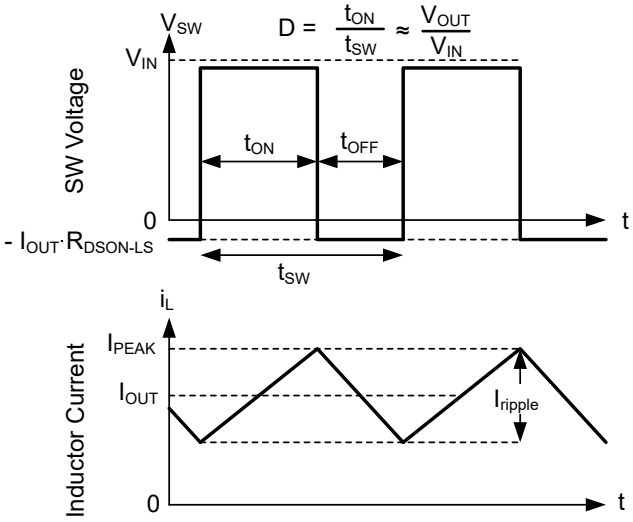


图 7-16. 连续导通模式 (CCM) 下的 SW 电压和电感器电流波形

7.4.3.2 自动模式 – 轻负载运行

LMR66430-EP 在轻负载时有两种运行模式。一种称为自动模式运行，可在重负载和高效轻负载情况下实现正常电流模式运行之间的无缝转换。请注意，当器件从 PFM 转换到 PWM 模式时，对于介于 1V 和 2V 之间的输出电压，可以在开关节点波形上观察到多脉冲行为。另一种称为 FPWM 模式，即使在空载时也能保持满频率。器件以哪种模式运行取决于选择了该系列中的哪个型号。请注意，当频率与外部信号同步时，所有器件都以 FPWM 模式运行。

器件仅在自动模式下采用轻负载运行。轻负载运行采用两种技术来提高效率：

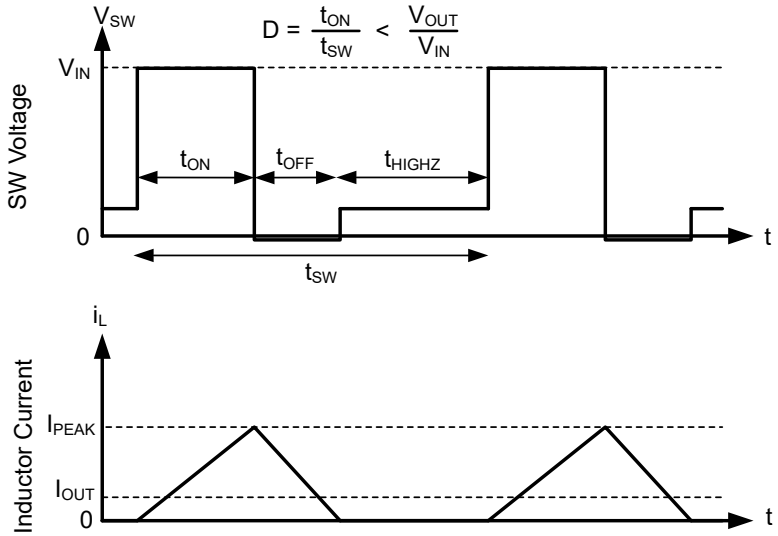
- 二极管仿真，支持 DCM 运行。请参阅图 7-17。
- 降频。请参阅图 7-17。

请注意，虽然这两个特性相互配合来改善轻负载效率，但它们是独立运行的。

Copyright © 2024 Texas Instruments Incorporated

7.4.3.2.1 二极管仿真

二极管仿真可防止反向电流通过电感器，这需要较低的频率来调节给定的固定峰值电感器电流。二极管仿真还会随着频率的降低而限制纹波电流。在峰值电流固定的情况下，随着输出电流降至零，频率必须降至接近零以保持稳定。



在自动模式下，一旦 SW 节点电流接近零，低侧器件就会关闭。因此，在运行二极管仿真时，一旦输出电流小于 CCM 模式中电感器纹波的一半，该器件就会以 DCM 模式运行。

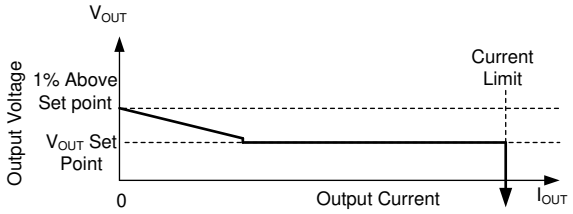
图 7-17. PFM 运行

该器件在自动模式下具有最小峰值电感器电流设置（请参阅*电气特性*中的 $I_{PEAKMIN}$）。电流在固定输入电压下降至低电平后，导通时间恒定。然后，通过调整频率来实现稳压。这种工作模式称为 PFM 模式稳压。

Copyright © 2024 Texas Instruments Incorporated

7.4.3.2.2 降频

只要输出电压为高电平，该器件就会降低频率。只要内部误差放大器补偿输出 COMP（一种内部信号）为低电平并且 FB 的调节设定点与施加到 FB 的电压之间存在偏移，就会启用此功能。最终结果是，在自动模式下轻负载运行时的输出阻抗比正常工作时大。当器件完全空载时，输出电压必须大约为 1% 高电平。



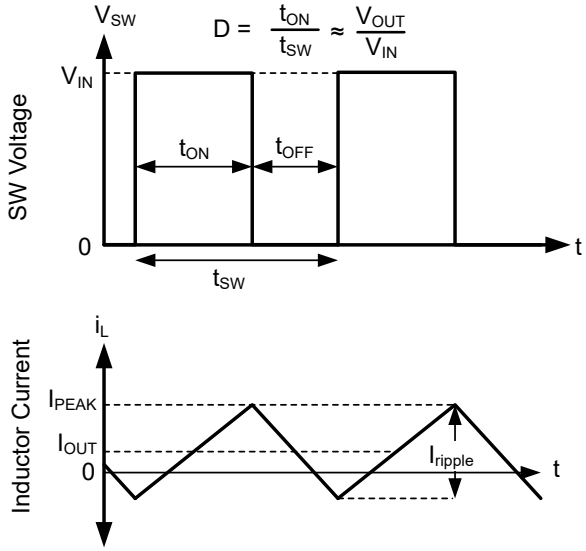
在自动模式下，一旦输出电流低于器件大概 1/10 的额定电流，输出电阻会增加，以便在降压转换器完全空载时输出电压为 1% 高电平。

图 7-18. 自动模式下稳态输出电压与输出电流间的关系

在 PFM 模式下运行时，需要在输出电压上提供小幅的直流正偏移量来激活 PFM 检测器。PFM 中的频率越低，V_{OUT} 上所需的直流偏移量就越大。如果 V_{OUT} 上的直流偏移量不可接受，则可以在 V_{OUT} 或 FPWM 模式下使用虚拟负载来减少或消除此偏移量。

7.4.3.3 FPWM 模式 – 轻负载运行

在 FPWM 模式下，频率在轻负载时保持不变。为了保持频率，允许有限的反向电流流过电感器。反向电流受反向电流限制电路的限制，有关反向电流限制值，请参阅*电气特性*。



在 FPWM 模式下，即使 I_{OUT} 小于 I_{ripple} 的一半，也可实现连续导通 (CCM)。

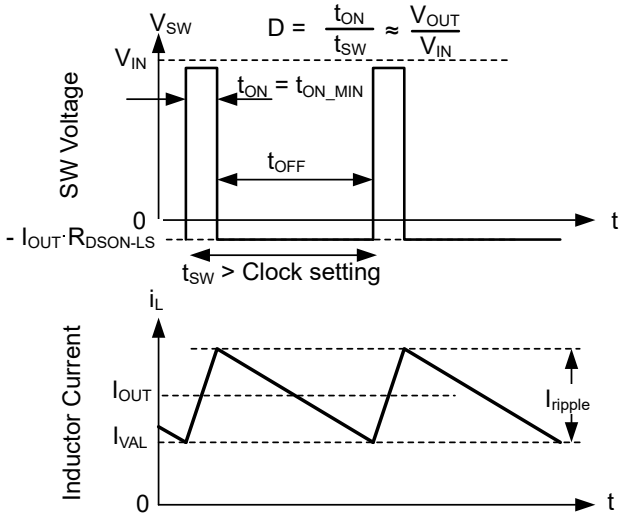
图 7-19. FPWM 模式运行

对于所有器件，在 FPWM 模式下，如果输出电压足够高，即使在轻负载时也能实现最短导通时间，则频率降低仍然可用，从而在涉及上拉输出的故障期间实现良好的行为。

Copyright © 2024 Texas Instruments Incorporated

7.4.3.4 最短导通时间（高输入电压）运行

即使输入电压与输出电压比要求导通时间小于具有给定时钟设置的芯片的最短导通时间，器件也会继续调节输出电压。此操作通过使用谷值电流控制来实现。补偿电路始终决定最大峰值电感器电流和最大谷值电感器电流。如果由于任何原因超过谷值电流，则时钟周期会延长，直到谷值电流降至补偿电路确定的值以下。如果转换器未在电流限制下运行，则最大谷值电流设置为高于峰值电感器电流，以防止使用谷值控制，除非无法仅使用峰值电流进行调节。如果输入输出电压比过高，使得电感器电流峰值超过补偿规定的峰值命令，高侧器件也无法足够快地关断以调节输出电压。因此，补偿电路可降低峰值电流和谷值电流。一旦补偿电路选择了足够低的电流，谷值电流就会与补偿电路所要求的电流相匹配。在这些条件下，低侧器件保持导通状态，并阻止下一个时钟周期启动，直到电感器电流降至所需的谷值电流以下。由于导通时间固定为最小值，因此这种类型的运行与使用恒定导通时间 (COT) 控制方案的器件的运行类似；请参阅下图。

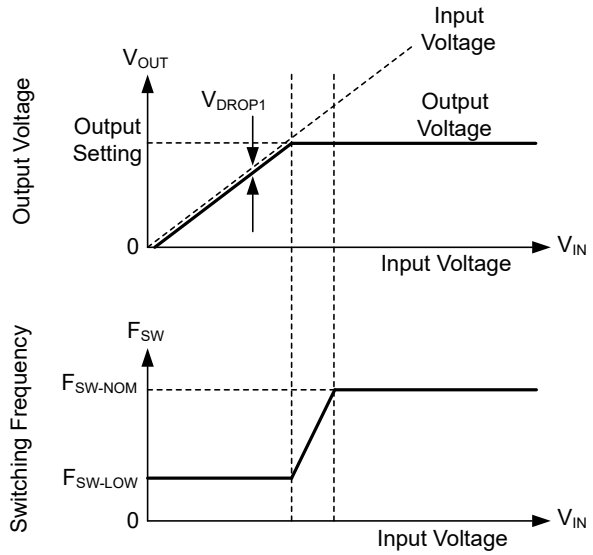


在谷值控制模式下，调节最小电感器电流，而不是峰值电感器电流。

图 7-20. 谷值电流模式运行

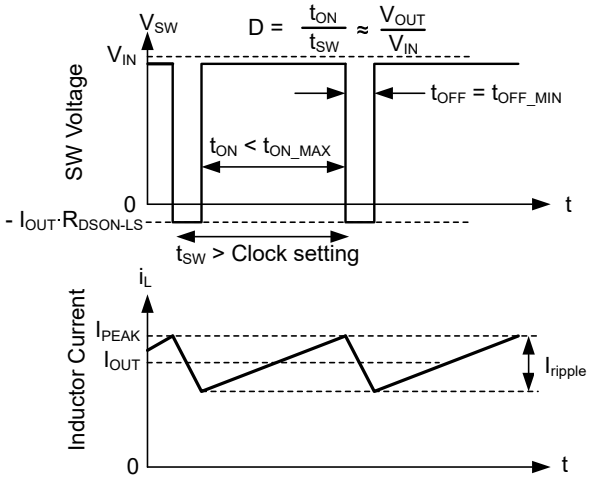
7.4.3.5 压降

压降运行被定义为任何需要频率下降以实现所需占空比的输入/输出电压比。在给定的时钟频率下，占空比受最短关断时间的限制。达到该限值后，如果要保持时钟频率，输出电压可能会下降，如图 7-22 所示。该器件不允许输出电压下降，而是将高侧开关导通时间延长到时钟周期结束后，直至达到所需的峰值电感器电流。达到峰值电感器电流或经过大约 9µs 的预定最大导通时间 t_{ON-MAX} 后，时钟就可以开始一个新的周期。因此，一旦由于存在最短关断时间，所需占空比无法在所选时钟频率下实现，频率就会下降以保持稳定。如图 7-21 所示，如果输入电压足够低，即使在导通时间为 t_{ON-MAX} 时也无法调节输出电压，则输出电压会降至略低于输入电压 V_{DROP1}。有关从压降中恢复的更多信息，请参阅图 7-11。



输出电压和频率与输入电压间的关系：如果输入电压和输出电压设置之间的差异很小，IC 会降低频率以保持稳压。如果输入电压过低，无法在大约 110kHz 的 F_{SW-LOW} 下提供所需的输出电压，则输入电压会跟踪输出电压。

图 7-21. 压降中的频率和输出电压



压降时的开关波形。电感器电流需要比正常时钟更长的时间才能达到所需的峰值。因此，频率会下降。该频率下降受到 t_{ON-MAX} 的限制。

图 7-22. 压降波形

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

LMR66430-EP 直流/直流降压转换器通常用于将较高的直流电压转换为较低的直流电压。LMR66430-EP 支持 3A 的最大输出电流。以下设计过程可用于为 LMR66430-EP 选择元件。

备注

除非另有说明，否则以下应用信息中给出的所有电容值均指*有效*值。*有效*值定义为直流偏置和温度下的实际电容，而不是额定值或铭牌值。在整个过程中使用具有 X7R 或更好电介质的低 ESR 优质陶瓷电容器。除了正常的容差和温度影响外，所有高容值陶瓷电容器还具有大电压系数。在直流偏置下，电容会显著下降。在这方面，较大的外壳尺寸和较高的额定电压会更好。为了帮助减轻这些影响，可以并联多个电容器，以使最小*有效*电容达到所需值。这也可以降低单个电容器上的 RMS 电流要求。必须仔细研究任何电容器组的偏置和温度变化，以确保提供*有效*电容的最小值。

Copyright © 2024 Texas Instruments Incorporated

8.2 典型应用

作为快速入门指南，表 8-1 提供了一系列最常见输出电压下的典型元件值。

表 8-1. 可调输出 LMR66430-EP 的外部元件典型值

f_{SW} (kHz) (1)	V_{OUT}	L (µH)	标称 C_{OUT}（额定电容）	最小 C_{OUT}（有效电容）(2)	R_{FBT} (kΩ)(3)	R_{FBB} (kΩ)	C_{IN}	C_{BOOT}	C_{VCC}	C_{FF} (4)
400	3.3V	10	3 × 22µF	60µF	100	43.2	4.7µF	0.1µF	1µF	33pF
1000		4.7								
2200		2.2	2 × 22µF	40µF						
400	5V	10	3 × 22µF	60µF	100	24.9				
1000		4.7								
2200		2.2	2 × 22µF	40µF						

(1) 电感值根据典型的 V_{IN} = 12V 计算得出。
(2) 最小 C_{OUT} 值考虑了直流偏置电压和温度对实际电容值的影响。
(3) 对于超出上述范围的 R_{FBT} 和 R_{FBB} 值，请参阅节 7.3.7。
(4) 有关更多信息，请参阅节 8.2.3.8。

表 8-2. 固定输出 LMR66430-EP 的外部元件典型值

f_{SW} (kHz) (1)	V_{OUT}	L (µH)	标称 C_{OUT}（额定电容）	最小 C_{OUT}（有效电容）(2)	R_{FBT}	R_{FBB} (3)	C_{IN}	C_{BOOT}	C_{VCC}	C_{FF}
400	3.3V	10	3 × 22µF	60µF	0	DNP	4.7µF	DNP	1µF	DNP
1000		4.7	3 × 22µF							
2200		2.2	2 × 22µF	40µF						

(1) 电感值根据典型的 V_{IN} = 12V 计算得出。
(2) 最小 C_{OUT} 值考虑了直流偏置电压和温度对实际电容值的影响。
(3) DNP = 不填充。

8.2.1 LMR66430-EP 设计指南

图 8-1 展示了 LMR66430MB3RXBNEP 的（固定）3.3V 输出设计。对于任何 LMR66430-EP 设计，须仿照下面的设计过程。针对不同于此特定设计的设计参数和使用的可订购器件，本节提供了相关指导。请完整阅读本节。

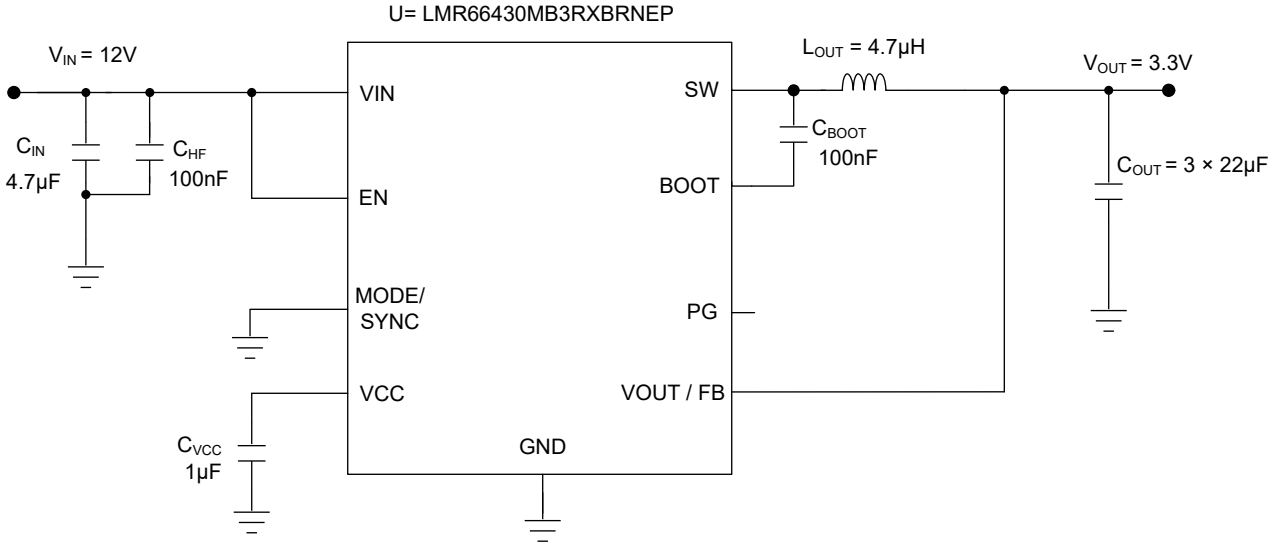


图 8-1. LMR66430-EP、1MHz（固定）3.3V 应用电路

Copyright © 2024 Texas Instruments Incorporated

8.2.2 设计要求

节 8.2.3 提供了基于表 8-3 的详细设计过程。

表 8-3. 详细设计参数

设计参数	示例值
输入电压	12V（4V 至 36V）
输出电压	3.3V
输出电流	0A 至 3A
开关频率	1000kHz

8.2.3 详细设计过程

以下设计过程适用于图 8-1 和表 8-2。

8.2.3.1 选择开关频率

开关频率的选择会影响设计中的多个方面。通常需要考虑两个方面，即设计尺寸和效率。开关频率越高，外部无源器件就越小，但代价是功率耗散会增加。

LMR66430-EP 提供两款可订购产品（节 4）。本设计示例使用了 LMR66430MB3RXBRNEP。在自动模式下运行时，器件的标称工作频率为 1MHz。可将模式配置为 FPWM 以实现 1MHz、CCM 运行，即使在轻负载条件下也是如此。LMR66430R3RXBRNEP 还允许与外部时钟同步。更多信息，请参阅 MODE/SYNC 部分和规格。

此设计需要 3A 的峰值负载电流。在 12VIN、3.3VOUT（固定）下、负载为 3A 时、功率耗散为 1.5W（图 8-5）。图 8-12 展示了总功率耗散为 1.5W（电感器和 IC）会导致外壳温度升高至比环境温度高大约 55°C。假设在高温下具有极小的额外功率损耗，由于环境温度加上外壳温升（近似结温）低于最大结温额定值，因此，此设计必须在高达 85°C 的温度下运行。此处假设最终设计具有与 EVM 类似的热性能。如果假设设计的 EVM 热性能较差，请参阅图 8-3。此图显示了缩小 4 层 PCB 中所有层上的电路板覆铜区对电路板的热性能有何影响。

LMR66430MB3RXBRNEP 以固定的 1MHz 频率运行。如果发现功率耗散不符合设计要求，不妨选择 LMR66430R3RXBRNEP，它可以配置为较低的开关频率以降低功率耗散。如果上述两种方法都不可行，请咨询 TI 以寻找替代电源解决方案。

8.2.3.2 设置输出电压

LMR66430-EP 可配置为 3.3V 固定输出电压或通过外部反馈分压器配置为可调输出电压。通过将 V_{OUT}/FB 直接连接到输出电容器，LMR66430MB3RXBRNEP 可输出 3.3V 电压。有关如何配置 LMR66430-EP 输出可调电压的信息，请参阅*输出电压选择*。

8.2.3.3 电感器选型

必须考虑降压电感器电感和额定功率。选择电感值以使纹波电流峰峰值介于器件额定电流（例如 LMR66430-EP 为 3A）的 20% 至 40%（K = 0.2 至 0.4）之间。本设计使用的纹波系数 K 为 0.2，通过方程式 7 得出标准值 4.7 µH。

$$L_{OUT} = \frac{(V_{IN} - V_{OUT})}{f_{SW} \times K \times I_{OUTmax}} \times \frac{V_{OUT}}{V_{IN}} = \frac{(12V - 3.3V)}{1MHz \times 0.2 \times 3} \times \frac{3.3V}{12V} \cong 4.7\mu H \quad (7)$$

理想情况下，电感器的饱和额定电流至少与高侧开关电流限值 $I_{PEAKMAX}$ 一样大（请参阅*电气特性*）。此尺寸可确保即使在输出短路期间电感器也不会饱和。当电感磁芯材料饱和时，电感下降到一个非常低的值，导致电感电流上升非常快。虽然谷值电流限值 I_{VALMAX} 旨在降低电流耗尽的风险，但饱和电感器会使电流迅速上升到高电平。这可能导致元件损坏。不允许电感器饱和。采用铁氧体磁芯材料的电感器具有非常*硬*的饱和特性，但通常比铁粉磁芯具有更低的磁芯损耗。铁粉磁芯具有*软*饱和，允许在一定程度上放宽电感器的额定电流。但在高于大约 1MHz 的频率下，内芯损耗更多。

Copyright © 2024 Texas Instruments Incorporated

最大电感值受到电流模式控制正确执行所需的最小电流纹波的限制。一般说来，在正常情况下，最小电感器波纹电流必须不少于器件最大额定电流的约 10%。

8.2.3.4 输出电容器选型

LMR66430-EP 允许在宽输出电容范围内运行。输出电容器组通常受限于负载瞬态要求和稳定性，而不是输出电压纹波。有关 5V 和 3.3V 输出电容器值，请参阅表 8-1 和表 8-2。根据表 8-2，对于固定 3.3V 输出设计，本例中用户可选择建议的 3 × 22µF 陶瓷输出电容器。

实际上，输出电容器对瞬态响应和环路相位裕度的影响非常大。负载瞬态测试和波特图是验证任何给定设计的理想方法，必须始终在应用投入生产之前完成。除了所需的输出电容外，放置在输出端的小型陶瓷电容器还有助于降低高频噪声。1nF 至 100nF 范围内的小外壳尺寸陶瓷电容器非常有助于减少由电感器和电路板寄生效应引起的输出尖峰。

将总输出电容的最大值限制在设计值的 10 倍左右，或 1000µF，以较小者为准。较大的输出电容值会对稳压器的启动行为以及环路稳定性产生不利影响。如果必须使用大于此处注释的值，则必须仔细研究满载启动和环路稳定性。

8.2.3.5 输入电容器选型

除了提供纹波电流并将开关噪声与其他电路隔离，陶瓷输入电容器还为稳压器提供低阻抗源。LMR66430-EP 的输入端要求最小陶瓷电容为 4.7µF。必须至少为应用所需的最大输入电压设置该额定值；该值最好为最大输入电压的两倍。可以增大该电容以帮助降低输入电压纹波，并在负载瞬态期间保持输入电压。在本示例中，除了并联一个更低的 ESL、100nF 电容器外，还选择了一个 4.7µF、50V、X7R（或更好）的陶瓷电容器。

通常最好在输入端使用与陶瓷电容器并联的电解电容器。如果使用长引线或布线将输入电源连接到稳压器，情况尤其如此。该电容器的中等 ESR 有助于抑制由长电源引线引起的输入电源上的任何振铃。使用这个额外的电容器还有助于处理由具有异常高阻抗的输入电源引起的电压骤降。

大多数输入开关电流流经陶瓷输入电容器。该电流的近似均方根值可根据以下公式进行计算，且必须根据制造商的最大额定值进行检查。

$$I_{RMS} \cong \frac{I_{OUT}}{2} \tag{8}$$

8.2.3.6 C_{BOOT}

LMR66430-EP 需要在 BOOT 和 SW 引脚之间放置一个外部高质量 0.1µF 电容器。此电容器存储的能量用于为功率 MOSFET 的栅极驱动器供电。TI 建议使用 16V、X7R、MLCC 电容器。

8.2.3.7 VCC

VCC 引脚是内部 LDO 的输出，用于为稳压器的控制电路供电。该输出需要在 VCC 和 GND 之间连接一个 1µF、16V 陶瓷电容器，用于确保正常运行。通常，此输出不得加载任何外部电路。但是，该输出可用于为电源正常功能提供上拉电阻（请参阅节 7.3.4）。在这种情况下，10kΩ 至 100kΩ 范围内的值是一个不错的选择。VCC 上的标称输出电压为 3.3V；有关限值，请参阅*电气特性*。

8.2.3.8 C_{FF} 选型

在某些情况下，可在 R_{FBT} 上使用前馈电容器，以改善负载瞬态响应或改善环路相位裕度。在使用前馈电容器进行实验时，*使用前馈电容器优化内部补偿直流/直流转换器的瞬态响应*应用报告非常有用。

由于反馈检测电路的性质，必须限制 C_{FF} 的值，以确保在配置可调输出电压时建立所需的输出电压。必须遵循方程式 9，确保 C_{FF} 低于最大值。

$$C_{FF} < C_{OUT} \times \frac{\sqrt{V_{OUT}/1V}}{1.2E6} \tag{9}$$

本设计在固定输出配置中利用该器件。IC 上集成了一个前馈电容器和反馈分压器，因此无需使用外部电容器。

Copyright © 2024 Texas Instruments Incorporated

8.2.3.9 外部 UVLO

在某些情况下，需要一个与器件内部提供的输入 UVLO 电平不同的输入电平。可以使用图 8-2 中所示的电路来满足这种需求。器件导通时的输入电压被指定为 V_{ON}，而关断电压为 V_{OFF}。首先，R_{ENB} 阻值在 10kΩ 至 100kΩ 的范围内选择，然后分别使用方程式 10 和方程式 11 计算 R_{ENT} 和 V_{OFF}。

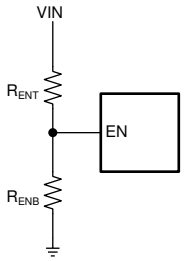


图 8-2. 外部 UVLO 应用的设置

$$R_{ENT} = \left(\frac{V_{ON}}{V_{EN-VOUT}} - 1\right) \times R_{ENB} \quad (10)$$

$$V_{OFF} = V_{ON} \times \left(1 - \frac{V_{EN-HYS}}{V_{EN-VOUT}}\right) \quad (11)$$

其中

- V_{ON} 为 V_{IN} 导通电压。
- V_{OFF} 为 V_{IN} 关断电压。

此设计将 EN 连接到 VIN 引脚。当 V_{IN} 电压超过 V_{INMIN}（上升）且 EN 电压超过 $V_{EN-VOUT}$（*电气特性*）时，该器件会尝试调节至 3.3V。如果 V_{IN} 值接近 V_{OUT}，由于电路中的 I-R 压降且占空比略低于 100%，输出电压可能低于设定点。

Copyright © 2024 Texas Instruments Incorporated

8.2.3.10 最高环境温度

LMR66430-EP 在运行时会消耗内部功率。这种功耗的影响是将转换器的内部温度升高到环境温度以上。内核温度 (T_J) 是环境温度、功率损耗以及器件的有效热阻 $R_{\theta JA}$ 和 PCB 组合的函数。LMR66430-EP 的最高结温必须限制为 150°C。这会限制器件的最大功率耗散，从而限制负载电流。方程式 12 展示了重要参数之间的关系。可以看出，较大的环境温度 (T_A) 和较大的 $R_{\theta JA}$ 值会降低最大可用输出电流。

可以使用本数据表中提供的曲线来估算转换器效率。如果在其中某条曲线中找不到所需的运行条件，则可以使用内插来估算效率。或者，可以调整 EVM 以匹配所需的应用要求，并且可以直接测量效率。$R_{\theta JA}$ 的正确值更难估计。有关更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

此设计的外壳温度测量方式如图 8-12 所示。外壳顶部和结之间的温度梯度通常只有几度 (°C)，因此这种测量可确定给定设计的热裕度

$$I_{OUT}\Big|_{MAX} = \frac{(T_J - T_A)}{R_{\theta JA}} \times \frac{\eta}{(1-\eta)} \times \frac{1}{V_{OUT}} \tag{12}$$

其中

- η 是效率。

有效 $R_{\theta JA}$ 是一个关键参数，取决于许多因素，例如：

- 功率耗散
- 空气温度，流量
- PCB 面积
- 铜散热器面积
- 封装下的散热过孔数量
- 相邻元件放置

对于给定的工作条件，可以使用方程式 13 来估算 IC 结温。

$$T_J \cong T_A + R_{\theta JA} \times \text{IC Power Loss} \tag{13}$$

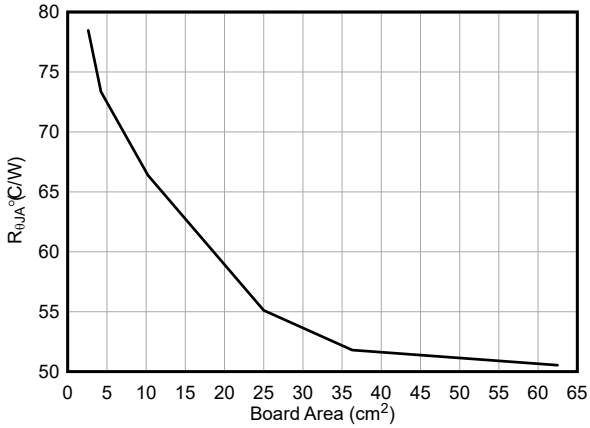
其中

- T_J 为 IC 结温 (°C)。
- T_A 为环境温度 (°C) 。
- $R_{\theta JA}$ 为热阻 (°C/W)。
- IC power loss 是 IC 的功率损耗 (W)。

上面提到的 IC power Loss 等于总功率损耗减去来自电感器直流电阻的损耗。

下图可用于估算 IC 在特定电路板面积下的热阻。

Copyright © 2024 Texas Instruments Incorporated



器件工作条件如下：12V_{IN}、3.3V_{OUT}、3A 负载、2.2MHz、23ºC 环境温度（Pdiss =1.9W）。4 层电路板，中间层 1 作为接地层，每层覆铜厚度为 2.8mil。$R_{\theta JA}$ 取决于功率，因此需要进行仔细分析。

图 8-3. $R_{\theta JA}$ 与电路板面积间的关系

以下资源可用作理想热 PCB 设计和针对给定应用环境估算 $R_{\theta JA}$ 的指南：

- *热设计：学会洞察先机，不做事后诸葛* 应用报告
- *外露焊盘封装实现理想热阻的电路板布局布线指南* 应用报告
- *半导体和 IC 封装热指标* 应用报告
- *使用 LM43603 和 LM43602 简化热设计* 应用报告
- *PowerPAD™ 耐热增强型封装* 应用报告
- *PowerPAD™ 速成* 应用报告
- *使用新的热指标* 应用报告
- *PCB 热量计算器*

Copyright © 2024 Texas Instruments Incorporated

8.2.4 应用曲线

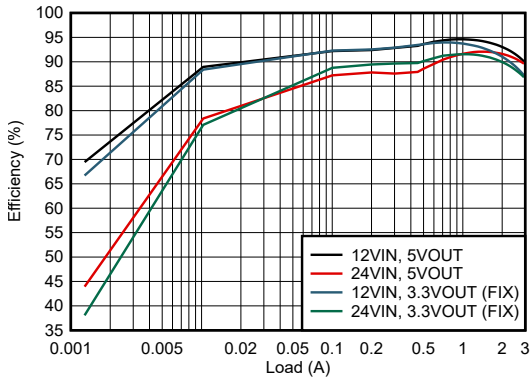


图 8-4. LMR66430MB3RBXNEP 效率（模式 = 自动）

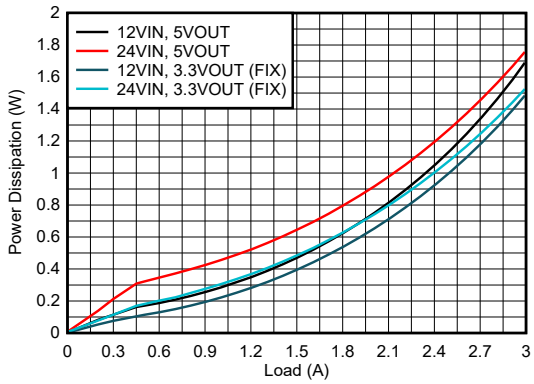


图 8-5. LMR66430MB3RBXNEP 功率耗散（模式 = 自动）

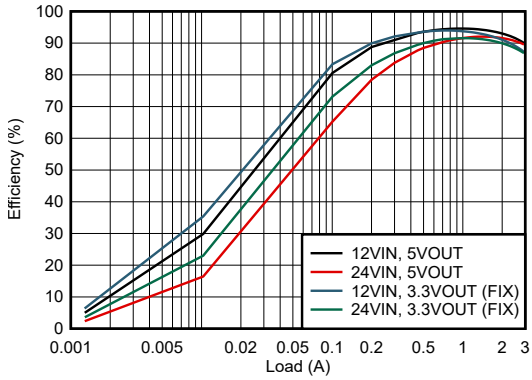


图 8-6. LMR66430MB3RBXNEP 效率（模式 = FPWM）

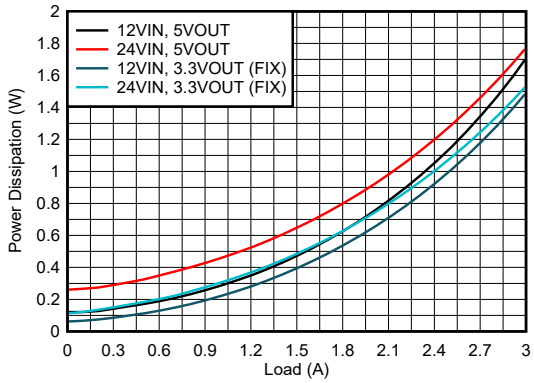
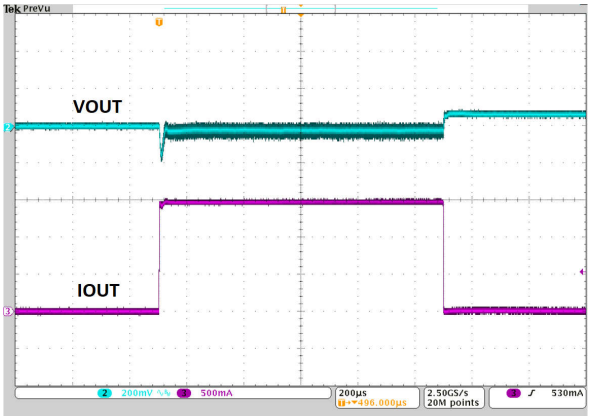
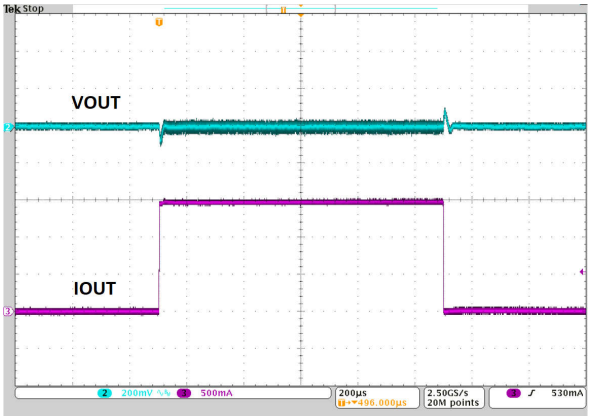


图 8-7. LMR66430MB3RBXNEP 功率耗散（模式 = FPWM）



LMR66430MB3RBXNEP
0A 至 1.5A，1A/µs
V_{OUT} = 3.3V（固定值）
模式 = 自动

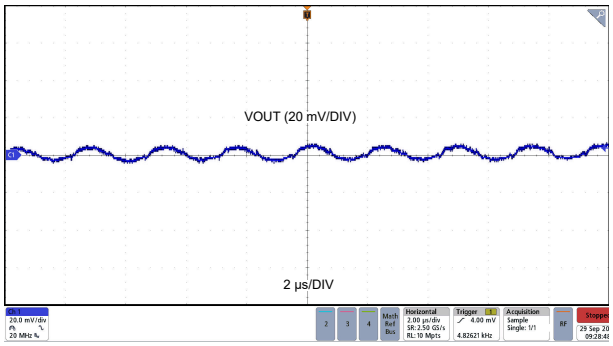
图 8-8. 负载瞬态



LMR66430MB3RBXNEP
0A 至 1.5A，1A/µs
V_{OUT} = 3.3V（固定值）
模式 = FPWM

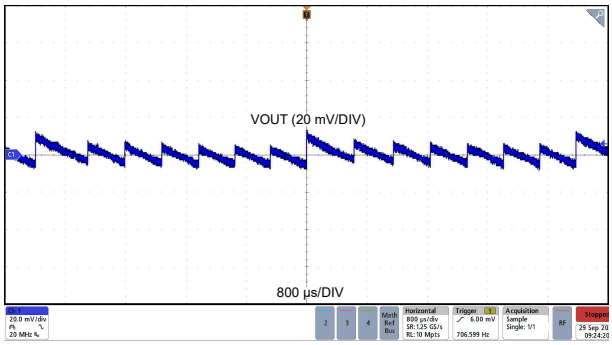
图 8-9. 负载瞬态

Copyright © 2024 Texas Instruments Incorporated



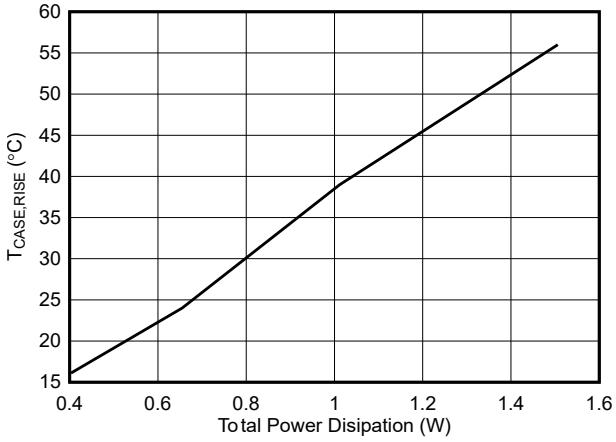
LMR66430MB3RBXNEP 3A 负载

图 8-10. 输出电压纹波



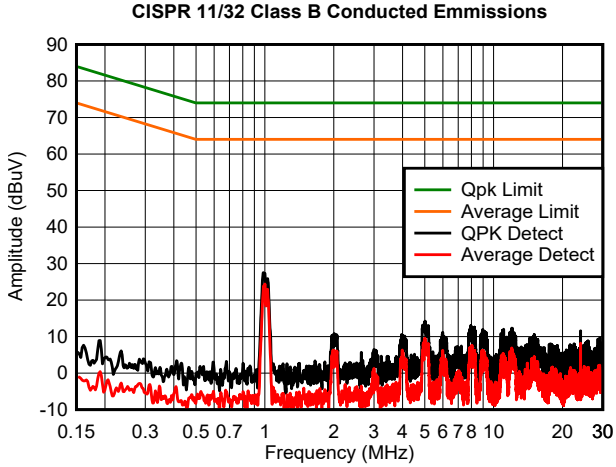
LMR66430MB3RBXNEP 0A 负载

图 8-11. 输出电压纹波



IC	电感器	环境温度
LMR66430MB3RBXNEP	XGL5030-472	22°C

图 8-12. LMR66430-2EVM 热性能



V_{IN} = 12V	V_{OUT} = 3.3V	Fsw = 1MHz
负载 = 3A	LMR66430-2EVM	FB1=5.6 µ H，C5 = 4.7 µ F

图 8-13. CISPR 11/32，B 类，传导 EMI

8.3 最佳设计实践

- 请勿超出*绝对最大额定值*。
- 请勿超出*建议运行条件*。
- 请勿超出 *ESD 等级*。
- 请勿使 EN 输入悬空。
- 不要让输出电压超过输入电压，也不要低于地电平。
- 在将设计投入生产之前，请遵循此数据表中的所有指南和建议。TI 应用工程师随时乐意帮助您对设计和 PCB 布局进行评论，助力项目取得成功。

8.4 电源相关建议

输入电源的特性必须符合本数据表中的*规格* 的要求。此外，输入电源必须能够向负载稳压器提供所需的输入电流。可以使用以下公式来估算平均输入电流。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (14)$$

其中

- η 是效率。

如果稳压器通过长导线或 PCB 布线连接到输入电源，则需要特别谨慎，以实现良好的性能。输入电缆的寄生电感和电阻可能会对稳压器的运行造成不良影响。寄生电感与低 ESR 陶瓷输入电容器相结合，可形成欠阻尼谐振电路，从而在稳压器的输入端产生过压瞬变。每当负载瞬变施加到输出时，寄生电阻都会导致 VIN 引脚上的电压下降。如果应用的工作电压接近最小输入电压，此下降会导致稳压器暂时关断并复位。要解决此类问题，最好的办法是限制输入电源与稳压器之间的距离，或者设法将铝或钽输入电容器与陶瓷电容器并联使用。这些类型的电容器的中等 ESR 有助于抑制输入谐振电路并减少任何过冲。20μF 至 100μF 范围内的值通常足以提供输入抑制，并有助于在大负载瞬变期间保持输入电压稳定。

有时，出于其他系统注意事项，在稳压器前面使用输入滤波器。除非经过精心设计，否则这样使用可能会导致不稳定以及上面提到的一些影响。*AN-2162：轻松解决直流/直流转换器的传导 EMI 问题* 应用报告提供了一些为任何开关稳压器设计输入滤波器时的实用建议。

在某些情况下，稳压器的输入端使用瞬态电压抑制器 (TVS)。一类此器件具有*迅速反向* 特性（晶闸管类型）。TI 不建议使用具有此类特性的器件。当 TVS 触发时，钳位电压降至非常低的值。如果该电压小于稳压器的输出电压，则输出电容器通过器件向输入端放电。这种不受控制的电流可能会损坏器件。

8.5 布局

8.5.1 布局指南

任何直流/直流转换器的 PCB 布局对于实现设计的理想性能而言都至关重要。PCB 布局不良可能会破坏原本良好的原理图设计的运行效果。即使转换器正确调节，PCB 布局不良也意味着稳健的设计无法大规模生产。此外，稳压器的 EMI 性能在很大程度上取决于 PCB 布局。在降压转换器中，最关键的 PCB 功能是由一个或多个输入电容器和电源地形成的环路，如图 8-14 所示。该环路承载大瞬态电流，在布线电感的作用下可能产生大瞬态电压。这些不必要的瞬态电压会破坏转换器的正常运行。因此，该环路中的布线必须宽且短，并且环路面积必须尽可能小以降低寄生电感。图 8-15 展示了 LMR66430-EP 关键元件的建议布局。

- *将输入电容器尽可能靠近 VIN 和 GND 端子放置。*
- *在靠近 VCC 引脚的位置放置一个 VCC 旁路电容器。*该电容器必须靠近器件放置，并使用短而宽的布线连接到 VCC 和 GND 引脚。
- 如果需要外部 C_{BOOT} 电容器，*请将 C_{BOOT} 电容器放置在尽可能靠近器件的位置，并使用短而宽的布线连接至 BOOT 和 SW 引脚。*
- *将反馈分压器尽可能靠近器件的 V_{OUT}/FB 引脚放置。*将 R_{FBB}、R_{FBT} 和 C_{FF}（如果使用）在物理上靠近器件放置。与 V_{OUT}/FB 和 GND 的连接必须短且靠近器件上的这些引脚。到 V_{OUT} 的连接可能会更长一些。但是，不得将这一条较长的布线布置在任何可能电容耦合到稳压器反馈路径的噪声源（例如 SW 节点）附近。

Copyright © 2024 Texas Instruments Incorporated

- *至少将其中一个中间层作为接地层*。该层充当噪声屏蔽层和散热路径。
- *为 VIN、VOUT 和 GND 提供宽路径*。使这些路径尽可能宽和直接可减少转换器输入或输出路径上的任何电压降，并更大限度地提高效率。
- *提供足够大的 PCB 面积，以实现适当的散热*。如节 8.2.3.10 所述，必须使铜面积足够大，以确保实现与最大负载电流和环境温度相称的低 $R_{\theta JA}$。PCB 顶层和底层必须采用 2 盎司铜，且不得小于 1 盎司。如果 PCB 设计使用多个铜层（建议），这些散热过孔也可以连接到内层散热接地层。
- *保持较小的开关面积*。保持 SW 引脚与电感器之间的铜区域尽可能短且宽。同时，必须更大程度地减小此节点的总面积，以帮助降低辐射 EMI。

有关其他重要指南，请参阅以下 PCB 布局资源：

- *开关电源布局指南* 应用报告
- *Simple Switcher PCB 布局指南* 应用报告
- *“构建电源之布局注意事项”研讨会*
- *使用 LM4360x 与 LM4600x 简化低辐射 EMI 布局* 应用报告

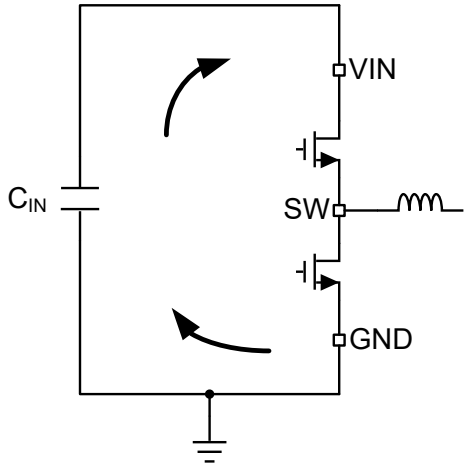


图 8-14. 具有快速边沿的电流环路

8.5.1.1 接地及散热注意事项

如前所述，TI 建议使用一个中间层作为实心接地层。接地层既为敏感电路和布线提供屏蔽功能，也为控制电流提供静态基准电位。使用紧挨旁路电容器的过孔，将 GND 引脚连接到接地层。GND 布线以及 VIN 和 SW 布线应限制在接地层的一侧。接地层另一侧的噪声要少得多，用于敏感的布线。

TI 建议在 GND 引脚附近留出充足的覆铜，以提供充分的器件散热。有关布局示例，请参阅图 8-15。系统接地层、顶层和底层的覆铜越厚，越利于散热。使用四层电路板，四层的铜厚（从顶层开始）依次为：2oz/1oz/1oz/2oz。具有足够铜厚度和适当布局布线的四层电路板可实现低电流传导阻抗、适当的屏蔽和较低的热阻。

Copyright © 2024 Texas Instruments Incorporated

8.5.2 布局示例

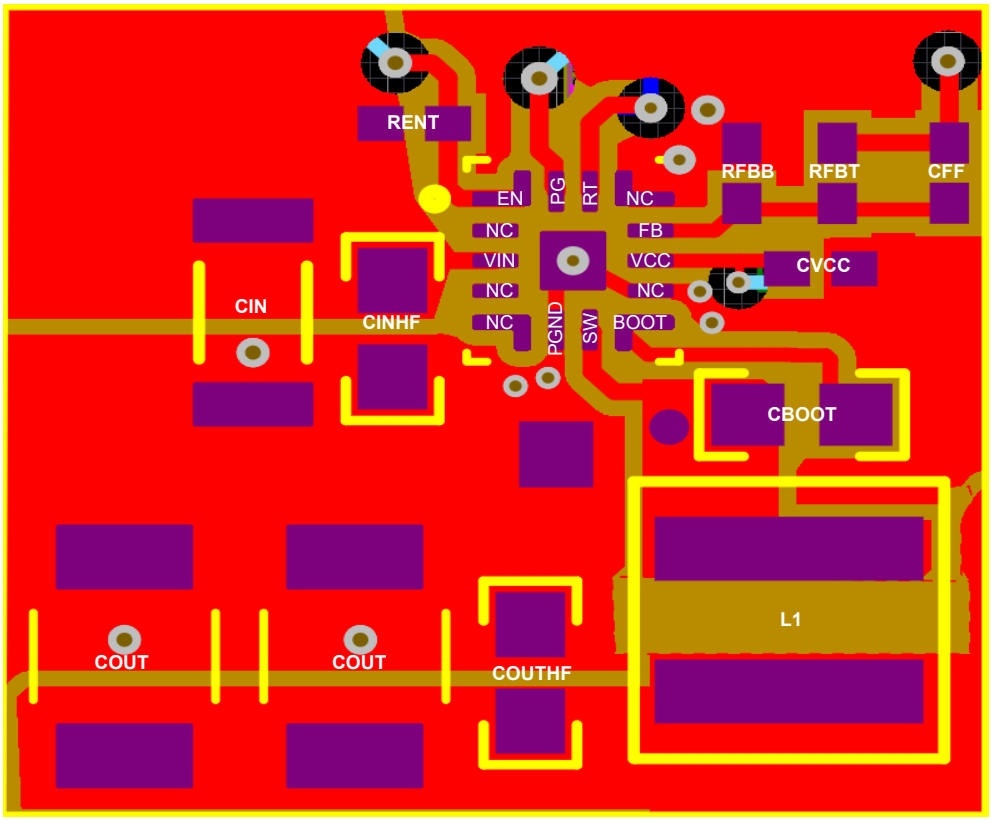


图 8-15. 示例布局

Copyright © 2024 Texas Instruments Incorporated

9 器件和文档支持

9.1 器件支持

9.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.1.2 器件命名规则

图 9-1 展示了 LMR66430-EP 的器件命名规则。有关每个变体的可用性，请参阅节 4。如需了解其他选项的详细信息和供货情况，请联系 TI 销售代表或访问 TI 的 E2E 论坛；最低订购量适用。

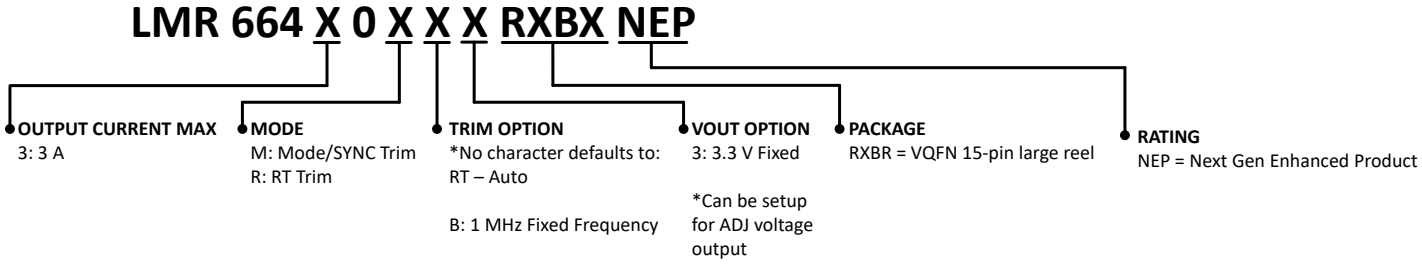


图 9-1. 器件命名规则

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*热设计：学会洞察先机，不做事后诸葛* 应用报告
- 德州仪器 (TI)，*外露焊盘封装实现理想热阻性的电路板布局布线指南* 应用报告
- 德州仪器 (TI)，*半导体和 IC 封装热指标* 应用报告
- 德州仪器 (TI)，*使用 LM43603 和 LM43602 简化热设计* 应用报告
- 德州仪器 (TI)，*PowerPAD™ 热增强型封装* 应用报告
- 德州仪器 (TI)，*PowerPAD™ 速成* 应用报告
- 德州仪器 (TI)，*“使用新的热指标”应用报告*
- 德州仪器 (TI)，*开关电源布局指南* 应用报告
- 德州仪器 (TI)，*Simple Switcher PCB 布局指南* 应用报告
- 德州仪器 (TI)，*“构建电源 - 布局注意事项”研讨会*
- 德州仪器 (TI)，*使用 LM4360x 与 LM4600x 简化低辐射 EMI 布局* 应用报告

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

HotRod™, PowerPAD™, and TI E2E™ are trademarks of Texas Instruments.

Copyright © 2024 Texas Instruments Incorporated

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

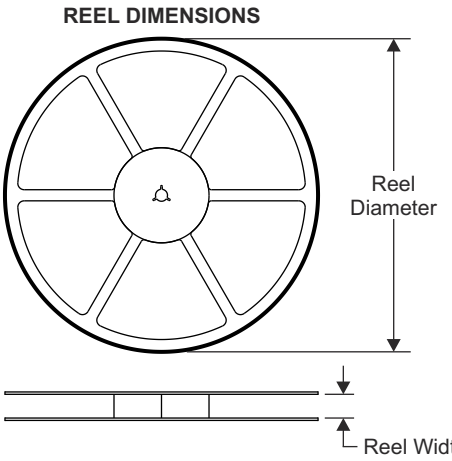
日期	修订版本	注释
September 2024	*	初始发行版

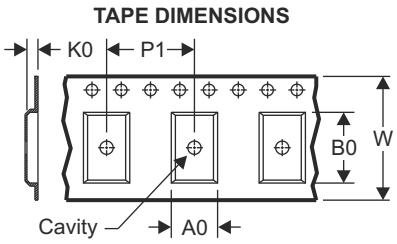
Copyright © 2024 Texas Instruments Incorporated

11 机械、封装和可订购信息

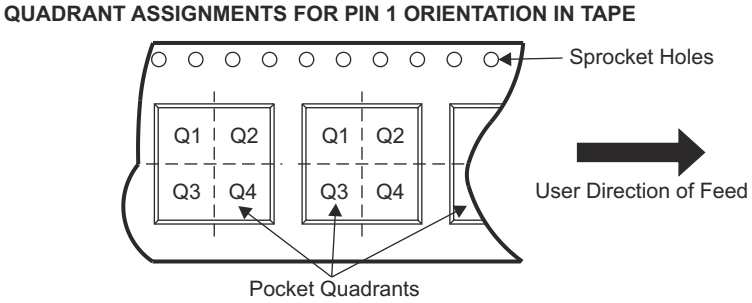
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

11.1 卷带包装信息





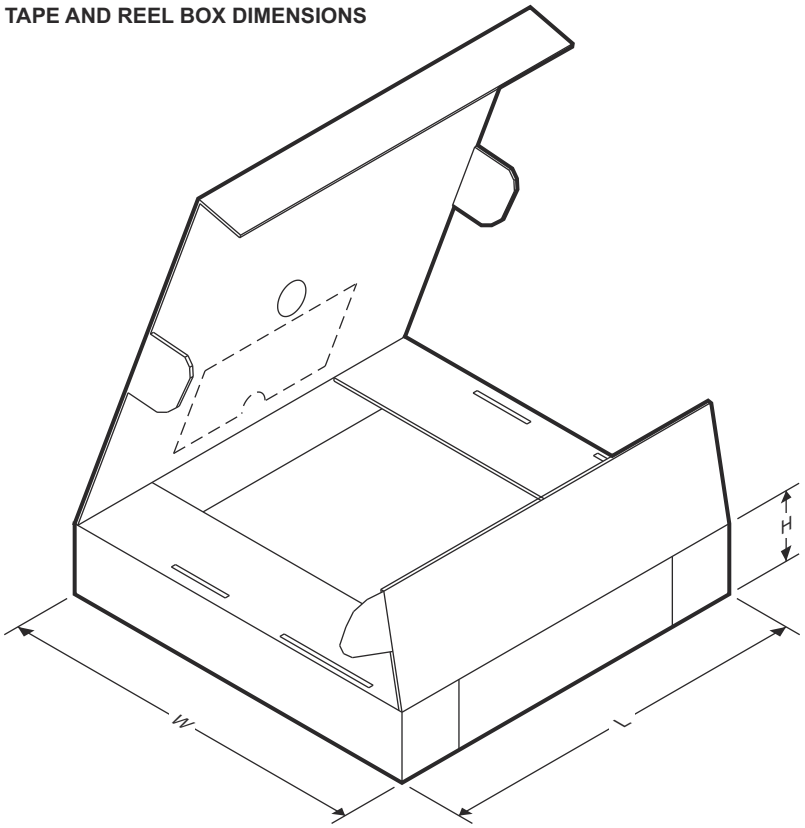
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
LMR66430MB3RXBRNEP	VQFN-FCRLF	RXB	14	3000	330.0	12.4	2.9	2.9	1.3	8.0	12.0	Q2
LMR66430R3RXBRNEP	VQFN-FCRLF	RXB	14	3000	330.0	12.4	2.9	2.9	1.3	8.0	12.0	Q2

Copyright © 2024 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
LMR66430MB3RXBRNEP	VQFN-FCRLF	RXB	14	3000	367.0	367.0	35.0
LMR66430R3RXBRNEP	VQFN-FCRLF	RXB	14	3000	367.0	367.0	35.0

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMR66430MB3RXBRNEP	Active	Production	VQFN-FCRLF (RXB) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 150	MB3NE
LMR66430MB3RXBRNEP.A	Active	Production	VQFN-FCRLF (RXB) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 150	MB3NE
LMR66430R3RXBRNEP	Active	Production	VQFN-FCRLF (RXB) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 150	R3NE
LMR66430R3RXBRNEP.A	Active	Production	VQFN-FCRLF (RXB) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 150	R3NE

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMR66430-EP :

- Catalog : LMR66430
- Automotive : LMR66430-Q1

NOTE: Qualified Version Definitions:

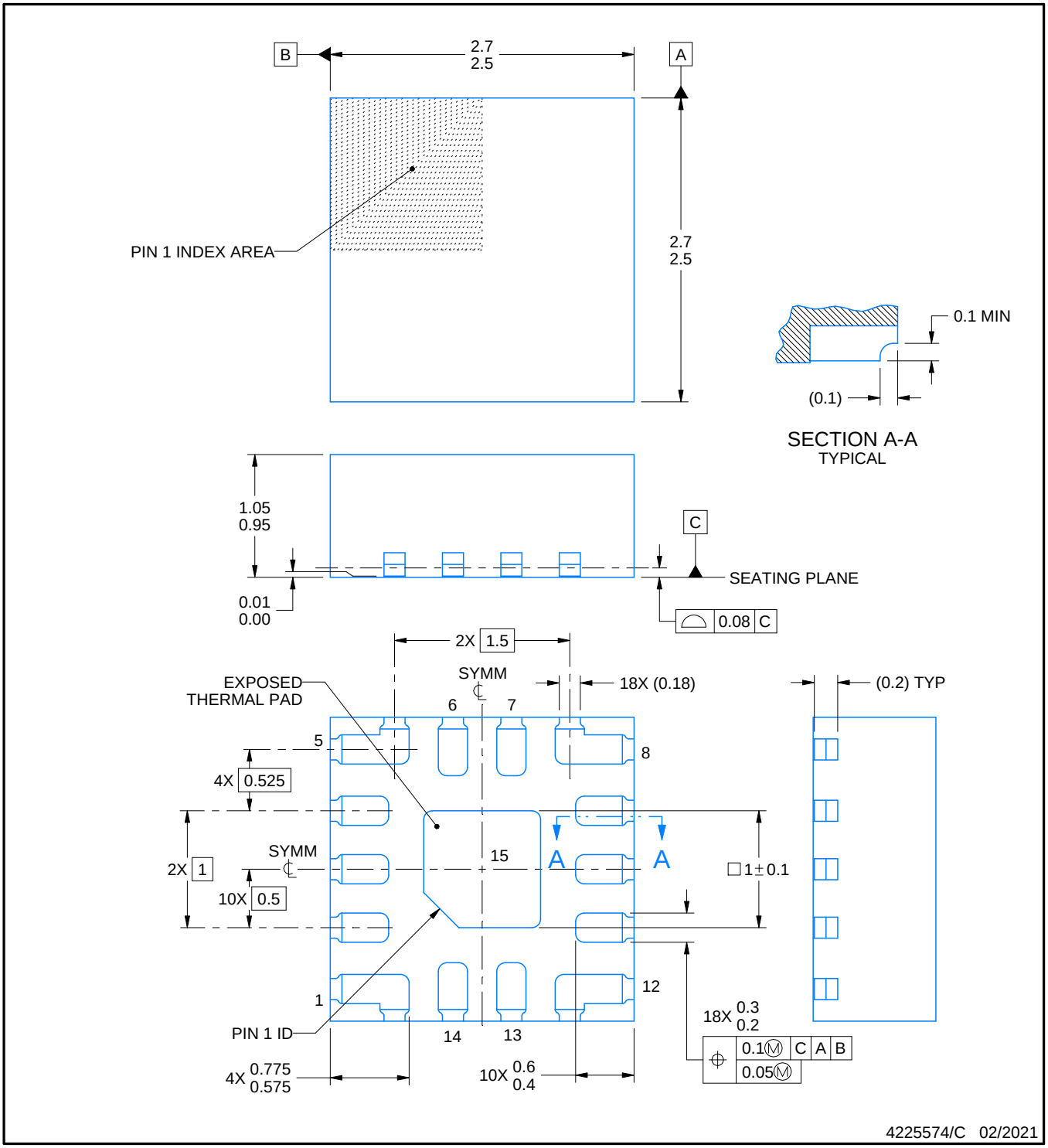
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

PACKAGE OUTLINE

RXB0014A

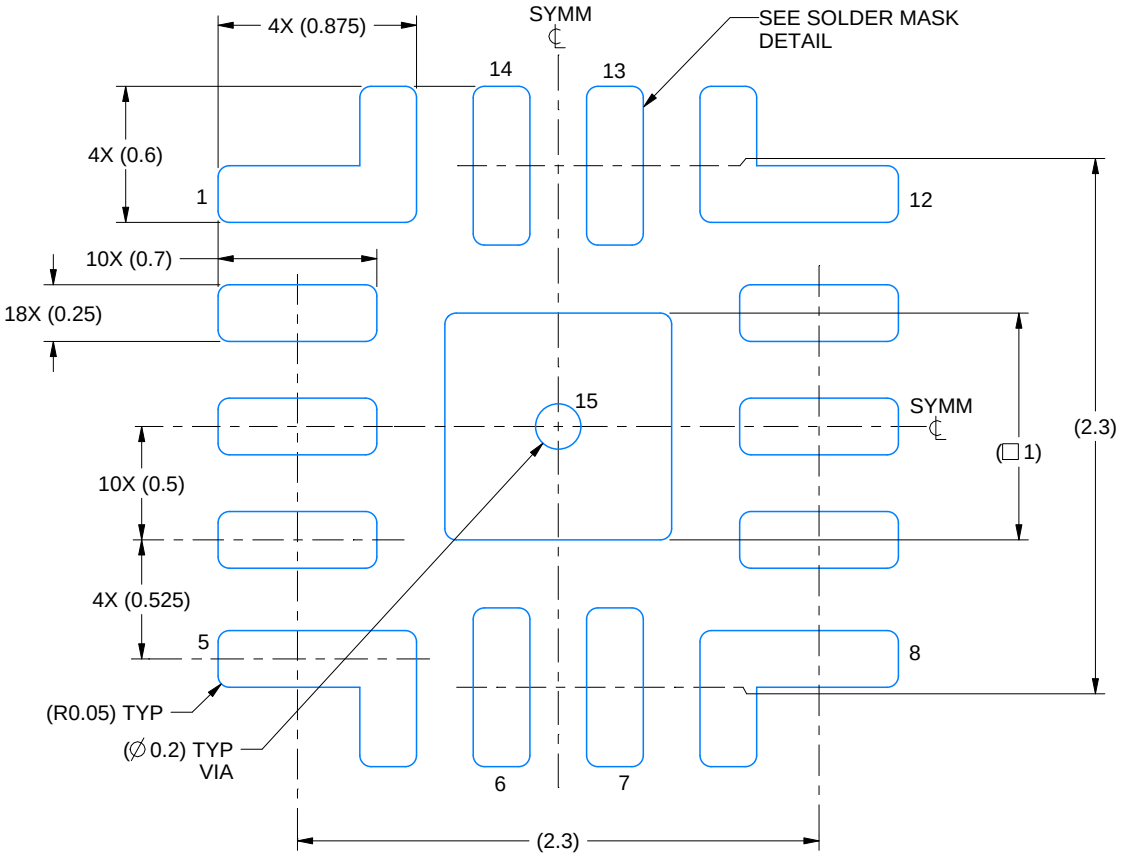
VQFN-FCRLF - 1.05 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

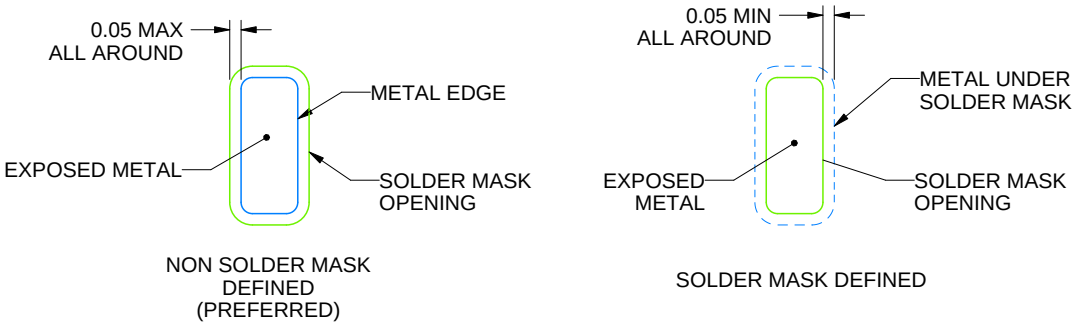


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X

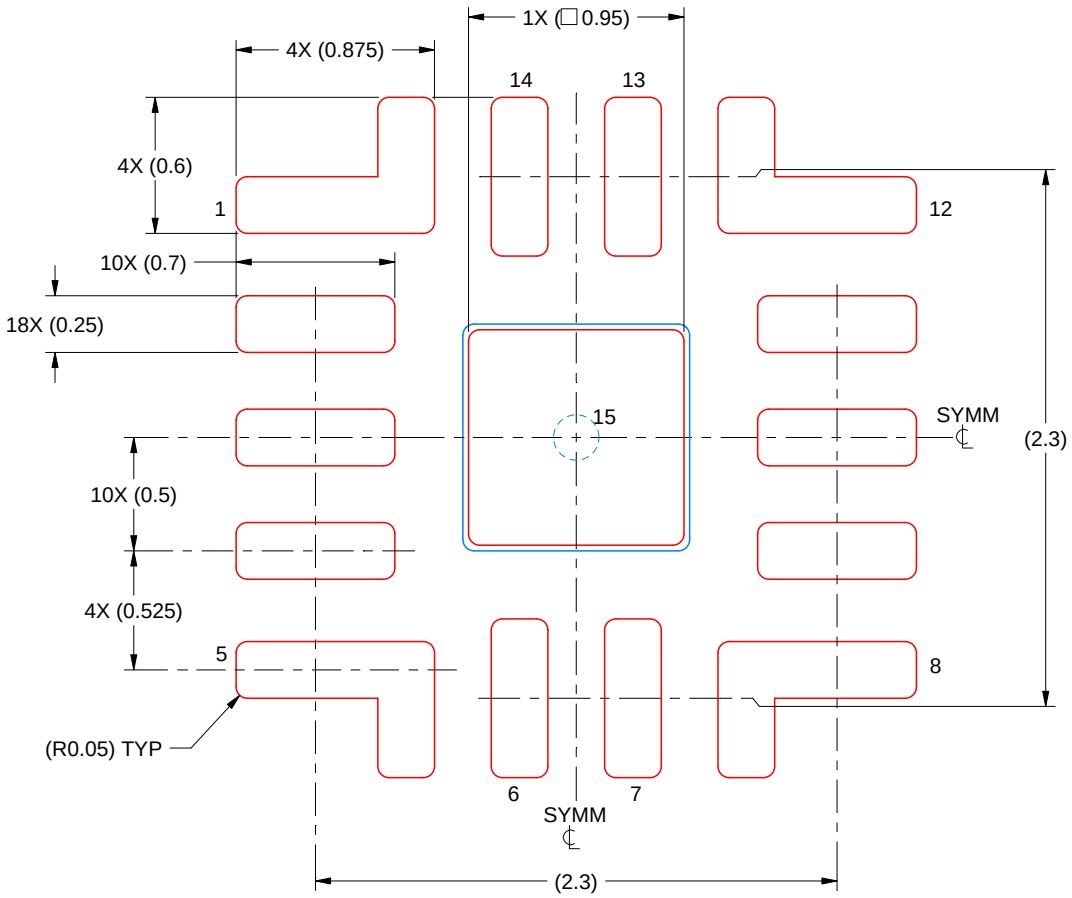


SOLDER MASK DETAILS

4225574/C 02/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 30X

EXPOSED PAD 15
90% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225574/C 02/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月