适用于无线通信和 且具有 BAW VCO 和 JED204B/JED204C 的 LMK5C23208A 2-DPLL 3-APLL 2 路输入 8 路输出网络同步器

1 特性

- 基于 BAW VCO 的超低抖动无线基础设施和以太网时钟
  - 在 491.52MHz 下典型 RMS 抖动为 40fs，最大 RMS 抖动为 57fs
  - 在 245.76MHz 下典型 RMS 抖动为 50fs，最大 RMS 抖动为 62fs
- 2 个高性能数字锁相环 (DPLL) 搭配 3 个模拟锁相环 (APLL)
  - 可编程 DPLL 环路带宽范围为 1mHz 至 4kHz
  - DCO 频率调节步长 < 1ppt
- 2 个差分或单端 DPLL 输入
  - 1Hz (1PPS) 至 800MHz 输入频率
  - 数字 保持 和 无中断切换
- 8 个采用可编程 HSDS、AC-LVPECL、LVDS 和 HSCL 格式的差分输出
  - 当在 OUT0_P/N、OUT1_P/N、GPIO1 和 GPIO2 上配置 6 个 LVCMOS 频率输出并在 OUT3_P/N 至 OUT15_P/N 上配置 6 个差分输出时，最多总共 12 个频率输出
  - 支持可编程摆幅和共模的 1Hz (1PPS) 至 1250MHz 输出频率
  - 符合 PCIe 第 1 代到第 6 代标准
- I^2C 或 3 线/4 线 SPI

2 应用

- 4G 和 5G 无线网络
  - 有源天线系统 (AAS)，mMIMO
  - 宏远程无线电单元 (RRU)
  - CPRI/eCPRI 基带单元、集中式单元、分布式单元 (BBU、CU、DU)
  - 小型蜂窝基站
- SyncE (G.8262)、SONET/SDH (Stratum 3/3E、G.813、GR-1244、GR-253) 、IEEE-1588 PTP 辅助时钟
- 112G/224G PAM4 串行器/解串器的抖动消除、漂移衰减和基准时钟生成
- 光传输网络 (OTN G.709)
- 宽带固定线路接入
- 工业
  - 测试和测量

3 说明

LMK5C23208A 是一款高性能网络同步器和抖动清除器，旨在满足无线通信和基础设施应用的严格要求。

器件集成了 2 个 DPLL 和 3 个 APLL，可通过可编程环路带宽 (LBW) 提供无中断切换和抖动衰减功能，具备一个外部环路滤波器，充分提升了灵活性和易用性。

APLL3 具有超高性能 PLL 和 TI 专有的体声波 (BAW) 技术。BAW APLL 可以生成 491.52MHz 输出时钟，其 RMS 抖动典型值为 40fs / 最大值为 60fs (12kHz 至 20MHz) ，而不受 DPLL 基准输入的频率和抖动特性的影响。APLL2 和 APLL1 (传统 LC VCO) 提供用于第二或第三频率域和/或同步域的选项。

基准验证电路会监测 DPLL 基准输入，并在检测到或丢失输入时自动执行无中断切换。零延迟模式 (ZDM) 可控制输入和输出之间的相位关系。

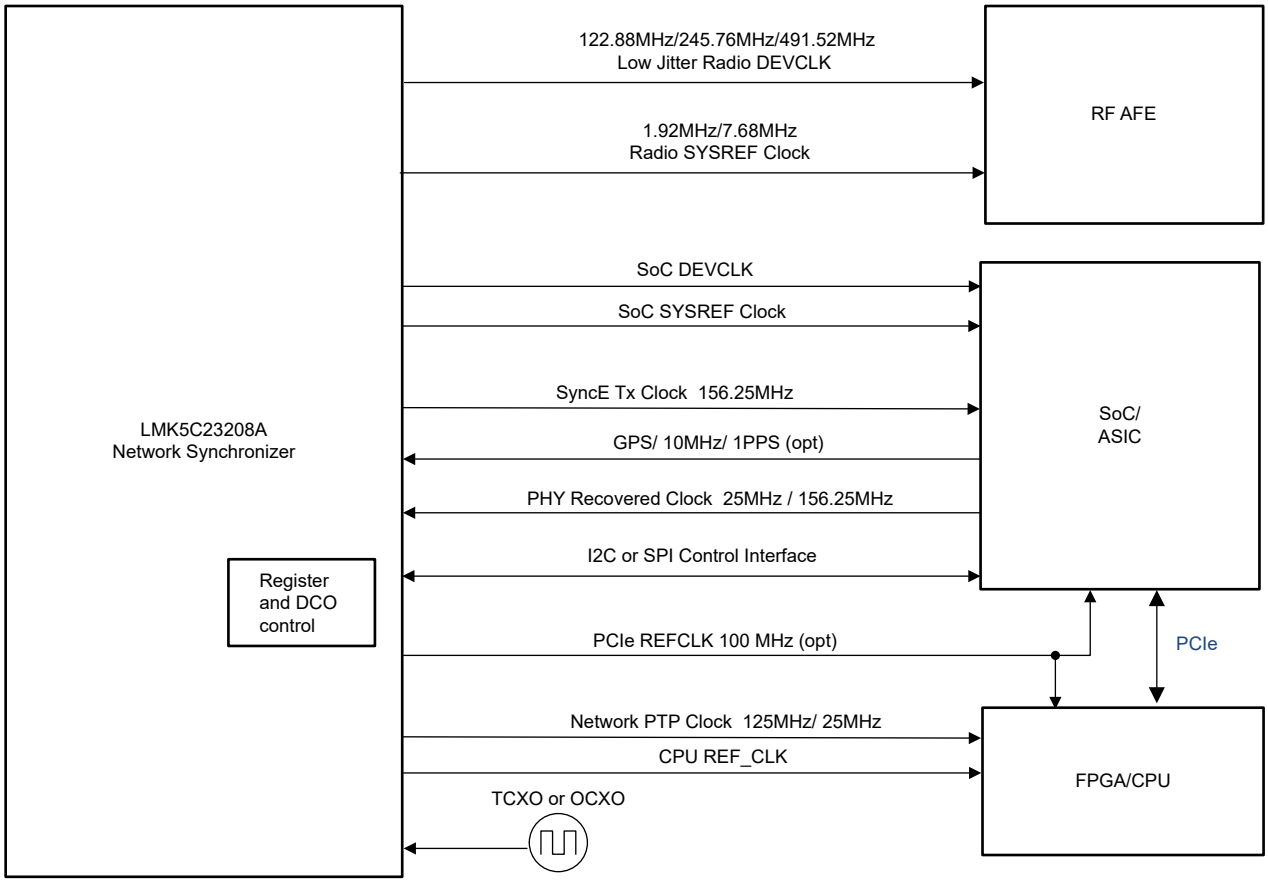
该器件可通过 I^2C 或 SPI 进行全面编程。集成的 EEPROM 可用于自定义系统启动时钟。该器件还具有出厂默认的 ROM 配置文件作为备用选项。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMK5C23208A	RGC (VQFN，64)	9.00mm × 9.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用) 。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本 (控制文档) 。



LMK5C23208A 典型系统方框图

Copyright © 2025 Texas Instruments Incorporated

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较 4
5 引脚配置和功能 5
6 规格 8
6.1 绝对最大额定值 8
6.2 ESD 等级 8
6.3 建议运行条件 8
6.4 热性能信息 9
6.5 电气特性 9
6.6 时序图 18
6.7 典型特性 21
7 参数测量信息 24
7.1 差分电压测量术语 24
7.2 输出时钟测试配置 25
8 详细说明 27
8.1 概述 27
8.2 功能方框图 28
8.3 特性说明 38
8.4 器件功能模式 67
8.5 编程 75
9 应用和实施 82
9.1 应用信息 82
9.2 典型应用 85
9.3 最佳设计实践 89
9.4 电源相关建议 89
9.5 布局 90
10 器件和文档支持 93
10.1 器件支持 93
10.2 文档支持 93
10.3 接收文档更新通知 93
10.4 支持资源 93
10.5 商标 93
10.6 静电放电警告 93
10.7 术语表 93
11 修订历史记录 93
12 机械、封装和可订购信息 94
12.1 机械数据 95
封装信息 98
12.2 卷带包装信息 99

Copyright © 2025 Texas Instruments Incorporated

4 器件比较

表 4-1. 器件比较表

新器件型号	IN	OUT	DPLL	APLL	VCBO 频率 [MHz]	附带了 IEEE 1588 PTP 栈软件
LMK5C33216A	2	16	3	3	2457.6	否
LMK5C33216AS1	2	16	3	3	2457.6	是
LMK5C33414A	4	14	3	3	2457.6	否
LMK5C33414AS1	4	14	3	3	2457.6	是
LMK5C22212A	2	12	2	2	2457.6	否
LMK5C22212AS1	2	12	2	2	2457.6	是
LMK5C23208A	2	8	2	3	2457.6	否
LMK5B33216	2	16	3	3	2500	否
LMK5B33414	4	14	3	3	2500	否
LMK5B12212	2	12	1	2	2500	否

Copyright © 2025 Texas Instruments Incorporated

5 引脚配置和功能

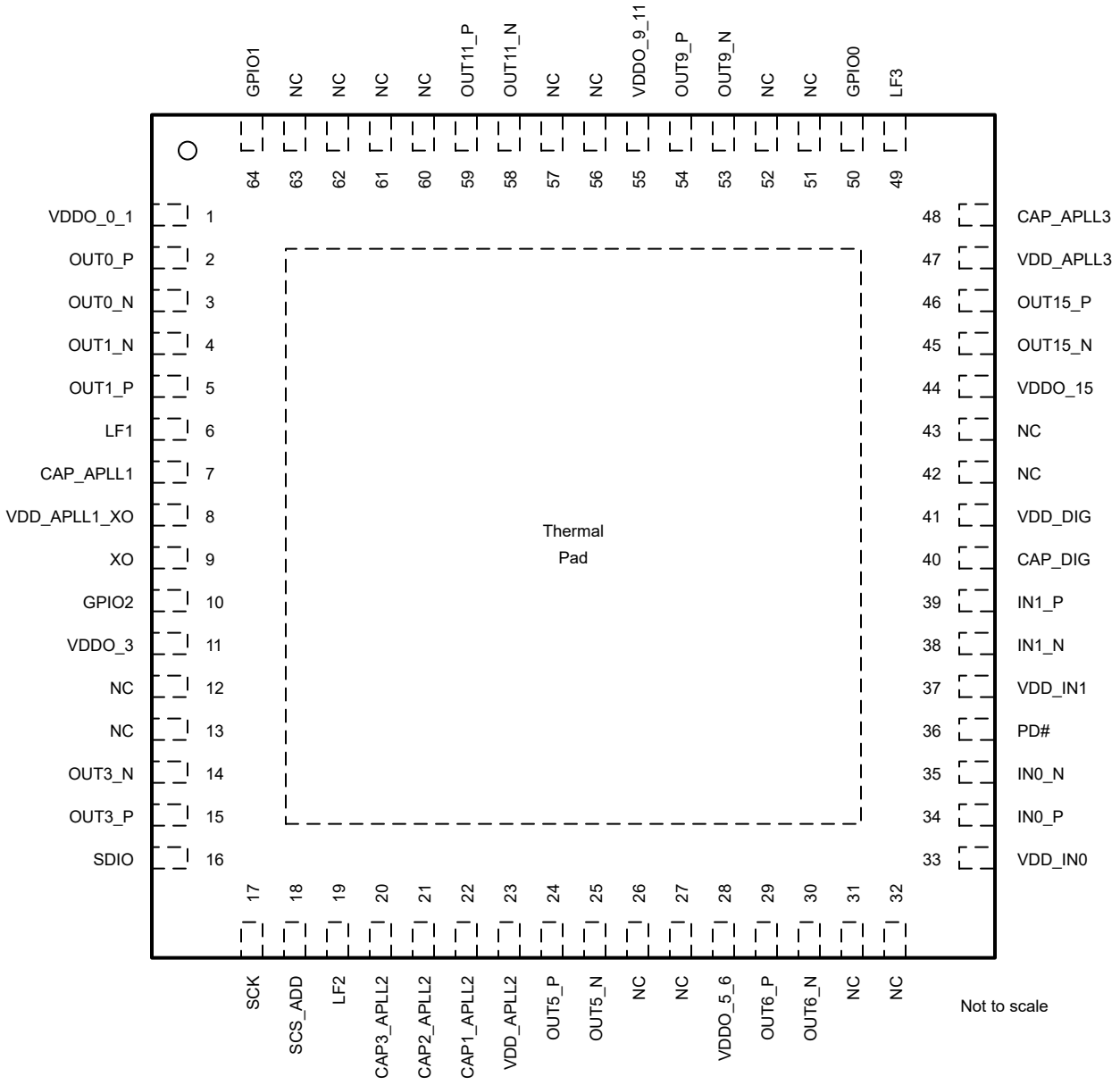


图 5-1. LMK5C23208A RGC 封装 64 引脚 VQFN 顶视图

表 5-1. LMK5C23208A 引脚功能

引脚		类型(1)	说明
名称	编号		
POWER			
VDDO_0_1	1	P	OUT0 和 OUT1 的电源。连接到电源；不保持悬空或连接到 GND。
VDD_APLL1_XO	8	P	XO 和 APLL1 的电源。连接到电源；不保持悬空或连接到 GND。
VDDO_3	11	P	OUT3 的电源。连接到电源；不保持悬空或连接到 GND。
VDD_APLL2	23	P	APLL2 的电源
VDDO_5_6	28	P	OUT5 和 OUT6 的电源
VDD_IN0	33	P	IN0 DPLL 基准的电源

Copyright © 2025 Texas Instruments Incorporated

表 5-1. LMK5C23208A 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
VDD_IN1	37	P	IN1 DPLL 基准的电源
VDD_DIG	41	P	数字的电源。连接到电源；不保持悬空或连接到 GND。
VDDO_15	44	P	OUT15 的电源
VDD_APLL3	47	P	APLL3 的电源 (BAW APLL)。连接到电源；不保持悬空或连接到 GND。
VDDO_9_11	55	P	OUT9 至 OUT11 的电源
DAP	不适用	G	接地
核心块 (2)			
LF1	6	A	APLL1 的外部环路滤波电容器。建议电容值为 100nF。更多详细信息，请参阅 APLL 环路滤波器（LF1、LF2）。
CAP_APLL1	7	A	APLL1 VCO 的 LDO 旁路电容器。建议电容值为 10µF。
LF2	19	A	APLL2 的外部环路滤波器电容。建议电容值为 100nF。更多详细信息，请参阅 APLL 环路滤波器（LF1、LF2）。
CAP3_APLL2	20	A	APLL2 VCO 的内部偏置旁路电容器。建议电容值为 10µF。
CAP2_APLL2	21	A	APLL2 VCO 的内部偏置旁路电容器。建议电容值为 10µF。
CAP1_APLL2	22	A	APLL2 VCO 的 LDO 旁路电容器。建议电容值为 10µF。
CAP_DIG	40	A	数字内核逻辑的 LDO 旁路电容器。建议电容值为 10 µ F。
CAP_APLL3	48	A	BAW APLL 的内部偏置旁路电容器。建议电容值为 10µF。
LF3	49	A	BAW APLL 的外部环路滤波器电容。建议电容值为 470nF。更多详细信息，请参阅 APLL 环路滤波器（LF1、LF2）。
输入块			
XO	9	I	XO/TCXO/OCXO 输入引脚，请参阅振荡器输入 (XO) 以配置内部 XO 输入终端。
IN0_P	34	I	DPLLx 的主参考输入或缓冲至 OUT0 或 OUT1 的主参考输入。请参阅基准输入以配置内部基准输入终端。
IN0_N	35	I	
IN1_N	38	I	DPLLx 的次参考输入或缓冲至 OUT0 或 OUT1 的次级参考输入。请参阅基准输入 以配置内部基准输入终端。
IN1_P	39	I	
输出块			
OUT0_P	2	O	时钟输出 0。来自 DPLL 参考输入、XO、BAW APLL、APLL2 或 APLL1。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、LVDS、HSDS、HCSL、1.8V LVCMOS 或 2.65V LVCMOS。有关配置和端接输出的详细信息，请参阅时钟输出。
OUT0_N	3	O	
OUT1_N	4	O	时钟输出 1。来自 DPLL 参考输入、XO、BAW APLL、APLL2 或 APLL1。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、LVDS、HSDS、HCSL、1.8V LVCMOS 或 2.65V LVCMOS。有关配置和端接输出的详细信息，请参阅时钟输出。
OUT1_P	5	O	
OUT3_N	14	O	时钟输出 3。来自 BAW APLL 和 APLL2。可编程格式：AC-LVPECL、LVDS、HSDS 或 HCSL。有关配置和端接输出的详细信息，请参阅时钟输出。
OUT3_P	15	O	
OUT5_P	24	O	时钟输出 5。来自 BAW APLL 或 APLL2。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、LVDS、HSDS 或 HCSL。有关配置和端接输出的详细信息，请参阅时钟输出。
OUT5_N	25	O	
OUT6_P	29	O	时钟输出 6。来自 BAW APLL 或 APLL2。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、LVDS、HSDS 或 HCSL。有关配置和端接输出的详细信息，请参阅时钟输出。
OUT6_N	30	O	
OUT15_N	45	O	时钟输出 15。来自 BAW APLL、APLL2 或 APLL1。可编程格式：AC-LVPECL、HSDS、LVDS、HCSL。如需有关配置和端接输出的详细信息，请参阅时钟输出 (OUTx_P/N)。
OUT15_P	46	O	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. LMK5C23208A 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
OUT9_N	53	O	时钟输出 9。来自 BAW APLL 或 APLL2。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、LVDS、HSDS 或 HCSL。有关配置和端接输出的详细信息，请参阅时钟输出。
OUT9_P	54	O	
OUT11_N	58	O	时钟输出 11。来自 BAW APLL 或 APLL2。支持 SYSREF/1PPS 输出。可编程格式：AC-LVPECL、LVDS、HSDS 或 HCSL。有关配置和端接输出的详细信息，请参阅时钟输出。
OUT11_P	59	O	
逻辑控制/状态			
GPIO2(3)	10	I/O、S	POR：请参阅 ROM 详细说明 正常运行：GPIO 输入或输出
SDIO(4)	16	I/O	SPI 输入或 I²C 数据 (SDA)
SCK(4)	17	I	SPI 或 I²C 时钟 (SCL)
SCS_ADD(3)	18	I，S	POR：I²C 地址选择（请参阅 GPIO1 和 SCS_ADD 功能 和 I²C 串行接口） 正常运行：SPI 芯片选择（2 态）
PD#	36	I	器件断电（低电平有效），内部 200kΩ 上拉电阻连接至 V_{CC}
GPIO0(3)	50	I/O、S	POR：请参阅 ROM 详细说明 正常运行：GPIO 输入或输出
GPIO1(3)	64	I/O、S	POR：请参阅 GPIO1 和 SCS_ADD 功能 正常运行：GPIO 输入或输出
NC	12	-	无连接。保持悬空，不连接到 GND。
NC	13	-	
NC	26	-	
NC	27	-	
NC	31	-	
NC	32	-	
NC	51	-	
NC	52	-	
NC	56	-	
NC	57	-	
NC	60	-	
NC	61	-	
NC	62	-	
NC	63	-	
NC	42	-	无连接。保持悬空或连接到 GND。
NC	43	-	

(1) P = 电源，G = 接地，I = 输入、O = 输出，I/O = 输入或输出，A = 模拟，S = 配置。
(2) 不要对内核引脚应用外部激励。这些对性能有严格要求的引脚并非设计用于满足正常闩锁测试合规性水平。为了获得出色滤波性能，电容器应靠近 IC 放置。
(3) 在源斜坡期间启用 3 电平模式时或当 PD 号为低电平时：555kΩ 内部分压器连接至 V_{CC}，且 201kΩ 连接至 GND。当启用 2 电平输入模式时：内部 408kΩ 下拉电阻连接至 GND。
(4) 670kΩ 上拉电阻连接至内部 2.6V LDO。

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
VDD(2)	内核电源电压	-0.3	3.6	V
VDDO(3)	输出电源电压	-0.3	3.6	V
V_{IN}	时钟和逻辑输入的输入电压范围	-0.3	VDD+0.3	V
V_{OUT_LOGIC}	逻辑输出的输出电压范围	-0.3	VDD+0.3	V
V_{OUT}	时钟输出的输出电压范围	-0.3	VDDO+0.3	V
T_j	结温		150	°C
T_{stg}	贮存温度范围	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) VDD 指所有内核电源引脚或电压。所有 VDD 内核电源均必须在 PD# 被拉至高电平以触发内部上电复位 (POR) 之前上电。
(3) VDDO 指所有输出电源引脚或电压。VDDO_x 指特定输出通道的输出电源，其中 x 表示通道索引。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
VDD(1)	内核电源电压	3.135	3.3	3.465	V
VDDO_x(2)	输出电源电压(3)	3.135	3.3	3.465	V
VDD_{OD}	开漏输出的输出电压范围	1.71		3.465	V
T_A	工作环境温度范围	-40		85	°C
T_J	结温			135	°C
$T_{CONT-LOCK}$	连续锁定过热温度 - 无需 VCO 重新校准			125	°C
t_{VDD}	电源斜坡时间(4)	0.01		100	ms

(1) VDD 指所有内核电源引脚或电压。所有 VDD 内核电源都必须在内部上电复位 (POR) 之前上电。
(2) VDDO 指所有输出电源引脚或电压。VDDO_x 指特定输出通道的输出电源，其中 x 表示通道索引。
(3) CMOS 输出电压电平由 CMOS 输出 LDO 的内部编程确定，旨在支持 1.8V 或 2.65V 电压。
(4) VDD 单调斜升至 2.7V 以上来实现适当内部上电复位的时间。如果 VDD 斜升较慢或非单调，请将 PD# 保持为低电平，直到 VDD 电压有效为止。

Copyright © 2025 Texas Instruments Incorporated

6.4 热性能信息

热指标(1) (2) (3)		LMK5C23208A RGC (VQFN) 64 引脚	单位
$R_{\theta JA}$	结至环境热阻	21.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	11.1	°C/W
$R_{\theta JB}$	结至电路板热阻	6.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.8	°C/W
ψ_{JT}	结至顶部特征参数	0.3	°C/W
ψ_{JB}	结至电路板特征参数	6.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅应用手册：*半导体和 IC 封装热指标*。
(2) 热性能信息基于具有 49 个散热孔（7mm x 7mm 图案，0.3mm 孔）的 10 层 200mm x 250mm 板。
(3) 借助 Ψ_{JB}，系统设计人员能够用一个精密热电偶来测量电路板温度 (T_{PCB})，并反过来计算器件结温 $T_J = T_{PCB} + (\Psi_{JB} \times Power)$。JESD51-6 定义了 Ψ_{JB} 的测量。

6.5 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电流消耗特性						
I_{DD-XO}	XO 输入电流消耗	XO		3.5		mA
$I_{DD-XO2X}$	每个 XO 倍频器的电流消耗	XO 倍频器(1)		0.3		mA
I_{DD-INX}	每个 DPLL 基准输入块的内核电流消耗	IN0		3.6		mA
		IN1		3.1		mA
$I_{DD-DPLL}$	每个 DPLL 的电流消耗	DPLL(2)		55		mA
$I_{DD-APLL1}$	APLL1 电流消耗	APLL1		90		mA
$I_{DD-APLL2}$	APLL2 电流消耗	APLL2		160		mA
$I_{DD-APLL3}$	BAW APLL 电流消耗	APLL3、BAW APLL		120		mA
$I_{DD-APLL1}$	BAW APLL 电流消耗	APLL1、BAW APLL		120		mA
I_{DD-ANA}	模拟偏置电流消耗	VDD_APLL1_XO 电源引脚的模拟电路。器件启用时始终开启。		42		mA
I_{DD-DIG}	数字控制电流消耗	启用器件时，VDD_DIG 电源引脚的数字控制电路始终开启。		34		mA
$I_{DDO-CHDIV}$	每个通道分频器块的电流消耗	12 位通道分频器		20		mA
$I_{DDO-1PPSDIV}$	每个 1PPS/SYSREF 分频器块的电流消耗	20 位 1PPS/SYSREF 分频器		12		mA
$I_{DDO-DELAY}$	每个 1PPS/SYSREF 模拟延迟块的电流消耗	启用模拟延迟功能		10		mA
$I_{DDO-HSDS}$	每个输出驱动器的 HSDS 电流消耗	HSDS 缓冲器（VCM 电平 = s1，I_{out} = 4mA，100Ω 终端）		19		mA
		HSDS 缓冲器（VCM 电平 = s1，I_{out} = 7mA，100Ω 终端）		22		mA
		HSDS 缓冲器（VCM 电平 = s1，I_{out} = 10mA，100Ω 终端）		25		mA
$I_{DDO-HCSL}$	每个输出驱动器的 HCSL 电流消耗	HCSL 输出（每侧 50Ω 终端）		30.5		mA
I_{DD_PD}	断电电流消耗	器件断电，PD# = 低电平		90	110	mA
基准输入特性 (INx)						

Copyright © 2025 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f_{IN}	INx 频率范围	单端输入	0.5E-6		200	MHz
		差分输入	5		800	
V_{IH}	单端输入高电压	直流耦合输入模式 (3)	1.2		VDD + 0.3	V
V_{IL}	单端输入低电平				0.5	V
$V_{IN-SE-PP}$	单端输入电压摆幅	交流耦合输入模式 (4)	0.4		2	V_{pp}
$V_{IN-DIFF-PP}$	差分输入电压摆幅	交流或直流耦合输入 (5)	0.4		2	V_{pp}
V_{ICM}	输入共模	直流耦合差分输入 (6)	0.1		2	V
dV/dt	输入压摆率	单端输入	0.2	0.5		V/ns
		差分输入	0.2	0.5		V/ns
IDC	输入时钟占空比	非 1PPS 信号	40		60	%
$t_{PULSE-1PPS}$	输入的 1PPS 脉冲宽度	1PPS 或脉冲信号	100			ns
I_{IN-DC}	直流输入漏电流	单引脚 INx_P 或 INx_N，禁用 50Ω 和 100Ω 内部终端，启用或禁用交流耦合模式	-350		350	µA
C_{IN}	输入电容	单端，每个引脚		2		pF
XO/TCXO 输入特性 (XO)						
f_{CLK}	XO 输入频率范围 (7)		10		156.25	MHz
V_{IH}	LVCMOS 输入高电压	直流耦合输入模式 (8)	1.4		VDD + 0.3	V
V_{IL}	LVCMOS 输入低电压				0.8	V
V_{IN-SE}	单端输入电压摆幅	交流耦合输入模式 (9)	0.4		VDD + 0.3	V_{pp}
dV/dt	输入压摆率		0.2	0.5		V/ns
IDC	输入占空比		40		60	%
I_{IN-DC}	直流输入漏电流	单引脚 XO_P，禁用 50Ω 和 100Ω 内部终端	-350		350	µA
C_{IN}	每个引脚上的输入电容			1		pF
C_{EXT}	外部交流耦合电容器			10		nF
APLL/VCO 特性						
f_{PFD}	PFD 频率范围	BAW APLL 分数反馈分频器			110	MHz
		APLL1、APLL2 分数反馈分频器			125	MHz
f_{VCO1}	VCO1 频率范围	APLL1	4800		5350	MHz
f_{VCO2}	VCO2 频率范围	APLL2	5595		5950	MHz
f_{VCBO}	VCBO 频率范围	APLL3、BAW APLL	2457.35	2457.6	2457.85	MHz
$t_{APLL1-LOCK}$	APLL1 锁定时间	软/硬复位与稳定 APLL1 输出之间的时间。		20	35	ms
$t_{APLL2-LOCK}$	APLL2 锁定时间	软/硬复位与稳定 APLL2 输出之间的时间。		350	460	ms
$t_{BAW\ APLL-LOCK}$	BAW APLL 锁定时间	软复位或硬复位与稳定 BAW APLL 输出之间的时间。		12.5	13	ms
HSDS 输出特性 (OUTx)						
f_{OUT}	输出频率范围		1E – 6		1250	MHz
$V_{OUT-DIFF}$	差分输出摆幅			$2\times V_{OD-HSDS}$		mVpp

Copyright © 2025 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{OD-HSDS}$	HSDS 输出电压摆幅	f_{out} < 100MHz，I_{out} = 4mA	350	400	440	mV
		f_{out} < 100MHz，I_{out} = 7mA	625	700	750	mV
		f_{out} < 100MHz，I_{out} = 10mA	900	975	1050	mV
		100MHz ≤ f_{out} ≤ 325MHz，I_{out} = 4mA	335	400	445	mV
		100MHz ≤ f_{out} ≤ 325MHz，I_{out} = 5mA	425	500	575	mV
		100MHz ≤ f_{out} ≤ 325MHz，I_{out} = 6mA	510	600	690	mV
		100MHz ≤ f_{out} ≤ 325MHz，I_{out} = 7mA	595	700	805	mV
		100MHz ≤ f_{out} ≤ 325MHz，I_{out} = 8mA	680	800	920	mV
		100MHz ≤ f_{out} ≤ 325MHz，I_{out} = 9mA	765	900	1035	mV
		100MHz ≤ f_{out} ≤ 325MHz，I_{out} = 10mA	850	1000	1150	mV
		325MHz < f_{out} ≤ 800MHz，I_{out} = 4mA	300	350	400	mV
		325MHz < f_{out} ≤ 800MHz，I_{out} = 7mA	580	640	700	mV
		325MHz < f_{out} ≤ 800MHz，I_{out} = 10mA	800	865	940	mV
		800MHz < f_{out} ≤ 1250MHz，I_{out} = 4mA	235	320	400	mV
		800MHz < f_{out} ≤ 1250MHz，I_{out} = 7mA	480	625	740	mV
		800MHz < f_{out} ≤ 1250MHz，I_{out} = 10mA	600	800	1000	mV
V_{OH}	输出电压高电平			V_{OL} + V_{OD}		mVpp
V_{OL}	输出电压低电平	VCM 电平 = s1	50	150	250	mV
		VCM 电平 = s2+3	300	470	720	mV
V_{CM}	输出共模电压	VCM 电平 = s1 或 s2+3		V_{OL} + V_{OD}/2		V
		VCM 电平 = s2，I_{out} = 4mA	0.6	0.7	0.8	V
		VCM 电平 = s3，I_{out} = 4mA	1.125	1.25	1.375	V
t_{SKEW}	输出偏斜 (12)	相同的 APLL，相同的后分频器和通道分频器值，相同的组			50	ps
		相同的 APLL，相同的后分频器和通道分频器值，组之间			80	ps
t_R/t_F	上升/下降时间	f_{OUT} < 100MHz，20% 至 80%，OUT_x_CAP_EN = 0，C_L = 2pF	200	250	350	ps
		100MHz ≤ f_{OUT} ≤ 325MHz，20% 至 80%，I_{out} ≥ 8mA，OUT_x_CAP_EN = 0，C_L = 2pF	165	225	260	ps
		100MHz ≤ f_{OUT} ≤ 325MHz，20% 至 80%，OUT_x_CAP_EN = 0，C_L = 2pF	175	230	300	ps
		325MHz < f_{OUT} ≤ 800MHz，20% 至 80%，OUT_x_CAP_EN = 0，C_L = 2pF	150	215	285	ps
		800MHz < f_{OUT} ≤ 1250MHz，20% 至 80%，OUT_x_CAP_EN = 0，C_L = 2pF	120	205	250	ps
ODC	输出占空比		48		52	%
HCSL 输出特性 (OUTx)						
f_{OUT}	输出频率范围	HSCL 输出模式	25	100	650	MHz
V_{OL}	输出电压低电平		-150	0	150	mV
V_{OH}	输出电压高电平		600	750	900	mV
VMIN	输出电压最小值	包括下冲	-300	0	150	mV

Copyright © 2025 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
VMAX	输出电压最大值	包括过冲	600	750	1150	mV
dV/dt	差分输出压摆率	中心点附近 ±150mV，OUT_x_CAP_EN = 1，C_L = 2pF	2		4	V/ns
dV/dt	差分输出压摆率	中心点附近 ±150mV，OUT_x_CAP_EN = 0，C_L = 2pF	3		5	V/ns
t_{SKEW}	输出偏斜 (12)	相同的 APLL，相同的后分频器和通道分频器值，相同的组			50	ps
		相同的 APLL，相同的后分频器和通道分频器值，组之间			80	ps
V_{CROSS}	绝对电压交叉点	f_{OUT} = 100MHz	300		500	mV
ΔV_{CROSS}	电压交叉点变化	f_{OUT} = 100MHz			75	mV
ODC	输出占空比		45		55	%
1.8V LVCMOS 输出特性（OUT0、OUT1）						
f_{OUT}	输出频率范围		1E – 6		200	MHz
V_{OH}	输出高电压	I_{OH} = -2mA	1.5			V
V_{OL}	输出低电压	I_{OL} = 2mA			0.2	V
t_R/t_F	输出上升/下降时间	20% 至 80%		150		ps
t_{SK}	输出到输出偏斜	OUT0_P、OUT0_N、OUT1_P、OUT1_N 具有相同的极性，相同的 APLL 后分频器和输出分频器值。相同的极性和输出类型 (LVCMOS)			60	ps
		相同的 APLL，相同的后分频器和输出分频器值。LVCMOS 和差分输出之间的偏斜	0.7	1	1.3	ns
ODC	输出占空比		45		55	%
R_{OUT}	输出阻抗		54	64	75	Ω
2.65V LVCMOS 输出特性（OUT0、OUT1）						
f_{OUT}	输出频率范围		1E – 6		200	MHz
V_{OH}	输出高电压	I_{OH} = -2mA	2.3			V
V_{OL}	输出低电压	I_{OL} = 2mA			0.2	V
t_R/t_F	输出上升/下降时间	20% 至 80%		150		ps
t_{SK}	输出到输出偏斜	OUT_P、OUT0_N、OUT1_P、OUT1_N 具有相同的极性，相同的 APLL 后分频器和输出分频器值。相同的极性和输出类型 (LVCMOS)			60	ps
		相同的 APLL，相同的后分频器和输出分频器值。LVCMOS 和差分输出之间的偏斜	0.7	1.0	1.3	ns
PN_{FLOOR}	输出相位噪底 (f_{OFFSET} > 10MHz)	25MHz		-155		dBc/Hz
ODC	输出占空比		45		55	%
R_{OUT}	输出阻抗		40	50	65	Ω
3.3V LVCMOS GPIO 时钟输出特性（GPIO0、GPIO1、GPIO2）						
f_{OUT}	最大输出频率	GPIO1、GPIO2			25	MHz
V_{OH}	输出高电压	I_{OH} = 2mA	2.4			V
V_{OL}	输出低电压	I_{OL} = 2mA			0.4	V
I_{IH}	输入高电流	V_{IN} = V_{DD}			100	µA
I_{IL}	输出低电平电流	V_{IN} = 0V	-100			µA

Copyright © 2025 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_R/t_F	输出上升/下降时间	20% 至 80%，1kΩ 连接 GND	0.5	1.3	2.6	ns
t_{SK}	输出到输出偏斜	相对于 OUT0_P、OUT0_N、OUT1_P、OUT1_N CMOS 输出的 GPIO1、GPIO2 输出偏斜。 GPIOx_SEL = 115 fout = 100kHz		7.5	11	ns
ODC	输出占空比		45		55	%
R_{OUT}	输出阻抗		35	42	50	Ω
PLL 输出时钟噪声特性						
$RJ_{BAW\ APLL}$	BAW APLL 输出的 12kHz 至 20MHz 积分 RMS 抖动	XO = 48MHz，fout = 1222.8MHz，后分频器 $P1_{APLL3}$ = 2，HSDS 输出 VOD ≥ 800mV			45	fs
		XO = 48MHz，fout = 614.4MHz，后分频器 $P1_{APLL3}$ = 4，HSDS 输出 VOD ≥ 800mV		35	50	fs
		XO = 48MHz，fout = 491.52MHz，后分频器 $P1_{APLL3}$ = 5，HSDS 输出 VOD ≥ 800mV		40	57	fs
		XO = 48MHz，fout = 245.76MHz，后分频器 $P1_{APLL3}$ = 10，HSDS 输出 VOD ≥ 800mV		45	64	fs
		XO = 48MHz，fout = 245.76MHz，旁路后分频器 $P1_{APLL3}$ = 1，HSDS 输出 VOD ≥ 800mV (10)		50	62	fs
		XO = 48MHz，fout = 122.88MHz，旁路后分频器 $P1_{APLL3}$ = 1，HSDS 输出 VOD ≥ 800mV (10)		55	86	fs
		XO = 48MHz，f_{out} = 245.76MHz，HSDS 输出，所有 VOD 电平		50	80	fs
		XO = 48MHz，f_{out} = 122.88MHz，HSDS 输出，所有 VOD 电平		60	90	fs
RJ_{APLL2}	APLL2 输出的 12kHz 至 20MHz 积分 RMS 抖动	XO = 48MHz，APLL2 的 f_{out} = 153.6MHz (VCO2 = 5836.8MHz)、155.52MHz (VCO2 = 5598.72MHz)、174.703084MHz (VCO2 = 5765.2MHz) 或 184.32MHz (VCO2 = 5898.24MHz)。 HSDS 输出，OUT5、OUT6、OUT3 VOD ≥ 800mV。在所有其他输出组中，BAW APLL 输出为 156.25MHz。		110	150	fs
		XO = 48MHz，APLL2 的 f_{out} = 161.1328125MHz 或 322.265625MHz (VCO2 = 5800.78125MHz)，或 212.5MHz (VCO2 = 5950MHz)。 HSDS 输出，OUT5、OUT6 VOD ≥ 800mV。在所有其他输出组中，BAW APLL 输出为 156.25MHz。		110	150	fs
		XO = 48MHz，APLL2 的 f_{out} = 156.25MHz 或 125MHz (VCO2 = 5625MHz)，或 100MHz (VCO2 = 5600MHz)。 HSDS 输出，OUT5、OUT6、OUT3 VOD ≥ 800mV。在所有其他输出组中，BAW APLL 输出为 156.25MHz。		110	150	fs

Copyright © 2025 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
RJ_{APLL1}	APLL1 输出的 12kHz 至 20MHz 积分 RMS 抖动	XO = 48MHz，fout ≥ 100MHz，HSDS 输出缓冲器 VOD ≥ 800mV		200	300	fs
$PSNR_{VDDO_0_1}$	电源噪声抑制 VDDO_0_1	Vcc = 3.3V，V_N = 50mVpp，HSDS、LVDS 或 AC-LVPECL 输出。(11)		-105		dBc
$PSNR_{VDDO_2}$	电源噪声抑制 VDDO_2	Vcc = 3.3V，V_N = 50mVpp，HSDS、LVDS 或 AC-LVPECL 输出。(11)		-105		dBc
$PSNR_{VDDO_3_4}$	电源噪声抑制 VDDO_3_4	Vcc = 3.3V，V_N = 50mVpp，HSDS、LVDS 或 AC-LVPECL 输出。(11)		-110		dBc
$PSNR_{VDDO_5_6}$	电源噪声抑制 VDDO_5_6	Vcc = 3.3V，V_N = 50mVpp，HSDS、LVDS 或 AC-LVPECL 输出。(11)		-110		dBc
$PSNR_{VDDO_7}$	电源噪声抑制 VDDO_7	Vcc = 3.3V，V_N = 50mVpp，HSDS、LVDS 或 AC-LVPECL 输出。(11)		-110		dBc
$PSNR_{VDD_APLL1_XO}$	电源噪声抑制 VDD_APLL1_XO	Vcc = 3.3V，V_N = 50mVpp，HSDS、LVDS 或 AC-LVPECL 输出。(11)		-100		dBc
$PSNR_{VDD_APLL2}$	电源噪声抑制 VDD_APLL2	Vcc = 3.3V，V_N = 50mVpp，HSDS、LVDS 或 AC-LVPECL 输出。(11)		-105		dBc
$PSNR_{VDD_APLL3}$	电源噪声抑制 VDD_APLL3	Vcc = 3.3V，V_N = 50mVpp，HSDS、LVDS 或 AC-LVPECL 输出。(11)		-105		dBc
$PSNR_{VDD_DIG}$	电源噪声抑制 VDD_DIG	Vcc = 3.3V，V_N = 50mVpp，HSDS、LVDS 或 AC-LVPECL 输出。(11)		-120		dBc
PCIe 抖动特性						
$J_{PCIE-Gen1-CC}$	PCIe 第 1 代 (2.5GT/s) 通用时钟抖动	APLLx 输出、3 倍噪声折叠		0.8	5	ps p-p
$J_{PCIE-Gen2-CC}$	PCIe 第 2 代 (5.0GT/s) 通用时钟抖动	APLLx 输出、3 倍噪声折叠		85	250	fs RMS
$J_{PCIe-Gen3-CC}$	PCIe 第 3 代 (8GT/s) 通用时钟抖动	APLLx 输出、3 倍噪声折叠		25	100	fs RMS
$J_{PCIe-Gen4-CC}$	PCIe 第 4 代 (16GT/s) 通用时钟抖动	APLLx 输出、3 倍噪声折叠		25	100	fs RMS
$J_{PCIe-Gen5-CC}$	PCIe 第 5 代 (64GT/s) 通用时钟抖动	APLLx 输出、3 倍噪声折叠		9	50	fs RMS
$J_{PCIe-Gen6-CC}$	PCIe 第 6 代 (32GT/s) 通用时钟抖动	APLLx 输出、3 倍噪声折叠		6	40	fs RMS
DPLL 特性						
f_{TDC}	DPLLx 的 TDC 速率范围		1E – 6		26	MHz
dϕ/dt	切换期间的相位转换	可编程范围		695		ns/s
DPLL-BW	DPLL 环路带宽	可编程环路带宽(16)	1E – 3		4000	Hz
J_{PK}	DPLL 闭环抖动峰值			0.1		dB
J_{TOL}	抖动容差	符合 G.8262 选项 1 和 2 标准。抖动调制 = 10Hz，25.78152Gbps 线路速率		6455		UI p-p
DCO 特性						
$f_{DCO-DPLL}$	DPLL DCO 频率调谐范围	DPLLx	-200		200	ppm
$f_{DCO-APLL}$	DCO 频率调谐范围	BAW APLL 处于保持状态或仅 APLL 运行状态。	-200		200	ppm
		APLL2、APLL1 处于保持状态或仅 APLL 运行状态。	-1000		1000	ppm
零延迟模式 (ZDM) 特性						
$f_{OUT-ZDM}$	启用 ZDM 时的输出频率范围	DPLL3：OUT0	1E – 6		1250	MHz

Copyright © 2025 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$f_{OUT-ZDM}$	启用 ZDM 时的输出频率范围	DPLL2：OUT0	1E－6		700	MHz
$t_{DLY-ZDM}$	启用 ZDM 时的输入至输出传播延迟	OUT0，$f_{IN} \leqslant f_{TDC_MAX}$，$f_{OUT} \leqslant f_{TDC_MAX}$，DPLLx_PH_OFFSET = 172500		150		ps
$t_{DLY-VAR-ZDM}$	启用 ZDM 时的输入至输出传播延迟变化	OUT0，$f_{IN} \leqslant f_{TDC_MAX}$，$f_{OUT} \leqslant f_{TDC_MAX}$，DPLLx_PH_OFFSET = 0			65	±ps
1PPS 基准特性						
t_{DPLL_FL}	采用 1PPS 基准时的 DPLL 频锁时间	XO = 48MHz，初始误差 = ±25ppb，-180° ⩽ Θ ⩽ 180°。DPLL LBW = 10mHz，频锁 $\Delta f_{out} \leqslant$ ±4.6ppm		5	6	s
t_{DPLL_PL}	采用 1PPS 基准时的 DPLL 相锁时间	XO = 48MHz，初始误差 = ±25ppb，-180° ⩽ Θ ⩽ 180°。DPLL LBW = 10mHz，DPLL LBW = 10mHz，相锁 ⩽ ±100ns		34	38	s
无中断切换特性						
t_{HIT}	切换期间的相位瞬变	INx = 1Hz，INy = 1Hz，已锁频。INx 和 INy 相对相位偏移 -180° ⩽ Θ ⩽ 180°。DPLL LBW = 10mHz。		4		±ps
		INx = 8kHz，INy = 8kHz，已锁频。INx 和 INy 相对相位偏移 -180° ⩽ Θ ⩽ 180°。DPLL LBW = 1Hz		19		±ps
		Nx = 25MHz，INy = 25MHz，已锁频。INx 和 INy 相对相位偏移 -180° ⩽ Θ ⩽ 180°。DPLL LBW = 1Hz		1.8		±ps
f_{HIT}	切换期间的频率瞬变	INx = 1Hz，INy = 1Hz，已锁频。INx 和 INy 相对相位偏移 -180° ⩽ Θ ⩽ 180°。DPLL LBW = 10mHz		0.85		±ppb
		INx = 8kHz，INy = 8kHz，已锁频。INx 和 INy 相对相位偏移 -180° ⩽ Θ ⩽ 180°。DPLL LBW = 1Hz		0.45		±ppb
		INx = 25MHz，INy = 25MHz，已锁频。INx 和 INy 相对相位偏移 -180° ⩽ Θ ⩽ 180°。DPLL LBW = 1Hz		0.63		±ppb
可编程输出延迟特性						
$t_{ANA-DLY}$	模拟延迟步长 (13)	BAW APLL = 2457.6MHz，VCO 后分频器 = 2，0.5 倍范围标度，1Hz ⩽ OUTx ⩽ 122.88MHz，ANA_DELAY_LINEARITY_CODE = 2		13.13		ps
		BAW APLL = 2457.6MHz，VCO 后分频器 = 1，2 倍范围标度，1Hz ⩽ OUTx ⩽ 122.88MHz，ANA_DELAY_LINEARITY_CODE = 5		26.25		ps
		APLL2 = 5625.0MHz，VCO 后分频器 = 3，1 倍范围标度，1Hz ⩽ OUTx ⩽ 156.25MHz，ANA_DELAY_LINEARITY_CODE = 3		17.2		ps
		APLL2 = 5625.0MHz，VCO 后分频器 = 4，1 倍范围标度，1Hz ⩽ OUTx ⩽ 156.25MHz，ANA_DELAY_LINEARITY_CODE = 4		22.9		ps

Copyright © 2025 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{ANA-DLY-ERR}$	模拟延迟步长误差	BAW APLL = 2457.6MHz，VCO 后分频器 = 2，0.5 倍范围标度，1Hz ≤ OUTx ≤ 122.88MHz，ANA_DELAY_LINEARITY_CODE = 2	-6.56		6.56	ps
		BAW APLL = 2457.6MHz，VCO 后分频器 = 1，2 倍范围标度，1Hz ≤ OUTx ≤ 122.88MHz，ANA_DELAY_LINEARITY_CODE = 5	-13.13		13.13	ps
		APLL2 = 5625.0MHz，VCO 后分频器 = 3，1 倍范围标度，1Hz ≤ OUTx ≤ 156.25MHz，ANA_DELAY_LINEARITY_CODE = 3	-8.6		8.6	ps
		APLL2 = 5625.0MHz，VCO 后分频器 = 4；1 倍范围标度，1Hz ≤ OUTx ≤ 156.25MHz，ANA_DELAY_LINEARITY_CODE = 4	-11.45		11.45	ps
$t_{ANA-DLY-RANGE}$	模拟延迟范围			31 × $t_{ANA-DLY}$		ps
$t_{ANA-DLY-ACC}$	模拟延迟精度	在模拟延迟范围内任何设置 N = 0 至 31 的模拟延迟绝对精度。ANA_DELAY_LINEARITY_CODE = 3、4、5 时，实际值相对于预期值 N × $t_{ANA-DLY-STEP}$ 的最坏情况误差	-25		25	ps
$t_{ANA-DLY-LIN}$	模拟延迟线性度 (14)	ANA_DELAY_LINEARITY_CODE = 2	333		450	ps
		ANA_DELAY_LINEARITY_CODE = 3	450		600	ps
		ANA_DELAY_LINEARITY_CODE = 4	600		750	ps
		ANA_DELAY_LINEARITY_CODE = 5	750		1050	ps
$t_{DIG-DLY}$	数字延迟步长	VCO 后分频器频率输出 = 2457.6MHz，半步设置		196.6		ps
		VCO 后分频器频率输出 = 2457.6MHz，全步设置		786.4		ps
3 电平逻辑输入特性（GPIO0、GPIO1、GPIO2、SCS_ADD）						
V_{IH}	输入高电压		1.4			V
V_{IM}	输入中电压		0.6		0.95	V
V_{IM}	输入中电压自偏置	输入悬空、使用内部辅助电源且 PD# 下拉至低电平	0.7		0.9	V
R_{IM-PD}	用于中电平自偏置的内部下拉电阻 (15)		145	163	180	kΩ
R_{IM-PU}	用于中电平自偏置的内部上拉电阻 (15)		470	526	580	kΩ
V_{IL}	输入低电压				0.4	V
I_{IH}	输入高电流	V_{IH} = VDD	-40		40	µA
I_{IL}	输入低电流	V_{IL} = GND	-40		40	µA
C_{IN}	输入电容			2		pF
2 电平逻辑输入特性（PD#、SCK、SDIO、SCS_ADD；上电后的 GPIO0、GPIO1 和 GPIO2）						
V_{IH}	输入高电压		1.2			V
V_{IL}	输入低电压				0.4	V
I_{IH}	输入高电流	V_{IH} = VDD，PD# 除外	-40		40	µA
I_{IL}	输入低电流	V_{IL} = GND，PD# 除外	-40		40	µA

Copyright © 2025 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I_{IH}	输入高电流	V_{IH} = VDD，PD 号带内部 200kΩ 上拉电阻	-57		24	µA
I_{IL}	输入低电流	V_{IL} = GND，PD 号带内部 200kΩ 上拉电阻	-57		24	µA
t_{WIDTH}	用于 GPIO SYNC、SYSREF 请求、TEC 触发器、DPLL 输入选择、FDEV 触发器和 FDEV_dir 的输入脉冲宽度	单调边沿	200			ns
C_{IN}	输入电容			2		pF
逻辑输出特性（GPIO0、GPIO1、GPIO2、SDIO）						
V_{OH}	输出高电压	I_{OH} = 1mA	2.4			V
V_{OL}	输出低电压	I_{OL} = 1mA			0.4	V
t_R/t_F	输出上升/下降时间	20% 至 80%，LVCMOS 模式，1kΩ 至 GND		500		ps
开漏输出（GPIO0、GPIO1、GPIO2、SDA）						
V_{OL}	输出低电平	I_{OL} = 3mA			0.3	V
		I_{OL} = 6mA			0.6	V
I_{OH}	输出泄漏电流		-15		15	µA
SPI 时序要求（SDIO、SCK、SCS_ADD）						
f_{SCK}	SPI 时钟频率				20	MHz
	SPI 时钟速率；在 SRAM 读取和写入操作期间			5	10	MHz
t_1	SCS 至 SCK 设置时间（开始通信周期）		10			ns
t_2	SDI 至 SCK 设置时间		10			ns
t_3	SDI 至 SCK 保持时间		10			ns
t_4	SCK 高电平时间		25			ns
t_5	SCK 低电平时间		25			ns
t_6	SCK 至 SDO 有效读回数据				20	ns
t_7	SCS 脉冲宽度		20			ns
t_8	SCK 至 SCS 设置时间（结束通信周期）		10			ns
I^2C 时序要求（SDA、SCL）						
V_{IH}	输入高电压		1.2			V
V_{IL}	输入低电压				0.5	V
I_{IH}	输入漏电流		-15		15	µA
C_{IN}	输入电容			2		pF
V_{OL}	输出低电压	I_{OL} = 3mA			0.3	V
V_{OL}	输出低电压	I_{OL} = 6mA			0.6	V
f_{SCL}	I^2C 时钟速率	标准			100	kHz
		快速模式			400	
$t_{SU(START)}$	启动条件设置时间	在 SDA 为低电平之前 SCL 为高电平	0.6			µs
$t_{H(START)}$	START 条件保持时间	在 SDA 为低电平之后 SCL 为低电平	0.6			µs
$t_{W(SCLH)}$	SCL 脉冲宽度高电平		0.6			µs
$t_{W(SCLL)}$	SCL 脉冲宽度低电平		1.3			µs
$t_{SU(SDA)}$	SDA 设置时间		100			ns

Copyright © 2025 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{H(SDA)}$	SDA 保持时间	在 SCL 为低电平之后 SDA 有效	0		0.9	µs
$t_{R(IN)}$	SDA/SCL 输入上升时间				300	ns
$t_{F(IN)}$	SDA/SCL 输入下降时间				300	ns
$t_{F(OUT)}$	SDA 输出下降时间	C_{BUS} ≤ 400pF			300	ns
$t_{SU(STOP)}$	停止条件建立时间		0.6			µs
t_{BUS}	STOP 和 START 之间的总线空闲时间		1.3			µs
t_{VD-DAT}	数据有效时间				0.9	µs
t_{VD-ACK}	数据有效确认时间				0.9	µs
EEPROM 特性						
n_{EE-CYC}	EEPROM 编程周期				100	周期
$t_{SRAM-R/W}$	EEPROM SRAM 字节间读取/写入延时时间		0			ms

(1) 这是一个 XO 倍频器的电流消耗。所有 XO 倍频器消耗相同的电流。
(2) 这是一个 DPLL 的电流消耗。每个 DPLL 消耗相同的电流。
(3) REFx_ITYPE = 8 或 12。
(4) REFx_ITYPE = 1、3 或 5，非驱动输入直接连接到 GND、经电容器连接到 GND 或经 50Ω 电阻连接到 GND。
(5) REFx_ITYPE = 1、3 或 5。
(6) 共模电压和直流耦合不同输入电压的组合不得超过绝对最大额定值。
(7) 当 XO 输入频率大于 APLL 相位检测器支持的最大比较频率时，APLL R 分频器必须设置为 2 分频最小值。
(8) 寄存器 XO_ITYPE = 8 或 12。
(9) 寄存器 XO_ITYPE = 1、3 或 5
(10) 通过设置 $P1_{BAW\ APLL}$ = 1，将 BAW APLL 后分频器旁路掉。所有 OUTx 均来自通道分频器。
(11) PSNR 是在幅度为 V_N 且频率介于 100kHz 和 10MHz 之间的正弦噪声以 1.0µF 去耦电容注入 VDD 和 VDDO 引脚时测得的单边带杂散电平（以 dBc 为单位）。
(12) 输出分频器同步。通过上电或 SYNC_SW 实现 SYNC 状态。
(13) 典型的模拟延迟步长基于 APLL 后分频器输出周期除以 31、乘以模拟延迟范围标度值 0.5、1 或 2。
(14) 通常根据模拟延迟范围周期 $t_{ANA-DLY-RANGE}$ 来选择模拟延迟线性度。
(15) 内部上拉电阻的变化将跟随下拉电阻的变化，以保持一致的中压自偏置比。
(16) DPLL 环路带宽必须小于 TDC 频率的 1/100 且小于 APLL 环路带宽的 1/10。

6.6 时序图

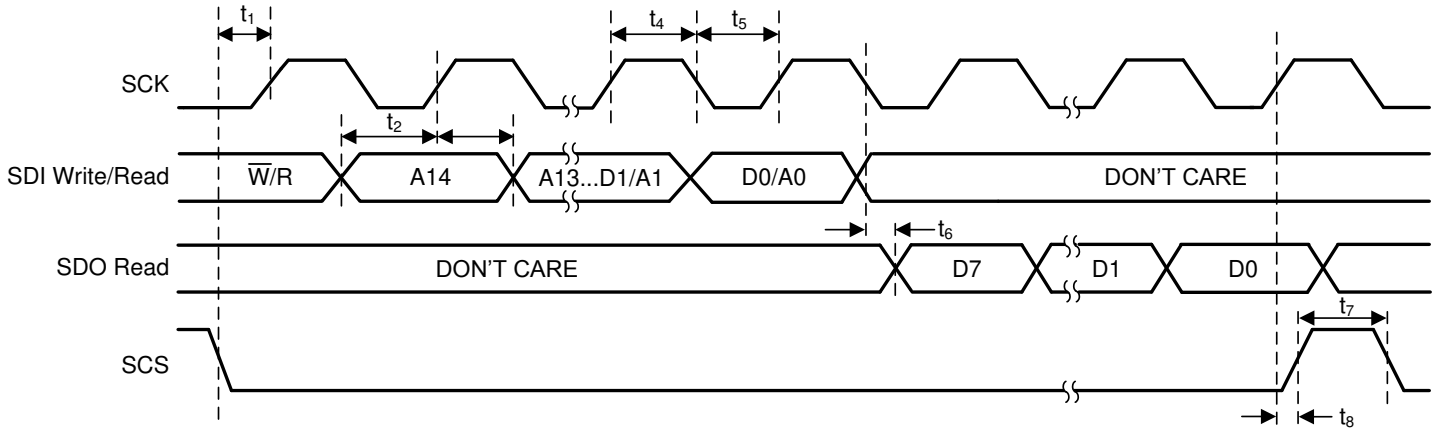


图 6-1. SPI 写入时序图

Copyright © 2025 Texas Instruments Incorporated

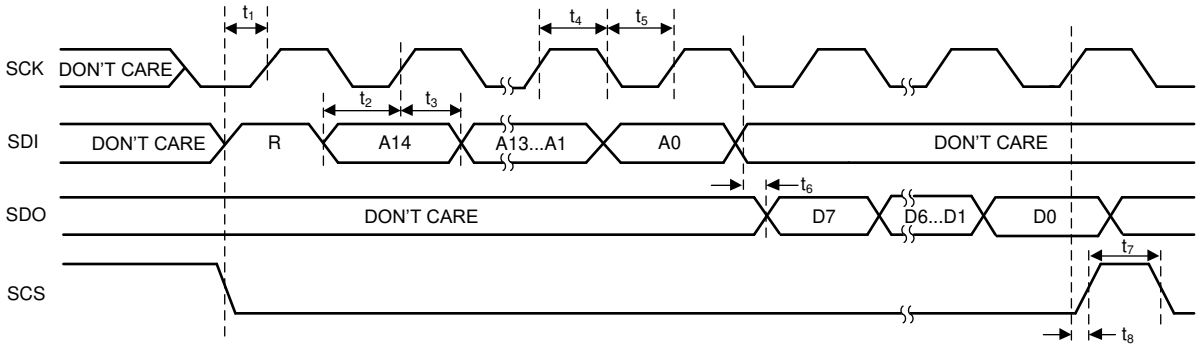


图 6-2. SPI 四线制读取时序图

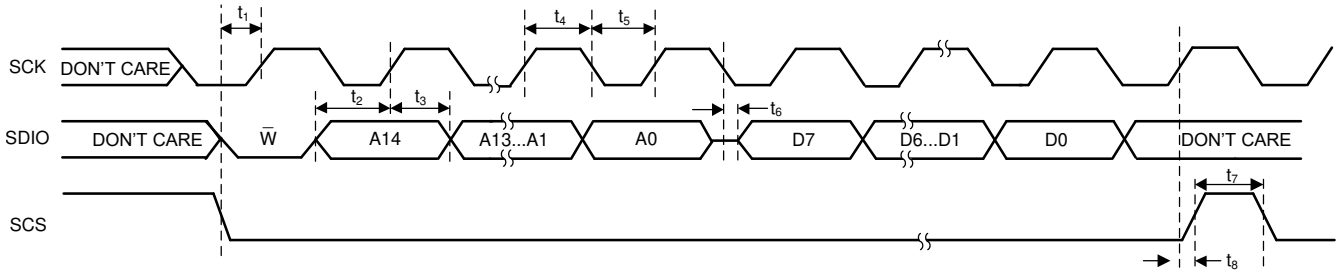


图 6-3. SPI 三线制读取时序图

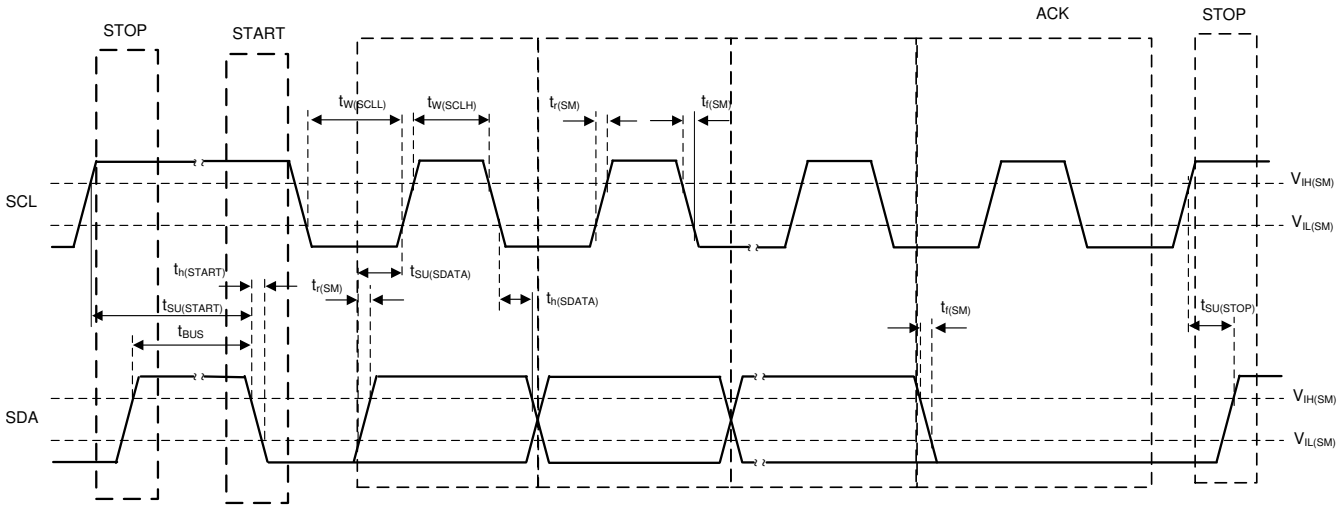


图 6-4. I²C 时序图

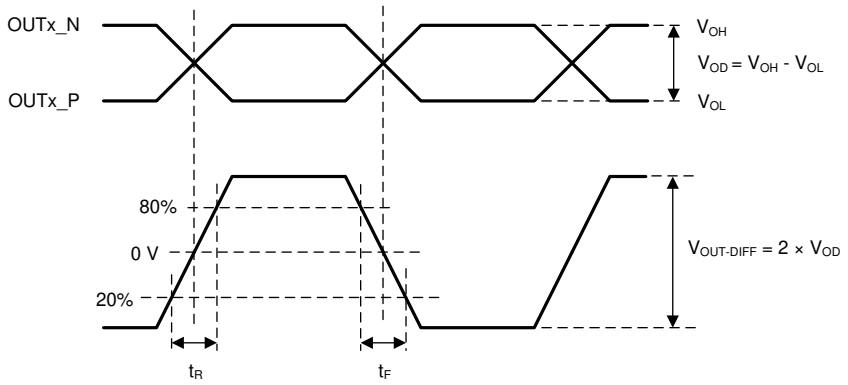


图 6-5. 差分输出电压和上升/下降时间

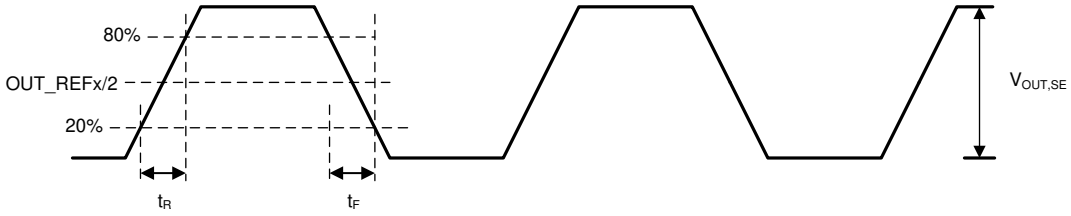


图 6-6. 单端输出电压和上升/下降时间

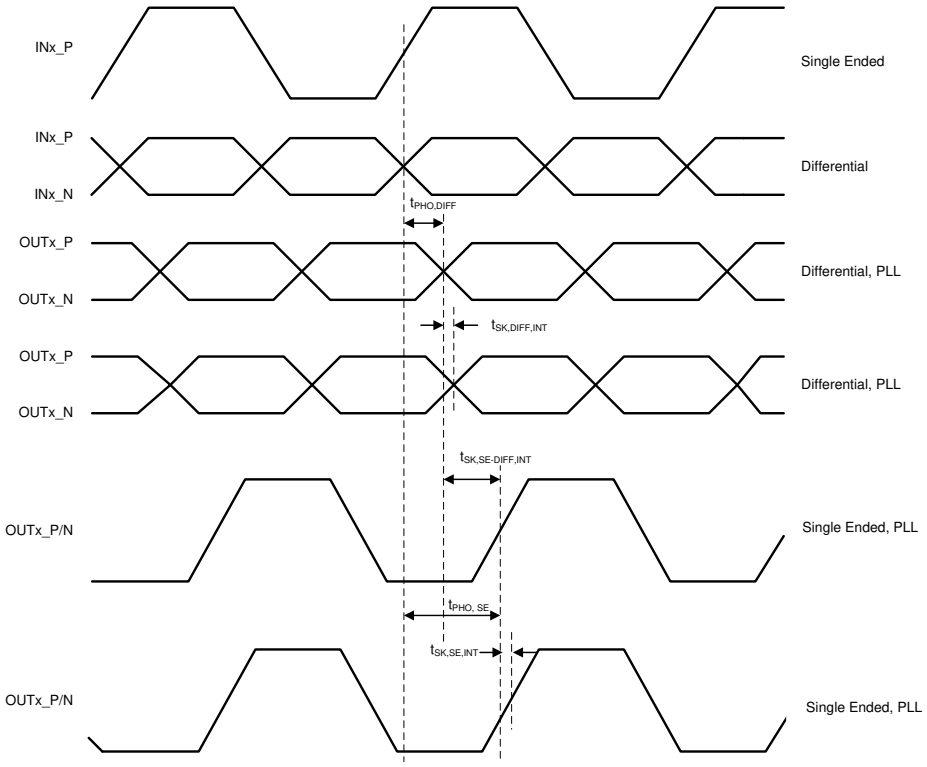
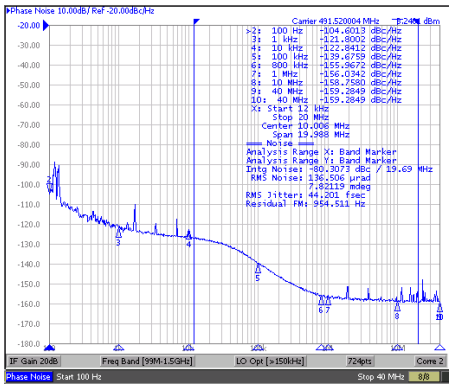


图 6-7. 差分和单端输出偏斜和相位偏移

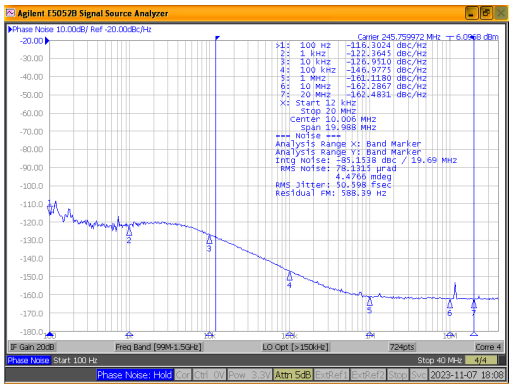
Copyright © 2025 Texas Instruments Incorporated

6.7 典型特性



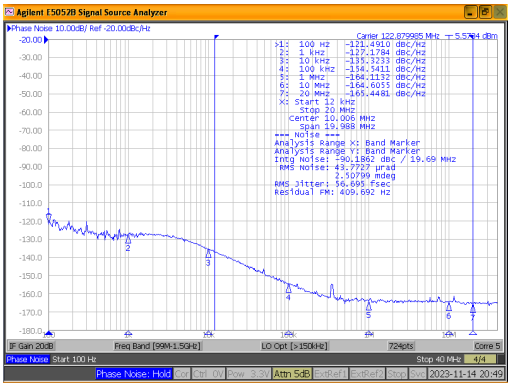
抖动 = 44fs RMS（12kHz 至 20MHz）
$f_{BAW\ APLL}$ = 2457.6MHz

图 6-8. BAW APLL 的 491.52MHz HSDS 输出



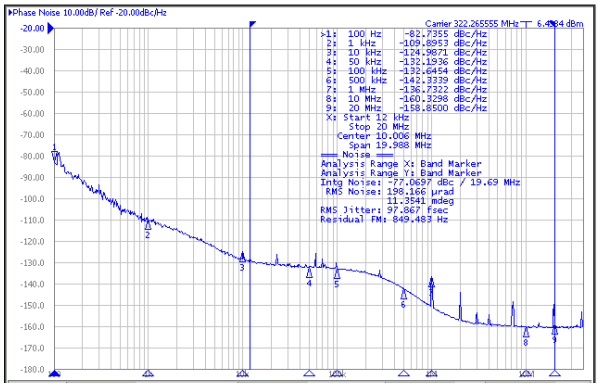
抖动 = 51fs RMS（12kHz 至 20MHz）
$f_{BAW\ APLL}$ = 2457.6MHz

图 6-9. BAW APLL 的 245.76MHz HSDS 输出



抖动 = 57fs RMS（12kHz 至 20MHz）
$f_{BAW\ APLL}$ = 2457.6MHz

图 6-10. BAW APLL 的 122.88MHz HSDS 输出



抖动 = 98fs RMS（12kHz 至 20MHz）
f_{APLL2} = 5800.78125MHz

图 6-11. APLL2 的 322.265625MHz HSDS 输出

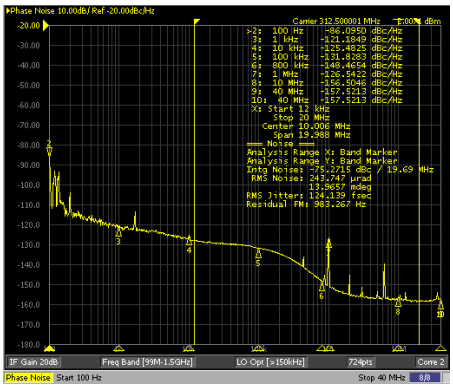
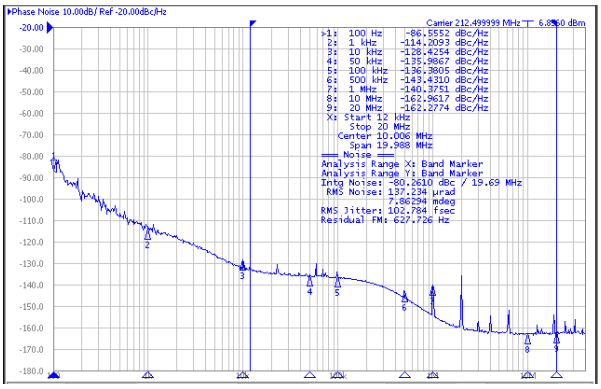


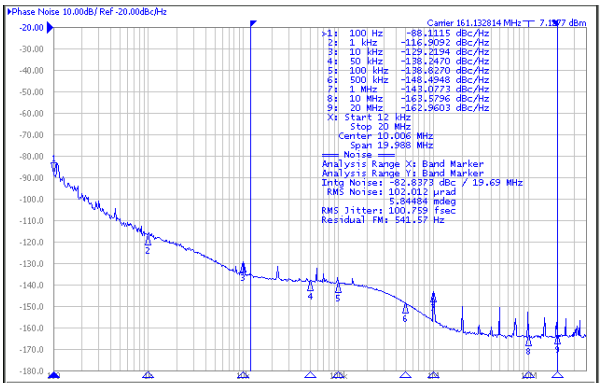
图 6-12. APLL2 的 312.5MHz HSDS 输出



抖动 = 103fs RMS（12kHz 至 20MHz）
f_{APLL2} = 5950MHz

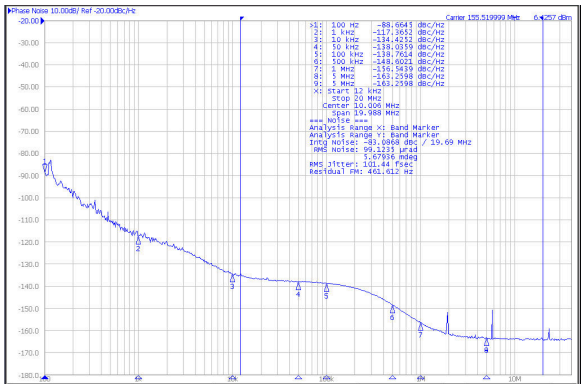
图 6-13. APLL2 的 212.5MHz HSDS 输出

Copyright © 2025 Texas Instruments Incorporated



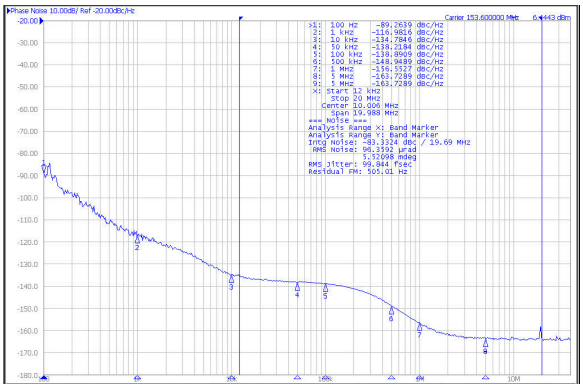
抖动 = 101fs RMS（12kHz 至 20MHz）
f_{APLL2} = 5800.78125MHz

图 6-14. APLL2 的 161.1328125MHz HSDS 输出



抖动 = 101fs RMS（12kHz 至 20MHz）
f_{APLL2} = 5598.72MHz

图 6-15. APLL2 的 155.52MHz HSDS 输出



抖动 = 100fs RMS（12kHz 至 20MHz）
f_{APLL2} = 5836.8MHz

图 6-16. APLL2 的 153.6MHz HSDS 输出

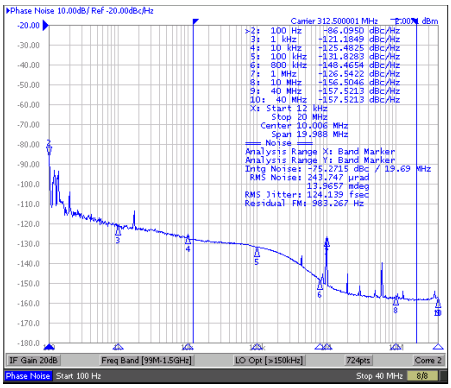
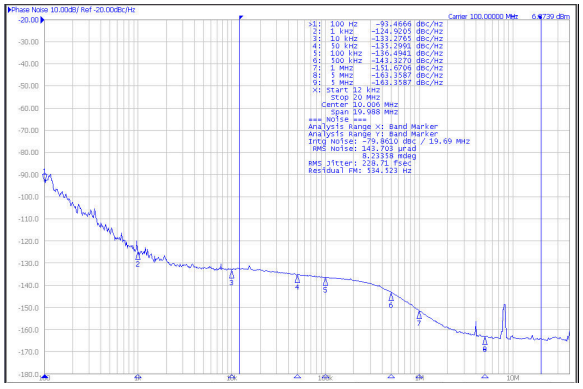
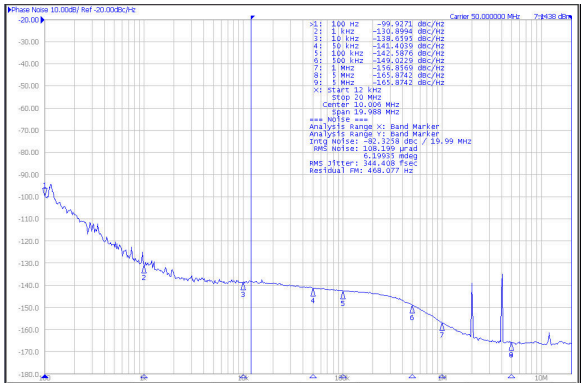


图 6-17. APLL1 的 312.5MHz HSDS 输出



抖动 = 230fs RMS（12kHz 至 20MHz）
f_{APLL1} = 5200MHz

图 6-18. APLL1 的 100MHz HSDS 输出



抖动 = 345fs RMS（12kHz 至 20MHz）
f_{APLL1} = 5200MHz

图 6-19. APLL1 的 50MHz HSDS 输出

Copyright © 2025 Texas Instruments Incorporated

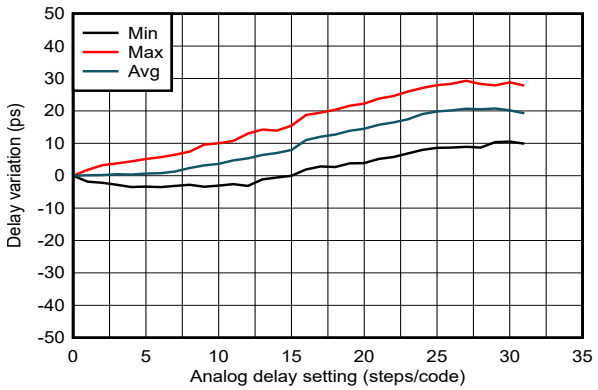


图 6-20. SYSREF/1PPS 延迟线性度与模拟延迟代码 2

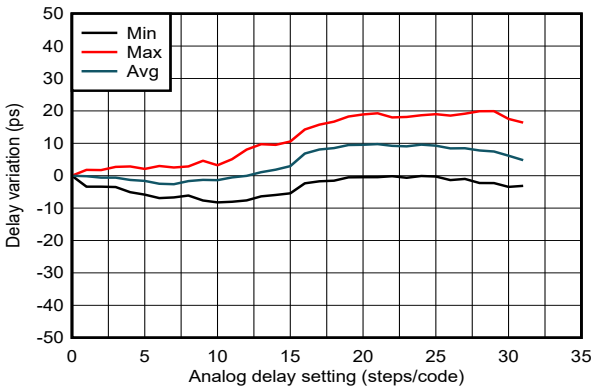


图 6-21. SYSREF/1PPS 延迟线性度与模拟延迟代码 3

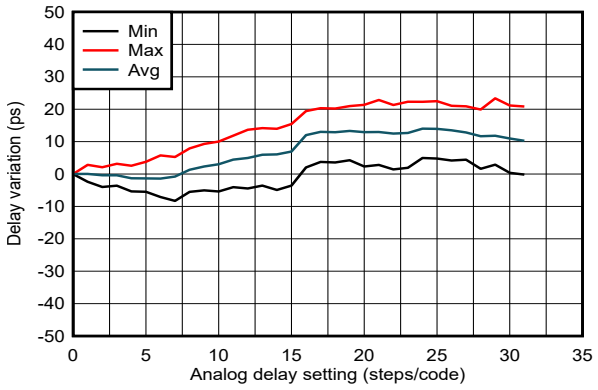


图 6-22. SYSREF/1PPS 延迟线性度与模拟延迟代码 4

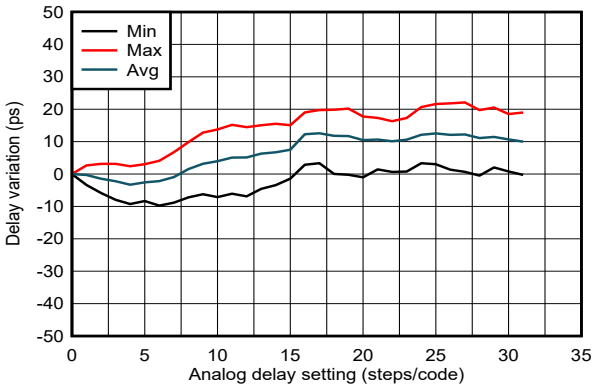


图 6-23. SYSREF/1PPS 延迟线性度与模拟延迟代码 5

Copyright © 2025 Texas Instruments Incorporated

7 参数测量信息

7.1 差分电压测量术语

差分信号的差分电压可以用两种不同的定义来描述，这会导致用户在阅读数据表或与其他工程师交流时产生混淆。本节将讨论差分信号的测量和描述，以便读者在使用差分信号时能够理解和区分这两种不同的定义。

差分信号的第一种定义是反相和同相信号之间电势差的绝对值。这种测量的符号通常为 V_{ID} 或 V_{OD}，具体取决于说明对象是输入电压还是输出电压。

差分信号的第二种定义测量的是同相信号相对于反相信号的电势。这种测量的符号为 V_{SS}，该参数通过计算得出。在集成电路 (IC) 中，该信号相对于接地是不存在的，它仅相对于差分对存在。可以用具有浮动基准的示波器来直接测量 V_{SS}，否则可以将该值计算为第一种描述中所述的 V_{OD} 值的两倍。

图 7-1 并排显示了针对输入的两种不同定义，而图 7-2 并排显示了针对输出的两种不同定义。V_{ID} 和 V_{OD} 定义中给出了 V_A 和 V_B 两个直流电平，同相信号和反相信号均在这两种电平之间切换（相对于接地）。在 V_{SS} 输入和输出定义中，如果将反相信号视为基准电势，则此时同相信号的电势将超出以接地为基准时的同相电势范围。因此，可以测量差分信号的峰峰值电压。

V_{ID} 和 V_{OD} 通常定义为电压 (V)，V_{SS} 通常定义为电压峰峰值 (V_{PP})。

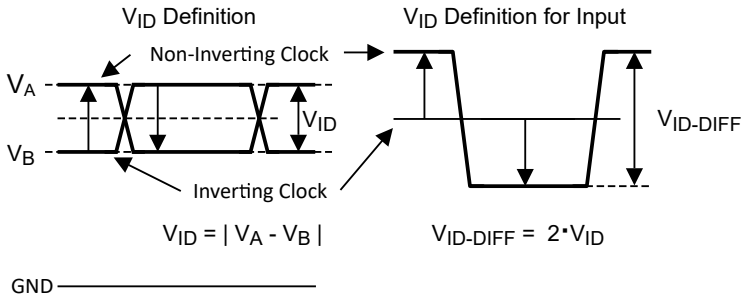


图 7-1. 差分输入信号的两种不同定义

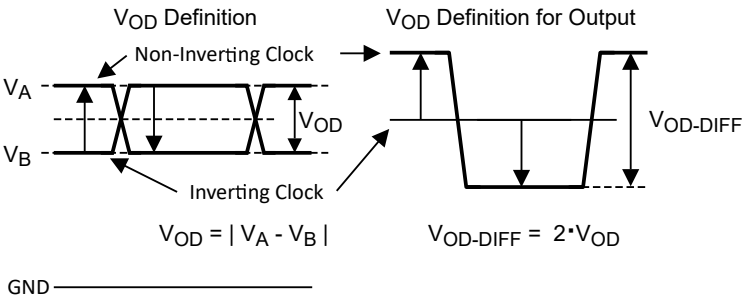


图 7-2. 差分输出信号的两种不同定义

Copyright © 2025 Texas Instruments Incorporated

7.2 输出时钟测试配置

本节介绍不同输出格式的表征测试设置。

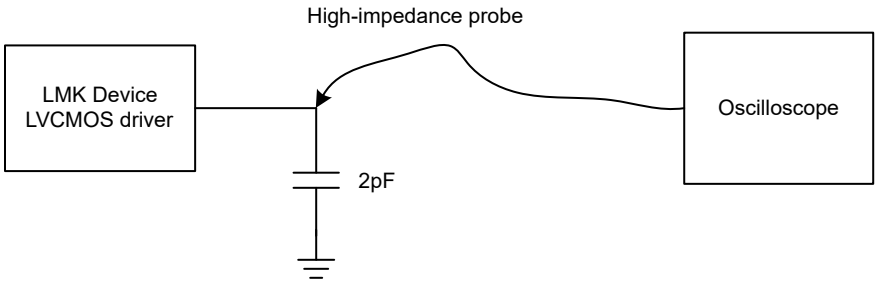


图 7-3. LVCMOS 输出时域测试配置

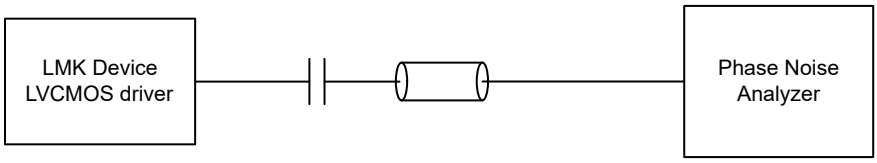


图 7-4. LVCMOS 输出相域测试配置

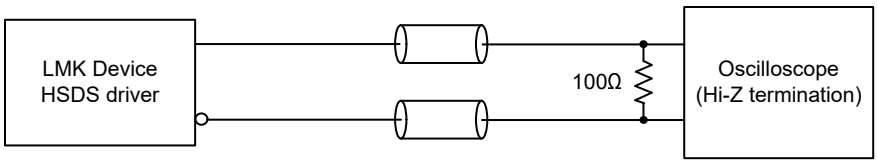


图 7-5. HSDS 输出时域测试配置

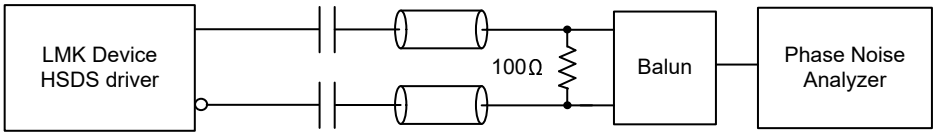


图 7-6. HSDS 输出相域测试配置

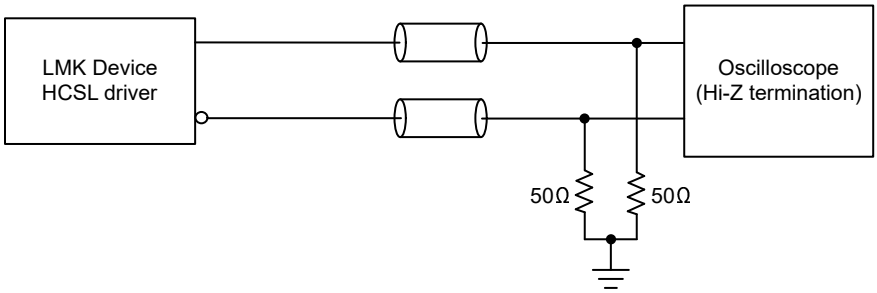


图 7-7. HCSL 输出时域测试配置

Copyright © 2025 Texas Instruments Incorporated

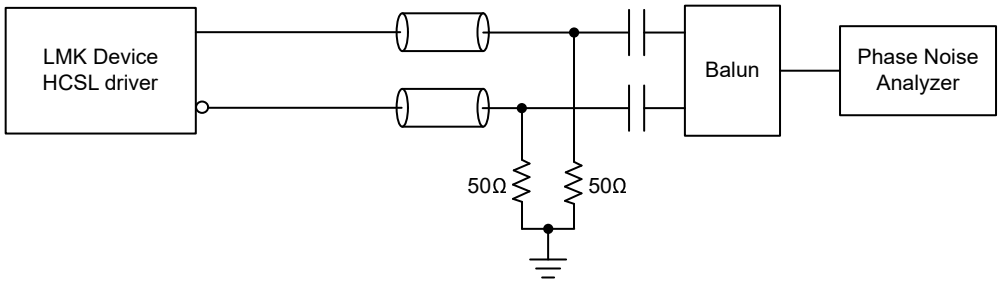
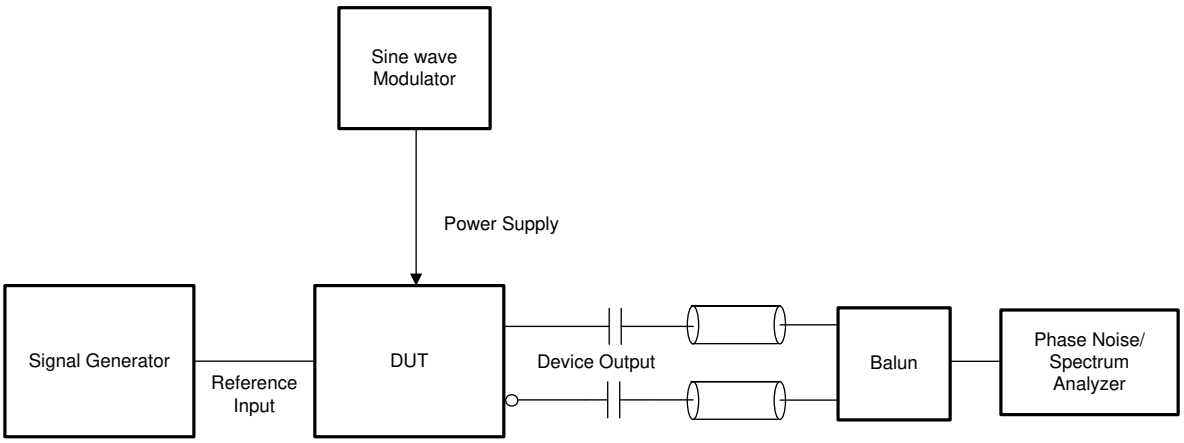


图 7-8. HCSL 输出相域测试配置



在将已知噪声幅度和频率注入到器件电源中的情况下测量单侧频带杂散电平（以 dBc 为单位）。

图 7-9. 电源噪声抑制 (PSNR) 测试配置

Copyright © 2025 Texas Instruments Incorporated

8 详细说明

8.1 概述

LMK5C23208A 具有两个基准输入、三个数字 PLL (DPLL)、三个集成了 VCO 的模拟 PLL (APLL) 和 8 个输出时钟。BAW APLL (APLL3) 使用具有极高品质因数的超高性能 BAW VCO (VCBO)，因此更大限度减少了对外部振荡器 (XO) 输入时钟的相位噪声或频率的依赖性。TI 的 VCBO 技术可降低整体设计成本，以满足自由运行和保持频率稳定性的要求。需要 XO、TCXO 或 OCXO 输入，并且必须根据系统保持稳定性要求进行选择。每个 APLL 都可以由相应的 DPLL 控制，从而允许 APLL 域锁定到 DPLL 基准输入以生成同步时钟。每个 APLL 都可以从 XO 端口或另一个 APLL 分频时钟选择基准。每个 DPLL 都可以从基准输入 INx 中选择同步输入基准，或者通过选择来自级联分频器之一的反馈来对齐到另一个 APLL 域。

DPLL 基准输入多路复用器支持基于优先级和基准信号监控标准的自动输入选择。也可以通过软件或引脚控制来手动选择输入。器件在基准源之间提供 无中断切换，以及专有的相位抵消和相位转换控制功能，可实现出色的相位扩展和瞬态性能。基准输入监控块可监测时钟输入，在检测到基准缺失 (LOR) 时可执行无中断切换或保持。一旦违反为输入监测器设置的阈值限制，其中包括频率、漏脉冲和早期脉冲、矮脉冲和 1PPS (每秒脉冲) 检测器，就会检测到 LOR 情况。可以依据基准时钟输入来设置和启用每个输入检测器的阈值限制。调优字历史记录监测器功能根据锁定时的历史平均频率确定进入保持状态时的初始输出频率精度，从而最大限度减少 LOR 情况期间的频率和相位干扰。

LMK5C23208A 具有 8 个带可编程输出驱动器类型的输出，最多允许 8 个差分时钟或差分时钟与单端时钟的组合。最多可以为 4 个单端 1.8V 或 2.65V LVCMOS 时钟 (每个时钟来自 OUT0 和 OUT1 的 _P 输出和 _N 输出) 配置 6 个差分输出时钟。

每个输出时钟通过输出多路复用器从其中一个受支持的 APLL/VCO 域获得。输出 0 (OUT0) 和输出 1 (OUT1) 最为灵活，可以从 XO、基准输入或任何 APLL 域选择源。输出 0 (OUT0) 和输出 1 (OUT1) 以及 节 8.3.13 分频器提供的任何其他差分输出均支持 SYSREF 或 1PPS 输出。输出分频器具有同步 (SYNC) 功能，允许多个输出的相位对齐。零延迟模式 (ZDM) 还可以在提供给 OUT0 的任何 DPLL 时钟与所选基准输入之间实现确定性相位对齐。

为了支持 IEEE 1588 PTP 辅助时钟或其他时钟控制应用，DPLL 支持频率分辨率低于 1ppt (万亿分之一) 的 DCO 模式，可通过软件或引脚控制实现精确的频率和相位调整。

该器件通过 I^2C 或 SPI 完全可编程，并且支持通过出厂预编程的内部 ROM 页进行启动频率配置。可编程的 EEPROM 覆盖层 允许对与 APLL 和输出配置相关的寄存器进行 POR 配置，提供灵活的上电输出时钟。DPLL 配置不由 EEPROM 值设置，而是根据 ROM 详细说明 进行初始化，并且使用串行控制接口完全可编程。内部 LDO 稳压器提供出色的 PSNR 功能，可降低供电网络的成本和复杂性。通过 GPIO 状态引脚和中断寄存器回读可以查看时钟输入和 PLL 监控状态，从而支持全面的诊断功能。

Copyright © 2025 Texas Instruments Incorporated

8.2 功能方框图

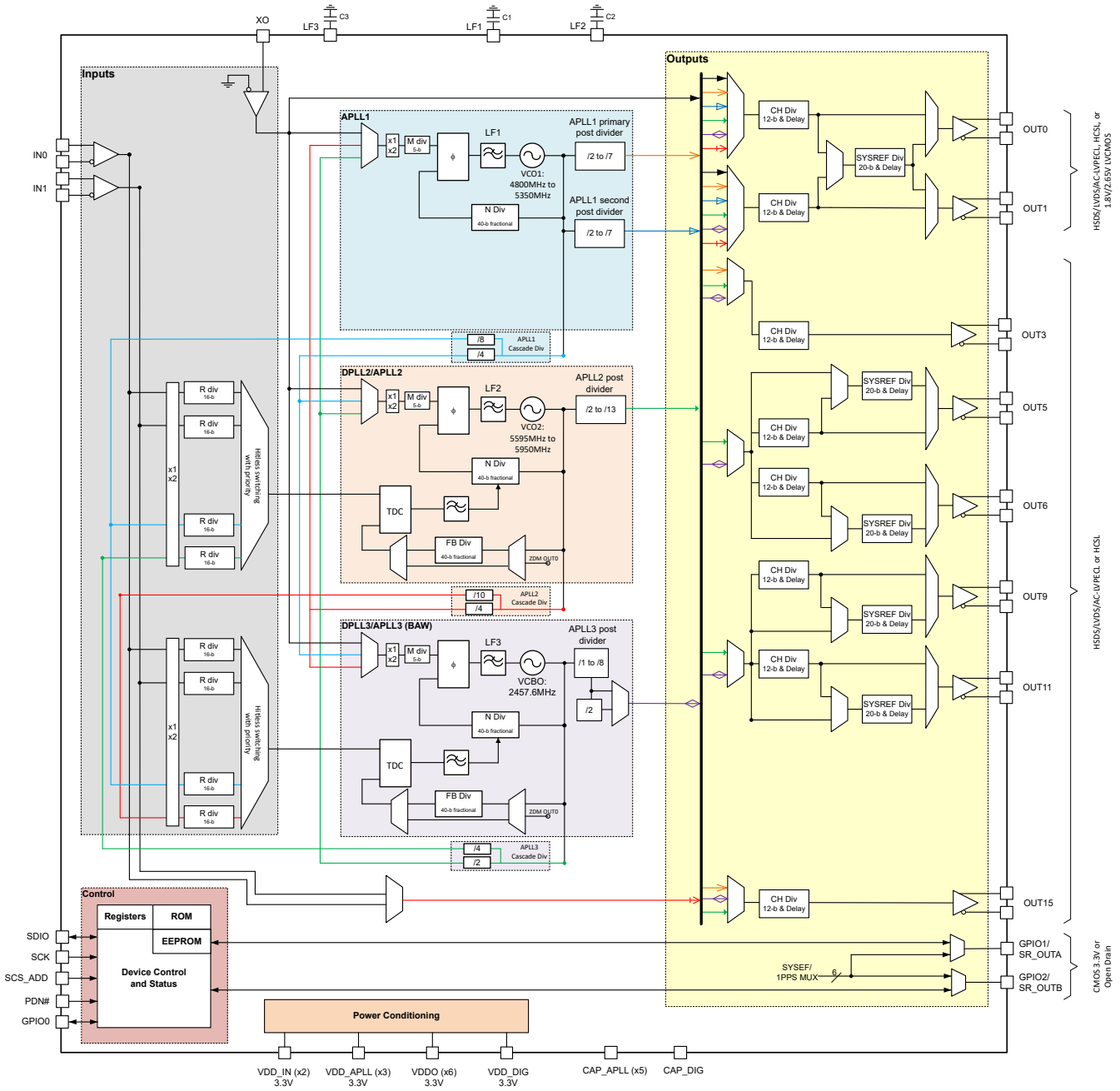


图 8-1. LMK5C23208A 顶层方框图

Copyright © 2025 Texas Instruments Incorporated

8.2.1 PLL 架构概述

图 8-2 展示了 LMK5C23208A 中实现的 PLL 架构。超低抖动通道包括数字 PLL (DPLL3) 和具有集成 VCBO (VCO3) 的 BAW APLL (APLL3)。具有集成 LC VCO (VCO2) 的 APLL2 可生成第二个低抖动时钟频率域。APLL2 反馈 N 分频器分子可由 DPLL2 控制。具有集成 LC VCO (VCO1) 的 APLL1 可用作第三个时钟生成域。

DPLL 包括时间数字转换器 (TDC)、数字环路滤波器 (DLF) 和具有 Σ-Δ 调制器 (SDM) 的可编程 40 位分数反馈 (FB) 分频器。APLL 包括基准 (R) 分频器、相位频率检测器 (PFD)、环路滤波器 (LF)、具有 SDM 的分数反馈 (N) 分频器和 VCO。

每个 DPLL 都有一个基准选择多路复用器，使 DPLL 可以锁定到 APLL 的另一个 VCO 域 (级联 DPLL 运行模式) 或锁定到基准输入 (独立 DPLL 运行模式)，从而在跨多个时钟域进行频率和相位控制方面提供独特的灵活性。级联架构为跨多个时钟域的频率和相位控制混合同步提供了独特的灵活性。

每个 APLL 都有一个基准选择多路复用器，允许 APLL 锁定到 XO 输入或另一个 APLL 的级联分频器输出 (APLL 与 DPLL 级联)。

不要将一个 VCO 输出级联到同一个 DPLL+APLL 对的 DPLL 基准和 APLL 基准。

当锁定到输入基准时，每个 APLL 都有一个可由 DPLL 控制的固定 40 位分母。当一个或多个 APLL 在仅 APLL 模式下运行但在没有 DPLL 控制时，还可以选择一个可编程的 24 位分母来合成精确的频率比。在实现频域之间的混合同步或级联时，TI 建议使用可编程的 24 位分母，以便在没有 DPLL 控制的情况下保持 0ppm 频率误差。

为了省电，必须禁用 (断电) 任何未使用的 DPLL 或 APLL。APLL 的每个 VCO 使用各自的 VCO 后分频器来驱动时钟分配块。如果 VCBO 的后分频器设置为 1，则会旁路掉后分频器，由 VCBO 直接向输出时钟分配块进行馈电。

Copyright © 2025 Texas Instruments Incorporated

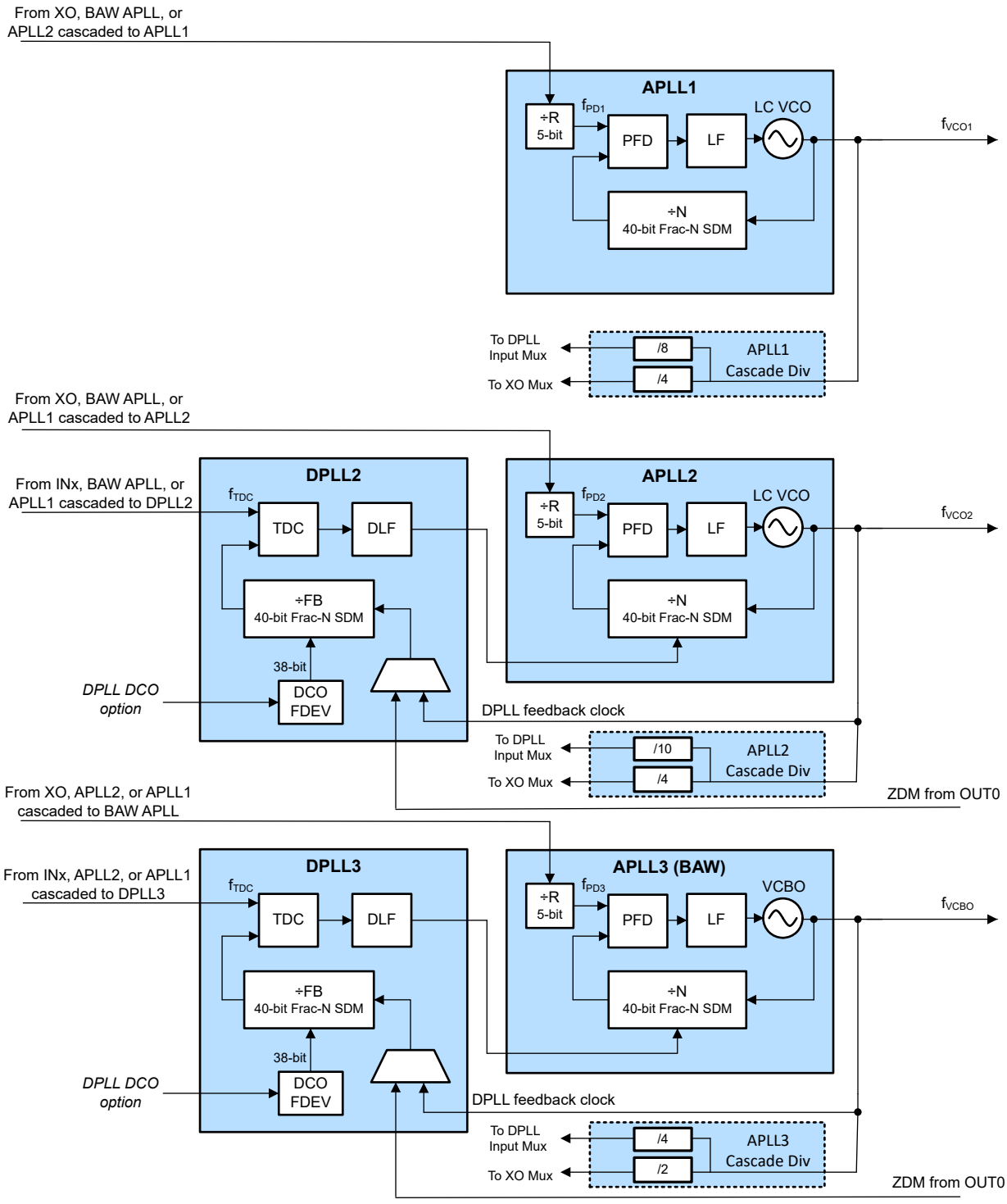


图 8-2. PLL 架构

以下各节介绍了 DPLL 和 APLL 的基本工作原理。有关包括保持模式在内的 PLL 工作模式的更多详细信息，请参阅 DPLL 运行状态。

Copyright © 2025 Texas Instruments Incorporated

8.2.2 DPLL

启用 DPLL 运行模式且 DPLL 锁定时，DPLL 参考输入（INx 引脚）决定了输出时钟的频率稳定性和准确性。XO 引脚上的时钟源决定了输出时钟的自由运行和保持频率稳定性和精度。VCBO 决定着 12kHz 至 20MHz 积分频带内的 BAW APLL 输出时钟相位噪声和抖动性能，不受 XO 引脚输入的频率和抖动影响。凭借这种增强的抗基准噪声退化能力，BAW APLL 能够使用具有成本效益的低频 TCXO 或 OCXO 作为外部 XO 输入，同时仍保持符合标准的频率稳定性和低环路带宽 (≤10Hz)，这是 SyncE 和 PTP 同步应用所要求的。其他 APLL 包含传统的 LC 型 VCO，通过使用宽环路带宽及其干净的基准和高相位检测器频率，可以对该 VCO 进行优化，从而在直流至 100kHz 积分频带内实现最佳抖动性能。当因 XO 频率或相位噪声而遇到系统性能限制时，有独特的级联选项可供选择，它们可为 LC APLL 提供干净的高频基准。LMK5C23208A 允许用户选择来自 VCBO 的分频输出（BAW APLL 级联），这可以显著减少 LC APLL 输出 RMS 抖动。

如果在 DPLL 上启用了 DCO 模式，则可以进行频率偏差步长值 (FDEV) 编程，将其用于调整（递增或递减）DPLL 的 FB 分频器分子。DCO 频率调整可以有效地通过 APLL 域传播到输出时钟和任何级联的 DPLL 或 APLL 域。

编程的 DPLL 环路带宽 (BW_{DPLL}) 必须低于以下所有值：

1. DPLL TDC 速率的 1/100。
2. APLL 环路带宽的 1/10。
3. 最大 DPLL 带宽设置 (4kHz)。

8.2.2.1 独立 DPLL 运行模式

在独立 DPLL 运行模式期间，各个 DPLL 可以根据需要选择基准输入 (INx)。各个 DPLL 可以共享同一个基准，或者各自选择不同的基准。启动时，每个 APLL 会在初始化后锁定到 XO 输入并以自由运行模式运行。当检测到有效的 DPLL 基准输入时，各个 DPLL 就会根据基准优先级开始锁获取。DPLL 中的 TDC 会将所选基准输入时钟的相位与来自相应 VCO 的 FB 分频器时钟进行比较，并生成一个与相位误差对应的数字校正字。此校正字由数字环路滤波器 (DLF) 进行滤波，而 DLF 输出会调整 APLL N 分频器分子以将 VCO 频率锁定到基准输入。

由于每个 DPLL 可以在此模式下独立工作，DPLL 可以锁定或解锁，不会影响其他通道。

选择 XO 输入频率时，TI 建议避免比率接近整数或半整数边界以更大限度减少杂散噪声。妥善做法是选择一个 XO 输入频率，使 APLL 分数 N 分频比 (NUM/DEN) 介于 0.125 至 0.45 之间和 0.55 至 0.875 之间。选择频率更高的 XO 可以获得更好的抖动性能，对于 BAW APLL 和 APLL2 输出而言更是如此。当 XO 频率或相位噪声性能较差时，将 BAW APLL 输出级联到 APLL2 或 APLL1。

Copyright © 2025 Texas Instruments Incorporated

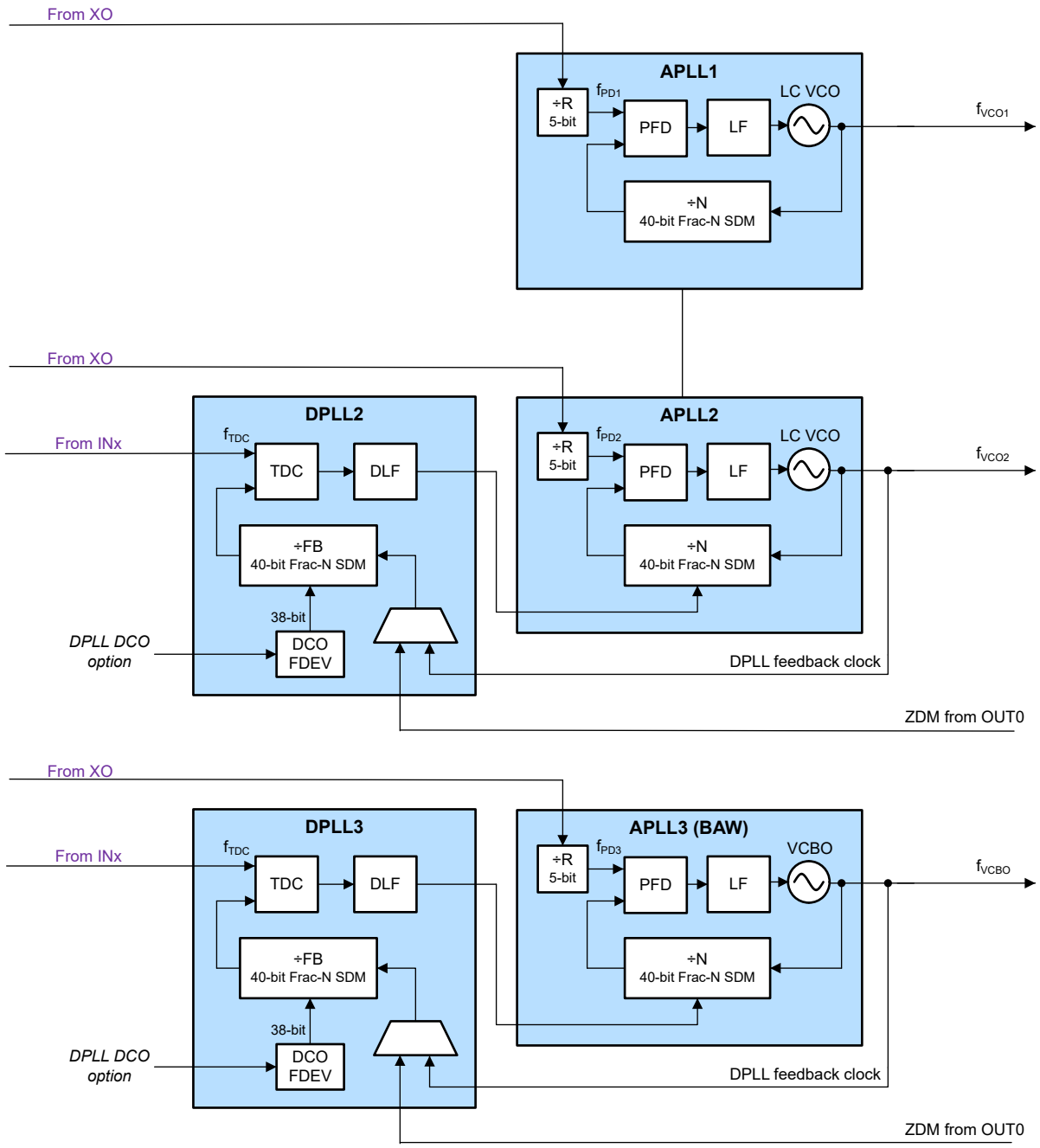


图 8-3. DPLL 独立模式

Copyright © 2025 Texas Instruments Incorporated

8.2.2.2 级联 DPLL 运行模式

图 8-4 显示了从 DPLL3 和 BAW APLL 级联到其他 DPLLx 的示例。在此示例中、DPLL3 是主同步 DPLL。另一个 DPLLx 是级联的 DPLL。

DPLL 的级联可提供与 DPLL3 同步的低抖动纯净输出时钟。当所有启用的 DPLL 和 APLL 都被锁定时，所有启用的输出都会同步到主同步 DPLL 选择的基准。

当不存在有效的基准输入时，每个 APLL 都会将 VCO 频率锁定到外部 XO 输入，并在自由运行模式下运行。

检测到有效的 DPLL 基准输入后，主 DPLL 就会开始锁采集。DPLL TDC 会将所选基准输入时钟的相位与来自相应 VCO 的 FB 分频器时钟进行比较，并生成一个与相位误差对应的数字校正字。此校正字由 DLF 进行滤波，而 DLF 输出会调整 APLL N 分频器分子以将 VCO 频率锁定到基准输入。

DPLL3 锁定状态不一定会影响其他 DPLLx 锁定状态。如果 BAW APLL 处于自由运行模式或保持模式，并且 VCBO 频率偏移 ppm 值仍在其他 DPLLx 的有效基准条件内，则级联的 DPLLx 和配对的 APLLx 能够在跟随与 BAW APLL. 相同的频率偏移的同时保持锁定状态。请注意，在级联 DPLL 模式下，锁定 DPLL3 后将实现最佳抖动性能和频率稳定性。

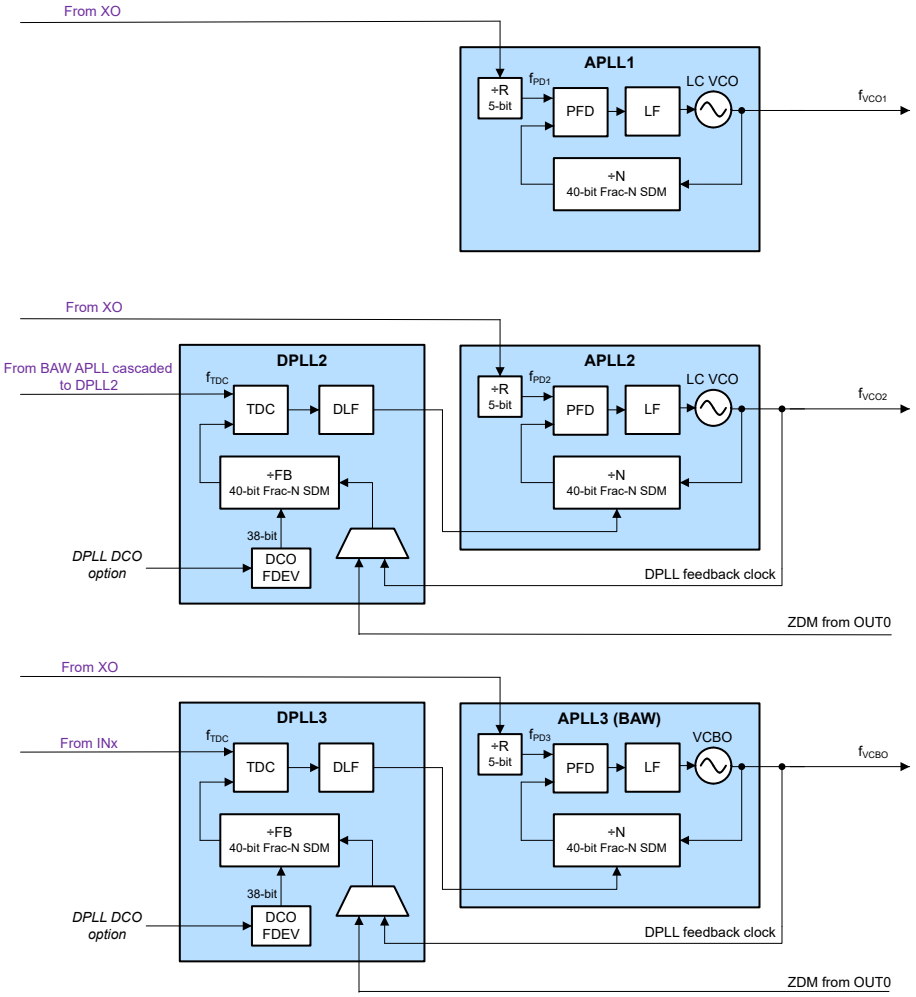


图 8-4. DPLL 级联模式

8.2.2.3 APLL 与 DPLL 级联

图 8-6 展示了从 BAW APLL 级联的 APLL1 和 APLL2。当 APLL1 和 APLL2 获取锁时，会将 VCBO 保持在标称中心频率 2457.6MHz 附近。随后，BAW APLL 将 VCBO 频率锁定至外部 XO 输入并以自由运行模式运行，直到检测到有效的基准输入。

级联的 PLL 锁定到源 VCO 的分频频率。如果检测到有效 DPLL 基准输入的时间超过最短有效时间，DPLL 开始锁定获取基准输入。每个 DPLL TDC 将所选基准输入时钟的相位与来自相应 VCO 的 FB 分频器时钟进行比较，并生成一个与相位误差对应的数字校正字。开始时，DPLL TDC 直接使用无滤波校正字来消除相位误差。然后，后续的校正字由 DLF 进行滤波，而 DLF 输出将控制 APLL N 分频器 SDM 以使 VCO 频率锁定到基准输入。

使用 VCBO 作为 APLL1 或 APLL2 的级联源可为 APLL 提供高频、超低抖动的基准时钟。如果 XO/TCXO/OCXO 频率较低或相位噪声性能较差，这种独特的级联功能可以提供改进的近端相位噪声性能。请注意，在级联 DPLL 运行模式下，锁定 DPLL3 后将实现最佳抖动性能和频率稳定性。

当 DPLL3 级联到另一个 DPLLx 或 APLLx 时，DPLL3 锁定状态会影响另一个 DPLLx 锁定状态。如果 BAW APLL 处于自由运行模式或保持模式，即使级联的 DPLLx 可以保持在锁定状态，VCBO 频率偏移 ppm 值也可能会向 APLLx 输出引入类似的频率偏移。在此配置示例中，妥善做法是监控 BAW APLL 和另一个 APLLx 的锁定状态。或者，在启动时，首先验证 DPLL3 和 BAW APLL 是否已锁定；接下来，切换另一个 APLLx 启用（APLLx_EN 位 = 0 → 1）以校准 VCOx；然后，仔细检查 APLLx 锁定状态。

在上面的示例中，BAW APLL 是上游 APLL，而 APLL1 和 APLL2 是下游 APLL。如果有系统启动时钟时序要求，APLL1 或 APLL2 也可以配置为上游 APLL。

当级联 APLL 时，下游 APLL 可以使用 DPLL 或者旁路掉并关断 DPLL（根据性能要求而定）。如果在上述 APLL 级联模式下禁用了另一个 DPLLx，则可以使用仅 DPLL3 级联模式。在这种情况下，VCO1 或 VCO2 可以在 DPLL3 锁定获取期间和锁定模式中跟随 VCBO 域，从而允许用户将 APLL1 或 APLL2 的时钟域同步到 DPLL3 基准输入。

禁用 DPLL 后，妥善做法是使用 24 位分子和可编程的 24 位分母（而不是固定的 40 位分母），从而消除从 APLL 基准到输出的频率误差。

不要将一个 VCO 输出级联到同一个 DPLL+APLL 对的 DPLL 基准和 APLL 基准。

Copyright © 2025 Texas Instruments Incorporated

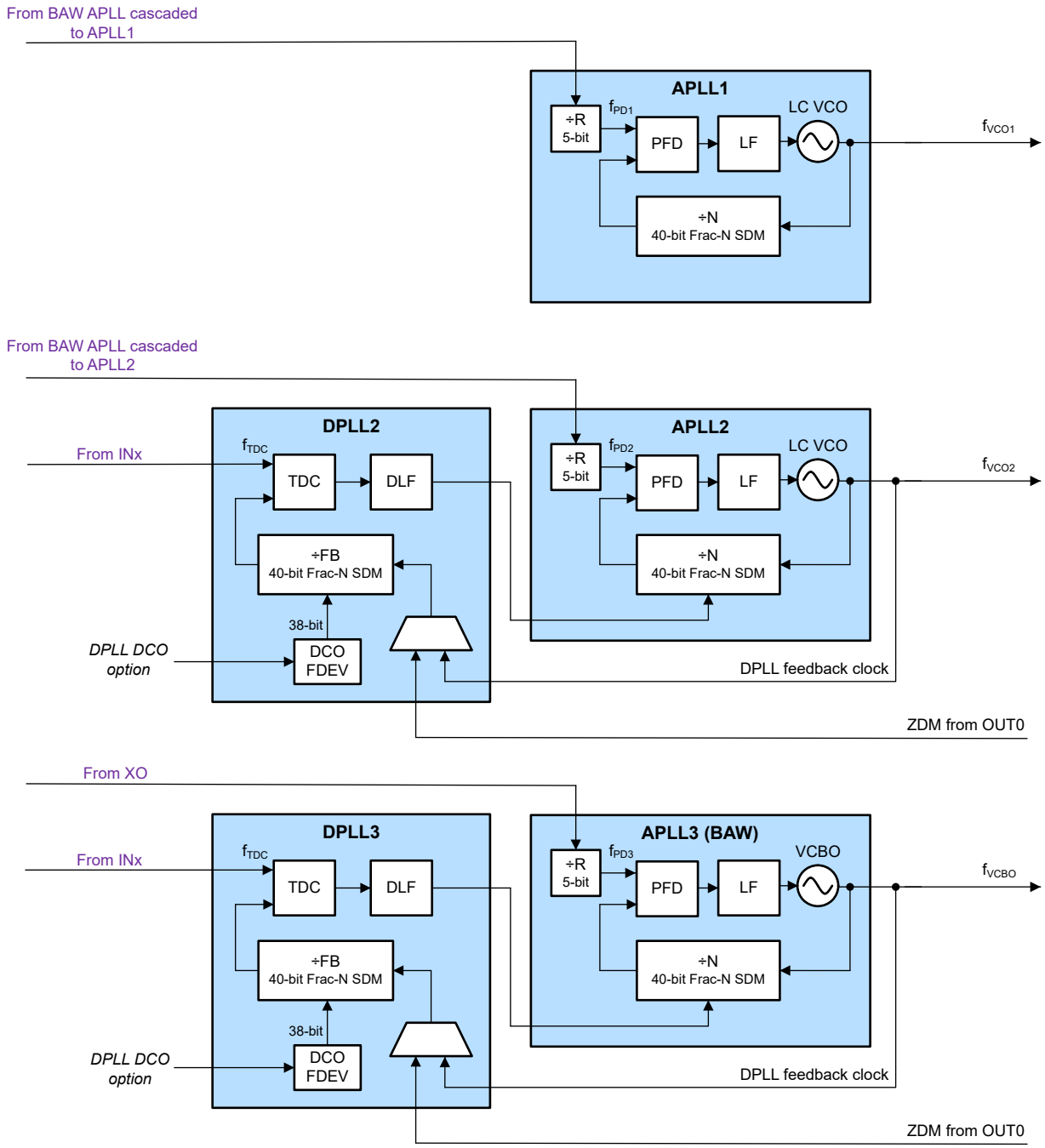


图 8-5. 启用 DPLL 的 APLL 级联示例

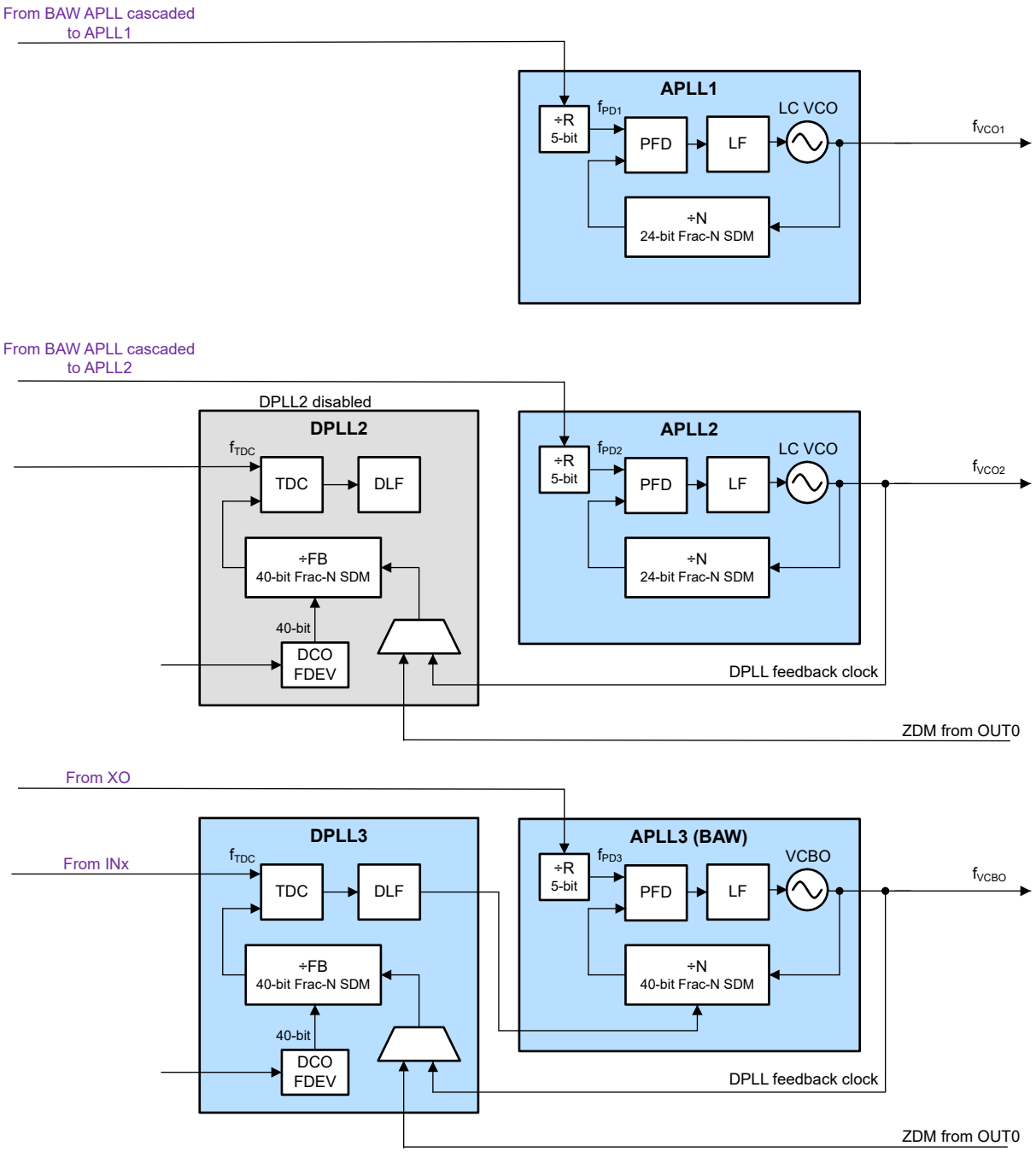


图 8-6. 禁用 DPLL 的 APLL 级联示例

Copyright © 2025 Texas Instruments Incorporated

8.2.3 仅 APLL 模式

在仅 APLL 模式下，外部 XO 输入源决定了输出时钟的自由运行频率稳定性和精度。未使用 DPLL 块，不会影响 APLL。APLL 可以在级联模式或独立模式下运行。通过控制寄存器写入可获得每个 APLL 的 DCO。

上电复位和初始化后，仅 APLL 模式的工作原理如下。如果 APLL1 或 APLL2 如 图 8-6 所示处于级联模式（DPLL3 也未使用），VCO1 或 VCO2 将跟随 VCBO 域。APLL 使用位按照以下 APLL 优先级顺序锁定：APLLx_STRT_PRTY。从 VCBO 级联 APLL1 或 APLL2 可提供高频、超低抖动基准时钟，从而更大限度减轻可能由性能较低的 XO/TCXO/OCXO 导致的带内相位噪声/抖动降级。

如果 APLL1 或 APLL2 未级联（如 图 8-7 所示），VCO1 或 VCO2 将在初始化后按照 APLLx_STRT_PRTY 顺序锁定到 XO 输入，并独立于 BAW APLL 域运行。

在没有 DPLL 控制的仅 APLL 模式下运行时，选择可编程的 24 位分母 (PLLx_MODE = 0) 而非固定的 40 位分母 (PLLx_MODE = 1) 来合成精确的频率比并保持 0ppm 频率误差。

Copyright © 2025 Texas Instruments Incorporated

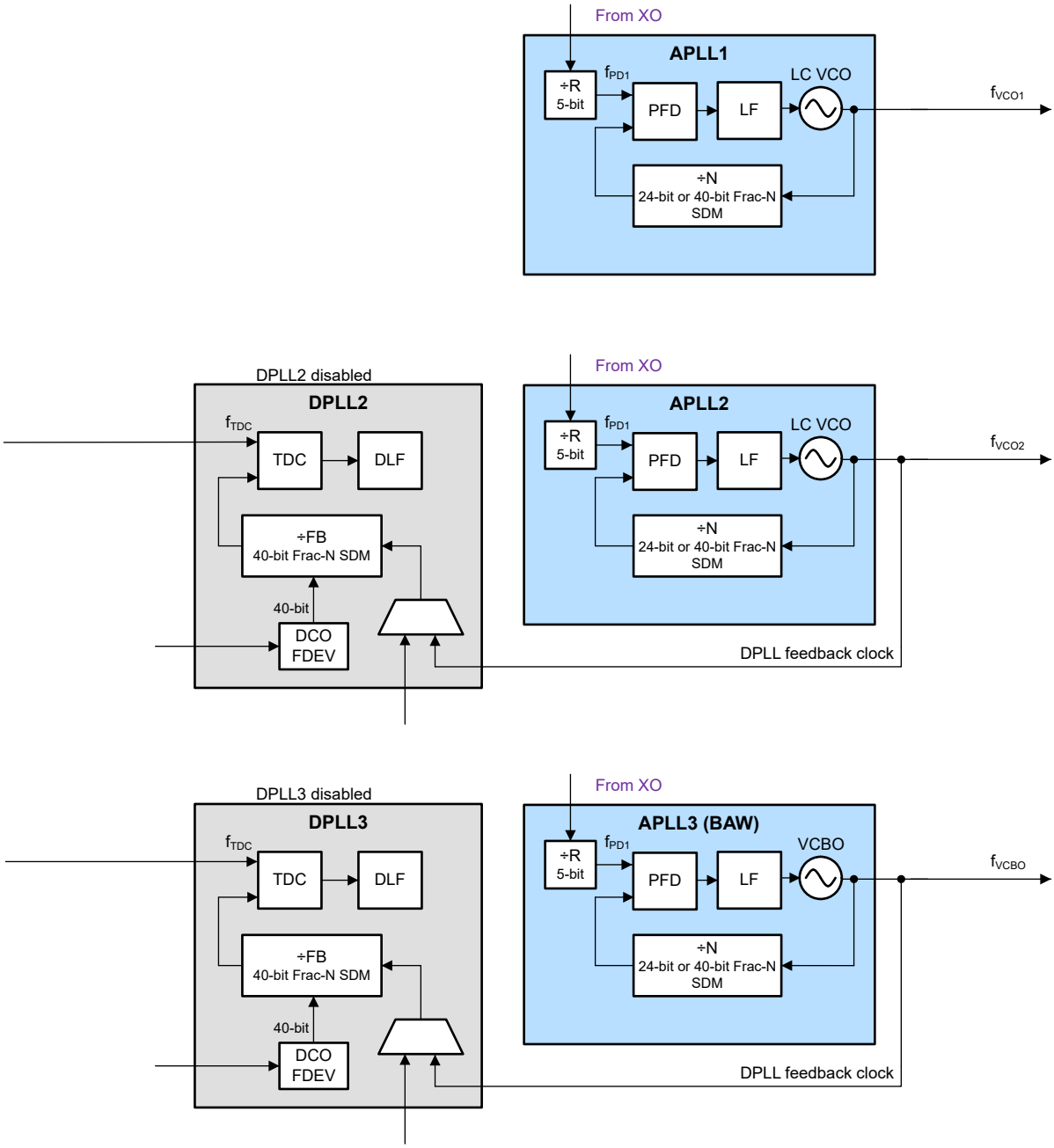


图 8-7. 仅 APLL 独立模式

8.3 特性说明

以下各节介绍 LMK5C23208A 的特性和功能块。

8.3.1 振荡器输入 (XO)

当 APLL 未在级联模式下使用时，XO 输入是分数 N APLL 的基准时钟。XO 输入决定了自由运行模式或保持模式下输出频率的精度和稳定性。

为了实现 DPLL 正确运行，XO 频率必须与 VCO 频率具有**非整数关系**，因此相应的 APLL N 分频器具有分数分频比。对于仅 APLL 模式，XO 频率与 VCO 频率可以具有整数或分数关系。

Copyright © 2025 Texas Instruments Incorporated

对于需要 DPLL 功能的应用（例如用于 eCPRI 的 SyncE 和 PTP/IEEE-1588），XO 输入可由 TCXO、OCXO 或外部可追溯时钟驱动，该时钟符合适用同步标准的频率精度和保持稳定性要求。 的 TCXO 和 OCXO 频率是常用且具有成本效益的选项，使 BAW APLL 能够在 VCBO 频率为 MHz 时以分数模式运行。

具有低频或高相位抖动/本底噪声的 XO/TCXO/OCXO 源对 BAW APLL 输出抖动性能没有影响，因为 VCBO 决定了 12kHz 至 20MHz 积分带宽范围内的抖动和相位噪声。为了进一步优化近端相位噪声性能，可以为每个 APLL 启用用于增加 PFD 频率的 XO 倍频器。

XO 输入缓冲器具有可编程输入片上终端和交流耦合输入偏置配置，如图 8-8 所示。缓冲的 XO 路径还会驱动输入监控块。

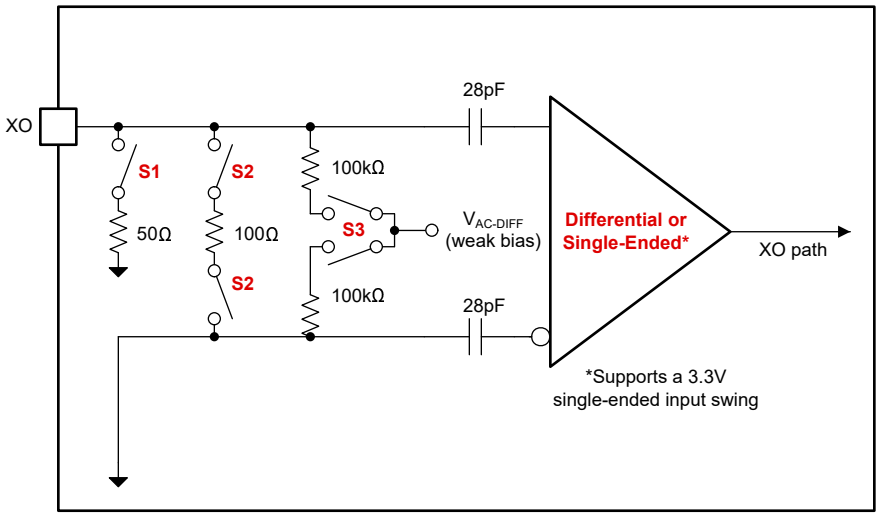


图 8-8. XO 输入缓冲器

表 8-1 列出了常见时钟接口类型的典型 XO 输入缓冲器配置。

表 8-1. XO 输入缓冲器模式

XO_TYPE	输入类型	内部开关设置	
		内部端接（S1、S2）(1)	内部辅助电源 (S3)(2)
0x00	直流（外部终端）	关断	关断
0x01	交流（外部终端）	关断	导通 (1.3V)
0x03	交流（内部 100Ω 至 GND）	100Ω	导通 (1.3V)
0x04	直流（内部 50Ω 至 GND）	50Ω	关断
0x05	交流（内部 50Ω 至 GND）	50Ω	导通 (1.3V)
0x08	LVCMOS	关断	关断
0x0C	LVCMOS（内部 50Ω 至 GND）	50Ω	关断

(1) S1、S2：关断 = 假定采用外部端接。
(2) S3：关断 = 假定采用外部输入偏置或直流耦合。

Copyright © 2025 Texas Instruments Incorporated

8.3.2 基准输入

基准输入可以接受差分时钟或单端时钟。每个输入都具有可编程的输入类型、终端和直流耦合或交流耦合输入偏置配置，如图 8-9 所示。每个输入缓冲器会驱动 DPLL 块的基准输入多路复用器。DPLL 输入多路复用器可以从任何基准输入中进行选择。DPLL 可以在不同频率的输入之间切换，前提是这些频率可以通过 DPLL R 分频器分频为一个公共频率。基准输入路径还会驱动各种检测器块以进行基准输入监控和验证。直流路径开关能够旁路掉内部交流耦合电容器，以使低频输入可靠运行。

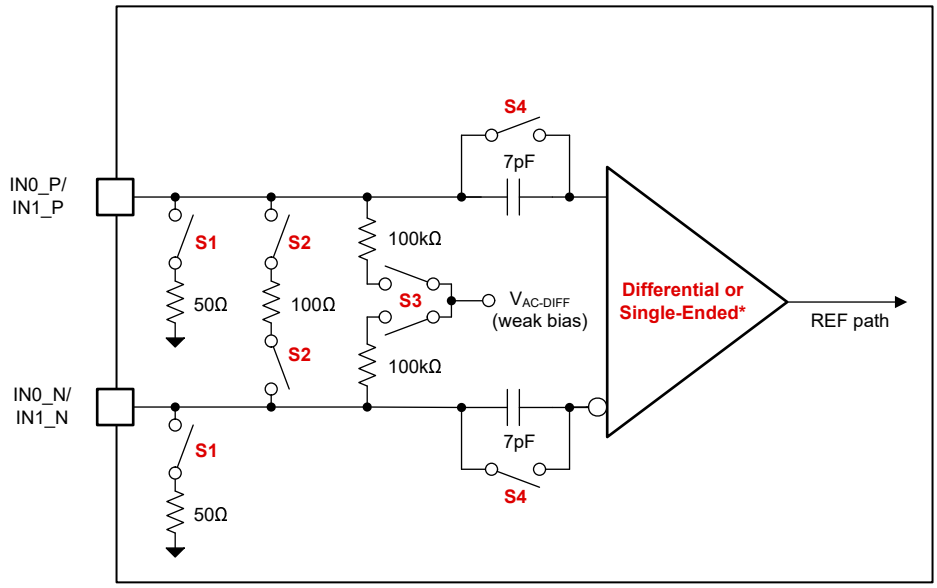


图 8-9. 基准输入缓冲器

表 8-2 列出了常见时钟接口类型的基准输入缓冲器配置。

表 8-2. 基准输入缓冲器模式

REFx_ITYPE、	输入类型	内部寄存器和开关设置					
		迟滞，R68[5]	交流电容器旁路，R68[4]、S4(1)	单端选择，R68[3]	单端终端，R68[2]、S1(2)	差分终端，R68[1]、S2(2)	弱偏置 (1.3V) R68[0]、S3(3)
0x00	差分， 外部直流耦合， 外部终端	0	0	0	0	0	0
0x01	差分， 外部交流耦合， 外部终端	0	0	0	0	0	1
0x02	差分， 外部直流耦合， 内部 100Ω 差分终端， LVDS/HSDS	0	0	0	0	1	0
0x03	差分， 外部交流耦合， 内部 100Ω 差分终端， LVDS/HSDS	0	0	0	0	1	1
0x04	差分， 外部直流耦合， 内部 50Ω 至 GND HCSL	0	0	0	1	0	0
0x05	差分， 外部交流耦合， 内部 50Ω 至 GND， HCSL	0	0	0	1	0	1

Copyright © 2025 Texas Instruments Incorporated

表 8-2. 基准输入缓冲器模式（续）

REFx_ITYPE、	输入类型	内部寄存器和开关设置					
		迟滞，R68[5]	交流电容器旁路，R68[4]、S4(1)	单端选择，R68[3]	单端终端，R68[2]、S1(2)	差分终端，R68[1]、S2(2)	弱偏置 (1.3V) R68[0]、S3(3)
0x08	单端，外部直流耦合，内部交流耦合，70mV 阈值，LVCMOS	0	0	1	0	0	0
0x0C	单端，外部直流耦合，内部交流耦合，内部 50Ω 至 GND，70mV 阈值	0	0	1	1	0	0
0x18	单端，外部直流耦合，内部直流耦合，150mV 迟滞，LVCMOS	0	1	1	0	0	0
0x28	单端，外部直流耦合，内部交流耦合，210mV 迟滞，LVCMOS	1	0	1	0	0	0
0x38	单端，外部直流耦合，内部直流耦合，0mV 迟滞，LVCMOS	1	1	1	0	0	0

(1) S4：0 = 差分输入振幅检测器可用于除 LVCMOS 或单端输入类型之外的所有输入类型。
(2) S1、S2：0 = 假定采用外部终端。
(3) S3：0 = 假定采用外部输入偏置或直流耦合。

8.3.3 时钟输入连接和端接

图 8-10 至图 8-14 展示了建议的输入连接和端接电路。未使用的时钟输入可以保持悬空或下拉。

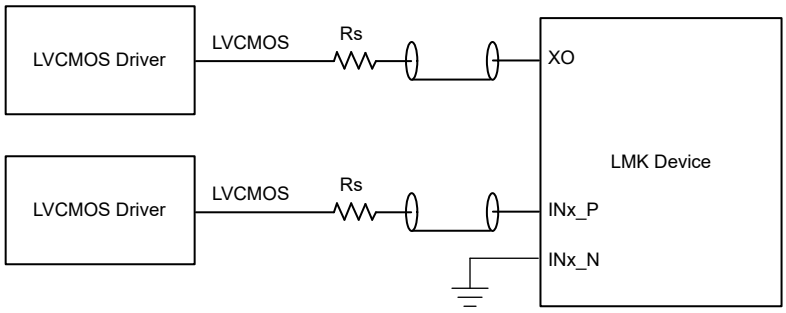


图 8-10. 单端 LVCMOS（1.8V、2.5V、3.3V）至基准 (INx_P) 或 XO 输入 (XO)

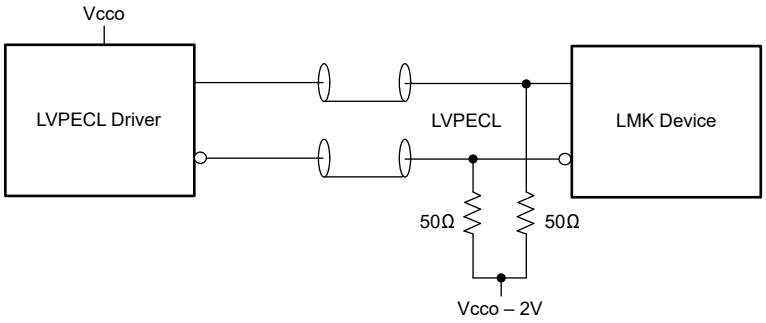


图 8-11. 直流耦合 LVPECL 至基准 (INx)

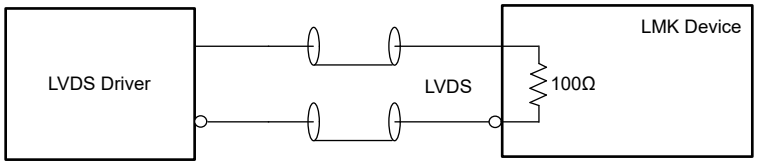


图 8-12. 直流耦合 HSDS/LVDS 至基准 (INx)

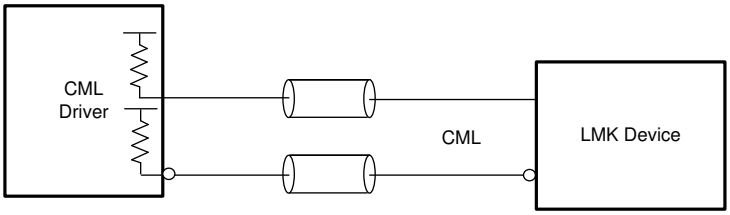


图 8-13. 直流耦合 CML（源端接）至基准 (INx)

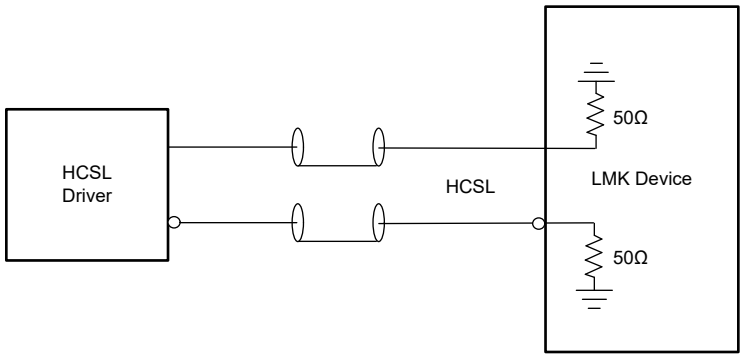


图 8-14. HCSL（负载端接）至基准 (INx)

Driver	R_B (Ω)
LVDS	open
CML*	open
LVPECL	120
HCSL	50

*CML driver requires 50Ω pull-ups

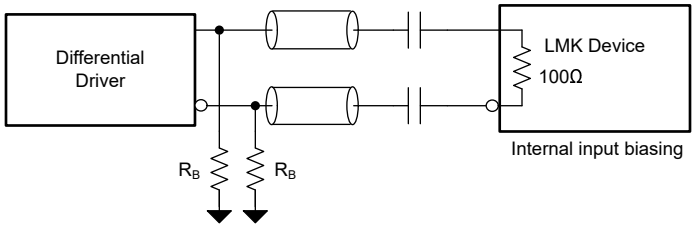


图 8-15. 交流耦合差分至基准 (INx)

Copyright © 2025 Texas Instruments Incorporated

8.3.4 基准输入多路复用器选择

对于 DPLL 块，可以使用内部状态机并借助可配置的输入优先级方案来自动完成基准输入多路复用器的选择，也可以通过软件寄存器控制或硬件引脚控制来手动完成。输入多路复用器可以为 LMK5C23208A 选择 IN0 或 IN1。所有输入的优先级均可通过寄存器分配。优先级的范围为 0 到 7，其中 0 = 忽略（从不选择），1 = 第一优先级，2 = 第二优先级，7 = 第七优先级。当为输入配置相同的优先级设置时，较低的枚举 INx 将获得第一优先级（IN0 具有最高优先级）。可以通过状态引脚或寄存器来监控所选的输入。

8.3.4.1 自动输入选择

有两种可通过寄存器设置的自动输入选择模式：自动还原和自动非还原。

- *自动还原：*在此模式下，DPLL 自动选择配置的优先级最高的有效输入。如果具有更高优先级的时钟变为有效，DPLL 会立即自动切换到该时钟。
- *自动非还原：*在此模式下，DPLL 自动选择有效的最高优先级输入。如果更高优先级输入变为有效状态，则除非当前选择的输入变为无效状态，否则 DPLL 不会切换。

8.3.4.2 手动输入选择

有两种可通过寄存器设置的手动输入选择模式：带自动回退功能的手动模式和带自动保持功能的手动模式。在两种手动模式下，输入选择都可以通过寄存器控制（使用 DPLLx_MAN_REFSEL 寄存器）或硬件引脚控制 (GPIO)。

- *带自动回退功能的手动模式：*在此模式中，手动选择的基准一直作为有效的基准，直至该基准失效。如果基准失效，DPLL 会自动回退到有效或合格的最高优先级输入。如果所有优先级输入都无效，DPLL 会进入保持模式（如果调优字历史记录有效）或自由运行模式。当所选输入变为有效时，DPLL 会退出保持模式。
- *带自动保持功能的手动模式：*在此模式中，手动选择的基准一直作为有效的基准，直至该基准失效。如果基准失效，DPLL 会自动进入保持模式（如果调优字历史记录有效）或自由运行模式。当所选输入变为有效时，DPLL 会退出保持模式。

基准输入选择流程图如图 8-16 所示。

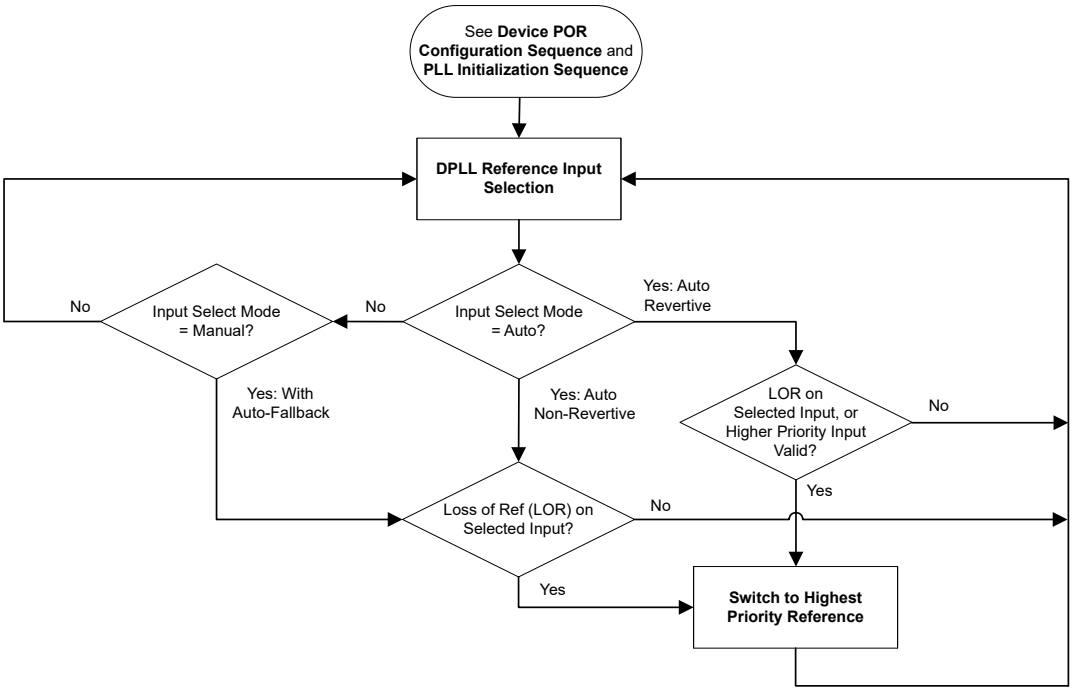


图 8-16. DPLL 基准输入选择流程图

8.3.5 无中断切换

DPLL 通过 TI 的专有相位抵消方案和可选的相位转换控制方案支持无中断切换。禁用无中断切换后，等于两个输入之间相位偏移的相位中断会以 DPLL 带宽滤波决定的速率传播到输出。

8.3.5.1 涉及相位抵消的无中断切换

通常，在无中断切换期间会启用相位抵消功能，以防止相位瞬态（相位中断）在具有固定相位偏移的两个锁频基准输入之间切换时立即传播到输出。在未启用相位转换的用例中，相位抵消通常可以无限期持续存在，这种情况通常称为相位扩展。当输入具有相同的精确频率（0ppm 偏移），或者具有与整数相关的频率且每个频率都可以被整数除以公共频率时，输入就会被锁频。无中断切换规格（$t_{HITLESS}$ 和 $f_{HITLESS}$）对无漂移的基准输入有效。如果两个输入进行了切换但未锁频，则输出会平滑过渡到新频率并减少瞬变。

8.3.5.2 涉及相位转换控制的无中断切换

启用相位转换控制可在无中断切换和保持模式退出期间，限制输出相位瞬态或相位中断。用户可以选择 DPLLx_PHS1_EN 来启用相位转换控制，以遵循 DPLLx_PHS1_THRESH 和 DPLLx_PHS1_TIMER 中设置的步长限制。当在跟随新输入相位期间需要缓慢过渡时，启用相位转换控制后，将会根据所编程的计时器值和步长限制来消除相位抵消或相位增建。同样，当 DPLL 从仅 APLL 模式或保持模式切换到 DPLL 锁获取模式时，或者当两个输入的无中断切换未锁频时，将应用相位转换限制。当相位抵消功能和相位转换控制功能都被禁用时，等于 XO 与所选输入之间或切换时两个输入之间相位偏移的相位中断将以 DPLL 环路带宽确定的速率传播到输出。在两个输入进行切换但未锁频的情况下，相位转换控制功能可以确认输出是否按照步长限制所定义的速率平滑过渡到新频率。

8.3.5.3 涉及 1PPS 输入的无中断切换

禁用 ZDM 同步后，支持在 1PPS 输入之间进行无中断切换，但切换事件必须仅在 DPLL 获取锁定后发生。如果在 DPLL 最初锁定之前发生切换，则不是无中断切换，并且 DPLL 所需的锁定时间将是不确定的。在这种情况下，请对 DPLL 进行软复位以锁定到所选输入。在应用中，系统主机可以通过 STATUS 引脚或位来监控 DPLL 锁定状态，从而确定在允许 1PPS 输入之间的切换之前是否已锁定 DPLL。DPLL 锁定时间由 DPLL 带宽（1PPS 输入时通常为 10mHz）决定。

8.3.6 基准输入上的间隙时钟支持

DPLL 支持锁定到缺少周期的输入时钟（称为间隙时钟）。间隙会大大增加时钟的抖动，因此 DPLL 提供生成低抖动周期性输出时钟所需的高输入抖动容差和低环路带宽。产生的输出是一个周期性的无间隙时钟，具有输入的平均频率及缺失的周期。间隙时钟宽度不能超过 R 分频器 (R_{INx} / f_{INx}) 之后的基准时钟周期。为了实现并保持锁定，必须配置基准输入监控器来避免由于最坏情况下的时钟间隙情况而出现的任何标志。如果两个间隙时钟输入之间的基准切换发生在任一输入时钟的间隙期间，则可能违反无中断切换规范。

8.3.7 输入时钟和 PLL 监控、状态和中断

以下部分介绍输入时钟和 PLL 监控、状态和中断特性。不能在单个输入端同时使用基准输入频率检测器和相位有效检测器。

Copyright © 2025 Texas Instruments Incorporated

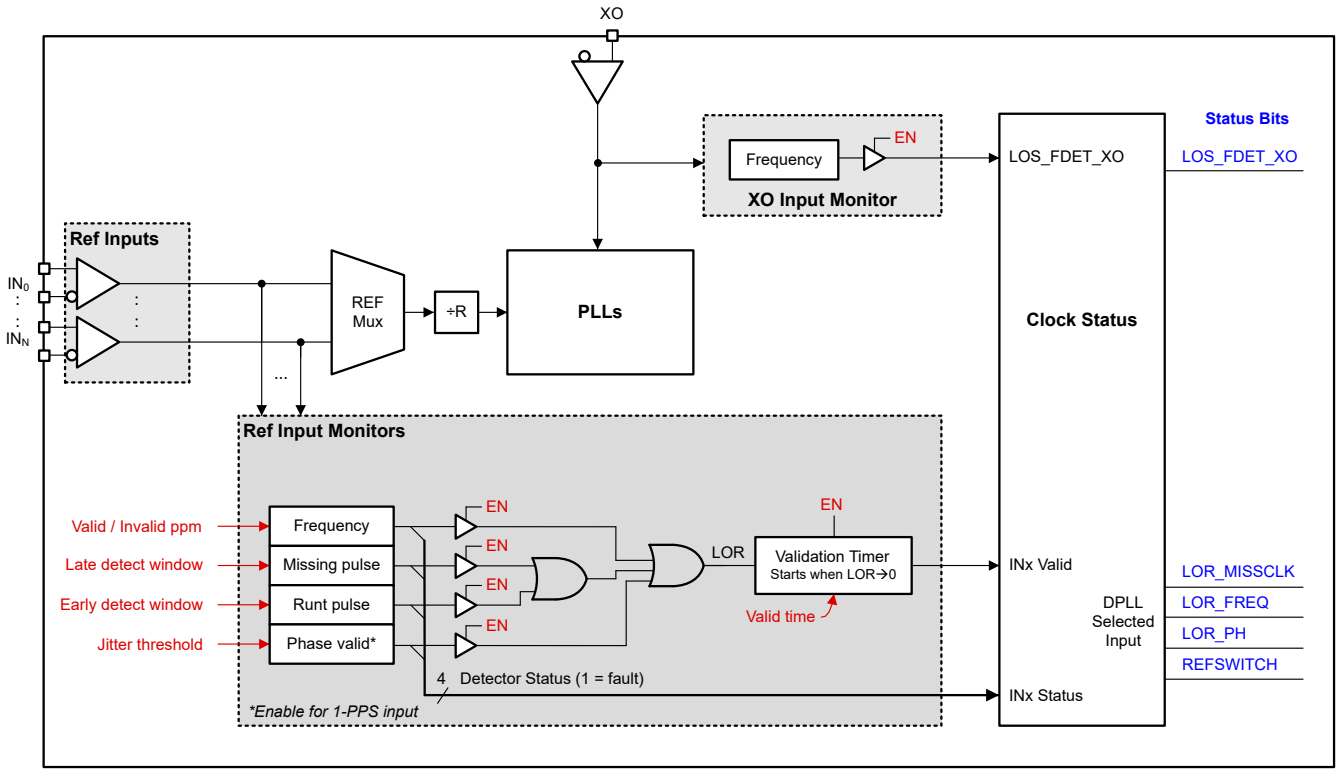


图 8-17. 适用于基准和 XO 输入的时钟监控器

8.3.7.1 XO 输入监控

XO 输入有一个粗频率监测器，可在使用监测器锁定 APLL 之前，帮助对输入进行鉴别。

当检测到 XO 输入频率位于 电气特性 中列出的指定范围内时，XO 频率检测器会清除 LOS_FDET_XO 标志。XO 频率监测器使用基于 RC 的检测器，因此无法精确确定 XO 输入时钟是否具有足够的频率稳定性。稳定的 XO 输入可确认在 APLL 启动期间，APLL2 或 APLL1 的 VCO 校准成功。当外部 XO 时钟具有缓慢或延迟的启动行为时，请在 XO 输入稳定后，在 APLL2 和 APLL1 上强制进行校准。有关更多信息，请参阅 XO 启动缓慢或延迟。

如需旁路掉 XO 频率检测器，可以设置 XO_FDET_BYP 位（在 图 8-17 的 XO 输入监视器块中显示为 **EN**），使 PLL 控制状态机始终认为 XO 输入有效。用户可以通过状态引脚和状态位观察 LOS_FDET_XO 状态标志。设置 XO_FDET_BYP 位后会绕过检测，但不会反映 LOS_FDET_XO 状态标志的任何变化。

8.3.7.2 基准输入监控

在时钟被验证合格并可供 DPLL 选择之前，每个 DPLL 基准时钟输入都会被独立监控以进行输入验证。基准监控块包括频率监控器、漏脉冲监控器和矮脉冲监控器。对于 1PPS 输入，支持相位有效监控器，但不支持频率监控器、漏脉冲监控器和矮脉冲监控器，因此必须禁用它们。验证计时器可设置在输入验证合格之前，清除所有已启用的基准监控器标志的最短时间。

每个输入都可以对所有基准监控器和验证计时器的启用和有效阈值进行编程。是否启用基准监控器和验证计时器是可选设置，但它们对于在保持或切换事件期间实现可靠的 DPLL 锁定和出色瞬态性能至关重要，而且还可用于避免选择不可靠或间歇性的时钟输入。如果未启用给定检测器，则该检测器不会设置标志并会被忽略。可以通过任何基准输入（已选择或未选择）的状态引脚来观察任何已启用的检测器的状态标志。还可以通过 DPLL 选定输入的状态位来读取已启用的检测器的状态标志。

8.3.7.2.1 基准验证计时器

验证计时器可设置每个基准在被验证合格并可供选择之前清除所有已启用的输入监控器的标志所需的时间量。验证计时器和使能设置是可编程的。

Copyright © 2025 Texas Instruments Incorporated

8.3.7.2.2 频率监控

精密频率检测器测量所有输入时钟相对于 XO 输入频率（该频率被视为用于频率比较的 0ppm 基准时钟）的频率偏移或误差（以 ppm 为单位）。有效和无效 ppm 频率阈值可通过寄存器进行配置。当相对输入频率误差小于有效 ppm 阈值时，监测器会清除 REFx_FDET_STATUS 标志。否则，当相对输入频率误差大于无效 ppm 阈值时，监测器会设置 REFx_FDET_STATUS 标志。有效和无效阈值之间的 ppm 增量可提供迟滞来防止 REFx_FDET_STATUS 标志在输入频率偏移超过这些阈值时切换。

在计算频率检测器寄存器设置时会使用测量精度 (ppm) 和平均因子。较高的测量精度（较小的 ppm）或较高的平均因子将增加设置或清除标志的测量延迟，从而为输入频率提供更多的时间来稳定，并且还可以为具有高漂移的输入提供更好的测量分辨率。请注意，较高的平均值会降低可配置的最大频率 ppm 阈值。

8.3.7.2.3 漏脉冲监控器（后期检测）

漏脉冲监控器使用窗口检测器来验证在标称时钟周期加上可编程延迟窗口阈值 (T_{LATE}) 内到达的输入时钟脉冲。当输入脉冲在 T_{LATE} 之前到达时，该脉冲被视为有效，并清除漏脉冲标志（如果已设置）。当输入脉冲未在 T_{LATE} 之前到达（由于脉冲缺失或延迟）时，则会设置漏脉冲标志以认定输入不合格。

通常，T_{LATE} 的设置必须大于最长的时钟周期输入（包括周期间抖动），或者大于间隙时钟的间隙宽度。漏脉冲监控器可以充当粗略频率检测器，其检测速度比 ppm 频率检测器更快。在 2kHz 和 $f_{VCO}/12$ 之间的输入频率范围内支持漏脉冲监测器，超出此频率范围时必须将其禁用。

对于每个基准输入，漏脉冲监控器和矮脉冲监控器通过相同的窗口检测器块运行。这两个监控器的状态标志通过逻辑“或”门组合在一起，并可通过状态引脚进行观察。也可以通过相应的 REFx_MISSCLK_STATUS 位观察基准的窗口检测器标志。

8.3.7.2.4 矮脉冲监控器（早期检测）

矮脉冲监控器使用窗口检测器来验证在标称时钟周期减去可编程早期窗口阈值 (T_{EARLY}) 内到达的输入时钟脉冲。当输入脉冲在 T_{EARLY} 之后到达时，该脉冲被视为有效，并会清除矮脉冲标志。当早期或矮输入脉冲在 T_{EARLY} 之前到达时，该监控器会立即设置标志以认定输入不合格。

通常，T_{EARLY} 必须设置为小于输入的最短时钟周期（包括周期间抖动）。早期脉冲监控器可以充当粗略频率检测器，其检测速度比 ppm 频率检测器更快。在 2kHz 和 $f_{VCO}/12$ 之间的输入频率下支持早期脉冲监测器，超出此频率范围时必须将其禁用。

用户必须启用时钟缺失检测才能使用早期时钟检测功能。早期时钟检测功能无法单独启用。

Copyright © 2025 Texas Instruments Incorporated

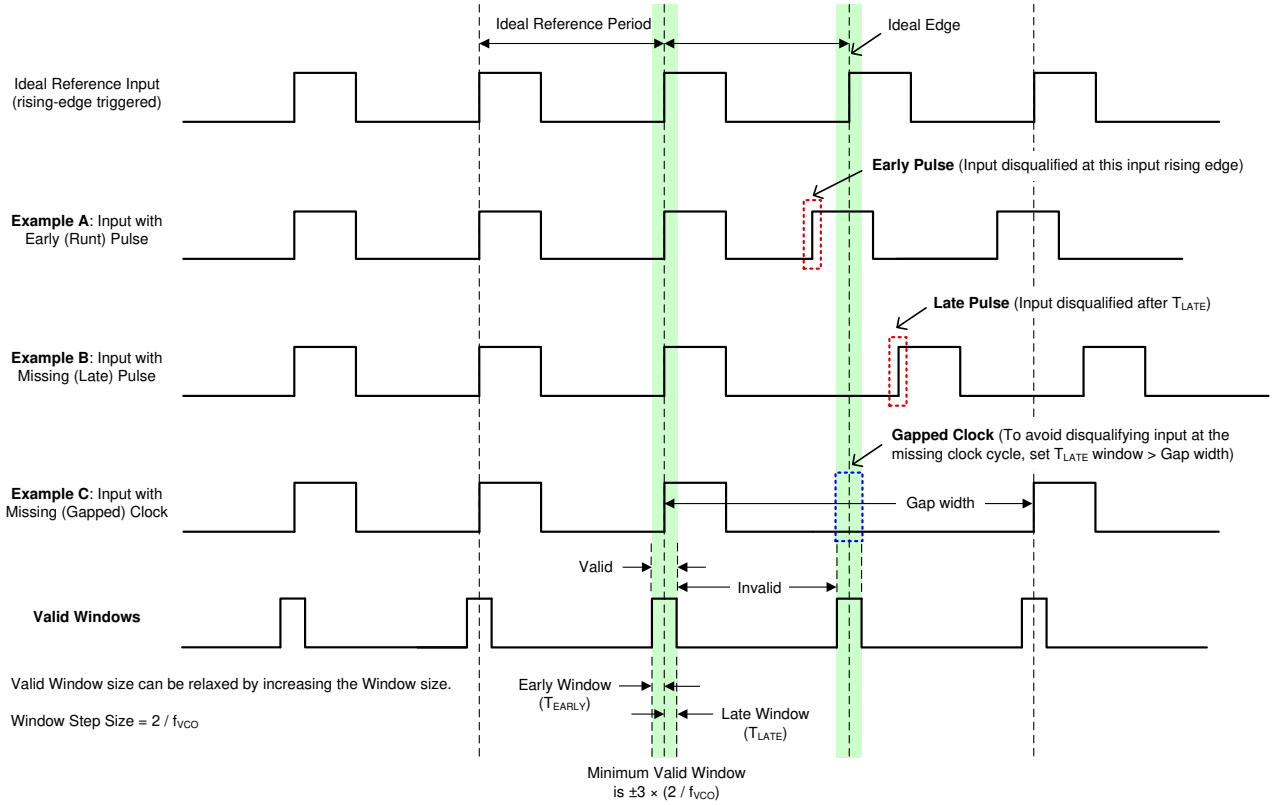


图 8-18. 早期和晚期窗口检测器示例

8.3.7.2.5 1PPS 输入的相位有效监控器

相位有效监控器专为 1PPS 输入验证而设计，因为频率和窗口检测器不支持这种低频。相位有效监控器使用窗口检测器来验证在标称时钟周期 (T_{IN}) 加上可编程抖动阈值 (T_{JIT}) 内到达的 1PPS 输入脉冲。当输入脉冲在计数器窗口 (T_V) 内到达时，脉冲被视为有效，并会清除相位有效标志。当输入脉冲未在 T_V 之前到达（由于脉冲缺失或延迟）时，则会立即设置标志以认定输入不合格。T_{JIT} 必须设置为大于最坏情况下的输入周期间抖动。

相位有效寄存器设置对于 1PPS ppm 误差阈值检测也有效。请注意，T_{JIT} 还会影响最坏情况下允许的 ppm 误差。例如：High_Jitter_Freq = 1/(T_{IN} - T_{JIT})，则最大输入允许的 ppm 误差 = (High_Jitter_Freq - Expected_Freq) / Expected_Freq × 1e6。

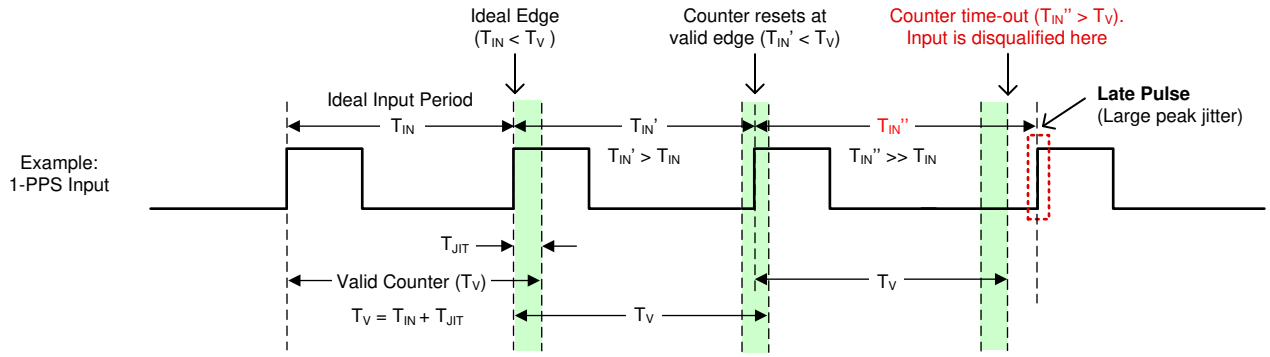


图 8-19. 1PPS 输入窗口检测器示例

8.3.7.3 PLL 锁定检测器

失锁 (LOL) 状态适用于每个 APLL 和 DPLL。对于 APLL，仅监测频率损失锁。对于 DPLL，则可以监控其频锁丢失 (LOFL) 和相锁丢失 (LOPL) 情况。对于 LOPL 和 LOFL 检测器，DPLL 锁定阈值和失锁阈值都是可编程的。如果选择 BAW APLL 频率损失锁，则仅监测配对 DPLL 的 LOPL。必须启用配对的 DPLL，才能对 BAW APLL VCBO 锁检测进行数字监测。

当相对于所选基准输入的 DPLL 频率误差小于锁定 ppm 阈值时，DPLL 频锁检测器会清除 LOFL 标志。否则，当 DPLL 频率误差大于解锁 ppm 阈值时，锁检测器会设置 LOFL 标志。锁定阈值和解锁阈值之间的 ppm 增量可提供迟滞来防止 LOFL 标志在 DPLL 频率误差超过这些阈值时切换。

当相对于 XO 基准输入的 VCBO 频率误差小于锁定 ppm 阈值时，BAW APLL 频率数字锁检测器会清除 LOFL 标志。否则，当 VCBO 频率误差大于解锁 ppm 阈值时，锁检测器会设置 LOFL 标志。在设置 VCBO 频率锁定阈值和解锁阈值时，请务必考虑 XO 输入基准的 ppm 频率容差。锁定阈值和解锁阈值之间的 ppm 增量可提供迟滞来防止 LOFL 标志在 VCBO 频率误差超过这些阈值时切换。

在计算频锁检测器寄存器设置时会使用测量精度 (ppm) 和平均因子。较高的测量精度（较小的 ppm）或较高的平均因子将增加设置或清除 LOFL 标志的测量延迟。当锁定到具有高漂移的输入或当 PLL 配置了窄环路带宽时，较高的平均值会很有用。请注意，较高的平均值会降低可配置的最大频率 ppm 阈值。

当 DPLL 的相位误差小于相锁阈值时，DPLL 相锁检测器会清除 LOPL 标志。否则，当相位误差大于相位解锁阈值时，锁定检测器会设置 LOPL 标志。

用户可以通过状态引脚和状态位观察 APLL 和 DPLL 锁定检测器标志。

图 8-20. PLL 锁定检测器和历史记录监控器

Copyright © 2025 Texas Instruments Incorporated

8.3.7.4 调优字历史记录

DPLL 域有一个调优字历史记录监控块用于确定进入保持模式时的初始输出频率精度。在保持模式下，基准时钟的稳定性（在 XO 输入端）决定了输出频率的长期稳定性和精度。根据 DPLL 工作模式，可以使用三个源之一来更新调优字：

1. 锁定模式：锁定时使用数字环路滤波器的输出进行更新
2. 保持模式：使用历史记录监控器的最终输出进行更新
3. 自由运行模式：使用自由运行调优字寄存器（用户定义）进行更新

当历史记录监控器已启用且 DPLL 已锁定时，该器件计算基准输入频率的平均值的方法是：在 DPLLx_HIST_TIMER 确定的可编程平均时间 (T_{AVG}) 内，使用数字环路滤波器的输出来累积历史记录。当有效基准输入变得无效时，会存储最终的调优字值以确定初始保持频率精度。通常，较长的 T_{AVG} 时间会产生更准确的初始保持频率。

如果输入基准时钟发生故障并变为无效，但调优字在其中一个基准输入验证监控器指示故障状态之前继续更新，则可能损坏历史记录数据。为了避免这种情况，所有正在进行的累积都会被忽略，最近的历史记录数据也会被忽略。最近收集的平均数据将被丢弃，使得实际使用的历史记录大于 T_{AVG} 但小于 $2 \times T_{AVG}$。

在器件硬复位或软复位后会立即清除调优字历史记录。DPLL 锁定到新基准后，历史记录监控器会等待第一个 T_{AVG} 计时器到期，然后存储第一个调优字值，并开始累积历史记录。历史记录监控器在基准切换或保持模式退出期间不会清除先前的历史记录值。如果需要，可以通过切换历史记录使能位 (DPLLx_HIST_EN = 1 → 0 → 1) 来手动清除或复位历史记录。

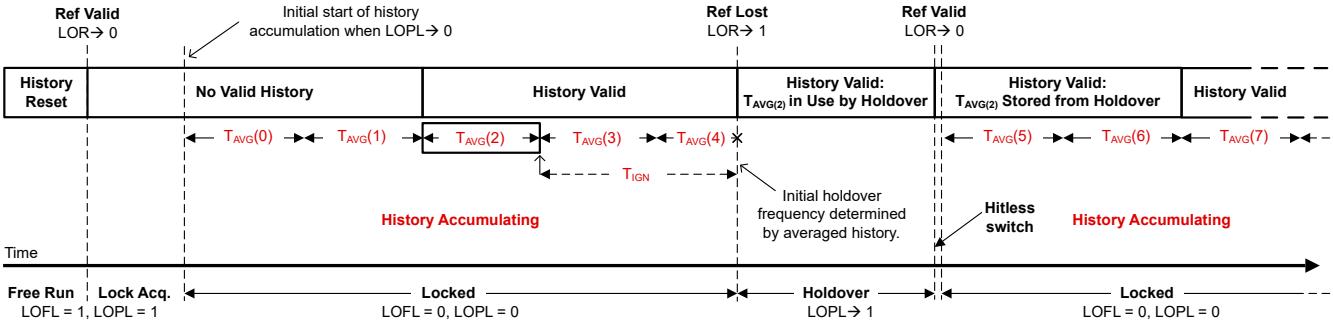


图 8-21. 调优字历史记录窗口

当不存在调优字历史记录时，将使用自由运行调优字值 (DPLLx_FREE_RUN)，并确定初始保持输出频率精度。

8.3.7.5 状态输出

GPIO 引脚可配置为输出各种状态信号和中断标志以用于器件诊断和调试。状态信号、输出驱动器类型和输出极性设置都是可编程的。

8.3.7.6 中断

任何 GPIO 引脚都可以配置为器件中断输出引脚。中断逻辑配置通过寄存器进行设置。当启用中断逻辑后，可以通过中断状态指示器（包括 XO 的 LOS、所选 DPLL 输入的 LOR、APLL1、APLL2 和 DPLL 的 LOL 以及 DPLL 的保持和切换事件）的任意组合来触发中断输出。当中断极性设置为高电平时，实时状态位的上升沿会将中断标志（粘滞位）置为有效。否则，当极性设置为低电平时，实时状态位的下降沿会将中断标志置为有效。可以屏蔽任何单独的中断标志，使该标志不会触发中断输出。未屏蔽的中断标志由与/或门组合在一起来生成中断输出，可以在任一状态引脚上选择该中断输出。

当系统主机检测到来自器件的中断时，主机可以读取中断标志或*粘滞*寄存器来识别哪些位已置为有效来解决系统中的故障状况。解决系统故障后，主机可以通过向自行清除的 INT_CLR 字段写入 1 来清除中断输出。

Copyright © 2025 Texas Instruments Incorporated

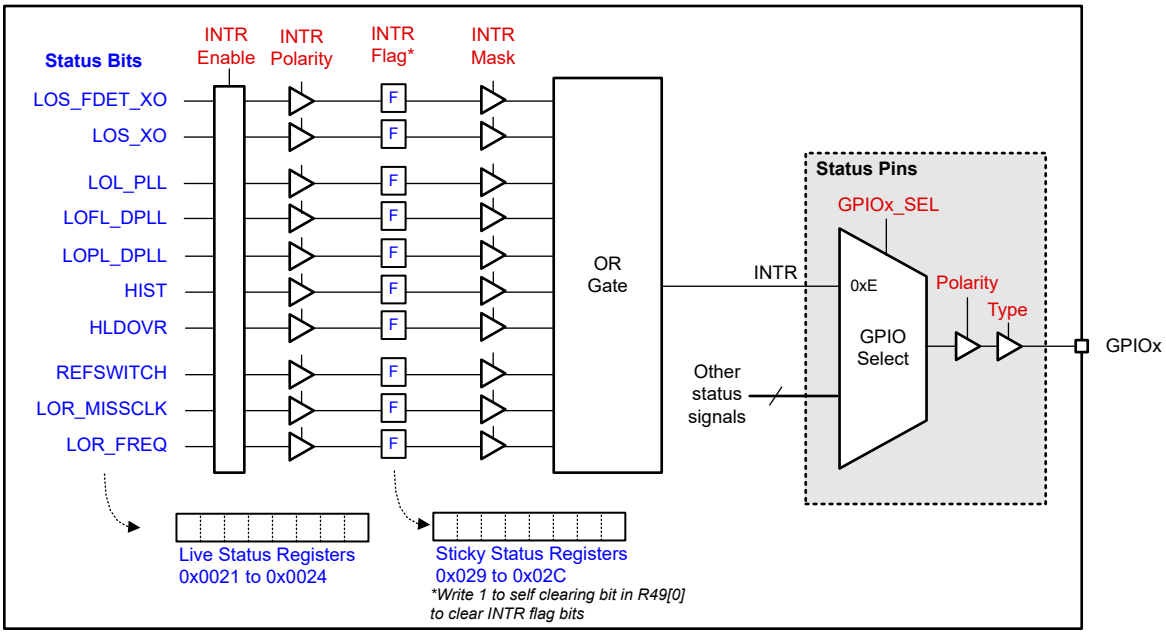


图 8-22. 状态和中断

8.3.8 PLL 关系

图 8-23 展示了 LMK5C23208A 中实施的 PLL 架构。PLL 可以配置为 PLL 架构概述 中所述的级联或独立模式。

当 DPLL 在反馈环路中与 APLL 结合时，APLL 必须使用固定的 40 位分母。当在独立循环中配置 APLL 时，选择 24 位可编程分母、如 图 8-6 中的 APLL1 和 APLL2，或 图 8-7 中的所有 APLL。

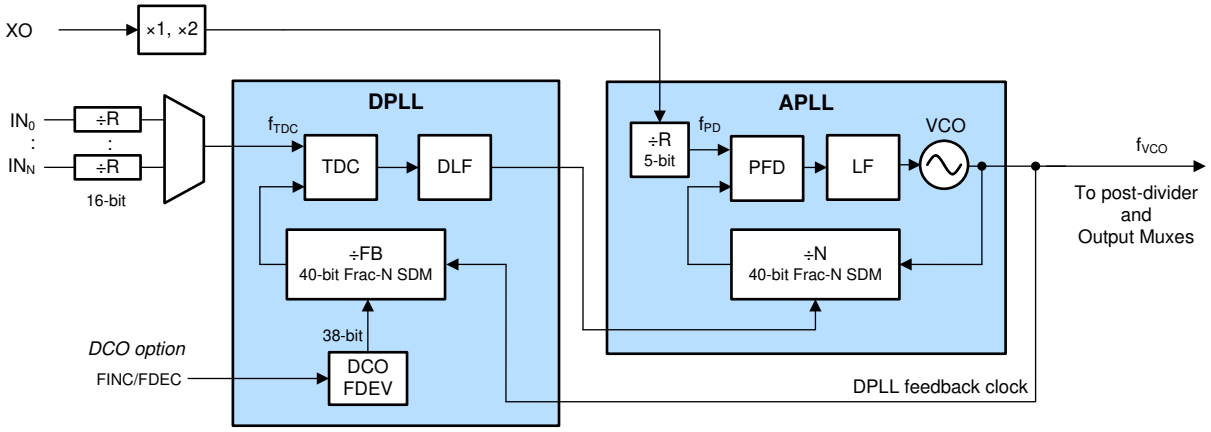


图 8-23. PLL 架构

8.3.8.1 PLL 频率关系

以下公式提供了实现闭环运行所需的 APLL 和 DLL 频率关系。TICS Pro 编程软件可用于根据所需的频率计划生成有效的分频器设置。

请注意，以下公式中的任何分频器均指实际分频值（或范围），而不是可编程寄存器值。

当启用 DPLL 工作模式后，计算得出的 DPLL 频率和 APLL 频率的标称值必须相同。对配对的 APLL N 分频器 40 位固定分母进行的 DPLL 调整会跟随所选的输入基准源，以合成实际时钟输出所需的频率和相位。

Copyright © 2025 Texas Instruments Incorporated

当 APLL 独立于配对 DPLL 运行时，TI 建议使用可编程 24 位分母进行频域之间的混合同步或级联，以便在没有 DPLL 控制的情况下保持 0ppm 的频率误差。在这种情况下，APLL 跟随来自另一个 APLL 输出的级联反馈分频器基准。

当对 PLL 使用 ZDM 时，必须在 VCO 频率计算中考虑时钟输出分频器。

8.3.8.1.1 APLL 相位频率检测器 (PFD) 和电荷泵

方程式 1 可计算相位检测器频率，该频率在方程式 2 的 APLL VCO 频率计算中用于求解 VCO 频率。

$$f_{PD} = f_{XO} \times D_{XO} / R_{XO} \quad (1)$$

其中

- f_{PD} = APLL 相位检测器频率
- f_{XO}：APLL 基准是 XO 频率或来自另一个 APLL 的级联基准频率。
- D_{XO}：XO 输入倍频器（1 = 禁用，2 = 启用）
- R_{XO}：APLL XO 输入 R 分频器值（1 至 32）

APLL2 或 BAW APLL 具有介于 0mA 至 5.8mA 之间的可编程电荷泵设置，步长为 0.4mA。使用 0.8mA 或更高的电荷泵电流可让 BAW APLL 实现出色性能。

8.3.8.1.2 APLL VCO 频率

APLL 相位使用应用的 APLL 分子将 APLL VCO 锁定到 APLL 基准。利用方程式 2 可计算 VCO 频率。

$$f_{VCO} = f_{PD} \times (INT_{APLL} + NUM_{APLL} / DEN_{APLL}) \quad (2)$$

- f_{VCO}：VCO 频率
- f_{PD} = APLL 相位检测器频率
- INT_{APLL}：APLL N 分频器整数值（12 位，1 至 $2^{12} - 1$）
- NUM_{APLL}：APLL N 分频器分子值（40 位，0 至 $2^{40} - 1$，或 24 位，0 至 $2^{24} - 1$）
- DEN_{APLL}：APLL N 分频器分母值（固定 2^{40} 或可编程 1 至 2^{24}）
  - 通过使 NUM/DEN 比率远离整数值来避免整数边界杂散。
  - $0.125 < NUM_{APLL} / DEN_{APLL} < 0.875$（在 DPLL 模式下，避免使用 0.5）

Copyright © 2025 Texas Instruments Incorporated

8.3.8.1.3 DPLL TDC 频率

方程式 3 计算出的 TDC 频率将在方程式 5 的 DPLL VCO 频率计算中用于求解 VCO 频率。每个 DPLL 可以有两个不同的 TDC 频率以便支持在非整数的相关频率之间切换，同时保持高 TDC 速率。

$$f_{TDC} = f_{INx} \times D_{INx} / R_{INx} \quad (3)$$

$$f_{TDC} = f_{INy} \times D_{INy} / R_{INy} \quad (4)$$

其中

- f_{TDC}：DPLL TDC 输入频率（请参阅方程式 3）
- f_{INx} 或 f_{INy}：INx 或 INy 输入频率或来自另一个 APLL 的级联基准频率。
- R_{INx} 或 R_{INy}：INx 或 INy R 分频器值（16 位，1 至 2^{16} – 1）
- D_{INx} 或 D_{INy}：INx 或 INy 输入倍频器（2 = 禁用，1 = 启用）

8.3.8.1.4 DPLL VCO 频率

DPLL 相位通过更新实际的 APLL 分子值来将 APLL VCO 锁定到 DPLL VCO 频率。利用方程式 5 可计算 VCO 频率。每个 DPLL 可以有两个不同的 DPLL N 值，从而可以使用两个不同的 TDC 频率锁定到相同的 VCO 频率。DPLLx_REF#_FB_SEL 寄存器会选择使用哪个 DPLL N 值。

$$f_{VCO} = f_{TDC} \times (INT_{DPLL} + NUM_{DPLL} / DEN_{DPLL}) \quad (5)$$

其中

- INT_{DPLL}：DPLL FB 分频器整数值（33 位，1 至 2^{33} – 1）
- NUM_{DPLL}：DPLL FB 分频器分子值（40 位，0 至 2^{40} – 1）
- DEN_{DPLL}：DPLL FB 分频器分母值（40 位，1 至 2^{40}）
- N：$INT_{DPLL} + NUM_{DPLL} / DEN_{DPLL}$

8.3.8.1.5 时钟输出频率

每个 APLL 都有一个后分频器，可提供在 方程式 6、方程式 7 或 方程式 8 中计算的 VCO 后分频器频率。最终输出频率由 VCO 后分频器频率除以输出分频计算得出（请参阅方程式 9）。对于每个输出，输出频率取决于所选的 APLL 时钟源和输出分频器值。

APLL1 selected: $f_{POST_DIV} = f_{VCO1} / Pn_{APLL1}$ (6)

APLL2 selected: $f_{POST_DIV} = f_{VCO2} / P1_{APLL2}$ (7)

BAW APLL selected: $f_{POST_DIV} = f_{VCBO} / P1_{APLL3}$ (8)

OUTx: $f_{OUTx} = f_{POST_DIV} / OD_{OUTx}$ (9)

其中

- f_{POST_DIV}：输出多路复用器源频率（APLL1、APLL2 或 BAW APLL 后分频器时钟）
- Pn_{APLL1}：APLL1 主 P1 或辅助 P2 后分频值（2 至 7）
- $P1_{APLL2}$：APLL2 主 P1 后分频值（2 至 13）
- $P1_{APLL3}$：APLL3 后分频值 = div8（2 至 8）、div8 乘以 2（10、12、14、16）或旁路 (1)
- f_{OUTx}：输出时钟频率（x = 0 至 15）
- OD_{OUTx}：OUTx 输出旁路或分频器值。所有输出都具有值为 1 至 (2^{12} – 1) 的 12 位分频器。除 OUT3 和 OUT15 之外的所有输出都可以选择在 12 位分频器之后添加一个 20 位 SYSREF 分频器，当 SYSREF 输出设置为连续输出时，这个 SYSREF 分频器可用于产生 1PPS 或其他低于 1Hz 的频率。

Copyright © 2025 Texas Instruments Incorporated

8.3.8.2 模拟 PLL (APLL1、APLL2)

每个 APLL 都有一个 40 位分数 N 分频器，支持高分辨率频率合成以及超低相位噪声和抖动。每个 APLL 还能够在 DPLL 模式下通过的 Σ-Δ 调制器 (SDM) 控制功能来调整其 VCO 频率。在级联模式下，每个 APLL 都能够将其 VCO 频率锁定到另一个 VCO 频率。

在自由运行模式下，BAW APLL 使用 XO 输入作为 VCBO 的初始基准时钟。BAW APLL 的 PFD 会将分数 N 分频时钟与基准时钟进行比较，并生成一个控制信号。控制信号经 BAW APLL 环路滤波器滤波后产生一个控制电压，以设置 VCBO 输出频率。SDM 会调制 N 分频比来获得 PFD 输入与 VCBO 输出之间所需的分数比。另一个带 LC VCO 的传统 APLL 的运行方式与 VCBO 类似。用户可以选择 VCBO 时钟或 XO 时钟作为基准时钟。

8.3.8.3 APLL 参考路径

8.3.8.3.1 APLL XO 倍频器

启用 APLL XO 倍频器可以将 APLL 基准的 PFD 频率加倍。启用 XO 倍频器会增加极小的噪声，有助于提高 PFD 频率以优化相位噪声、抖动和小数杂散。当 PFD 频率增加时，APLL 相位噪声的平坦部分可以得到改善。

8.3.8.3.2 APLL XO 基准 (R) 分频器

每个 APLL 都有一个 5 位 XO 基准 (R) 分频器，可用于满足最大 APLL PFD 频率规格要求。分频器还可用于确认 APLL 分数 N 分频比 (NUM/DEN) 介于 0.125 至 0.875 之间 (避免使用 0.5) ，建议如此以支持 DPLL 频率调谐范围。否则，可以旁路掉 R 分频器 (1 分频) 。

8.3.8.4 APLL 反馈分频器路径

每个 APLL 的 VCO 输出通过分数反馈 (N) 分频器反馈到 PFD 块。在 DPLL 模式下，VCO 输出也会反馈到 DPLL 反馈路径。对于混合同步或级联频域架构，每个 VCO 输出还可以提供给 DPLL 输入基准选择多路复用器，或作为其他 APLL 的 XO 输入，或通过固定反馈分压器。

8.3.8.4.1 具有 Σ-Δ 调制器 (SDM) 的 APLL N 分频器

APLL 分数 N 分频器包括一个 12 位整数部分 (INT)、一个 40 位分子部分 (NUM)、一个固定 40 位或可编程 24 位分母部分 (DEN) 以及一个 SDM。INT 和 NUM 是可编程的。当 APLL 与 DPLL 在环路中一起工作时，APLL 使用固定的 40 位分母在 VCO 时钟上实现非常高的频率分辨率。当 APLL 在独立环路中运行时 (禁用配对的 DPLL) ，TI 建议使用 24 位可编程分母。APLL N 分频器总值为：$N = INT + NUM / 2^{40}$ or $INT + NUM / 2^{24}$ 。

在 APLL 自由运行模式下，APLL 的 PFD 频率和 N 分频器总值将确定 VCO 频率 (根据 方程式 2 使用 24 位分母计算得出) 。

8.3.8.5 APLL 环路滤波器 (LF1、LF2)

可以对 APLL 环路滤波器元件进行编程，从而根据 XO 输入的相位噪声来优化 APLL LBW。BAW APLL 支持介于 100Hz 到 10kHz (典型范围) 的可编程 LBW，而传统 LC APLL 支持介于 100kHz 到 1MHz (典型范围) 的可编程 LBW。图 8-24 展示了 PFD/电荷泵输出和 VCO 控制输入之间的 APLL 环路滤波器结构。

Copyright © 2025 Texas Instruments Incorporated

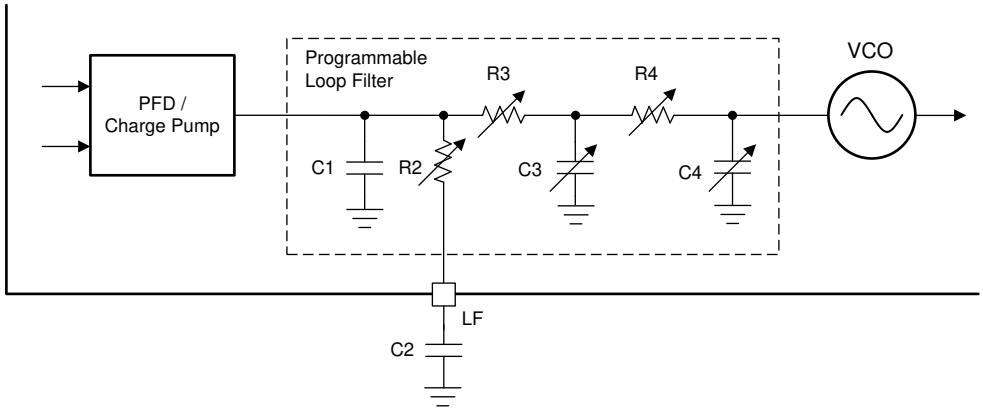


图 8-24. 每个 APLL 的环路滤波器结构

默认情况下，在 TICSPRO 和 ROM 页中为 BAW APLL 配置窄 LBW。因此，在 8kHz 至大约 400kHz 的载波偏移范围内，低抖动 VCBO 主导了时钟输出相位噪声。

8.3.8.6 APLL 压控振荡器（VCO1、VCO2）

每个 APLL 包含一个完全集成的 VCO，后者从环路滤波器获取电压并将该电压转换为频率。

8.3.8.6.1 VCO 校准

必须对每个 APLL VCO 进行校准，从而确认 PLL 可以实现锁定并提供出色的相位噪声性能。VCO 校准可确立 VCO 调谐范围内的理想工作点。在器件上电、硬复位或软复位之后的初始 PLL 启动期间，当输入监测器检测到 XO 输入后，会自动执行 VCO 校准。为了确保成功校准和 APLL 锁定，在校准开始之前，XO 时钟的振幅和频率必须保持稳定；否则，校准可能会失败并阻止 PLL 锁定和输出时钟启动。在 VCO 校准和 APLL 锁定之前，输出驱动器通常保持在静音状态（可针对每个输出进行配置）以防止杂散输出时钟。

通过主机编程切换 PLL 使能周期（APLLx_EN 位 = 0 → 1），可以为单个 APLL 手动触发 VCO 校准。通过编程动态更改 APLL N 分频器值（VCO 频率）后，可能需要执行此操作。

8.3.8.7 APLL VCO 时钟分配路径

每个 APLL VCO 后分频器都支持一个可独立编程的分频器。

BAW APLL 有一个主 VCBO 后分频器，与一个可选 2 分频器配对。VCBO 后分频器时钟 div8（÷2 至 ÷8）或已配对的 div8 和 div2（÷10、÷12、÷14、÷16）可以分配给的五个输出组中的四个。如果系统用例需要从 BAW APLL 提供所有 5 个输出组和 16 个输出，则可以通过设置 VCBO 后分频器 = 1 来旁路掉 VCBO 后分频器，并对各个通道分频器进行编程以获得所需的输出频率。

APLL2 有一个 VCO 后分频器时钟（P1：÷2 至 ÷13）可分配给所有输出。

APLL1 有两个 VCO 后分频器。主 VCO 后分频器时钟（P1：÷2 至 ÷7）分配给 OUT0、OUT1、。辅助 APLL1 VCO 后分频器时钟（P2：÷2 至 ÷7）分配给 OUT0 和 OUT1。

8.3.8.8 DPLL 基准 (R) 分频器路径

每个基准输入时钟都有一个专用的 16 位基准分频器，用于 DPLL TDC 块。所选基准的 R 分频器输出决定了 TDC 输入频率。为了支持在不同频率的输入之间进行无中断切换，可以使用 R 分频器将时钟分频为 DPLL TDC 输入的单个公共频率。

8.3.8.9 DPLL 时间数字转换器 (TDC)

TDC 输入将比较所选基准输入的 R 分频器时钟与来自 VCO 的 DPLL 反馈分频器时钟的相位。TDC 输出会生成一个与相位误差相对应的数字校正字，该相位误差由 DPLL 环路滤波器进行处理。

Copyright © 2025 Texas Instruments Incorporated

8.3.8.10 DPLL 环路滤波器 (DLF)

DPLL 支持 10mHz 至 4kHz 的可编程环路带宽，并且可实现低于 0.1dB（典型值）的抖动峰值。DPLL 的低通抖动传输特性可在环路带宽以上使其基准输入噪声衰减，滚降速率高达 60dB/十倍频程。

DPLL 环路滤波器输出可控制 APLL 的分数分子，使 VCO 频率锁定到选定的 DPLL 基准输入。

8.3.8.11 DPLL 反馈 (FB) 分频器路径

DPLL 反馈路径有一个可编程预分频器（33 位，1 至 2^{33} – 1）和一个分数反馈 (FB) 分频器。可编程 DPLL FB 分频器包括 33 位整数部分 (INT)、40 位分子部分 (NUM) 和 40 位分母部分 (DEN)。DPLL FB 分频器总值为：FB_{DPLL} = INT + NUM / DEN。

在 DPLL 模式下，TDC 频率和总 DPLL 反馈分频器和预分频器决定了 VCO 频率。请参阅 DPLL VCO 频率，了解如何计算 VCO 频率。

8.3.9 输出时钟分配

输出分频器支持输出同步 (SYNC) 以实现两个或更多输出通道之间的相位同步。 具有可选的内部 ZDM 同步功能，可支持具有可编程偏移的确定性输入到输出相位对齐（通常适用于 1PPS 时钟）。请参阅节 8.3.20。

8.3.10 输出源多路复用器

LMK5C23208A 采用 6 个输出源多路复用器，以将频率源分配到相应的输出组。OUT0 和 OUT1 上的 6:1 多路复用器最为灵活，可在各个 APLL 后分频器、缓冲 XO 或缓冲基准输入之间做出选择以作为输出频率源。为 OUT3 组和 OUT15 组提供信号的 3:1 多路复用器可以在 BAW APLL 后分频器、APLL2 后分频器或 APLL1 主后分频器之间选择频率源。为 OUT5、OUT6、OUT9 至 OUT11 组提供信号的 2:1 多路复用器可从 BAW APLL 后分频器或 APLL2 后分频器中选择一个频率源。

- OUT0 和 OUT1 每个都有一个单独的 6:1 多路复用器来单独选择输出源。为 OUT0 和 OUT1 选择相同的输出源多路复用器选项以减少串扰。
- OUT3 有一个单独的 3:1 多路复用器来单独选择输出源
- OUT5 用一个 2:1 多路复用器来选择输出源。为 OUT5 和 OUT6 选择相同的输出源多路复用器选项以减少串扰。
- OUT6 用一个 2:1 多路复用器来选择输出源。为 OUT5 和 OUT6 选择相同的输出源多路复用器选项以减少串扰。
- OUT9 用一个 2:1 多路复用器来选择输出源。为 OUT9 和 OUT11 选择相同的输出源多路复用器选项以减少串扰。
- OUT11 用一个 2:1 多路复用器来选择输出源。为 OUT9 和 OUT11 选择相同的输出源多路复用器选项以减少串扰。
- OUT15 用一个 3:1 多路复用器来选择输出源。

表 8-3 列出了输出源多路复用器的可用选项。

表 8-3. 输出源多路复用器选项

输出源多路复用器选项	输出及选项	说明
REFx	OUT0、OUT1	当配置 R48[4:0] 且设置 R78[5] 时，输出通道多路复用器来源于所选基准输入。R48[4:0] = 0x0 表示无，0x1 表示 REF0，0x2 表示 REF1
XO	OUT0、OUT1	输出通道多路复用器来自 XO 输入。
APLL1 PRI	OUT0、OUT1、OUT3、OUT15	输出通道多路复用器来自 APLL1 主后分频器输出。
APLL1 SEC	OUT0、OUT1	输出通道多路复用器来自 APLL1 次级后分频器输出。
APLL2	所有 OUTx	输出通道多路复用器来自 APLL2 后分频器输出。

Copyright © 2025 Texas Instruments Incorporated

表 8-3. 输出源多路复用器选项（续）

输出源多路复用器选项	输出及选项	说明
APLL3 (BAW)	所有 OUTx	输出通道多路复用器来自 BAW APLL 后分频器输出。

8.3.11 输出通道多路复用器

每个输出时钟都源自输出源多路复用器的输出通道多路复用器。表 8-4 列出了输出通道多路复用器的可用选项。

表 8-4. 输出通道多路复用器选项

输出通道多路复用器选项	说明
旁路	输出时钟直接源自 APLL 后分频器；输出通道分频器被旁路。
CHDIV	输出时钟源自输出通道分频器。
CH/2	输出时钟源自二分频通道。
SYSREF	输出时钟来自 SYSREF 分频器。
SYSREF + ADLY	输出时钟来自具有模拟延迟的 SYSREF 分频器。
静态 DC	输出时钟为静态时钟：OUTP 为低电平，OUTN 为高电平。 **请注意**：静态直流多路复用器设置与输出使能位 (OUTx_EN) 设置不同。当输出被禁用 (OUTx_EN = 0) 时，输出通道为三态（高阻抗或 Hi-Z）。

8.3.12 输出分频器 (OD)

每个输出源多路复用器之后有一个或多个输出分频器。

OUT3 和 OUT15 通道各自有一个单独的 12 位通道分频器。OUT5、OUT6、OUT9 和 OUT11 通道各自都有一个单独的 12 位输出分频器，并与可选的 20 位 SYSREF 分频器级联。输出分频器用于从输出多路复用器选择的源生成最终时钟输出频率。

OUT0 或 OUT1 通道将一个 12 位输出通道分频器 (CD) 和一个 20 位 SYSREF 分频器组合在一起，以便支持 1Hz (1PPS) 至 1250MHz 的输出频率。从 VCO 到输出，总分频值是 PLL 后分频器 (P)、输出通道分频器 (CD) 和 SYSREF 分频器 (SD) 值的乘积 (P × CD × SD)。

例如，在 BAW APLL 后分频器被旁路的情况下，每个 12 位通道分频器 (CD) 支持 100kHz 至 1250MHz 的输出频率（或高达所配置的输出驱动器类型支持的最大频率）。SYSREF 分频器 (SD) 可以向下级联，以实现低至 1Hz (1PPS) 的低时钟频率。

每个输出分频器均由用于时钟输出驱动器的同一个 VDDO_x 电源供电。如果不使用输出分频器，可将其断电以实现省电。对于各个输出组，当输出驱动器被禁用时，输出分频器自动断电。对于 OUT0 或 OUT1 通道，当输出驱动器被禁用时，输出分频器会自动断电。

8.3.13 SYSREF/1PPS 输出

LMK5C23208A 可支持 1PPS 至 25MHz 的系统基准时钟，包括 JEDEC JESD204B 或 JESD204C SYSREF 时钟。除 OUT3 和 OUT15 之外的任何 12 位输出通道分频器都可以与单独的 20 位 SYSREF 分频器级联。应设置灵活的 SYSREF 分频器值，以便根据应用要求在多个输出上生成相同的 1PPS/SYSREF 频率，或生成 SYSREF/1PPS 的不同频率倍数。对齐多个 SYSREF 输出时，设置 SYSREF_REQ_MODE 0x1A[5:4] = 11 以对 SYSREF 请求进行重采样。如果需要额外的单端输出，还可以在 GPIO1 或 GPIO2 上复制 SYSREF/1PPS。SYSREF 请求样本源 SYSREF_REQ_SEL 0x1A[3:2] 必须设置为与 SYSREF/1PPS 输出复制所需的源相同的源。

可以根据需要在 GPIO1 或 GPIO2 上复制 SYSREF 分频器输出信号，在启动后提供额外的单端 3.3V CMOS 时钟。要配置 SYSREF/1PPS 输出复制，必须将 GPIO 作为输出启用 (GPIOx_OUTEN = 1)，并且必须有一个有效的 SYSREF 输出连接到 GPIO 复制源。通过寄存器编程 (OUT_x_y_SR_GPIO_EN = 1)，SYSREF 复制源可来自 OUT0、OUT1、OUT5、OUT6、OUT9 或 OUT11 中正在使用的任何一个 SYSREF 分频器。GPIOx 复制的

Copyright © 2025 Texas Instruments Incorporated

SYSREF 输出位于静态数字延迟之后，但在模拟和数字延迟和脉冲发生器之前。由于 GPIOx 复制不支持脉冲 SYSREF 模式，因此输出为连续频率。

正常 SYSREF 和 GPIO 复制的 SYSREF 之间会有一些较小的固定延迟偏斜。LVCMOS 输出时钟是具有大电压摆幅的非平衡信号；因此该信号会强烈干扰并将噪声耦合到其他对抖动敏感的差分输出时钟上。

8.3.14 输出延迟

LMK5C23208A 能够通过延迟功能调整输出时钟相位。每个通道分频器路径中都有一个可编程静态偏移数字延迟。选择 SYSREF 分频器后，输出时钟可以具有额外的可编程静态偏移数字延迟、SYSREF 数字延迟和模拟延迟。

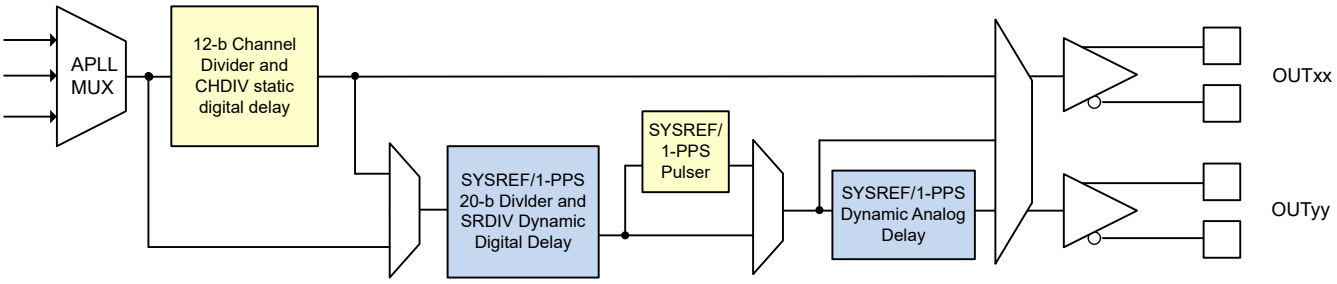


图 8-25. 可编程静态和动态输出延迟

8.3.15 时钟输出驱动器

每个时钟输出（OUTx_P 和 OUTx_N）可单独配置为一个 差分输出 驱动器。OUT0 或 OUT1 还支持每个输出对有两个 1.8V 或 2.65V LVCMOS 输出 驱动器。为了获得额外的低频单端时钟输出，可以配置 GPIO1 和 GPIO2 来复制另一个差分输出对的任何 SYSREF/1PPS 输出 分频器输出。

每个输出通道都有专用的内部 LDO 稳压器，可提供出色的 PSNR，并最大限度减少由电源噪声引起的抖动和杂散。对于差分模式，由于通道的内部 LDO 稳压器，输出时钟规格（例如输出摆幅、相位噪声和抖动）对 VDDO_x 电压不敏感。

OUT0 和 OUT1 通道（多路复用器、分频器和驱动器）通过单个输出电源引脚 (VDDO_0_1) 供电。同样，OUT3 通道由 VDDO_3 供电，OUT5 和 OUT6 通道由 VDDO_5_6 供电，OUT9 和 OUT11 通道由 VDDO_9_11 供电，OUT15 通道由 VDDO_15 供电。每个输出电源引脚都必须始终由 3.3V 电源供电，即使未使用相应的输出也是如此。

可以禁用未使用的时钟输出以降低功耗。

8.3.15.1 差分输出

差分 HSDS 驱动器具有可编程的单端峰峰值幅度 (V_{OD}) 和共模电压 (V_{CM}) 设置。V_{OD} 范围为 0.4V 至 1V，步长约为 100mV。有三个 V_{CM} 选项可供使用：S1、S2、S3 以及 S2 + S3。HSDS 驱动器可交流耦合，以用于 AC-LVPECL 输出时钟或其他差分输出。如果有满足接收器要求的可用 V_{CM} 设置，则 HSDS 驱动器可直流耦合，如用于 LVDS 输出。

传统的 HCSL 输出驱动器符合 PCIe 标准，需要使用 50Ω 外部终端。TI 建议将终端放置在靠近接收器侧的位置。

请参阅表 8-5 以了解建议的差分输出选项，参阅电气特性 以了解 V_{OD} 和 V_{CM} 的电压变动。

表 8-5. 差分输出选项

差分驱动器类型	V_{OD}，典型值 [mV] 寄存器设置	V_{CM}，典型值 [mV]	V_{CM} 寄存器设置
HSDS	400	350	S1
HSDS	400	700	S2
HSDS (LVDS)	400	1250	S3
HSDS	500	400	S1

Copyright © 2025 Texas Instruments Incorporated

表 8-5. 差分输出选项（续）

差分驱动器类型	V_{OD}，典型值 [mV] 寄存器设置	V_{CM}，典型值 [mV]	V_{CM} 寄存器设置
HSDS	600	450	S1
HSDS	600	800	S2 + S3
HSDS	700	500	S1
HSDS	700	900	S2 + S3
HSDS (AC-LVPECL)	800	550	S1
HSDS (AC-LVPECL)	800	1000	S2 + S3
HSDS (AC-LVPECL)	900	600	S1
HSDS (AC-LVPECL)	1000	650	S1
HCSL	750	350	不适用

8.3.15.2 LVCMOS 输出

OUT0 和 OUT1 还支持每个 P 和 N 输出对具有两个 1.8V 或 2.65V LVCMOS 驱动器。每个 LVCMOS 输出均可配置为正常极性、反极性，或者禁用为高阻态或静态低电平。LVCMOS 输出高电平 (V_{OH}) 由轨至轨 LVCMOS 输出电压摆幅的内部可编程 LDO 稳压器电压 1.8V 或 2.65V 决定。

对于没有严格相位噪声或抖动要求的 ASIC 或处理器时钟，建议使用 LVCMOS 模式。LVCMOS 输出时钟是具有大电压摆幅的非平衡信号，因此该时钟可能是强大的干扰源，并会将噪声耦合到其他抖动敏感型差分输出时钟上。如果需要来自某个输出对的 LVCMOS 时钟，请将这个输出对配置为两个输出均已启用但极性相反（+/– 或 –/+），并将未使用的输出悬空而不连接任何布线。

8.3.16 时钟输出连接和端接

本节显示了建议的输出端接。未使用的时钟输出可以保持悬空并通过编程来断电。

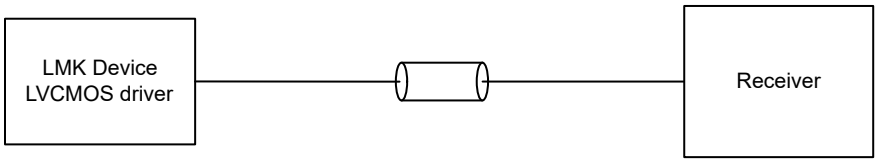


图 8-26. LVCMOS 输出端接

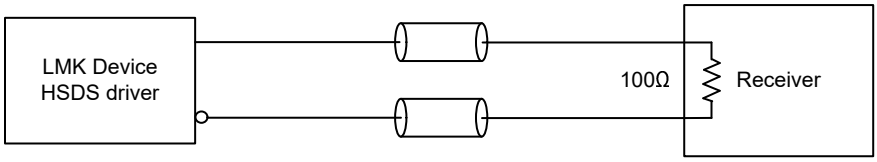


图 8-27. 直流耦合 HSDS/LVDS 输出终端

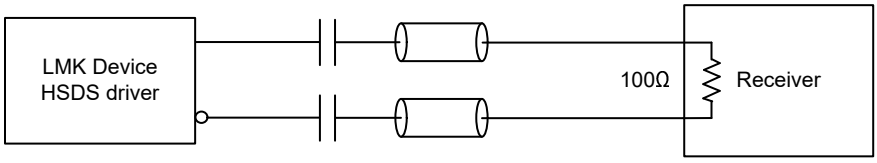


图 8-28. 交流耦合 HSDS 输出端接方法 1

Copyright © 2025 Texas Instruments Incorporated

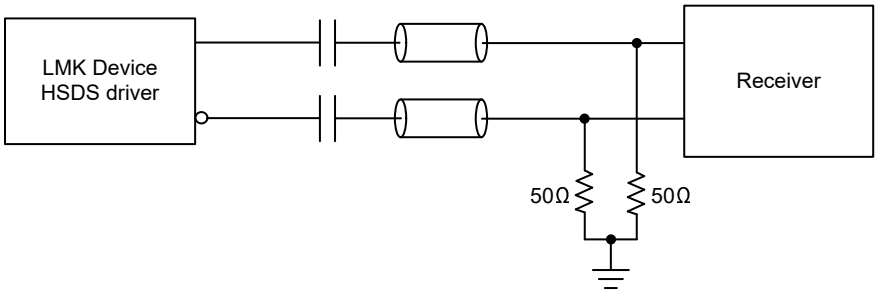


图 8-29. 交流耦合 HSDS 输出端接方法 2

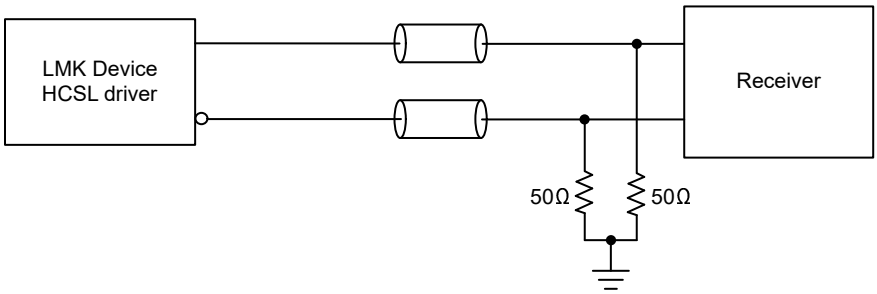


图 8-30. 直流耦合 HCSL 输出端接

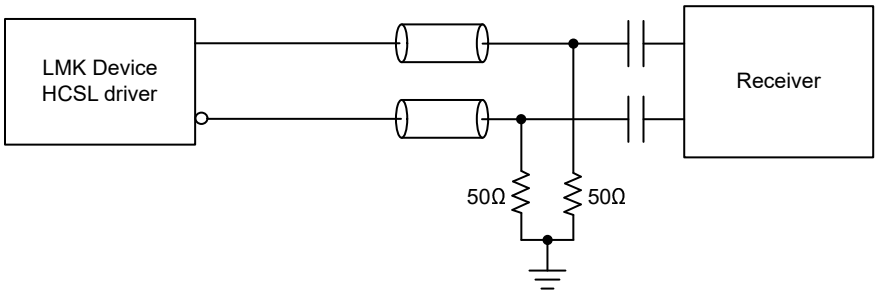


图 8-31. 交流耦合 HCSL 输出端接

8.3.17 无毛刺输出时钟启动

启用 APLL 自动静音后，一旦在发生以下任一事件后实现 APLL 锁定，输出就会在无时钟毛刺的情况下以同步方式启动：器件上电、退出硬复位、退出软复位或将输出 SYNC 置为无效。

8.3.18 LOL 期间输出自动静音

当所选输出多路复用器时钟源无效时，每个输出驱动器可以自动将时钟静音（根据 MUTE 使能字段的配置）。根据每个 PLL 的 LOL 状态，通过配置 APLL 和 DPLL 静音控制位（MUTE_APLLx_LOCK、MUTE_DPLLx_LOCK、MUTE_DPLLx_PHLOCK），时钟源可能无效。自动静音被禁用或旁路掉 (OUT_x_y_MUTE_EN = 0) 时，输出时钟在 VCO 校准之前和期间可能具有不正确的频率或不稳定。

Copyright © 2025 Texas Instruments Incorporated

8.3.19 输出同步 (SYNC)

通过允许输出分频器在同一 PLL 输出时钟周期退出复位，输出 SYNC 可用于使两个或更多个输出时钟与公共上升沿进行相位对齐。通过硬件引脚或软件位触发 SYNC 事件，所有选择相同 PLL 输出的输出分频器都可以作为 SYNC 组一起同步。

若要为两个或更多个输出通道建立 SYNC 组，必须满足以下要求：

- 输出分频器设置各自的同步使能位 (OUT_x_y_DIV_SYNC_EN = 1)
- SYSREF 分频器设置各自额外的同步使能位 (OUT_x_y_SR_DIV_SYNC_EN = 1)，与上述设置 (OUT_x_y_DIV_SYNC_EN = 1) 搭配使用
- 输出分频器的输出多路复用器选择相同的 PLL 输出
- PLL（后分频器）输出设置同步使能位（例如，PLL1_PRI_DIV_SYNC_EN = 1）
- SYNC_EN = 1

SYNC 事件可由设置为 SYNC 输入的 GPIOx 引脚 (GPIOx_MODE = 31) 或 SYNC_SW 寄存器位（高电平有效）置为有效。当 SYNC 置为有效后，启用 SYNC 的分频器将保持在复位状态，并且时钟输出为低电平。当 SYNC 被置为无效后，通用 PLL 的输出会以同步或对齐的初始时钟相位启动。SYNC 还可用于在任何启用了 SYNC 的输出上设置低电平状态以防止输出时钟分配到下游器件，直到接收器输入配置完毕并准备好接收传入的时钟。

禁用同步 (OUT_x_y_DIV_SYNC_EN = 0) 情况下的输出通道不受 SYNC 事件影响，会按照配置继续进行正常的输出操作。必须启用 VCO 后分频器时钟来进行同步，以确认被驱动的分频器准确进行同步。但是，在 SYNC 期间，从复位 VCO 后分频器派生时钟的任何输出都无效，即使未为 SYNC 选择通道分频器也是如此。未选择用于同步的 VCO 后分频器在 SYNC 期间不会停止运行，因此后分频器可以继续提供不需要同步的输出通道。具有 1 分频功能（分频器旁路模式）的输出分频器在 SYNC 事件期间不会进行门控。

表 8-6. 输出同步

GPIOx 作为 SYNC 引脚 GPIOx_MODE = 31		SYNC_SW R21[6]	输出分频器和驱动器状态
GPIOx_POL = 0	GPIOx_POL = 1		
1	0	1	输出驱动器静音且输出分频器复位
1 → 0	0 → 1	1 → 0	同步的输出将通过同步的相位释放
0	1	0	按照配置正常运行输出驱动器/分频器

8.3.20 零延迟模式 (ZDM)

DPLL 支持内部 ZDM 同步选项，可以根据配置和为 ZDM 选择的 DPLL，在选定的 DPLL 基准输入和 OUT0 时钟之间实现已知的确定性相位关系。

在启用 ZDM 的情况下，用户可以在选定的 DPLL 基准输入时钟和选定的零相位延迟。图 8-32 展示了 OUT0 时钟如何作为零延迟输出时钟在内部反馈到 DPLL。ZDM 主要用于在输入和所选输出之间实现确定性的相位关系，如 1PPS 输入到 1PPS 输出或 156.25MHz 输入到 156.25MHz 输出。

由于来自 OUT0 的零延迟反馈时钟在内部路由到器件，因此无需将外部时钟信号从输出路由到输入；，。

通过相位转换控制和 ZDM 可以重新建立 1PPS 相位对齐。相位转换控制能够以受控的速率将相位增建降回至 0。要使用 ZDM 模式锁定到 1PPS 信号，可以对输出静态延迟或 DPLLx_PH_OFFSET 进行编程，以将 1PPS 输入和 1PPS 反馈时钟之间的相位误差清零。当 ZDM 用于 1PPS 时，必须禁用无中断切换。

请参阅 DPLL 可编程相位延迟 中的示例，了解如何计算 DPLLx_PH_OFFSET 字段中的输入到输出相位误差以应用小于 1ps 的精细调整。

Copyright © 2025 Texas Instruments Incorporated

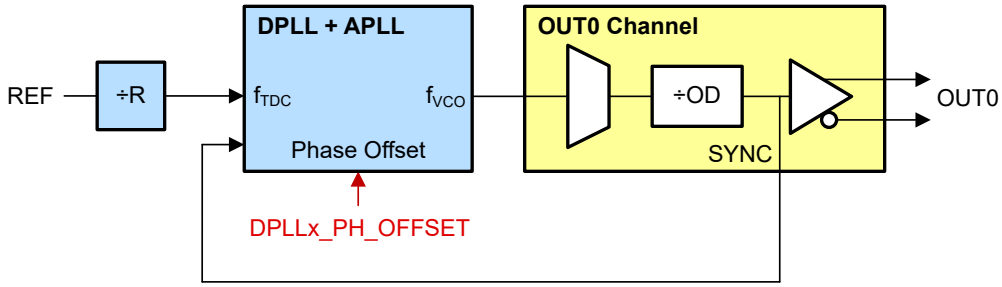


图 8-32. 基准输入和 OUT0 之间的 DPLL ZDM 同步

8.3.21 DPLL 可编程相位延迟

用户可以写入 DPLLx_PH_OFFSET[44:0] 寄存器字段来调整 DPLL 相位偏移。相位偏移是一个有符号的二进制补码值，默认设置为 0，可以偏移反馈时钟与 TDC 基准时钟的相位关系。相位调整适用于从 DPLLx 同步域派生的所有输出。DPLLx_PH_OFFSET 调整在一个方向发生。要切换至负方向，请从输出时钟周期中减去所需的时间偏移，以获得新的相位偏移。

方程式 10 和 方程式 11 显示了相应的公式，可计算用于在精细调整步骤中改变输出相位的 DPLLx_PH_OFFSET 字段值。DPLLx_PH_OFFSET 与 APLLx VCO 周期以及用于抽取和数字增益的比例因子相关。

$$DPLLx_PH_OFFSET = 2 \times DESIRED_TIME_OFFSET \times f_{VCOx} \times SCALING_{DEC} \quad (10)$$

$$SCALING_{DEC} = DPLLx_PARAM_B \times (DPLLx_PARAM_C + 1) \times 2^{32 - DPLLx_PARAM_A} \quad (11)$$

其中

- DPLLx_PH_OFFSET：用于调整 DPLL 输出相位的可编程寄存器值
- DESIRED_TIME_OFFSET：所需的 DPLL 相位调整（以秒为单位）
- f_{VCOx}：VCOx 频率
- $SCALING_{DEC}$：考虑了抽取和数字增益参数的比例因子
- DPLLx_PARAM_A/B/C：DPLL 抽取和增益参数。对于 DPLLx_PARAM_A，如果寄存器回读值为 0，则在公式中使用值 32。

例如，如果用户想要在具有 2500MHz VCO 的 DPLL/APLL 中引入 +1ns 的相位偏移，请使用以下设置：

- DESIRED_TIME_OFFSET = +1ns
- f_{VCOx}：= 2500 MHz
- $SCALING_{DEC} = 584 \times (7 + 1) \times 2^{32 - 32} = 4672$
- DPLLx_PH_OFFSET = 2 × 1e-9 × 2500e6 × 4672 = 23360

或者，要将另一个方向上的相位偏移（如 −1ns）应用到 25MHz 输出时钟，请使用以下设置：

- DESIRED_TIME_OFFSET = 40ns - 1ns = 39ns
  - 40ns 为输出时钟 (25MHz) 的周期。
- f_{VCOx}：= 2500 MHz
- $SCALING_{DEC}$ = 4672
- DPLLx_PH_OFFSET = 2 × 39e-9 × 2500e6 × 4672 = 911040

Copyright © 2025 Texas Instruments Incorporated

可以通过访问表 8-7 中列出的寄存器来回读给定配置的 DPLL 参数。

表 8-7. DPLL 相位偏移寄存器

字段名称	寄存器地址 （高字节至低字节）
DPLL3_PH_OFFSET	R550、R551、R552、R553、R554、R555
DPLL3_PARAM_A	R567
DPLL3_PARAM_B	R548、R549
DPLL3_PARAM_C	R566
DPLL2_PH_OFFSET	R400、R401、R402、R403、R404、R405
DPLL2_PARAM_A	R417
DPLL2_PARAM_B	R398、R399
DPLL2_PARAM_C	R416
DPLL1_PH_OFFSET	R250、R251、R252、R253、R254、R255
DPLL1_PARAM_A	R267
DPLL1_PARAM_B	R248、R249
DPLL1_PARAM_C	R266

8.3.22 历时计数器 (TEC)

历时计数器 (TEC) 让用户能够在两个（或更多）事件之间进行精确的时间测量。这些事件可以是 GPIO 引脚的上升沿或下降沿，或是 SPI SCS 引脚的下降沿。任何 GPIO 引脚都可以编程为 TEC 输入。可以使用 GPIO 极性反转寄存器来选择上升或下降极性。在每个 TEC 事件之后，都会捕获计数器值，而应用可以回读一个 40 位值。历时值是根据读回值的差异计算得出的。测量精度优于 7.5ns，总测量时间超过 59 分钟，具体取决于确切配置。为了重启 TEC 计数器捕获，请至少回读 TEC_CNTR 的 LSB。

TEC 计数器的时钟频率是根据 PLL3 VCO 频率 ÷ 8 或 PLL2 VCO 频率 ÷ 20 设定的。进行时间测量的步骤如下。

1. 复位 TEC 计数器值。为了降低计数器在 TEC 捕获事件之间出现翻转的可能性，建议执行此步骤，但这是可选步骤。如果不进行复位，则用户需要检测计数器寄存器翻转，这会使得用于计算历时的 方程式 12 变得复杂。
2. 触发 TEC 捕获事件并读回存储了计数器值的 TEC 寄存器。
3. 再次触发 TEC 捕获事件并读回存储了计数器值的 TEC 寄存器。
4. 根据方程式 12 计算历时。最坏情况下的误差是 TEC 计数器时钟周期的两倍。表 8-8 列出了一些常见的 TEC 时钟频率/周期和翻转时间。

$$\text{Elapsed Time} = (\text{2nd captured TEC value} - \text{1st captured TEC value}) / \text{TEC Clock Rate} \quad (12)$$

TEC_CNTR 寄存器分为五个寄存器。

表 8-8. 常见 TEC 时钟频率和翻转时间

PLL 源	VCO 频率	TEC 时钟频率	TEC 时钟周期 (t)	翻转时间
PLL2	5950MHz	297.5MHz	大约 3.361ns	大约 61.6 分钟
PLL2	5898.24MHz	294.912MHz	大约 3.391ns	大约 62.1 分钟
PLL2	5625MHz	281.25MHz	大约 3.556ns	大约 65.1 分钟
PLL2	5600MHz	280MHz	大约 3.571ns	大约 65.4 分钟

图 8-33. TEC 时钟和计数器

图 8-34 展示了历时计数器函数的状态。

Copyright © 2025 Texas Instruments Incorporated

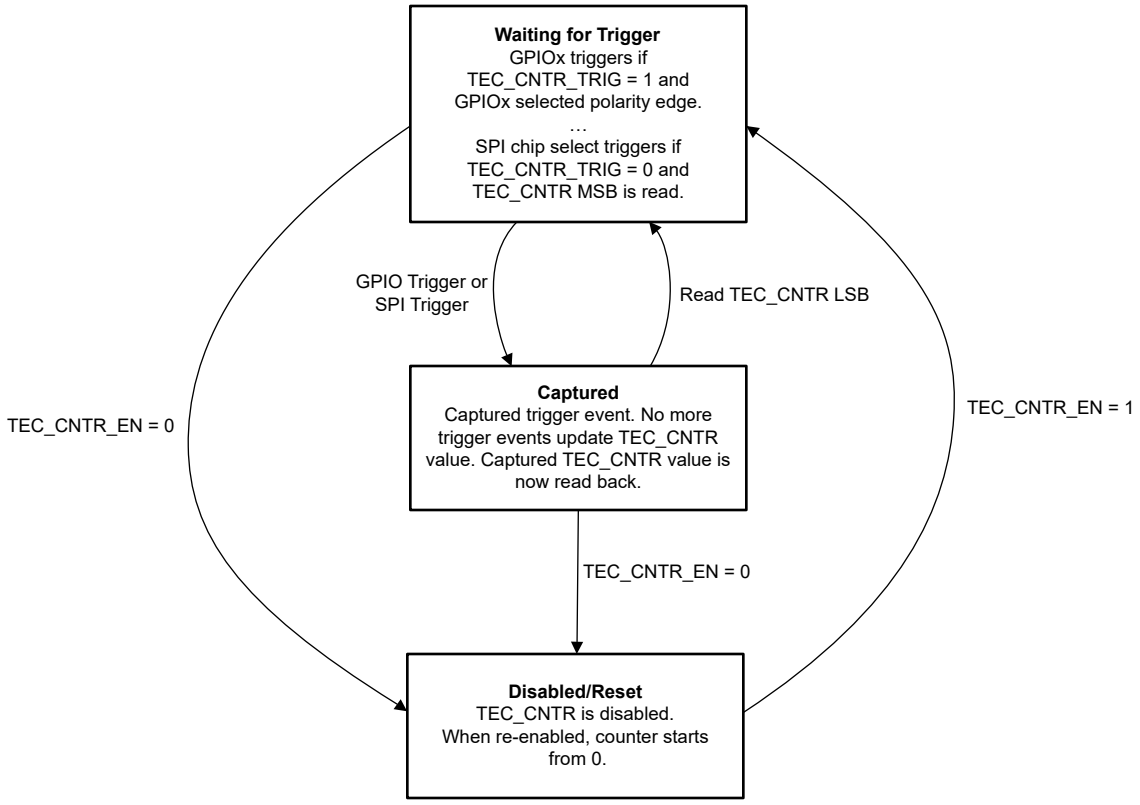


图 8-34. TEC 的状态图

8.3.22.1 配置 TEC 功能

1. 选择 PLL 来驱动历时计数器 (TEC)。由于 TEC 时钟频率最高，BAW APLL 可提供最高精度的时间测量，但是传统 APLL (LC VCO) 会提供稍长的翻转时间。
   - 通过将 REF0_MISSCLK_VCOSEL 设置为 0 来选择 BAW APLL 源。
   - 通过将 REF0_MISSCLK_VCOSEL 设置为 1 来选择传统 APLL 源。
2. 选择 GPIO 或 SPI 片选作为触发器以将 TEC 计数器值捕获到 TEC_CNTR 字段。使用 GPIO 不需要 SPI SCS 引脚有任何特殊时序。可以将 GPIO 引脚用于其他用途，在需要时可启用 TEC 功能。
   - 通过将 TEC_CNTR_TRIG 设置为 1 来选择 GPIO 触发器。
   - 通过将 TEC_CNTR_TRIG 设置为 0 来选择 SPI 片选触发器。
3. 通过将 TEC_CNTR_EN 设置为 1 来启用 TEC 计数器。

8.3.22.2 SPI 作为触发源

当 TEC_CNTR_EN = 1 时，TEC 计数器在每个 SCS 下降沿都会被捕获到 TEC_CNTR 字段。在执行读取 TEC_CNTR 字段 MSB 的 SPI 事务之后，SCS 的任何下降沿都不会将 TEC 计数器捕获到 TEC_CNTR 字段，直到读取 TEC_CNTR 字段的 LSB。

图 8-35 展示了在单寄存器读取期间锁存 TEC 的时间，而图 8-36 展示了多字节读取的情况。

图 8-35 显示，在读取 TEC_CNTR MSB 之前，每个 SCS 下降沿都会捕获 TEC 计数器。

Copyright © 2025 Texas Instruments Incorporated

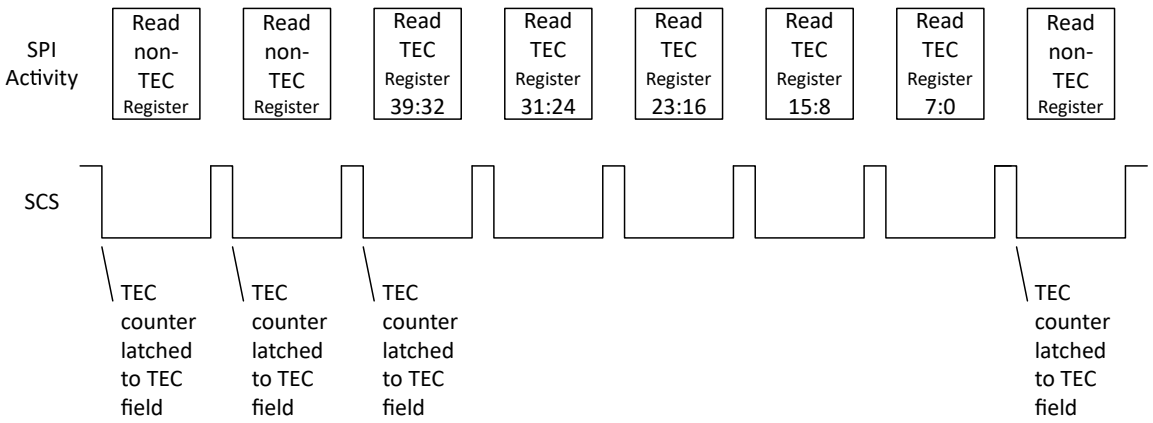


图 8-35. TEC 单字节读取

图 8-36 显示，即使第一次读取的寄存器不是 TEC_CNTR 寄存器，也可以在单次多字节读取期间捕获 TEC 计数器值以及重启捕获。

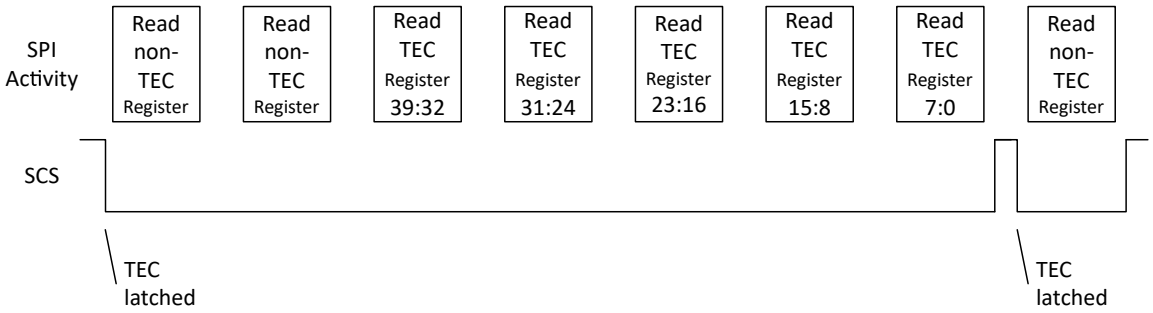


图 8-36. TEC 多字节读取

Copyright © 2025 Texas Instruments Incorporated

8.3.22.3 GPIO 引脚作为 TEC 触发源

在 GPIOx_MODE = 0x27 (TEC_TRIG_SEL) 时为 TEC 功能选择的 GPIO 引脚的上升沿可在所选极性 (GPIOx_POL) 的边沿上将 TEC 值捕获到 TEC_CNTR 字段。在读取 TEC_CNTR 字段的 LSB 之前，后续 GPIOx 引脚边沿不会对 TEC_CNTR 字段进行进一步更新。图 8-37 展示了使用 GPIO 捕获 TEC 值的时序。

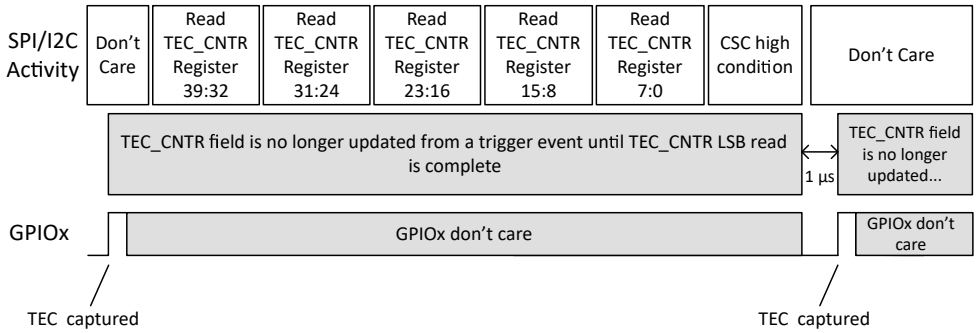


图 8-37. 使用 GPIO 捕获的 TEC

8.3.22.3.1 示例：使用 TEC 和 GPIO1 作为触发器进行历时测量

1. 根据需要配置 TEC 寄存器。在本例中：
   - REF0_MISSCLK_VCOSEL 为 0，以便将 VCBO 频率 / 8 用于 TEC 时钟速率
   - TEC_CNTR_TRIG = 1 用于 GPIO1 触发器
   - TEC_CNTR_CLR = 0 用于正常运行
2. 设置 GPIO1_MODE = 0x27 (TEC_TRIG_SEL) 并根据需要设置 GPIO1_POL（在本示例中设置为 0 以表示高电平有效输入）。
3. 在 GPIO1 上提供上升沿以将当前 TEC 计数器值捕获到 TEC_CNTR 字段中。
4. 首次读取并存储 TEC_CNTR 字段。
   - 示例：1st_captured_TEC_value = 204 354。
5. 在 GPIO1 上提供上升沿。
6. 第二次读取并存储 TEC_CNTR 字段。
   - 示例：2nd_captured_TEC_value = 76 516 568

8.3.22.4 TEC 时序

当 TEC_CNTR_TRIG 为 1（GPIO 引脚）时：

- 1 个 TEC 周期 + 2ns 的时序精度要求 20% 至 80% 的上升时间小于或等于 1ns。
- GPIOx 上升沿不得出现在 SCS 上升的 10ns 内，此期间会将 TEC_CNTR_EN 从 0 设置为 1。
- GPIOx 必须保持高电平 10ns。
- 读取 TEC_CNTR 的 LSB 后，新的 GPIOx 触发器不得在 SPI SCS 上升沿的 1µs 内到达。

当 TEC_CNTR_TRIG 为 0 (SPI) 时：

- 1 个 TEC 周期 + 2ns 的时序精度要求 80% 至 20% 的下降时间小于或等于 1ns。
- TEC 计数器在 SPI SCS 的下降沿被捕获到 TEC_CNTR 寄存器。无需额外的时间来读回或预锁存寄存器。

8.3.22.5 其他 TEC 行为

TEC 计数器持续计数并定期从 2^{40} – 1 翻转到 0。

- 用户软件必须确定该计数器在 TEC 读取之间是否已翻转。TI 建议在预期启动触发事件（如果已知）之前通过切换 TEC_CNTR_EN 位来相应地复位 TEC 计数器。

REF0_MISSCLK_VCOSEL 字段还选择所有输入使用哪个 VCO 来进行早期和缺失基准时钟验证，因此，如果 REF0_MISSCLK_VCOSEL 发生更改，则可能需要重新计算早期和缺失输入验证寄存器。如果在运行期间更改

Copyright © 2025 Texas Instruments Incorporated

REF0_MISSCLK_VCOSEL 或验证计算结果，可能会导致使用漏脉冲检测器的基准或同时使用漏脉冲检测器和矮脉冲检测器的基准被暂时认定不合格，并将 DPLL 置于保持状态。

当 TEC_CNTR_EN = 0 时，TEC 计数器保持复位状态，即计数器值为 0。此外，可以执行从 TEC_CNTR_EN 由 0 转换为 1 那一刻起到未来发生触发事件时的绝对时间测量。但是，此测量的精度低于执行由两个 GPIO 或两个 SPI CSC 触发器引起的相对测量。

Copyright © 2025 Texas Instruments Incorporated

8.4 器件功能模式

8.4.1 DPLL 运行状态

以下各节介绍了图 8-38 所示的 DPLL 运行状态。此图假设已启用保持模式。

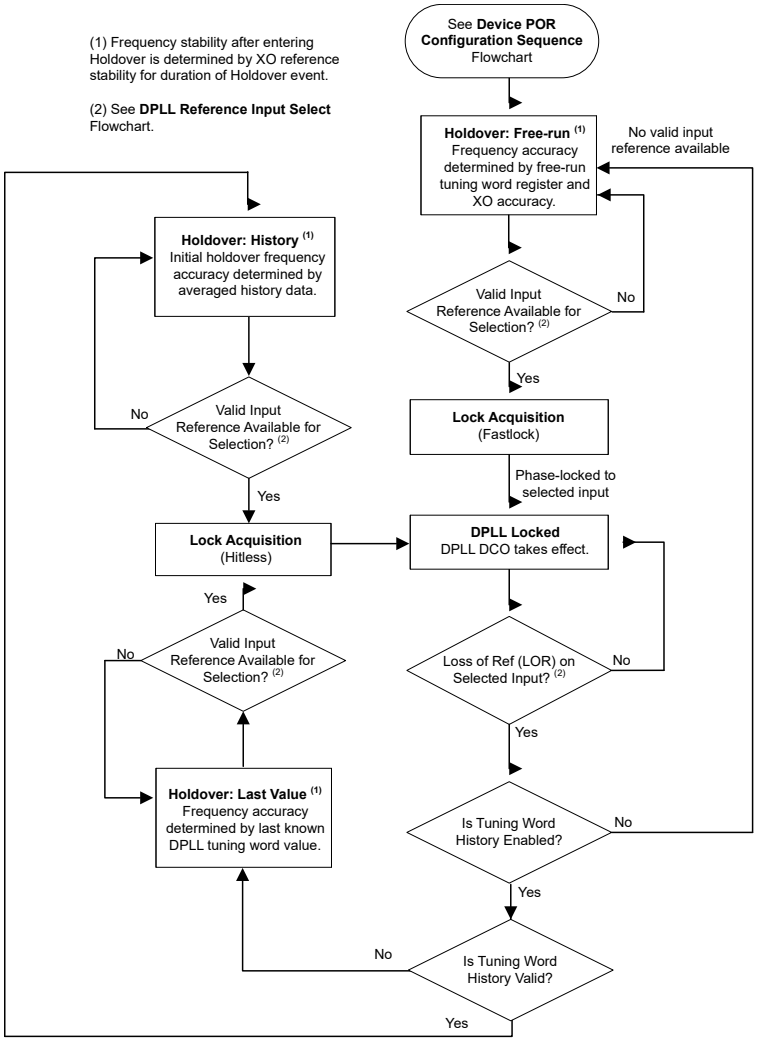


图 8-38. DPLL 运行状态

8.4.1.1 自由运行

在器件 POR 配置和初始化后，当 XO 输入信号有效时，APLL 会自动锁定到 XO 时钟。自由运行模式下的输出时钟频率精度和稳定性跟随 XO 输入的频率精度和稳定性。在自由运行模式期间，基准输入保持无效（不合格）。如果 DPLL 已锁定但尚未累积有效的历史字且基准丢失，则会进入自由运行模式。

8.4.1.2 锁定获取

DPLL 持续监控基准输入以获取有效的输入时钟。当检测到至少一个有效的输入时钟时，PLL 通道会退出自由运行模式或保持模式，并通过 DPLL 启动锁获取。LMK5C23208A 支持 Fastlock 功能，其中 DPLL 会临时启用更宽的环路带宽以减少锁定时间。当锁获取完成后，环路带宽将设置为正常配置的环路带宽设置 (BW_{DPLL})。

8.4.1.3 DPLL 被锁定

DPLL 锁定后，APLL 输出时钟的频率和相位锁定到选定的 DPLL 基准输入时钟。DPLL 锁定后，APLL 输出时钟不受 XO 输入频率漂移的影响。DPLL 具有可编程频锁检测器和相锁检测器来指示频锁丢失 (LOFL) 和相锁丢失

Copyright © 2025 Texas Instruments Incorporated

(LOPL) 状态标志，这些状态标志可通过状态引脚或状态位进行观察。检测到频锁 (LOFL → 0) 后，调优字历史记录监控器（如果启用）会开始累积历史平均值计算数据以用于确定进入保持模式时的初始输出频率精度。

8.4.1.4 保持

当检测到基准丢失 (LOR) 情况且没有可用的有效输入时，DPLL 进入保持模式。

如果禁用历史记录 (DPLLx_HIST_EN = 0)，DPLL 会使用二进制补码 DPLLx_FREE_RUN[39:0] 字段，该字段会设置相对于 DPLL 分子的保持频率。短期频率精度基于 DPLLx_FREE_RUN 字段的精度。

如果启用历史记录 (DPLLx_HIST_EN = 1) 但调优历史记录尚未生效，则会使用 DPLLx_FREE_RUN 字段，如同禁用了 DPLLx_HIST_EN 一样。如果调优历史记录有效，则 DPLL 将使用历史数据进入保持模式，从而更大限度减少保持频率误差。请参阅 *调优字历史记录*。一般来说，假设 0ppm 基准时钟（XO 输入）无漂移，则历史平均时间越长，初始保持频率就越准确。XO 基准时钟的稳定性决定了保持输出频率的长期稳定性和精度。

在进入保持模式时，LOPL 标志将置为有效 (LOPL → 1)。LOFL 标志报告 DPLL 频率与基准频率的关系是否在容差范围内。在保持模式下，LOFL 保持不变，也不会更新，直到再次选择有效基准为止。

当有效输入可供选择时，DPLL 会退出保持模式并使用新输入时钟自动锁相，而不会出现任何输出毛刺。

8.4.2 数控振荡器 (DCO) 频率和相位调整

为了支持 IEEE 1588 和其他时钟控制应用，DPLL 支持 DCO 模式以实现小于 0.001ppb/步的精确输出时钟频率调整。DCO 可以使用 DPLL DCO 控制或 APLL DCO 控制来实现。当 DPLL 在闭环模式下运行时，DPLL DCO 会修改有效 DPLL 分子。当 DPLL 处于保持状态或未使用时，APLL DCO 会调整有效 APLL 分子。

8.4.2.1 DPLL DCO 控制

当 DPLL 锁定时，可以启用 DCO 模式 (DPLLx_FB_FDEV_EN = 1)。

使用 DPLL DCO 时可采用三种方法来控制频率。

- 寄存器相对调整
  - 在 DPLL_FDEV 中预设偏差量
  - 写入 8 位寄存器来启用偏差量递增/递减
- GPIO 相对调整
  - 步进/方向 GPIOx 触发器
  - 通过对引脚设定方向每一步的偏差量进行编程来调整 DPLLx_FB_NUM。
- 寄存器绝对调整
  - 根据频率控制字 (FCW) 写入 DPLLx_FB_NUM [39:0]

可以通过一个 38 位频率偏差字寄存器（DPLL_FDEV 位）对 DCO 频率步长进行编程。DPLL_FDEV 值是在 DPLL 分数反馈分频器的当前分子值上加上或减去的偏移，用于确定 VCO 输出端的 DCO 频率偏移。

可以通过软件控制 (DPLLx_FB_FDEV_UPDATE) 或用户可选的引脚控制 (GPIOx) 来控制 DCO 频率递增 (FINC) 或频率递减 (FDEC) 更新。始终可以通过 I^2C 或 SPI 写入 DPLLx_FB_FDEV_UPDATE 寄存器位来实现通过软件控制进行的 DCO 更新。写入 0 将使 DCO 频率按编程的步长递增，而写入 1 将使 DCO 频率按步长递减。SPI 可以实现比 I^2C 更快的 DCO 更新速率，因为 SPI 的写入速度更快。

选择 DPLL 引脚控制（GPIO 上的 FDEV_TRIG_DPLLx 和 FDEV_DIR_DPLLx）时，FDEV_TRIG_DPLLx 中定义的 GPIO 引脚的上升沿会对 DPLL 应用相应的 DCO 更新，FDEV_DIR_DPLLx 中定义的另一个 GPIO 则决定 FDEV 触发器的方向。FDEV_DIR_DPLLx = 0 表示正，FDEV_DIR_DPLLx = 1 表示负。这样一来，GPIO 引脚会用作 FINC 或 FDEC 输入。应用到触发器引脚的最小正脉冲宽度必须大于 100ns，才能由内部采样时钟捕获。使用引脚控制时，DCO 更新速率必须限制在 5MHz 以下。

当禁用 DCO 控制 (DPLLx_FB_FDEV_EN = 0) 时，DCO 频率偏移会被清除，且 VCO 输出频率由 DPLL 分数反馈分频器的原始分子值确定。

Copyright © 2025 Texas Instruments Incorporated

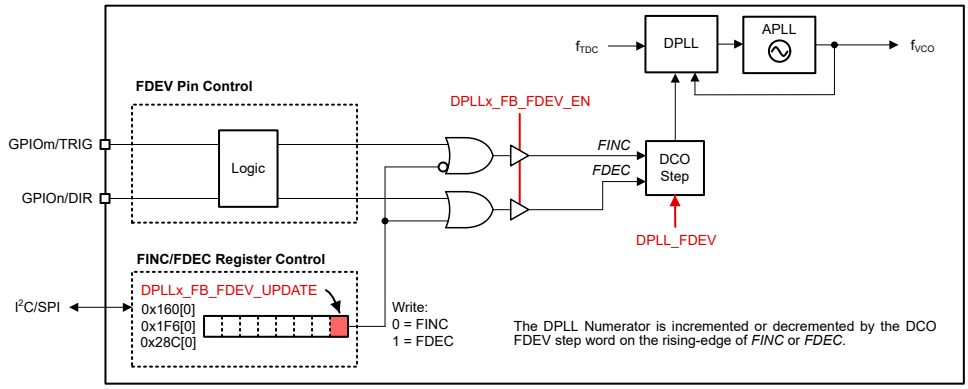


图 8-39. DCO 模式控制选项

8.4.2.2 DPLL DCO 相对调整频率步长

在为 DPLL 启用 DCO 模式后，可使用方程式 13 计算满足 DCO 频率步长规格（以 ppb（十亿分之一）为单位）所需的 DPLLx_FB_FDEV 寄存器值。

$$DPLLx_FB_FDEV = (Reqd_ppb / 10^9) \times DPLL_{DEN} \times f_{VCOx} / f_{TDCx} \quad (13)$$

其中

- DPLLx_FB_FDEV：频率偏差值（0 至 2^{38} – 1）
- Reqd_ppb：所需的 DCO 频率步长（以 ppb 为单位）
- $DPLL_{DEN}$：DPLL FB 分频器分母值（1 至 2^{40}，寄存器值 0 = 2^{40}）
- f_{VCOx}：VCOx 频率
- f_{TDCx}：TDCx 频率

8.4.2.3 APLL DCO 频率步长

用户必须写入 DPLLx_FREE_RUN 寄存器字段来调整 APLL DCO。当 DPLLx_HIST_EN = 1 时，将执行相对调整。当 DPLLx_HIST_EN = 0 时，DPLLx_FREE_RUN 值用于 APLLx DCO 分子。可以从 APLLx_NUM_STAT 读回有效 APLLx 分子。

在启用相对 APLL DCO 模式后，可使用方程式 14 计算满足 DCO 频率步长规格（以 ppb（十亿分之一）为单位）所需的 DPLLx_FREE_RUN 字段值。DPLLx_FREE_RUN 是一个有符号值，负数的实际编程值可计算为二进制补码。

$$DPLLx_FREE_RUN = (Reqd_ppb / 10^9) \times APLLx_{DEN} \times f_{VCOx} / f_{PDFx} \quad (14)$$

其中

- DPLLx_FREE_RUN：频率偏差值（ -2^{39} 至 2^{39} – 1）
- Reqd_ppb：所需的 DCO 频率步长（以 ppb 为单位）
- $APLLx_{DEN}$：APLL FB 分频器分母值 (2^{40})
- f_{VCOx}：VCOx 频率
- f_{PDFx}：PLLx 相位检测器频率

8.4.3 APLL 频率控制

当 DPLL 处于保持状态或未使用时，该器件还可以通过写入 40 位寄存器 DPLLx_FREE_RUN[39:0] 来支持 APLL 频率和相位控制。如果基准时钟处于自由运行模式或被禁用，则 DPLL 会与 APLL 断开，但用户仍可以调整频率和相位精度。

要启用 APLL DCO 控制，请为 40 位分数分母设置 DPLLx_LOOP_EN = 1 和 PLLx_MODE = 1。DPLLx_EN 可以设置为等于 0。

Copyright © 2025 Texas Instruments Incorporated

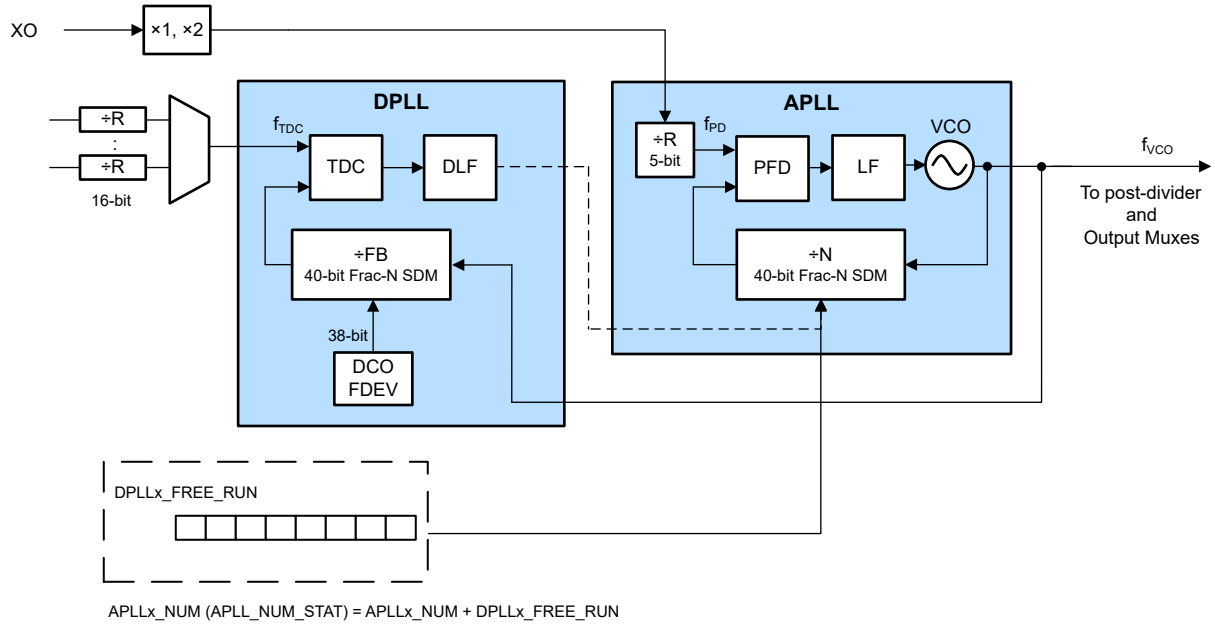


图 8-40. APLL DCO 模式

有两种调整 APLL DCO 的备选方法。

- 绝对频率调整
  - 设置 DPLLx_HIST_EN = 0
  - 有效 APLLx_NUM (APLLx_NUM_STAT) = APLLx_NUM + DPLLx_FREE_RUN
    - APLLx_NUM_STAT 是只读寄存器，支持读回。
    - DPLL 环路滤波器块会根据 DPLLx_FREE_RUN 值来修改 APLLx_NUM_STAT。
  - DPLLx_FREE_RUN 是一个 40 位二进制补码
- 相对频率调整
  - 设置 DPLLx_HIST_EN = 1
  - DPLLx_FREE_RUN 值以步长寄存器和步长周期寄存器定义的受控速率馈入到 APLLx_NUM 中。
  - 如果在 LMK 完成最后一次调整之前发生另一次 DPLLx_FREE_RUN 写入，则所有剩余的步骤都将略过，新值开始馈送 APLL 分子。
  - DPLLx_FREE_RUN 字完全馈入到有效 APLLx_NUM (APLL_NUM_STAT) 中之后会设置一个标志。

8.4.4 器件启动

8.4.4.1 器件上电复位 (POR)

图 8-41 展示了器件上电复位 (POR) 配置序列。当 PD 号引脚被置为无效并达到逻辑高电平状态时，就会发生 POR。在 POR 后，将会选择所选串行控制接口（I^2C 或 SPI）。LMK5C23208A 通过出厂预编程内部 ROM 详细说明 支持预配置器件设置。可编程的 EEPROM 覆盖层 可实现输出时钟灵活启动。有关启动后编程的详细信息，请参阅 编程。

Copyright © 2025 Texas Instruments Incorporated

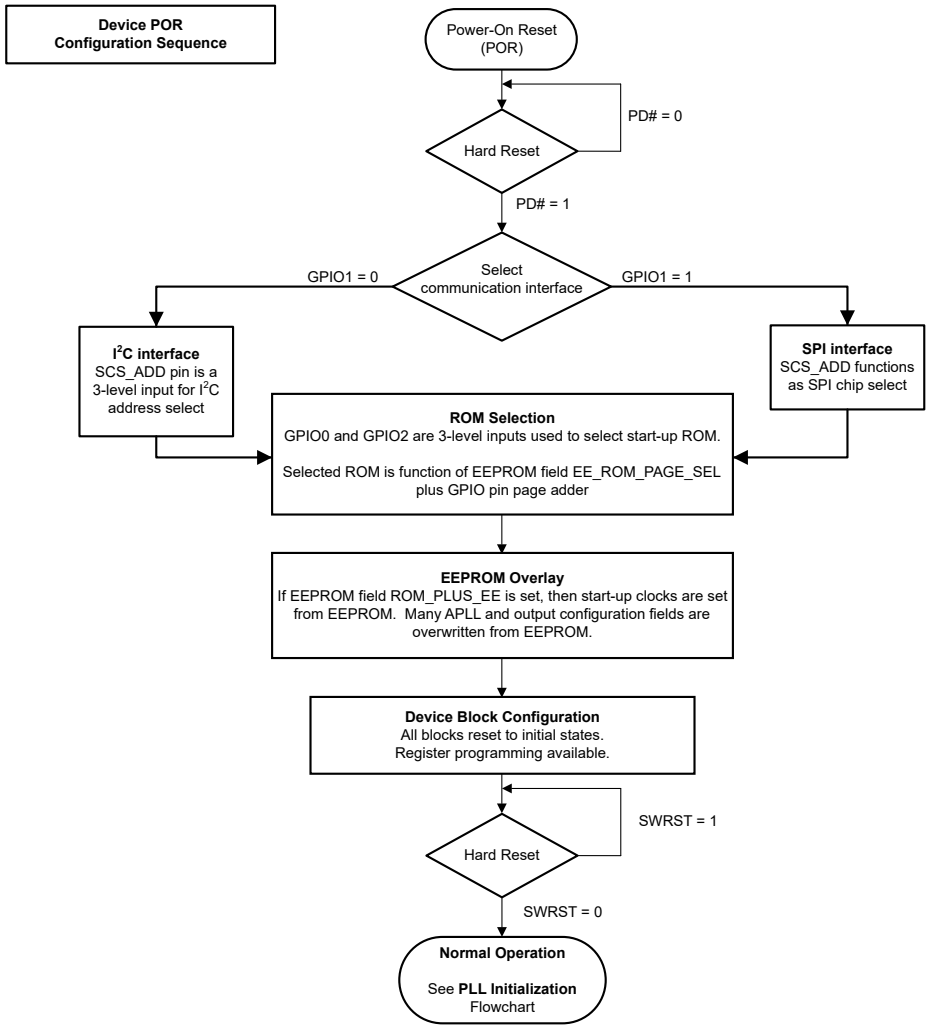


图 8-41. 器件 POR 序列

启动后，全局 SWRST (R23[6]) 会重新启动器件初始化序列和 APLL 校准状态机（请参阅 图 8-42）。在 POR 之后修改 APLL 寄存器时，建议发出全局 SWRST，以便重新校准所有 APLL 并重新对齐输出和 SYSREF 通道分频器。

切换全局 SWRST 时，APLL 输出时钟可能会中断，直到 APLL 再次获取锁为止。为避免干扰其他 APLL 时钟，可以发出单独的 APLLx 软件复位 (APLLx_SWRST)。在修改单个 APLLx 的寄存器时，应在启动后使用 APLLx_SWRST。例如，如果仅更改 APLL1 寄存器，则发出 APLL1_SWRST，并且仅 APLL1 输出会短暂中断，而 APLL2 输出保持不受干扰。

在以下情况中**不需要**发出 SWRST：

- 当在引导之后不执行寄存器写入操作时。
- 当在引导之后仅修改 XO 输入终端类型、INx 输入终端类型、输出驱动器（如摆幅水电平或通道分频器）、GPIO 引脚、状态或 DCO 寄存器时。
- 当进行 EEPROM 编程时。

以下情况下**建议**发出 SWRST：

- 当通过 I2C 或 SPI 修改大多数寄存器写入时（如在引导后进行器件配置期间）。
- 当配置 ZDM 和 SYSREF 寄存器时。如果仅更改 SYSREF 分频器值，则不需要如此。
- 当修改 APLLx 寄存器且所有 APLLx 时钟短暂中断不是问题时。

Copyright © 2025 Texas Instruments Incorporated

以下情况下**建议**发出单独 APLLx_SWRST：

- 当器件已配置所需的寄存器，且只需要修改 APLLx 寄存器而不干扰其他 APLL 输出时钟时。

8.4.4.2 PLL 启动序列

图 8-42 展示了 POR 之后的一般 APLL 启动序列。此序列也适用于全局 SWRST 或 APLLx_SWRST 之后。为提供适当的 VCO 校准，在 VCO 校准开始之前，APLL 基准时钟的振幅和频率必须保持稳定。否则，VCO 校准会失败并阻止 APLL 和输出时钟启动。

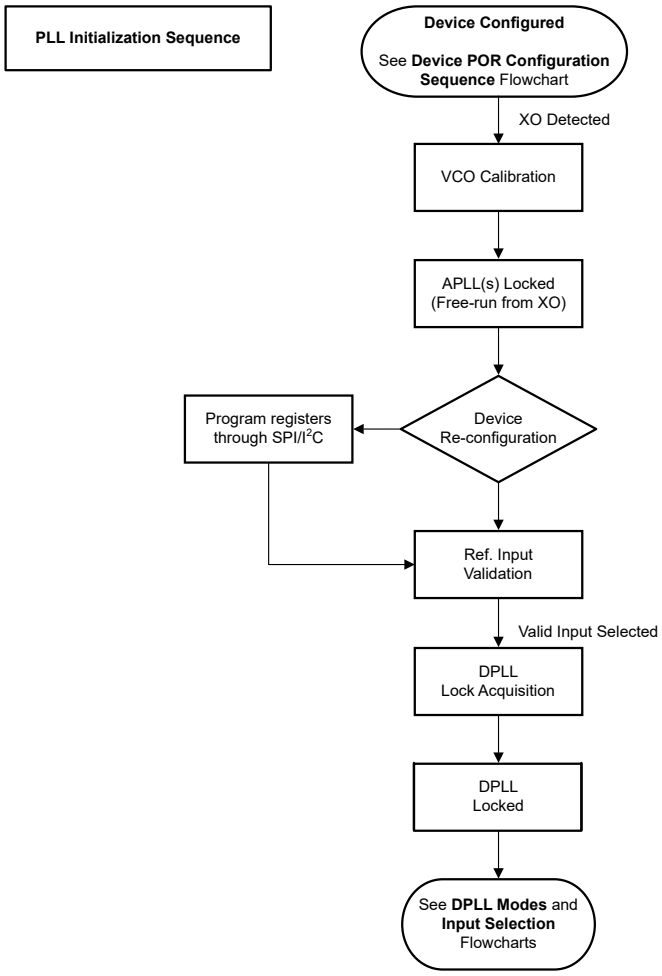


图 8-42. APLL 初始化序列

8.4.4.3 寄存器配置的启动选项

器件可从列出的四个选项中的任何一个启动。所选择的选项取决于系统用例。

1. **选项 1：ROM**
   a. 器件从其中一个 ROM 页面启动，绕过 EEPROM 覆盖，并且启动后不执行 I2C 事务。
   b. 当 DPLL 和 APLL 设置均与 ROM 页匹配时，请使用此选项。
2. **选项 2：ROM → EEPROM**
   a. 器件从其中一个 ROM 页面启动，然后将 EEPROM 设置加载到器件，并覆盖 XO、APLL 和输出驱动器配置。

Copyright © 2025 Texas Instruments Incorporated

b. 当所需的 DPLL 设置与 ROM 页匹配，但 APLL 设置不与之匹配时，请使用此选项。此外，它还用于自由运行模式（仅 APLL、禁用 DPLL）配置。

3. **选项 3：ROM → EEPROM → 系统内编程**
   a. 器件从其中一个 ROM 页面启动，然后将 EEPROM 设置加载到器件，并覆盖 XO、APLL 和输出驱动器配置。在启动后执行 I2C 事务，以更新未在 EEPROM 中存储的其余寄存器（DPLL、SYSREF 和 GPIO）。
   b. 当 DPLL 和 APLL 设置不与 ROM 页匹配时，请使用此选项。

4. **选项 4：ROM → 系统内编程**
   a. 器件从其中一个 ROM 页面启动，绕过 EEPROM 覆盖，并执行 I2C 事务以覆盖由 ROM 选择初始化的任何不需要的寄存器值（DPLL、SYSREF、GPIO、XO、APLL 和输出驱动器）。
   b. 当无法对 EEPROM 进行预编程以缩短启动时间或当必须在系统中配置大多数寄存器时，请使用此选项。

8.4.4.4 GPIO1 和 SCS_ADD 功能

器件可作为 I^2C 或 SPI 启动，具体取决于 POR 期间在 GPIO1 引脚上采样的 2 电平输入电平。

- **GPIO1 = 0：** I^2C 串行接口 被选中，且 SCS_ADD 引脚用作 3 电平输入以用于选择 I^2C 地址。
- **GPIO1 = 1：** SPI 串行接口 被选中，且 SCS_ADD 用作 SPI 芯片选择。

8.4.4.5 ROM 页选择

在 POR 时，GPIO2、GPIO0 和 EE_ROM_PAGE_SEL (R20[6:3]) 逻辑状态之和决定了使用哪一个 ROM 页。

EE_ROM_PAGE_SEL 字段存储在 EEPROM 中，出厂默认设置为 EE_ROM_PAGE_SEL = 0。ROM 中的所有寄存器页全部在硬件（掩膜 ROM）中进行出厂设置，不可通过软件编程。

有关每个 ROM 页面的配置以及所需的 XO、INx 和 OUTx 频率设置，请参阅 ROM 详细说明。

Copyright © 2025 Texas Instruments Incorporated

8.4.4.6 ROM 详细说明

表 8-9. 通过 GPIO2 和 GPIO0 选择 ROM 页

POR 时的 GPIO2	POR 时的 GPIO0	EE_ROM_PAGE_SEL = 0 时的 ROM 页
L	L	ROM 第 0 页。XO = 48MHz，REFCLK = 156.25MHz 和 10MHz，输出 = 100MHz、122.88MHz、245.76MHz、312.5MHz、491.52MHz。
L	H	ROM 第 1 页。XO = 48MHz，REFCLK = 10MHz，输出= 100MHz、312.5MHz、491.52MHz。
H	L	ROM 第 2 页。XO = 48MHz，REFCLK = 10MHz，输出= 100MHz、125MHz、312.5MHz、491.52MHz。
H	H	ROM 第 3 页。低功耗模式。所有 PLL 关闭，所有输出关闭。
L	M	ROM 第 4 页。XO = 54MHz，REFCLK = 30.72MHz，输出 = 30.72MHz、125MHz、161.1328125MHz、122.88MHz、245.76MHz、491.52MHz。
M	L	ROM 第 5 页。XO = 20MHz，REFCLK = 156.25MHz，输出 = 100MHz、125MHz、156.25MHz、245.76MHz、491.52MHz
M	M	ROM 第 6 页。XO = 48MHz，REFCLK = 156.25MHz，输出 = 1Hz (1PPS)、25MHz、100MHz、122.88MHz、125MHz、156.25MHz、245.76MHz、491.52MHz
M	H	ROM 第 7 页。XO = 48MHz，REFCLK = 156.25MHz，输出 = 1Hz (1PPS)、20.48MHz、25MHz、100MHz、122.88MHz、125MHz、156.25MHz、245.76MHz、491.52MHz
H	M	ROM 第 8 页。XO = 48MHz，REFCLK = 491.52MHz 和 156.25MHz，输出 = 25MHz、122.88MHz、125MHz、156.25MHz、491.52MHz

表 8-10. ROM 详细说明

ROM	XO	IN0	IN1	OUT0	OUT1	OUT3	OUT5	OUT6	OUT9	OUT11	OUT15
0	48	156.25	10	100	100	245.76	312.5	312.5	1.92(2)	1.92(2)	491.52
1	48	10	10	1.92(2) (4)	491.52(4)	100	491.52(4)	491.52	122.88(4)	1.92(2) (4)	312.5(4)
2	48	10	10	1.92(2) (4)	491.52	100	491.52	491.52	1.92(2) (4)	1.92(2) (4)	312.5
3	38.88	156.25	10	1.92(2) (4)	25(4)	100(4)	156.25(4)	156.25(4)	122.88(4)	122.88(4)	312.5(4)
4	54	30.72	30.72	125	125	30.72	161.1x(3)	161.1x(3)	122.88	245.76	– (1)
5	20	156.25	156.25	100	125	156.25	491.52	245.76	7.68(2)	7.68(2)	491.52(4)
6	48	156.25	156.25	1E-6(2) (4)	125	100	125(4)	156.25	7.68(2) (4)	7.68(2) (4)	312.5(4)
7	48	156.25	156.25	1E-6(2)	125	100	125	156.25	7.68(2)	7.68(2)	245.76(4)
8	48	491.52	156.25	125	25	156.25	7.68(2)	491.52	7.68(2)	7.68(2)	122.88

(1) 不配置输入或输出时钟频率，并禁用输入或输出通道。
(2) 输出时钟来自 SYSREF 通道分频器。
(3) 确切的输出时钟频率为 161.1328125MHz。
(4) 配置输出时钟频率，但禁用输出通道。

Copyright © 2025 Texas Instruments Incorporated

8.4.4.7 EEPROM 覆盖层

当 ROM 页无法满足启动时钟要求时，集成的 EEPROM 支持用户自定义的启动输出时钟。DPLL、SYSREF 和 GPIO 寄存器不由 EEPROM 值设置，而是由 ROM 详细说明 初始化。如果从 ROM 页加载的 DPLL 设置对系统无效，则 APLL 将转而锁定到 XO 输入。在正确配置 DPLL 寄存器后，DPLL 基准输入即视为有效，并可以锁定到 DPLL。

器件 EEPROM 覆盖可通过存储在 EEPROM 中的 ROM_PLUS_EE bit (R20[7]) 进行设置。ROM_PLUS_EE 位的出厂默认 EEPROM 设置为 0。

- **ROM_PLUS_EE = 0**：器件仅使用 ROM 设置启动。
- **ROM_PLUS_EE = 1**：EEPROM 覆盖会覆盖通过选择 ROM 页而初始化的 XO、APLL 和输出驱动器设置。

8.5 编程

8.5.1 存储器概述

LMK5C23208A 有四个存储器空间。

1. **寄存器** – 包含器件当前使用的有效寄存器设置。
2. **ROM** – 包含所有寄存器设置（DPLL、SYSREF、GPIO、XO、APLL 和输出驱动器）。具有用户不可编程的默认 ROM 页。请参阅 ROM 详细说明。
3. **EEPROM** – 包含部分寄存器设置（APLL 和输出）。可以通过 I2C 或 SPI 多次编程（有关最大编程周期数，请参阅绝对最大额定值）。请参阅 EEPROM 覆盖层。
4. **SRAM** – 包含与 EEPROM 相同的地址和数据映射。仅用于对 EEPROM 进行编程。

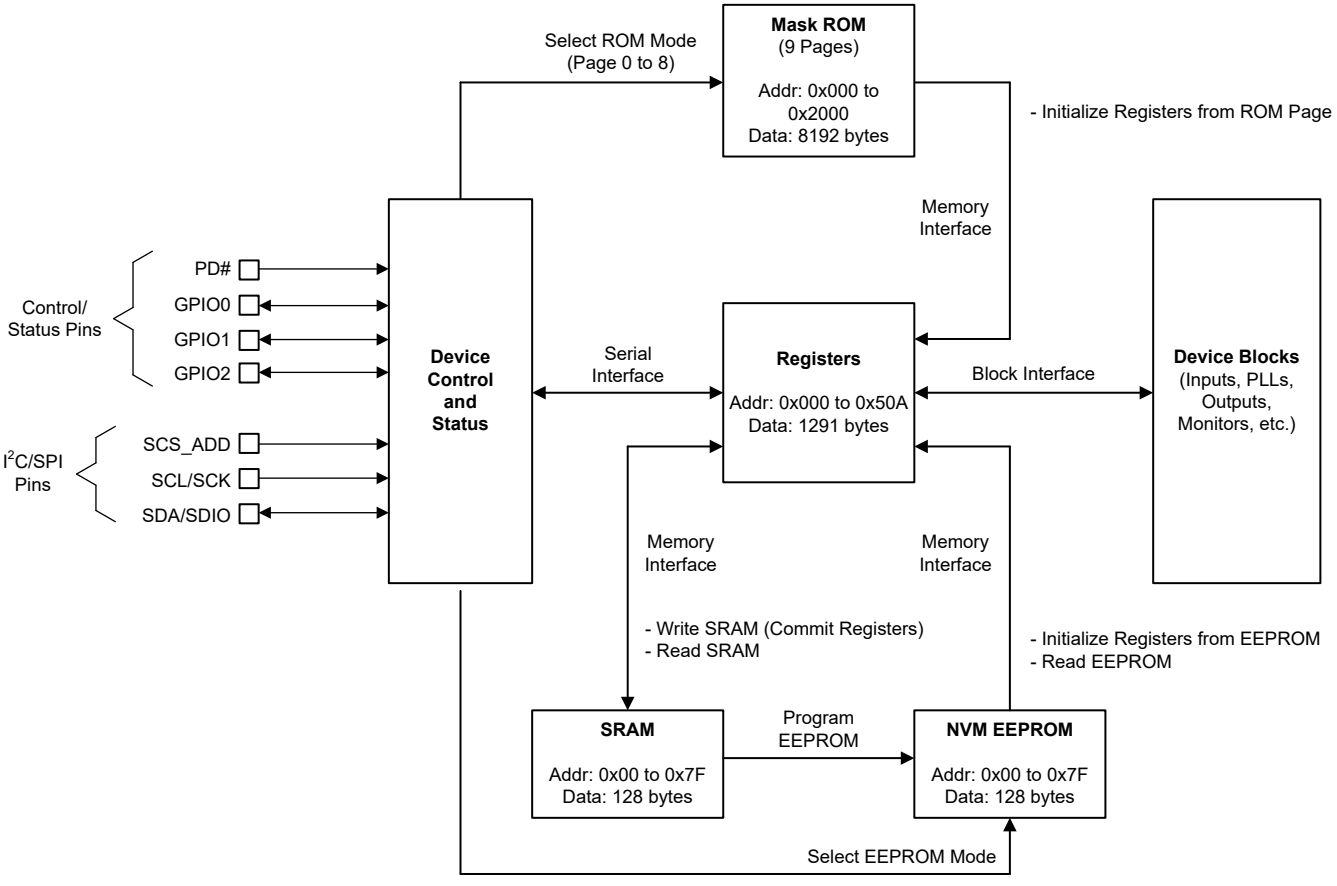


图 8-43. 器件控制、寄存器和存储器接口

Copyright © 2025 Texas Instruments Incorporated

8.5.2 接口和控制

启动后，系统主机器件（MCU 或 FPGA）可使用 I²C 或 SPI 来初始化、控制或监测寄存器，并访问 SRAM 和 EEPROM 映射。也可以通过外部逻辑控制 (GPIOx) 和状态引脚来控制和监测某些器件特性。需要对 LMK5C23208A 使用一个 2 字节地址和 1 字节数据接口。

在没有主机的情况下，LMK5C23208A 可以从其中一个片上 ROM 页和 EEPROM 覆盖进行自启动，以便在器件 POR 时初始化寄存器，请参阅 器件启动。

8.5.2.1 通过 TICS Pro 进行编程

用于 EVM 编程的 TICS Pro 软件工具包含一个分步设计流程，可输入用户选择的时钟设计参数、计算频率计划并为所需配置生成器件寄存器设置。可以导出寄存器映射数据（文本格式的十六进制转储）和 EEPROM 编程序列，以便在启动时启用器件的主机编程。

如果需要，客户可以在 TI E2E 公共论坛上发布 TICS Pro 设置文件 (.tcs)，以便 TI 检查和优化配置设置。

8.5.2.2 SPI 串行接口

选择 SPI 控制接口后，该器件使用带有 SDIO、SCK 和 SCS 信号的三线制 SPI (SPI_3WIRE_DIS = 0)。使用 SPI 时，SCS_ADD 也可用作历时计数器 (TEC) 触发器。当设置 SPI_3WIRE_DIS = 1 时，可以选择任何 GPIO 作为 SDO 以支持四线制 SPI 回读。

主机器件必须首先向器件 MSB 提供数据。消息中包括传输方向位 ($\overline{W}$/R)、15 位地址字段（A14 至 A0）和 8 位数据字段（D7 至 D0），如图 8-44 所示。对于 SPI 写入，$\overline{W}$/R 位为 0，对于 SPI 读取，该位为 1。

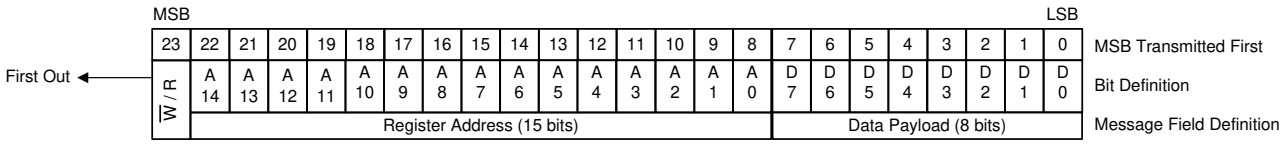


图 8-44. SPI 消息格式

将 SCS 置为低电平可启动一个消息帧。当 SCS 取消置位为高电平时，该帧结束。第一个传输的位是 $\overline{W}$/R 位。接下来的 15 位是寄存器地址，其余 8 位是数据。在写入传输时，由于最后一个数据位 (D0) 在 SCK 的上升沿随时钟传入，数据以字节为单位进行提交。如果写入访问不是八个时钟的偶数倍，则不会提交尾随数据位。在读取传输时，数据位在 SCK 下降沿从 SDO 引脚随时钟输出。

8.5.2.2.1 SPI 块寄存器传输

LMK5C23208A 支持 SPI 块写入和块读取传输。SPI 块传输的长度正好是 (2 + N) 个字节，其中 N 是要写入或读取的数据字节数。主机器件（SPI 主机）只需要指定要访问的地址序列中的最低地址。在主机完成初始 24 位传输序列后，如果 SCS 引脚保持低电平，则该器件会自动递增内部寄存器地址指针。每次传输 8 位（数据有效载荷宽度）都会使器件自动递增地址指针（前提是 SCS 引脚对于所有序列都保持低电平有效）。

8.5.2.3 I²C 串行接口

当 GPIO1 = 0 时，该器件作为 I²C 客户端运行，支持 100kHz（标准模式）和 400kHz（快速模式）的总线速率。只要满足其他 I²C 规格，便可以使用较低的总线速率。

7 位 I²C 地址的五个 MSB 在启动时从 EEPROM 初始化，请参阅使用直接写入方法或混合方法进行 EEPROM 编程 以及 I2C 地址和 EEPROM 修订版本号的五个 MSB。

I²C 地址的两个 LSB 在启动时由 SCS_ADD 引脚状态定义。

表 8-11 展示了 I²C 地址选项，这些选项基于 I²C 地址的五个 MSB 的 EEPROM 默认值和 SCS_ADD 状态。

Copyright © 2025 Texas Instruments Incorporated

表 8-11. I²C 地址选项

I²C 地址的 5 个 MSB（出厂默认设置）	SCS_ADD 引脚状态	I²C 地址的 2 个 LSB	I²C 地址
0x19	低	0	0x64
0x19	Vmid	2	0x66
0x19	高	1	0x65

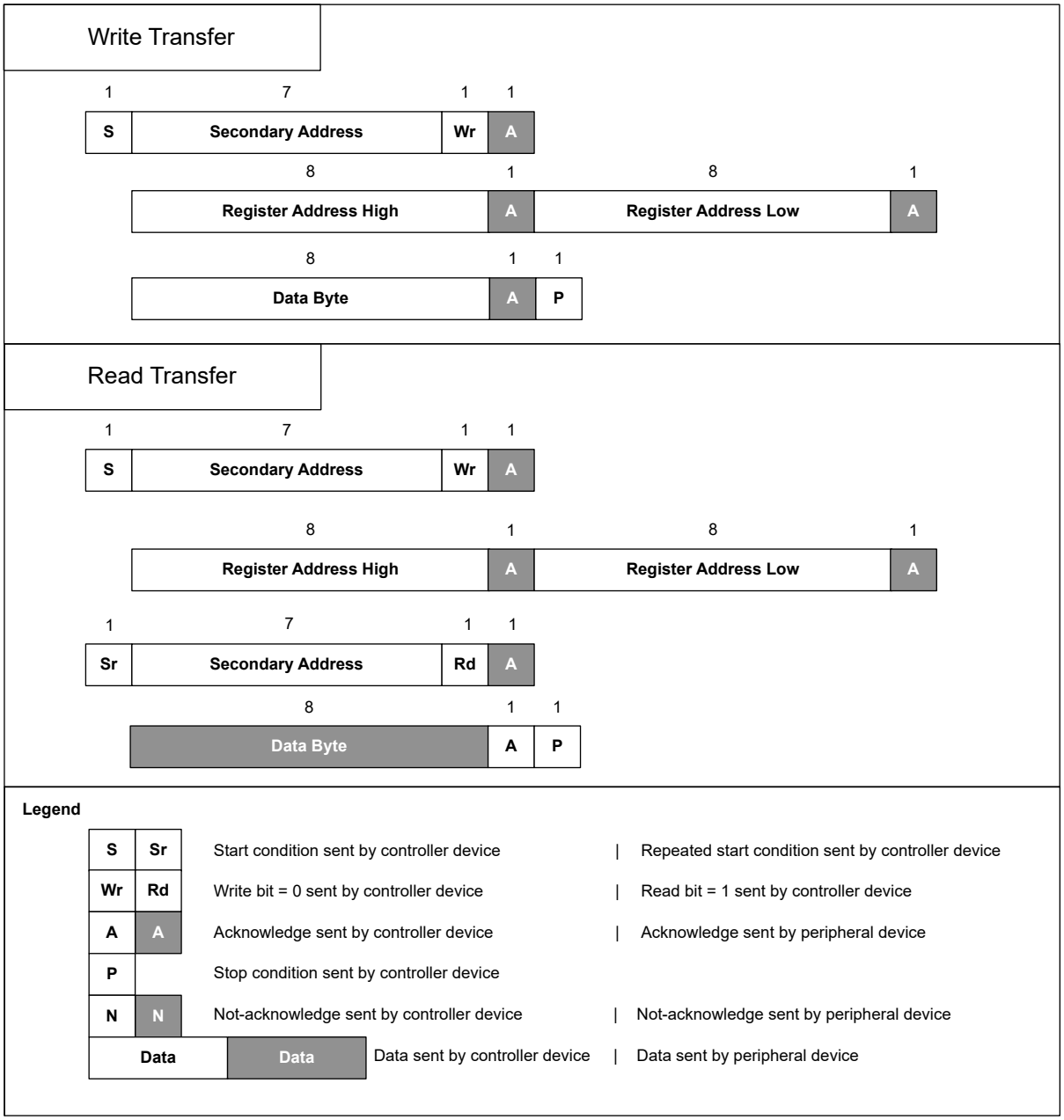


图 8-45. I²C 字节写入和读取传输

Copyright © 2025 Texas Instruments Incorporated

I²C 块寄存器传输

图 8-46 表明该器件支持 I²C 块写入和块读取寄存器传输。

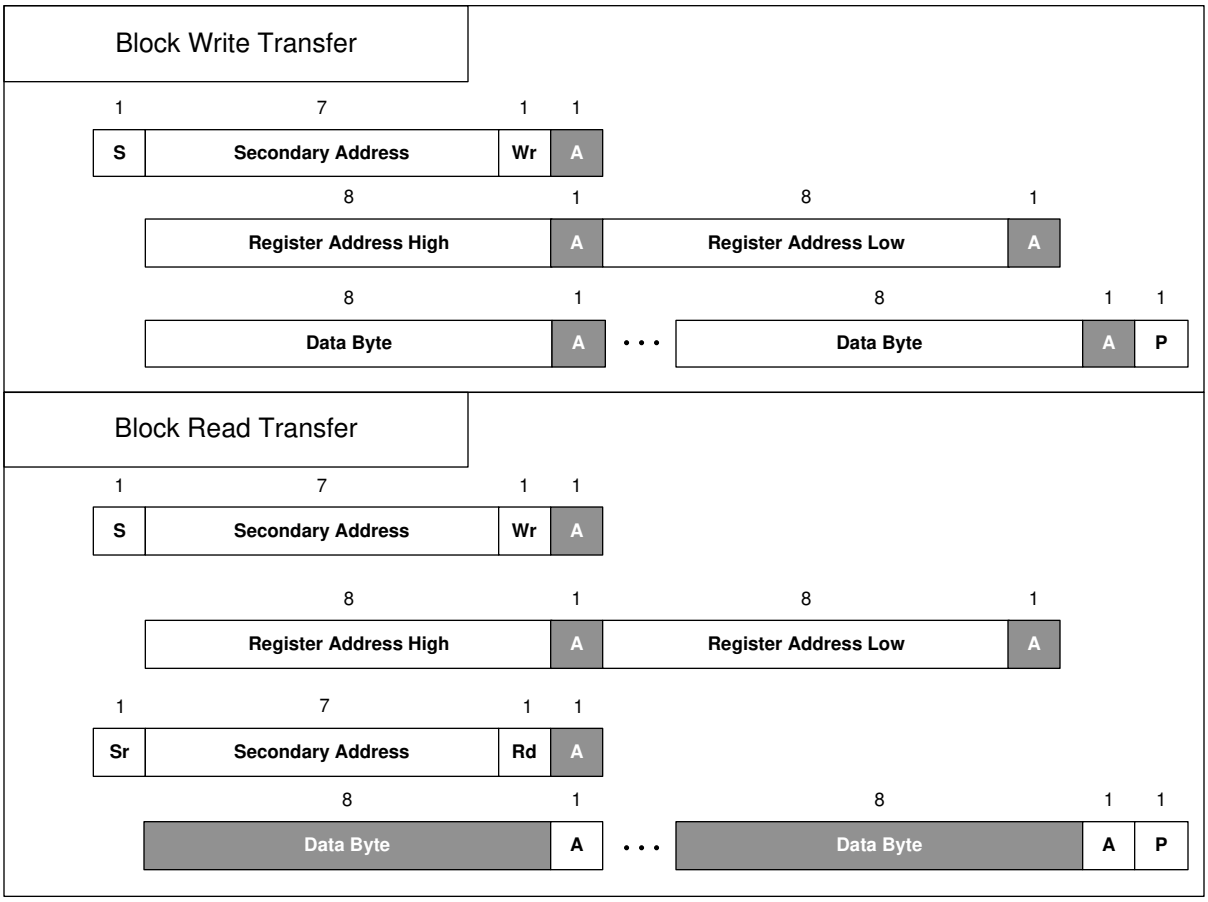


图 8-46. I²C 块寄存器传输

8.5.3 通用寄存器编程序列

对于在上电后使用系统主机通过 I²C 或 SPI 对初始配置进行编程的应用，可以遵循以下一般过程：

1. 给器件加电以在 I²C 或 SPI 模式下启动（请参阅器件启动）。
2. 将所有输出设置为静态低电平，确认启动时没有毛刺。
   a. 对于所有输出，配置 OUT_x_CONFIGURATION 寄存器。
   b. 仅对于 OUT0 和 OUT1，配置 OUT_x_CONFIGURATION 和 OUT_x_STATIC_LOW 寄存器。
3. 写入到除以下寄存器之外的所有寄存器：
   a. 步骤 2 中列出的寄存器。
   b. R25[0] (SYNC_EN)
   c. R21[6] (SYNC_SW)
   d. R23[6] (SWRST)
   e. (DPLLx_SWRST)
   f. (APLLx_SWRST)
4. 通过写入以下内容来执行全局、DPLL 和 APLL 软件复位：
   a. SWRST = 1
   b. APLLx_SWRST = 1

Copyright © 2025 Texas Instruments Incorporated

c. DPLLx_SWRST = 1
d. SWRST = 0
e. **注意：**DPLLx_SWRST 和 APLLx_SWRST 是自清除位。

5. 在将 SYNC_EN 和 SYNC_SW 置为有效之前，通过轮询 PLL 失锁状态寄存器 LOL_PLLx，等待 APLL 锁定。
6. 通过写入以下内容，将 SYNC 置为有效：
   a. SYNC_EN = 1
   b. SYNC_SW = 1
7. 修改步骤 2 中列出的输出寄存器：从静态低电平更改为所需的输出状态。
8. 通过写入以下内容，将 SYNC 置为无效：
   a. SYNC_SW = 0
   b. SYNC_EN = 0（可选且非必需）
9. 可选，但推荐：清除中断 (INTR) 状态标志。这些位不会自行清除（粘滞），在尚未正确配置 DPLL 和 APLL 寄存器的情况下，这些位可在启动期间进行设置。

或者，使用器件特定的 TICS Pro 配置文件，为当前加载的 .tcs 文件导出自定义寄存器编程序列，如图 8-47 所示。

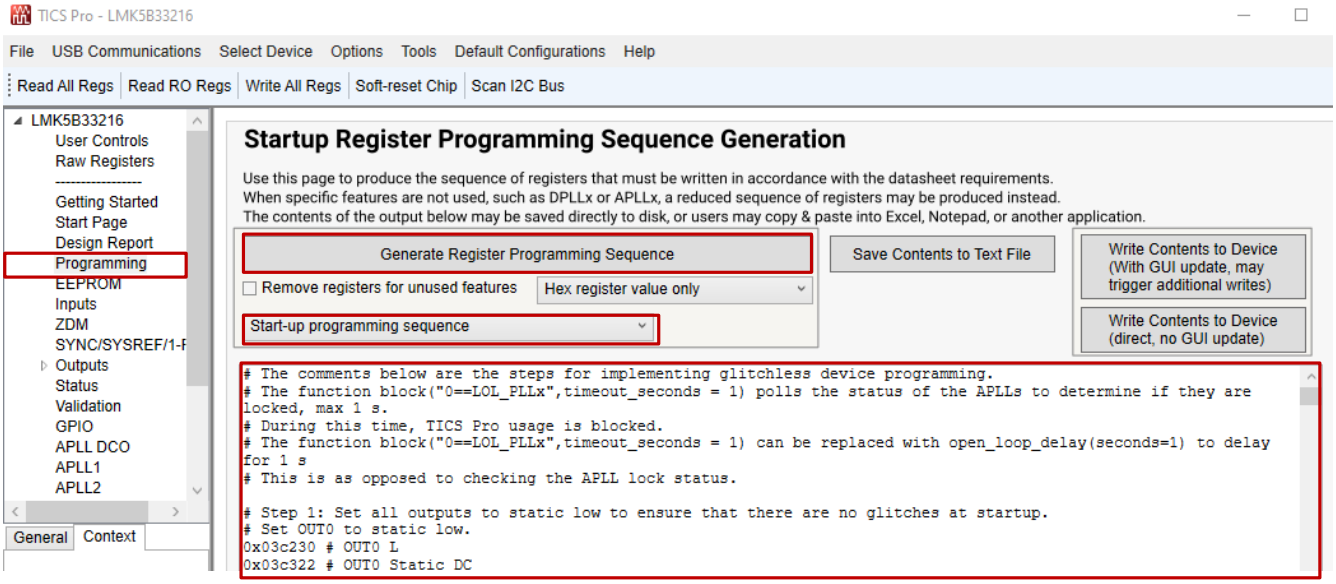


图 8-47. LMK5xxxxxx TICS Pro 编程页面（v1.7.7.4 的屏幕截图。）

8.5.4 EEPROM 编程步骤

第一步是使用所需的寄存器设置对 SRAM 进行编程。下一步是通过 SRAM 到 EEPROM 自动传输对 EEPROM 进行编程。有关每个步骤的更多详细信息，请参阅列出的部分：

1. SRAM 编程方法概述
2. 使用寄存器提交方法进行 EEPROM 编程 和
   使用直接写入方法或混合方法进行 EEPROM 编程

8.5.4.1 SRAM 编程方法概述

通过以下三种方法，都可将寄存器数据写入 SRAM：

1. 寄存器提交方法

a. 使用 REGCOMMIT 位实现活动寄存器到 SRAM 的**自动**传输（映射）。
b. 使用活动寄存器的内容修改 SRAM 和 EEPROM。
c. 无需了解 SRAM 和 EEPROM 映射。
d. 不能用于修改以下 EEPROM 字段：TARGET_ADR_MSB 和 EEREV。
e. 建议用于大多数应用以及在对器件进行预编程时使用。

2. 直接写入方法
   a. 要求直接及**手动**写入每个 SRAM 地址。
   b. 在不写入活动寄存器空间的情况下修改 SRAM 和 EEPROM，使器件能够继续正常运行而不中断。
   c. 需要了解 SRAM 和 EEPROM 映射。
   d. 可用于修改以下 EEPROM 字段：TARGET_ADR_MSB 和 EEREV。
   e. 建议在系统内对 EEPROM 进行编程（例如进行版本更新）时使用，以避免输出中断。
   f. 建议在覆盖所有 SRAM 时使用。

3. 混合方法（寄存器确认和直接写入）
   a. 建议在仅修改 SRAM 中的**选定**字段时使用，如 TARGET_ADR_MSB 和 EEREV。
   b. 通过直接写入方法覆盖所有 SRAM 时，不建议采用该方法。

8.5.4.2 使用寄存器提交方法进行 EEPROM 编程

1. 下电上电（切换 PD 号）。
2. 使用所需的配置写入活动寄存器，并确认输出时钟是否按预期运行。
3. 通过将 R171[6] (REGCOMMIT) 设置为 1，将活动寄存器提交到 SRAM。
   a. **注意：**当传输完成时，REGCOMMIT 自动清除为 0。
4. 通过将 R20[7] (ROM_PLUS_EE) 设置为 1，来启用 EEPROM 覆盖。
5. 通过将 R180 (NVMUNLK) 设置为 234，解锁 EEPROM。
6. 在一个事务中：
   a. 通过将 R171[1] (NVMERASE) 设置为 1，擦除 EEPROM 的内容。
   b. 通过将 R171[0] (NVMPROG) 设置为 1，启动 EEPROM 编程，以将 SRAM 内容传输到 EEPROM。
   c. **注意：**步骤 5 和 6 必须是原子（背靠背）写入，中间没有任何其他寄存器事务。为确保成功进行 EEPROM 编程，还不允许串行通信中断（如访问同一总线上的其他器件）。
7. 通过轮询 R171[2] (NVMBUSY) 直到被清除或等候大约 500ms，等待 EEPROM 编程完成。
   a. **注意：**请勿关断、切换 PD 号或继续进行下一步，直到 NVMBUSY 被清除以成功进行 EEPROM 编程为止。
8. 通过将 NVMUNLK 设置为 0 以锁定 EEPROM。
9. 在下一次 POR 时，如果 EEPROM 编程成功，则 EEPROM 编程计数 R16 (NVMCNT) 会增加 1。此外，如果设置了 EEPROM 覆盖位，则会从 EEPROM 加载活动寄存器。

十六进制指令表：

```
R171    0x00AB40              # Set REGCOMMIT
R20     0x001480              # Enable EEPROM OVERLAY
R180    0x00B4EA              # UNLOCK EEPROM
R171    0x00AB03              # ERASE and PROGRAM SRAM contents to EEPROM
while(READ_REG(NVMBUSY) != 0) # NVMBUSY is located in 0xAB, bit 2
R180    0x00B400              # LOCK EEPROM
```

8.5.4.3 使用直接写入方法或混合方法进行 EEPROM 编程

1. 获取所需配置的 SRAM 映射。SRAM 映射在 TICS Pro 中生成。有关 TARGET_ADR_MSB 和 EEREV 映射，请参阅 I2C 地址和 EEPROM 修订版本号的五个 MSB。
2. **仅限混合方法**：通过将 REGCOMMIT (R171[6]) 设置为 1，将活动寄存器提交到 SRAM。

Copyright © 2025 Texas Instruments Incorporated

a. **注意：**当传输完成时，REGCOMMIT 自动清除为 0。

3. 通过将 R20[7] (ROM_PLUS_EE) 设置为 1，来启用 EEPROM 覆盖。
4. 通过将 R173[4:0] (MEMADR_12:8) 设置为 SRAM 地址的 5 个 MSB，配置 SRAM 地址指针。
5. 通过将 R174 (MEMADR) 设置为 SRAM 地址的 8 个 LSB，配置 SRAM 地址指针。
6. 通过将 R176 (RAMDAT) 设置为 SRAM 映射中的 SRAM 数据，将所需的数据存储在指定的 SRAM 地址。
7. 对所需的全部 SRAM 地址，重复执行步骤 4-6。
8. 通过将 R180 (NVMUNLK) 设置为 234，解锁 EEPROM。
9. 在一个事务中：
   a. 通过将 NVMERASE (R171[1]) 设置为 1，擦除 EEPROM 的内容。
   b. 通过将 NVMPROG (R171[0]) 设置为 1，启动 EEPROM 编程，以将 SRAM 内容传输到 EEPROM。
   c. **注意：**步骤 5 和 6 必须是原子（背靠背）写入，中间没有任何其他寄存器事务。为确保成功进行 EEPROM 编程，还不允许串行通信中断（如访问同一总线上的其他器件）。
10. 通过轮询 R171[2] (NVMBUSY) 直到被清除或等候大约 500ms，等待 EEPROM 编程完成。
    a. **注意：**请勿关断、切换 PD 号或继续进行下一步，直到 NVMBUSY 被清除以成功进行 EEPROM 编程为止。
11. 通过将 NVMUNLK 设置为 0 以锁定 EEPROM。
12. 在下一次 POR 时，如果 EEPROM 编程成功，则 EEPROM 编程计数 R16 (NVMCNT) 会增加 1。此外，如果设置了 EEPROM 覆盖位，则会从 EEPROM 加载活动寄存器。

更改 TARGET_ADR_MSB 的十六进制指令示例：

```
R171        0x00AB40          # Set REGCOMMIT (Mixed Method only)
R20         0x001480          # Enable EEPROM OVERLAY
R173        0x00AD00          # Set 5 MSBs of SRAM address
R174        0x00AE0C          # Set 8 LSBs of SRAM address
R176        0x00B019          # Set 5 MSBs of desired I2C address

R180        0x00B4EA          # UNLOCK EEPROM
R171        0x00AB03          # ERASE and PROGRAM SRAM contents to EEPROM
while(READ_REG(NVMBUSY) != 0) # NVMBUSY is located in 0xAB, bit 2
R180        0x00B400          # Lock EEPROM
```

更改 EEREV 的十六进制指令示例：

8.5.4.4 I2C 地址和 EEPROM 修订版本号的五个 MSB

表 8-12 汇总了 TARGET_ADR_MSB 和 EEREV 字段的 SRAM 与 EEPROM 地址。这些字节**只能**由 使用直接写入方法或混合方法进行 EEPROM 编程 写入。可以选择修改这些字节的出厂默认设置。

表 8-12. EEPROM 中的用户可编程字段

SRAM/EEPROM 地址字节编号（十进制）	SRAM/EEPROM 地址字节编号（十六进制）	SRAM/EEPROM 字段名称	说明
12	0x0C	TARGET_ADR_MSB	**I²C 目标地址 MSB 位** 可以写入位 TARGET_ADR_MSB[7:3]，以便设置 7 位外设地址的五个 MSB。TARGET_ADR_MSB[2:0] 必须以 0 写入。 只能通过对 SRAM 和 EEPROM 进行编程来修改 TARGET_ADR_MSB。器件当前使用的 TARGET_ADR_MSB 值可由只读寄存器 R18 回读。 有关更多 I²C 地址详细信息，请参阅 GPIO1 和 SCS_ADD 功能 和 I²C 串行接口。

Copyright © 2025 Texas Instruments Incorporated

表 8-12. EEPROM 中的用户可编程字段（续）

SRAM/EEPROM 地址字节编号（十进制）	SRAM/EEPROM 地址字节编号（十六进制）	SRAM/EEPROM 字段名称	说明
13	0x0D	EEREV	**EEPROM 映像修订号。** 可以写入 EEREV 以设置 EEPROM 映像修订号或任何客户特定的数据，从而实现器件可追溯性。 只能通过对 SRAM 和 EEPROM 进行编程来修改 EEREV。器件当前使用的 EEREV 值可由只读寄存器 R19 回读。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

9.1.1 器件启动序列

器件上电复位 (POR) 展示了器件启动序列。

9.1.2 断电 (PD#) 引脚

PD# 引脚（低电平有效）可用于器件断电和初始化 PD 序列。当 PD# 被拉至低电平时，整个器件将断电且串行接口将被禁用。当 PD 号拉至高电平时，便会触发器件 POR 序列以开始执行器件启动序列和正常运行过程，如表 9-1 所示。如果切换 PD 号引脚来发出瞬时硬复位信号，则施加到 PD 号引脚的负脉冲应大于 200ns，才能被内部数字系统时钟捕获。

表 9-1. PD# 控制

PD# 引脚状态	器件运行
0	器件被禁用
1	正常运行

9.1.3 通过自举引脚进行启动

启动时，GPIO 上的电压电平决定了器件的运行模式。GPIO1 选择 SPI 或 I^2C 模式。GPIO2 和 GPIO0 选择 ROM 页。

9.1.4 引脚状态

表 9-2 展示了该器件的不同引脚状态。

表 9-2. 不同阶段的引脚状态

引脚名称	断电	状态	POR (SPI)	状态	POR (I^2C)	状态	正常运行	状态	软复位	状态
PD#	低	2 电平输入	PD# 从低电平转换为高电平		PD# 从低电平转换为高电平		高电平	2 电平输入	高电平	2 电平输入
GPIO0	已准备好进行 POR	3 电平输入	EEPROM/ ROM 选择	3 电平输入	EEPROM/ ROM 选择	3 电平输入	请参阅表	GPIO	不可用	
GPIO1	已准备好进行 POR	2 电平输入	VDD	2 电平输入	GND	2 电平输入	请参阅表	GPIO	不可用	
GPIO2	已准备好进行 POR	3 电平输入	EEPROM/ ROM 选择	3 电平输入	EEPROM/ ROM 选择	3 电平输入	请参阅表	GPIO	不可用	

Copyright © 2025 Texas Instruments Incorporated

表 9-2. 不同阶段的引脚状态（续）

引脚名称	断电	状态	POR (SPI)	状态	POR (I²C)	状态	正常运行	状态	软复位	状态
SCS_A DD	已准备好进行 POR	3 电平输入	SCS	2 电平输入	I²C 地址选择	3 电平输入	基于 POR 的 2 电平或 3 电平输入		不适用	
SDIO	不适用		SDIO	数据 I/O	SDA	数据 I/O	基于 POR 的 SDIO 或 SDA 控制接口串行数据输入/输出			
SCK	不适用		SCK	时钟输入	SCL	时钟输入	基于 POR 的 SCK 或 SCL 控制接口串行时钟输入			

9.1.5 ROM 和 EEPROM

某些应用需要启动时钟来在上电时运行整个系统。在其他应用中，可能只需要逻辑器件（CPU、ASIC 或 FPGA）在上电时具备有效时钟，在这些器件上，如果默认 ROM 配置不符合应用要求，可以使用自定义设置对 LMK5C23208A 进行编程。LMK5C23208A 提供了 ROM 页以在启动时支持默认输出时钟，并提供了 EEPROM 以在 ROM 页不满足应用要求时允许自定义启动时钟。请参阅 *ROM 详细说明*和 *EEPROM 覆盖层*，了解更多信息。

9.1.6 电源轨时序、电源斜升速率和混合电源域

9.1.6.1 上电复位 (POR) 电路

LMK5C23208A 集成了一个内置上电复位 (POR) 电路，该电路在满足以下所有条件之前将器件保持在复位状态：

- 所有 V_{DD} 内核电源均已斜升至 2.72V 以上
- PD# 引脚已斜升至 1.2V（最小 V_{IH}）以上

9.1.6.2 从单电源轨上电

只要所有 VDD 和 VDDO 电源均由以单调方式从 0V 斜升至 3.135V 的同一 3.3V 电源轨驱动，并且决策点 2 与电源电压实现稳定之间的时间小于 1ms，则无需在 PD 号引脚上添加电容器即可从外部延迟器件的上电序列。图 9-1 展示了 PD# 引脚可以悬空或由系统主机驱动，以满足系统中的时钟时序要求。

如果决策点 2 与电源电压实现稳定之间的时间大于 1ms，则必须延迟 PD# 引脚。请参阅*从双电源轨上电*。

如 *XO 启动缓慢或延迟* 所述，有必要在 PD 号决策点 1 之后验证 XO 基准，才能成功校准 VCO 并捕获有效的 DPLL 基准读数。

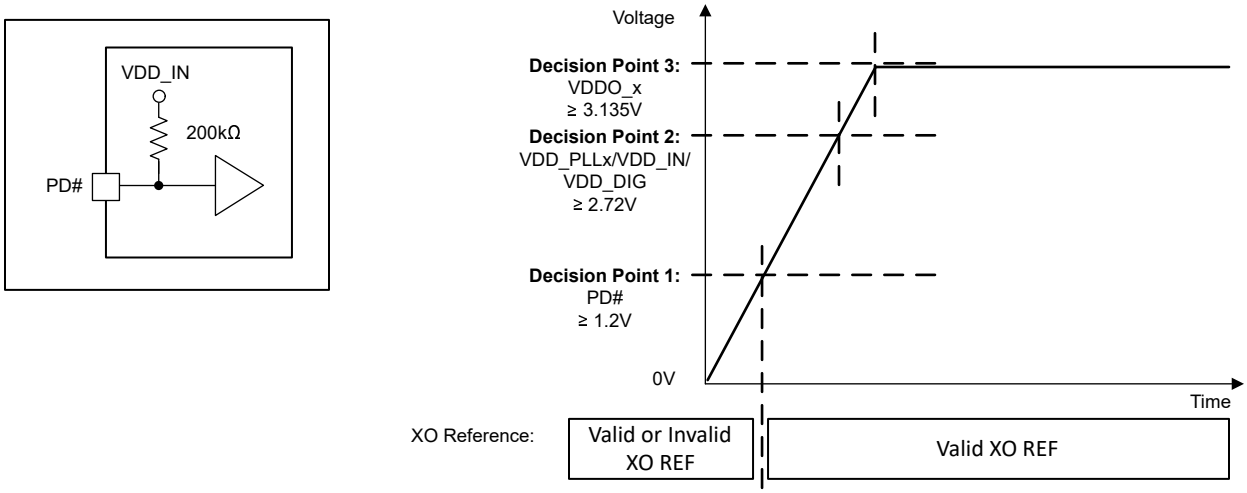


图 9-1. 从单电源轨上电的建议

9.1.6.3 从双电源轨上电

如果 VDD 或 VDDO 电源由不同的电源轨驱动，TI 建议在所有电源斜升至高于 3.135V 后开始 PLL 校准。这可以通过延迟 PD 号从低电平到高电平的转换来实现。PD 号输入包含一个连接到 VDD_IN 的 200kΩ 电阻，如图 9-2 所示。PD# 引脚到 GND 之间的一个电容器可用于与内部上拉电阻一起形成一个 RC 时间常数。此 RC 时间常数可用于延迟 PD 号的低电平到高电平转换，直至所有内核电源均斜升至高于 3.135V。建议在 VDD 电源引脚之前斜升 VDDO 电源引脚。

或者，可由系统主机或电源管理器件将 PD# 引脚驱动为高电平，以延迟器件上电序列，直到所有电源都已斜升。

如 *XO 启动缓慢或延迟* 所述，XO 基准必须在 PD 号决策点 3 之后有效，才能成功校准 VCO 并捕获有效的 DPLL 基准读数。

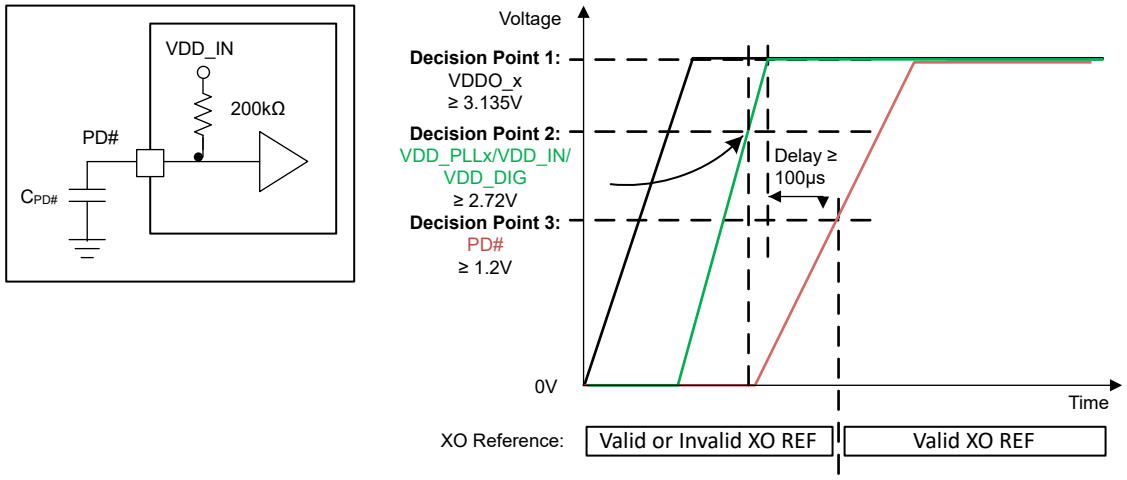


图 9-2. 从双电源轨上电的建议

Copyright © 2025 Texas Instruments Incorporated

9.1.6.4 非单调或缓慢上电电源斜坡

如果 VDD 内核电源以非单调方式斜升，或在 0V 至 3.135V 的缓慢斜坡时间内持续超过 100ms，TI 建议延迟 VCO 校准，直至所有内核电源均斜升至 3.135V 以上。为了实现此目的，可以使用 *从双电源轨上电* 中描述的方法之一，延迟 PD 号从低电平到高电平的转换。

如果任何内核电源在 PD 号从低电平到高电平转换前不能斜升到 3.135V 以上，那么可以在所有内核电源斜升后发出器件软复位，以手动触发 VCO 校准和 PLL 启动序列。

9.1.7 XO 启动缓慢或延迟

由于外部 XO 时钟输入用作 BAW APLL 和常规 APLL 校准的基准输入，因此在 VCO 校准开始之前，XO 输入振幅和频率必须保持稳定，才能成功实现 PLL 锁定和输出启动。如果在 VCO 校准之前 XO 时钟不稳定，VCO 校准会失败，并会阻止 PLL 锁定和输出时钟启动。

如果 XO 时钟启动时间较慢或上电时出现干扰（例如，由于电源斜升缓慢或非单调性），TI 建议将 VCO 校准的开始时间延迟到 XO 稳定后。为了实现此目的，可以使用 *从双电源轨上电* 中描述的方法之一，将 PD 号从低电平到高电平的转换延迟到 XO 时钟稳定后。还可以在 XO 时钟稳定后发出器件软复位，从而手动触发 VCO 校准和 PLL 启动序列。

BAW APLL 和 VCBO 经过工厂校准，对无效的 XO 基准启动不敏感。当 XO 基准有效时，BAW APLL 就可以获取锁。当 BAW APLL 与配对的 DPLL 结合使用时，XO 必须在验证配对的 DPLL 基准之前有效。

9.2 典型应用

图 9-3 展示了有助于实现 LMK5C23208A 和外设电路的参考原理图。为内核电源引脚和独立输出电源引脚提供了电源滤波示例。图中显示了时钟输入和输出引脚的单端 LVCMOS 和差动 LVDS、HSDS、AC-LVPECL 和 HCSL 时钟接口示例。例如，外部 LVCMOS 振荡器驱动交流耦合分压器网络来连接 3.3V LVCMOS 输出，从而满足 XO 输入指定的输入电压摆幅。LMK5C23208A 的 XO 引脚可以接受 3.3V LVCMOS 输入。所需的外部电容器放置在靠近网络同步器的位置，并显示了建议值。逻辑 I/O 引脚上的外部上拉电阻和下拉电阻选项将设置默认输入状态。I^2C 或 SPI 引脚和其他逻辑 I/O 引脚可以连接到主机器件（未显示），以便对网络同步器进行编程和控制，并监测状态。

图 9-3. 典型应用示例

Copyright © 2025 Texas Instruments Incorporated

9.2.1 设计要求

在典型应用中，请考虑以下设计要求或参数来实施整体时钟设计：

1. 器件初始配置。该器件必须配置为主机编程（MCU 或 FPGA）或工厂预编程。
2. 器件接口，根据需要将 GPIO1 设置为 I^2C 或 SPI 通信接口。
3. XO 频率、信号类型以及频率精度和稳定性。如果需要满足以下任何条件，请考虑为 XO 输入使用高稳定性 TCXO 或 OCXO：
   a. 频率稳定性符合标准（例如 SyncE、SONET/SDH、IEEE 1588）
   b. 偏移 ≤ 100Hz 时具有尽可能低的近端相位噪声
   c. 窄 DPLL 带宽 ≤ 10Hz
4. 对于每个 DPLL/APLL 域，确定以下各项：
   a. 输入时钟：频率、缓冲模式、优先级和输入选择模式
   b. APLL 基准：另一个具有级联模式的 VCO，或用于非级联模式的 XO
   c. 输出时钟：频率、缓冲模式
   d. DPLL 环路带宽和最大 TDC 频率
   e. 是否需要 DCO 模式或 ZDM
5. 输入时钟和 PLL 监控选项
6. 状态输出和中断标志
7. 电源轨

9.2.2 详细设计过程

在典型的应用中，建议采取以下步骤：

1. 使用 TICS Pro 编程软件中的器件 GUI 执行分步设计流程，输入设计参数，计算每个 PLL 域的频率计划，并为所需配置生成寄存器设置。可导出寄存器设置（.txt 格式的寄存器十六进制转储）以启用主机编程。
   - 主机器件可在上电后通过串行接口对寄存器设置进行编程，并发出软复位（通过 SWRST 位）以启动器件。在 SWRST 之前设置 SW_SYNC，并在 SWRST 之后清除 SW_SYNC。
2. 将 GPIO1 引脚接地以选择 I^2C 通信接口，或通过外部电阻将 GPIO1 拉高至 VDD_DIG 以选择 SPI 通信接口。确定用于控制和状态功能的逻辑 I/O 引脚分配。参阅 GPIO1 和 SCS_ADD 功能。
   - 使用适当的 I/O 方向和电压电平将 I^2C/SPI 和逻辑 I/O 引脚（1.8V 兼容电平）连接到主机器件引脚。
3. 按照*振荡器输入 (XO)* 的说明选择 XO 频率。
   - 选择一个 XO，其目标相位抖动性能应符合自由运行或保持期间输出时钟所需的频率稳定性和精度要求。
   - LMK5C23208A 可在 XO 引脚上直接接受 3.3V LVCMOS 输入。
   - 通过低噪声 LDO 稳压器为 XO 供电，或优化电源滤波以避免电源噪声引起的 XO 时钟抖动。
   - **TICS Pro：**配置 XO 频率以匹配 XO 输入。

Copyright © 2025 Texas Instruments Incorporated

4. 为原理图中的每个 APLL 域连接时钟 I/O，并使用 TICS Pro 按如下方式配置器件设置：
   - 基准输入：按照*时钟输入连接和端接 中的 LVCMOS 或差分时钟输入接口指南进行操作*。
     - **TICS Pro：**对于 DPLL 模式，配置基准输入缓冲器模式以匹配基准时钟驱动器接口要求。请参阅*基准输入*。
   - **TICS Pro：**对于 DPLL 模式，配置 DPLL 输入选择模式和输入优先级。请参阅*基准输入多路复用器选择*。
   - **TICS Pro：**配置来自其他 VCO 域（级联模式）或 XO 时钟（非级联模式）的每个 APLL 基准。
   - **TICS Pro：**为每个输出配置所需的时钟频率和 APLL 域。TICS Pro 可以计算 APLL 和输出的 VCO 频率和分频器设置。为更大限度减少串扰和杂散，请考虑以下输出时钟分配指南：
     - 将相邻通道上的相同输出频率（或谐波频率）分组，在可能的情况下以充分降低功率。
     - 当两个频率之差 $|f_{OUTx} - f_{OUTy}|$ 处于抖动积分带宽范围（例如，12kHz 至 20MHz）内时，应分离时钟输出。为尽可能减少潜在耦合，作为潜在干扰源的任何输出都必须至少由四个静态引脚（电源引脚、逻辑引脚或禁用输出引脚）进行分离。如有可能，请将这些时钟放置在相对的输出组上来分离这些时钟，这些输出组位于芯片的对侧以实现更好的隔离。
     - 避免任何 LVCMOS 输出（强干扰源），或将其与其他抖动敏感型差分输出时钟进行隔离。如果需要 LVCMOS 输出，请使用双通道互补 LVCMOS 模式（+/- 或 -/+），并将未使用的 LVCMOS 输出保持悬空且无任何布线。
     - 如果应用中未使用所有的输出对，请考虑将未使用的输出连接到一对射频同轴测试结构以进行测试（例如 SMA、SMP 端口）。
   - **TICS Pro：**配置输出驱动器。
     - 配置输出驱动器模式以匹配接收器时钟输入接口要求。请参阅*时钟输出驱动器*。
     - 配置需要同步输出相位的任何输出 SYNC 组。请参阅*输出同步 (SYNC)*。
     - 配置输出自动静音模式以及 APLL 和 DPLL 静音选项。请参阅 *LOL 期间输出自动静音*。
   - 时钟输出接口：按照 *时钟输出连接和端接* 中的单端或差分时钟输出接口指南进行操作。
     - 差分输出可在接收器输入端进行交流耦合、端接和偏置，也可与适当的接收器进行直流耦合。
     - LVCMOS 输出具有内部源端接，可直接驱动 50Ω 布线。LVCMOS V_{OH} 电平由内部 LDO 编程电压（1.8V 或 2.65V）确定。
   - **TICS Pro：**配置 DPLL 环路带宽。
     - 在环路带宽以下，基准噪声会添加到 TDC 本底噪声和 XO/TCXO/OCXO 噪声。在环路带宽以上，基准噪声将以高达 60dB/十倍频程的滚降幅度衰减。合适的带宽取决于基准输入和 XO 之间的相对相位噪声。APLL 环路带宽可配置为在 APLL 带宽之上提供基准输入、TDC 和 XO 相位噪声的额外衰减。
   - **TICS Pro：**配置最大 TDC 频率以根据所需的用例优化 DPLL TDC 噪声贡献。
     - *有线*：通常指定 400kHz 的最大 TDC 速率。这种情况下可以使用窄环路带宽 (≤10Hz) 和 TCXO/OCXO/XO 来设置频率稳定性和漂移性能，从而支持 SyncE 和其他用例。
     - *无线*：通常指定 26MHz 的最大 TDC 速率以实现最低的带内 TDC 噪声贡献。这种情况下支持无线用例以及近端相位噪声至关重要的其他用例。
   - **TICS Pro：**如果需要时钟控制（如用于 IEEE-1588 PTP），请为 DPLL 环路启用 DCO 模式并输入频率步长（以 ppb 为单位）。FDEV 步长寄存器根据 *APLL DCO 频率步长* 进行计算。如果需要，在 GPIO 引脚上启用 FDEV_TRIG 和 FDEV_DIR 引脚控制。
   - **TICS Pro：**如果需要确定性输入到输出时钟相位，请为相应的 OUTx 配置 ZDM。请参阅*节 8.3.20*。
5. **TICS Pro：**为每个基准输入配置基准输入监控选项。当不需要监控器或输入操作超出监控器支持的频率范围时，请禁用监控器。请参阅*基准输入监控*。
   - *频率监控器*：设置有效和无效阈值（以 ppm 为单位）。
   - *漏脉冲监控器*：设置延迟窗口阈值 (T_{LATE}) 以允许最长的预期输入时钟周期，包括最坏情况下的周期间抖动。对于间隙时钟输入，根据允许的漏时钟脉冲数设置 T_{LATE}。
   - *矮脉冲监控器*：设置早期窗口阈值 (T_{EARLY}) 以允许最短的预期输入时钟周期，包括最坏情况下的周期间抖动。
   - *1PPS 相位验证监控器*：设置相位验证抖动阈值，包括最坏情况下的输入周期间抖动。
   - *验证计时器*：设置在输入对选择有效之前，必须由所有已启用的输入监控器对基准输入进行验证的时长。
6. **TICS Pro：**为每个通道配置 DPLL 锁定检测和调优字历史记录监控选项。请参阅 *PLL 锁定检测器* 和 *调优字历史记录*。

Copyright © 2025 Texas Instruments Incorporated

- *DPLL 频锁和相锁检测器*：设置每个检测器的锁定阈值和解锁阈值。

7. **TICS Pro：**根据需要配置每个状态输出引脚和中断标志。请参阅*状态输出*和*中断*。
   - 选择所需的状态信号选项、状态极性和驱动器模式（3.3V LVCMOS 或开漏）。开漏需要外部上拉电阻。
   - 如果中断已启用并被选为状态输出，请根据需要配置任何中断源的标志极性和屏蔽位以及组合“或”门。
8. 考虑以下电源设计准则：
   - 具有相同频率或整数相关（谐波）频率的输出可以共享公共的滤波电源。
     - 示例：OUT5 和 OUT6 上的 156.25MHz 和 312.5MHz 输出可以共享经过滤波的 VDDO 电源，而 OUT0 和 OUT3 上的 100MHz 和 122.88MHz 输出可以共享单独的 VDDO 电源。
   - 请参阅*电源轨时序、电源斜升速率和混合电源域*。

Copyright © 2025 Texas Instruments Incorporated

9.2.3 应用曲线

请参阅典型特性部分，了解表 9-3 所示的相位噪声图。

表 9-3. 输出时钟相位噪声曲线摘要

输出频率 [MHz]	输出格式	APLL 源	图形链接
491.52MHz	HSDS	BAW	转到
245.76MHz	HSDS	BAW	转到
122.88MHz	HSDS	BAW	转到
312.5MHz	HSDS	传统 LC (APLL2)	转到
322.265625MHz	HSDS	传统 LC (APLL2)	转到
212.5MHz	HSDS	传统 LC (APLL2)	转到
161.1328125MHz	HSDS	传统 LC (APLL2)	转到
155.52MHz	HSDS	传统 LC (APLL2)	转到
153.6MHz	HSDS	传统 LC (APLL2)	转到
312.5MHz	HSDS	传统 LC (APLL1)	转到
100MHz	HSDS	传统 LC (APLL1)	转到

9.3 最佳设计实践

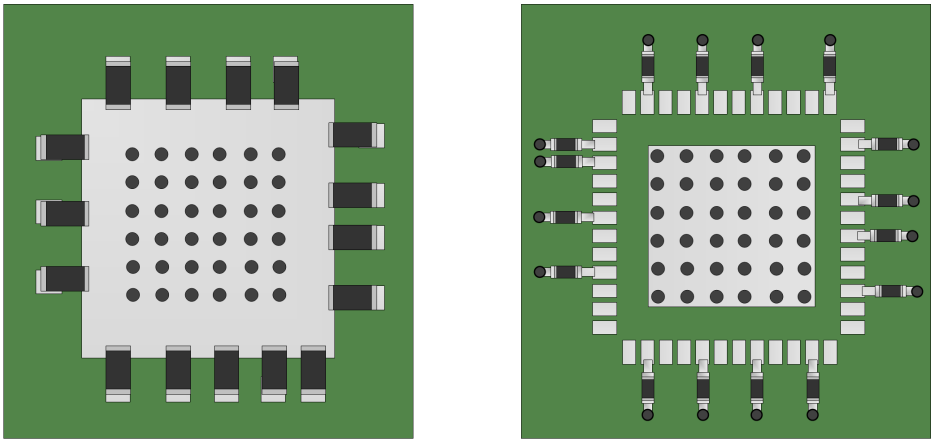
- 通过寄存器关断未使用的块以最大限度降低功耗。
- 使用适当的源或负载终端来匹配任何进出器件的有源信号的输入和输出时钟布线阻抗。
- 将未使用的时钟输出保持悬空状态并通过寄存器控制使其断电。
- 将未使用的时钟输入保持悬空。
- 如有需要，可以在每个 GPIO 引脚上连接外部偏置电阻（10kΩ 电阻用于上拉至 3.3V，或 10kΩ 电阻用于下拉），以便在 POR 期间选择器件运行模式。
- 考虑将每个 GPIO 引脚连接至主机器件的测试点或高阻抗输入端来监控器件状态输出。
- 考虑使用 LDO 稳压器为外部 XO/TCXO/OCXO 源供电。
  - 振荡器时钟上的高抖动和杂散通常是由电源上的高频谱噪声和纹波引起。
- 包括用于访问器件 I^2C 或 SPI 接口的专用接头以及接地的插头引脚。
  - 这样可以使用 TI USB2ANY 接口和 TICS Pro 软件工具对器件启动、原型设计和诊断进行非板载编程。

9.4 电源相关建议

9.4.1 电源旁路

图 9-4 展示了电源旁路电容器在 PCB 背面或元件侧的两种常见放置方式。如果电容器安装在背面，则可以采用 0402 元件。如果安装在组件侧，请使用 0201 封装尺寸的电容器以方便信号布线。元件侧和背面的放置方式可以组合使用。使旁路电容器与器件电源之间的连接尽可能短。使用与接地平面的低阻抗连接使电容器的另一侧接地。

Copyright © 2025 Texas Instruments Incorporated



（**不要**指示器件电源引脚的实际位置）

图 9-4. 电源旁路电容器的一般放置方式

9.5 布局

9.5.1 布局指南

- 将输入、XO/OCXO/TCXO 和输出时钟与具有不同频率的相邻时钟和其他附近的动态信号进行隔离。
- 根据附近电路（例如、电源、FPGA、ASIC）的电源/接地噪声和热梯度以及系统级振动和冲击来考虑 XO/OCXO/TCXO 的放置和布局。这些因素会影响振荡器的频率稳定性/精度和瞬态性能。
- 避免时钟和动态逻辑信号的受控阻抗 50Ω 单端（或 100Ω 差分）布线上的阻抗不连续。
- 将旁路电容器放置在靠近 IC 同一侧的 VDD 和 VDDO 引脚处，或者直接放置在 PCB 另一侧的 IC 引脚下方。容值较大的去耦电容器可以放置在更远的位置。
- 将外部电容器靠近 CAP_x 和 LFx 引脚放置。
- 如有可能，使用多个过孔将宽电源引线连接到相应的电源岛或电源平面。
- 使用至少 6×6 的穿孔方式将 IC 接地/散热焊盘连接到 PCB 接地平面。
- 请参阅*机械、封装和可订购信息*部分中的焊盘图案示例、阻焊层详细信息和焊锡膏示例。

9.5.2 布局示例

以下是印刷电路板 (PCB) 布局布线示例，其中展示了热设计实践的应用以及器件 DAP 和 PCB 之间的低电感接地连接。靠近 DAP 放置电源去耦电容器的接地回路。所有配置为差分信号的 OUTx 对必须进行差分布线，并满足布线阻抗要求（通常为 100 欧姆差分）。

图 9-5. LMK5C23208A 的 PCB 布局示例，顶层

Copyright © 2025 Texas Instruments Incorporated

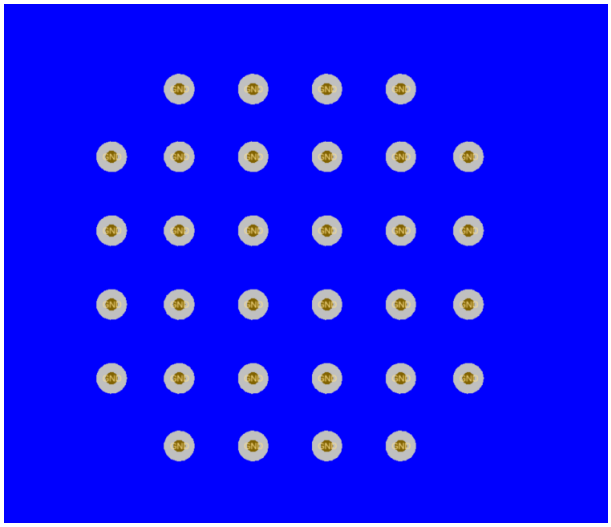


图 9-6. LMK5C23208A 的 PCB 布局示例，底层

9.5.3 热可靠性

LMK5C23208A 是一款高性能器件。为了提供良好的电气性能和热性能，TI 建议使用至少 6×6 的通孔图案与多个 PCB 接地层连接，在 IC 接地或散热焊盘与 PCB 接地之间设计一个热增强型接口（请参阅图 9-7）。

Copyright © 2025 Texas Instruments Incorporated

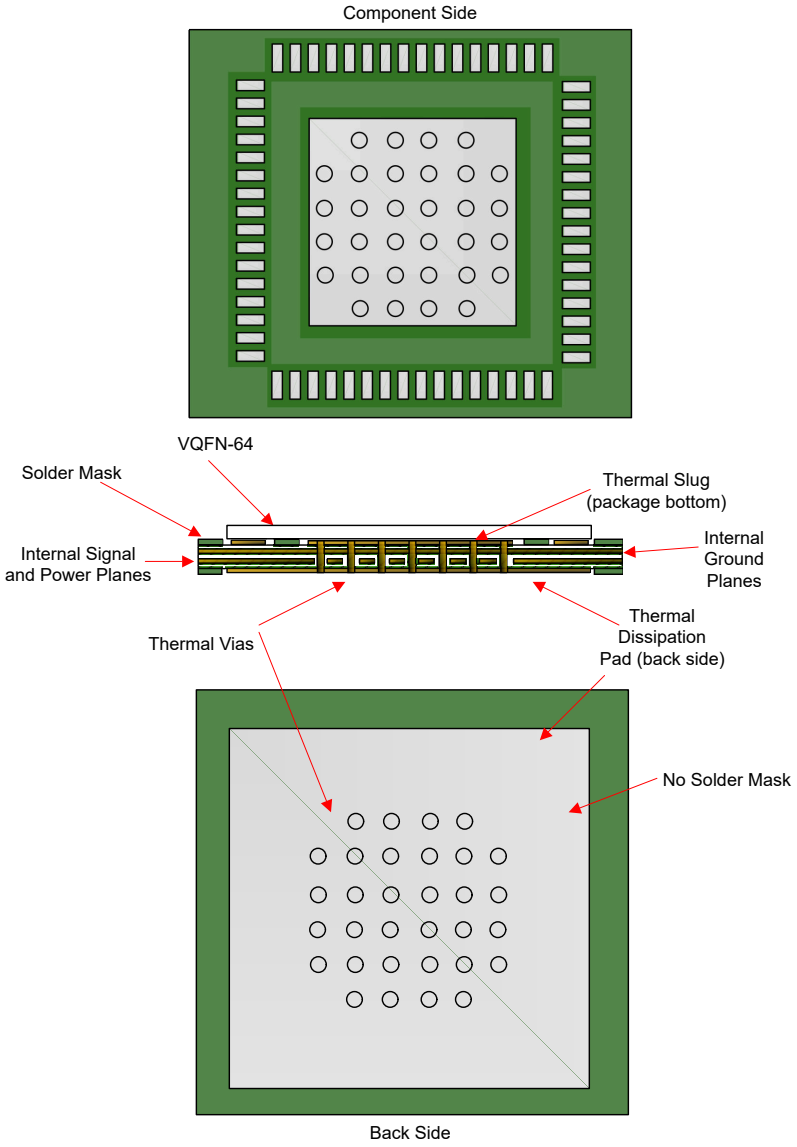


图 9-7. 可实现热可靠性的通用 PCB 接地布局（建议 8 层以上）

Copyright © 2025 Texas Instruments Incorporated

10 器件和文档支持

10.1 器件支持

10.1.1 开发支持

10.1.1.1 时钟树架构编程软件

时钟树架构是一款时钟树综合工具，可根据您的系统要求生成时钟树解决方案，从而帮助您简化设计流程。该工具从庞大的时钟产品数据库中提取数据，然后生成系统级多芯片时钟解决方案。

10.1.1.2 德州仪器 (TI) 时钟和合成器 (TICS) Pro 软件

德州仪器 (TI) 时钟和合成器 (TICS) 专业软件用于对具有以下前缀的产品编号的评估模块 (EVM) 进行编程：CDC、LMK 和 LMX。这些产品包括锁相环和电压控制振荡器 (PLL+VCO)、合成器和时钟器件。

10.1.1.3 PLLatinum™ 仿真工具

PLLATINUMSIM-SW PLLatinum™ 仿真工具允许用户创建我们 PLLatinum™ 集成电路的详细设计和仿真，其中包括 LMK 和 LMX 系列锁相环 (PLL) 和合成器。

10.2 文档支持

10.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，
- 德州仪器 (TI)，*LMK5B33216 编程人员指南*

10.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.5 商标

PLLatinum™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

10.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Copyright © 2025 Texas Instruments Incorporated

日期	修订版本	注释
May 2025	*	初始发行版

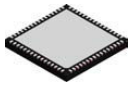
12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

12.1 机械数据

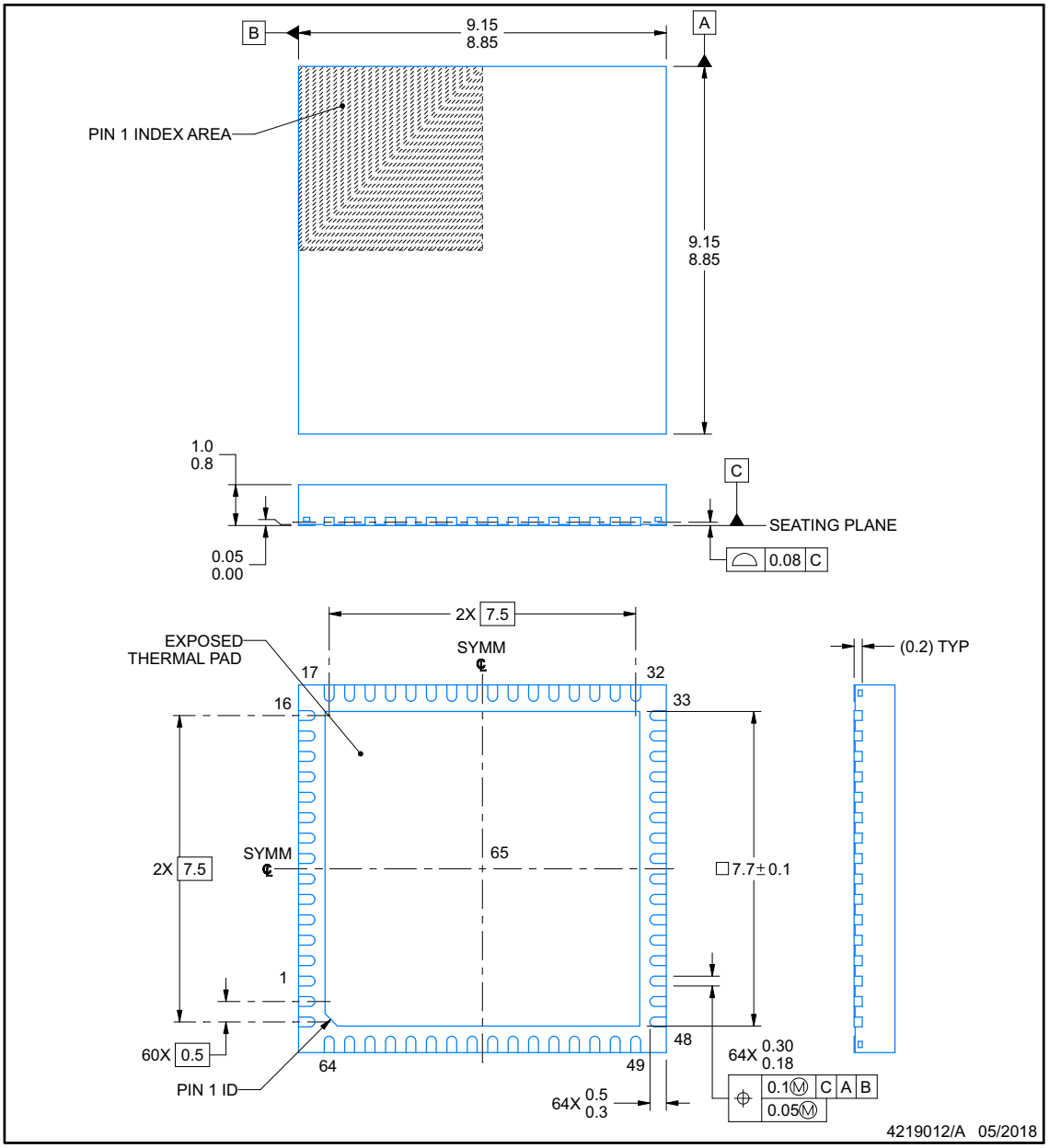
RGC0064J



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

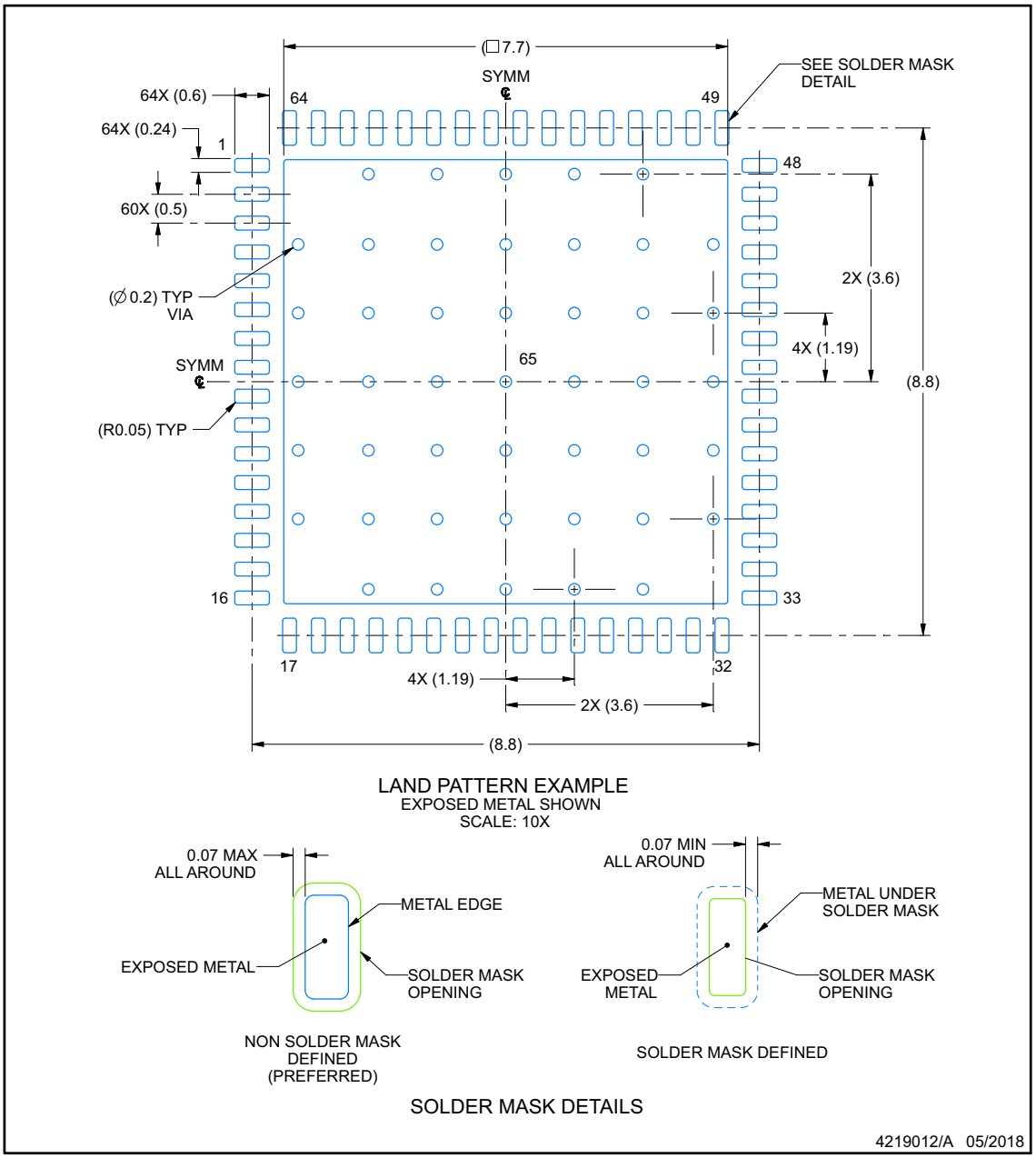
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RGC0064J — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

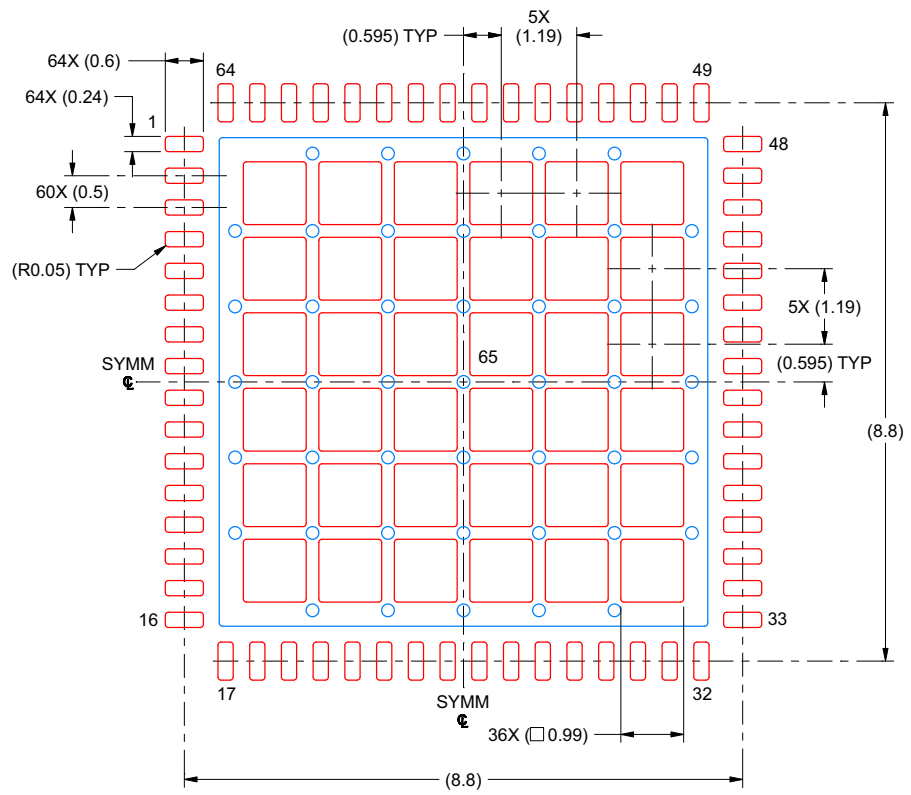
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGC0064J

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 10X

EXPOSED PAD 65
60% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4219012/A 05/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

封装信息

可订购器件	状态(1)	封装类型	封装图	引脚	封装数量	RoHS(2)	引脚镀层/焊球材料(6)	MSL 峰值温度(3)	工作温度 (°C)	器件标识(4) (5)
LMK5C23208ARGCR	运行	VQFN	RGC	64	2500	是	NIPDAU	Level-3-260C-168 HR	-40 至 85	LK5C23208A
LMK5C23208ARGCT	运行	VQFN	RGC	64	250	是	NIPDAU	Level-3-260C-168 HR	-40 至 85	LK5C23208A

(1) 销售状态值定义如下：
正在供货：建议用于新设计的产品器件。
限期购买：TI 已宣布器件即将停产，但仍在购买期限内。
NRND：不推荐用于新设计。为支持现有客户，器件仍在生产，但 TI 不建议在新设计中使用此器件。**预发布：**器件已发布，但未量产。可能提供样片，也可能无法提供样片。
已停产：TI 已停止生产该器件。

(2) **RoHS：**TI 定义的“RoHS”是指半导体产品符合针对所有 10 种 RoHS 物质的现行 EU RoHS 要求，包括要求 RoHS 物质不超过均质材料总重量的 0.1%。因在设计时就考虑到了高温焊接要求，因此“RoHS”产品适用于指定的无铅作业。TI 可将这类产品标记为“无铅”。
RoHS 豁免：TI 定义的“RoHS 豁免”是指含铅、但根据特定 EU RoHS 豁免规定符合 EU RoHS 标准的产品。
绿色：TI 定义的“绿色”是指氯 (CL) 和溴 (Br) 阻燃剂的含量符合 JS709B 中 <=1000ppm 阈值的低卤要求。基于三氧化二锑的阻燃剂也必须符合 <=1000ppm 的阈值要求。

(3) MSL，峰值温度- 湿敏等级额定值（符合 JEDEC 工业标准分级）和峰值焊接温度。

(4) 器件上可能还有与标识、批次跟踪代码信息或环境分类相关的其他标志。

(5) 如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

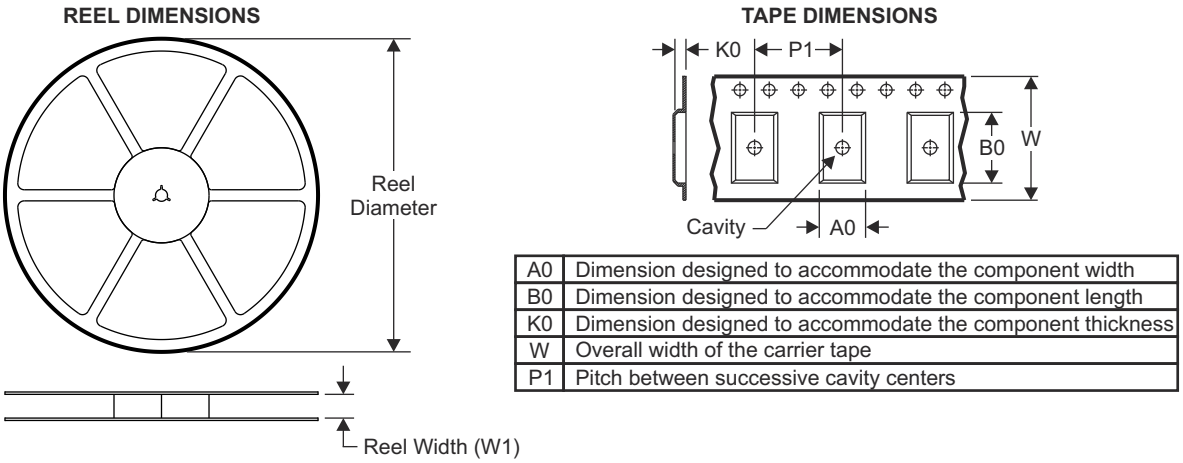
(6) 引脚镀层/焊球材料 - 可订购器件可能有多种镀层材料选项。各镀层选项用垂直线隔开。如果铅镀层/焊球值超出最大列宽，则会折为两行。

重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

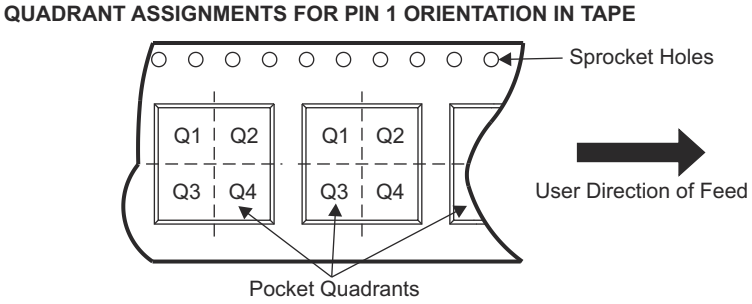
在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

Copyright © 2025 Texas Instruments Incorporated

12.2 卷带包装信息



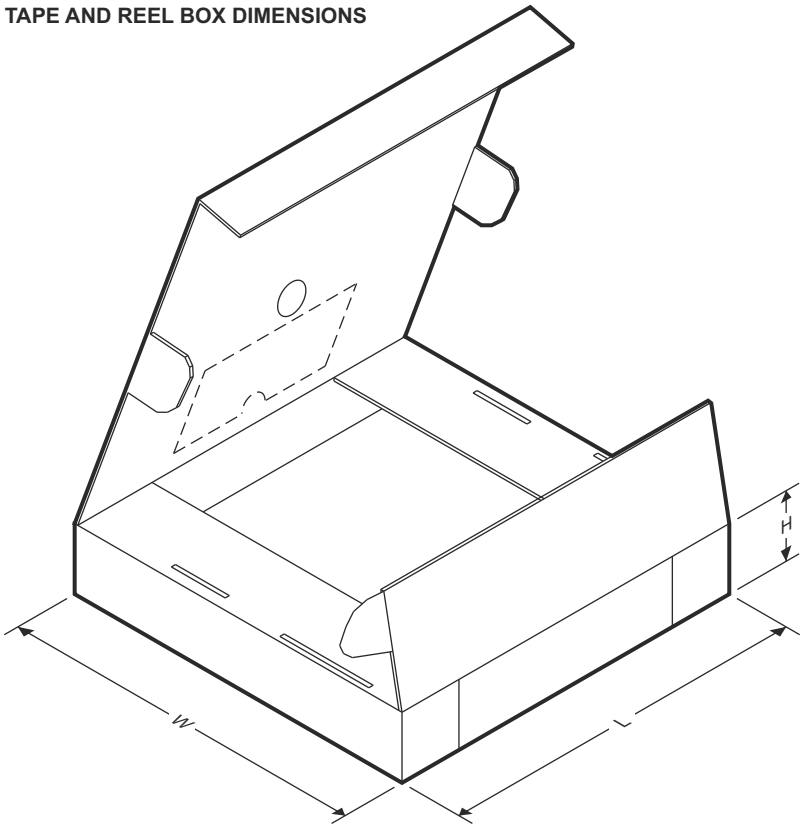
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



器件	封装类型	封装图	引脚	数量	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
LMK5C23208ARGCR	VqFN	RGC	64	2500	330	16.4	9.3	9.3	1.1	12	16	Q2
LMK5C23208ARGCT	VQFN	RGC	64	250	180	16.4	9.3	9.3	1.1	12	16	Q2

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	数量	长度 (mm)	宽度 (mm)	高度 (mm)
LMK5C23208ARGCR	VQFN	RGC	64	2500	367	367	38
LMK5C23208ARGCT	VQFN	RGC	64	250	210	185	35

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK5C23208ARGCR	Active	Production	VQFN (RGC) | 64	4000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	LK5C23208A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

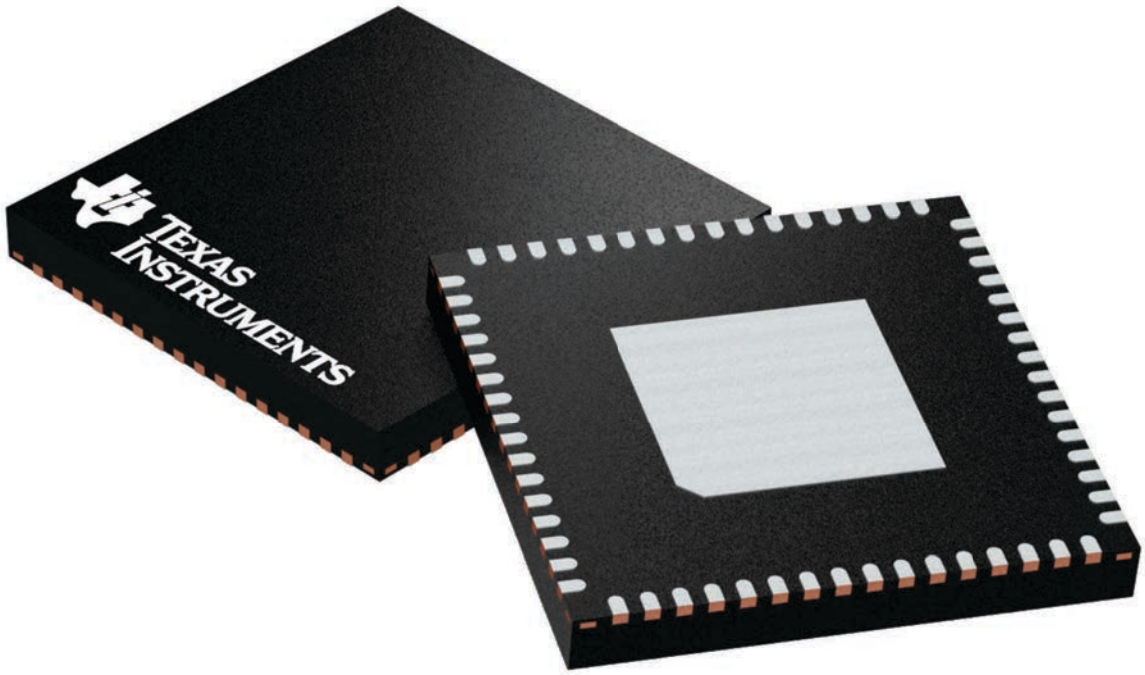
GENERIC PACKAGE VIEW

RGC 64

VQFN - 1 mm max height

9 x 9, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

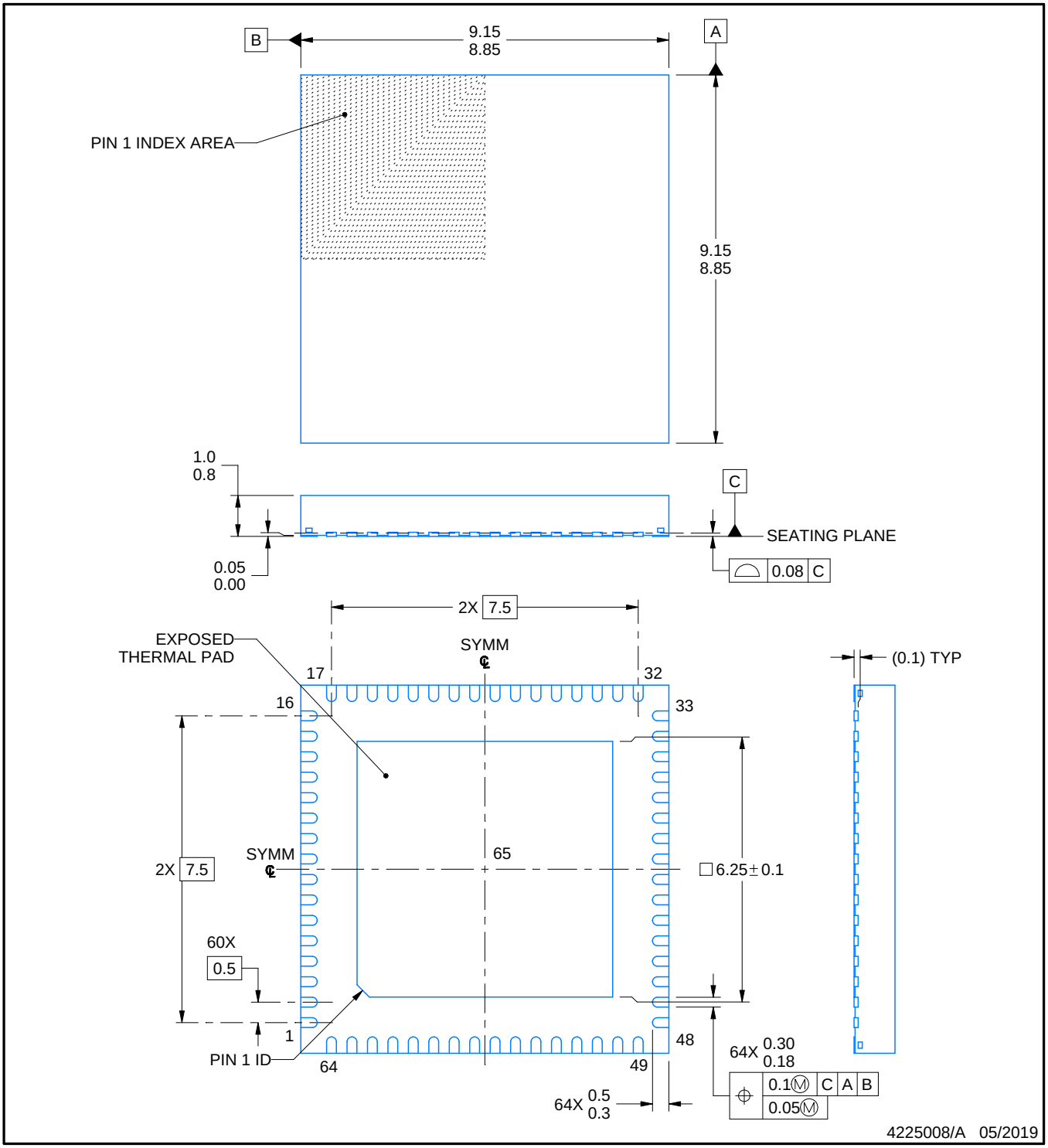
4224597/A

RGC0064E

PACKAGE OUTLINE

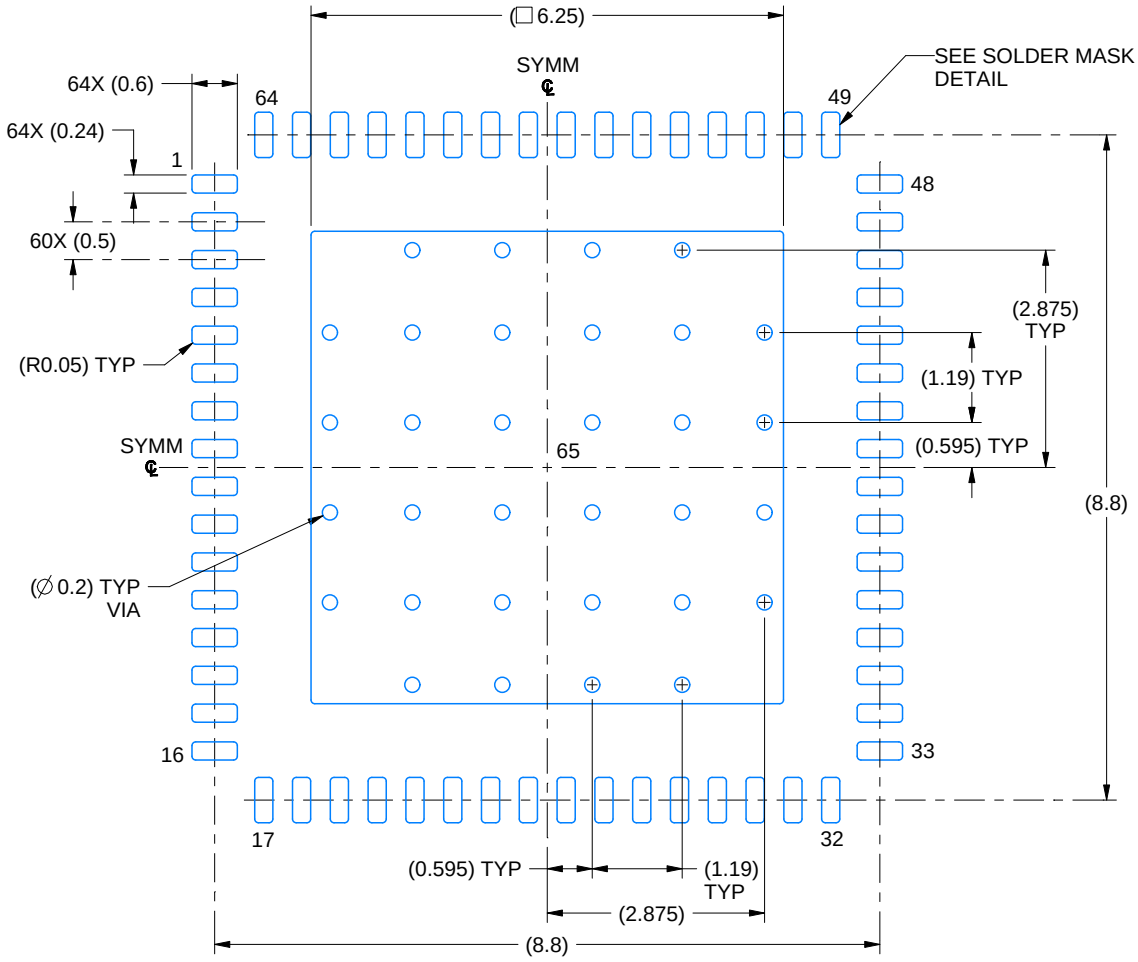
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

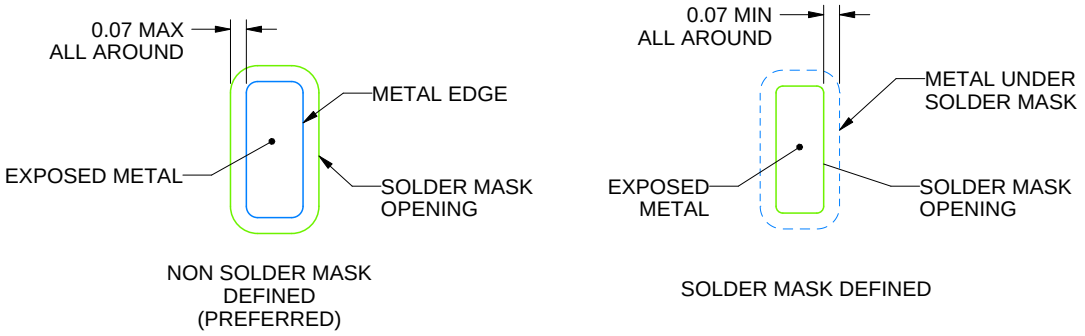


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

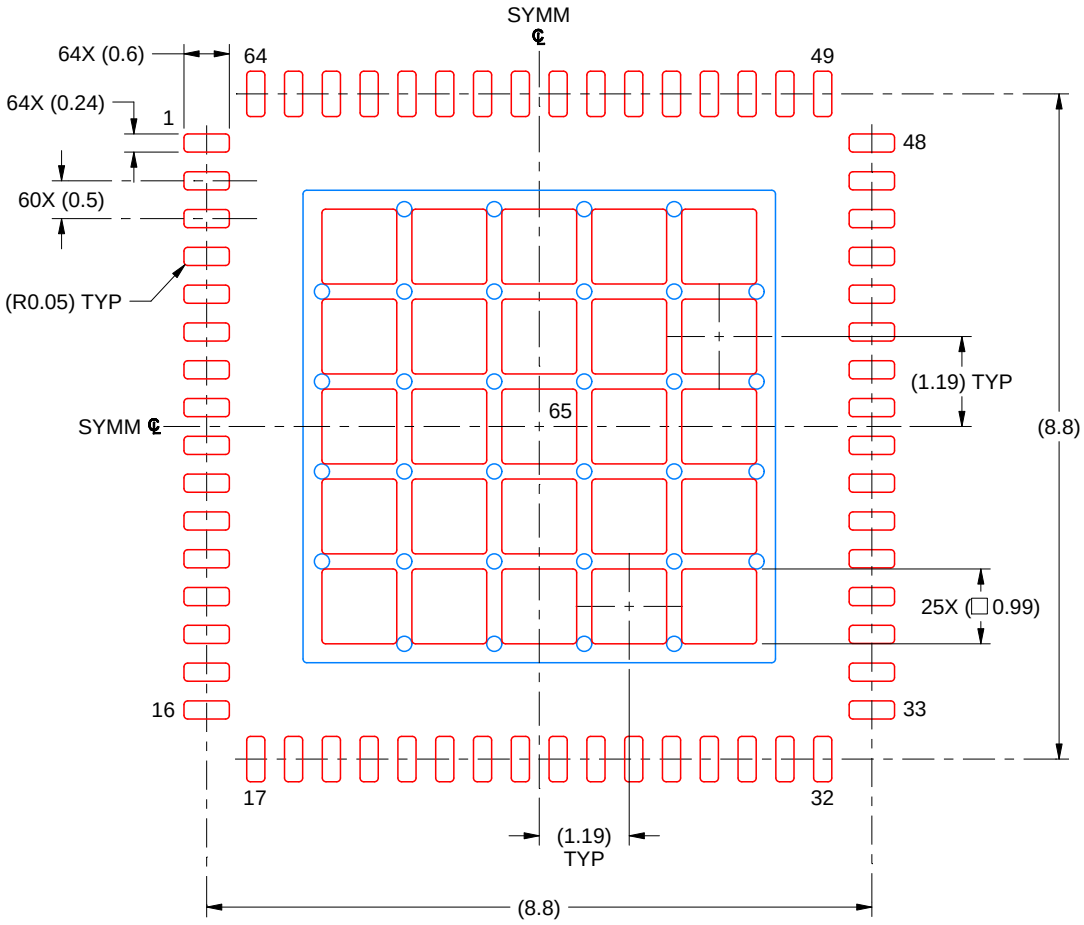


SOLDER MASK DETAILS

4225008/A 05/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 10X

EXPOSED PAD 65
63% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225008/A 05/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月