LMK3H2104 和 LMK3H2108 4 输出和 8 输出 PCIe 第 1 代至第 7 代兼容低抖动通用 BAW 时钟发生器

1 特性

- 集成 BAW 谐振器
  - 无需外部 XTAL/XO
- 灵活的输出频率
  - 2 个分数输出分频器 (FOD)，单个通道分频器
  - 高达 400MHz 输出频率
- 灵活的输出格式
  - 1.2/1.8/2.5/3.3V LVCMOS
  - 直流耦合或交流耦合 LVDS
  - 具有可编程摆幅的 LP-HCSL。LVPECL、CML 和其他格式可从 LP-HCSL 推导出来
- 极低抖动
  - 最大抖动限制为 61fs 的 PCIe 第 5 代通用时钟 (CC)，有 SSC 抖动
  - 最大抖动限制为 36.4fs 的 PCIe 第 6 代通用时钟 (CC)，有 SSC 抖动
  - 最大抖动限制为 25.5fs 的 PCIe 第 7 代通用时钟 (CC)，有 SSC 抖动
- 符合 PCIe 第 1 代到第 7 代标准
- 可配置 SSC
  - 可编程 -0.05% 至 -3% 向下展频和 ±0.025% 至 ±1.5% 中心展频，或预设 -0.1%、-0.25%、-0.3% 和 -0.5% 向下展频
- 可以旁路至任何输出端的 3 个输入 (LMK3H2108) 或 1 个输入(LMK3H2104)
- 5ms 最大启动时间
- 器件电源关闭时，可以将失效防护输入引脚拉至高电平
- 灵活的电源配置
  - 每个 VDD 引脚都可以独立连接，提供至 1.8V、2.5V 或 3.3V 电压
  - 每个 VDDO 引脚都可以独立连接且设置为 1.8V、2.5V 或 3.3V 电压
- –40°C 至 105°C 环境温度

2 应用

- 高性能计算服务器主板
- NIC、SmartNIC 和硬件加速
- PCIe 第 1 代到第 7 代时钟生成
- 通用时钟生成和 XO/XTAL 替代

3 说明

LMK3H2104 和 LMK3H2108 是基于 BAW 的时钟发生器，不需要任何外部 XTAL 或 XO。这些器件可用作 PCIe 时钟发生器或通用时钟发生器。2 个 FOD（分数输出分频器）在提供频率灵活性的同时实现低功耗和低抖动。

LMK3H2104 提供多达 4 个差分输出以及 2 个 LVCMOS 输出，或者提供多达 10 个 LVCMOS 输出。LMK3H2108 提供多达 8 个差分输出或 16 个 LVCMOS 输出。

LMK3H2104 具有 1 个时钟输入，LMK3H2108 具有 3 个时钟输入。时钟输入提供时钟多路复用和缓冲功能。每个输出组可以独立选择任何时钟源。

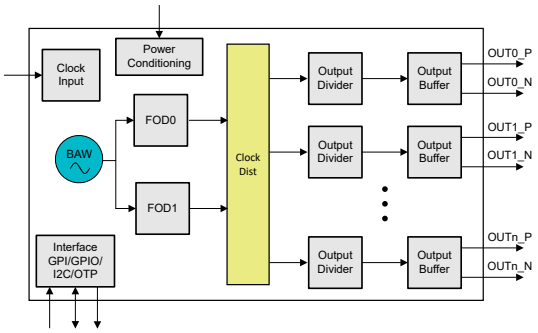
GPI 和 GPIO 引脚提供了额外的控制灵活性。这些引脚可以配置为单独 OE、分组 OE、I2C 地址选择、OTP 页面选择、PWRGD/PWRDN#、状态输出和其他功能。

该器件支持一次性可编程 (OTP) 非易失性存储器，后者可定制亦可出厂预编程。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMK3H2104	RGE0024AA（QFN，24）	4.0mm × 4.0mm
LMK3H2104	RGE0024AB（QFN，24）	4.0mm × 4.0mm
LMK3H2108	RKP0040A（QFN，40）	5.0mm × 5.0mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 6
5.1 绝对最大额定值 6
5.2 ESD 等级 6
5.3 建议运行条件 6
5.4 热性能信息 7
5.5 电气特性 7
5.6 I2C 特性 22
6 参数测量信息 24
6.1 LP-HCSL 测试或仿真负载 24
6.2 LVDS 测试负载 25
6.3 LVCMOS 测试负载 25
7 详细说明 26
7.1 概述 26
7.2 功能方框图 26
7.3 特性说明 27
7.4 SSC 51
7.5 器件功能模式 53
7.6 编程 54
8 应用和实施 56
8.1 应用信息 56
8.2 典型应用 56
8.3 电源相关建议 61
8.4 布局 61
9 器件和文档支持 63
9.1 文档支持 63
9.2 接收文档更新通知 63
9.3 支持资源 63
9.4 商标 63
9.5 静电放电警告 63
9.6 术语表 63
10 修订历史记录 63
11 机械、封装和可订购信息 63
11.1 卷带包装信息 64

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

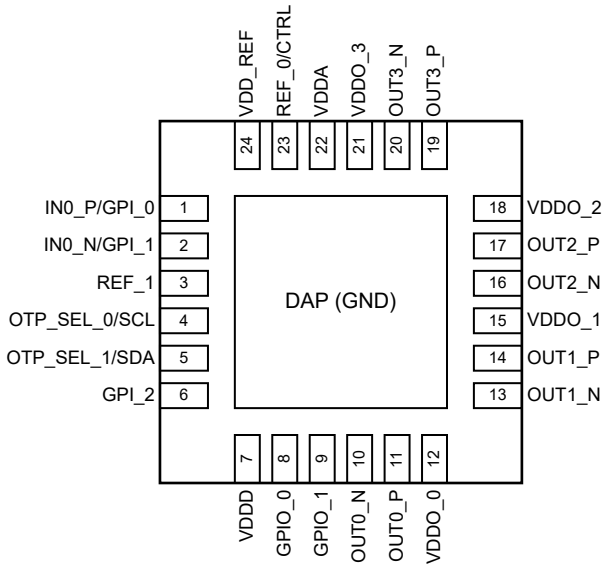


图 4-1. LMK3H2104 RGE 封装 24 引脚 QFN 顶视图

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
IN0_P/GPI_0	1	I	差分时钟输入或通用输入。这些是失效防护输入引脚。如果未使用，则保持悬空。
IN0_N/GPI_1	2	I	
REF_1	3	O	1.8V、2.5V 或 3.3V LVCMOS 时钟输出。此输出可以禁用为低电平或三态。如果未使用，则保持悬空。
OTP_SEL_0/SCL	4	I	多功能引脚。功能由引脚 23 在上电时确定。默认情况下，两个引脚上的内部下拉电阻器。SCL 具有失效防护功能。 • OTP 模式：OTP_SEL_[1:0] 从 4 个 OTP 页面中选择 1 个 • I2C 模式：SCL，SDA
OTP_SEL_1/SDA	5	I/O	
GPI_2	6	I	通用输入。失效防护引脚。如果未使用，则保持悬空
VDDD	7	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
GPIO_0	8	I/O	通用输入或输出。如果未使用，则保持悬空。
GPIO_1	9	I/O	通用输入或输出。如果未使用，则保持悬空或连接到 VDD。如果连接到 VDD，则不得将 GPIO_1 配置为输出。
OUT0_N	10	O	差分时钟输出入 0。支持 LP-HCSL（85Ω 或 100Ω）、LVDS 和 1.2V、1.8V、2.5V 或 3.3V LVCMOS。如果未使用，则保持悬空。
OUT0_P	11	O	
VDDO_0	12	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
OUT1_N	13	O	差分时钟输出入 1。支持 LP-HCSL（85Ω 或 100Ω）、LVDS 和 1.2V、1.8V、2.5V 或 3.3V LVCMOS。如果未使用，则保持悬空。
OUT1_P	14	O	
VDDO_1	15	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
OUT2_N	16	O	差分时钟输出入 2。支持 LP-HCSL（85Ω 或 100Ω）、LVDS 和 1.2V、1.8V、2.5V 或 3.3V LVCMOS。如果未使用，则保持悬空。
OUT2_P	17	O	
VDDO_2	18	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
OUT3_P	19	O	差分时钟输出入 3。支持 LP-HCSL（85Ω 或 100Ω）、LVDS 和 1.2V、1.8V、2.5V 或 3.3V LVCMOS。如果未使用，则保持悬空。
OUT3_N	20	O	

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
VDDO_3	21	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
VDDA	22	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
REF_0/CTRL	23	I/O	多功能引脚。上电时该引脚的状态被锁存，以决定引脚 4 和引脚 5 的功能。未提供内部上拉或下拉电阻器。必须从外部将该引脚拉至高电平或低电平。 • 上电时为低电平：I2C 模式。Pin 4、5 = SCL、SDA • 上电时为高电平：OTP 模式。Pin 4、5 = OTP_SEL_0、OTP_SEL_1 上电后，该引脚可以输出 1.8V、2.5V、3.3V LVCMOS 时钟，或者禁用为低电平或三态。
VDD_REF	24	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
DAP	25	G	接地

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

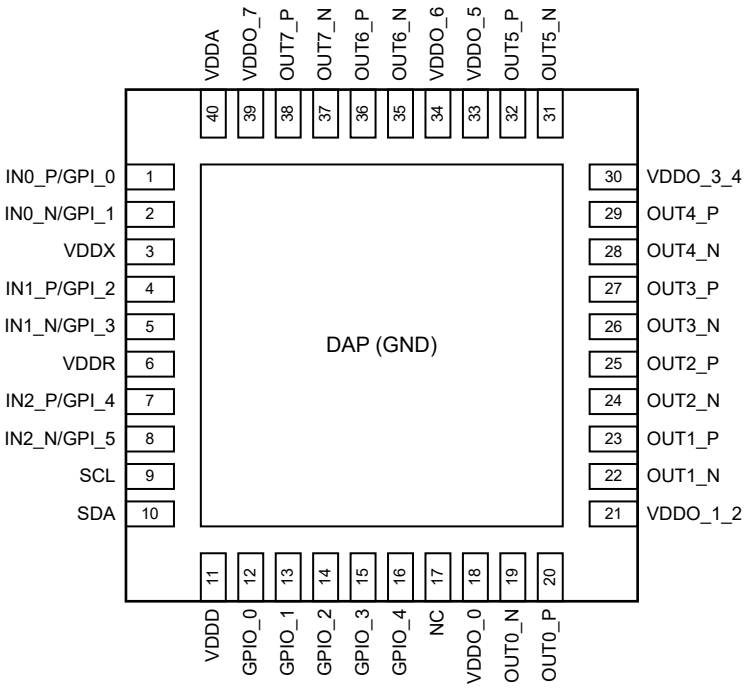


图 4-2. LMK3H2108 RKP 封装 40 引脚 QFN（顶视图）

表 4-2. 引脚功能

引脚		类型(1)	说明
名称	编号		
IN0_P/GPI_0	1	I	差分时钟输入或通用输入。这些是失效防护输入引脚。如果未使用，则保持悬空。
IN0_N/GPI_1	2	I	
VDDX	3	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
IN1_P/GPI_2	4	I	差分时钟输入或通用输入。这些是失效防护输入引脚。如果未使用，则保持悬空。
IN1_N/GPI_3	5	I	
VDDR	6	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
IN2_P/GPI_4	7	I	差分时钟输入或通用输入。这些是失效防护输入引脚。如果未使用，则保持悬空。
IN2_N/GPI_5	8	I	
SCL	9	I	I2C 时钟

Copyright © 2025 Texas Instruments Incorporated

表 4-2. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
SDA	10	I/O	I2C 数据
VDDD	11	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
GPIO_0	12	I/O	通用输入或输出。如果未使用，则保持悬空。
GPIO_1	13	I/O	通用输入或输出。如果未使用，则保持悬空。
GPIO_2	14	I/O	通用输入或输出。如果未使用，则保持悬空。
GPIO_3	15	I/O	通用输入或输出。如果未使用，则保持悬空。
GPIO_4	16	I/O	通用输入或输出。如果未使用，则保持悬空。
NC	17	不适用	无连接。保持悬空或连接到 GND
VDDO_0	18	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
OUT0_N	19	O	差分时钟输出入 0。支持 LP-HCSL（85Ω 或 100Ω）、LVDS 和 1.2V、1.8V、2.5V 或 3.3V LVCMOS。如果未使用，则保持悬空。
OUT0_P	20	O	
VDDO_1_2	21	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
OUT1_N	22	O	差分时钟输出入 1。支持 LP-HCSL（85Ω 或 100Ω）、LVDS 和 1.2V、1.8V、2.5V 或 3.3V LVCMOS。如果未使用，则保持悬空。
OUT1_P	23	O	
OUT2_N	24	O	差分时钟输出入 2。支持 LP-HCSL（85Ω 或 100Ω）、LVDS 和 1.2V、1.8V、2.5V 或 3.3V LVCMOS。如果未使用，则保持悬空。
OUT2_P	25	O	
OUT3_N	26	O	差分时钟输出入 3。支持 LP-HCSL（85Ω 或 100Ω）、LVDS 和 1.2V、1.8V、2.5V 或 3.3V LVCMOS。如果未使用，则保持悬空。
OUT3_P	27	O	
OUT4_N	28	O	差分时钟输出入 4。支持 LP-HCSL（85Ω 或 100Ω）、LVDS 和 1.2V、1.8V、2.5V 或 3.3V LVCMOS。如果未使用，则保持悬空。
OUT4_P	29	O	
VDDO_3_4	30	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
OUT5_N	31	O	差分时钟输出入 5。支持 LP-HCSL（85Ω 或 100Ω）、LVDS 和 1.2V、1.8V、2.5V 或 3.3V LVCMOS。如果未使用，则保持悬空。
OUT5_P	32	O	
VDDO_5	33	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
VDDO_6	34	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
OUT6_N	35	O	差分时钟输出入 6。支持 LP-HCSL（85Ω 或 100Ω）、LVDS 和 1.2V、1.8V、2.5V 或 3.3V LVCMOS。如果未使用，则保持悬空。
OUT6_P	36	O	
OUT7_N	37	O	差分时钟输出入 7。支持 LP-HCSL（85Ω 或 100Ω）、LVDS 和 1.2V、1.8V、2.5V 或 3.3V LVCMOS。如果未使用，则保持悬空。
OUT7_P	38	O	
VDDO_7	39	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
VDDA	40	P	1.8V、2.5V 或 3.3V 电源。有关 VDD 映射，请参阅 电源引脚映射
DAP	41	G	接地

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{DD}	器件电源电压	-0.3	3.9	V
V_{DDO}	输出电源电压	-0.3	3.9	V
V_{OUT}	施加到 OUTx_P 和 OUTx_N 引脚的电压（当输出为高电平或低电平时）	-0.3	VDDO_x + 0.3	V
	施加到 OUTx_P 和 OUTx_N 引脚的电压（当输出为 LVCMOS 三态时）	-0.3	1.89	V
	施加到 OUTx_P 和 OUTx_N 引脚的电压（当输出为 LP-HCSL 或 LVDS 三态时）	-0.3	1.5	V
T_{stg}	贮存温度	-65	125	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JS-002，所有引脚(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

V_{DD} = V_{DDO} = 1.8V、2.5V 或 3.3V ± 5%，T_A = $T_{A,min}$ 至 $T_{A,max}$

		最小值	标称值	最大值	单位
V_{DD}	器件电源电压	1.71	1.8	1.89	V
		2.375	2.5	2.625	V
		3.135	3.3	3.465	V
V_{DDO}	输出电源电压	1.71	1.8	1.89	V
		2.375	2.5	2.625	V
		3.135	3.3	3.465	V
V_{IN}	IN_x、GPI、OTP_SEL、SCL、SDA 引脚输入电压	-0.3		3.6	V
	GPIO 或 CTRL 引脚输入电压	-0.3		V_{DD} + 0.3	V
T_A	环境温度	-40		105	°C
T_J	结温	-40		110	°C
t_{ramp}	电源斜坡时间。VDD = 1.8V	0.05		5	ms
	电源斜坡时间。VDD = 2.5V 或 3.3V	0.05		5	ms

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		LMK3H2108 RKP0040A (VQFN) 40 引脚	LMK3H2104 RGE0024AA (VQFN) 24 引脚	LMK3H2104 RGE0024AB (VQFN) 24 引脚	单位
$R_{\theta JA}$	结至环境热阻	31.8	53.0	39.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	22.0	32.5	32.4	°C/W
$R_{\theta JB}$	结至电路板热阻	12.7	26.1	16.9	°C/W
Ψ_{JT}	结至顶部特征参数	0.6	0.9	0.6	°C/W
Ψ_{JB}	结至电路板特征参数	12.7	26.0	16.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.3	5.1	3.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

5.5 电气特性

参数		测试条件	最小值	典型值	最大值	单位
频率稳定性						
Δf_{total}	总频率误差。包括所有因素以及 25°C 下的 10 年老化	T_A = -40 至 105°C	-25		25	ppm
$\Delta f_{aging,25°C}$	25°C 老化导致的频率误差	T_A = 25°C，1 年老化	1.0		3.6	ppm
		T_A = 25°C，3 年老化	1.2		5.0	ppm
		T_A = 25°C，5 年老化	1.3		5.7	ppm
		T_A = 25°C，10 年老化	1.4		6.5	ppm
		T_A = 25°C，20 年老化	1.6		7.4	ppm
时钟输入要求						
f_{IN}	输入频率	LVCMOS 输入缓冲器	0		200	MHz
		差分输入缓冲器	25		400	MHz
DC_{IN}	时钟输入占空比		40		60	%
V_{IN}	差分时钟输入幅度（差分峰峰值电压的一半）	$f_0 \leq$ 300MHz	150		1200	mV
		300MHz < $f_0 \leq$ 400MHz	150		1200	mV
V_{CM}	差分输入共模		0.2		3.3	V
V_{IH}	单端时钟输入高电压		1.2		3.6	V
V_{IL}	单端时钟输入低电压		-0.3		0.5	V
dV_{IN}/dt	时钟输入压摆率	20% 至 80%	0.15			V/ns
C_{IN}	时钟输入电容（每个引脚）。INx 配置为时钟输入时，INx_P 引脚或 INx_N 引脚上的电容	共模电压 = 0.7V。内部输入端接禁用		2.7		pF
		共模电压 = 0.7V 内部 100Ω 差分端接启用		1.4		pF
		共模电压 = 1.2V。内部输入端接禁用		2.5		pF
		共模电压 = 1.2V 内部 100Ω 差分端接启用		1.3		pF
		共模电压 = 3.3V。内部输入端接禁用		3.4		pF
		共模电压 = 3.3V 内部 100Ω 差分端接启用		1.4		pF
LP-HCSL 时钟输出特性						

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
f_{out}	输出频率		2.5		400	MHz
V_{min}	包括下冲的输出电压低电平		-85		85	mV
$V_{overshoot}$	输出电压高过冲电平	V_{max} – V_{OH}			120	mV
V_{OH}	输出高电压(4)	OUTx_LPHCSL_VOD_SEL = 0	612	686	758	mV
		OUTx_LPHCSL_VOD_SEL = 1	638	714	789	mV
		OUTx_LPHCSL_VOD_SEL = 2	663	741	818	mV
		OUTx_LPHCSL_VOD_SEL = 3	687	768	849	mV
		OUTx_LPHCSL_VOD_SEL = 4	712	793	877	mV
		OUTx_LPHCSL_VOD_SEL = 5	734	817	905	mV
		OUTx_LPHCSL_VOD_SEL = 6	704	794	877	mV
		OUTx_LPHCSL_VOD_SEL = 7	727	820	906	mV
		OUTx_LPHCSL_VOD_SEL = 8	726	823	913	mV
		OUTx_LPHCSL_VOD_SEL = 9	748	847	941	mV
		OUTx_LPHCSL_VOD_SEL = 10	769	872	967	mV
		OUTx_LPHCSL_VOD_SEL = 11	792	896	996	mV
		OUTx_LPHCSL_VOD_SEL = 12	815	921	1023	mV
		OUTx_LPHCSL_VOD_SEL = 13	836	945	1050	mV
		OUTx_LPHCSL_VOD_SEL = 14	858	969	1080	mV
		OUTx_LPHCSL_VOD_SEL = 15	879	993	1107	mV
Z_{diff}	LP-HCSL 静态差分阻抗	85Ω LP-HCSL	68	85	102	Ω
		100Ω LP-HCSL	80	100	120	Ω
dV/dt	输出压摆率（上升沿和下降沿）。在差分波形上从 –150mV 到 +150mV 测量，以过零点为中心。	OUTx_SLEW_RATE = 0(1)	2.4	3.1	3.7	V/ns
		OUTx_SLEW_RATE = 1(1)	2.2	2.9	3.4	V/ns
		OUTx_SLEW_RATE = 2(1)	2	2.6	3.1	V/ns
		OUTx_SLEW_RATE = 3(1)	1.8	2.3	2.8	V/ns
ΔdV/dt	上升沿速率与下降沿速率匹配	(1)			20	%
ODC	输出占空比	(1)	45		55	%
		f_{out} ≤ 325MHz	45		55	%
		325MHz < f_{out} ≤ 400MHz	45		55	%
t_{skew}	输出到输出偏斜	相同时钟源			100	ps
V_{cross}	绝对交叉点电压	(1)	250		550	mV

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
ΔV_{cross}	V_{cross} 在所有时钟边沿上的变化	(1)			140	mV
$\|V_{RB}\|$	回铃电压绝对值	(1)	100			mV
t_{stable}	允许 V_{RB} 之前的时间	(1)	500			ps
$J_{cycle-to-cycle}$	周期间抖动，通用时钟无 SSC	(1)			150	ps
$J_{cycle-to-cycle}$	周期间抖动，通用时钟，-0.5% SSC	(1)			150	ps
t_{period_abs}	绝对周期，包括抖动和 SSC	(1)	9.949	10	10.101	ns
$t_{period_avg_CC}$	平均时钟周期精度，通用时钟	(1)	-100		2600	ppm
$t_{period_avg_SRIS}$	平均时钟周期精度，SRIS	(1)	-100		1600	ppm
V_{OH-DC}	输出电压高电平	直流仿真负载，85Ω LP-HCSL，OUTx_LPHCSL_VOD_SEL = 4	225		270	mV
V_{OL-DC}	输出电压低电平		10		150	mV
$V_{cross-DC}$	绝对交叉点电压		130		200	mV
LVDS 时钟输出特性						
f_{out}	输出频率		2.5		400	MHz
$\|V_{OD}\|$	差分输出电压 $\|V_{OUTP} - V_{OUTN}\|$ 的稳态幅度		250		450	mV
$\Delta V_{pp-diff}$	互补输出状态之间差分输出电压摆幅的变化				50	mV
V_{OS}	稳态输出失调电压（共模电压）	VDDO_x = 3.3V	1.075		1.425	V
		VDDO_x = 2.5V	1.05		1.4	V
		VDDO_x = 1.8V	1		1.25	V
ΔV_{OS}	互补输出状态之间 V_{OS} 的变化				50	mV
I_{SA}、I_{SB}	短路电流。发电机输出端子短接至发电机电路公共端时的电流大小		-24		24	mA
I_{SAB}	短路电流。发电机输出端子相互短路时的电流大小		-12		12	mA
t_R，t_F	20% 至 80% 差分上升/下降时间	OUTx_SLEW_RATE = 0			385	ps
		OUTx_SLEW_RATE = 1			545	ps
		OUTx_SLEW_RATE = 2			710	ps
		OUTx_SLEW_RATE = 3			850	ps
t_{skew}	输出到输出偏斜	相同时钟源			100	ps
ODC	输出占空比		45		55	%
LVCMOS 时钟输出特性						
f_{out}	输出频率。时钟源为 FOD 或边缘组合器	OUT0	38.15×10^{-6}		200	MHz
		所有其他输出	156.25×10^{-3}		200	MHz
	输出频率。时钟源为 IN0、IN1 或 IN2		0		200	MHz
dV/dt	输出压摆率。VDDO = 3.3V ± 5%。在 20% 至 80% 范围内测得，4.7pF 负载	OUTx_CMOS_SLEW_RATE = 0	2		5.2	V/ns
		OUTx_CMOS_SLEW_RATE = 1	1.7		5	V/ns
		OUTx_CMOS_SLEW_RATE = 2	1.35		4	V/ns
		OUTx_CMOS_SLEW_RATE = 3	1		3.5	V/ns

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
dV/dt	输出压摆率。VDDO = 2.5V ± 5%。在 20% 至 80% 范围内测得，4.7pF 负载	OUTx_CMOS_SLEW_RATE = 0	1.5		3.9	V/ns
		OUTx_CMOS_SLEW_RATE = 1	1.3		3.8	V/ns
		OUTx_CMOS_SLEW_RATE = 2	1		3.1	V/ns
		OUTx_CMOS_SLEW_RATE = 3	0.75		2.7	V/ns
dV/dt	输出压摆率。VDDO = 1.8V ± 5%。在 20% 至 80% 范围内测得，4.7pF 负载	OUTx_CMOS_SLEW_RATE = 0	1.25		2.9	V/ns
		OUTx_CMOS_SLEW_RATE = 1	1.1		2.8	V/ns
		OUTx_CMOS_SLEW_RATE = 2	0.85		2.4	V/ns
		OUTx_CMOS_SLEW_RATE = 3	0.65		2.1	V/ns
dV/dt	输出压摆率。1.2V LVCMOS 模式。VDDO = 3.3V 或 2.5V。在 20% 至 80% 范围内测得，4.7pF 负载	OUTx_SLEW_RATE = 0	1.5		2.1	V/ns
		OUTx_SLEW_RATE = 1	1.3		1.9	V/ns
		OUTx_SLEW_RATE = 2	1.1		1.6	V/ns
		OUTx_SLEW_RATE = 3	1		1.5	V/ns
dV/dt	输出压摆率。1.2V LVCMOS 模式。VDDO = 1.8V。在 20% 至 80% 范围内测得，4.7pF 负载	OUTx_SLEW_RATE = 0	1.2		2.3	V/ns
		OUTx_SLEW_RATE = 1	1		2	V/ns
		OUTx_SLEW_RATE = 2	0.9		1.8	V/ns
		OUTx_SLEW_RATE = 3	0.8		1.6	V/ns
V_{OH}	输出高电压	I_{OH} = – 15mA (3.3V)	0.8 × VDDO		VDDO	V
		I_{OH} = – 12mA (2.5V)	0.8 × VDDO		VDDO	V
		I_{OH} = – 8mA (1.8V)	0.8 × VDDO		VDDO	V
V_{OL}	输出低电压	I_{OL} = 15mA (3.3V)	0		0.4	V
		I_{OL} = 12mA (2.5V)	0		0.4	
		I_{OL} = 8mA (1.8V)	0		0.4	
$V_{OH,1.2V}$	1.2V CMOS 模式下的输出高电压	编程为 1.2V。I_{OH} = -3mA	0.93		1.2	V
		编程为 1.1V。I_{OH} = -3mA	0.86		1.1	V
$V_{OL,1.2V}$	1.2V CMOS 模式下的输出低电压	I_{OL} = 3mA	0		0.24	V
$\lvert V_{OD,1.2V\ Diff}\rvert$	$\lvert V_{OUTP} - V_{OUTN}\rvert$.使用差分输出端接时，1.2V CMOS 模式下的输出摆幅	编程为 1.2V。100Ω 差分外部端接。2pF 负载。	539	600	660	mV
		编程为 1.1V。100Ω 差分外部端接。2pF 负载。	495	550	617	mV

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
$V_{OS,1.2V\ Diff}$	输出失调电压。使用差分输出端接时，1.2V CMOS 模式下的输出共模	编程为 1.2V。100Ω 差分外部端接。2pF 负载。	540	600	660	mV
		编程为 1.1V。100Ω 差分外部端接。2pF 负载。	495	550	605	mV
dV/dt	使用 100Ω 差分外部端接时，1.2V CMOS 模式下的差分输出压摆率。VDDO = 3.3V 或 2.5V ± 5%。在 20% 至 80% 范围内测得，2pF 负载	OUTx_SLEW_RATE = 0	2.8		3.3	V/ns
		OUTx_SLEW_RATE = 1	2.2		2.6	V/ns
		OUTx_SLEW_RATE = 2	1.8		2.1	V/ns
		OUTx_SLEW_RATE = 3	1.5		1.7	V/ns
	使用 100Ω 差分外部端接时，1.2V CMOS 模式下的差分输出压摆率。VDDO = 1.8V ± 5%。在 20% 至 80% 范围内测得，2pF 负载	OUTx_SLEW_RATE = 0	2.5		3.3	V/ns
		OUTx_SLEW_RATE = 1	2		2.6	V/ns
		OUTx_SLEW_RATE = 2	1.6		2.1	V/ns
		OUTx_SLEW_RATE = 3	1.3		1.8	V/ns
I_{leak}	输出泄漏电流	输出三态。VDD = VDDO = 3.465V	-35		35	µA
R_{out}	输出阻抗	3.3V LVCMOS		17		Ω
		2.5V LVCMOS		17		Ω
		1.8V LVCMOS		17		Ω
		1.2V LVCMOS	40	50	60	Ω
ODC	输出占空比	f_{out} ≤ 156.25MHz	45		55	%
		f_{out} > 156.25MHz	45		55	%
t_{skew}	输出到输出偏斜	相同时钟源			100	ps
C_{load}	最大负载电容				15	pF
LVCMOS REFCLK 特性						
f_{out}	输出频率		0		200	MHz
dV/dt	输出压摆率，在 20% 至 80% 范围内测得	VDDO = 3.3V ± 5%(2)	2.2		6.1	V/ns
		VDDO = 2.5V ± 5%(2)	1.7		4.6	V/ns
		VDDO = 1.8V ± 5%(2)	1.45		3.4	V/ns
V_{OH}	输出高电压	3.3V ± 5% 时，I_{OH} = –15mA(2)	0.8 x VDDO		VDDO	V
		2.5V ± 5% 时，I_{OH} = –12mA(2)	0.8 x VDDO		VDDO	V
		1.8V ± 5% 时，I_{OH} = –8mA(2)	0.8 x VDDO		VDDO	V
V_{OL}	输出低电压	3.3V ± 5% 时，I_{OL} = 15mA(2)	0		0.4	V
		2.5V ± 5% 时，I_{OL} = 12mA(2)	0		0.4	V
		1.8V ± 5% 时，I_{OL} = 8mA(2)	0		0.4	V
I_{leak}	输出泄漏电流	输出三态。VDD = VDDO = 3.465V(4)	-6		13	µA

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
R_{out}	输出阻抗	3.3V LVCMOS		17		Ω
R_{out}	输出阻抗	2.5V LVCMOS		17		Ω
R_{out}	输出阻抗	1.8V LVCMOS		17		Ω
ODC	输出占空比	f_{out} ≤ 156.25MHz(2)	45		55	%
		f_{out} > 156.25MHz(2)	45		55	%
C_{load}	最大负载电容	(2)			15	pF
RJ	12kHz 至 20MHz 积分 RMS 抖动	f_{out} = 50MHz(2)			1	ps
SSC 特性						
f_{out}	支持 SSC 的输出频率范围		2.5		200	MHz
f_{SSC}	SSC 调制频率		30	31.5	33	kHz
$f_{SSC-deviation}$	SSC 偏差（调制深度）	向下展频（可编程）	-0.05		-3	%
		中心展频（可编程）	±0.025		±1.5	%
df/dt	最大 SSC 频率转换率	0 < $f_{SSC-deviation}$ ≤ –0.5%			1250	ppm/us
抖动特性						
$J_{PCIe2-cc-SSC_off}$	PCIe 第 2 代通用时钟抖动，SSC 关闭（抖动限制 = 3ps）	仅启用 FOD0 或 FOD1。SSC 禁用			0.27	ps
$J_{PCIe2-cc-SSC_on}$	PCIe 第 2 代通用时钟抖动，–0.5% ≤ SSC < 0%（抖动限制 = 3ps）	仅启用 FOD0 或 FOD1。SSC 启用			0.48	ps
$J_{PCIe2-SRNS}$	PCIe 第 2 代 SRNS 抖动	仅启用 FOD0 或 FOD1。SSC 禁用			0.32	ps
$J_{PCIe2-SRIS}$	PCIe 第 2 代 SRIS 抖动，–0.3% ≤ SSC < 0%	仅启用 FOD0 或 FOD1。SSC 启用			0.51	ps
$J_{PCIe3-cc-SSC_off}$	PCIe 第 3 代通用时钟抖动，SSC 关闭（抖动限制 = 1ps）	仅启用 FOD0 或 FOD1。SSC 禁用			80	fs
$J_{PCIe3-cc-SSC_on}$	PCIe 第 3 代通用时钟抖动，–0.5% ≤ SSC < 0%（抖动限制 = 1ps）	仅启用 FOD0 或 FOD1。SSC 启用			145	fs
$J_{PCIe3-SRNS}$	PCIe 第 3 代 SRNS 抖动	仅启用 FOD0 或 FOD1。SSC 禁用			95	fs
$J_{PCIe3-SRIS}$	PCIe 第 3 代 SRIS 抖动，–0.3% ≤ SSC < 0%	仅启用 FOD0 或 FOD1。SSC 启用			440	fs
$J_{PCIe4-cc-SSC_off}$	PCIe 第 4 代通用时钟抖动，SSC 关闭（抖动限制 = 500fs）	仅启用 FOD0 或 FOD1。SSC 禁用			76	fs
$J_{PCIe4-cc-SSC_on}$	PCIe 第 4 代通用时钟抖动，–0.5% ≤ SSC < 0%（抖动限制 = 500fs）	仅启用 FOD0 或 FOD1。SSC 启用			144	fs
$J_{PCIe4-SRNS}$	PCIe 第 4 代 SRNS 抖动	仅启用 FOD0 或 FOD1。SSC 禁用			95	fs
$J_{PCIe4-SRIS}$	PCIe 第 4 代 SRIS 抖动，–0.3% ≤ SSC < 0%	仅启用 FOD0 或 FOD1。SSC 启用			215	fs
$J_{PCIe5-cc-SSC_off}$	PCIe 第 5 代通用时钟抖动，SSC 关闭（抖动限制 = 150fs）	仅启用 FOD0 或 FOD1。SSC 禁用			29	fs
$J_{PCIe5-cc-SSC_on}$	PCIe 第 5 代通用时钟抖动，–0.5% ≤ SSC < 0%（抖动限制 = 150fs）	仅启用 FOD0 或 FOD1。SSC 启用			61	fs
$J_{PCIe5-SRNS}$	PCIe 第 5 代 SRNS 抖动	仅启用 FOD0 或 FOD1。SSC 禁用			36	fs
$J_{PCIe5-SRIS}$	PCIe 第 5 代 SRIS 抖动，–0.3% ≤ SSC < 0%	仅启用 FOD0 或 FOD1。SSC 启用			66	fs
$J_{PCIe6-cc-SSC_off}$	PCIe 第 6 代通用时钟抖动，SSC 关闭（抖动限制 = 100fs）	仅启用 FOD0 或 FOD1。SSC 禁用			19.3	fs

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
$J_{PCIe6\text{-}cc\text{-}SSC_on}$	PCIe 第 6 代通用时钟抖动，–0.5% ≤ SSC < 0%（抖动限制 = 100fs）	仅启用 FOD0 或 FOD1。SSC 启用			36.4	fs
$J_{PCIe6\text{-}SRNS}$	PCIe 第 6 代 SRNS 抖动	仅启用 FOD0 或 FOD1。SSC 禁用			29.3	fs
$J_{PCIe6\text{-}SRIS}$	PCIe 第 6 代 SRIS 抖动，–0.3% ≤ SSC < 0%	仅启用 FOD0 或 FOD1。SSC 启用			48.3	fs
$J_{PCIe7\text{-}cc\text{-}SSC_off}$	PCIe 第 7 代通用时钟抖动，SSC 关闭	仅启用 FOD0 或 FOD1。SSC 禁用			13.5	fs
$J_{PCIe7\text{-}cc\text{-}SSC_on}$	PCIe 第 7 代通用时钟抖动，–0.5% ≤ SSC < 0%	仅启用 FOD0 或 FOD1。SSC 启用			25.5	fs
$J_{PCIe7\text{-}SRNS}$	PCIe 第 7 代 SRNS 抖动	仅启用 FOD0 或 FOD1。SSC 禁用			20.6	fs
$J_{PCIe7\text{-}SRIS}$	PCIe 第 7 代 SRIS 抖动，–0.15% ≤ SSC < 0%	仅启用 FOD0 或 FOD1。SSC 启用			26.4	fs
RJ_{RMS}	12kHz 至 20MHz RMS 抖动	f_{out} = 156.25MHz 仅启用 FOD0 或 FOD1。		154	211	fs
缓冲模式特性						
$J_{PCIe1\text{-}CC}$	PCIe 第 1 代 CC	差分输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV			977	fs
$J_{PCIe2\text{-}CC}$	PCIe 第 2 代 CC				229	fs
$J_{PCIe3\text{-}CC}$	PCIe 第 3 代 CC				88	fs
$J_{PCIe4\text{-}CC}$	PCIe 第 4 代 CC				88	fs
$J_{PCIe5\text{-}CC}$	PCIe 第 5 代 CC				34	fs
$J_{PCIe6\text{-}CC}$	PCIe 第 6 代 CC				22	fs
$J_{PCIe2\text{-}IR}$	PCIe 第 2 代 IR				268	fs
$J_{PCIe3\text{-}IR}$	PCIe 第 3 代 IR				72	fs
$J_{PCIe4\text{-}IR}$	PCIe 第 4 代 IR				72	fs
$J_{PCIe5\text{-}IR}$	PCIe 第 5 代 IR				28	fs
$J_{PCIe6\text{-}IR}$	PCIe 第 6 代 IR				23	fs
$J_{PCIe1\text{-}CC}$	PCIe 第 1 代 CC	差分输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV			977	fs
$J_{PCIe2\text{-}CC}$	PCIe 第 2 代 CC				231	fs
$J_{PCIe3\text{-}CC}$	PCIe 第 3 代 CC				90	fs
$J_{PCIe4\text{-}CC}$	PCIe 第 4 代 CC				90	fs
$J_{PCIe5\text{-}CC}$	PCIe 第 5 代 CC				34	fs
$J_{PCIe6\text{-}CC}$	PCIe 第 6 代 CC				23	fs
$J_{PCIe2\text{-}IR}$	PCIe 第 2 代 IR				273	fs
$J_{PCIe3\text{-}IR}$	PCIe 第 3 代 IR				73	fs
$J_{PCIe4\text{-}IR}$	PCIe 第 4 代 IR				73	fs
$J_{PCIe5\text{-}IR}$	PCIe 第 5 代 IR				28	fs
$J_{PCIe6\text{-}IR}$	PCIe 第 6 代 IR				23	fs
$J_{RMS\text{-}additive}$	附加 12kHz 至 20MHz RMS 抖动 (100MHz)	差分输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV		73	145	fs
		差分输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV		77	153	fs

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
$J_{RMS-additive}$	附加 12kHz 至 20MHz RMS 抖动 (156.25MHz)	差分输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV		57	122	fs
		差分输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV		59	124	fs
$J_{RMS-additive}$	附加 12kHz 至 70MHz RMS 抖动 (156.25MHz)	差分输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV		106	156	fs
		差分输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV		108	161	fs
$J_{RMS-additive}$	附加 12kHz 至 20MHz RMS 抖动 (312.5MHz)	差分输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV		48	90	fs
		差分输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV		51	94	fs
$J_{RMS-additive}$	附加 12kHz 至 70MHz RMS 抖动 (312.5MHz)	差分输入压摆率 ≥ 3.5V/ns。差分输入摆幅 ≥ 1600mV		81	123	fs
		差分输入压摆率 ≥ 1.5V/ns。差分输入摆幅 ≥ 800mV		82	128	fs
t_{skew}	输出到输出偏斜	相同时钟源			100	ps
t_{PD}	输入到输出延迟				1.1	ns
Δt_{PD}	输入到输出延迟变化	单个器件过热和过压。100MHz，LP-HCSL 输出			2	ps/℃
DCD	占空比失真	差分输入，f ≤ 400MHz，差分输入压摆率 ≥ 1.5V/ns，差分输入摆幅 ≥ 800mV	-3		3	%
		CMOS 输入，f ≤ 200MHz，上升/下降时间 ≤ 1ns	-11		11	%
		CMOS 输入，f ≤ 156.25MHz，上升/下降时间 ≤ 1ns	-9		9	%
		CMOS 输入，f ≤ 50MHz，上升/下降时间 ≤ 1ns	-3		3	%
时序特性						
$t_{startup}$	启动时间	VDD = 2.5/3.3V。所有 VDD 引脚达到 1.62V 到出现第一个输出时钟上升沿所用的时间		2.4	5	ms
		VDD = 1.8V。所有 VDD 引脚达到 1.62V 到出现第一个输出时钟上升沿所用的时间		1.6	5	ms

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
t_{OE}	输出启用时间。CLOCK_READY 状态为“1”后，OE 置为有效到出现第一个输出时钟上升沿所用的时间	完全同步模式	3 输出时钟周期		7 个输出时钟周期 + 40ns	
		自同步模式	3 输出时钟周期		7 个输出时钟周期 + 40ns	
		无同步模式	0		40	ns
t_{OD}	输出禁用时间。OE 置为无效到出现最后一个输出时钟下降沿所用的时间。	完全同步模式	3 输出时钟周期		7 个输出时钟周期 + 40ns	
		自同步模式	3 输出时钟周期		7 个输出时钟周期 + 40ns	
		无同步模式	0		40	ns
t_{OTP}	动态 OTP 切换时间	当 OTP 页面更改时，在时钟输出的最后一个下降沿和第一个上升沿之间测得		900		µs
电源电流特性						
I_{DDR}	V_{DDR} 引脚电源电流（仅限 LMK3H2108）	IN1 和 IN2 已断电			5.1	mA
		IN1 或 IN2 启用			14.1	mA
		IN1 和 IN2 启用			25.1	mA
I_{DDX}	V_{DDX} 引脚电源电流（仅限 LMK3H2108）	IN0 已断电			2.5	mA
		IN0 启用			13.4	mA
I_{DDA}	V_{DDA} 引脚电源电流	一个 FOD 启用。FOD 频率 = 200MHz			49.6	mA
		一个 FOD 启用。FOD 频率 = 400MHz			55.7	mA
		两个 FOD 均启用。FOD 频率 = 200MHz			59.2	mA
		两个 FOD 均启用。FOD 频率 = 400MHz			74.4	mA
I_{DDD}	V_{DDD} 引脚电源电流	一个 FOD 启用。FOD 频率 = 200MHz			45.8	mA
		一个 FOD 启用。FOD 频率 = 400MHz			52.4	mA
		两个 FOD 均启用。FOD 频率 = 200MHz			58.4	mA
		两个 FOD 均启用。FOD 频率 = 400MHz			70	mA

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
I_{DDO_CMOS}	每对 LVCMOS 输出的 V_{DDO} 引脚电源电流	V_{DDO} = 1.8V ± 5%。f_{out} = 50MHz			5	mA
		V_{DDO} = 2.5V ± 5%。f_{out} = 50MHz			6.4	mA
		V_{DDO} = 3.3V ± 5%。f_{out} = 50MHz			7.7	mA
		V_{DDO} = 1.8V ± 5%。f_{out} = 200MHz			13.4	mA
		V_{DDO} = 2.5V ± 5%。f_{out} = 200MHz			17.3	mA
		V_{DDO} = 3.3V ± 5%。f_{out} = 200MHz			21.7	mA
$I_{DDO_1.2VCMOS}$	每对 1.2V LVCMOS 输出的 V_{DDO} 引脚电源电流	V_{DDO} = 1.8V ± 5%。1.2V LVCMOS 启用。f_{out} = 50MHz。高阻抗端接。			11.9	mA
		V_{DDO} = 1.8V ± 5%。1.2V LVCMOS 启用。f_{out} = 200MHz。高阻抗端接。			15.6	mA
		V_{DDO} = 1.8V ± 5%。1.2V LVCMOS 启用。f_{out} = 50MHz。100Ω 差分端接。			15.8	mA
		V_{DDO} = 1.8V ± 5%。1.2V LVCMOS 启用。f_{out} = 200MHz。100Ω 差分端接。			18.2	mA
I_{DDO_LPHCSL}	每对 LP-HCSL 输出的 V_{DDO} 引脚电源电流	V_{DDO} = 1.8V、2.5V 或 3.3V ±5%。f_{out} = 100MHz			10.8	mA
		V_{DDO} = 1.8V、2.5V 或 3.3V ±5%。f_{out} = 400MHz			16.4	mA
I_{DDO_LVDS}	每对 LVDS 输出的 V_{DDO} 引脚电源电流	V_{DDO} = 1.8V、2.5V 或 3.3V ±5%。f_{out} = 100MHz			8	mA
		V_{DDO} = 1.8V、2.5V 或 3.3V ±5%。f_{out} = 400MHz			11.3	mA
I_{DD_PD}	总关断电流	V_{DDO} = 1.8V ± 5%			53	mA
		V_{DDO} = 3.3V ± 5%			67	mA
PSNR 特性						

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
$PSNR_{2.5/3.3V_CLK_GEN}$	电源噪声抑制。VDDx = 2.5V 或 3.3V。时钟发生器模式（时钟源为 FOD 或边缘组合器）。施加到所有非 VDDO 电源引脚的纹波(3)	10kHz		-88.9		dBc
		50kHz		-89.9		dBc
		100kHz		-89.2		dBc
		500kHz		-82.6		dBc
		1MHz		-93.3		dBc
		5MHz		-86.8		dBc
		10MHz		-89.3		dBc
	电源噪声抑制。VDDx = 2.5V 或 3.3V。时钟发生器模式（时钟源为 FOD 或边缘组合器）。施加到所有 VDDO 引脚的纹波。LVCMOS 输出格式(3)	10kHz		-72		dBc
		50kHz		-72.6		dBc
		100kHz		-72.1		dBc
		500kHz		-71.4		dBc
		1MHz		-92.5		dBc
		5MHz		-90.7		dBc
		10MHz		-92.6		dBc
	电源噪声抑制。VDDx = 2.5V 或 3.3V。时钟发生器模式（时钟源为 FOD 或边缘组合器）。施加到所有 VDDO 引脚的纹波。LVDS 输出格式(3)	10kHz		-87.5		dBc
		50kHz		-87.9		dBc
		100kHz		-83.7		dBc
		500kHz		-72.3		dBc
		1MHz		-91.8		dBc
		5MHz		-87.6		dBc
		10MHz		-89.9		dBc
	电源噪声抑制。VDDx = 2.5V 或 3.3V。时钟发生器模式（时钟源为 FOD 或边缘组合器）。施加到所有 VDDO 引脚的纹波。HCSL 输出格式(3)	10kHz		-87.1		dBc
		50kHz		-88.8		dBc
		100kHz		-88.4		dBc
		500kHz		-89.7		dBc
		1MHz		-93.8		dBc
		5MHz		-98.8		dBc
		10MHz		-91.2		dBc

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
$PSNR_{1.8V_CLK_GEN}$	电源噪声抑制。VDDx = 1.8V。时钟发生器模式（时钟源为 FOD 或边缘组合器）。施加到所有非 VDDO 电源引脚的纹波(3)	10kHz		-74.1		dBc
		50kHz		-75.1		dBc
		100kHz		-73.2		dBc
		500kHz		-67.2		dBc
		1MHz		-89.3		dBc
		5MHz		-78.9		dBc
		10MHz		-83.1		dBc
	电源噪声抑制。VDDx = 1.8V。时钟发生器模式（时钟源为 FOD 或边缘组合器）。施加到所有 VDDO 引脚的纹波。LVCMOS 输出格式(3)	10kHz		-56.9		dBc
		50kHz		-57.5		dBc
		100kHz		-57		dBc
		500kHz		-56.4		dBc
		1MHz		-82.1		dBc
		5MHz		-75.2		dBc
		10MHz		-88.2		dBc
	电源噪声抑制。VDDx = 1.8V。时钟发生器模式（时钟源为 FOD 或边缘组合器）。施加到所有 VDDO 引脚的纹波。LVDS 输出格式(3)	10kHz		-78.4		dBc
		50kHz		-79.1		dBc
		100kHz		-74.5		dBc
		500kHz		-66.6		dBc
		1MHz		-89.4		dBc
		5MHz		-82.8		dBc
		10MHz		-89.4		dBc
	电源噪声抑制。VDDx = 1.8V。时钟发生器模式（时钟源为 FOD 或边缘组合器）。施加到所有 VDDO 引脚的纹波。HCSL 输出格式(3)	10kHz		-78.1		dBc
		50kHz		-81.5		dBc
		100kHz		-81.2		dBc
		500kHz		-89.8		dBc
		1MHz		-93.9		dBc
		5MHz		-90.5		dBc
		10MHz		-91.3		dBc
LMK3H2104 I/O 特性						
V_{IH}	OTP_SEL_[1:0]（引脚 4、5）的输入高电压		0.7 × V_{DDD}		V_{DDD} + 0.3	V
V_{IL}	OTP_SEL_[1:0]（引脚 4、5）的输入低电压		GND – 0.3		0.8	V
V_{IH}	CTRL（引脚 23）的输入高电压		0.65 × V_{DD_REF}		V_{DD_REF} + 0.3	V
V_{IL}	CTRL（引脚 23）的输入低电压		-0.3		0.4	V
V_{IH}	GPI_[2:0]（引脚 1、2、6）的输入高电压	V_{DDD} = 1.8V ± 5%	0.65 × V_{DDD}		V_{DDD} + 0.3	V
V_{IL}	GPI_[2:0]（引脚 1、2、6）的输入低电压		-0.3		0.35 × V_{DDD}	V
V_{IH}	GPIO_[1:0]（引脚 8、9）的输入高电压		0.65 × V_{DDD}		V_{DDD} + 0.3	V
V_{IL}	GPIO_[1:0]（引脚 8、9）的输入低电压		-0.3		0.35 × V_{DDD}	V
V_{IH}	GPI_[2:0]（引脚 1、2、6）的输入高电压	V_{DDD} = 2.5V ± 5%	1.7		V_{DDD} + 0.3	V
V_{IL}	GPI_[2:0]（引脚 1、2、6）的输入低电压		-0.3		0.7	V
V_{IH}	GPIO_[1:0]（引脚 8、9）的输入高电压		1.7		V_{DDD} + 0.3	V
V_{IL}	GPIO_[1:0]（引脚 8、9）的输入低电压		-0.3		0.7	V

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
V_{IH}	GPI_[2:0]（引脚 1、2、6）的输入高电压	V_{DDD} = 3.3V ± 5%	2.2		3.6	V
V_{IL}	GPI_[2:0]（引脚 1、2、6）的输入低电压		-0.3		0.8	V
V_{IH}	GPIO_[1:0]（引脚 8、9）的输入高电压		2.2		3.6	V
V_{IL}	GPIO_[1:0]（引脚 8、9）的输入低电压		-0.3		0.8	V
V_{OH}	GPIO_[1:0] 的输出高电压	V_{DDD} = 1.8V ± 5%，I_{OH} = –2mA	V_{DDD} – 0.45		V_{DDD} + 0.3	V
V_{OL}	GPIO_[1:0] 的输出低电压	V_{DDD} = 1.8V ± 5%，I_{OL} = 2mA			0.45	V
V_{OH}	GPIO_[1:0] 的输出高电压	V_{DDD} = 2.5V ± 5%，I_{OH} = –2mA	1.7		V_{DDD} + 0.3	V
V_{OL}	GPIO_[1:0] 的输出低电压	V_{DDD} = 2.5V ± 5%，I_{OL} = 2mA			0.7	V
V_{OH}	GPIO_[1:0] 的输出高电压	V_{DDD} = 3.3V ± 5%，I_{OH} = –2mA	2.4		V_{DDD} + 0.3	V
V_{OL}	GPIO_[1:0] 的输出低电压	V_{DDD} = 3.3V ± 5%，I_{OL} = 2mA			0.4	V
$R_{pu/pd}$	OTP_SEL_[1:0] 和 CTRL 的建议外部上拉/下拉电阻器		0		60	kΩ
	GPI_[2:0] 和 GPIO_[1:0] 的建议外部上拉/下拉电阻器		0		10	kΩ
$I_{L,GPI}$	GPI_[2:0] 输入漏电流	包括上拉/下拉电阻器。V_{IL} = 0V，V_{IH} = V_{DD} = 1.8V ± 5%	-32		128	µA
	GPI_[2:0] 输入漏电流	包括上拉/下拉电阻器。V_{IL} = 0V，V_{IH} = V_{DD} = 2.5V ± 5%	-32		143	µA
	GPI_[2:0] 输入漏电流	包括上拉/下拉电阻器。V_{IL} = 0V，V_{IH} = V_{DD} = 3.3V ± 5%	-32		171	µA
$I_{L,GPIO}$	GPIO_[1:0] 输入漏电流	包括上拉/下拉电阻器。V_{IL} = 0V，V_{IH} = V_{DD} = 1.8V ± 5%	-37		32	µA
	GPIO_[1:0] 输入漏电流	包括上拉/下拉电阻器。V_{IL} = 0V，V_{IH} = V_{DD} = 2.5V ± 5%	-47		43	µA
	GPIO_[1:0] 输入漏电流	包括上拉/下拉电阻器。V_{IL} = 0V，V_{IH} = V_{DD} = 3.3V ± 5%	-57		57	µA
C_{in}	OTP_SEL_[1:0] 和 CTRL 的输入电容				3	pF
	GPI_[2:0] 的输入电容				5.5	pF
	GPIO_[1:0] 的输入电容				3.5	pF
LMK3H2108 I/O 特性						

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
V_{IH}	GPI_[1:0]（引脚 1、2）的输入高电压	V_{DDD}，V_{DDX} 或 V_{DDR} = 1.8V ± 5%	0.65 × V_{DDX}		V_{DDX} + 0.3	V
V_{IL}	GPI_[1:0]（引脚 1、2）的输入低电压		-0.3		0.35 × V_{DDX}	V
V_{IH}	GPI_[5:2]（引脚 4、5、7、8）的输入高电压		0.65 × V_{DDR}		V_{DDR} + 0.3	V
V_{IL}	GPI_[5:2]（引脚 4、5、7、8）的输入低电压		-0.3		0.35 × V_{DDR}	V
V_{IH}	GPIO_[4:3]（引脚 15、16）的输入高电压		0.65 × V_{DDD}		V_{DDD} + 0.3	V
V_{IL}	GPIO_[4:3]（引脚 15、16）的输入低电压		-0.3		0.35 × V_{DDD}	V
V_{IH}	2 电平 GPIO_[2:0]（引脚 12、13、14）的输入高电压		0.65 × V_{DDD}		V_{DDD} + 0.3	V
V_{IL}	2 电平 GPIO_[2:0]（引脚 12、13、14）的输入低电压		-0.3		0.35 × V_{DDD}	V
V_{IH}	3 电平 GPIO_[2:0]（引脚 12、13、14）的输入高电压		0.75 × V_{DDD}		V_{DDD} + 0.3	V
V_{IM}	3 电平 GPIO_[2:0]（引脚 12、13、14）的输入中电压		0.45 × V_{DDD}		0.55 × V_{DDD}	V
V_{IL}	3 电平 GPIO_[2:0]（引脚 12、13、14）的输入低电压		-0.3		0.25 × V_{DDD}	V
V_{IH}	GPI_[1:0]（引脚 1、2）的输入高电压	V_{DDD}，V_{DDX} 或 V_{DDR} = 2.5V ± 5%	1.7		V_{DDX} + 0.3	V
V_{IL}	GPI_[1:0]（引脚 1、2）的输入低电压		-0.3		0.7	V
V_{IH}	GPI_[5:2]（引脚 4、5、7、8）的输入高电压		1.7		V_{DDR} + 0.3	V
V_{IL}	GPI_[5:2]（引脚 4、5、7、8）的输入低电压		-0.3		0.7	V
V_{IH}	GPIO_[4:3]（引脚 15、16）的输入高电压		1.7		V_{DDD} + 0.3	V
V_{IL}	GPIO_[4:3]（引脚 15、16）的输入低电压		-0.3		0.7	V
V_{IH}	2 电平 GPIO_[2:0]（引脚 12、13、14）的输入高电压		1.7		V_{DDD} + 0.3	V
V_{IL}	2 电平 GPIO_[2:0]（引脚 12、13、14）的输入低电压		-0.3		0.7	V
V_{IH}	3 电平 GPIO_[2:0]（引脚 12、13、14）的输入高电压		0.75 × V_{DDD}		V_{DDD} + 0.3	V
V_{IM}	3 电平 GPIO_[2:0]（引脚 12、13、14）的输入中电压		0.45 × V_{DDD}		0.55 × V_{DDD}	V
V_{IL}	3 电平 GPIO_[2:0]（引脚 12、13、14）的输入低电压		-0.3		0.25 × V_{DDD}	V

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
V_{IH}	GPI_[1:0]（引脚 1、2）的输入高电压	V_{DDD}，V_{DDX} 或 V_{DDR} = 3.3V ± 5%	2.2		3.6	V
V_{IL}	GPI_[1:0]（引脚 1、2）的输入低电压		-0.3		0.8	V
V_{IH}	GPI_[5:2]（引脚 4、5、7、8）的输入高电压		2.2		3.6	V
V_{IL}	GPI_[5:2]（引脚 4、5、7、8）的输入低电压		-0.3		0.8	V
V_{IH}	GPIO_[4:3]（引脚 15、16）的输入高电压		2.2		3.6	V
V_{IL}	GPIO_[4:3]（引脚 15、16）的输入低电压		-0.3		0.8	V
V_{IH}	2 电平 GPIO_[2:0]（引脚 12、13、14）的输入高电压		2.2		3.6	V
V_{IL}	2 电平 GPIO_[2:0]（引脚 12、13、14）的输入低电压		-0.3		0.8	V
V_{IH}	3 电平 GPIO_[2:0]（引脚 12、13、14）的输入高电压		0.75 × V_{DDD}		3.6	V
V_{IM}	3 电平 GPIO_[2:0]（引脚 12、13、14）的输入中电压		0.45 × V_{DDD}		0.55 × V_{DDD}	V
V_{IL}	3 电平 GPIO_[2:0]（引脚 12、13、14）的输入低电压		-0.3		0.25 × V_{DDD}	V
V_{OH}	GPIO_[4:0] 的输出高电压	V_{DDD} = 1.8V ± 5%，I_{OH} = –2mA	V_{DDD} – 0.45		V_{DDD} + 0.3	V
V_{OL}	GPIO_[4:0] 的输出低电压	V_{DDD} = 1.8V ± 5%，I_{OL} = 2mA			0.45	V
V_{OH}	GPIO_[4:0] 的输出高电压	V_{DDD} = 2.5V ± 5%，I_{OH} = –2mA	1.7		V_{DDD} + 0.3	V
V_{OL}	GPIO_[4:0] 的输出低电压	V_{DDD} = 2.5V ± 5%，I_{OL} = 2mA			0.7	V
V_{OH}	GPIO_[4:0] 的输出高电压	V_{DDD} = 3.3V ± 5%，I_{OH} = –2mA	2.4		V_{DDD} + 0.3	V
V_{OL}	GPIO_[4:0] 的输出低电压	V_{DDD} = 3.3V ± 5%，I_{OL} = 2mA			0.4	V
$R_{pu/pd}$	GPI_[5:0] 和 GPIO_[4:0] 的建议外部上拉/下拉电阻器		0		10	kΩ

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	最小值	典型值	最大值	单位
I_L	GPI_[1:0] 输入漏电流	包括上拉/下拉电阻器。V_{IL} = 0V。V_{IH} = V_{DDX} = 1.8V ± 5%	-32		128	µA
		包括上拉/下拉电阻器。V_{IL} = 0V。V_{IH} = V_{DDX} = 2.5V ± 5%	-32		142	µA
		包括上拉/下拉电阻器。V_{IL} = 0V。V_{IH} = V_{DDX} = 3.3V ± 5%	-32		171	µA
	GPI_[5:2] 输入漏电流	包括上拉/下拉电阻器。V_{IL} = 0V。V_{IH} = V_{DDR} = 1.8V ± 5%	-32		128	µA
		包括上拉/下拉电阻器。V_{IL} = 0V。V_{IH} = V_{DDR} = 2.5V ± 5%	-32		143	µA
		包括上拉/下拉电阻器。V_{IL} = 0V。V_{IH} = V_{DDR} = 3.3V ± 5%	-32		171	µA
	GPIO_[4:0] 输入漏电流	包括上拉/下拉电阻器。V_{IL} = 0V。V_{IH} = V_{DDR} = 1.8V ± 5%	-37		32	µA
		包括上拉/下拉电阻器。V_{IL} = 0V。V_{IH} = V_{DDR} = 2.5V ± 5%	-47		43	µA
		包括上拉/下拉电阻器。V_{IL} = 0V。V_{IH} = V_{DDR} = 3.3V ± 5%	-57		57	µA
C_{IN}	GPI_[3:0] 的输入电容				5.5	pF
	GPIO_[4:0] 的输入电容				3.5	pF
I2C I/O 特性						
V_{IH}	SCL 和 SDA 的输入高电压		0.7 × V_{DDD}			V
V_{IL}	SCL 和 SDA 的输入低电压				0.3 × V_{DDD}	V
V_{OL}	SDA 输出电压低电平	I_{OL} = 4mA			0.4	V
I_L	SCL 和 SDA 的输入漏电流		-10		10	µA
C_{IN}	SCL 和 SDA 的输入电容			1		pF

(1) PCIe 测试负载，15dB 损耗 (4GHz)，f_{out} = 100MHz，走线阻抗 = 100Ω，高阻抗负载
(2) 使用 10kΩ 外部上拉或下拉电阻器进行测试
(3) 将 0.1µF 电容器放置在靠近每个电源引脚的位置。施加 50mVpp 纹波（0.1µF 电容器不存在时，纹波为 50mV）并测量时钟输出的杂散电平
(4) 使用输出频率为 100MHz 的 100Ω LP-HCSL 测量。实际 $_{OH}$ 因输出频率而异

5.6 I2C 特性

参数		测试条件	标准模式		快速模式		单位
			最小值	最大值	最小值	最大值	
f_{SCL}	SCL 时钟频率		0	100	0	400	kHz
$t_{HD;STA}$	（重复）START 条件后的保持时间	在这段时间后，第一个时钟脉冲被生成。	4		0.6		µs
t_{LOW}	SCL 时钟的低电平周期		4.7		1.3		µs
t_{HIGH}	SCL 时钟的高电平周期		4		0.6		µs
$t_{SU;STA}$	重复 START 条件的建立时间		4.7		0.6		µs

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	标准模式		快速模式		单位
			最小值	最大值	最小值	最大值	
$t_{HD;DAT}$	数据保持时间		0		0		µs
$t_{SU;DAT}$	数据建立时间		250		100		ns
t_r	SDA 和 SCL 信号的上升时间			1000	20	300	ns
t_f	SDA 和 SCL 信号的下降时间			300	20 × (VDD / 5.5V)	300	ns
$t_{SU;STO}$	STOP 条件的建立时间		4		0.6		µs
t_{BUF}	停止与启动状态之间的总线空闲时间		4.7		1.3		µs
C_b	每个总线的容性负载			400		400	pF
$t_{VD;DAT}$	数据有效时间			3.45		0.9	µs
$t_{VD;ACK}$	数据有效确认时间			3.45		0.9	µs
V_{nL}	低电平的噪声容限	对于每个连接的器件，包括迟滞	0.1 × VDD		0.1 × VDD		V
V_{nH}	高电平的噪声容限	对于每个连接的器件，包括迟滞	0.2 × VDD		0.2 × VDD		V

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

本部分包含“电气特性”下指定的特性测量的图示。

6.1 LP-HCSL 测试或仿真负载

LP-HCSL 时钟输出特性有 3 个测试负载或仿真负载。

- 常规 LP-HCSL 测试负载。除非测试条件中另有说明，否则此测试负载用于所有 LP-HCSL 输出规格。
- LP-HCSL PCIe 交流测试负载。此负载是 PCI-SIG 标准中规定的 PCIe 时钟测试负载。
- LP-HCSL 直流仿真负载。此负载是为 CK440 指定的直流仿真负载。

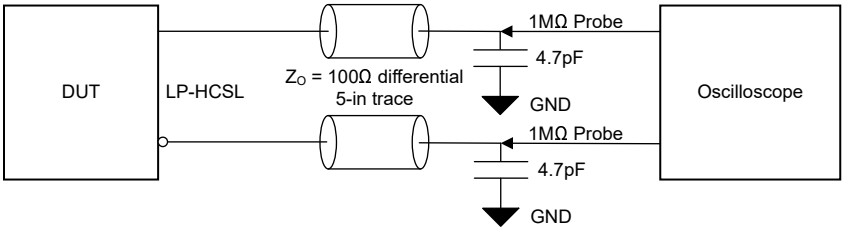


图 6-1. 常规 LP-HCSL 测试负载

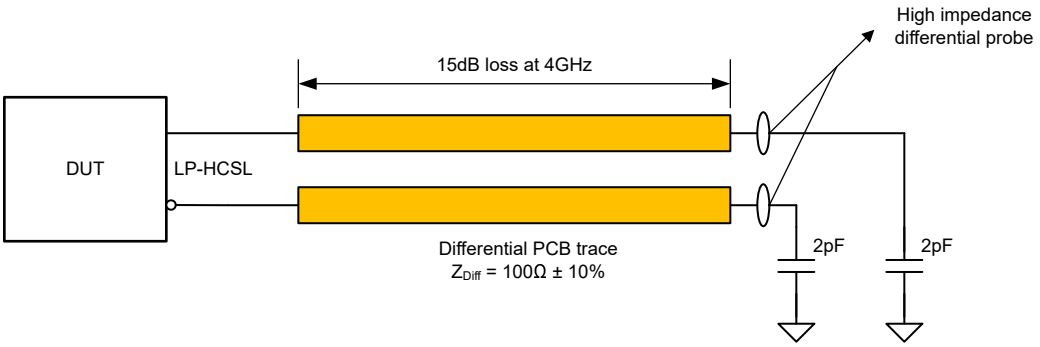


图 6-2. LP-HCSL PCIe 交流测试负载

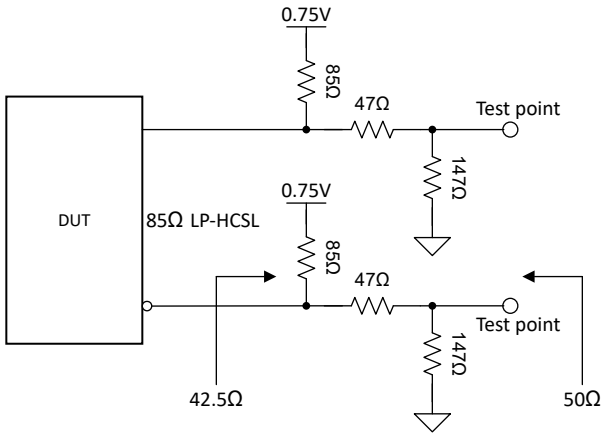


图 6-3. LP-HCSL 直流仿真负载

Copyright © 2025 Texas Instruments Incorporated

6.2 LVDS 测试负载

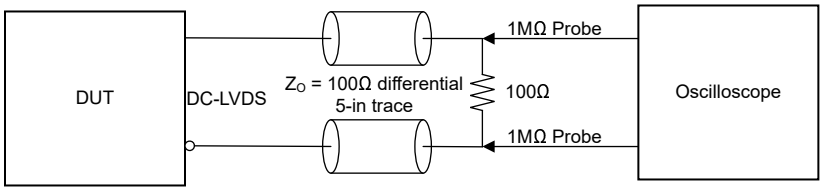


图 6-4. LVDS 测试负载

6.3 LVCMOS 测试负载

LVCMOS 时钟输出特性有 3 个测试负载：

- 1.8V、2.5V 和 3.3V LVCMOS 测试负载。50Ω 布线需要使用 33Ω 串联电阻，因为 LVCMOS 输出阻抗为 17Ω。
- 1.2V LVCMOS 测试负载。50Ω 布线不需要使用串联电阻，因为 LVCMOS 输出阻抗为 50Ω。
- 差分 1.2V LVCMOS 测试负载。1.2V LVCMOS 可以差分使用，从而在输出摆幅和共模方面提供更大的灵活性。通常使用 2 类端接：
  - 与常规单端 LVCMOS 相同：高阻抗端接或无端接。差分 LVCMOS 输出特性与单端 LVCMOS 相同。
  - 外部 100Ω 差分端接。“电气特性”中规定了使用此端接的输出特性。

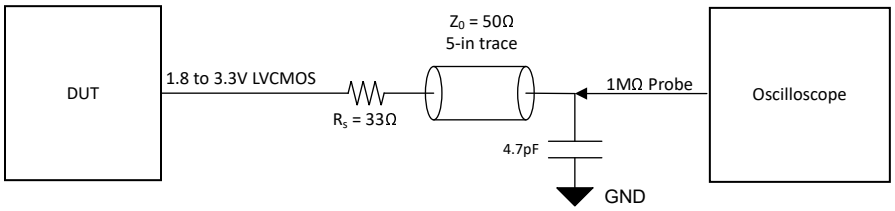


图 6-5. 1.8V、2.5V 和 3.3V LVCMOS 测试负载

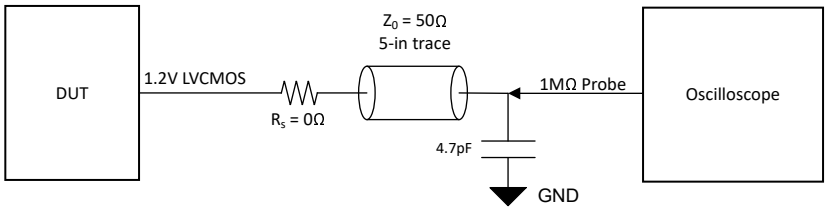


图 6-6. 1.2V LVCMOS 测试负载

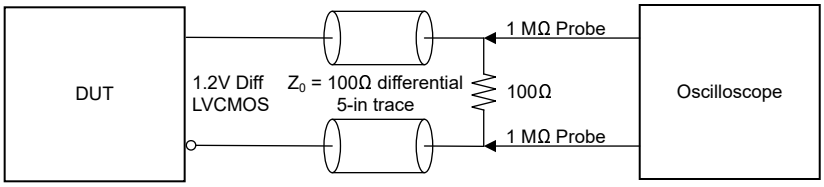


图 6-7. 差分 1.2V LVCMOS 测试负载

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

LMK3H2104 和 LMK3H2108 是时钟发生器、时钟缓冲器和时钟多路复用器。每个输出组可以独立选择以下时钟源：IN0、IN1、IN2、FOD0、FOD1 或边缘组合器。多个 GPI 和 GPIO 引脚可用于提供灵活的引脚控制。

7.2 功能方框图

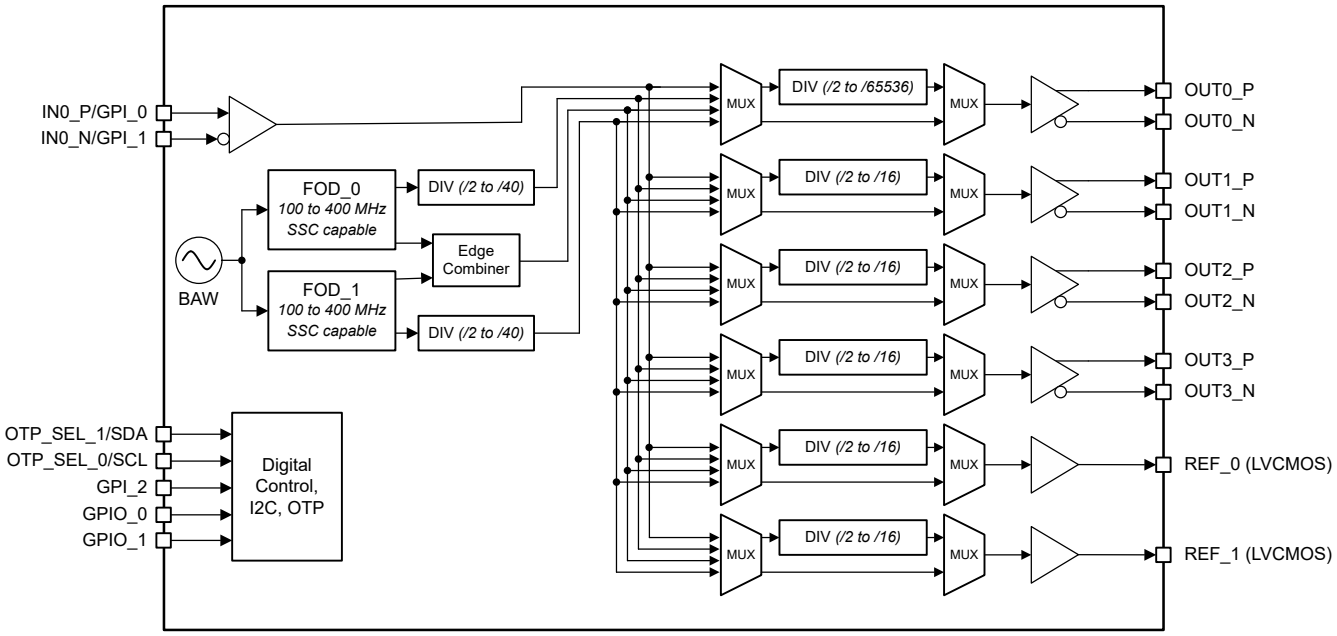


图 7-1. LMK3H2104 功能方框图

Copyright © 2025 Texas Instruments Incorporated

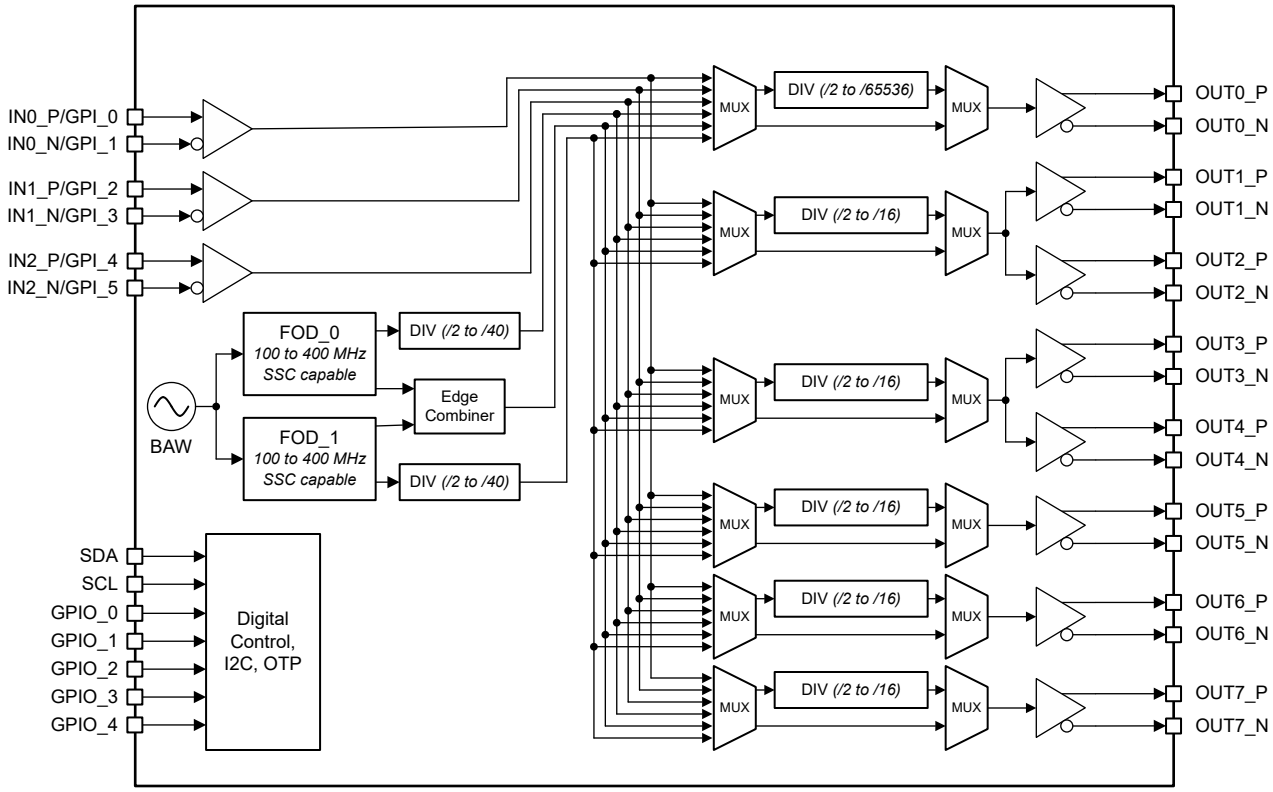


图 7-2. LMK3H2108 功能方框图

7.3 特性说明

7.3.1 GPI/GPIO

7.3.1.1 GPI/GPIO 引脚功能

表 7-1 和 表 7-2 展示了哪些功能可以分配给 GPI 或 GPIO 引脚。PWRGD/PWRDN# 分配覆盖所有其他 GPI/GPIO 功能，GPIO_0、1 和 2 的动态 OTP_SEL 除外。有关详细信息，请参阅“PWRGD/PWRDN#”部分。

表 7-1. LMK3H2108 GPI/GPIO 引脚功能分配

引脚	OE_GROUP	GOE	7 位 I2C 地址	PERST#	动态 OTP 选择	GPI	状态输出	GPO
GPI_0	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	位 0、位 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI	-	-
GPI_1	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	位 0、位 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI	-	-
GPI_2	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	位 0、位 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI	-	-

Copyright © 2025 Texas Instruments Incorporated

表 7-1. LMK3H2108 GPI/GPIO 引脚功能分配（续）

引脚	OE_GROUP	GOE	7 位 I2C 地址	PERST#	动态 OTP 选择	GPI	状态输出	GPO
GPI_3	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	位 0、位 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI	-	-
GPI_4	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	位 0、位 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI	-	-
GPI_5	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4、OE_GROUP_5	GOE	位 0、位 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI	-	-
GPIO_0	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4、OE_GROUP_6	GOE	位 0、位 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	位 0（2 电平或 3 电平）	GPI	DEV_INTR、CLK_READY、IN0_LOS、IN1_LOS、IN2_LOS、IN0_LOS_EVT、IN1_LOS_EVT、IN2_LOS_EVT、IN0_LOS_LMT_EVT、IN1_LOS_LMT_EVT、IN2_LOS_LMT_EVT、IN0_PERST_BUF_MODE_STAT、IN1_PERST_BUF_MODE_STAT、IN2_PERST_BUF_MODE_STAT	GPO_0
GPIO_1	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4、OE_GROUP_7	GOE	位 0、位 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	位 1（2 电平或 3 电平）	GPI		GPO_1
GPIO_2	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4、OE_GROUP_8	GOE	位 0、位 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	位 2（2 电平或 3 电平）	GPI		GPO_2
GPIO_3	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4、OE_GROUP_9	GOE	位 0、位 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI		GPO_3
GPIO_4	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4、OE_GROUP_10	GOE	位 0、位 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI		GPO_4

表 7-2. LMK3H2104 GPI/GPIO 引脚功能分配

引脚	OE 组	全局 OE	替代 OE	7 位 I2C 地址	PERST#	GPI	状态输出	GPO
GPI_0	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	-	位 0、位 1	PERST_IN0#	GPI	-	-

Copyright © 2025 Texas Instruments Incorporated

表 7-2. LMK3H2104 GPI/GPIO 引脚功能分配（续）

引脚	OE 组	全局 OE	替代 OE	7 位 I2C 地址	PERST#	GPI	状态输出	GPO
GPI_1	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	-	位 0、位 1	PERST_IN0#	GPI	-	-
GPI_2	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	OEA	位 0、位 1	PERST_IN0#	GPI	-	-
GPIO_0	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	OEB	位 0、位 1	PERST_IN0#	GPI	DEV_INTR、CLK_READY、IN0_LOS、IN0_LOS_EVT、IN0_LOS_LMT_EVT、IN0_PERST_BUF_MODE_STAT	GPO_0
GPIO_1	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	-	位 0、位 1	PERST_IN0#	GPI		GPO_1

GPI/GPIO 引脚的输出启用组分配由每个引脚的 GPIx_OE_GRP_SEL/GPIOx_OE_GRP_SEL 字段控制。该引脚的功能由 GPIx_FUNC/GPIOx_FUNC 字段控制。该引脚的极性由 GPIx_POLARITY/GPIOx_POLARITY 字段控制。GPIO 引脚配置为状态输出时，相应的状态信号由 GPIO_OUT_SRC_SEL 字段选择。GPIO 配置为通用输出时，输出状态由 GPIO0_GPO_VAL 设置。输出类型 LVCMOS 或开漏输出由 GPIOx_OUT_SIG_TYPE 设置。

如果未使用 GPI 或 GPIO 引脚，将该引脚配置为 GPI。否则，请勿将多个 GPI/GPIO 引脚设置为共享同一输入功能，但动态 OTP 页面选择除外。

表 7-3. GPI 和 GPIO 输入电平读回寄存器（正常极性）

器件型号	寄存器	位数	类型	说明
LMK3H2108	GPIx_LIVE_RB（x = 0、1、2、3、4、5）	1	RO	GPI 引脚输入电平读回 • 0x0：低 • 0x1：高
LMK3H2108	GPIOx_LIVE_RB（x = 0、1、2）	2	RO	GPIO_0/1/2 引脚输入电平读回 • 0x0：低（2 电平或 3 电平） • 0x1：中（3 电平） • 0x2：保留 • 0x3：高（2 电平或 3 电平）
LMK3H2108	GPIOx_LIVE_RB（x = 3、4）	1	RO	GPIO_3/4 引脚输入电平读回 • 0x0：低 • 0x1：高
LMK3H2104	GPIx_LIVE_RB（x = 0、1、2）	1	RO	GPI 引脚输入电平读回 • 0x0：低 • 0x1：高

Copyright © 2025 Texas Instruments Incorporated

表 7-3. GPI 和 GPIO 输入电平读回寄存器（正常极性）（续）

器件型号	寄存器	位数	类型	说明
LMK3H2104	GPIO0_LIVE_RB	2	RO	GPIO_0 输入电平读回 • 0x0：低 • 0x1：保留 • 0x2：保留 • 0x3：高
LMK3H2104	GPIO1_LIVE_RB	1	RO	GPIO_1 输入电平读回 • 0x0：低 • 0x1：高

7.3.1.2 GPI/GPIO 配置

表 7-4. GPI 引脚配置

配置	说明
GPI 极性	• 0x0：正常极性。以“#”结尾的功能为低电平有效，其他功能为高电平有效。 • 0x1：反转极性。以“#”结尾的功能为高电平有效，其他功能为低电平有效
GPI 内部上拉	• 0x0：内部上拉禁用 • 0x1：内部上拉启用
GPI 内部下拉	• 0x0：内部下拉禁用 • 0x1：内部下拉启用

表 7-5. GPIO 引脚配置

配置	说明
GPIO 输入类型（仅对 GPIO_0、GPIO_1 和 GPIO_2 有效）	• 0x0：2 电平输入 • 0x1：3 电平输入。
GPIO 输出类型	• 0x0：CMOS 输出。无需输出端接。 • 0x1：开漏输出。需要外部上拉电阻。
GPIO 极性	• 0x0：正常极性。带有“#”的功能为低电平有效，其他功能为高电平有效。 • 0x1：反转极性。带有“#”的功能为高电平有效，其他功能为低电平有效
GPIO 内部上拉	• 0x0：内部上拉禁用 • 0x1：内部上拉启用
GPIO 内部下拉	• 0x0：内部下拉禁用 • 0x1：内部下拉启用
GPO 控制	当 GPIO 引脚配置为 GPO 时设置输出电平 • 0x0：输出低电平 • 0x1：输出高电平

各部分介绍了 GPI/GPIO 极性设置对每个 GPI/GPIO 功能的影响。下表列出了未在单独部分中描述的功能。

表 7-6. GPI/GPIO 极性

GPIO 功能	极性说明
GPI	极性位被忽略
GPO	极性位被忽略

Copyright © 2025 Texas Instruments Incorporated

表 7-6. GPI/GPIO 极性（续）

GPIO 功能	极性说明
7 位 I2C 地址的位 1 或位 0	正常极性： • 低电平 = 0 • 高电平 = 1 反转极性 • 低电平 = 1 • 高电平 = 0

7.3.1.3 通过 GPI/GPIO 引脚设置 I2C 地址

7 位 I2C 地址的位 1 和位 0 可通过 GPI 或 GPIO 引脚设置。当 GPI 或 GPIO 引脚配置为设置 I2C 地址的位 0 或位 1 时，GPI 或 GPIO 引脚电平覆盖在 OTP 中预编程的 7 位 I2C 地址（寄存器字段 I2C_TRGT_ADDR）的位 0 或位 1。如果没有 GPI 或 GPIO 引脚配置为设置 I2C 地址的位 0 或位 1，则位 0 或位 1 由 I2C_TRGT_ADDR 设置。

7.3.1.4 3 电平输入模式下的 GPIO 引脚

GPIO_[2:0] 可配置为支持 3 电平输入。在 3 电平输入模式下，可通过将 GPIO 引脚悬空并禁用该引脚上的内部上拉和内部下拉电阻器来选择中电平。也可以通过从外部在该引脚上强制施加中电平电压来选择中电平。在 3 电平输入模式下，启用 GPIO 引脚上的内部上拉或下拉电阻器不会选择高电平或低电平，必须从外部将该引脚拉或驱动至为高电平或低电平。通过设置 GPIOx_NUM_IN_LVL 将 GPIO 引脚配置为 3 电平输入。

当 GPIO_[2:0] 配置为 2 电平输入时，上述限制不适用并且内部上拉和下拉电阻器正常工作。

7.3.1.5 GPI/GPIO 内部上拉和下拉

对于任何 GPI 引脚，当启用内部上拉电阻器时，无论 GPI 引脚电源电压如何，引脚都会被拉至 1.8V。当启用内部上拉电阻器并且引脚未从外部拉至或驱动为低电平时，检测到 GPI 引脚为高电平。从外部拉或驱动 GPI 引脚时，用户仍须遵循电气特性表中规定的 VIH/VIL 要求。

对于 GPIO 引脚，当启用内部上拉电阻器时，正常情况下，引脚被拉至 VDDD 电源电压。

内部上拉由 GPIx_PULL_UP_EN/GPIOx_PULL_UP_EN 控制，内部下拉由 GPIx_PULL_DN_EN/GPIOx_PULL_DN_EN 控制。

7.3.2 OTP

7.3.2.1 OTP 概述

LMK3H2108 和 LMK3H2104 均支持 LMK3H2104 支持 通过 OTP 进行预编程配置。OTP 分为“基址”部分“页面”部分，页面部分又分为 4 个页面。映射到“基址”部分的字段始终从“基址”部分加载，而映射到“页面”部分的字段则从 4 个页面的其中一页加载。下面是映射到“页面”部分的寄存器类别列表。

- 频率设置
- 预编程 SSC 调制深度：自定义、-0.1%、-0.25%、-0.3%、-0.5%。
- 输出格式设置
- 输出禁用状态
- 独立输出启用（不包括全局 OE 和单个 LVCMOS OE）
- 输出多路复用器和分频器设置
- 块断电位，包括使器件在仅缓冲模式下运行的相关寄存器
- 7 位 I2C 地址
- GPIO 功能，不包括状态输出信号选择
- 在 INx/GPI 引脚的 IN_[2:0] 和 GPI_[5:0] 之间进行选择
- 在单端输入时钟的 INx_P 和 INx_N 之间进行选择
- GPI 功能

Copyright © 2025 Texas Instruments Incorporated

7.3.2.2 OTP 页选择

对于 LMK3H2108，每个 OTP 页面都使用三个 3 电平值来选择，即 PAGE_SEL_2、PAGE_SEL_1 和 PAGE_SEL_0。这三个值中的每一个值都编码为一个 2 位值，使得每个页面的完整 OTP 页面选择代码表示为一个 6 位值。

表 7-7. LMK3H2108 OTP 页面选择映射代码

OTP 第 x 页 PAGE_SEL	说明
PAGE_SEL_2	OTP_SEL_2 电平，以选择该 OTP 页面 • 0x0：OTP_SEL_2 必须为低电平 • 0x1：OTP_SEL_2 必须为中电平 • 0x2：不用考虑。OTP_SEL_2 可以是任何电平 • 0x3：OTP_SEL_2 必须为高电平
PAGE_SEL_1	OTP_SEL_1 电平，以选择该 OTP 页面 • 0x0：OTP_SEL_1 必须为低电平 • 0x1：OTP_SEL_1 必须为中电平 • 0x2：不用考虑。OTP_SEL_1 可以是任何电平 • 0x3：OTP_SEL_1 必须为高电平
PAGE_SEL_0	OTP_SEL_0 电平，以选择该 OTP 页面 • 0x0：OTP_SEL_0 必须为低电平 • 0x1：OTP_SEL_0 必须为中电平 • 0x2：不用考虑。OTP_SEL_0 可以是任何电平 • 0x3：OTP_SEL_0 必须为高电平

表 7-8. LMK3H2108 OTP_SEL_[2:0] 电平

OTP_SEL	说明
OTP_SEL_2	如果 GPIO_2 配置为动态 OTP 选择，则 OTP_SEL_2 是 GPIO_2 的实时输入电平。否则，OTP_SEL_2 = OTP_PAGE_SEL_PU_2
OTP_SEL_1	如果 GPIO_1 配置为动态 OTP 选择，则 OTP_SEL_1 是 GPIO_1 的实时输入电平。否则，OTP_SEL_1 = OTP_PAGE_SEL_PU_1
OTP_SEL_0	如果 GPIO_0 配置为动态 OTP 选择，则 OTP_SEL_0 是 GPIO_0 的实时输入电平。否则，OTP_SEL_0 = OTP_PAGE_SEL_PU_0

如果 OTP_SEL_[2:0] 未指向有效的 OTP 页面，则会忽略 GPIO_[2:0]（如果配置为动态 OTP 选择）电平变化并且不会更改 OTP 页面。

表 7-9. 上电时的 OTP 页面选择

寄存器	LMK3H2108	LMK3H2104
OTP_PAGE_SEL_PU_2	上电时的 OTP_SEL_2 电平 • 0x0 = 低电平 • 0x1 = 中电平间 • 0x2 = 上电时的 GPIO_2 输入电平 • 0x3 = 高电平 如果 GPIO_2 配置为动态 OTP_SEL，则必须将 OTP_PAGE_SEL_PU_2 设置为 0x2 如果 OTP_PAGE_SEL_PU_2 设置为 0x2、则 GPIO_2 必须配置为动态 OTP_SEL	保留

Copyright © 2025 Texas Instruments Incorporated

表 7-9. 上电时的 OTP 页面选择（续）

寄存器	LMK3H2108	LMK3H2104
OTP_PAGE_SEL_PU_1	上电时的 OTP_SEL_1 电平 • 0x0 = 低电平 • 0x1 = 中电平间 • 0x2 = 上电时的 GPIO_1 输入电平 • 0x3 = 高电平 如果 GPIO_1 配置为动态 OTP_SEL，则必须将 OTP_PAGE_SEL_PU_1 设置为 0x2 如果 OTP_PAGE_SEL_PU_1 设置为 0x2、则 GPIO_1 必须配置为动态 OTP_SEL	在 OTP 模式（引脚 23 = 高电平）下，OTP_PAGE_SEL_PU_1 和 OTP_PAGE_SEL_PU_0 都必须设置为 0x2 在只有一个 OTP 页面可用的 I2C 模式（引脚 23 = 低电平）下，OTP_PAGE_SEL_PU_[1:0] 确定可用的 OTP 页面
OTP_PAGE_SEL_PU_0	上电时的 OTP_SEL_0 电平 • 0x0 = 低电平 • 0x1 = 中电平间 • 0x2 = 上电时的 GPIO_0 输入电平 • 0x3 = 高电平 如果 GPIO_0 配置为动态 OTP_SEL，则必须将 OTP_PAGE_SEL_PU_0 设置为 0x2 如果 OTP_PAGE_SEL_PU_0 设置为 0x2、则 GPIO_0 必须配置为动态 OTP_SEL	

对于 LMK3H2108，并非所有 3 个引脚（GPIO_0、1 和 2）都需要同时配置为动态 OTP 页面选择。可以使用 GPIO_[2:0] 中的 1 个、2 个或 3 个引脚来完成动态 OTP 页面选择。

表 7-10. LMK3H2104 OTP 页面选择

OTP_SEL_1（引脚 5）	OTP_SEL_1（引脚 4）	已选择 OTP 页面
低	低	0
低	高	1
高	低	2
高	高	3

7.3.2.3 OTP 页面选择引脚极性

下表说明了 GPIO 配置为动态 OTP 选择时 GPIO 引脚极性的影响。

表 7-11. LMK3H2108 OTP 页面选择引脚极性

GPIO 配置	极性说明
2 电平动态 OTP 选择	• 正常极性： – GPIO_x 低电平 = OTP_SEL_x 低电平 – GPIO_x 高电平= OTP_SEL_x 高电平 • 反转极性： – GPIO_x 低电平= OTP_SEL_x 高电平 – GPIO_x 高电平= OTP_SEL_x 低电平 x = 0、1、2
3 电平动态 OTP 选择	GPIO 极性被忽略

7.3.2.4 动态 OTP 页面更改

在 OTP 页面动态更改时：

Copyright © 2025 Texas Instruments Incorporated

- 在切换 OTP 页面之前，所有输出都禁用为当前的“输出禁用状态”。根据输出同步设置，禁用过程可以是同步的，也可以是异步的
- 在整个 OTP 更改过程中，所有输出都保持这些状态
- 加载新 OTP 后：
  - 如果输出格式发生更改，则根据输出格式和预编程的输出禁用状态，将输出禁用为新的禁用状态
  - 如果输出格式未更改：
    - 如果新 OTP 页面中的输出禁用状态与之前不同，则根据新 OTP 页面更改输出禁用状态，并且输出保持静音
    - 如果新 OTP 页面中的输出禁用状态与之前相同，则输出保持静音至禁用状态
- 器件就绪且 OE 置为有效后，输出将根据同步设置同步或异步启用

如果在器件处于低功耗模式时通过 PWRDN# 引脚实现动态 OTP 选择引脚的电平变化，则在 PWRDN# 置为无效时加载新的 OTP 配置。

如果 BANKx 的时钟源在各个 OTP 页面上不同，则必须将 BANKx_SWITCHOVER_FRC_CLK_EN 设置为 1，以更改动态 OTP 页面。如果 BANKx 的时钟源在各个 OTP 页面上相同，则可以将 BANKx_SWITCHOVER_FRC_CLK_EN 设置为 0。

如果 BANKx 的时钟源是 OTP 第 A 页中的 FOD0、FOD1 或边缘组合器并且 BANKx 的时钟源为 OTP 第 B 页中的 INy，则在 OTP 页面从 A 动态更改为 B 时，INy 处的时钟信号必须有效，否则 BANKx 的时钟源不会正确切换到 INy。

7.3.2.5 动态 OTP 页面更改时序

OTP 页面选择去抖时间设置在器件响应任何动态 OTP 页面选择引脚上的电平变化之前，所有动态 OTP 页面选择引脚必须保持稳定的时间。在所有有效动态 OTP 页面选择引脚在所选时间内保持稳定后，就会注册生成的 OTP 页面选择代码并将所选页面加载到器件寄存器中。

表 7-12. OTP 页面选择去抖时间

BOOTOSC_CLK_DIS	OTP_PAGE_SEL_DYN_DEBOUNCE	OTP 页面选择去抖时间
0x0	0x0	120ns
0x0	0x1	4.2µs
0x1	0x0	60ns
0x1	0x1	2.1µs

更改 OTP 页面后，不得在 300µs 内进行后续 OTP 页面更改。

7.3.3 PWRGD/PWRDN#

7.3.3.1 PWRGD/PWRDN# 功能分配

- LMK3H2108：PWRGD/PWRDN# 功能可以分配给 GPI_2、GPI_3、GPI_4、GPI_5、GPIO_0、GPIO_1、GPIO_2、GPIO_3 或 GPIO_4。如果未分配，PWRGD/PWRDN 功能将被禁用。
- LMK3H2104：PWRGD/PWRDN# 功能可以分配给 GPI_2、GPIO_0 或 GPIO_1。如果未分配，PWRGD/PWRDN 功能将被禁用。

如果将 PWRGD/PWRDN# 功能分配给 GPI/GPIO 引脚，则为该 GPI/GPIO 引脚供电的 VDD 引脚不能设置为悬空。

7.3.3.2 PWRGD

器件在 PWRGD（电源正常）置为有效后上电。有关详细信息，请参阅“上电序列”部分。

无法更改 PWRGD 极性。无论 GPIO 极性设置如何，PWRGD 功能均为高电平有效。

Copyright © 2025 Texas Instruments Incorporated

7.3.3.3 PWRDN#

PWRGD 置为有效后，PWRGD/PWRDN# 引脚变为 PWRDN#（断电，低电平有效）引脚。在随后的高电平/低电平转换中，器件进入或退出 PWRDN# 模式。有 3 种 PWRDN# 模式：

- 基于动态 OTP 选择的断电模式（仅适用于 LMK3H2108）。如果满足以下两个条件，则选择此模式：
  - PWRGD/PWRDN# 功能分配给 GPIO_0、GPIO_1 或 GPIO_2
  - PWRGD/PWRDN# 引脚也配置为 2 电平动态 OTP 选择引脚

  PWRDN# 置为有效时，器件通过加载所有动态 OTP 选择引脚（包括 PWRDN# 引脚）选择的 OTP 页面进入断电模式。在该“断电模式 OTP 页面”中，用户可以对某些块断电，禁用输出驱动器并决定输出禁用状态。

  PWRDN# 置为无效时，器件通过加载所有动态 OTP 选择引脚（包括 PWRDN# 引脚）选择的 OTP 页面退出断电模式。

  在此模式下，具有 PWRDN# 功能的 GPIO 引脚必须编程为正常极性。
- 低功耗模式。在低功耗模式下，当 PWRDN# 置为有效时，大多数块断电以实现省电。输出组断电且输出处于三态。寄存器值不变。BAW 在该模式下不会自动断电，如果需要，需要通过 I2C 手动将 BAW PD 设置为“1”，以进一步省电。
- 复位模式。在复位模式下，切换 PWRDN# 引脚相当于重新启动上电序列。PWRDN# 置为有效会将器件断电并禁用所有输出进入三态。PWRDN# 置为无效会启动上电序列。

无论 GPI/GPIO 极性设置如何，PWRDN# 功能始终为低电平有效。

在基于动态 OTP 选择的断电模式下，以下块可通过 OTP 寄存器断电。

表 7-13. 断电控制

器件型号	寄存器	说明
LMK3H2108 或 LMK3H2104	PDN	对器件断电。该寄存器的功能受 PIN_SAMPLE_DIS 和 OTP_AUTOLOAD_DIS 的影响
LMK3H2108 或 LMK3H2104	BAW_PD	对 BAW 和 BAW 相关电路断电
LMK3H2108 或 LMK3H2104	FOD_0_PD	对 FOD_0 断电。
LMK3H2108 或 LMK3H2104	FOD_1_PD	将 FOD_1 断电
LMK3H2108 或 LMK3H2104	IN0_PD	将 IN0 断电
LMK3H2108	IN1_PD	将 IN1 断电
LMK3H2108	IN2_PD	将 IN2 断电

为了尽可能减小未使用的输出驱动器的功率，请设置 OUTx_DIS_STATE = 3 (Hi-Z/Hi-Z)。

除低功耗模式和复位模式外，还可通过以下寄存器实现更大的灵活性。

表 7-14. 断电模式寄存器

寄存器	说明
PIN_RESAMPLE_DIS	引脚重新采样禁用。 • LMK3H2104： – 0x0：器件退出断电模式（PWRDN# 引脚置为无效或者写入 PDN 寄存器字段的 0x0）时，会对 REF_0/CTRL 引脚重新采样以确定器件的工作模式。 – 0x1：不会对该引脚进行重新采样，并保留 REF_0/CTRL 引脚的最后一个采样值。 • LMK3H2108：该寄存器没有影响。

Copyright © 2025 Texas Instruments Incorporated

表 7-14. 断电模式寄存器（续）

寄存器	说明
OTP_AUTOLOAD_DIS	OTP 自动加载禁用。默认情况下，当器件退出断电模式（PWRDN# 引脚置为无效或者写入 PDN 寄存器字段的 0x0）时，OTP 数据加载到器件寄存器中。但是，如果在退出断电模式时 OTP_AUTOLOAD_DIS 的值为 0x1，则不会发生这种此数据传输。OTP_AUTOLOAD_DIS 寄存器字段对动态 OTP 页面更改没有影响。

表 7-15. 断电模式寄存器和器件行为

PIN_SAMPLE_DIS	OTP_AUTOLOAD_DIS	切换 PWRDN# 时的器件行为
0x0	0x0	复位模式，完整。切换 PWRDN# 引脚相当于一次完整的下电上电。
0x0	0x1	复位模式，无 OTP 自动负载。切换 PWRDN# 引脚会使器件复位但寄存器值保留。
0x1	0x0	复位模式，无引脚重新采样。从 OTP 重新加载寄存器，但不会对 REF_0/CTRL 引脚进行重新采样，并且 LMK3H2104 的器件工作模式不变。
0x1	0x1	低功耗模式。不会对逻辑输入引脚进行重新采样并且没有 OTP 内容加载到寄存器中。寄存器值不变。PWRDN# 置为有效时，输出组断电且输出保持三态。

7.3.4 电源

7.3.4.1 电源引脚映射

表 7-16. LMK3H2108 电源引脚映射

引脚名称	分配的块	电源电压	电源电压影响
VDDA	BAW、FOD_0、FOD_1	1.8V、2.5V 或 3.3V	不适用
VDDD	I2C、GPIO_[4:0]、OTP 和其他数字块	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	GPIO_[4:0]、SCL 和 SDA 的 VIH 和 VIL 跟随 VDDD 电压。有关详细信息，请参阅 规格。
VDDR	IN1、IN2、GPI_[5:2]	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	GPI_[5:2] 的 VIH 和 VIL 跟随 VDDR 电压。无论 VDDR 电压如何，IN1 和 IN2 CMOS 时钟输入电平都可以是 1.8V、2.5V 或 3.3V。有关详细信息，请参阅 规格。
VDDX	IN0、GPI_[1:0]	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	GPI_[1:0] 的 VIH 和 VIL 跟随 VDDX 电压。无论 VDDX 电压如何，IN0 CMOS 时钟输入电平都可以是 1.8V、2.5V 或 3.3V。有关详细信息，请参阅 规格。
VDDO_0	OUT0 驱动器、通道分频器、多路复用器	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	OUT0 CMOS 时钟输出电平跟随 VDDO_0 电压，1.2V CMOS 除外。有关详细信息，请参阅 规格。
VDDO_1_2	OUT1 和 OUT2 驱动器、通道分频器、多路复用器	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	OUT1 和 OUT2 CMOS 时钟输出电平跟随 VDDO_1_2 电压，1.2V CMOS 除外。有关详细信息，请参阅 规格。
VDDO_3_4	OUT3 和 OUT4 驱动器、通道分频器、多路复用器	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	OUT3 和 OUT4 CMOS 时钟输出电平跟随 VDDO_3_4 电压，1.2V CMOS 除外。有关详细信息，请参阅 规格。
VDDO_5	OUT5 驱动器、通道分频器、多路复用器	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	OUT5 CMOS 时钟输出电平跟随 VDDO_5 电压，1.2V CMOS 除外。有关详细信息，请参阅 规格。
VDDO_6	OUT6 驱动器、通道分频器、多路复用器	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	OUT6 CMOS 时钟输出电平跟随 VDDO_6 电压，1.2V CMOS 除外。有关详细信息，请参阅 规格。
VDDO_7	OUT7 驱动器、通道分频器、多路复用器	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	OUT7 CMOS 时钟输出电平跟随 VDDO_7 电压，1.2V CMOS 除外。有关详细信息，请参阅 规格。

Copyright © 2025 Texas Instruments Incorporated

表 7-17. LMK3H2104 电源引脚映射

引脚名称	分配的块	电源电压	电源电压影响
VDDA	BAW、FOD_0、FOD_1 REF1 通道分频器和多路复用器	1.8V、2.5V 或 3.3V。	不适用
VDDD	GPI_2、I2C、OTP_SEL[1:0]、GPIO_[1:0]、OTP 和其他数字块	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	GPI_2、OTP_SEL[1:0]、SCL、SDA 和 GPIO_[1:0] 的 VIH 和 VIL 跟随 VDDD 电压。有关详细信息，请参阅 规格。
VDDO_0	OUT0 驱动器、通道分频器和多路复用器	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	OUT0 CMOS 时钟输出电平跟随 VDDO_0 电压，1.2V CMOS 除外。有关详细信息，请参阅 规格。
VDDO_1	OUT1 驱动器、通道分频器和多路复用器	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	OUT1 CMOS 时钟输出电平跟随 VDDO_1 电压，1.2V CMOS 除外。有关详细信息，请参阅 规格。
VDDO_2	OUT2 驱动器、通道分频器和多路复用器	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	OUT2 CMOS 时钟输出电平跟随 VDDO_2 电压，1.2V CMOS 除外。有关详细信息，请参阅 规格。
VDDO_3	OUT3 驱动器、通道分频器和多路复用器 REF0 通道分频器和多路复用器	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	OUT3 CMOS 时钟输出电平跟随 VDDO_3 电压，1.2V CMOS 除外。有关详细信息，请参阅 规格。 要将 REF0 用于 LVCMOS 时钟输出，必须将 VDDO_3 连接到电源。
VDD_REF	GPI_[1:0]、IN0、CTRL、REF_0 和 REF_1 输出驱动器	1.8V、2.5V 或 3.3V，无论 VDDA 电压和其他 VDD 引脚电压如何	GPI_[1:0] 的 VIH 和 VIL 跟随 VDD_REF 电压。 无论 VDD_REF 电压如何，IN0 CMOS 时钟输入电平都可以是 1.8V、2.5V 或 3.3V。 CTRL（引脚 15）的 VIH 和 VIL 跟随 VDD_REF 电压。 REF_0 和 REF_1 LVCMOS 时钟输出电压电平跟随 VDD_REF 电压。 有关详细信息，请参阅 规格。

7.3.4.2 未使用的电源引脚

VDDD、VDDA 和 VDD_REF 必须连接到电源。如果未使用，则其他 VDD 引脚可以保持悬空。必须通过 OTP 设置寄存器以实现正确的上电序列。

表 7-18. 用于使 VDD 引脚保持悬空的 LMK3H2108 寄存器

寄存器	说明
FLOAT_VDDR	• 0x0：VDDR 引脚必须连接到电源轨 • 0x1：GPI_[5:2] 和 IN[2:1] 未使用。VDDR 引脚可保持悬空
FLOAT_VDDX	• 0x0：VDDX 引脚必须连接到电源轨 • 0x1：GPI_[1:0] 和 IN0 未使用。VDDX 引脚可保持悬空
FLOAT_VDDO_0	• 0x0：VDDO_0 引脚必须连接到电源轨 • 0x1：OUT0 未使用。VDDO_0 引脚可保持悬空
FLOAT_VDDO_1_2	• 0x0：VDDO_1_2 引脚必须连接到电源轨 • 0x1：OUT1 和 OUT2 未使用。VDDO_1_2 引脚可保持悬空
FLOAT_VDDO_3_4	• 0x0：VDDO_3_4 引脚必须连接到电源轨 • 0x1：OUT3 和 OUT4 未使用。VDDO_3_4 引脚可保持悬空
FLOAT_VDDO_5	• 0x0：VDDO_5 引脚必须连接到电源轨 • 0x1：OUT5 未使用。VDDO_5 引脚可保持悬空
FLOAT_VDDO_6	• 0x0：VDDO_6 引脚必须连接到电源轨 • 0x1：OUT6 未使用。VDDO_6 引脚可保持悬空

Copyright © 2025 Texas Instruments Incorporated

表 7-18. 用于使 VDD 引脚保持悬空的 LMK3H2108 寄存器（续）

寄存器	说明
FLOAT_VDDO_7	• 0x0：VDDO_7 引脚必须连接到电源轨 • 0x1：OUT7 未使用。VDDO_7 引脚可保持悬空

表 7-19. 用于使 VDD 引脚保持悬空的 LMK3H2104 寄存器

寄存器	说明
FLOAT_VDDO_0	• 0x0：VDDO_0 引脚必须连接到电源轨 • 0x1：OUT0 未使用。VDDO_0 引脚可保持悬空
FLOAT_VDDO_1	• 0x0：VDDO_1 引脚必须连接到电源轨 • 0x1：OUT1 未使用。VDDO_1 引脚可保持悬空
FLOAT_VDDO_2	• 0x0：VDDO_2 引脚必须连接到电源轨 • 0x1：OUT2 未使用。VDDO_2 引脚可保持悬空
FLOAT_VDDO_3	• 0x0：VDDO_3 引脚必须连接到电源轨 • 0x1：OUT3 未使用。VDDO_3 引脚可保持悬空

Copyright © 2025 Texas Instruments Incorporated

7.3.5 上电序列

7.3.5.1 上电序列

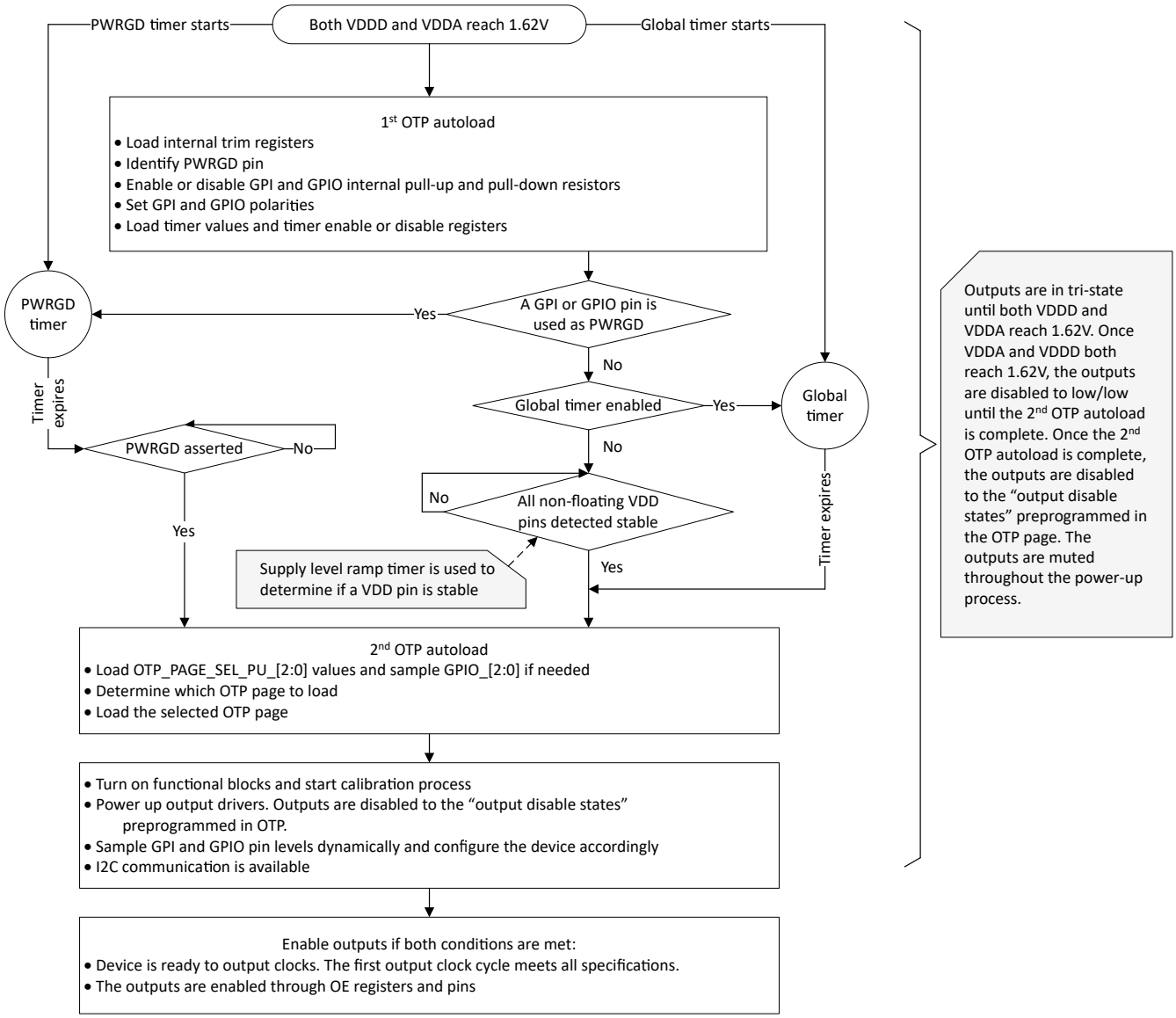


图 7-3. LMK3H2108 上电序列

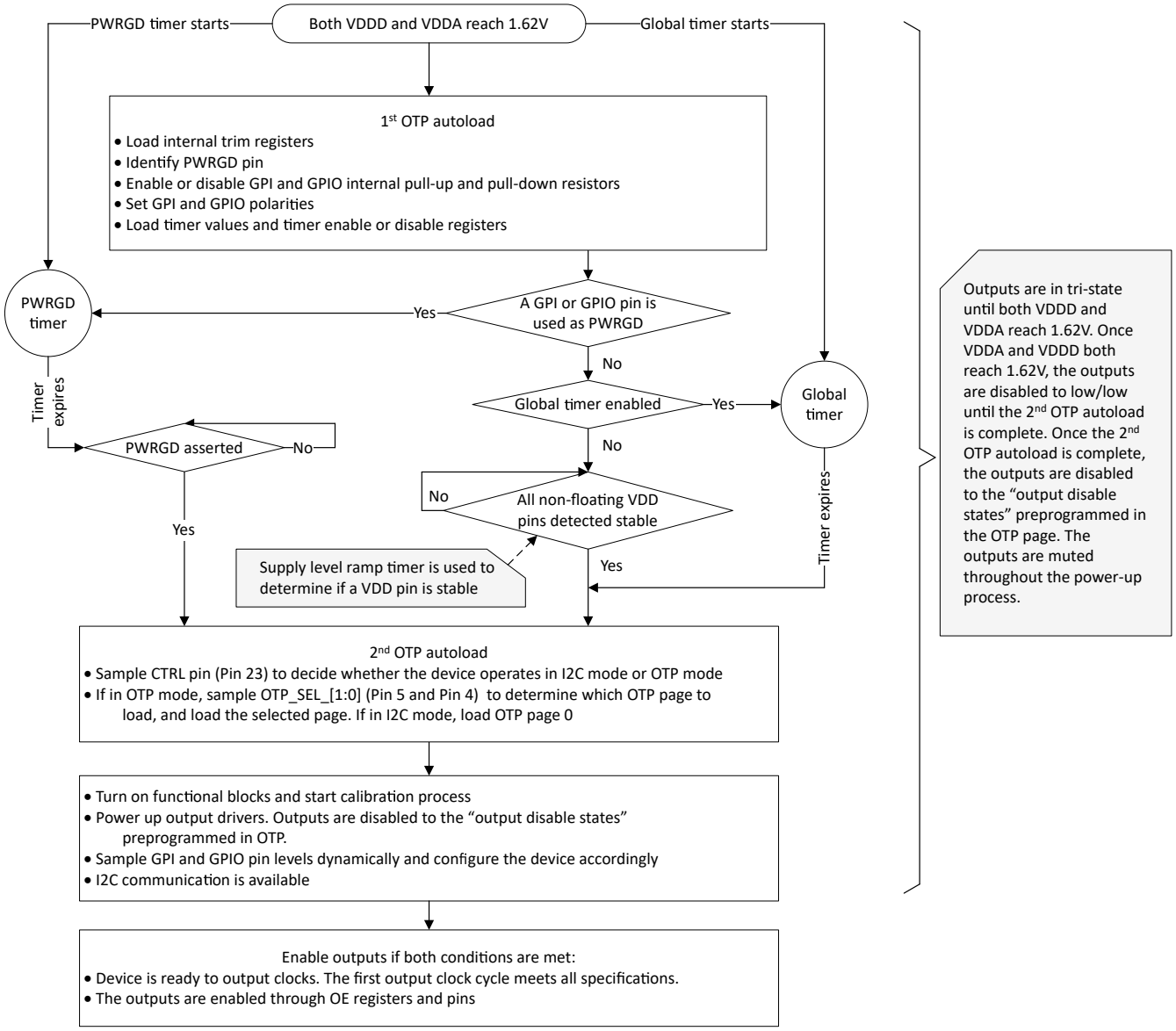


图 7-4. LMK3H2104 上电序列

表 7-20. 计时器说明

计时器	说明
PWRGD 计时器	PWRGD 计时器用于在上电时延迟对 PWRGD 引脚的采样。该计时器可用于 PWRGD 引脚连接到电源轨或控制器件的情况，因为器件经过一些时间才能稳定。用户必须确保在 PWRGD 计时器到期之前 PWRGD 输入电平可以进行采样。
电源电平斜坡计时器	每个 VDD 引脚的电压电平在内部解释为 0b00 (VDDx <1.8V)、0b01 (VDDx = 1.8V)、0b10 (VDDx = 2.5V) 或 0b11 (VDD = 3.3V)。如果满足以下条件之一，则检测到 VDD 引脚保持稳定： • VDDx 电压电平为 0b11 • VDDx 电压电平为 0b01 或 0b10，并且电源电平斜坡计时器到期。当 VDDx 电压达到 1.62V 时，电源电平斜坡计时器启动。 电源电平斜坡计时器的值对于所有 VDD 引脚都是相同的，必须根据在 1.62V 至最终电压范围内测量的最长预期电源斜升时间进行编程

Copyright © 2025 Texas Instruments Incorporated

表 7-20. 计时器说明（续）

计时器	说明
全局电源检测计时器	全局电源检测计时器存在的目的是在未能检测到 VDD 引脚保持稳定的情况下，器件不会无限期等待并在计时器到期时仍然上电。此计时器可通过 OTP 寄存器启用或禁用。 • 禁用后，直到检测到所有非悬空 VDD 引脚保持稳定后器件才上电 • 启用后，器件会在全局计时器到期或者检测到所有非悬空 VDD 引脚都保持稳定时（以先发生者为准）时上电

表 7-21. 计时器范围和分辨率

计时器	计时器起点	分辨率	范围
PWRGD 计时器	VDDA 和 VDDD 都达到 1.62V	0.1ms	0.1ms 到 25.6ms
全局计时器	VDDA 和 VDDD 都达到 1.62V	0.1ms	0.1ms 到 25.6ms
单个 VDDx 计时器	VDDx 达到 1.62V	0.1ms	0.1ms 到 6.4ms

7.3.6 输出启用和禁用

7.3.6.1 OE 寄存器

每个输出（包括 LMK3H2104 的 REF_0 和 REF_1）都有一个专用的输出禁用寄存器位，可通过 I2C 访问。OUTx_DIS = 1 时 OUTx 禁用；OUTx_DIS = 0 时 OUTx 启用。可以通过 REFx_DIS 启用或禁用 REF_0 和 REF_1。

有一个全局 OE 位，用于启用或禁用所有输出，但全局 OE 中排除的输出除外。

7.3.6.2 OE 组分配

每个输出都可以使用 OUTx_OE_GRP 分配到一个 OE 组。当配置为 OE 组引脚时，GPI/GPIO 引脚可以启用或禁用一个或多个输出。

- 可分配到给 OE 组的输出：
  - LMK3H2108：OUT0、OUT1、OUT2、OUT3、OUT4、OUT5、OUT6、OUT7
  - LMK3H2104：OUT0、OUT1、OUT2、OUT3、REF_0、REF_1
- 当输出未分配到 OE 组时，输出可以是以下任一种：
  - 不由任何 OE 组控制，但由全局 OE 位和全局 OE 引脚控制
  - 不由任何 OE 组控制，并从全局 OE 位和全局 OE 引脚中排除

每个 OE 组只能由一个 GPI 或 GPIO 引脚控制。严禁配置 2 个或多个 GPI/GPIO 引脚来控制同一个 OE 组。

7.3.6.3 OE “与”和逻辑

输出启用功能遵循“与”逻辑。如果所有有效的输出启用逻辑促进因素都处于“启用”状态，则启用输出。如果任何一个有效的输出启用逻辑促进因素器处于“禁用”状态，则禁用输出。输出启用逻辑促进因素如下：

- 单独输出禁用寄存器字段
- 全局输启用能寄存器字段（仅当相应的 OUTx_OE_GRP 寄存器字段未设置为“未分配，不受全局输出启用控件的影响。”时才有效。当“替代 OE”功能启用时，始终都不是有效。）
- 全局输出启用引脚（仅当为 GPI/GPIO 引脚分配了“全局 OE 引脚”功能且相应的 OUTx_OE_GRP 寄存器字段未设置为“未分配，不受全局输出启用控件的影响。”时才有效。当“替代 OE”功能启用时，始终都不是有效。）
- 输出启用组引脚（仅当为 GPI/GPIO 引脚分配了“OE 组”功能且相应的 OUTx_OE_GRP 寄存器字段设置为与该引脚相同的 OE 组时才有效。当“替代 OE”功能启用时，始终都不是有效。）
- 替代 OE 引脚（仅限 LMK3H2104。仅当替代 OE 功能启用（为 GPI2 和 GPIO0 两者分配了“替代 OE”功能）时才有效）

7.3.6.4 替代 OE

对于 LMK3H2104，当 GPI_2 和 GPIO_0 均配置为替代 OE 时，输出行为如下表所示。

Copyright © 2025 Texas Instruments Incorporated

GPI_2 = OEA，GPIO_0 = OEB

表 7-22. 替代备用 OE 映射 1 (ALTERNATE_OE_SEL = 0)

OE[B:A]	OUT0	OUT1	OUT2	OUT3	REF_0	REF_1
00	启用	禁用	启用	禁用	启用	启用
01	启用	启用	禁用	禁用	启用	启用
10	禁用	禁用	启用	启用	启用	启用
11	启用	启用	启用	启用	启用	启用

表 7-23. 替代备用 OE 映射 2 (ALTERNATE_OE_SEL = 1)

OE[B:A]	OUT0	OUT1	OUT2	OUT3	REF_0	REF_1
00	启用	禁用	禁用	禁用	启用	启用
01	启用	启用	禁用	禁用	启用	启用
10	启用	启用	启用	禁用	启用	启用
11	启用	启用	启用	启用	启用	启用

如果启用了替代 OE，则始终不会在输出启用逻辑中考虑以下促进因素：

- 全局输出启用寄存器字段
- 全局输出启用引脚
- 输出启用组引脚

启用替代 OE 后，输出必须配置为“无 OE 组”。

添加 4.2 µs 去抖时间以允许动态更改 OEA 和 OEB。

7.3.6.5 OE 极性

OE 寄存器始终为高电平有效。OE 引脚极性由 GPI/GPIO 引脚极性决定，如下所示。

表 7-24. OE 的 GPI/GPIO 极性

GPI/GPIO 配置	GPI/GPIO 极性
OE_GROUP_x	• 正常极性：高电平有效 – 低电平：禁用输出 – 高电平：启用输出 • 反转极性：低电平有效 – 低电平：启用输出 – 高电平：禁用输出
全局 OE	
替代 OE	GPI/GPIO 极性被忽略

7.3.6.6 单个 LVCMOS OE

当输出设置为任何 LVCMOS 格式时，可以通过单个 LVCMOS OE 位 OUTxP_OE_CMOS 和 OUTxN_OE_CMOS 分别启用或禁用 OUTx_P 和 OUTx_N。如果通过单个 LVCMOS OE 位启用或禁用 OUTx_P 或 OUTx_N，则 OUTx_N 或 OUTx_P 不会中断。启用和禁用过程是同步的，或者是异步的，这由 SINGLE_CMOS_EN_SYNC 设置。

对于差分输出，OUTxP_OE_CMOS 和 OUTxN_OE_CMOS 都必须设置为 1。

7.3.6.7 LOS 和输出行为

当 INx 停留在高电平/低电平且 LOS = 1 时，输出时钟停留在高电平/低电平。当 INx 恢复且 LOS = 0 时，输出时钟短暂变为低电平/高电平，然后进入编程的禁用状态（仅在启用了自动输出禁用功能时），然后再次开始切换。

Copyright © 2025 Texas Instruments Incorporated

如果 LOS 禁用，则不会发生上述行为。当 INx 停留在高电平/低电平或低电平/高电平时，输出时钟也停留在高电平/低电平或低电平/高电平。当 INx 恢复时，输出时钟再次开始切换。

7.3.7 PERST#

7.3.7.1 PERST# 缓冲模式

PERST#（PCIe 复位低电平有效）缓冲模式允许用户根据输入时钟的有效性以及 GPI 或 GPIO 引脚上提供的 PERST# 信号，在时钟发生器模式和旁路缓冲模式之间切换。

要启用 PERST# 缓冲器模式，必须将寄存器 BANKx_SWITCHOVER_FRC_CLK_EN 设置为 0

表 7-25. PERST_INx# 极性

GPI/GPIO 功能	GPI/GPIO 极性
PERST_IN0#	常规 PERST# 缓冲模式： • 正常极性 – 在 PERST_INx# 为低电平的情况下，当输入时钟有效时，器件进入缓冲模式；而当输入时钟无效时，器件进入时钟发生器模式 – 当 PERST_INx# 为高电平时，器件工作模式不会改变 • 反转极性 – 在 PERST_INx# 为高电平的情况下，当输入时钟有效时，器件进入缓冲模式；而当输入时钟无效时，器件进入时钟发生器模式 – 当 PERST_INx# 为低电平时，器件工作模式不会改变 电平触发 PERST# 缓冲模式： • 正常极性： – 当 PERST_INx 为低电平且 INx 时钟有效时，器件进入缓冲模式 – 当 PERST_INx 为高电平或 INx 时钟无效时，器件进入时钟发生器模式 • 反转极性： – 当 PERST_INx 为高电平且 INx 时钟有效时，器件进入缓冲模式 – 当 PERST_INx 为低电平或 INx 时钟无效时，器件进入时钟发生器模式
PERST_IN1#	
PERST_IN2#	

表 7-26. 常规 PERST# 缓冲模式真值表（正常极性）

PERST#	LOS	器件工作模式
L	L	缓冲模式
L	H	时钟发生器模式
H	L	先前模式
H	H	先前模式

表 7-27. 转换中的常规 PERST# 缓冲模式真值表（正常极性）

PERST#	LOS	器件工作模式
H	L 至 H	先前模式
H	H 至 L	先前模式
L 至 H	L	缓冲模式
L 至 H	H	时钟发生器模式
L	L 至 H	缓冲模式转换到时钟发生器模式
L	H 至 L	时钟发生器模式转换到缓冲模式
H 至 L	L	先前模式转换到缓冲模式
H 至 L	H	先前模式转换到时钟发生成器模式

Copyright © 2025 Texas Instruments Incorporated

表 7-28. 电平触发 PERST# 缓冲模式真值表（正常极性）

PERST#	LOS	器件工作模式
L	L	缓冲模式
L	H	时钟发生器模式
H	L	时钟发生器模式
H	H	时钟发生器模式

如果器件在缓冲模式下工作但输入时钟丢失，则输出被禁用并进入编程的禁用状态。

在极性反转的情况下，所有真值表中 PERST# 的“H”和“L”会交换。

表 7-29. PERST# 缓冲模式寄存器

寄存器	类型	说明
PERST_BUF_INx（x = 0、1、2）	RW	PERST 缓冲模式 INx 设置 • 0x0：PERST# 缓冲模式对 INx 禁用。在 PERST# 缓冲模式下选择 INx 的输出组改为根据输出组多路复用器设置选择时钟源。 • 0x1：常规 PERST# 缓冲模式启用 • 0x2：电平触发 PERST# 缓冲模式启用 • 0x3：无论 PERST_INx# 状态如何，INx 缓冲模式始终启用。
PERST_BUF_BANKx（x = 0、1、2、3、4 或 5）	RW	PERST 缓冲模式 BANKx 设置 • 0x0：正常运行模式。BANKx 根据 BANKx MUX 设置选择时钟源 • 0x1：BANKx 在缓冲模式下选择 IN0 • 0x2：BANKx 在缓冲模式下选择 IN1 • 0x3：BANKx 在缓冲模式下选择 IN2
PERST_BUF_INx_STS（x = 0、1 或 2）	RO	PERST_INx 缓冲模式状态回读。该寄存器的值也可以传递到 GPIO 引脚 • 0x0：INx 不会通过 PERST 缓冲模式传递到任何输出组。但是，如果 PERST 缓冲模式禁用，则可以通过正常输出组多路复用器设置将 INx 传递到输出组 • 0x1：INx 通过缓冲模式传递到输出组。
PERST_BUF_INx_LOS_EN（x = 0、1、2）	RW	• 0x0：在 PERST 缓冲模式下，LOS_x 状态被忽略。在所有相关真值表中，输入时钟始终假定为有效且 LOS_x 为“L”。 • 0x1：在 PERST 缓冲模式下，使用 LOS_x 状态。

表 7-30. PERST_BUF_BANKx 和 PERST_BUF_INx 映射

PERST_BUF_BANKx	PERST_BUF_IN0	PERST_BUF_IN1	PERST_BUF_IN2	BANKx 时钟源
0x0	x	x	x	由 BANKx_CLK_SEL 决定
0x1	0x0	x	x	由 BANKx_CLK_SEL 决定
0x1	0x1	x	x	当缓冲模式处于活动状态时选择 IN0
0x1	0x2	x	x	当缓冲模式处于活动状态时选择 IN0
0x1	0x3	x	x	始终选择 IN0
0x2	x	0x0	x	由 BANKx_CLK_SEL 决定
0x2	x	0x1	x	当缓冲模式处于活动状态时选择 IN1
0x2	x	0x2	x	当缓冲模式处于活动状态时选择 IN1
0x2	x	0x3	x	始终选择 IN1
0x3	x	x	0x0	由 BANKx_CLK_SEL 决定
0x3	x	x	0x1	当缓冲模式处于活动状态时选择 IN2
0x3	x	x	0x2	当缓冲模式处于活动状态时选择 IN2

Copyright © 2025 Texas Instruments Incorporated

表 7-30. PERST_BUF_BANKx 和 PERST_BUF_INx 映射（续）

PERST_BUF_BANKx	PERST_BUF_IN0	PERST_BUF_IN1	PERST_BUF_IN2	BANKx 时钟源
0x3	x	x	0x3	始终选择 IN2

表 7-31. PERST_BUF_INx_STS 映射

PERST_BUF_BANKx	PERST_BUF_INx	PERST_BUF_INx_STS
所有组为 0x0	x	PERST_BUF_IN0_STS = 0x0 PERST_BUF_IN1_STS = 0x0 PERST_BUF_IN2_STS = 0x0
x	PERST_BUF_IN0 = 0x0	PERST_BUF_IN0_STS = 0x0
x	PERST_BUF_IN1 = 0x0	PERST_BUF_IN1_STS = 0x0
x	PERST_BUF_IN2 = 0x0	PERST_BUF_IN2_STS = 0x0
至少 1 个组为 0x1	PERST_BUF_IN0 = 0x1、0x2 或 0x3	• 如果 IN0 未传递到输出组，则 PERST_BUF_IN0_STS = 0x0 • 如果 IN0 通过缓冲模式传递到输出组，则 PERST_BUF_IN0_STS = 0x1
至少 1 个组为 0x2	PERST_BUF_IN1 = 0x1、0x2 或 0x3	• 如果 IN1 未传递到输出组，则 PERST_BUF_IN1_STS = 0x0 • 如果 IN1 通过缓冲模式传递到输出组，则 PERST_BUF_IN1_STS = 0x1
至少 1 个组为 0x3	PERST_BUF_IN2 = 0x1、0x2 或 0x3	• 如果 IN2 未传递到输出组，则 PERST_BUF_IN2_STS = 0x0 • 如果 IN2 通过缓冲模式传递到输出组，则 PERST_BUF_IN2_STS = 0x1

7.3.7.2 PERST# 锁存

PERST# 输入锁存后，锁存会在满足以下任一条件后清除。

- PWRDN# 功能设置为复位模式且 PWRDN# 置为有效
- OTP 页面通过动态 OTP_SEL 更改
- 更改了 PERST# 缓冲模式寄存器，以便：
  1. 输出组不再选择 INx
  2. 选择了电平触发缓冲模式或禁用了缓冲模式
  3. 不启用常规 PERST# 缓冲模式的任何其他设置

7.3.8 状态信号

7.3.8.1 CLK_READY

器件完全上电时，CLK_READY 置为有效并且可以输出时钟。在退出断电模式或硬复位后，CLK_READY 可用于指示器件在上电时的就绪情况。CLK_READY 可用于所有工作模式，包括仅缓冲模式。通过 OE 控制启用或禁用输出不会影响 CLK_READY 的状态。

7.3.8.2 输入 LOS

INx_LOS（信号丢失）指示是否向 INx 提供了有效的时钟信号。LOS 基于频率检测。如果频率高于或等于检测阈值，则将输入时钟视为有效。LOS 阈值在 1MHz 和 25MHz 之间进行编程。LOS 监控不能用于 1PPS 等低频输入。

Copyright © 2025 Texas Instruments Incorporated

7.3.8.3 输出频率检测

包括 REF0 和 REF1 在内的每个输出都有一个粗略频率检测器，可以检测到输出时钟频率是高于还是等于检测阈值。检测阈值可在 1MHz 到 25MHz 的范围内编程。

输出频率检测是一种有用的监控功能。如果输出时钟出于任何原因（例如电源中断、内部电路故障或焊点故障）丢失，则输出频率检测器可以报告缺失的输出。

7.3.8.4 CRC_ERROR

CRC_ERROR 指示寄存器值是否正确从预编程的 OTP 加载。每次加载 OTP 时该位都会更新。发生 CRC 错误时，OTP 会加载并且器件正常上电。CRC_ERROR 只是状态信号并且不会阻止器件运行。

7.3.8.5 状态事件寄存器

输入 LOS 和输出频率检测具有可以记录错误历史的事件寄存器。详细信息，请参阅寄存器说明。

7.3.8.6 器件中断

表 7-32. 中断寄存器

寄存器	说明
DEV_INTR	器件中断。该寄存器是器件中断中包含的所有状态寄存器的逻辑“或”。该信号也可以从 GPIO 引脚输出。
INx_LOS_EVT_INTR_EN	当设置为 1 时，LOS_x_EVT 包含在器件中断中
INx_LOS_LMT_EVT_INTR_EN	当设置为 1 时，INx_LOS_LMT_EVT_INTR_EN 包含在器件中断中
CRC_ERROR_EVT_INTR_EN	当设置为 1 时，CRC_ERROR_EVT 包含在器件中断中
OUTx_FREQ_ERR_EVT_INTR_EN	当设置为 1 时，OUTx_FREQ_ERR_EVT 包含在器件中断中

7.3.8.7 来自 GPIO 的状态信号

状态信号也可以从 GPIO 引脚输出。GPIO 状态输出的极性由 GPIO 极性决定。

- 正常极性：与寄存器极性相同
- 反转极性：与寄存器极性相反。

7.3.9 输入接收器

7.3.9.1 GPI 输入和时钟输入

每对 GPI/INx 引脚可配置如下：

- 如果 INx_RCVR_FMT = 0x0，则 INx_P 和 INx_N 均配置为 GPI 引脚
- 如果 INx_RCVR_FMT = 0x1，则 INx_P 为 LVCMOS 时钟输入，INx_N 为 GPI 引脚
- 如果 INx_RCVR_FMT = 0x2，则 INx_P 为 GPI 引脚，INx_N 为 LVCMOS 时钟输入
- 如果 INx_RCVR_FMT = 0x3，则 INx_P 和 INx_N 配置为差分时钟输入

用户可以将 INx_P 和 INx_N 分别连接到不同的 LVCMOS 时钟源，并通过在 0x1 和 0x2 之间切换 INx_RCVR_FMT 的值来动态地在两个源之间进行选择。

7.3.9.2 时钟输入配置和端接

每个时钟输入支持以下端接：

- 无不带内部偏置的端接（适用于 LVCMOS 输入、LP-HCSL 输入和其他不需要集成输入端接的直流耦合输入）
- 无带有内部偏置的端接（适用于不需要集成输入端接的交流耦合输入）
- P 和 N 上的 50Ω 至 GND（适用于传统的 100Ω HCSL 输入和其他需要 50Ω 至 GND 端接的直流耦合输入）
- P 和 N 上的 50Ω 至内部偏置（适用于 AC-LVDS 和其他需要 50Ω 至 AC-GND 端接的交流耦合输入）
- P 和 N 上的 42.5Ω 至 GND（适用于传统的 85Ω HCSL 输入和其他需要 42.5Ω 至 GND 端接的直流耦合输入）
- P 和 N 上的 42.5Ω 至内部偏置（适用于需要 42.5Ω 至 AC-GND 端接的交流耦合输入）

Copyright © 2025 Texas Instruments Incorporated

- P 和 N 之间的 100Ω（适用于直流耦合 LVDS）
- P 和 N 上的 50Ω 至直流路径。直流路径为 50Ω 至 GND（适用于 DC-LVPECL，具体取决于 LVPECL 端接要求）

7.3.9.3 差分时钟输入

差分时钟输入可以是交流耦合，也可以是直流耦合。直流耦合时，输入共模电压可高达 3.3V。

7.3.9.4 失效防护输入

当器件电源关闭时，INx/GPI 引脚可以承受静态高电压。“静态高电压”是指没有上升沿或下降沿。器件电源关闭时，如果 INx/GPI 引脚上预计出现上升沿或下降沿，则：

- 如果满足以下要求，当器件电源关闭时，INx 引脚可以承受运行差分输入时钟：
  - 振幅（差分峰峰值摆幅的一半）不超过 1.2V
  - 输入时钟可以是交流耦合或直流耦合。直流耦合时，输入共模电压可高达 3.3V。

要在器件电源关闭时承受具有快速边沿速率的 1PPS 时钟的运行，请添加一个 200Ω 串联电阻以限制边沿速率。

7.3.9.5 降低输入串扰

使用多对时钟输入时，关闭备用时钟源以便最大程度减少输入串扰。如果备用时钟源无法关闭，请通过 INx_PD 对输入驱动器断电，以减少输入串扰。

然而，输入驱动器上电大约需要 200µs。如果需要快速输入切换，请勿对将输入驱动器断电。

7.3.10 输入切换

7.3.10.1 自动切换

当 INx 上的输入时钟变为无效（LOS 置为有效）时，如果 BANKy_AUTO_CLK_SWITCHOVER_EN 为 1，选择 INx 的输出组可以自动切换到 FOD 生成的时钟。自动切换到的 FOD 生成的时钟可以是路径 0 或路径 1，这由 BANKy_AUTO_CLK_SWITCHOVER_CLK_SEL 设置。

当 BANKy 进行自动时钟切换后 INx 上的输入时钟重新变为有效（LOS 置为无效）时，BANKy 可以切换回 INx 或继续使用 FOD 生成的时钟，这由 BANKy_AUTO_CLK_SWITCHBACK_EN 确定。

要使用输入切换功能，必须将 BANKx_SWITCHOVER_FRC_CLK_EN 设置为 0。当 BANKx_SWITCHOVER_FRC_CLK_EN 设置为 0 时，会限制动态 OTP 页面更改。如果不使用切换功能，则将 BANKx_SWITCHOVER_FRC_CLK_EN 设置为 1。

7.3.10.2 手动切换

通过重写 BANKy_CLK_SEL 寄存器，可以通过 I2C 手动切换每个输出组的时钟源。BANKy_SWITCHOVER_FRC_CLK_EN 必须设置为 0 才能启用手动切换。

每个输出组的时钟源也可以使用 PERST 通过 GPI/GPIO 引脚手动切换。有关详细信息，请参阅 PERST 缓冲模式

7.3.11 输出 MUX

7.3.11.1 时钟输出多路复用器设置

对于 LMK3H2108，每个输出组（OUT0、OUT1 和 OUT2、OUT2 和 OUT3、OUT4、OUT5、OUT6、OUT7）都可以从以下 6 个时钟源中独立选择：IN0、IN1、IN2、FOD_0、FOD_1、边缘组合器。

对于 LMK3H2104，包括 REF_0 和 REF_1 在内的每个输出都可以从以下 4 个时钟源中独立选择：IN0、FOD_0、FOD_1、边缘组合器。

7.3.12 输出驱动器

7.3.12.1 输出格式

该器件支持以下输出格式：

Copyright © 2025 Texas Instruments Incorporated

- 100Ω LP-HCSL
- 85Ω LP-HCSL
- AC-LVDS
- DC-LVDS
- 在 OUTx_P 上启用且在 OUTx_N 上禁用的 LVCMOS。
- 在 OUTx_P 上禁用且在 OUTx_N 上启禁用的 LVCMOS。
- 在 OUTx_P 和 OUTx_N 上均启用的 LVCMOS。P 和 N 具有 180 度的相位差。
- 在 OUTx_P 和 OUTx_N 上均启用的 LVCMOS。P 和 N 同相。

7.3.12.2 1.2V LVCMOS 输出

除 REF0 和 REF1 之外，每个输出都支持 1.2V LVCMOS。要启用 1.2V LVCMOS 模式，请将 OUTx_CMOS_1P2V_EN 设置为 1。当 OUTx_CMOS_1P2V_EN 为 0 时，LVCMOS 电平跟随相应的 VDDO 电源电压。

请注意，VDDO 引脚不支持 1.2V 电源电压。当 1.2V LVCMOS 驱动器驱动高阻抗负载时，相应的 VDDO 必须连接至 1.8V。当 1.2V LVCMOS 驱动器驱动 100Ω 差分负载时，相应的 VDDO 可以连接至 1.8V、2.5V 或 3.3V。

1.2V LVCMOS 摆幅也可以在出厂时预编程为 1.1V。如需详细信息，请联系 TI。

7.3.12.3 LVCMOS 输出阻抗

1.8V、2.5V 和 3.3V LVCMOS 的输出阻抗为 17Ω。1.2V LVCMOS 的输出阻抗为 50Ω。

7.3.12.4 可编程压摆率

LP-HCSL、LVDS 和 1.2V LVCMOS 的时钟输出压摆率可通过寄存器 OUTx_SLEW_RATE 进行编程。

1.8/2.5/3.3V LVCMOS 的时钟输出压摆率可通过寄存器 OUTx_CMOS_SLEW_RATE 进行编程。

REF0 和 REF1 的时钟输出压摆率不可编程。

7.3.12.5 输出极性

对于单端和差分输出格式，可以通过寄存器 OUTxP_INV_POL 和 OUTxN_INV_POL 反转输出极性。当输出驱动器配置为单端 (LVCMOS) 时，P 和 N 的极性可以独立反转。当输出驱动器配置为差分（LVDS 或 LP-HCSL）时，OUTxP_INV_POL 和 OUTxN_INV_POL 必须具有相同的值。

7.3.12.6 双端接 LP-HCSL 输出

LP-HCSL 输出支持常规端接和双端接。使用双端接时，摆幅会减半。例如，如果 LP-HCSL 摆幅设置为 800mV，则

- 使用常规端接时，每个单端输出的摆幅为 0V 至 800mV
- 使用双端接时，每个单端输出的摆幅为 0V 至 400mV

双端接选项在输出摆幅和共模配置方面提供了更大的灵活性。

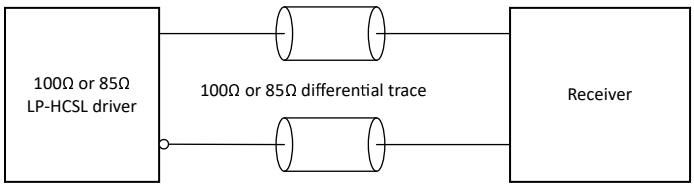


图 7-5. LP-HCSL 常规端接

Copyright © 2025 Texas Instruments Incorporated

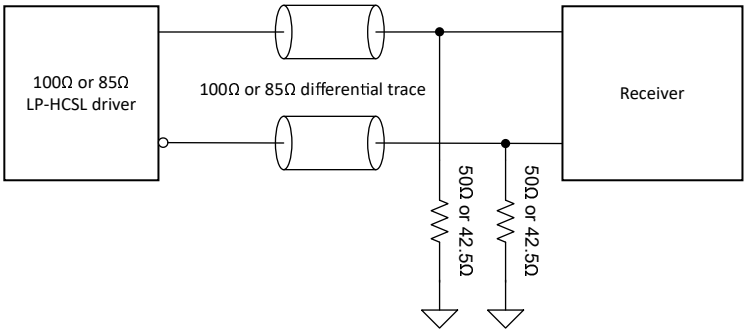


图 7-6. LP-HCSL 双端接

7.3.12.7 AC-LVDS 和 DC-LVDS

LVDS 驱动器通常采用直流端接。要对 LVDS 驱动器进行交流端接，必须满足以下任一要求：

- 如果 BANKx 时钟源是 FOD 或边缘组合器，则输出驱动器可以进行交流端接
- 如果 BANKx 时钟源是 INy，则仅在通过 OE 启用输出时 INy 从未丢失的情况下，才能使用 AC-LVDS。如果在通过 OE 启用输出时 INy 变为无效，则 LVDS 输出驱动器可能达到极限并损坏。

通常，建议在适用时使用 AC-LP-HCSL 替换 AC-LVDS。请注意，AC-LVDS 意味着在 LVDS 驱动器和 100Ω 端接之间添加电容器。交流耦合直流端接 LVDS 驱动器和添加外部偏置不视为 AC-LVDS。请参阅下面的图示。

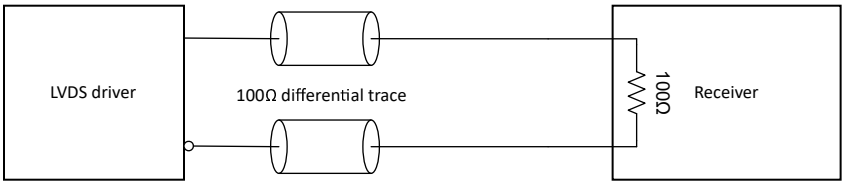


图 7-7. 直流端接 LVDS 输出

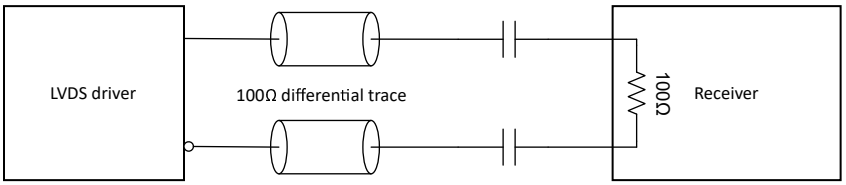


图 7-8. 交流端接 LVDS 输出

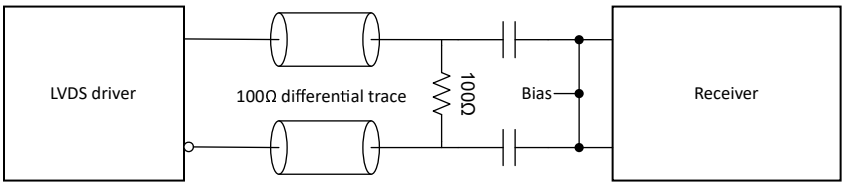


图 7-9. 带具有外部偏置的直流端接 LVDS 输出

7.3.12.8 LVDS 输出共模

对于 1.8V LVDS，默认共模可以在出厂时预编程为较低的电平，例如 0.86V。如需详细信息，请联系 TI。对于 2.5/3.3V LVDS，共模为标准 1.25V。

7.3.12.9 输出禁用状态

输出禁用时，OUTx_P/OUTx_N 可以设置为高电平/低电平、低电平/高电平、Hi-Z / Hi-Z 或低电平/低电平。每个输出的禁用状态都是独立设置的。下表展示了不同输出格式的输出禁用状态。

Copyright © 2025 Texas Instruments Incorporated

对于 AC-LVDS，必须选择低电平/低电平。DC-LVDS 可以选择任何禁用状态。对于任一 LVDS 耦合，“低电平/低电平”不描述输出时钟行为，输出时钟行为改为高电平/低电平。

输出格式	高/低		低电平/高电平		Hi-Z/Hi-Z		低电平/低电平	
	OUTx_P	OUTx_N	OUTx_P	OUTx_N	OUTx_P	OUTx_N	OUTx_P	OUTx_N
LP-HCSL	高	低	低	高	高阻态	高阻态	低	低
DC-LVDS	高	低	低	高	高阻态	高阻态	高	低
AC-LVDS	保留		保留		保留		高	低
LVCMOS1	高	低	低	高	高阻态	高阻态	低	低
LVCMOS2	高	低	低	高	高阻态	高阻态	低	低
LVCMOSD	高	低	低	高	高阻态	高阻态	低	低
LVCMOSx2	高	低	低	高	高阻态	高阻态	低	低

LMK3H2104 的 REF_0 和 REF_1 可以禁用为低电平或 Hi-Z。

7.3.12.10 状态变化期间的输出行为

每当时钟输出的状态发生变化（例如，启用和禁用输出、器件在断电模式和正常工作模式之间切换、器件上电期间、器件关断期间、时钟源切换或 OTP 页面更改）时，时钟输出的行为如下：

- 除非选择了异步 OE，否则在变化或切换期间不会出现毛刺或短脉冲。
- 输出处于有效状态时，从第一个时钟周期开始输出就满足所有电气规格。
- 输出被禁用或断电时，输出保持静默并且输出端没有异常波形、振荡或脉冲。

7.3.13 输出同步

7.3.13.1 输出同步

每个输出组可以选择 3 种同步模式：

- 完全同步模式。在完全同步模式下，来自同一时钟源的输出在以下条件之后相位同步：
  - 上电、PWRDN 切换或 OTP 页面切换
  - OE 引脚切换（如果输出分配到同一 OE 分级）
  - 全局 OE 切换

  可用的时钟源有：INx、FOD_0、FOD_1、边缘组合器。在完全同步模式下，OE 也是同步的。
- 自同步模式。在自同步模式下，输出之间不会相互相位同步，但输出的 OE 是同步的。
- 无同步模式。在无同步模式下，输出之间不会相互相位同步并且输出的 OE 是异步的。

如果绕过输出分频器，则无论同步设置如何，输出都将相位对齐。

7.3.13.2 同步和异步 OE

对于异步 OE，在 OE 置为有效和置为无效时，输出立即启用和禁用。启用和禁用输出时，出现最小延迟。但是，OE 期间可能会出现毛刺或短脉冲。

对于同步 OE，不会出现毛刺或短脉冲，但在输出启用和禁用期间有几个延迟周期。

对于高频 (> 1MHz) 运行，这种延迟可以忽略不计。然而，对于 1PPS 时钟缓冲等低频应用，这种迟通常是不可接受的。该器件的设计方式确保 1PPS 输入时可以同时实现无毛刺运行和最小上电延迟。同步 OE 禁用时，1PPS 输入的上电过程仍然不发生毛刺，但 OE 过程并非无毛刺过程。

同步运行需要一个持续工作的基准时钟源。当时钟源是 FOD 或边缘组合器时，不存在问题。但是，当时钟源是 INx 时，仅当 INx 时钟保持有效的情况下，同步运行才起作用。如果在 OE 置为有效时 INx 丢失，则无论同步设置如何，输出都会异步关断。

Copyright © 2025 Texas Instruments Incorporated

7.3.14 输出相移

可通过 FOD 数字延迟来实现输出相移。每个 FOD 都可以在输出端提供高达 25ns 的相位延迟，阶跃大小为 25ps。因此，两个 FOD 之间的相位差可在 -25ns 至 +25ns 的范围内进行编程。

7.3.15 动态更改频率

可以通过无毛刺的方式增加或减少输出频率，下面有三种方法：

- 通过 FODx_CFG_UPDATE 直接更改 FOD 频率
- 直接更改通道分频器（粗调递增或递减）
- DCO 模式

7.3.15.1 FOD 配置更新

由于 FOD 频率配置包含多个寄存器，因此增加了 FODx_CFG_UPDATE 以实现干净利落的频率转换。在向 FODx_CFG_UPDATE 写入 1 之前，FODx_N_DIV 和 FODx_NUM 寄存器的新值不会生效。

更改通道分频器值会立即更改为变新频率。频率更改过程无毛刺。在使用旧频率的最后一个时钟周期完成后，使用新频率的时钟周期开始。

7.3.15.2 通道分频器更新

动态更改 BANKx_CH_DIV 会导致无毛刺频率更新。在使用旧频率的最后一个时钟周期完成后，使用新频率的时钟周期开始。

7.3.15.3 DCO 模式

每个 FOD 均支持独立 DCO。

对于每个 FOD，DCO 模式均包括以下寄存器：

- DCO 使能位 *FODx_DCO_EN*，可启用或禁用 DCO 模式。启用 DCO 模式后，向该位写入 0 会清除所有频率递增量和递减量并在 DCO 模式启用之前将 FOD 频率设为原始值。
- DCO 递增和递减阶跃大小 *FODx_DCO_STEP_SIZE*
- 递增位 *FODx_DCO_INC*。写入 1 时使频率递增
- 递减位 *FODx_DCO_DEC*。写入 1 时使频率递减
- 只读寄存器 *FODx_DCO_STEPS_STAT*，记录净递增或递减阶跃数
- 只读寄存器 *FODx_DCO_N_DIV_STAT* 和 *FODx_DCO_NUM_STAT*，读回实时（已递增或已递减）FOD 值，这些值可用于计算实时频率

方程式 1 是根据所需的 ppm 阶跃设置 DCO 阶跃大小的公式。

$$\text{FODx_DCO_STEP_SIZE} = \text{int}\left(2^{16} \times \left(\frac{F_{BAW}}{F_{FOD} \times \left(1 + \frac{\text{ppm}}{10^6}\right)} - \text{FODx_N_DIV} - \left(\frac{\text{FODx_NUM}}{2^{24}}\right)\right)\right) \quad (1)$$

其中：

- F_{BAW} 是 BAW 频率，2467MHz
- F_{FOD} 是 FOD 频率
- ppm 是以百万分率表示的频移
- FODx_N_DIV 是 FOD 的整数分频器
- FODx_NUM 是 FOD 分频器的分子

7.4 SSC

FOD0 和 FOD1 都支持展频时钟 (SSC)。SSC 可用于通过调制输出频率来降低峰值辐射发射。FODx_SSC_EN = “1”，SSC 在 FODx 上启用。FODx_SSC_MOD_TYPE 在向下展频调制和中心展频调制之间选择。具有 4 个预定义内置向下展频 SSC 选项以及一个自定义 SSC 选项，通过 FODx_SSC_CONFIG_SEL 进行选择。预定义的

Copyright © 2025 Texas Instruments Incorporated

调制深度适用于 200MHz 的 FOD。若 FOD 频率非 200MHz，则实际调制深度将随 FOD 频率高低而增减。如果使用边缘组合器，则必须禁用 SSC。

表 7-33. 预定义的 SSC 配置

SSC_CONFIG_SEL	SSC 调制深度
0x0	自定义，基于 SSC_STEPS 和 SSC_STEP_SIZE
0x1	-0.10%
0x2	-0.25%
0x3	-0.30%
0x4	-0.50%
所有其他值	保留

如果选择自定义 SSC，则必须配置 SSC_STEPS（FODx_SSC_STEPS 寄存器字段）和 SSC_STEP_SIZE（FODx_DCO_STEP_SIZE 寄存器字段）来设置调制深度。

Down-spread: SSC_STEPS = int((F_{FOD}/F_{MOD})/2) (2)

Center-spread: SSC_STEPS = int((F_{FOD}/F_{MOD})/4) (3)

其中：

- F_{FOD}：FOD 频率
- F_{MOD}：调制频率，对 PCIe 应用使用 31.5kHz

$$SSC_STEP_SIZE = floor((F_BAW/F_FOD \times(1/(1-SSC_DEPTH)-1))/(SSC_STEPS)\times DEN) \quad (4)$$

$$SSC_STEP_SIZE = floor((F_BAW/F_FOD \times(1/(1-SSC_DEPTH)-1/(1+SSC_DEPTH)))/(2\times SSC_STEPS)\times DEN) \quad (5)$$

其中：

- F_{BAW}：BAW 频率，2467MHz。
- SSC_DEPTH：调制深度，表示为正值。如果使用 –0.5% 深度，则该值为 0.005
- DEN：分数分母，2^{24}

如果在一个 FOD 上混合使用 SSC，而在另一个 FOD 上不使用 SSC，则两个 FOD 之间可能会出现串扰。请联系 TI 索取特定配置的测量数据。

如果 SSC 仅在 FOD0 上使用而在 FOD1 上未使用，则 FOD1_SSC_CONFIG_SEL 必须设置为非 0。

Copyright © 2025 Texas Instruments Incorporated

7.5 器件功能模式

7.5.1 分数输出分频器

该器件包含两个分数输出分频器 (FOD)。如果所有输出都能由单个 FOD 生成，请使用 FOD0 并禁用 FOD1（通过 FOD1_PD）以节省电力并提高性能。

7.5.1.1 FOD 操作

内部 BAW 谐振器由一个或两个 FOD 向下分频。

单个 FOD 在时钟输出处可以生成的最大频率为 200MHz，因为最小通道分频器值是 2 分频。为了生成大于 200MHz 的频率输出，可以使用边缘组合器，绕过通道分频器。这要求两个 FOD 均已启用并具有相同的整数分频器和分数分子值以及相同的增益校准值。当其中一个输出超过 200MHz 时，另一个输出只能选择共享 FOD 频率除以通道分频器值之一，或者是 FOD 频率。低于 200MHz 频率时，两个 FOD 可独立配置。

FOD 可通过 I2C 编程进行配置，以适应各种输出频率，或者在没有编程的情况下采用一次性编程 (OTP) 设置。可以通过设置整数 (FODx_N_DIV) 和分数 (FODx_NUM) 分频值来配置 FOD。

$$FODx_N_DIV = floor(F_{BAW}/F_{FOD}) \quad (6)$$

其中：

- FODx_N_DIV：FOD 分频值的整数部分（7 位，6 至 24）
- F_{BAW}：BAW 频率，2467MHz
- F_{FOD}：所需的 FOD 频率（100MHz 至 400MHz）

$$FODx_NUM = int(((F_{BAW}/F_{FOD}) - FODx_N_DIV) \times 2^{24}) \quad (7)$$

其中 FODx_NUM 是 FOD 分频值的分数部分（24 位，即 0 至 16777215）。

输出频率 (F_{OUT}) 与 FOD 频率相关，如下所示。如果边缘组合器禁用：

$$F_{OUT} = F_{FOD}/PATHx_DIV/BANKx_CH_DIV \quad (8)$$

如果边缘组合器启用：

$$F_{OUT} = F_{FOD}/BANKx_CH_DIV \quad (9)$$

7.5.1.2 边缘组合器

使用边缘组合器生成大于 200MHz 的输出频率。要使用边缘组合器，请将 PATHx_EDGE_COMB_EN 设置为“1”。使用边缘组合器时，两个 FOD 必须以完全相同的频率运行（即分频值必须匹配）。如果任一 CHx_EDGE_COMB_EN 位设置为“1”，器件会通过自动将分频器值从 FOD0 加载到 FOD1 来进行处理。使用边缘组合器时，内部 SSC 不受支持，必须禁用。

7.5.1.3 整数边界杂散

当 FOD 分频值的小数部分接近整数边界时，可能会发生整数边界杂散。通常，该“整数边界”在小数部分处于 0.9 和 1 之间或 0 和 0.1 之间时出现。例如，如果 BAW 频率为 2467MHz，输出为 122.88MHz，则 FOD 必须以 245.76MHz 运行。2467MHz 除以 245.76MHz 约为 10.038。分频值的小数部分为 0.038，介于 0 和 0.1 之间，因此意味着生成 122.88MHz 输出可能会导致输出时钟上在 12kHz 至 20MHz 区间出现杂散。在某些情况下，适当的频率规划可以通过增加 FOD 频率和通道分频器值来解决该问题。如果对特定频率计划的整数边界杂散有任何疑问，请联系 TI。

Copyright © 2025 Texas Instruments Incorporated

7.5.2 仅缓冲模式

该器件可作为通用时钟缓冲器或时钟多路复用器运行。BAW 和两个 FOD 均可断电，以实现省电并避免串扰。BAW 禁用时，BOOTOSC_CLK_DIS 必须设置为 0。

7.6 编程

7.6.1 I²C 串行接口

该器件支持 100kHz、400kHz 和 1MHz I²C。I²C 电压和时序参数可在 I2C 特性中找到。

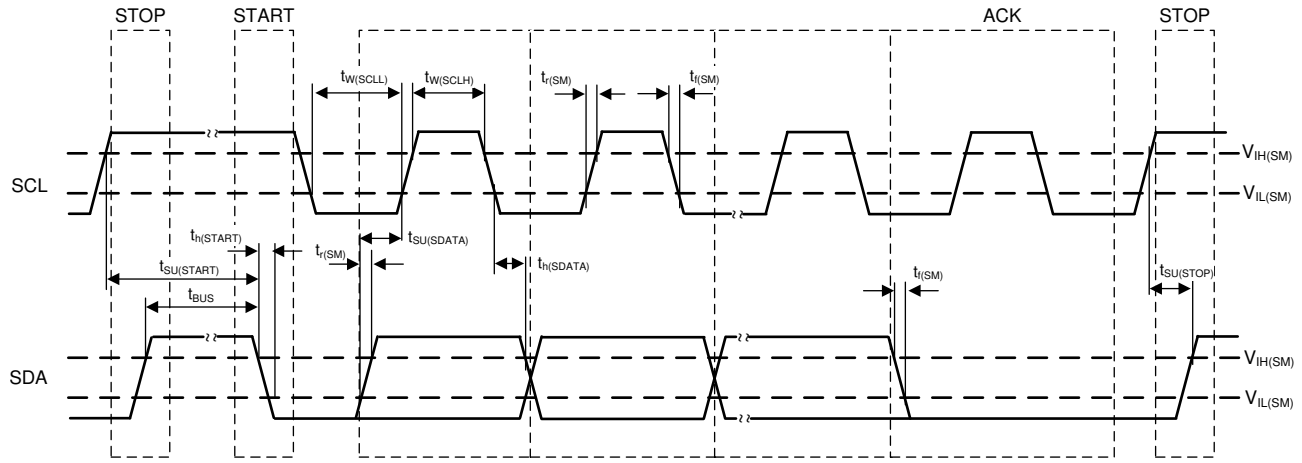


图 7-10. I²C 时序图

支持两种 I²C 通信模式：1 字节模式和 2 字节模式。

在 1 字节模式下，通过 0xFD（寄存器字段 PAGE_SEL）访问寄存器地址的高 2 位。寄存器地址的低 8 位会直接写入。每个寄存器地址的数据字长为 8 位。



图 7-11. I²C 1 字节模式

在 2 字节模式下，会直接写入 16 位寄存器地址。每个寄存器地址的数据字长为 8 位。

Copyright © 2025 Texas Instruments Incorporated

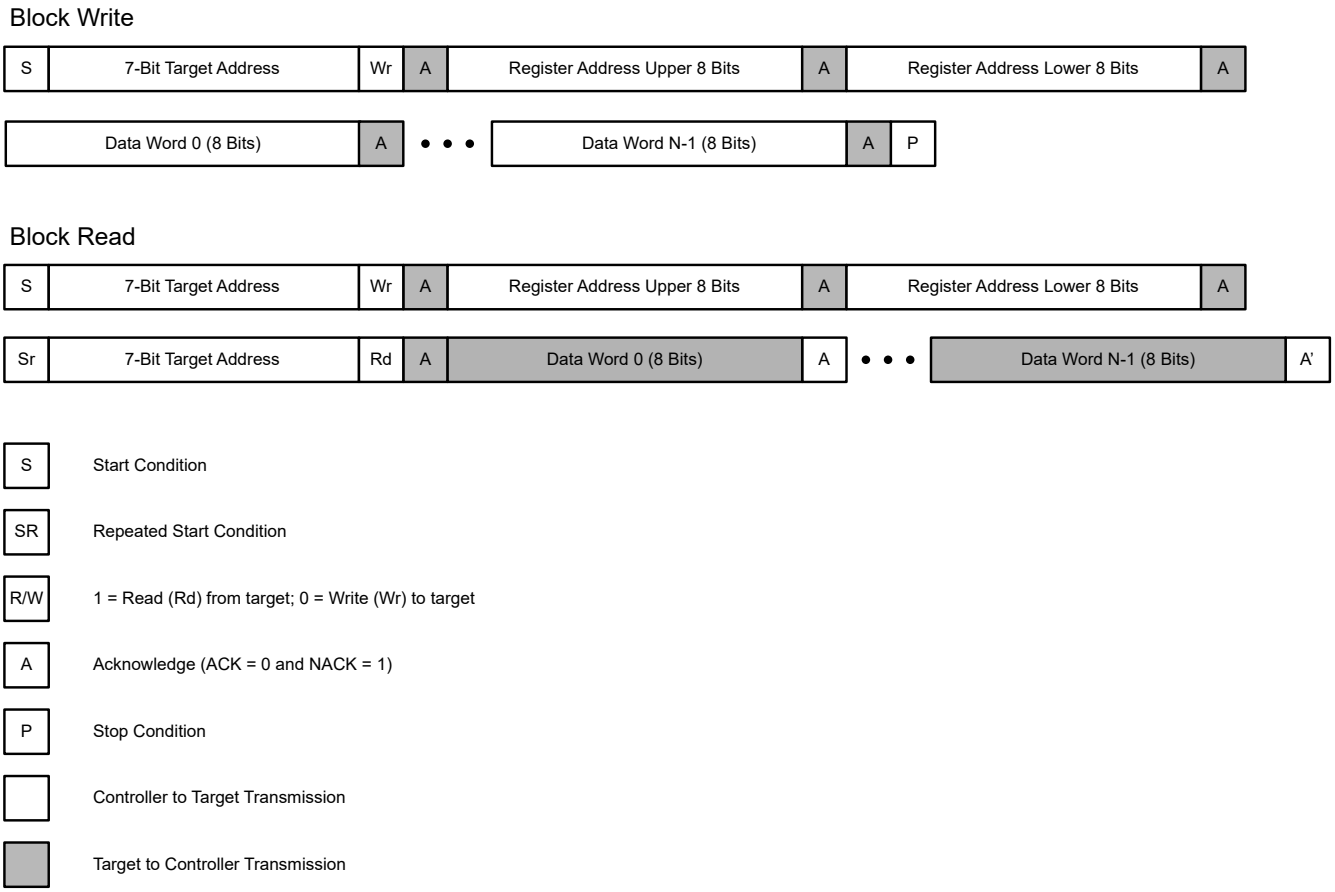


图 7-12. I²C 2 字节模式

7 位 I2C 目标地址由 I2C_TRGT_ADDR 通过 OTP 定义。7 位地址的位 1 和位 0 可通过 GPI/GPIO 输入覆盖。有关详细信息，请参阅 通过 GPI/GPIO 引脚设置 I2C 地址。

7.6.2 供应商 ID

11 位供应商 ID (R1[2:0], R0[7:0]) 可进行 OTP 编程。R1[7:3] 为只读。默认情况下，(R1[7:0], R0[7:0]) = 0x038B。

7.6.3 OTP 编程

要创建具有唯一可订购器件型号的新 OTP 配置，请联系 TI。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

LMK3H2104 和 LMK3H2108 是基于 BAW 的无基准时钟发生器，可为各种应用提供基准时钟，包括 PCIe 基准时钟和 XTAL/XO 更换。LMK3H2104 和 LMK3H2108 支持各种功能，可在系统调试和验证阶段为硬件设计人员提供帮助。

8.2 典型应用

8.2.1 应用方框图示例

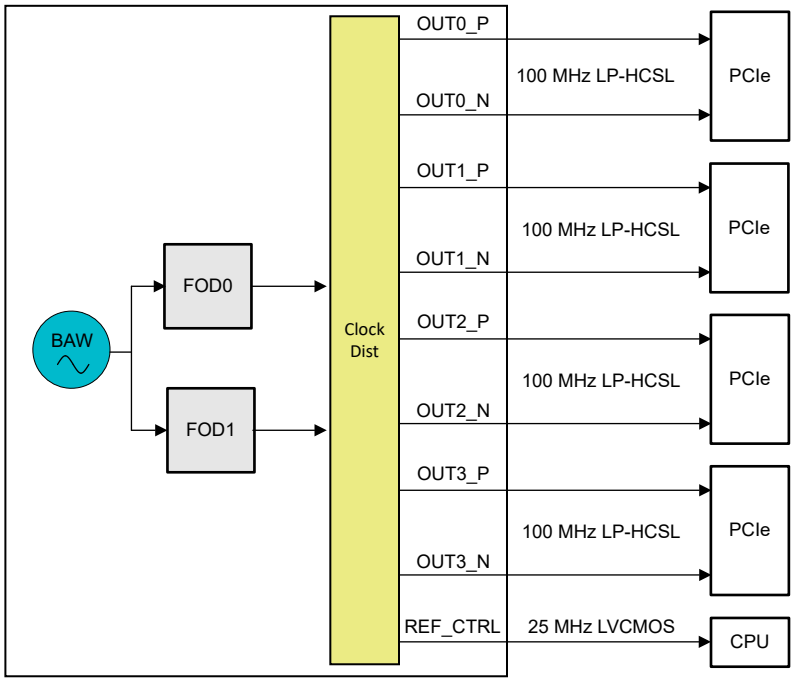


图 8-1. LMK3H2104 PCIe 应用

8.2.2 设计要求

请考虑 图 8-1 中所示的典型 PCIe 应用。在这样的系统中，时钟预计可根据请求提供，而不需要任何额外的器件级编程。该应用中的典型输出时钟要求是四个 100MHz LP-HCSL 时钟。添加了一个 25MHz 时钟来展示如何配置 REF_x 输出。下面一节介绍了使用 LMK3H2104 为上述 PCIe 场景生成所需输出频率的详细设计过程。

8.2.3 详细设计过程

器件各方面的设计都很简单，并且提供了软件支持来协助进行频率规划和器件编程。该设计过程简单概述了这一过程。

1. 电源电压
   a. 每个 OUTx 输出都有一个用于使电源电压悬空的字段。当该字段设置为 1 时，电源电压引脚可以通电，也可以保持悬空。当该字段设置为 0 时，**必须** 对电源电压引脚通供电。

Copyright © 2025 Texas Instruments Incorporated

2. 输入行为
   a. 如果在缓冲模式下使用 LMK3H210x，则必须配置输入缓冲器路径。对于输入缓冲器配置，必须配置以下行为：
      i. INx 断电：控制输入时钟的输入缓冲器是断电还是上电。相应的寄存器字段为 INx_PD。
      ii. INx 接收器格式：设置输入时钟类型，不适用于无输入时钟（INx_P 或 INx_N 上的单端 LVCMOS），或者是差分。相应的寄存器字段为 INx_RCVR_FMT。
      iii. INx 端接：设置输入端接方案。取决于系统要求，HCSL 输入需要使用 85Ω 或 100Ω 差分端接设置。否则，直流耦合输入不需要端接或偏置。不需要端接的交流耦合输入必须使用带内部偏置的无端接。否则，请根据交流耦合输入格式选择适当的端接选项：AC-CML、AC-LVPECL 或 AC-LVDS。
   b. 如果未使用任何 LMK3H210x 时钟输入，请对输入缓冲器断电。
   c. 对于 OTP 模式和 I^2C 模式，从输入时钟切换到 FOD 时钟有着不同的要求。每个输出组都有一个用于控制该组切换行为的字段：BANKx_SWITCHOVER_FRC_CLK_EN。当该位设置为 0 时，通过 I^2C 而不是通过更改 OTP 页面来支持输入时钟和 FOD 之间的切换。当该位设置为 1 时，通过更改 OTP 页面而不是通过 I^2C 来支持输入时钟和 FOD 之间的切换。可在 I^2C 模式下将该位更改为 0，以支持通过 I^2C 进行切换。

3. 频率规划
   a. 如果不使用输入时钟，则设计 LMK3H210x 配置的第一步是确定生成所需输出频率所需的 FOD 频率。影响频率规划的关键器件行为包括：
      i. 如果生成频率计划需要两个 FOD，则 FOD1_PD 必须设置为 0 才能使 FOD1 上电。这种情况下，PATH1_FOD_SEL 必须设置为 1。首先，这需要通过将 0x5B 写入 UNLOCK_PROTECTED_REG 来解锁器件。
      ii. 两个 FOD 都有 SSC 配置选项。如果仅在 FOD0 上使用 SSC，FOD1_SSC_CONFIG_SEL 必须为非零，才能在 FOD0 上实现正常的 SSC 功能。
      iii. 对于自定义 SSC 配置，FODx_DCO_STEP_SIZE 字段兼作 SSC 阶跃大小。有关 SSC 配置的详细信息，请参阅节 7.4。有关 DCO 配置的详细信息，请参阅节 7.3.15.3。
      iv. 输出组之前的每个路径都可以从 FOD 输出或边缘组合器输出中选择。如果选择边缘组合器，则两个 FOD 都以 FOD0 设置的相同频率运行。
      v. 更改 FOD 频率时，将相应的 FODx_CFG_UPDATE 字段设置为 1 以更新 FOD 行为。
      vi. OUT0 的分频器范围介于 1 到 65536 之间。所有其他输出的范围介于 1 到 16 之间。要生成低于 156.25kHz 的频率，需要使用 OUT0。

4. 输出格式选择
   a. 每个 OUTx 输出都有五个用于控制输出行为的字段：OUTx_FMT、OUTxP_INV_POL、OUTxN_INV_POL、OUTxP_OE_CMOS 和 OUTxN_OE_CMOS。“反相”是指时钟信号相移 180 度。表 8-1 详细说明了每种可能的输出格式的设置组合。
   b. 每个 OUTx 输出都有使用 1.2V LVCMOS 的选项。对于 1.2V LVCMOS，必须选择 LVCMOS 输出格式，并且相应的 OUTx_CMOS_1P2V_EN 位必须设置为 1。
   c. 对于交流耦合 LVDS，输出禁用状态必须设置为低电平/低电平。有关输出禁用状态行为的详细说明，请参阅 节 7.3.12.9。

表 8-1. 输出格式设置组合

输出格式	OUTx_FMT	OUTxP_INV_POL	OUTxN_INV_POL	OUTxP_OE_CMOS	OUTxN_OE_CMOS
100Ω LP-HCSL	0	0	0	1	1
85Ω LP-HCSL	1	0	0	1	1
AC-LVDS	2	0	0	1	1
DC-LVDS	2	0	0	1	1
LVCMOS OUTx_P	3	0	0	1	0

Copyright © 2025 Texas Instruments Incorporated

表 8-1. 输出格式设置组合（续）

输出格式	OUTx_FMT	OUTxP_INV_POL	OUTxN_INV_POL	OUTxP_OE_CMOS	OUTxN_OE_CMOS
LVCMOS OUTx_P，反相	3	1	0	1	0
LVCMOS OUTx_N	3	0	1	0	1
LVCMOS OUTx_N，反相	3	0	0	0	1
差分 LVCMOS	3	0	0	1	1
差分 LVCMOS，反相	3	1	1	1	1
同相 LVCMOS	3	0	1	1	1
同相 LVCMOS，反相	3	1	0	1	1

8.2.4 应用性能曲线图

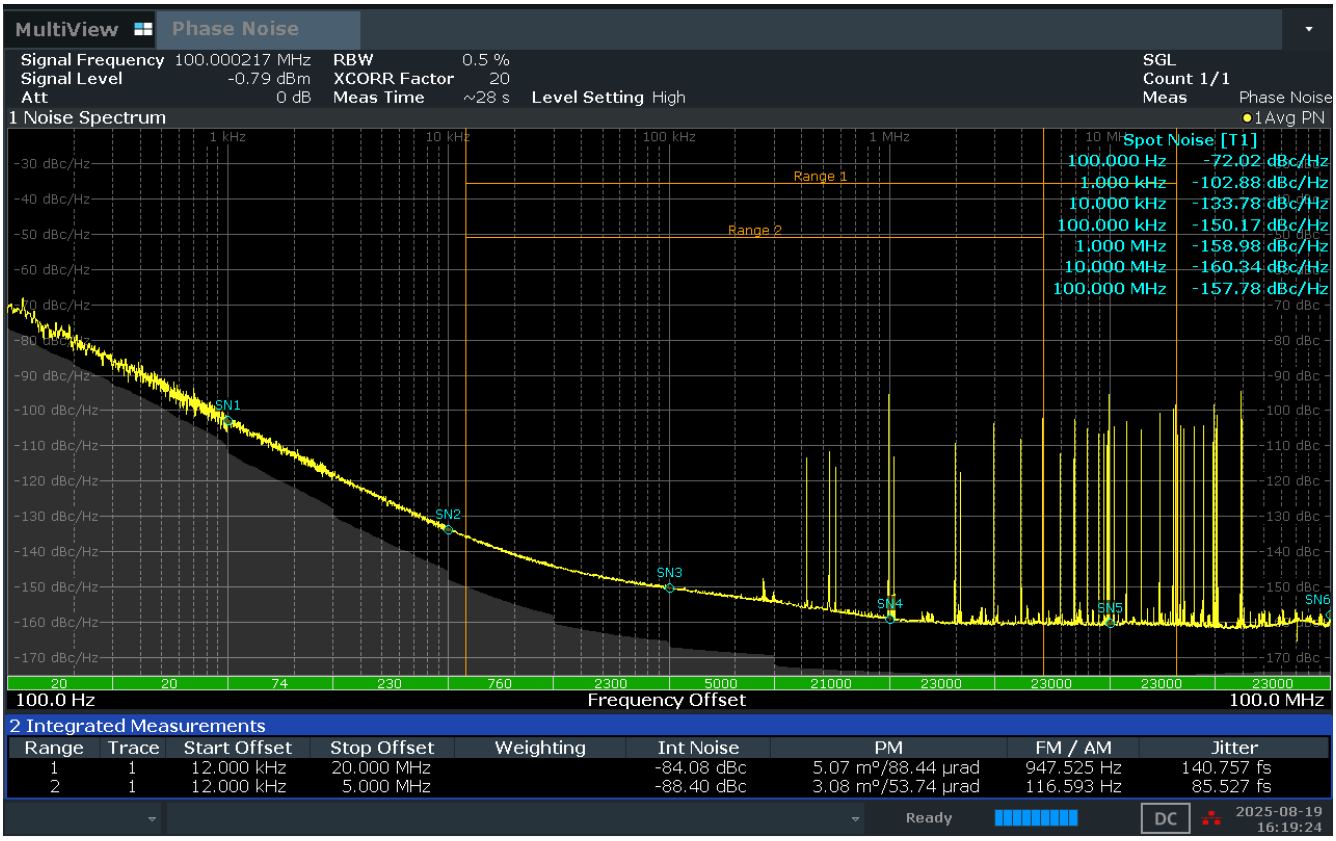


图 8-2. 相位噪声图，100MHz LP-HCSL 所有输出，典型性能

Copyright © 2025 Texas Instruments Incorporated

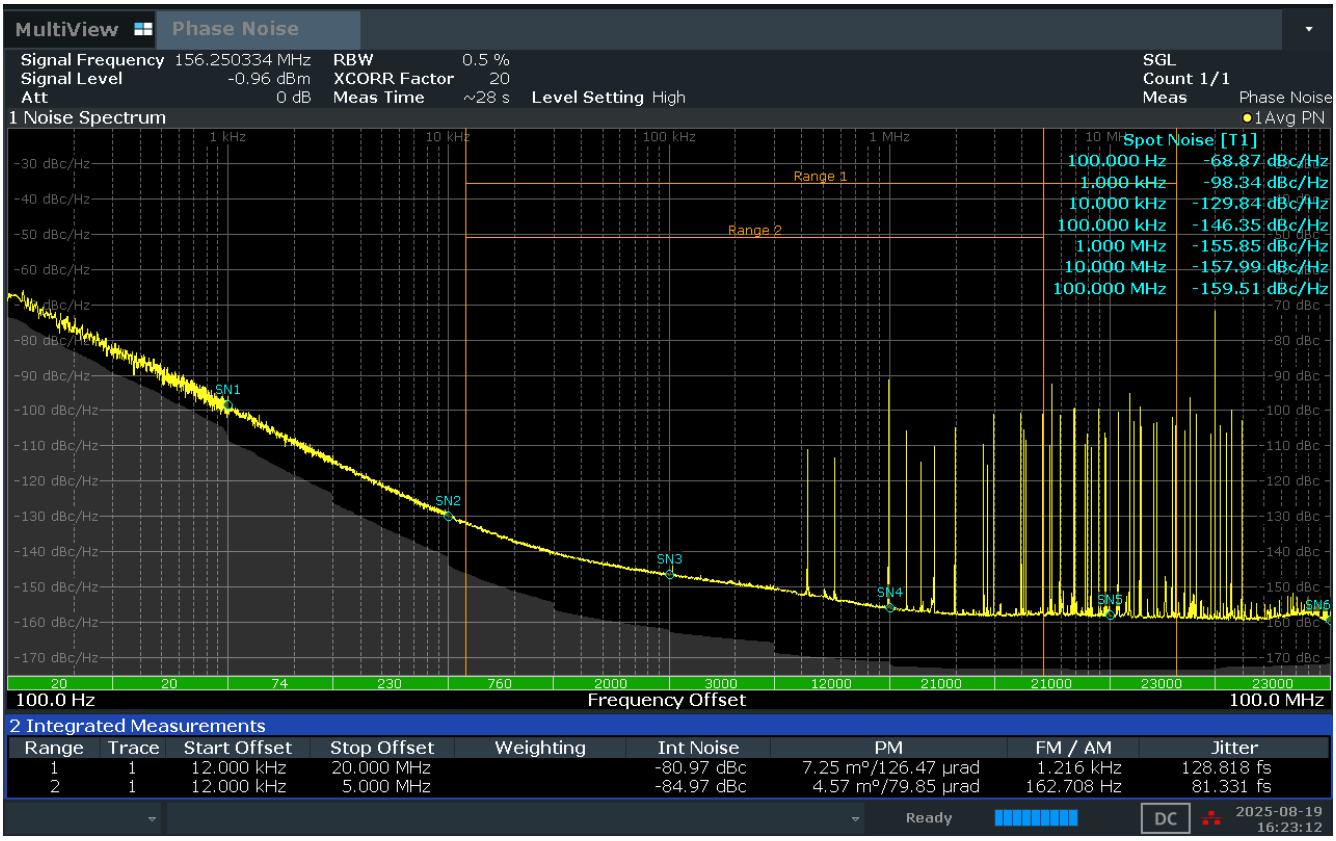


图 8-3. 相位噪声图，156.25MHz LP-HCSL 所有输出，典型性能

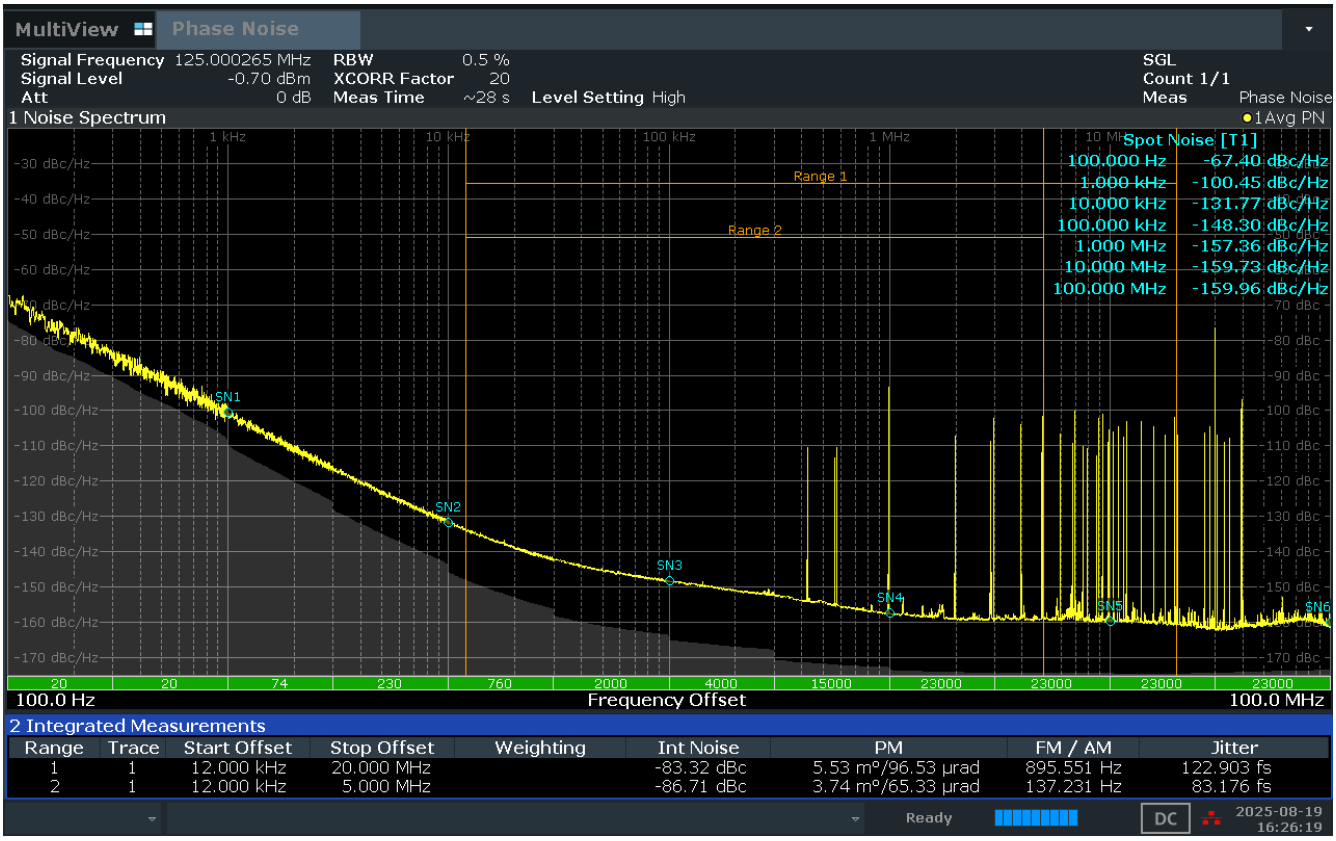


图 8-4. 相位噪声图，125MHz LP-HCSL 所有输出，典型性能

Copyright © 2025 Texas Instruments Incorporated

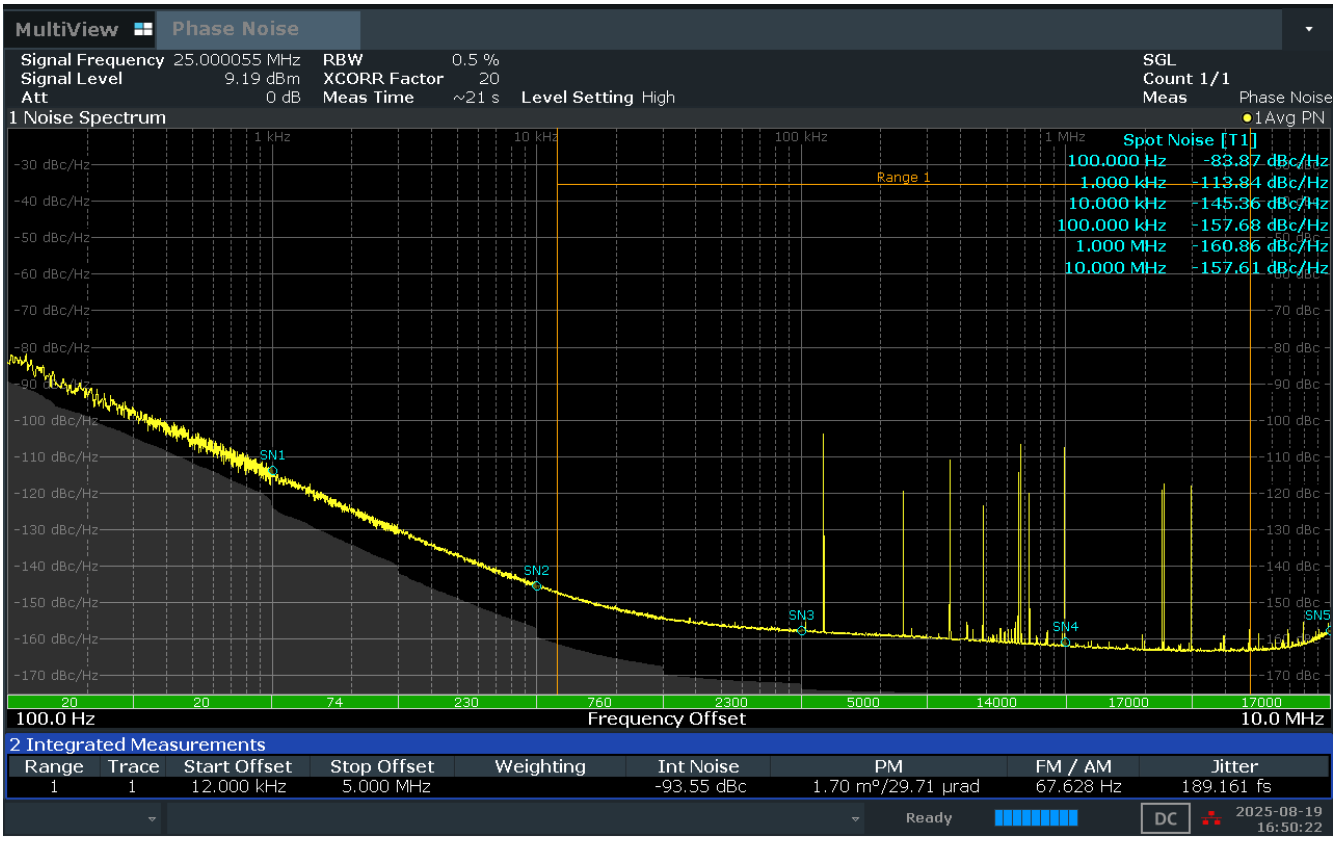


图 8-5. 相位噪声图，25MHz LVCMOS 所有输出，典型性能

8.3 电源相关建议

该器件提供多个电源引脚，可耐受 1.8V、2.5V 和 3.3V 电压。内部低压降稳压器 (LDO) 为内部块供电，并允许为每个引脚提供单独的电源电压。如果使用外部上拉电阻器，则必须按以下方式连接这些电阻器：

- LMK3H2104
  - GPI_0、GPI_1：拉至 VDD_REF 电压
  - GPI_2、GPIO_0、GPIO_1、SDA, SCL：拉至 VDDD 电压
  - REF_1：拉至 VDDA 电压
- LMK3H2108
  - GPI_0、GPI_1：拉至 VDDX 电压
  - GPI_2、GPI_3、GPI_4、GPI_5：拉至 VDDR 电压
  - GPIO_0、GPIO_1、GPIO_2、GPIO_3、GPIO_4：拉至 VDDD 电压

TI 建议使用铁氧体磁珠隔离所有电源，并为每个电源提供去耦。TI 还建议优化相应布局的去耦，并考虑电源阻抗以针对单独的频率计划进行优化。每个电源引脚的去耦示例：1 个 4.7µF 和 1 个 100nF 电容。

有关电源时序的详细要求，请参阅 节 7.3.5.1。

8.4 布局

8.4.1 布局指南

为了在整个温度范围内获得出色的器件性能，请遵循以下布局指南：

- 使用 GND 屏蔽隔离输入和输出。将所有输入和输出作为差分对进行布线。

Copyright © 2025 Texas Instruments Incorporated

- 当输出具有相同频率时，电源电压可以连接在一起。当频率不同时，TI 建议隔离电源。
- 如果使用过孔将时钟布线到不同的层，请将 GND 过孔尽可能靠近时钟过孔布置。
- 对于 LMK3H2104，使用至少五个过孔将散热焊盘连接到一个实心 GND 平面。对于 LMK3H2108，使用九个过孔将散热焊盘连接到一个实心 GND 平面。最好使用全通过孔。有关示例，请参阅 图 8-6 中的 (1)。
- 将具有小电容值的去耦电容器放置在非常靠近电源引脚的位置。尝试将这些电容器非常靠近地放置在同一层上或直接放置在背面层上。值越大，可以放置得越远。有关示例，请参阅 图 8-6 中的 (2)。
- 如果电源跨越多个层布线，请使用多个过孔跨层连接电源走线。有关示例，请参阅 图 8-6 中的 (3)。
- 为了降低结温至环境温度热阻，请尽可能使用多个 PCB GND 层。

8.4.2 布局示例

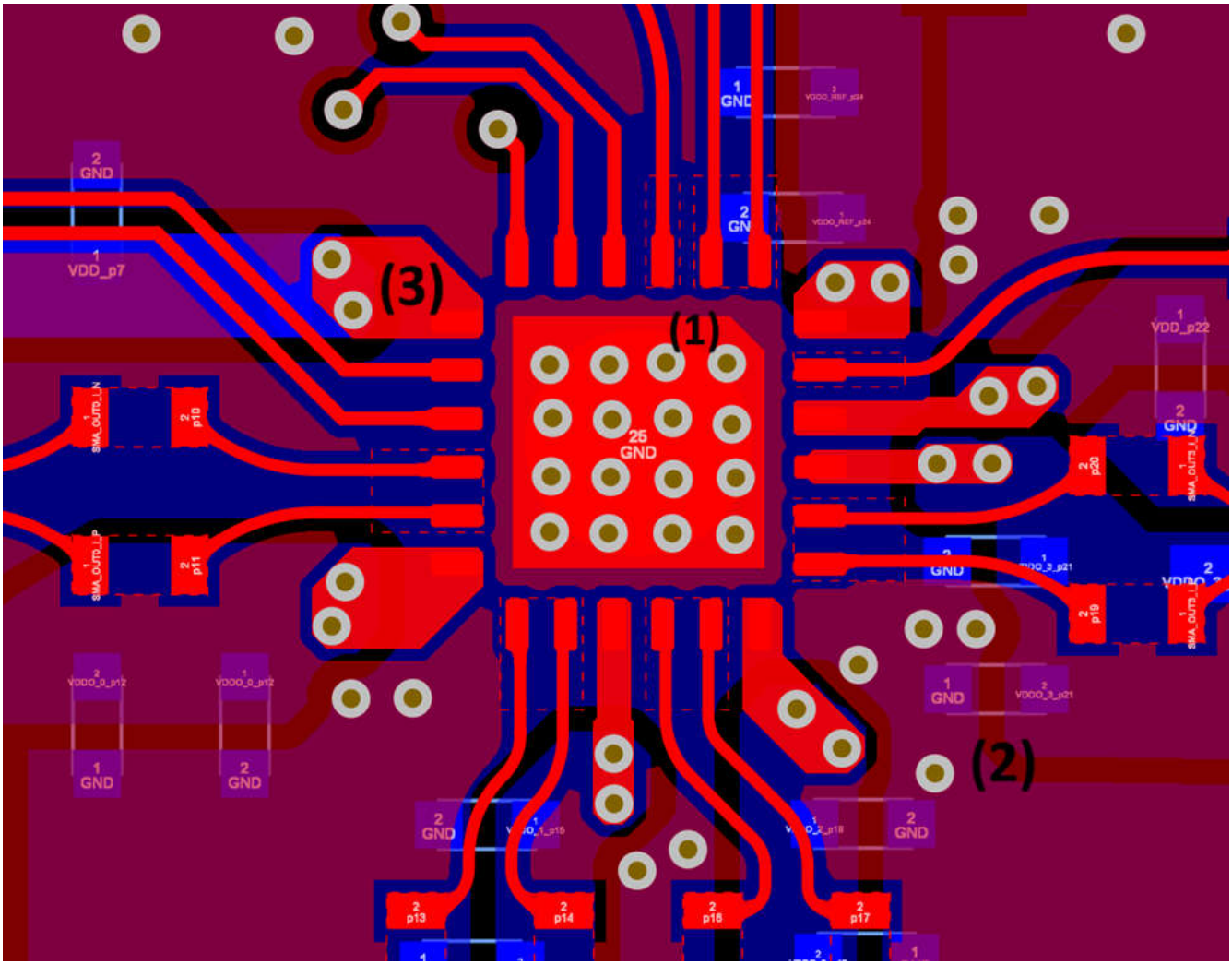


图 8-6. LMK3H2104 顶层和底层示例布局

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

- 德州仪器 (TI)，LMK3H2104 评估模块用户指南
- 德州仪器 (TI)，LMK3H2104 寄存器映射 用户指南

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

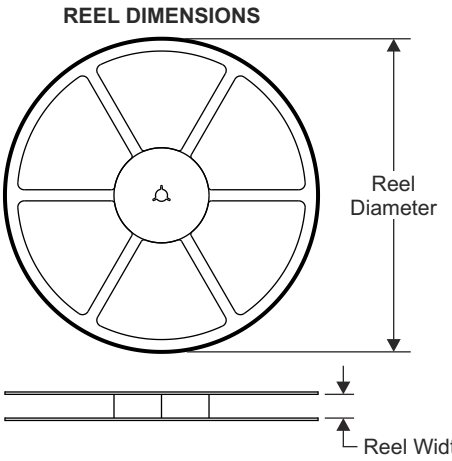
Changes from Revision * (August 2025) to Revision A (October 2025)	Page
• 添加了 LMK3H2108 器件添加了 LMK3H2108 相关规格、图和说明。	1
• 删除了 PSNR 规格的最小值和最大值。典型值不变。	7
• 更改了全同步模式和自同步模式的输出启用和禁用时间。	7
• 添加了此项说明：BANKx_SWITCHOVER_FRC_CLK_EN 必须设置为 0 才能启用 PERST 缓冲器模式。	33

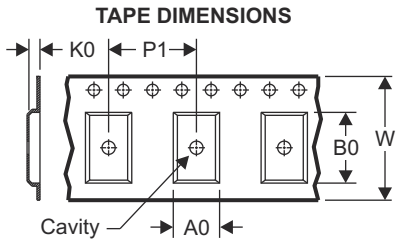
11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

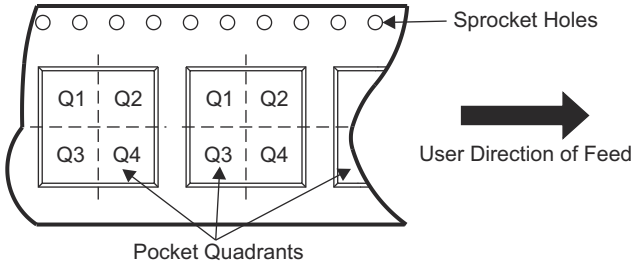
Copyright © 2025 Texas Instruments Incorporated

11.1 卷带包装信息





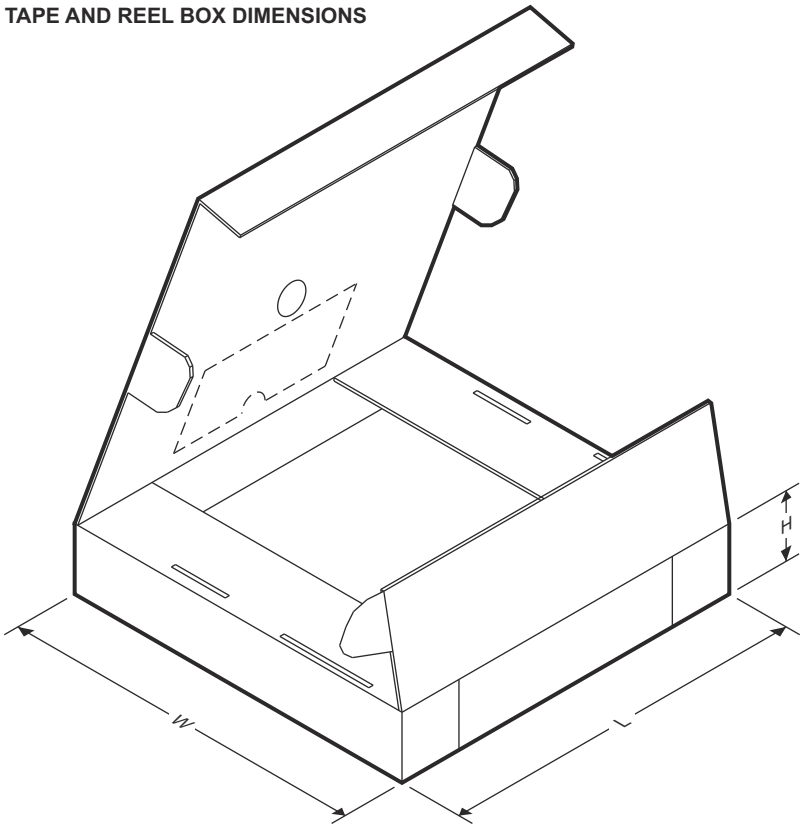
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
LMK3H2108AxxRKPR	VQFN	RKP0040A	40	5000	330	12.4	5.3	5.3	1.1	8	12	Q2
LMK3H2104AxxLRGER	VQFN	RGE0024AA	24	5000	330	12.4	4.25	4.25	1.15	8	12	Q2
LMK3H2104AxxRGER	VQFN	RGE0024AB	24	5000	330	12.4	4.25	4.25	1.15	8	12	Q2

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
LMK3H2108AxxRKPR	VQFN	RKP0040A	40	5000	346	346	33
LMK3H2104AxxLRGER	VQFN	RGE0024AA	24	5000	346	346	33
LMK3H2104AxxRGER	VQFN	RGE0024AB	24	5000	346	346	33

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK3H2104A01LRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A01
LMK3H2104A02LRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A02
LMK3H2104A03RGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 A03
LMK3H2104A06LRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A06
LMK3H2104A07RGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 A07
LMK3H2104A09LRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A09
LMK3H2104A0DLRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A0D
LMK3H2104A0ELRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A0E
LMK3H2104A0FLRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A0F
LMK3H2104A10LRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A10
LMK3H2108A01RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A01
LMK3H2108A02RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A02
LMK3H2108A03RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A03
LMK3H2108A04RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A04
LMK3H2108A05RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A05
LMK3H2108A06RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A06

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK3H2108A07RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A07
LMK3H2108A0DRKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A0D
LMK3H2108A0ERKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A0E
LMK3H2108A0FRKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A0F
LMK3H2108A11RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A11
LMK3H2108A14RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A14
LMK3H2108A15RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A15
LMK3H2108A16RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A16
LMK3H2108A17RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A17
LMK3H2108A18RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A18
LMK3H2108A19RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A19
LMK3H2108A1ERKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A1E
LMK3H2108A22RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A22
LMK3H2108A25RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A25
LMK3H2108A26RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A26
LMK3H2108A27RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	3H2108 A27

(1) **Status:** For more details on status, see our product life cycle.

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

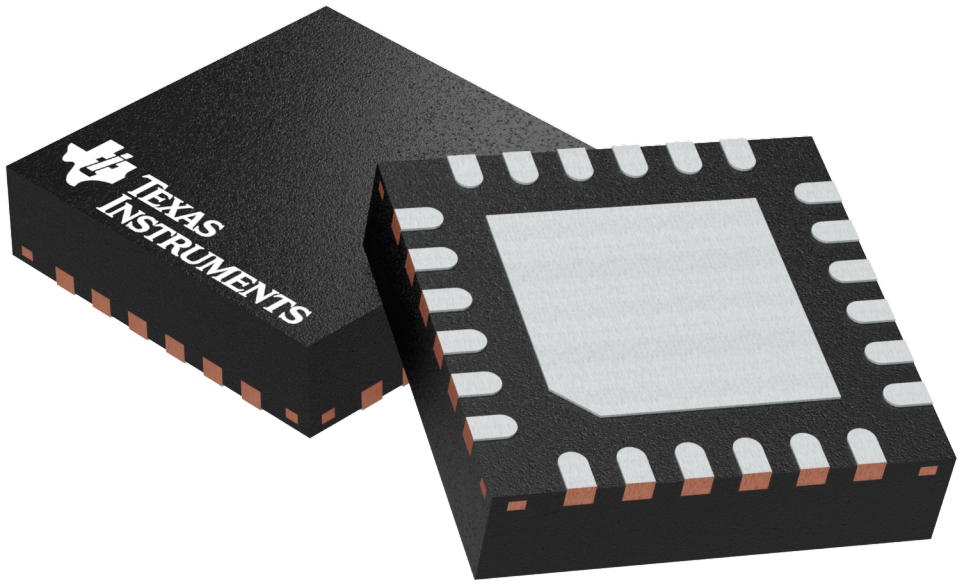
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

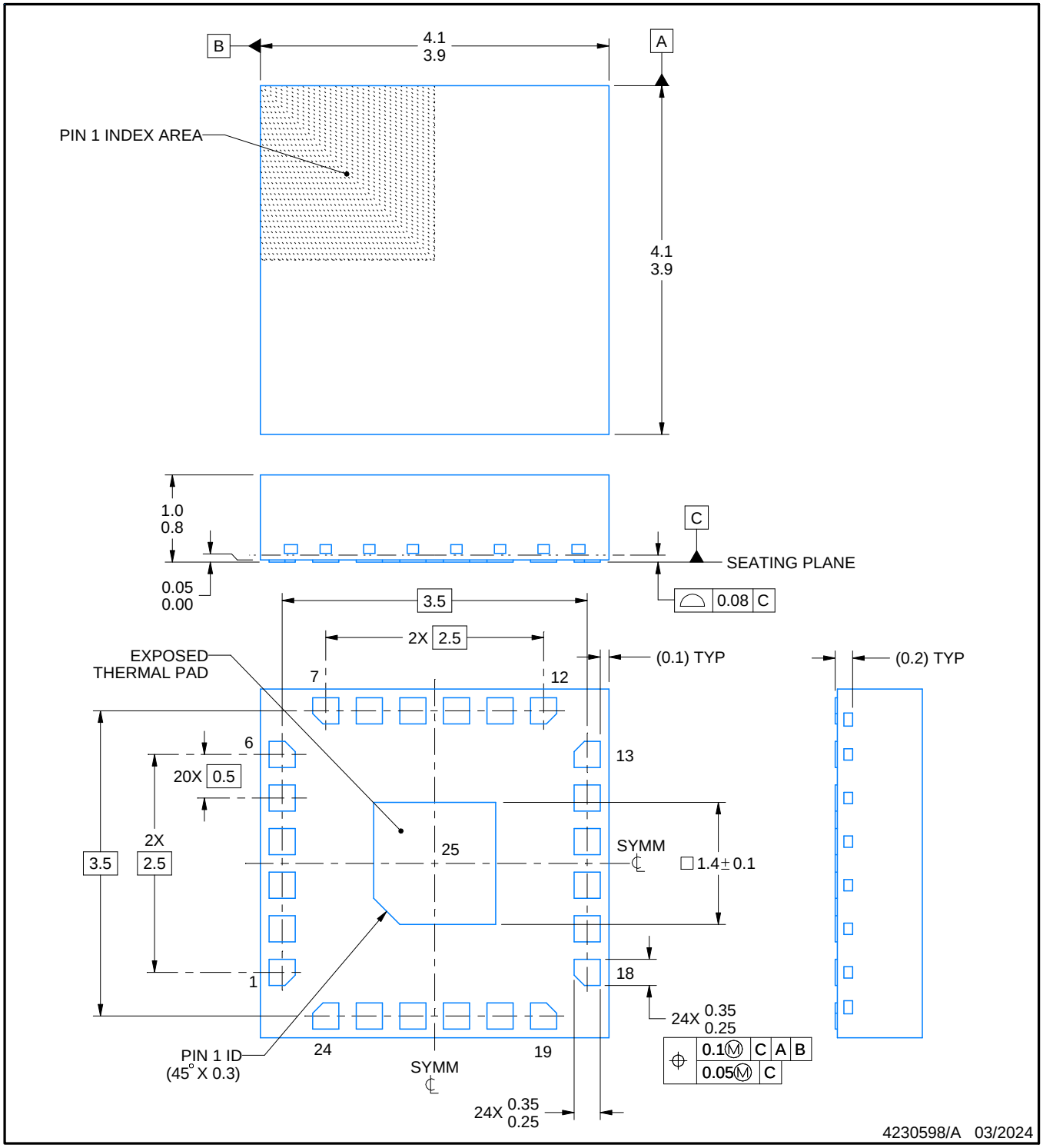
4204104/H

PACKAGE OUTLINE

RGE0024AA

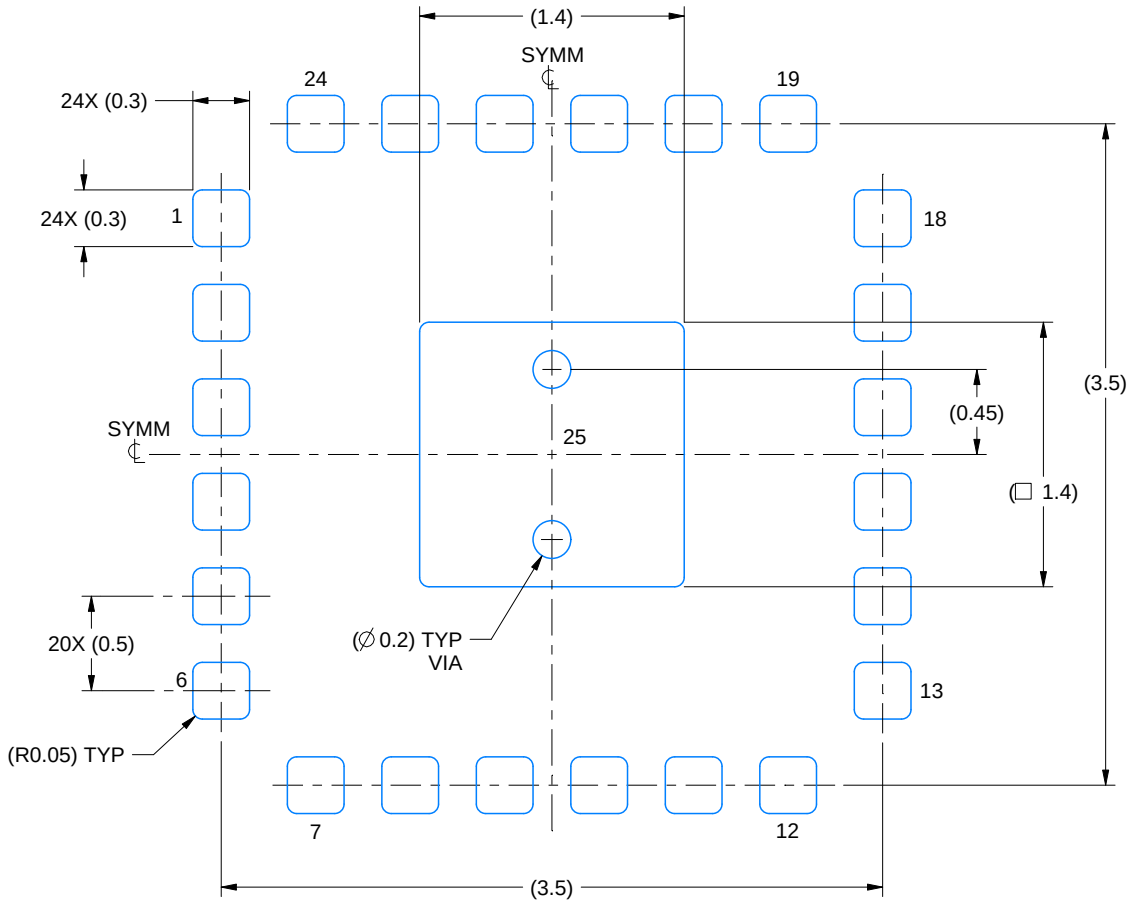
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

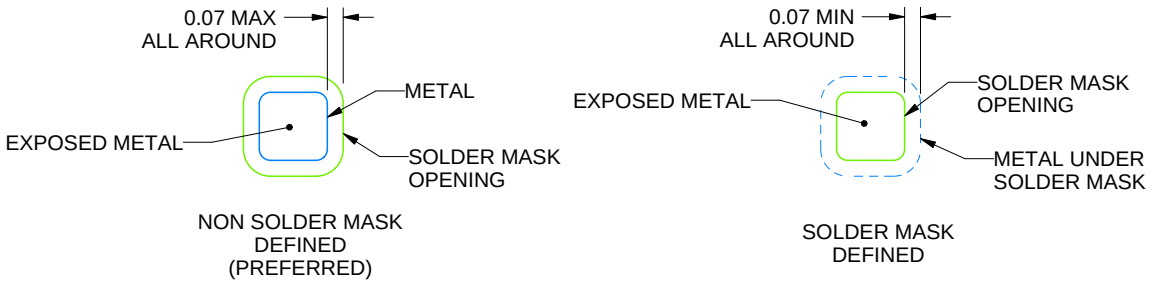


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X

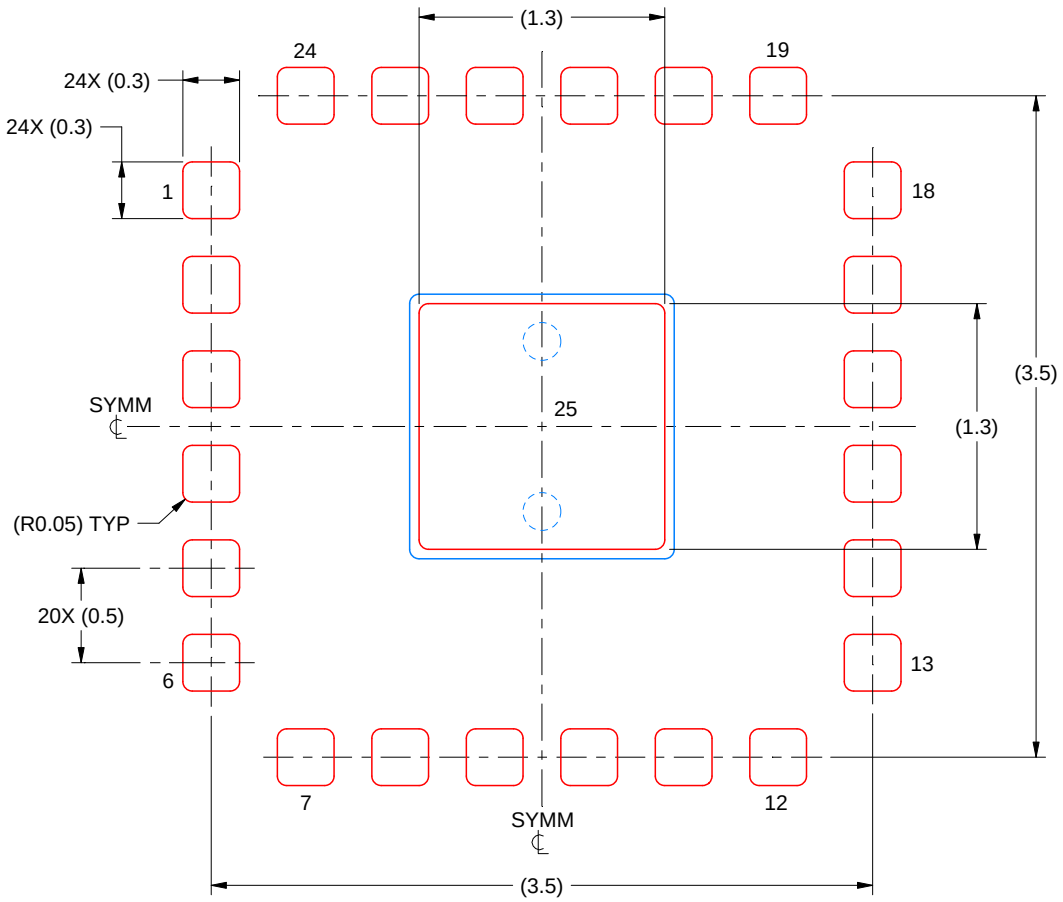


SOLDER MASK DETAILS

4230598/A 03/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 25:
86% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4230598/A 03/2024

NOTES: (continued)

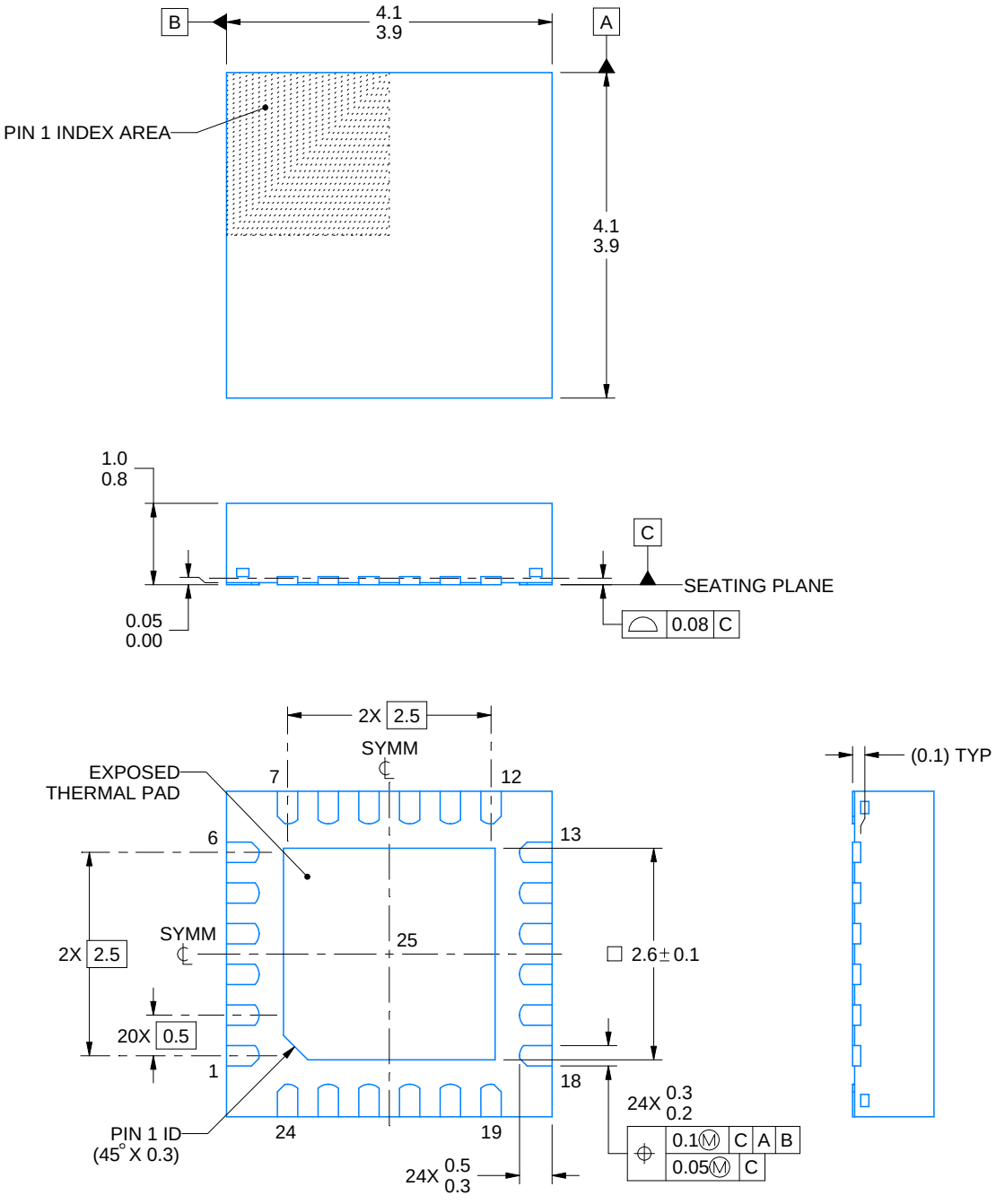
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RGE0024AB

PACKAGE OUTLINE

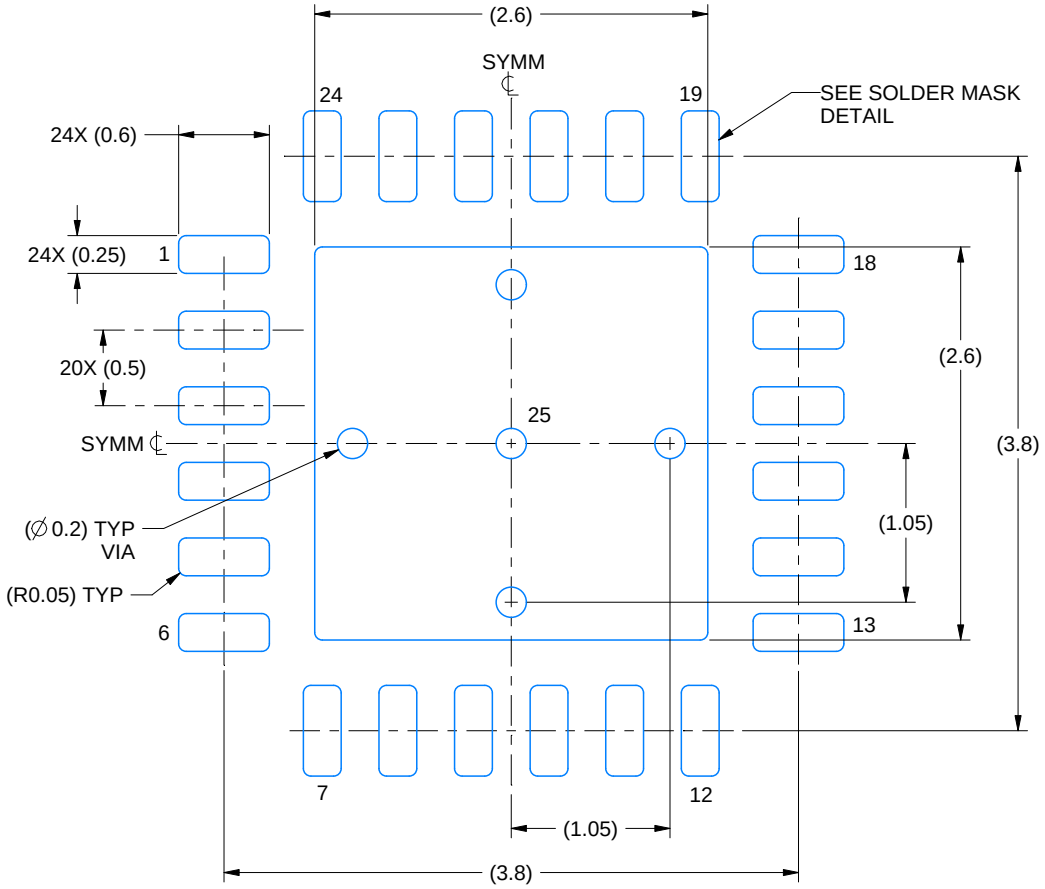
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

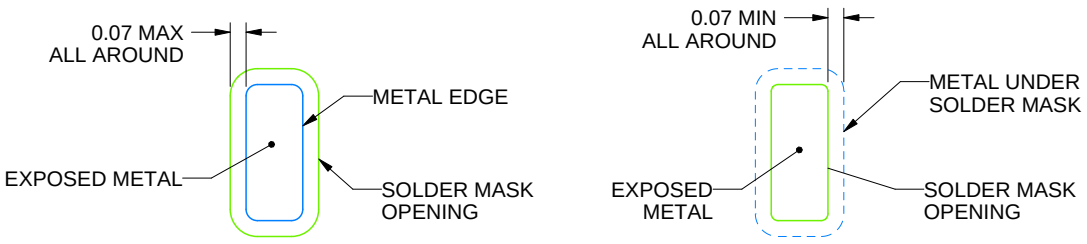


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



NON SOLDER MASK DEFINED (PREFERRED)

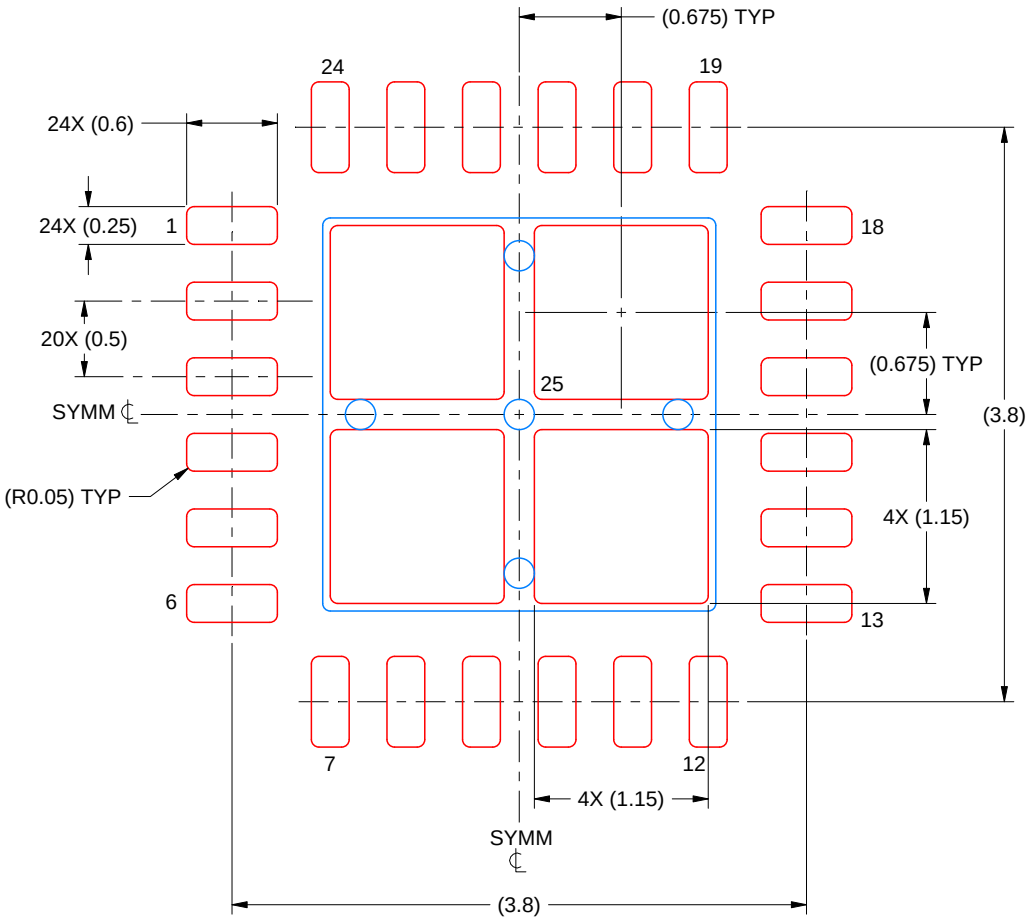
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4230599/A 03/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4230599/A 03/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

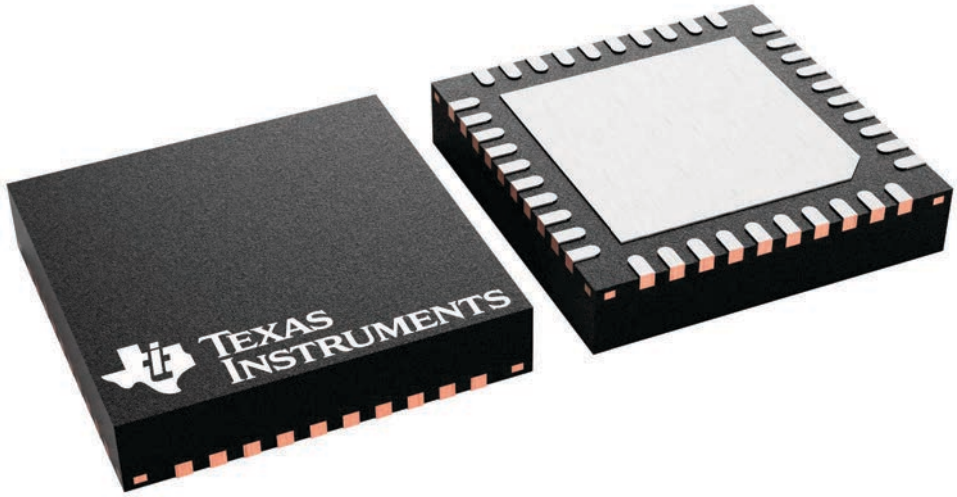
RKP 40

VQFN - 1 mm max height

5 x 5, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



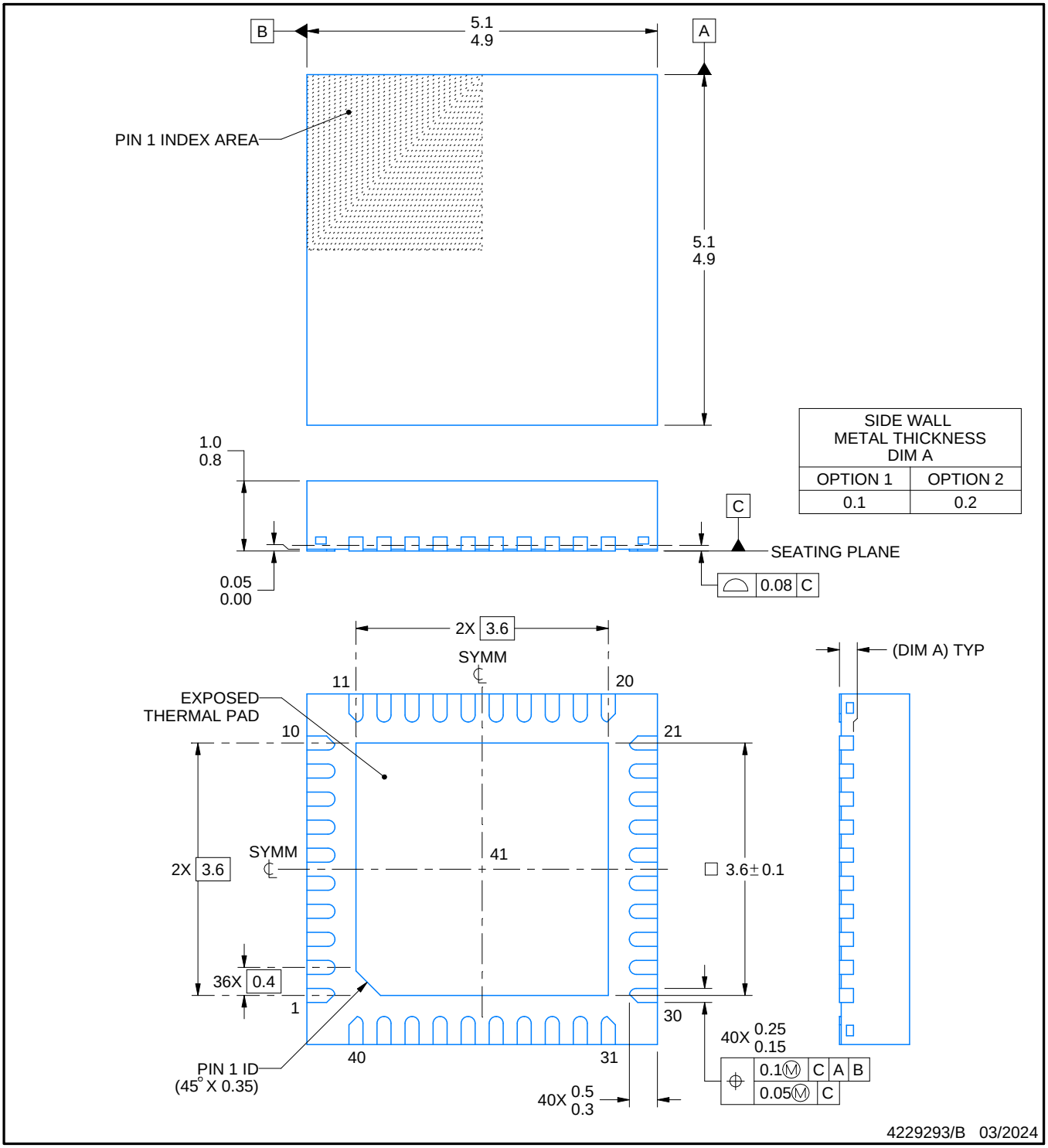
4229305/A

PACKAGE OUTLINE

RKP0040A

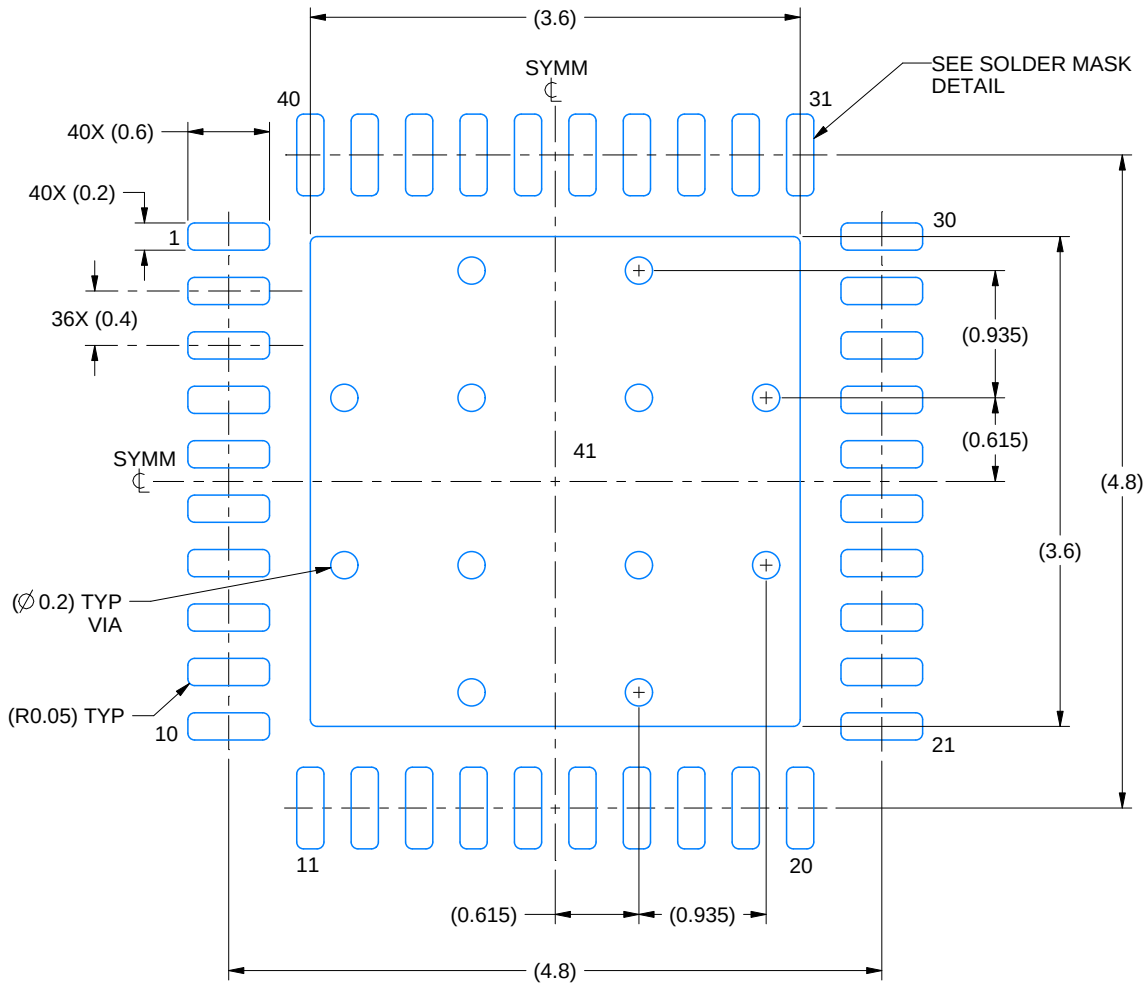
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

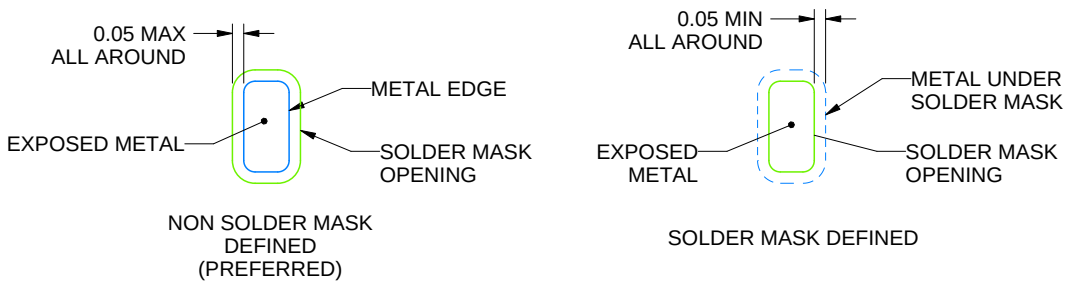


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 18X

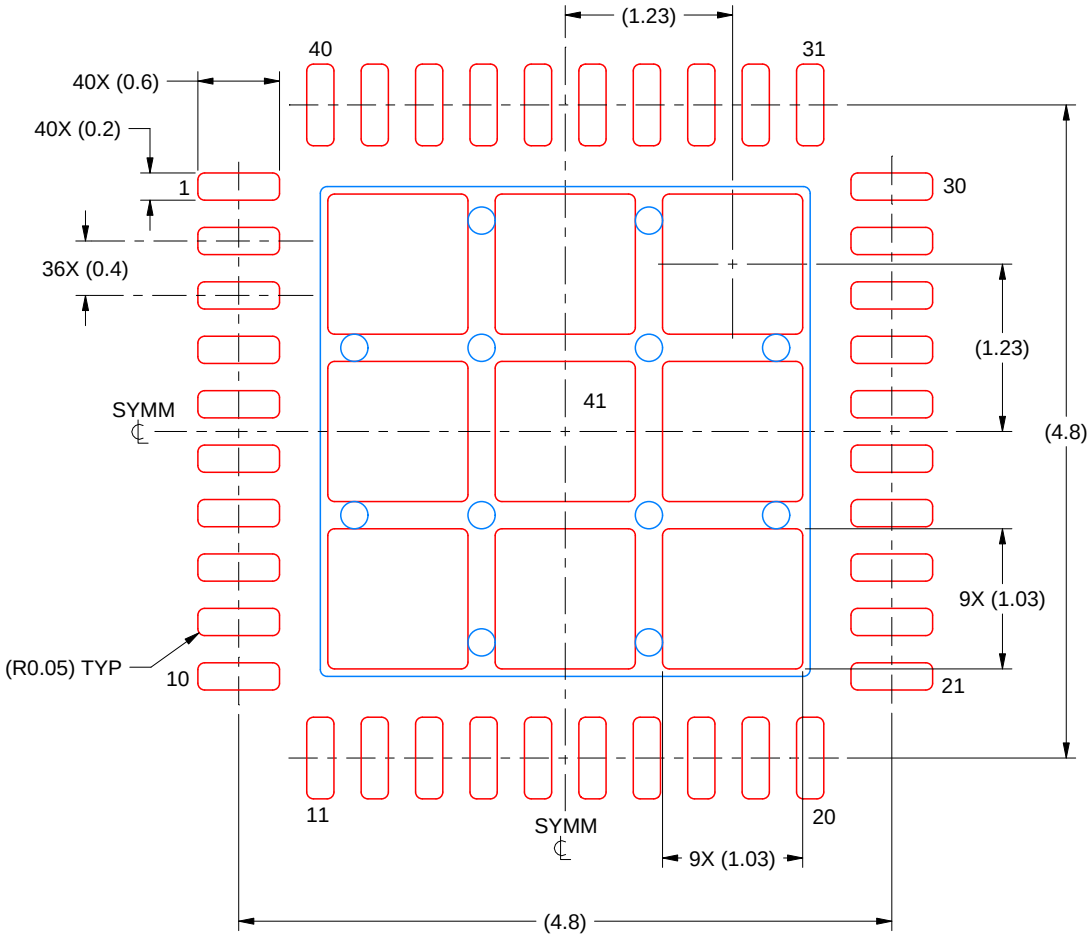


SOLDER MASK DETAILS

4229293/B 03/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 18X

EXPOSED PAD 41
74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4229293/B 03/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月