LMK3H0102-Q1 无基准 2 差分或 5 单端输出 PCIe 第 1 代到第 7 代兼容可编程 BAW 时钟发生器

1 特性

- 符合面向汽车应用的 AEC-Q100 2 级标准
- 环境温度：–40°C 至 105°C
- 功能安全型：
  - 可提供用于功能安全系统设计的文档
- 集成 BAW 谐振器，无需外部基准
- 灵活的频率生成：
  - 两个通道分频器：多达三个独特的输出频率，范围为 2.5MHz 至 400MHz
  - LVCMOS 输出支持高达 200MHz 的频率：1.8V、2.5V 或 3.3V
  - OUT0 和 OUT1 引脚上的交流 LVDS、直流 LVDS、LP-HCSL 和 LVCMOS 组合
- 总输出频率稳定性：±25ppm
- 2 个运行模式：I^2C 或预编程的 OTP
- 符合 PCIe 第 1 代到第 7 代标准：具有或不具有 SSC、SRNS 和 SRIS 的通用时钟
- 具有 SSC 时 PCIe 抖动极低：
  - PCIe 第 5 代通用时钟抖动：最大 57.5fs（PCIe 限制为 150fs）
  - PCIe 第 6 代通用时钟抖动：最大 34.5fs（PCIe 限制为 100fs）
  - PCIe 第 7 代通用时钟抖动：最大 29.6fs（PCIe 限制为 67fs）
- 可编程 SSC 调制深度
  - 预编程：在 200MHz FOD 频率下进行 –0.1%、–0.25%、–0.3% 和 –0.5% 向下展频
  - 寄存器可编程：–0.1% 至 –3% 向下展频或 ±0.05% 至 ±1.5% 中心展频
- 1.8V 至 3.3V 的电源电压
- 内部 LDO，对于 LP-HCSL 输出，在 500kHz 开关噪声下具有 –93.1dBc PSNR
- 输出到输出偏斜：<50ps
- 失效防护数字输入引脚

2 应用

- 最多可更换 5 个 XO
- ADAS 域控制器
- 车辆仪表组
- 自主驾驶
- 高性能计算
- 驾驶员监控系统
- 汽车网关
- IVI
- 激光雷达
- 雷达

3 说明

LMK3H0102-Q1 是一款 2 输出 PCIe 第 1 代至第 7 代兼容无基准时钟发生器，支持展频时钟 (SSC)。该器件基于 TI 专有的体声波 (BAW) 技术，无需任何晶体或外部时钟基准即可提供 ±25ppm 时钟输出。该器件可以同时提供 2 个 SSC 时钟、2 个非 SSC 时钟，或者同时提供 1 个 SSC 时钟和 1 个非 SSC 时钟。该器件满足从第 1 代到第 7 代的完整 PCIe 合规性，包括具有或不具有 SSC、独立基准无展频 (SRNS) 和独立基准独立展频 (SRIS) 的通用时钟。

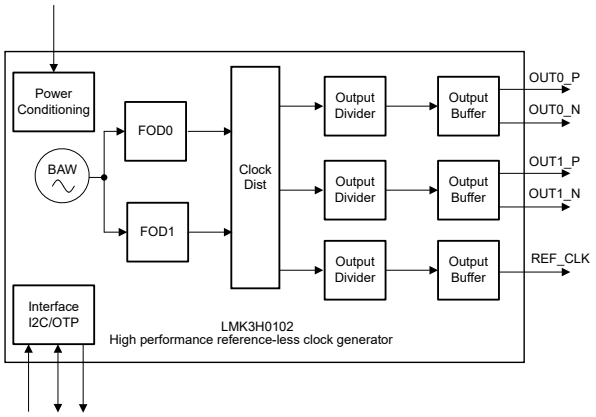
可通过引脚或 I^2C 接口轻松配置该器件。可以使用一个外部直流/直流转换器为该器件供电。有关电源滤波和通过直流/直流转换器供电的详细指南，请参阅*电源相关建议*。

有关每个 LMK3H0102Txx 配置的 OTP 默认设置，请参阅 LMK3H0102 配置指南。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMK3H0102-Q1	RGT（VQFN，16）	3.0mm × 3.0mm

(1) 有关所有可用封装，请参阅*机械、封装和可订购信息*部分。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 5
5.1 绝对最大额定值.... 5
5.2 ESD 等级.... 5
5.3 建议运行条件.... 5
5.4 热性能信息.... 6
5.5 电气特性.... 6
5.6 I^2C 接口规范.... 12
6 参数测量信息.... 14
6.1 输出格式配置.... 14
6.2 差分电压测量术语.... 15
7 详细说明.... 16
7.1 概述.... 16
7.2 功能方框图.... 17
7.3 特性说明.... 17
7.4 器件功能模式.... 21
7.5 编程.... 28
8 器件寄存器.... 30
8.1 寄存器映射.... 30
9 应用和实施.... 40
9.1 应用信息.... 40
9.2 典型应用.... 40
9.3 电源相关建议.... 49
9.4 布局.... 49
10 器件和文档支持.... 51
10.1 文档支持.... 51
10.2 接收文档更新通知.... 51
10.3 支持资源.... 51
10.4 商标.... 51
10.5 静电放电警告.... 51
10.6 术语表.... 51
11 修订历史记录.... 51
12 机械、封装和可订购信息.... 52

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

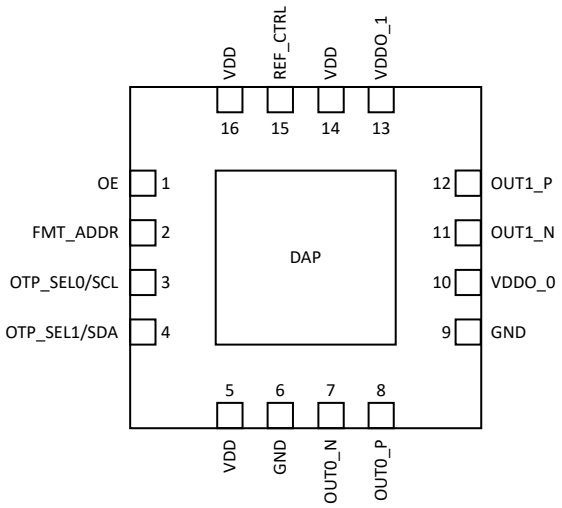


图 4-1. LMK3H0102-Q1 16 引脚 VQFN 顶视图

表 4-1. 引脚功能

引脚		类型[(1)]	说明
名称	编号		
OUT0_P、	8	O	时钟输出 0。支持 LP-HCSL（85Ω 或 100Ω）、LVDS 或 1.8V/2.5V/3.3V LVCMOS。
OUT0_N	7		
OUT1_P	12	O	时钟输出 1。支持 LP-HCSL（85Ω 或 100Ω）、LVDS 或 1.8V/2.5V/3.3V LVCMOS。
OUT1_N	11		
REF_CTRL (REF_CLK)	15	I/O	多功能引脚。上电时，该引脚的状态被锁存以选择引脚 2、引脚 3 和引脚 4 的功能。在上电之前，拉至低电平或保持悬空以启用 I2C 模式，或者拉至高电平以启用 OTP 模式。上电后，该引脚可以编程为额外的 LVCMOS 输出 (REF_CLK)、高电平有效 CLK_READY 信号或禁用。 有关更多详细信息，请参阅 REF_CTRL 运行。 该引脚具有一个 880kΩ 内部下拉电阻器。
OE	1	I	输出使能。低电平有效。两态逻辑输入引脚。 该引脚具有一个 75kΩ 内部下拉电阻器。 该引脚既可以单独控制 OUT0，也可以同时控制 OUT0 和 OUT1。有关更多详细信息，请参阅输出启用。 • 低电平/悬空：启用 OUT0 和 OUT1 • 高电平：禁用 OUT0 和 OUT1
FMT_ADDR	2	I	多功能引脚。功能由 REF_CTRL（引脚 15）在上电时确定。有关更多详细信息，请参阅 OTP 模式和 I2C 模式。 该引脚具有一个 880kΩ 内部下拉电阻器。 • I2C 模式：该引脚可以选择 I2C 地址，可以用作 OUT1 的输出使能，也可以不具有任何功能。 • OTP 模式：该引脚可以设置输出格式，可以用作 OUT1 的输出使能，也可以不具有任何功能。

表 4-1. 引脚功能（续）

引脚		类型[(1)]	说明
名称	编号		
OTP_SEL0/SCL	3	I, I/O	多功能引脚。功能由 REF_CTRL（引脚 15）在上电时确定。有关详细信息，请参阅 OTP 模式和 I2C 模式。 • I2C 模式：这些引脚是 I2C 时钟和数据接头。 • OTP 模式：这些引脚选择 OTP 页面。
OTP_SEL1/SDA	4		
VDD	5、14、16	P	1.8V、2.5V 或 3.3V 器件电源。必须在尽可能靠近每个引脚的位置放置一个 0.1μF 电容器。对于 LMK3H0102T18，仅向该引脚提供 1.8V 电压。
VDDO_0	10、13	P	1.8V、2.5V 或 3.3V OUT0 和 OUT1 电源。如果 VDD 为 1.8V 或 2.5V，则 VDDO 引脚的电压必须与 VDD 相同。必须在尽可能靠近每个引脚的位置放置一个 0.1μF 电容器。使用双电源时，请参阅上电时序 了解正确的实现。
VDDO_1	13		
GND	6、9	G	电气 GND。这些引脚**必须**连接至 GND 以便器件正常运行。
DAP	17	G	热 GND。DAP **未**连接到器件内部的电气 GND，仅可用于热 GND。通过多个过孔连接到内部 GND 层。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
V_{DD}	器件电源电压	-0.3	3.9	V
V_{DDO}	输出电源电压	-0.3	3.9	V
V_{IN}	逻辑输入电压（V_{DD} = V_{DDO} = -0.3V 至 -3.9V）	-0.3	3.9	V
V_{OUT}	施加到 OUTx_P 和 OUTx_N 引脚的电压（当输出为高电平或低电平时）	-0.3	V_{DDO_x} + 0.3	V
	施加到 OUTx_P 和 OUTx_N 引脚的电压（当输出为 LVCMOS 三态时）	-0.3	1.89	V
	施加到 OUTx_P 和 OUTx_N 引脚的电压（当输出为 LP-HCSL 或 LVDS 三态时）	-0.3	1.5	V
T_J	结温		125	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 HBM ESD 分类等级 2[(1)]	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4A[(1)]	±750	V

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

V_{DD} = V_{DDO} = 1.8V、2.5V 或 3.3V ± 5%，T_A = $T_{A,min}$ 至 $T_{A,max}$

		最小值	标称值	最大值	单位
V_{DD}	器件电源电压	1.71	1.8	1.89	V
		2.375	2.5	2.625	V
		3.135	3.3	3.465	V
V_{DDO}	输出电源电压	1.71	1.8	1.89	V
		2.375	2.5	2.625	V
		3.135	3.3	3.465	V
T_A	环境温度	-40		105	°C
T_J	结温	-40		125	°C
t_{ramp}	电源斜坡时间。V_{DD} = 1.8V	0.05		5	ms
t_{ramp}	电源斜坡时间。V_{DD} = 2.5V 或 3.3V	0.05		5	ms

5.4 热性能信息

热指标[1]		LMK3H0102 RGT (QFN) 16 引脚	单位
$R_{\theta JA}$	结至环境热阻	48.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	56.3	°C/W
$R_{\theta JB}$	结至电路板热阻	23.1	°C/W
Ψ_{JT}	结至顶部特征参数	1.4	°C/W
Ψ_{JB}	结至电路板特征参数	23.0	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	9.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 热指标应用手册。

5.5 电气特性

V_{DD} = V_{DDO} = 1.8V、2.5V 或 3.3V ± 5%，T_A = $T_{A,min}$ 至 $T_{A,max}$

参数		测试条件	最小值	典型值	最大值	单位
频率稳定性						
Δf_{total}	总频率稳定性	包括所有因素：温度变化、25℃ 时 10 年老化、焊接漂移、迟滞和初始频率精度	-25		25	ppm
LP-HCSL 时钟输出特性						
f_{out}	输出频率		2.5		400	MHz
V_{min}	输出低电压（包括下冲）		-60		25	mV
$V_{overshoot}$	过冲电压。V_{max} - V_{OH}				150	mV
$V_{OH,2.5/3.3}$	输出高电压。VDD = 2.5V 或 3.3V	代码 = 0	563	625	688	mV
		代码 = 1	582	647	712	mV
		代码 = 2	601	668	735	mV
		代码 = 3	621	690	759	mV
		代码 = 4	641	712	783	mV
		代码 = 5	660	733	806	mV
		代码 = 6（默认设置）	680	755	831	mV
		代码 = 7	699	777	855	mV
		代码 = 8	718	798	878	mV
		代码 = 9	738	820	902	mV
		代码 = 10	758	842	926	mV
		代码 = 11	777	863	949	mV
		代码 = 12	797	885	974	mV
		代码 = 13	816	907	998	mV
		代码 = 14	835	928	1021	mV
		代码 = 15	855	950	1045	mV

Copyright © 2025 Texas Instruments Incorporated

V_{DD} = V_{DDO} = 1.8V、2.5V 或 3.3V ± 5%，T_A = $T_{A,min}$ 至 $T_{A,max}$

参数		测试条件	最小值	典型值	最大值	单位
$V_{OH,1.8}$	输出高电压。VDD = 1.8V	代码 = 0	563	625	688	mV
		代码 = 1	582	647	712	mV
		代码 = 2	601	668	735	mV
		代码 = 3	621	690	759	mV
		代码 = 4	641	712	783	mV
		代码 = 5	660	733	806	mV
		代码 = 6（默认设置）	680	755	831	mV
		代码 = 7	699	777	855	mV
		代码 = 8	718	798	878	mV
		代码 = 9	738	820	902	mV
		代码 = 10	758	842	926	mV
		代码 = 11	777	863	949	mV
		代码 = 12	797	885	974	mV
		代码 = 13	816	907	998	mV
		代码 = 14	835	928	1021	mV
		代码 = 15	855	950	1045	mV
Z_{diff}	LP-HCSL 静态差分阻抗		80.75	85	91.25	Ω
			95	100	105	Ω
dV/dt	输出压摆率（上升沿和下降沿）	在差分波形上从 –150mV 到 +150mV 测量，以过零点为中心。OUTx_SLEW_RATE = 0[(1)]	2.1		3.1	V/ns
		在差分波形上从 –150mV 到 +150mV 测量，以过零点为中心。OUTx_SLEW_RATE = 0	2.3		3.5	V/ns
		在差分波形上从 –150mV 到 +150mV 测量，以过零点为中心。OUTx_SLEW_RATE = 1	2		3.2	V/ns
		在差分波形上从 –150mV 到 +150mV 测量，以过零点为中心。OUTx_SLEW_RATE = 2	1.7		2.8	V/ns
		在差分波形上从 –150mV 到 +150mV 测量，以过零点为中心。OUTx_SLEW_RATE = 3	1.4		2.7	V/ns
ΔdV/dt	上升沿速率与下降沿速率匹配	请参阅[(1)]			3	%
ODC	输出占空比	请参阅[(1)]	47		53	%
		f_{out} ≤ 325MHz	47		53	%
		325MHz < f_{out} ≤ 400MHz	47		53	%
t_{skew}	输出到输出偏斜	相同的 FOD、LP-HCSL 输出			50	ps
V_{cross}	绝对交叉点电压	请参阅[(1)]	280		480	mV
ΔV_{cross}	V_{cross} 在所有时钟边沿上的变化	请参阅[(1)]			30	mV
$\lvert V_{RB} \rvert$	回铃电压绝对值	请参阅[(1)]	100			mV
t_{stable}	允许 V_{RB} 之前的时间	请参阅[(1)]	500			ps
$J_{cycle-to-cycle}$	周期间抖动，通用时钟无 SSC	请参阅[(1)]			20	ps
$J_{cycle-to-cycle}$	周期间抖动，通用时钟，-0.5% SSC	请参阅[(1)]			25	ps

V_{DD} = V_{DDO} = 1.8V、2.5V 或 3.3V ± 5%，T_A = $T_{A,min}$ 至 $T_{A,max}$

参数		测试条件	最小值	典型值	最大值	单位
t_{period_abs}	绝对周期，包括抖动和 SSC	请参阅(1)	9.949	10	10.101	ns
$t_{period_avg_CC}$	平均时钟周期精度，通用时钟	请参阅(1)	-100		2600	ppm
$t_{period_avg_SRIS}$	平均时钟周期精度，SRIS	请参阅(1)	-100		1600	ppm
LVDS 时钟输出特性						
f_{out}	输出频率		2.5		400	MHz
$\|V_{OD}\|$	差分输出电压 $\|V_{OUTP} - V_{OUTN}\|$ 的稳态幅度	100Ω 外部终端	250	350	450	mV
$\Delta V_{pp\text{-}diff}$	互补输出状态之间差分输出电压摆幅的变化	100Ω 外部终端			50	mV
V_{OS}	输出失调电压（共模电压）	V_{DDO} = 3.3V，100Ω 外部终端	1.12	1.2	1.365	V
		V_{DDO} = 2.5V，100Ω 外部终端	1.1	1.2	1.345	V
		V_{DDO} = 1.8V，100Ω 外部终端	0.8		0.97	V
ΔV_{OS}	互补输出状态之间 V_{OS} 的变化				50	mV
I_{SA}、I_{SB}	短路电流。发电机输出端子短接至发电机电路公共端时的电流大小		-24		24	mA
I_{SAB}	短路电流。发电机输出端子相互短路时的电流大小		-12		12	mA
t_R，t_F	20% 至 80% 差分上升/下降时间	OUTx_SLEW_RATE = 0	195		323	ps
		OUTx_SLEW_RATE = 1	250		454	ps
		OUTx_SLEW_RATE = 2	270		635	ps
		OUTx_SLEW_RATE = 3	280		792	ps
t_{skew}	输出到输出偏斜	相同的 FOD、LVDS 输出			50	ps
ODC	输出占空比		47		53	%
LVCMOS 时钟输出特性						
f_{out}	输出频率		2.5		200	MHz
dV/dt	输出压摆率	V_{DDO} = 3.3V ± 5%，在 20% 至 80% 范围内测得，4.7pF 负载	2.6		4.7	V/ns
		V_{DDO} = 2.5V ± 5%，在 20% 至 80% 范围内测得，4.7pF 负载	2.6		3.7	V/ns
		V_{DDO} = 1.8V ± 5%，在 20% 至 80% 范围内测得，4.7pF 负载	1.5		3.2	V/ns
V_{OH}	输出高电压	I_{OH} = –15mA (3.3V)	0.8 × V_{DDO}		V_{DDO}	V
		I_{OH} = –12mA (2.5V)				
		I_{OH} = –8mA (1.8V)				
V_{OL}	输出低电压	I_{OL} = 15mA (3.3V)			0.4	V
		I_{OL} = 12mA (2.5V)				
		I_{OL} = 8mA (1.8V)				
I_{leak}	输出泄漏电流	输出三态。V_{DD} = V_{DDO} = 3.465V	-5	0	5	μA
R_{out}	输出阻抗			17		Ω
ODC	输出占空比	f_{out} ≤ 156.25MHz	45		55	%
		f_{out} > 156.25MHz	40		60	%
t_{skew}	输出到输出偏斜	相同的 FOD、LVCMOS 输出			50	ps
C_{load}	最大负载电容				15	pF
LVCMOS REFCLK 特性						
f_{out}	输出频率	请参阅(2)	12.5(3)		200	MHz

Copyright © 2025 Texas Instruments Incorporated

V_{DD} = V_{DDO} = 1.8V、2.5V 或 3.3V ± 5%，T_A = $T_{A,min}$ 至 $T_{A,max}$

参数		测试条件	最小值	典型值	最大值	单位
dV/dt	输出压摆率	V_{DDO} = 3.3V ± 5%，在 20% 至 80% 范围内测得，4.7pF 负载(2)	2.6		6.7	V/ns
		V_{DDO} = 2.5V ± 5%，在 20% 至 80% 范围内测得，4.7pF 负载(2)	1.8		4.5	V/ns
		V_{DDO} = 1.8V ± 5%，在 20% 至 80% 范围内测得，4.7pF 负载(2)	1		3.2	V/ns
I_{leak}	输出泄漏电流	三态条件下的输出。V_{DD} = V_{DDO} = 3.465V(2)	-5		5	μA
R_{out}	输出阻抗			17		Ω
ODC	输出占空比	f_{out} ≤ 156.25MHz(2)	45		55	%
ODC	输出占空比	f_{out} > 156.25MHz(2)	40		60	%
C_{load}	最大负载电容	请参阅(2)			15	pF
RJ	随机抖动	在 50MHz 下具有 12kHz 至 20MHz 的集成抖动(2)			0.5	ps
SSC 特性						
f_{out}	支持 SSC 的输出频率范围（任何输出格式）		2.5		200	MHz
f_{SSC}	SSC 调制频率		30	31.5	33	kHz
$f_{SSC-deviation}$	SSC 偏差（调制深度）	向下展频（可编程）	-3		-0.1	%
		中心展频（可编程）	±0.05		±1.5	%
$f_{SSC-deviation-accuracy}$	SSC 偏差精度	f_{out} ≤ 100MHz，向下展频	0		0.01	%
		100MHz < f_{out} ≤ 200MHz，向下展频	0		0.05	%
		f_{out} ≤ 100MHz，中心展频	0		0.01	%
		100MHz < f_{out} ≤ 200MHz，中心展频	0		0.05	%
df/dt	最大 SSC 频率转换率	0 < $f_{SSC-deviation}$ ≤ –0.5%			1250	ppm/μs
抖动特性						
$J_{PCIe1-cc-SSC_off}$	PCIe 第 1 代通用时钟抖动，SSC 关闭（抖动限制 = 86ps）	在两个输出上均禁用 SSC			0.8	ps
$J_{PCIe1-cc-SSC_on}$	PCIe 第 1 代通用时钟抖动，–0.5% ≤ SSC < 0%（抖动限制 = 86ps）	在两个输出上均启用 SSC			1.4	ps
$J_{PCIe2-cc-SSC_off}$	PCIe 第 2 代通用时钟抖动，SSC 关闭（抖动限制 = 3ps）	在两个输出上均禁用 SSC		0.2	0.3	ps
$J_{PCIe2-cc-SSC_on}$	PCIe 第 2 代通用时钟抖动，–0.5% ≤ SSC < 0%（抖动限制 = 3ps）	在两个输出上均启用 SSC		0.3	0.5	ps
$J_{PCIe2-SRNS}$	PCIe 第 2 代 SRNS 抖动	在两个输出上均禁用 SSC		0.2	0.3	ps
$J_{PCIe2-SRIS}$	PCIe 第 2 代 SRIS 抖动，–0.3% ≤ SSC < 0%	在两个输出上均启用 SSC		0.3	0.5	ps
$J_{PCIe3-cc-SSC_off}$	PCIe 第 3 代通用时钟抖动，SSC 关闭（抖动限制 = 1ps）	在两个输出上均禁用 SSC		42.8	84.2	fs
$J_{PCIe3-cc-SSC_on}$	PCIe 第 3 代通用时钟抖动，–0.5% ≤ SSC < 0%（抖动限制 = 1ps）	在两个输出上均启用 SSC		63.1	135.3	fs
$J_{PCIe3-SRNS}$	PCIe 第 3 代 SRNS 抖动	在两个输出上均禁用 SSC		48.8	97.5	fs
$J_{PCIe3-SRIS}$	PCIe 第 3 代 SRIS 抖动，–0.3% ≤ SSC < 0%	在两个输出上均启用 SSC		194.1	418.5	fs
$J_{PCIe4-cc-SSC_off}$	PCIe 第 4 代通用时钟抖动，SSC 关闭（抖动限制 = 500fs）	在两个输出上均禁用 SSC		42.8	84.2	fs

Copyright © 2025 Texas Instruments Incorporated

V_{DD} = V_{DDO} = 1.8V、2.5V 或 3.3V ± 5%，T_A = $T_{A,min}$ 至 $T_{A,max}$

参数		测试条件	最小值	典型值	最大值	单位
$J_{PCIe4-cc-SSC_on}$	PCIe 第 4 代通用时钟抖动，–0.5% ≤ SSC < 0%（抖动限制 = 500fs）	在两个输出上均启用 SSC		63.1	135.3	fs
$J_{PCIe4-SRNS}$	PCIe 第 4 代 SRNS 抖动	在两个输出上均禁用 SSC		48.8	97.5	fs
$J_{PCIe4-SRIS}$	PCIe 第 4 代 SRIS 抖动，–0.3% ≤ SSC < 0%	在两个输出上均启用 SSC		98.5	205.4	fs
$J_{PCIe5-cc-SSC_off}$	PCIe 第 5 代通用时钟抖动，SSC 关闭（抖动限制 = 150fs）	在两个输出上均禁用 SSC		17.8	35.6	fs
$J_{PCIe5-cc-SSC_on}$	PCIe 第 5 代通用时钟抖动，–0.5% ≤ SSC < 0%（抖动限制 = 150fs）	在两个输出上均启用 SSC		26.4	57.5	fs
$J_{PCIe5-SRNS}$	PCIe 第 5 代 SRNS 抖动	在两个输出上均禁用 SSC		19.8	39	fs
$J_{PCIe5-SRIS}$	PCIe 第 5 代 SRIS 抖动，–0.3% ≤ SSC < 0%	在两个输出上均启用 SSC		30.2	63.9	fs
$J_{PCIe6-cc-SSC_off}$	PCIe 第 6 代通用时钟抖动，SSC 关闭（抖动限制 = 100fs）	在两个输出上均禁用 SSC		11	22	fs
$J_{PCIe6-cc-SSC_on}$	PCIe 第 6 代通用时钟抖动，–0.5% ≤ SSC < 0%（抖动限制 = 100fs）	在两个输出上均启用 SSC		16	34.5	fs
$J_{PCIe6-SRNS}$	PCIe 第 6 代 SRNS 抖动	在两个输出上均禁用 SSC		14.8	27.9	fs
$J_{PCIe6-SRIS}$	PCIe 第 6 代 SRIS 抖动，–0.3% ≤ SSC < 0%	在两个输出上均启用 SSC		22.2	45.9	fs
$J_{PCIe7-cc-SSC_off}$	PCIe 第 7 代通用时钟抖动，SSC 关闭（抖动限制 = 67fs）	在两个输出上均禁用 SSC		7.7	15.4	fs
$J_{PCIe7-cc-SSC_on}$	PCIe 第 7 代通用时钟抖动，–0.5% ≤ SSC < 0%（抖动限制 = 67fs）	在两个输出上均启用 SSC		12.1	29.6	fs
$J_{PCIe7-SRNS}$	PCIe 第 7 代 SRNS 抖动	在两个输出上均禁用 SSC		10.4	19.6	fs
$J_{PCIe7-SRIS}$	PCIe 第 7 代 SRIS 抖动，–0.1% ≤ SSC < 0%	在两个输出上均启用 SSC		12.2	25.5	fs
RJ_{RMS}	12kHz 至 20MHz RMS 抖动	f_{out} = 156.25MHz		105	144	fs
时序特性						
$t_{startup}$	启动时间	V_{DD} = 2.5V 或 3.3V。所有 V_{DD} 引脚达到 2.1V 到出现第一个输出时钟上升沿所用的时间。输出时钟始终处于规格范围内			1	ms
		V_{DD} = 1.8V。所有 V_{DD} 引脚达到 1.6V 到出现第一个输出时钟上升沿所用的时间。输出时钟始终处于规格范围内			1.5	ms
t_{OE}	输出启用时间。	CLOCK_READY 状态为“1”后 OE 置为有效与出现第一个输出时钟上升沿之间经过的时间。禁用时输出不是三态。			7	输出时钟周期
t_{OD}	输出禁用时间。	OE 置为无效与出现最后一个输出时钟下降沿之间经过的时间。			7	输出时钟周期
功耗特性						

Copyright © 2025 Texas Instruments Incorporated

V_{DD} = V_{DDO} = 1.8V、2.5V 或 3.3V ± 5%，T_A = $T_{A,min}$ 至 $T_{A,max}$

参数		测试条件	最小值	典型值	最大值	单位
I_{DD}	内核电源电流，不包括输出驱动器	启用一个 FOD，100MHz ≤ f_{FOD} ≤ 200MHz		57.5	79.9	mA
		启用一个 FOD，200MHz < f_{FOD} ≤ 400MHz		67	90.7	mA
		启用两个 FOD，100MHz ≤ f_{FOD} ≤ 200MHz		81.1	105.8	mA
		启用两个 FOD，200MHz < f_{FOD} ≤ 400MHz		97.8	125.8	mA
I_{DDO}	每个输出通道的输出电源电流	LP-HCSL。f_{out} ≤ 100MHz		10.1	10.8	mA
		LP-HCSL。100MHz < f_{out} ≤ 200MHz		13.2	14.1	mA
		LP-HCSL。200MHz < f_{out} ≤ 300MHz		13.7	15.1	mA
		LP-HCSL。300MHz < f_{out} ≤ 400MHz		14.4	16.4	mA
		LVDS。f_{out} ≤ 100MHz		6	8	mA
		LVDS。100MHz < f_{out} ≤ 200MHz		6.8	9.2	mA
		LVDS。200MHz < f_{out} ≤ 300MHz		7.6	10.2	mA
		LVDS。300MHz < f_{out} ≤ 400MHz		8.4	11.3	mA
		1.8V LVCMOS。f_{out} = 50MHz(4)		4.2	5	mA
		1.8V LVCMOS。f_{out} = 200MHz(4)		11.7	13.4	mA
		2.5V LVCMOS。f_{out} = 50MHz(4)		5.6	6.4	mA
		2.5V LVCMOS。f_{out} = 200MHz(4)		15.3	17.3	mA
		3.3 VLVCMOS。f_{out} = 50MHz(4)		6.8	7.7	mA
		3.3V LVCMOS。f_{out} = 200MHz(4)		19.2	21.7	mA
I_{DDREF}	REFCLK 电源电流	1.8V LVCMOS。f_{out} = 50MHz(4)		3.4	3.9	mA
		1.8V LVCMOS。f_{out} = 200MHz(4)		9.5	11.7	mA
		2.5V LVCMOS。f_{out} = 50MHz(4)		4.7	5.3	mA
		2.5V LVCMOS。f_{out} = 200MHz(4)		12.8	15.8	mA
		3.3V LVCMOS。f_{out} = 50MHz(4)		5.9	6.6	mA
		3.3V LVCMOS。f_{out} = 200MHz(4)		16.6	20.2	mA
PSNR 特性						
$PSNR_{LVCMOS}$	LVCMOS 输出的电源噪声抑制(5)	10kHz		-76.7	-58.1	dBc
		50kHz		-80.9	-57.9	dBc
		100kHz		-81.8	-57	dBc
		500kHz		-84.3	-61.7	dBc
		1MHz		-97.6	-78.1	dBc
		5MHz		-104.3	-79	dBc
		10MHz		-108.7	-89.5	dBc
$PSNR_{LVDS}$	LVDS 输出的电源噪声抑制(5)	10kHz		-79.5	-70.9	dBc
		50kHz		-83.5	-73.2	dBc
		100kHz		-83	-71.6	dBc
		500kHz		-88.3	-79	dBc
		1MHz		-123.4	-101.4	dBc
		5MHz		-115	-87.7	dBc
		10MHz		-123.7	-103.5	dBc

V_{DD} = V_{DDO} = 1.8V、2.5V 或 3.3V ± 5%，T_A = $T_{A,min}$ 至 $T_{A,max}$

参数		测试条件	最小值	典型值	最大值	单位
$PSNR_{LP-HCSL}$	LP-HCSL 输出的电源噪声抑制(5)	10kHz		-80.1	-70.8	dBc
		50kHz		-84.7	-72.9	dBc
		100kHz		-84.6	-70.1	dBc
		500kHz		-93.1	-78.8	dBc
		1MHz		-124.6	-101.5	dBc
		5MHz		-114.3	-88.3	dBc
		10MHz		-123	-103.7	dBc
两态逻辑输入特性						
$V_{IH-Pin2}$	引脚 2 的输入高电压		0.7 × V_{DD}		V_{DD} + 0.3	V
$V_{IL-Pin2}$	引脚 2 的输入低电压		GND – 0.3		0.3 × V_{DD}	V
$V_{IH-Pin1}$	引脚 1 的输入高电压		1.15		V_{DD} + 0.3	V
$V_{IL-Pin1}$	引脚 1 的输入低电压		-0.3		0.65	V
$V_{IH-Pin3,4}$	OTP_SEL[1:0] 的输入高电压		0.7 × V_{DD}		V_{DD} + 0.3	V
$V_{IL-Pin3,4}$	OTP_SEL[1:0] 的输入低电压		GND - 0.3		0.8	V
$V_{IH-Pin15}$	引脚 15 的输入高电压		0.65 × V_{DD}		V_{DD} + 0.3	V
$V_{IL-Pin15}$	引脚 15 的输入低电压		-0.3		0.4	V
$R_{ext-up/down-Pin1,2}$	引脚 1、2 的建议外部上拉或下拉电阻器		0	1	10	kΩ
$R_{ext-up/down-Pin3,4,15}$	引脚 3、4、15 的建议外部上拉或下拉电阻器		0	10	60	kΩ
t_R/t_F	OE 信号上升或下降时间				10	ns
C_{in}	输入电容				3	pF

(1) PCIe 测试负载，15dB 损耗 (4GHz)，f_{out} = 100MHz，Z_{diff} = 100Ω
(2) 使用 10kΩ 外部上拉或下拉电阻器进行测试
(3) REFCLK 可以是来自 FOD0 或 FOD1 的 /2、/4、/8。两个 FOD 均支持 100MHz 至 400MHz。
(4) 4.7pF 电容负载，具有 5 英寸迹线
(5) 所有电源引脚都连接在一起。将 0.1μF 电容器放置在靠近每个电源引脚的位置。应用 50mVpp 纹波并测量时钟输出的杂散水平

5.6 I²C 接口规范

所有时序要求均以 V_{IH-min} 和 V_{IL-max} 为基准。芯片 V_{DD} = I²C V_{DD}。

参数		测试条件	标准模式		快速模式		单位
			最小值	最大值	最小值	最大值	
V_{IL}	输入低电压		-0.3	0.3 × V_{DD}	-0.3	0.3 × V_{DD}	V
V_{IH}	输入高电压		0.7 × V_{DD}	V_{DD} + 0.3	0.7 × V_{DD}	V_{DD} + 0.3	V
V_{hys}	施密特触发输入迟滞				0.05 × V_{DD}		V
V_{OL1}	低电平输出电压 1	3mA 灌电流。V_{DD} > 2V	0	0.4	0	0.4	V
V_{OL2}	低电平输出电压 2	2mA 灌电流。V_{DD} ≤ 2V			0	0.2x V_{DD}	V

Copyright © 2025 Texas Instruments Incorporated

所有时序要求均以 V_{IH-min} 和 V_{IL-max} 为基准。芯片 V_{DD} = I²C V_{DD}。

参数		测试条件	标准模式		快速模式		单位
			最小值	最大值	最小值	最大值	
I_{OL}	低电平输出电流	V_{OL} = 0.4V	3		3		mA
		V_{OL} = 0.6V			6		mA
t_{OF}	从 VIHmin 到 VILmax 的输出下降时间			250	20 × (V_{DD}/5.5V)	250	ns
t_{SP}	必须由输入滤波器进行抑制的尖峰脉冲宽度				0	50	ns
I_i	每个 I/O 引脚的输入电流	0.1 × V_{DD} < V_{IN} < 0.9 × V_{DDmax}	-10	10	-10	10	µA
C_i	每个 I/O 引脚的电容			10		10	pF
f_{SCL}	SCL 时钟频率		0	100	0	400	kHz
t_{HD-STA}	（重复）START 条件后的保持时间	在这段时间后，第一个时钟脉冲被生成。	4		0.6		µs
tlow	SCL 时钟的低电平周期		4.7		1.3		µs
thigh	SCL 时钟的高电平周期		4		0.6		µs
t_{SU-STA}	重复 START 条件的建立时间		4.7		0.6		µs
t_{HD-DAT}	数据保持时间	I²C 总线器件	0		0		µs
t_{SU-DAT}	数据建立时间		0.25		0.1		µs
t_R	SDA 和 SCL 信号的上升时间 (1)			300	20	300	ns
t_F	SDA 和 SCL 信号的下降时间 (1)			300	20 × (V_{DD}/5.5V)	300	ns
t_{SU-STO}	STOP 条件的建立时间		4		0.6		µs
t_{BUF}	STOP 与 START 条件之间的总线空闲时间		4.7		1.3		µs
C_B	每个总线的容性负载			400		400	pF
t_{VD-DAT}	数据有效时间			3.45		0.9	µs
t_{VD-ACK}	数据有效确认时间			3.45		0.9	µs
V_{NL}	低电平的噪声容限	对于每个连接的器件，包括迟滞	0.1 × V_{DD}		0.1 × V_{DD}		V
V_{NH}	高电平的噪声容限	对于每个连接的器件，包括迟滞	0.2 × V_{DD}		0.2 × V_{DD}		V

(1) 上升和下降时间参数因 IO 驱动器的特性、上拉电阻值和布线上的总电容而异

6 参数测量信息

6.1 输出格式配置

本节介绍 LMK3H0102-Q1 中每个输出格式选项的表征测试设置。

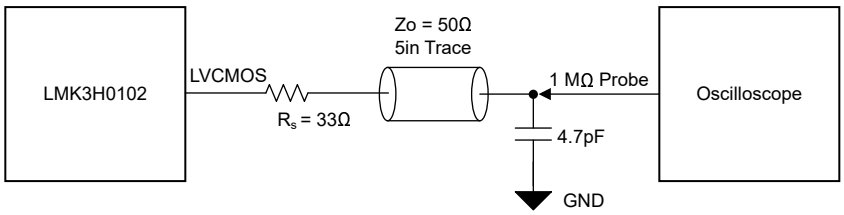


图 6-1. 器件测试期间的 LVCMOS 输出配置

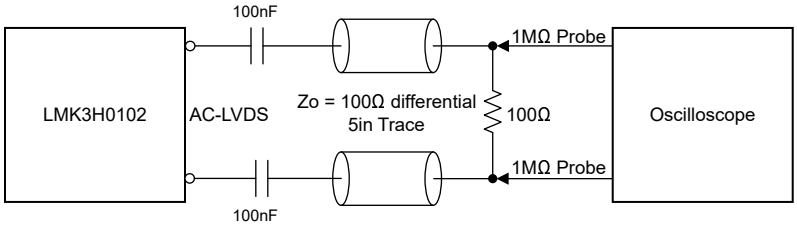


图 6-2. 器件测试期间的交流 LVDS 输出配置

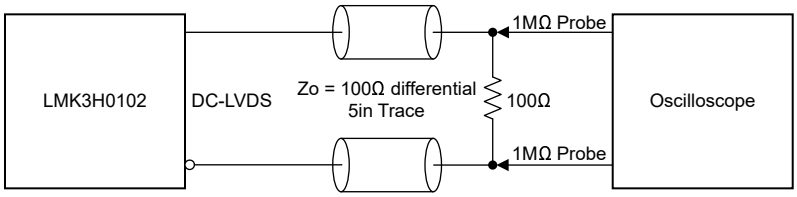


图 6-3. 器件测试期间的直流 LVDS 输出配置

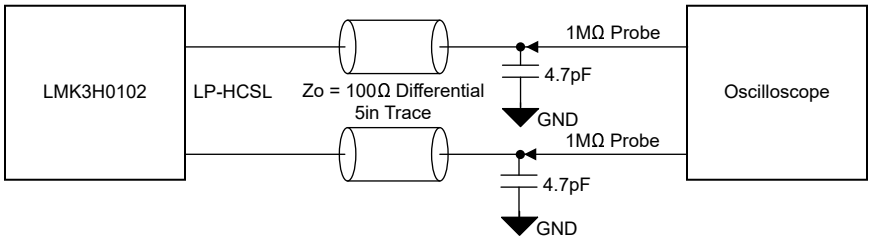


图 6-4. 非 PCIe 器件测试期间的 LP-HCSL 输出配置

Copyright © 2025 Texas Instruments Incorporated

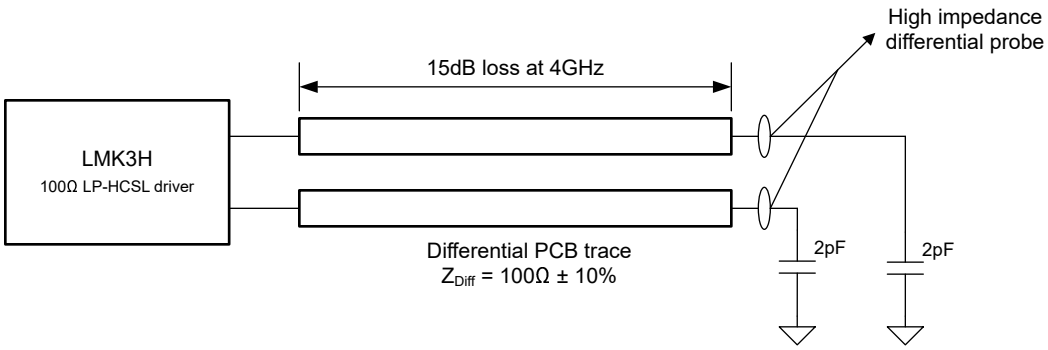


图 6-5. PCIe 器件测试期间的 LP-HCSL 输出配置

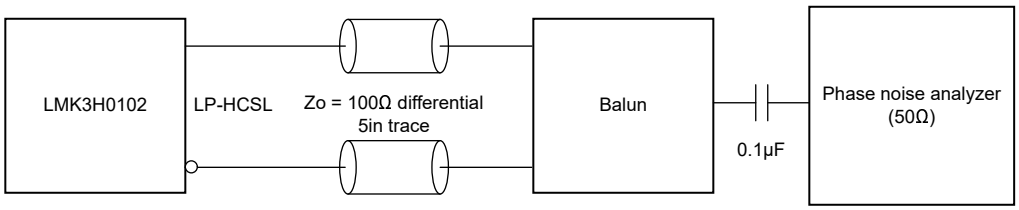


图 6-6. 使用相位噪声分析仪的 PCIe 测试配置

6.2 差分电压测量术语

差分信号的差分电压可以用两种不同的定义来描述，这会导致用户在阅读数据表或与其他工程师交流时产生混淆。本节将讨论差分信号的测量和描述，以便读者在使用差分信号时能够理解和区分这两种不同的定义。

差分信号的第一种定义是反相和同相信号之间电势差的绝对值。这种测量的符号通常为 V_{ID} 或 V_{OD}，具体取决于说明对象是输入电压还是输出电压。

差分信号的第二种定义测量的是同相信号相对于反相信号的电势。这种测量的符号为 V_{SS}，该参数通过计算得出。在集成电路 (IC) 中，该信号相对于接地是不存在的，它仅相对于差分对存在。可以用具有浮动基准的示波器来直接测量 V_{SS}，否则可以将该值计算为第一种描述中所述的 V_{OD} 值的两倍。

图 6-7 并排显示了针对输入的两种不同定义，而图 6-8 并排显示了针对输出的两种不同定义。V_{ID} 和 V_{OD} 定义中给出了 V_A 和 V_B 两个直流电平，同相信号和反相信号均在这两种电平之间切换（相对于接地）。在 V_{SS} 输入和输出定义中，如果将反相信号视为基准电势，则此时同相信号的电势将超出以接地为基准时的同相电势范围。因此，可以测量差分信号的峰峰值电压。

V_{ID} 和 V_{OD} 通常定义为电压 (V)，V_{SS} 通常定义为电压峰峰值 (V_{PP})。

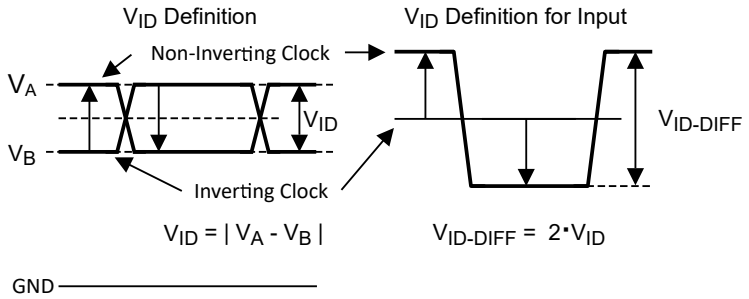


图 6-7. 差分输入信号的两种不同定义

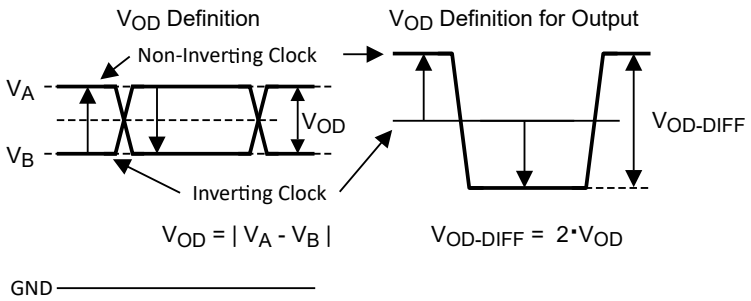


图 6-8. 差分输出信号的两种不同定义

7 详细说明

7.1 概述

LMK3H0102-Q1 是一款双通道时钟发生器，主要用于 PCIe 第 1 代到第 7 代时钟生成，具有或不具有展频时钟 (SSC)。该器件具有集成体声波 (BAW) 谐振器，不需要任何外部晶体或时钟基准。该器件具有四个可选的存储器页面，称为 OTP 页面。存储器中这些页面的集合称为 EFUSE。

默认输出配置是两个 100MHz 时钟，每个时钟具有 100Ω LP-HCSL 输出格式，两者在启动时均处于禁用状态。LMK3H0102-Q1 支持 100Ω LP-HCSL、85Ω LP-HCSL、LVDS 和 1.8V、2.5V 或 3.3V LVCMOS 输出格式，以及高达 200MHz（对于单端输出）和 400MHz（对于差分输出）的可编程输出频率。LMK3H0102TV3 是电源电压为 3.3V 时默认配置的器件型号。LMK3H0102LMK3H0102TV1 是电源电压为 1.8V 时默认配置的器件型号。其他配置器件型号是 LMK3H0102Txx，其中 xx 表示配置编号。LMK3H0102 配置指南详细介绍了每种 LMK3H0102Txx OTP 配置的关键器件设置和默认寄存器设置。

LMK3H0102-Q1 支持两种由 REF_CTRL 引脚在上电时确定的功能模式：一次性编程 (OTP) 模式或 I²C 模式。

1. 在 OTP 模式下，四个 OTP 页面之一由引脚 OTP_SEL0 和 OTP_SEL1 进行选择。所有 OTP 页面的默认输出频率为 100MHz。
2. 在 I²C 模式下，可以通过修改有效寄存器来配置 LMK3H0102-Q1。如果需要默认操作以外的配置，则必须在每次启动时对寄存器进行写入。

有关器件引脚的详细说明，请参阅*引脚配置和功能*。

LMK3H0102-Q1 具有灵活的 SSC 配置，包括：

1. 在两个输出上均禁用 SSC
2. 在两个输出上均启用 SSC
3. 在单个输出上启用 SSC

SSC 规格和抖动性能完全符合 PCIe 第 1 代到第 7 代标准。有关 SSC 和抖动性能详细信息，请参阅*展频时钟*。

Copyright © 2025 Texas Instruments Incorporated

7.2 功能方框图

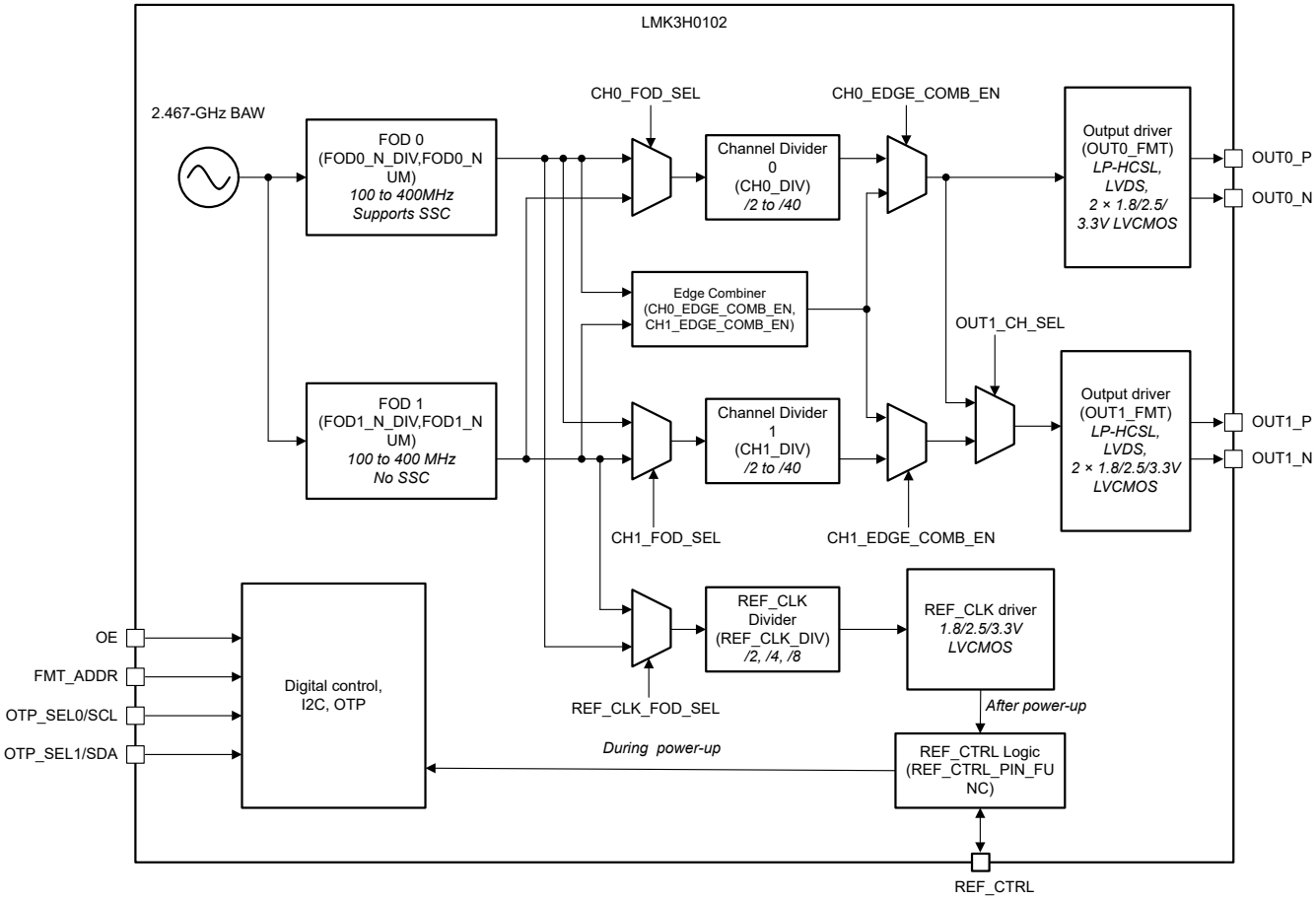


图 7-1. LMK3H0102-Q1 功能方框图

7.3 特性说明

7.3.1 器件块级描述

LMK3H0102-Q1 是一款具有集成 BAW 振荡器的无基准时钟发生器。BAW 频率标称 2467MHz，由两个分数输出分频器 (FOD) 向下分频，每个分频器都能够生成介于 100MHz 和 400MHz 之间的频率。每个 FOD 都可以路由到两个通道分频器之一，该通道分频器将 FOD 频率向下分频以生成 2.5MHz 至 200MHz 的频率。为了生成高于 200MHz 的频率，必须使用边缘组合器，它会利用这两个 FOD。在这种情况下，会绕过通道分频器，从而生成 200MHz 至 400MHz 的频率。也可以选择在 REF_CTRL 引脚上生成额外的 LVCMOS 时钟，其电压与 VDD 相对应。

7.3.2 器件配置控制

图 7-2 展示了器件状态、配置引脚、器件初始化和器件运行模式之间的关系。如果 REF_CTRL 引脚在启动时被拉至高电平，则进入 OTP 模式。如果 REF_CTRL 引脚在启动时被拉至低电平，则进入 I^2C 模式。在 OTP 模式下，OTP_SEL0/SCL 和 OTP_SEL1/SDA 引脚的状态决定加载到有效寄存器中的 OTP 页面。可对该器件进行一次性编程，这意味着无法更改存储在内部 EFUSE 中的寄存器设置。通过更改 REF_CTRL 引脚的状态，然后通过将 VDD 拉至低电平再拉至高电平来触发器件下电上电，可以将器件从 OTP 模式转换为 I^2C 模式，反之亦然。在 OTP 模式下，OTP_SEL0 或 OTP_SEL1 引脚电平的更改（在将 REF_CTRL 引脚保持高电平的情况下）会动态地更改有效 OTP 页面。在加载新的 OTP 页面之前，该器件会等待 350µs，在该时间内等待 OTP_SEL0 和 OTP_SEL1 引脚稳定。

在 I²C 模式下，FMT_ADDR 引脚的状态决定器件的 I²C 地址，OTP_SEL0/SCL 和 OTP_SEL1/SDA 引脚分别重新用作 I²C 时钟和数据引脚。在 I²C 模式下，主机可以更新有效器件寄存器。如果使用与已编程配置不同的配置，则必须在每次下电上电后写入寄存器。

通过将 PDN 位 (R10[1]) 设置为“1”，可以将器件置于低功耗状态。清除 PDN 位会使器件退出低功耗状态。如果 DEV_IDLE_STATE_SEL 位 (R10[4]) 为“0”且输出被禁用，则器件进入低功耗状态。需要进入低功耗状态，才能更改通道 0 使用的 FOD 的频率，更改 SSC 配置以及更改输出格式。TI 建议在该低功耗状态下执行寄存器写入操作。将 OTP_AUTOLOAD_DIS (R10[2]) 位设置为“1”，以防止在将 PDN 设置为“0”之前自动加载 OTP 第 0 页。

有两个字段决定了器件退出低功耗状态时的状态。PIN_RESAMPLE_DIS (R10[3]) 控制在退出低功耗状态时是否对 FMT_ADDR、OTP_SEL0/SCL、OTP_SEL1/SDA 和 REF_CTRL 引脚进行重新采样。如果对引脚重新采样，并且 REF_CTRL 引脚被拉至高电平，则该器件可以转换到 OTP 模式。将该位设置为“1”可禁用此功能。OTP_AUTOLOAD_DIS 控制在退出低功耗状态时是否将 OTP 第 0 页的内容加载到器件寄存器中。如果 OTP_AUTOLOAD_DIS 位为“1”，且 PIN_RESAMPLE_DIS 位为“1”，则寄存器内容不会改变。如果 OTP_AUTOLOAD_DIS 位为“0”，而 PIN_RESAMPLE_DIS 位为“1”，则会将 OTP 第 0 页的内容加载到寄存器中。如果 PIN_RESAMPLE_DIS 位为“0”，且 REF_CTRL 被拉至高电平，则器件进入 OTP 模式。在这种情况下，OTP_SEL0/SCL 和 OTP_SEL1/SDA 控制加载到器件寄存器中的 OTP 页面。

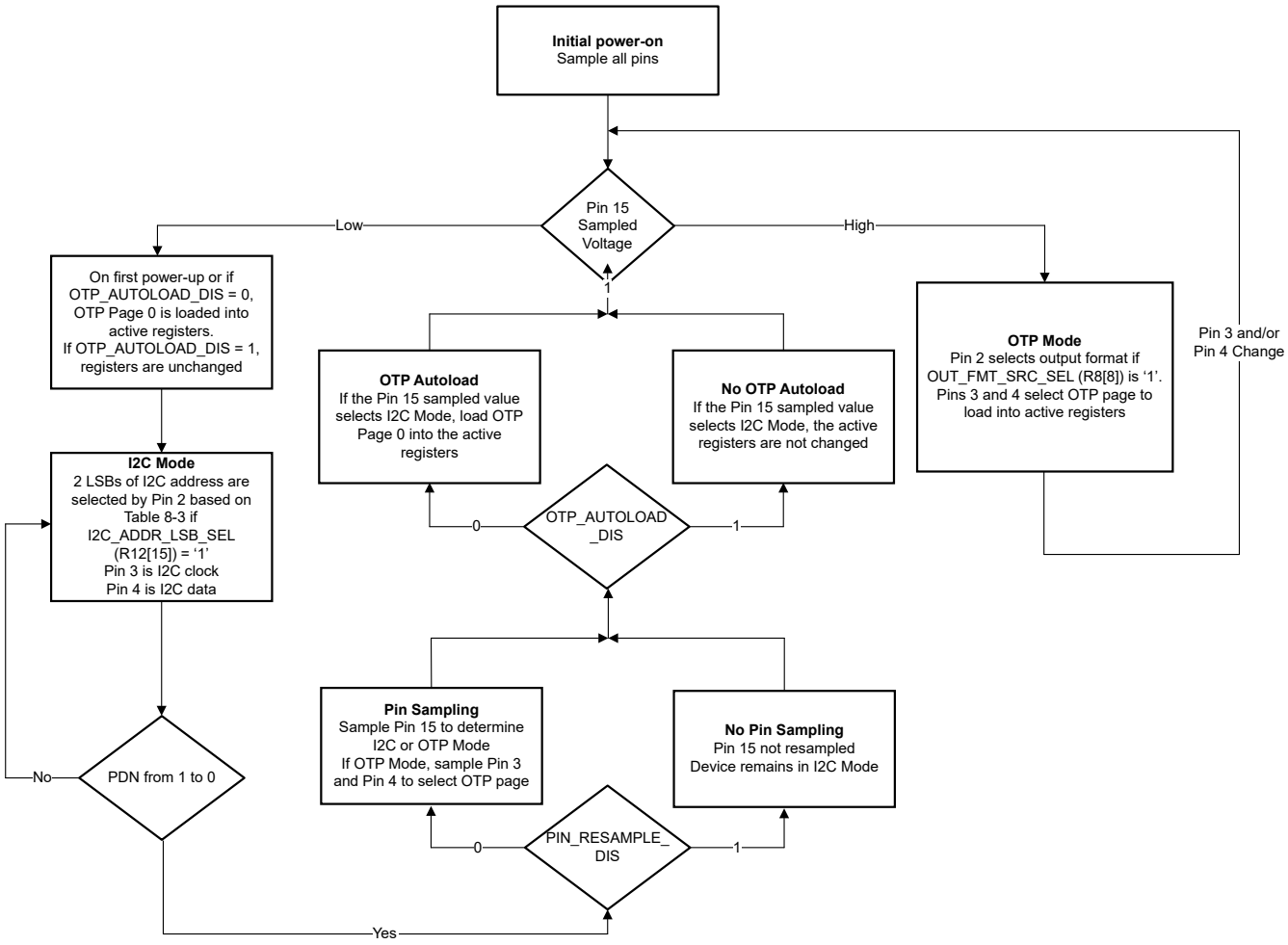


图 7-2. LMK3H0102-Q1 器件模式图

Copyright © 2025 Texas Instruments Incorporated

在 I²C 模式下，器件寄存器来自 OTP 第 0 页的内容。在 OTP 模式下，这些值来自四个 OTP 页面之一，可根据启动时 OTP_SELx 引脚的状态进行选择。图 7-3 展示了 LMK3H0102-Q1 内的接口和控制块，其中箭头表示来自不同嵌入式存储器的读写访问。

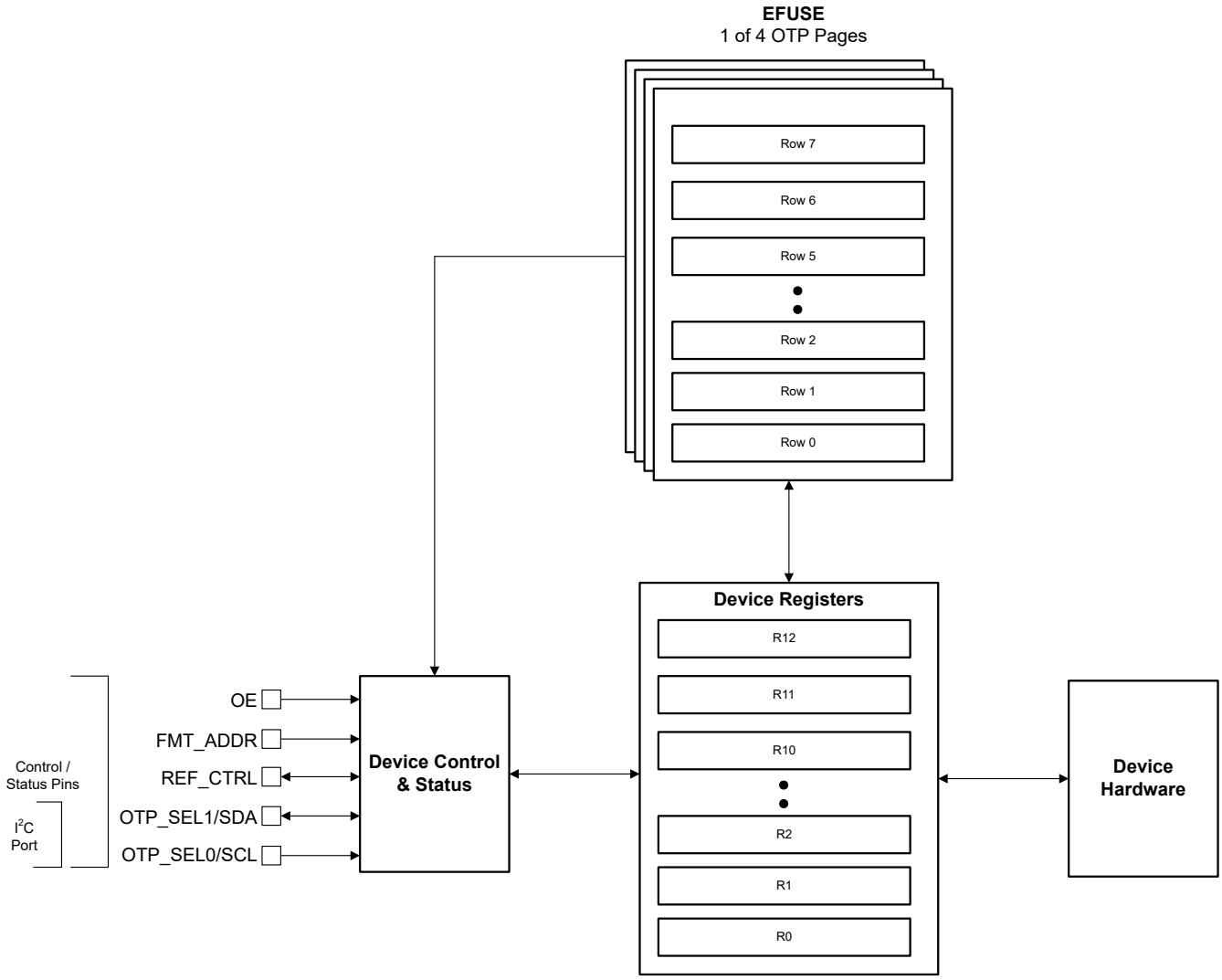


图 7-3. LMK3H0102-Q1 接口和控制块

7.3.3 OTP 模式

在该模式下，配置引脚允许选择四个一次性可编程 (OTP) 页面之一以及选择输出格式。I²C 在该模式下不启用，因为 I²C 引脚被重新用于 OTP 页面选择。表 7-1 展示了根据 OTP_SEL0 和 OTP_SEL1 引脚的状态选择的 OTP 页面。

表 7-1. OTP 模式下的 OTP 页面选择

OTP_SEL1 引脚	OTP_SEL0 引脚	OTP 页面
低	低	0
低	高	1
高	低	2
高	高	3

器件的 EFUSE 被永久编程并且 OTP_BURNT(R0[0]) = 1。如果需要新的配置，则必须在每次启动时通过 I²C 加载该配置。可以使用 TICS Pro 中的向导创建 OTP 配置。如需创建自定义 OTP 配置可订购器件型号，请联系 TI。

以下字段在四个 OTP 页面之间可以是唯一的。所有其他寄存器设置在 OTP 页面之间共享：

- SSC_EN：启用或禁用 SSC。
- OE_0：启用或禁用 OUT0。
- OE_1：启用或禁用 OUT1。
- OP_TYPE_CH0：OUT0 输出格式类型，请参阅*输出格式类型*。
- OP_TYPE_CH1：OUT1 输出格式类型，请参阅*输出格式类型*。
- SSC_SETTING：SSC 调制类型，请参阅*展频时钟*。

当 OTP_SEL1 或 OTP_SEL0 引脚状态发生变化时，器件会自动执行下电上电并重新加载新的 OTP 页面。从引脚 3 和 4 发生变化到实现新 OTP 中的稳定状态所经过的时间不超过 1.5ms。

7.3.4 I²C 模式

在该模式下，启用 I²C，SCA 和 SDL 引脚分别用作 I²C 时钟和 I²C 数据引脚。表 7-2 展示了可通过 FMT_ADDR 引脚选择的四个默认 I²C 地址。I²C 地址的 5 个 MSB 在 I2C_ADDR (R12[14:8]) 的上五个位中设置。

如果 I2C_ADDR_LSB_SEL (R12[15]) = 0，则 FMT_ADDR 引脚被忽略，并且 I²C 地址仅由 I2C_ADDR 决定。如果使用 FMT_ADDR 引脚进行 I²C LSB 选择，则不得将该引脚配置为独立输出使能控制。

表 7-2. I²C 地址选择

REF_CTRL 引脚 (1)	FMT_ADDR 引脚	I²C 地址 (2)
高	X	不适用 （禁用 I2C）
低	0	0x68/0xD0
低	1	0x69/0xD2
低	连接至 SDA	0x6A/0xD4
低	连接至 SCL	0x6B/0xD8

(1) 这是上电时 REF_CTRL 引脚的状态，而不是实时引脚状态。
(2) 0xD0、0xD2、0xD4 和 0xD8 地址包含的 R/W 位设置为“0”。

更改器件寄存器时，首先将 PDN 设置为“1”，对器件寄存器进行写入，然后将 PDN 设置为“0”。图 7-4 展示了该过程。

Copyright © 2025 Texas Instruments Incorporated

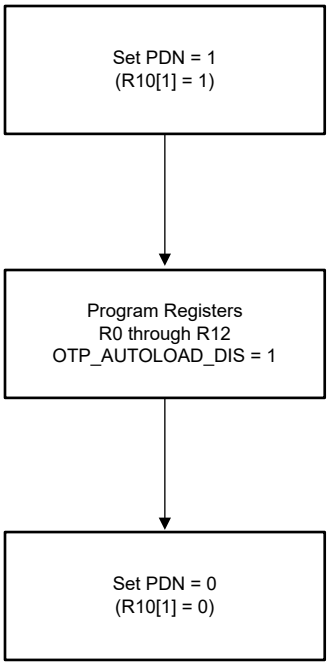


图 7-4. LMK3H0102-Q1 编程序列

7.4 器件功能模式

7.4.1 失效防护输入

LMK3H0102-Q1 数字输入引脚旨在支持失效防护输入操作，REF_CTRL 引脚除外。该特性允许用户在施加 VDD 之前驱动数字输入，而不会损坏器件。有关该器件支持的最大输入电压的更多信息，请参阅*绝对最大额定值*。

7.4.2 分数输出分频器

LMK3H0102-Q1 包含两个分数输出分频器。如果所有输出都能由单个 FOD 生成，TI 建议禁用 FOD1 以节省电力并提高性能。如果没有输出通道选择 FOD1，则 FOD1 被禁用。

7.4.2.1 FOD 模式运行

内部 BAW 谐振器由一个或两个分数输出分频器 (FOD) 向下分频。FOD0 具有一个 SSC 发生器，FOD1 不具有 SSC 发生器。如果 OUT0 和 OUT1 都必须是 SSC 时钟，则这两个时钟必须由 FOD0 提供。如果同时需要 1 个 SSC 时钟和 1 个非 SSC 时钟，则为 SSC 时钟启用 FOD0，为非 SSC 时钟启用 FOD1。如果两个输出时钟都不需要 SSC，则可以使用任一 FOD。

备注

如果应用只需要一个 FOD，TI 建议使用 FOD0 作为默认 FOD。如果需要使用两个 FOD，则 TI 建议将 FOD0 与 OUT0 结合使用，并将 FOD1 与 OUT1 结合使用。

单个 FOD 在时钟输出处可以生成的最大频率为 200MHz，因为最小通道分频器值是 2 分频。为了生成大于 200MHz 的输出，可以使用边缘组合器，绕过通道分频器。这要求两个 FOD 均已启用并具有相同的整数分频器和分数分子值以及相同的增益校准值。当其中一个输出超过 200MHz 时，另一个输出只能选择共享 FOD 频率除以通道分频器值之一，或者是 FOD 频率。在 200MHz 以下，两个 FOD 可以独立配置，从而使 OUT0 和 OUT1 具有不同的频率。TI 建议尽可能由单个 FOD 提供源，以确保 OUT0 和 OUT1 具有确定性的相位关系。

LMK3H0102-Q1 中的 FOD 可通过 I^2C 编程进行配置，以适应各种输出频率，或者在没有编程的情况下采用一次性编程 (OTP) 设置。可以通过设置整数 (FODx_N_DIV) 和分数 (FODx_NUM) 分频值来配置 FOD。表 7-3 展示了每个 FOD 的这些字段的寄存器位置。

表 7-3. FOD 整数和分子分频位置

字段	寄存器
FOD0_N_DIV	R0[9:3]
FOD0_NUM[23:16]	R1[15:8]
FOD0_NUM[15:0]	R2[15:0]
FOD1_N_DIV	R3[15:9]
FOD1_NUM[23:16]	R6[12:5]
FOD1_NUM[15:0]	R8[15:0]

方程式 1 和方程式 2 展示了一个有关如何设置整数和分子分频值的示例。

$$\text{FODx_N_DIV} = \text{floor}\left(\frac{F_{BAW}}{F_{FOD}}\right) \tag{1}$$

其中：

- FODx_N_DIV：FOD 分频值的整数部分（7 位，6 至 24）
- F_{BAW}：BAW 频率，2467MHz 加偏移，下文将对此进行进一步的详细介绍
- F_{FOD}：所需的 FOD 频率（100MHz 至 400MHz）

$$\text{FODx_NUM} = \text{int}\left(\left(\left(\frac{F_{BAW}}{F_{FOD}}\right) - \text{FODx_N_DIV}\right) \times 2^{24}\right) \tag{2}$$

其中 FODx_NUM 是 FOD 分频值的分数部分（24 位，即 0 至 16777215）。

输出频率 (F_{OUT}) 与 FOD 频率相关，如方程式 3 所示，或者等于启用边缘组合器时的 FOD 频率。OUTDIV 可以是 2、4、6、8、10、20 或 40。

$$F_{OUT} = \frac{F_{FOD}}{\text{OUTDIV}} \tag{3}$$

可以使用方程式 4 来计算器件 BAW 频率的实际值。用户可以通过读取 R238 找到 BAWFREQ_OFFSET_FIXEDLUT 的值，这是一个有符号的 16 位值。

$$F_{BAW} = 2467\text{MHz} \times (1 + (\text{BAWFREQ_OFFSET_FIXEDLUT} \times 128\text{E} - 9)) \tag{4}$$

7.4.2.2 边缘组合器

使用边缘组合器生成大于 200MHz 的输出频率。要使用边缘组合器，请将 CH0_EDGE_COMB_EN (R3[3]) 或 CH1_EDGE_COMB_EN (R3[7]) 设置为“1”。使用边缘组合器时，两个 FOD 必须以完全相同的频率运行（即分频值必须匹配）。如果任一 CHx_EDGE_COMB_EN 位设置为“1”，器件会通过自动将分频器值从 FOD0 加载到 FOD1 来进行处理。使用边缘组合器时，FOD0 上的 SSC 不受支持，不得启用。任一 FOD 仍可生成 LVCMOS REF_CLK 输出。

为使边缘组合器正常运行，必须满足以下条件：

- 必须对两个 FOD 的增益校准代码取平均值。例如，如果 DTC1_GAIN_RT = 200，DTC2_GAIN_RT = 220，则这两个字段中都必须写入 210。增益校准代码位于受保护的寄存器空间。使用 R12[7:0] = 0x5B 解锁受保护的寄存器，只写入进行平均处理的增益校准代码，然后通过设置 R12[7:0] = 0x00 来锁定受保护的寄存器。有关更多信息，请参阅 R146、R147 和 R148。
- 如果边沿组合器仅用于 OUT1，则无论 OUT0 的禁用状态如何，CH0_FOD_SEL (R3[4]) 必须始终设置为“0”(FOD0)。

Copyright © 2025 Texas Instruments Incorporated

7.4.2.3 数字状态机

LMK3H0102-Q1 的数字状态机具有一个源自 FOD 之一的时钟。CH0_FOD_SEL (R3[4]) 选择的 FOD 将输入驱动至状态机时钟分频器。总分频值为 DIG_CLK_N_DIV (R0[9:3]) 字段加 2。设置 DIG_CLK_N_DIV，使 FOD 频率除以总状态机时钟分频值后介于 40MHz 和 50MHz 之间。用于设置该时钟的分频器值等于以下位置中存储的值：例如，如果 FOD0 的频率为 200MHz，且 CH0_FOD_SEL 为“0”，则 DIG_CLK_N_DIV 必须设置为“2”，因为 200MHz 除以 4 等于 50MHz。

7.4.2.4 展频时钟

FOD0 支持展频时钟 (SSC)。SSC 可用于通过调制输出频率来降低峰值辐射发射。SSC_EN (R4[0]) = 1 时，源自 FOD0 的任何输出都具有 SSC。SSC_MOD_TYPE (R4[1]) 在向下展频调制 (SSC_MOD_TYPE = 0) 或中心展频调制 (SSC_MOD_TYPE = 1) 之间进行选择。LMK3H0102-Q1 具有四个内置向下展频 SSC 选项以及一个自定义 SSC 选项。SSC_CONFIG_SEL (R9[11:9]) 在自定义选项或预配置选项之间进行选择。预配置选项针对 FOD0 的 200MHz 输出进行了优化。表 7-4 详细介绍了预配置 SSC 选项的寄存器设置。预配置 SSC 选项针对 FOD0 的 200MHz 输出进行了优化。如果使用边缘组合器，则必须禁用展频时钟。

表 7-4. 预定义的 SSC 配置

SSC_CONFIG_SEL	向下展频 SSC 深度
0x0	自定义，基于 SSC_STEPS 和 SSC_STEP_SIZE
0x1	-0.10%
0x2	-0.25%
0x3	-0.30%
0x4	-0.50%
所有其他值	保留

如果选择自定义 SSC，则必须配置 SSC_STEPS (R4[14:2]) 和 SSC_STEP_SIZE (R5) 来设置调制深度。使用方程式 5 和方程式 6 来确定 SSC_STEPS (R4[14:2]) 寄存器设置，使用方程式 7 或 方程式 8 来确定 SSC_STEP_SIZE (R5) 设置。方程式 7 用于向下展频 SSC，方程式 8 用于中心展频 SSC。

$$\text{Down} - \text{spread: SSC_STEPS} = \text{int}\left(\left(\frac{F_{FOD0}}{F_{MOD}}\right) \div 2\right) \tag{5}$$

$$\text{Center} - \text{spread: SSC_STEPS} = \text{int}\left(\left(\frac{F_{FOD0}}{F_{MOD}}\right) \div 4\right) \tag{6}$$

其中：

- F_{FOD0}：FOD0 频率
- F_{MOD}：调制频率，对 PCIe 应用使用 31.5kHz

$$\text{SSC_STEP_SIZE} = \text{floor}\left(\frac{\left(\left(\frac{F_{BAW}}{F_{FOD0}}\right) \times \left(\frac{1}{1 - \text{SSC_DEPTH}}\right) - 1\right)}{\text{SSC_STEPS} \times \text{DEN}}\right) \tag{7}$$

$$\text{SSC_STEP_SIZE} = \text{floor}\left(\frac{\left(\left(\frac{F_{BAW}}{F_{FOD}}\right) \times \left(\frac{1}{1 - \text{SSC_DEPTH}}\right) - \left(\frac{1}{1 + \text{SSC_DEPTH}}\right)\right)}{2 \times \text{SSC_STEPS} \times \text{DEN}}\right) \tag{8}$$

其中：

- SSC_STEP_SIZE：SSC 每阶跃的分子增量值
- F_{BAW}：BAW 频率，2467MHz。请注意，F_{BAW} 值因器件而异。

- SSC_DEPTH：调制深度，表示为正值。如果使用 –0.5% 深度，则该值为 0.005
- SSC_STEPS：对于向下展频，结果来自方程式 5，或者对于中心展频，结果来自方程式 6
- DEN：分数分母，2^{24}

如果在一个输出上混合使用 SSC，而在另一输出上不使用 SSC，则两个输出之间可能会出现串扰。仅在单个输出上配置 SSC 时，请联系 TI 以申请特定配置的测量数据。

修改 SSC 设置时，在配置其他 SSC 设置之前，请勿将 SSC_EN 设置为“1”。请按照以下步骤配置 SSC：

1. 将 PDN 设置为“1”。
2. 将 OTP_AUTOLOAD_DIS 设置为“1”。
3. 根据需要修改 SSC_MOD_TYPE、SSC_STEP_SIZE 和 SSC_STEPS。
4. 将 SSC_EN 设置为“1”。
5. 将 PDN 设置为“0”。

7.4.3 输出行为

7.4.3.1 输出格式选择

该器件支持 LP-HCSL（85Ω 和 100Ω 内部端接）、LVDS 和 LVCMOS。对于 LVCMOS 输出，如果 VDD 为 3.3V，则 VDDO 可以为 1.8V、2.5V 或 3.3V。否则，VDDO 的电压必须与 VDD 相同。当 OUT0 和 OUT1 使用不同的格式时，DC-LVDS 和差分 LVCMOS 与所有其他格式具有 180 度的相位差。

表 7-5. 使用寄存器确定输出格式

OUT0_FMT/ OUT1_FMT	说明
0x0	LP-HCSL 100Ω 端接
0x1	LP-HCSL 85Ω 端接
0x2	交流耦合 LVDS
0x3	直流耦合 LVDS
0x4	在 OUTx_P 上启用 LVCMOS 在 OUTx_N 上禁用 LVCMOS
0x5	在 OUTx_P 上禁用 LVCMOS 在 OUTx_N 上启用 LVCMOS
0x6	在 OUTx_P 上启用 LVCMOS 在 OUTx_N 上启用 LVCMOS 具有 180 度的相位差 (1)
0x7	在 OUTx_P 上启用 LVCMOS 在 OUTx_N 上启用 LVCMOS OUTx_P 和 OUTx_N 同相

(1) 如果同时需要 OUTx_P 和 OUTx_N 引线，为了获得出色输出性能，TI 建议使用具有 180 度相位差的 LVCMOS。

在 OTP 模式下，FMT_ADDR 引脚功能可由 OUT_FMT_SRC_SEL (R9[8]) 确定。表 7-6 介绍了使用 OUT_FMT_SRC_SEL 字段时可用的输出格式设置。如果使用 FMT_ADDR 引脚进行输出格式选择，则不得将该引脚配置为独立输出使能。

Copyright © 2025 Texas Instruments Incorporated

表 7-6. FMT_ADDR 输出格式选项

OUT_FMT_SRC_SEL	FMT_ADDR 引脚	输出格式
0	X	由 OUT0_FMT (R6[2:0])/ OUT1_FMT (R7[4:2]) 设置
1	GND	LP-HCSL 100Ω 端接
1	VDD	LP-HCSL 85Ω 端接

7.4.3.1.1 输出格式类型

图 7-5 至图 7-8 展示了如何根据所选的输出格式连接 LMK3H0102-Q1 输出。

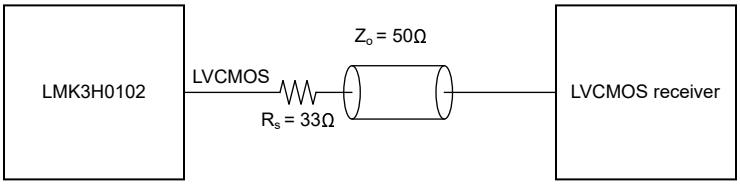


图 7-5. 将 LMK3H0102-Q1 LVCMOS 输出与 LVCMOS 接收器相连接

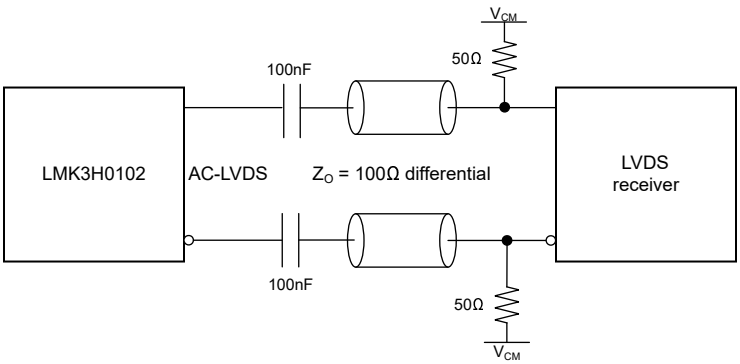


图 7-6. 将 LMK3H0102-Q1 LVCMOS 输出与交流 LVDS 接收器相连接

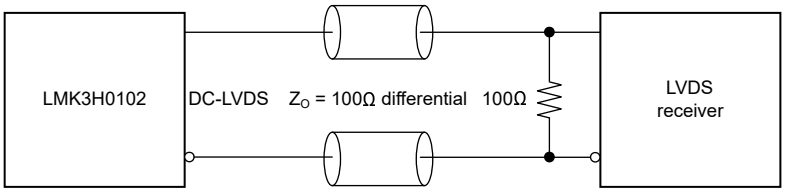


图 7-7. 将 LMK3H0102-Q1 LVCMOS 输出与直流 LVDS 接收器相连接

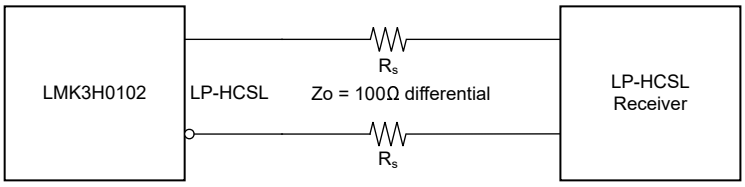


图 7-8. 将 LMK3H0102-Q1 LVCMOS 输出与 LP-HCSL 接收器相连接

7.4.3.1.1.1 LP-HCSL 端接

对于 LP-HCSL 输出，LMK3H0102-Q1 使用内部 50Ω 端接电阻器连接至 GND。不需要外部端接电阻器。

7.4.3.2 输出压摆率控制

对于所有 LVDS 和 LP-HCSL 输出，可以配置压摆率。OUT0_SLEW_RATE (R6[4:3]) 和 OUT1_SLEW_RATE (R7[6:5]) 可用于减小输出压摆率，以分别降低 OUT0 和 OUT1 的 EMI。表 7-7 展示了可用的压摆率选项。

表 7-7. 压摆率设置

OUT0_SLEW_RATE OUT1_SLEW_RATE	压摆率
0x0	2.3V/ns 和 3.5V/ns 之间
0x1	2.0V/ns 和 3.2V/ns 之间
0x2	1.7V/ns 和 2.8V/ns 之间
0x3	1.4V/ns 和 2.7V/ns 之间

7.4.3.3 REF_CTRL 运行

启动时，REF_CTRL 引脚在低电平时选择 I^2，低电平时为 C 模式，高电平时选择 OTP 模式。启动后，REF_CTRL 可被编程为输出 LVCMOS REF_CLK，该时钟源自 FOD0 或 FOD1，后跟整数分频器（/2、/4、/8）。或者，可以禁用该引脚，或用作“时钟就绪”信号。REF_CTRL_PIN_FUNC (R7[14:13]) 控制 REF_CTRL 引脚的功能。表 7-8 展示了这些选项。

表 7-8. 启动后的 REF_CTRL 功能

REF_CTRL_PIN_FUNC	REF_CTRL 功能
0x0	禁用，强制低电平
0x1	禁用，三态
0x2	REF_CLK LVCMOS 输出
0x3	CLK_READY 输出

7.4.4 输出使能

7.4.4.1 输出使能控制

该器件支持同步输出启用 (OE) 功能。同步 OE 意味着当 OE 信号被置为有效或无效时，输出上不会出现干扰。

下表展示了通过引脚配置和 I^2C 启用和禁用输出。请注意，OE 引脚必须为低电平**并且** OE 位必须为“1”才能使输出有效。输出启用位为 OUT0_EN (R7[1]) 和 OUT1_EN (R7[8])。

表 7-9. OE 功能

OE 引脚	OE 引脚极性	软件输出启用 OUTx_EN	OUTx
高电平	低电平有效	0	关闭
高电平	低电平有效	1	关闭
低电平	低电平有效	0	关闭
低电平	低电平有效	1	运行
高电平	高电平有效	0	关闭
高电平	高电平有效	1	运行
低电平	高电平有效	0	关闭
低电平	高电平有效	1	关闭

7.4.4.2 输出使能极性

OE 引脚极性可编程。当 OE 引脚为低电平有效时，内部下拉电阻器自动启用，内部上拉电阻器被禁用。当 OE 引脚为高电平有效时，内部上拉电阻器自动启用，内部下拉电阻器被禁用。默认情况下，当 OE 引脚悬空时，时钟

Copyright © 2025 Texas Instruments Incorporated

输出启用。OE 引脚极性由 OE_PIN_POLARITY (R7[0]) 设置，“1”表示低电平有效（默认），“0”表示高电平有效。

7.4.4.3 输出禁用行为

当输出被禁用时，输出可以设置三态条件，也可以设置为表 7-10 中的电平，这由 OUT0_DISABLE_STATE (R3[5])（对于 OUT0）和 OUT1_DISABLE_STATE (R3[6])（对于 OUT1）确定。

表 7-10. 输出禁用行为

输出格式	OUTx_P	OUTx_N
LP-HCSL	低电平	低电平
AC-LVDS (1)	不适用	不适用
DC-LVDS (2)	高电平	低电平
LVCMOS，仅 P	低电平	低电平
LVCMOS，仅 N	低电平	低电平
LVCMOS，反相	高电平	低电平
LVCMOS，同相	低电平	低电平

(1) DC-LVDS 假设输出端用 100Ω 电阻器进行直流端接。

7.4.5 器件默认设置

表 7-11 总结了 LMK3H0102TV3 和 LMK3H0102TV1 启动时四个 OTP 页面的默认设置。在 I²C 模式下，会加载第 0 页设置。有关每个默认寄存器设置的完整列表，请参阅*器件寄存器*。

表 7-11. LMK3H0102-Q1 启动设置

参数	OTP 第 0 页	OTP 第 1 页	OTP 第 2 页	OTP 第 3 页
VDD 电源电压	3.3V (LMK3H0102TV3) 1.8V (LMK3H0102TV1)			
OUT0 频率	100MHz	100MHz	100MHz	100MHz
OUT0 输出格式	100Ω LP-HCSL	100Ω LP-HCSL	100Ω LP-HCSL	100Ω LP-HCSL
OUT0 启用	启用	启用	启用	启用
OUT0 差分压摆率	2.3V/ns 至 3.5V/ns	2.3V/ns 至 3.5V/ns	2.3V/ns 至 3.5V/ns	2.3V/ns 至 3.5V/ns
OUT0 LP-HCSL 振幅	755mV（典型值）	755mV（典型值）	755mV（典型值）	755mV（典型值）
OUT0_P/N 禁用行为	低电平/低电平	低电平/低电平	低电平/低电平	低电平/低电平
OUT1 频率	100MHz	100MHz	100MHz	100MHz
OUT1 输出格式	100Ω LP-HCSL	100Ω LP-HCSL	100Ω LP-HCSL	100Ω LP-HCSL
OUT1 启用	启用	启用	启用	启用
OUT1 差分压摆率	2.3V/ns 至 3.5V/ns	2.3V/ns 至 3.5V/ns	2.3V/ns 至 3.5V/ns	2.3V/ns 至 3.5V/ns
OUT1 LP-HCSL 振幅	755mV（典型值）	755mV（典型值）	755mV（典型值）	755mV（典型值）
OUT1_P/N 禁用行为	低电平/低电平	低电平/低电平	低电平/低电平	低电平/低电平
REF_CTRL 行为	CLK_READY	CLK_READY	CLK_READY	CLK_READY
FOD0 频率	200MHz	200MHz	200MHz	200MHz
FOD1 频率	200MHz	200MHz	200MHz	200MHz
SSC 启用	禁用	启用	启用	启用
SSC 调制类型	不适用	向下展频	向下展频	向下展频
SSC 调制深度	不适用	-0.1%	-0.3%	-0.5%
引脚 2 功能	独立输出启用	独立输出启用	独立输出启用	独立输出启用

7.5 编程

主机（DSP、微控制器、FPGA 等）通过 I²C 端口配置和监控 LMK3H0102-Q1。主机读取和写入称为寄存器组的控制位集合。可以通过位于寄存器空间内的特定位组来控制和监视器件块。在没有主机的情况下，LMK3H0102-Q1 可配置为通过存储在内部 EFUSE 中的四个片上 OTP 页面之一在 OTP 模式下运行，具体取决于 REF_CTRL 和 OTP_SELx 引脚的状态。EFUSE 由 TI 一次性编程，不可重写。这意味着上电时自动从 EFUSE 加载的寄存器值无法自定义。然而，之后可以通过 I²C 寄存器接口更改寄存器值。在器件寄存器中，某些位具有读取/写入访问权限。其他位是只读的（尝试对只读位进行写入不会更改该位的状态）。某些器件寄存器和位是保留的，这意味着不得从默认复位状态更改相应的字段。

7.5.1 I²C 串行接口

LMK3H0102-Q1 上的 I²C 端口用作外围器件，支持 100kHz 标准模式和 400kHz 快速模式运行。快速模式对控制信号提出了干扰容限要求。因此，输入接收器会忽略持续时间小于 50ns 的脉冲。*I2C 接口规范* 中提供了 I²C 时序要求。图 7-9 展示了时序图。

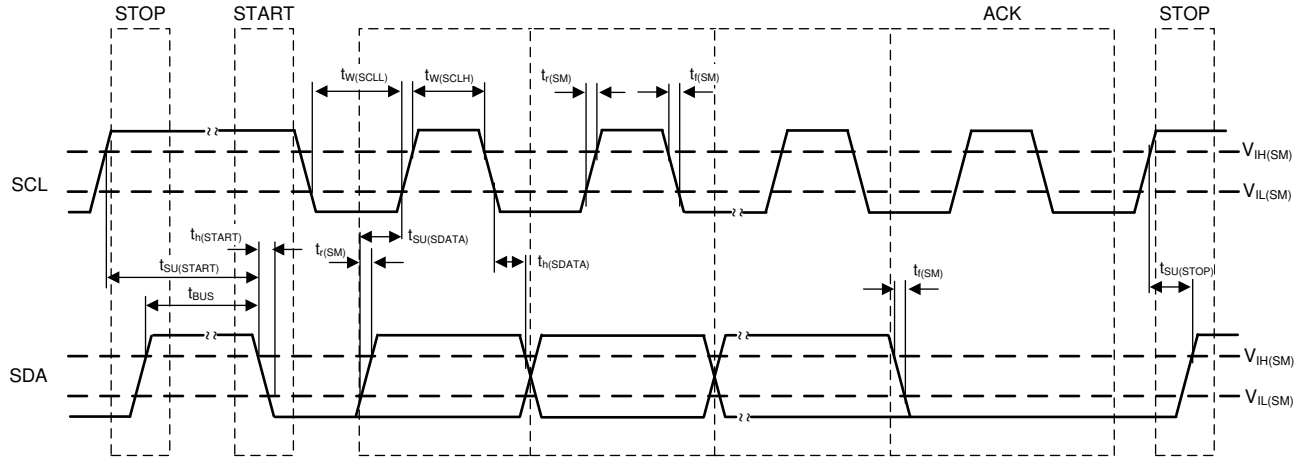


图 7-9. I²C 时序图

可以通过作为 I²C 数据包的一部分传输的 7 位外设地址来访问 LMK3H0102-Q1。只有具有匹配外设地址的器件才会响应后续的 I²C 命令。在 I²C 模式下，LMK3H0102-Q1 允许最多四个独特的外围器件根据 FMT_ADDR 的引脚搭接（连接到 VDD、GND、SDA 或 SCL）占用 I2C 总线。默认情况下，器件外设地址为 0b11010xx（两个 LSB 由 FMT_ADDR 引脚确定）。通过 I²C 可以配置完整地址。

在通过 I²C 接口传输数据期间，对针对传输的每个数据位生成一个时钟脉冲。在时钟的高电平期间，SDA 线上的数据必须保持稳定。数据线的高电平或低电平状态只能在 SCL 线上的时钟信号为低电平时发生变化。启动数据传输条件的特征是当 SCL 为高电平时 SDA 线上发生从高电平到低电平的转换。停止数据传输条件的特征是当 SCL 为高电平时 SDA 线上发生从低电平到高电平的转换。启动和停止条件始终由控制器启动。SDA 线上每个字节的长度都必须为八位。每个字节后面必须跟有一个响应位，并且字节首先发送 MSB。LMK3H0102-Q1 具有一个 8 位寄存器地址，后跟一个 16 位数据字。

响应位 (A) 或否定响应位 (A’）是附加到任何 8 位数据字节的第 9 位，始终由接收器生成，用于向发送器通知已收到该字节（当 A = 0 时）或未收到该字节（当 A' = 0 时）。A = 0 是通过在第 9 个时钟脉冲期间将 SDA 线拉至低电平来实现的，A' = 0 是通过在第 9 个时钟脉冲期间将 SDA 线保持在高电平来实现的。

I²C 控制器通过将启动条件置为有效来启动数据传输，这会启动连接到串行总线的所有外围器件的响应。根据控制器通过 SDA 线发送的 8 位地址字节（由 7 位外设地址（MSB 在前）和一个 R/W' 位组成），地址与传输地址相对应的器件通过发送响应位进行响应。当选定的器件等待与控制器进行数据传输时，总线上的所有其他器件保持空闲。

数据传输发生后，停止条件建立。在写入模式下，控制器在来自外设的最后一个数据字节的响应位之后的第 10 个时钟脉冲期间将停止条件置为有效以结束数据传输。在读模式下，控制器从外设接收最后一个数据字节，但在第 9

Copyright © 2025 Texas Instruments Incorporated

个时钟脉冲期间不会将 SDA 拉至低电平。这称为否定响应位。通过接收否定响应位，外设知道数据传输已完成并进入空闲模式。然后，控制器在第 10 个时钟脉冲之前的低电平周期内将数据线设为低电平，并在第 10 个时钟脉冲期间将数据线设为高电平以将停止条件置为有效。图 7-10 和图 7-11 展示了使用 LMK3H0102-Q1 分别进行块写入和块读取的序列。

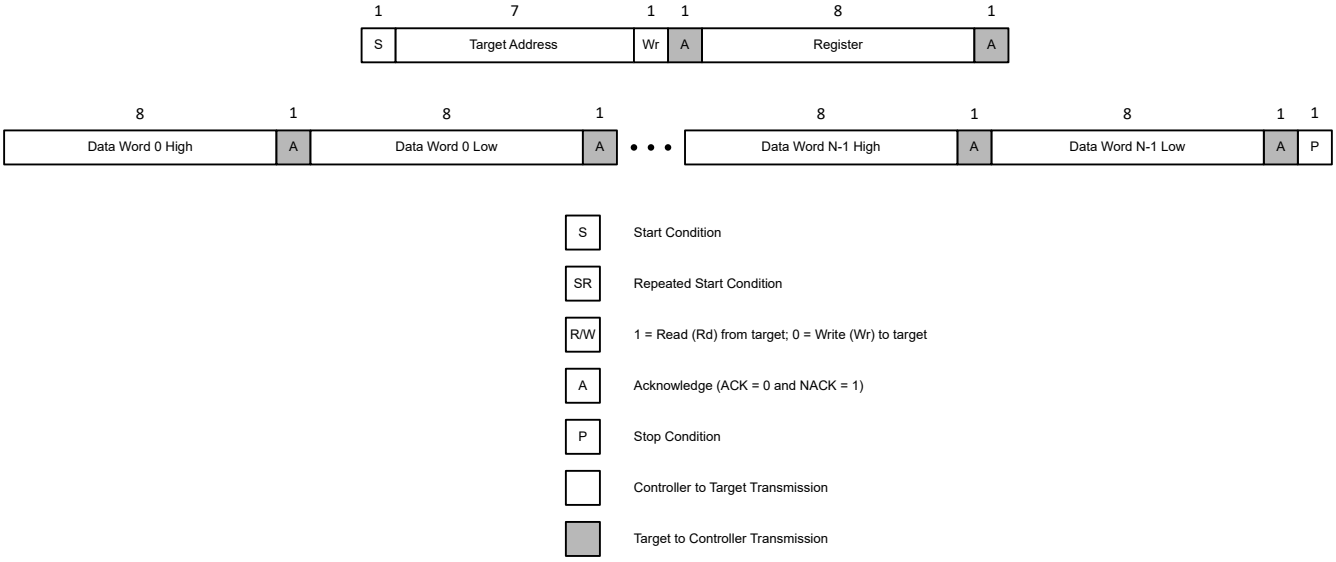


图 7-10. 一般块写入序列

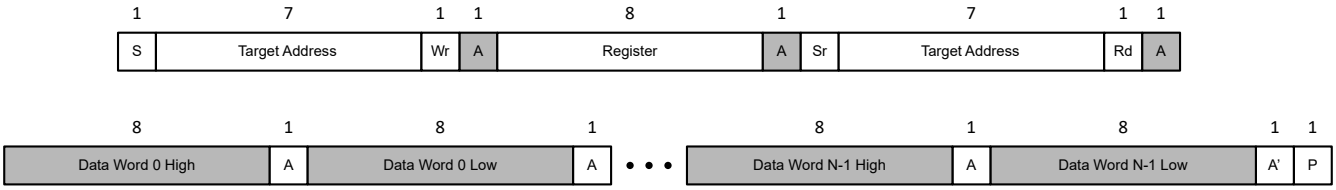


图 7-11. 一般块读取序列

7.5.2 一次性编程序列

高位寄存器空间包括从 R13 开始的所有寄存器以及 I2C_ADDR (R12[15:8])。可以通过向 UNLOCK_PROTECTED_REG (R12[7:0]) 写入 0x5B（I2C_ADDR 保持不变）来解锁高位寄存器空间。如果使用边缘组合器，需要先执行解锁，然后再修改 R146、R147 和 R148。

有六个字段可以具有不同的值，具体取决于器件启动时加载的 EFUSE 页面。

- OUT0 输出格式
- OUT0 启用
- OUT1 输出格式
- OUT1 启用
- SSC 启用
- SSC 配置（预配置或自定义）

所有其他字段在全部四个 EFUSE 页面中保留相同的值。如需生成自定义配置，请联系 TI。

8 器件寄存器

8.1 寄存器映射

表 8-1 列出了 LMK3H0102-Q1 器件寄存器。表 8-1 中未列出的所有寄存器偏移地址可以被视为保留的位置，不得修改寄存器内容。

表 8-1. LMK3H0102-Q1 寄存器

地址	首字母缩写词	部分
0x0	R0	转到
0x1	R1	转到
0x2	R2	转到
0x3	R3	转到
0x4	R4	转到
0x5	R5	转到
0x6	R6	转到
0x7	R7	转到
0x8	R8	转到
0x9	R9	转到
0xA	R10	转到
0xB	R11	转到
0xC	R12	转到
0x92	R146	转到
0x93	R147	转到
0x94	R148	转到
0xEE	R238	转到

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

表 8-2. LMK3H0102-Q1 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
WL	W L	写入 锁定，需要 UNLOCK_PROTECTED_REG (R12[7:0]) = 0x5B 才能成功解锁和写入

8.1.1 R0 寄存器（地址 = 0x0）[复位 = 0x0861/0x0863]

R0 如表 8-3 所示。

返回到汇总表。

Copyright © 2025 Texas Instruments Incorporated

表 8-3. R0 寄存器字段说明

位	字段	类型	复位	说明
15:10	DIG_CLK_N_DIV	R/W	0x02	数字状态机时钟速率。源自 CH0_FOD_SEL 多路复用器提供的 FOD 频率。目标频率最大为 50MHz。实际分频值为 DIG_CLK_N_DIV 值加 2。该字段存储在 EFUSE 中。
9:3	FOD0_N_DIV	R/W	0x0C	BAW 频率与 FOD0 频率的整数比。该字段存储在 EFUSE 中。
2:1	SUP_LVL_SEL	R/W	0x0 (TV3) 0x1 (TV1)	内核电源 LDO 的工作电压。该字段为出厂编程，不得使用与编程值不同的值覆盖。 VDD 和 VDDO 引脚上的电源电压不得超过选定的电压值 + 10%。 0：3.3V 1：1.8V 2：2.5V
0	OTP_BURNT	R/WL	0x1	指示 EFUSE 已编程。如果该字段为“1”，则 EFUSE 已编程。

8.1.2 R1 寄存器（地址 = 0x1）[复位 = 0x5599]

R1 如表 8-4 所示。

返回到汇总表。

表 8-4. R1 寄存器字段说明

位	字段	类型	复位	说明
15:8	FOD0_NUM[23:16]	R/W	0x55	FOD0 分数分频值的高字节。该字段的值因器件而异。该字段存储在 EFUSE 中。
7:0	ADC_CLK_N_DIV	R/W	0x99	ADC 时钟频率 (MHz)，直接源自 BAW。默认值为 ceil(2467/16) - 2 = 0x99。该字段存储在 EFUSE 中。 TI 不建议修改该字段的值。

8.1.3 R2 寄存器（地址 = 0x2）[复位 = 0xC28F]

表 8-5 展示了 R2。

返回到汇总表。

表 8-5. R2 寄存器字段说明

位	字段	类型	复位	说明
15:0	FOD0_NUM[15:0]	R/W	0xC28F	FOD0 分数分频值的低两个字节。该字段的值因器件而异。该字段存储在 EFUSE 中。

8.1.4 R3 寄存器（地址 = 0x3）[复位 = 0x1801]

表 8-6 展示了 R3。

返回到汇总表。

表 8-6. R3 寄存器字段说明

位	字段	类型	复位	说明
15:9	FOD1_N_DIV	R/W	0x0C	BAW 频率与 FOD1 频率的整数比。该字段存储在 EFUSE 中。
8	CH1_FOD_SEL	R/W	0x0	选择 FOD 用作通道分频器 1 的输入源。该字段存储在 EFUSE 中。 0h：FOD0。 1h：FOD1。
7	CH1_EDGE_COMB_EN	R/W	0x0	选择使用通道分频器 1，或使用边缘组合器作为通道分频器 1 的输入源。该字段存储在 EFUSE 中。 0h：通道分频器 1 输入 1h：边缘组合器输入

Copyright © 2025 Texas Instruments Incorporated

表 8-6. R3 寄存器字段说明（续）

位	字段	类型	复位	说明
6	OUT1_DISABLE_STATE	R/W	0x0	当 OUT1 被禁用时，该位可以选择将 OUT1_P 和 OUT1_N 引脚强制连接到 GND 还是设置为三态条件。该字段存储在 EFUSE 中。 0h：禁用时强制设置为 GND。 1h：禁用时强制置于三态条件下。
5	OUT0_DISABLE_STATE	R/W	0x0	当 OUT0 被禁用时，该位可以选择将 OUT0_P 和 OUT0_N 引脚强制连接到 GND 还是设置为三态条件。该字段存储在 EFUSE 中。 0h：禁用时强制设置为 GND。 1h：禁用时强制置于三态条件下。
4	CH0_FOD_SEL	R/W	0x0	选择 FOD 用作通道分频器 0 的输入源。该字段存储在 EFUSE 中。 0h：FOD0。 1h：FOD1。
3	CH0_EDGE_COMB_EN	R/W	0x0	选择使用通道分频器 0，或使用边缘组合器作为通道分频器 0 的输入源。该字段存储在 EFUSE 中。 0h：通道分频器 0 输入 1h：边缘组合器输入
2:0	CH0_DIV	R/W	0x1	通道分频器 0 的分频器值。该字段存储在 EFUSE 中。 0h：禁用通道分频器。当对 OUT0 使用边缘组合器时，将 CH0_DIV 设置为“0”。 1h：FOD/2 2h：FOD/4 3h：FOD/6 4h：FOD/8 5h：FOD/10 6h：FOD/20 7h：FOD/40

8.1.5 R4 寄存器（地址 = 0x4）[复位 = 0x0000]

表 8-7 展示了 R4。

返回到汇总表。

表 8-7. R4 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R	不适用	保留，请勿对该字段进行写入。
14:2	SSC_STEPS	R/W	0x0000	SSC 三角曲线每段的阶跃数。有关计算该值的说明，请参阅展频时钟。该字段存储在 EFUSE 中。
1	SSC_MOD_TYPE	R/W	0x0	在自定义 SSC 配置的向下展频和中心展频调制之间进行选择。该字段存储在 EFUSE 中。 0h：向下展频调制。 1h：中心展频调制。
0	SSC_EN	R/W	0x0	启用 SSC。该字段存储在 EFUSE 中。 0h：禁用 SSC。 1h：启用 SSC。

8.1.6 R5 寄存器（地址 = 0x5）[复位 = 0x0000]

表 8-8 展示了 R5。

Copyright © 2025 Texas Instruments Incorporated

返回到汇总表。

表 8-8. R5 寄存器字段说明

位	字段	类型	复位	说明
15:0	SSC_STEP_SIZE	R/W	0x0000	SSC 每阶跃的分子增量值。有关计算该值的说明，请参阅展频时钟。该字段存储在 EFUSE 中。

8.1.7 R6 寄存器（地址 = 0x6）[复位 = 0x0AA0]

R6 如表 8-9 所示。

返回到汇总表。

表 8-9. R6 寄存器字段说明

位	字段	类型	复位	说明
15:13	CH1_DIV	R/W	0x0	通道分频器 1 的分频器值。该字段存储在 EFUSE 中。 0h：禁用通道分频器。当对 OUT1 使用边缘组合器时，将 CH1_DIV 设置为“0”。 1h：FOD/2 2h：FOD/4 3h：FOD/6 4h：FOD/8 5h：FOD/10 6h：FOD/20 7h：FOD/40
12:5	FOD1_NUM[23:16]	R/W	0x55	FOD1 分数分频值的高字节。该字段的值因器件而异。该字段存储在 EFUSE 中。
4:3	OUT0_SLEW_RATE	R/W	0x0	OUT0 的压摆率控制。该字段存储在 EFUSE 中。 仅适用于差分输出格式。 0h：2.3V/ns 和 3.5V/ns 之间。 1h：2.0V/ns 和 3.2V/ns 之间。 2h：1.7V/ns 和 2.8V/ns 之间。 3h：1.4V/ns 和 2.7V/ns 之间。
2:0	OUT0_FMT	R/W	0x0	选择 OUT0 的输出格式。该字段存储在 EFUSE 中。 0h：LP-HCSL 100Ω 端接。 1h：LP-HCSL 85Ω 端接。 2h：交流耦合 LVDS。 3h：直流耦合 LVDS。 4h：LVCMOS，启用 OUTx_P，禁用 OUTx_N。 5h：LVCMOS，禁用 OUTx_P，启用 OUTx_N。 6h：LVCMOS，启用 OUTx_P，启用 OUTx_N，具有 180 度的相位差。 7h：LVCMOS，启用 OUTx_P，启用 OUTx_N，OUTx_P 和 OUTx_N 同相。

8.1.8 R7 寄存器（地址 = 0x7）[复位 = 0x6503]

表 8-10 展示了 R7。

返回到汇总表。

表 8-10. R7 寄存器字段说明

位	字段	类型	复位	说明
15	保留	不适用	0x0	保留，请勿对该字段进行写入。

表 8-10. R7 寄存器字段说明（续）

位	字段	类型	复位	说明
14:13	REF_CTRL_PIN_FUNC	R/W	0x3	设置 REF_CTRL 引脚的功能。该字段存储在 EFUSE 中。 0h：REF_CTRL 引脚被禁用，拉至 GND。 1h：REF_CTRL 引脚被禁用，强制置于三态条件下。 2h：REF_CTRL 引脚用作附加 LVCMOS REF_CLK 输出。 3h：REF_CTRL 引脚用作“时钟就绪”信号。
12:11	REF_CLK_DIV	R/W	0x0	当 REF_CTRL 用作 REF_CLK 时，REF_CLK 输出分频器值。该字段存储在 EFUSE 中。 0h：禁用 REF_CLK。 1h：FOD/2。 2h：FOD/4。 3h：FOD/8。
10	保留	R/W	0x1	保留。请勿向该字段写入“1”以外的任何值。
9	REF_CLK_FOD_SEL	R/W	0x0	选择用于生成 REF_CLK 输出的 FOD。该字段存储在 EFUSE 中。 0h：FOD0。 1h：FOD1。
8	OUT1_EN	R/W	0x1	OUT1 的输出启用位。该字段存储在 EFUSE 中。 0h：禁用 OUT1。 1h：启用 OUT1。
7	OUT1_CH_SEL	R/W	0x0	选择 OUT1 的源。如果启用了边缘组合器，则该位被忽略。该字段存储在 EFUSE 中。 0h：如果 CH0_EDGE_COMB_EN 为“0”，则 OUT1 源自通道分频器 0；如果 CH0_EDGE_COMB_EN 为“1”，则源自边缘组合器。 1h：如果 CH1_EDGE_COMB_EN 为“0”，则 OUT1 源自通道分频器 1；如果 CH1_EDGE_COMB_EN 为“1”，则源自边缘组合器。
6:5	OUT1_SLEW_RATE	R/W	0x0	OUT1 的压摆率控制。该字段存储在 EFUSE 中。 仅适用于差分输出格式。 0h：2.3V/ns 和 3.5V/ns 之间。 1h：2.0V/ns 和 3.2V/ns 之间。 2h：1.7V/ns 和 2.8V/ns 之间。 3h：1.4V/ns 和 2.7V/ns 之间。
4:2	OUT1_FMT	R/W	0x0	选择 OUT1 的输出格式。该字段存储在 EFUSE 中。 0h：LP-HCSL 100Ω 端接。 1h：LP-HCSL 85Ω 端接。 2h：交流耦合 LVDS。 3h：直流耦合 LVDS。 4h：LVCMOS，启用 OUTx_P，禁用 OUTx_N。 5h：LVCMOS，禁用 OUTx_P，启用 OUTx_N。 6h：LVCMOS，启用 OUTx_P，启用 OUTx_N，具有 180 度的相位差。 7h：LVCMOS，启用 OUTx_P，启用 OUTx_N，OUTx_P 和 OUTx_N 同相。
1	OUT0_EN	R/W	0x1	OUT0 的输出启用位。该字段存储在 EFUSE 中。 0h：禁用 OUT0。 1h：OUT0 启用。

Copyright © 2025 Texas Instruments Incorporated

表 8-10. R7 寄存器字段说明（续）

位	字段	类型	复位	说明
0	OE_PIN_POLARITY	R/W	0x1	OE 引脚极性选择。该位不影响 OUTx_EN 位的极性，仅影响 OE 引脚。该字段存储在 EFUSE 中。 0h：OE 为高电平有效（OE 连接至 VDD 启用输出）。 1h：OE 为低电平有效（OE 连接至 GND 启用输出）。

8.1.9 R8 寄存器（地址 = 0x8）[复位 = 0xC28F]

表 8-11 展示了 R8。

返回到汇总表。

表 8-11. R8 寄存器字段说明

位	字段	类型	复位	说明
15:0	FOD1_NUM[15:0]	R/W	0xC28F	FOD1 分数分频值的低两个字节。该字段的值因器件而异。该字段存储在 EFUSE 中。

8.1.10 R9 寄存器（地址 = 0x9）[复位 = 0x3066]

R9 如表 8-12 所示。

返回到汇总表。

表 8-12. R9 寄存器字段说明

位	字段	类型	复位	说明
15:12	OTP_ID	R/W	0x3 (TV3) 0x1 (TV1)	用于识别 OTP 配置的可配置字段。可在 I2C 模式下用作 4 位备用字段。该字段存储在 EFUSE 中。
11:9	SSC_CONFIG_SEL	R/W	0x0	SSC 调制配置。如果需要中心展频调制，则需要自定义 SSC 配置。还提供四种预配置的向下展频调制深度。任何其他调制深度都需要自定义 SSC 配置。该字段存储在 EFUSE 中。 预配置的 SSC 选项专门用于 100MHz 时钟输出。对于其他输出频率，TI 建议创建自定义 SSC 配置。 0h：自定义 SSC 配置 - 有关创建自定义配置的详细信息，请参阅展频时钟。 1h：–0.10% 预配置向下展频。 2h：–0.25% 预配置向下展频。 3h：–0.30% 预配置向下展频。 4h：–0.50% 预配置向下展频。 所有其他值：保留
8	OUT_FMT_SRC_SEL	R/W	0x0	强制 FMT_ADDR 引脚覆盖 OTP 模式下的输出格式寄存器设置。在 I2C 模式下，FMT_ADDR 引脚不会用于此目的。该字段存储在 EFUSE 中。 0h：在 OTP 模式下选择输出格式时，FMT_ADDR 引脚被忽略。 1h：FMT_ADDR 引脚在 OTP 模式下会覆盖寄存器设置。输出格式为 LP-HCSL，端接电阻器阻值基于启动时的 FMT_ADDR 引脚状态。

表 8-12. R9 寄存器字段说明（续）

位	字段	类型	复位	说明
7:4	OUT1_LPHSCL_AMP_SEL	R/W	0x6	使用 LP-HCSL 输出格式时的 OUT1 输出摆幅电平。该字段存储在 EFUSE 中。 0h：625mV。 1h：647mV。 2h：668mV。 3h：690mV。 4h：712mV。 5h：733mV。 6h：755mV。 7h：777mV。 8h：798mV。 9h：820mV。 Ah：842mV。 Bh：863mV。 Ch：885mV。 Dh：907mV。 Eh：928mV。 Fh：950mV。
3:0	OUT0_LPHSCL_AMP_SEL	R/W	0x6	使用 LP-HCSL 输出格式时的 OUT0 输出摆幅电平。该字段存储在 EFUSE 中。 0h：625mV。 1h：647mV。 2h：668mV。 3h：690mV。 4h：712mV。 5h：733mV。 6h：755mV。 7h：777mV。 8h：798mV。 9h：820mV。 Ah：842mV。 Bh：863mV。 Ch：885mV。 Dh：907mV。 Eh：928mV。 Fh：950mV。

8.1.11 R10 寄存器（地址 = 0xA）[复位 = 0x0010]

表 8-13 展示了 R10。

返回到汇总表。

表 8-13. R10 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R/W	0x0	保留。仅向该位写入“0”。
14:11	PROD_REVID	R	不适用	产品修订版本标识符。
10	CLK_READY	R	不适用	CLK_READY 状态。当 REF_CTRL 引脚用作“时钟就绪”信号时，该引脚会镜像该状态信号。
9	保留	R	不适用	保留，请勿对该字段进行写入。
8	RB_PIN_15	R	不适用	REF_CTRL 引脚的读回。

Copyright © 2025 Texas Instruments Incorporated

表 8-13. R10 寄存器字段说明（续）

位	字段	类型	复位	说明
7	RB_PIN_4	R	不适用	OTP_SEL1/SDA 引脚的读回。
6	RB_PIN_3	R	不适用	OTP_SEL0/SCL 引脚的读回。
5	RB_PIN_2	R	不适用	FMT_ADDR 引脚的读回。
4	DEV_IDLE_STATE_SEL	R/W	0x1	当两个输出都被禁用时，该位控制器件的行为。对于 PCIe 应用，不建议将器件置于低功耗状态，因为重新启用时钟的时间会延长。该字段存储在 EFUSE 中。 0h：当两个输出均被禁用时，输出将被静音，器件被置于低功耗状态。 1h：当两个输出均被禁用时，输出被静音。器件不进入低功耗状态。
3	PIN_RESAMPLE_DIS	R/W	0x0	该位控制退出低功耗模式时器件引脚的重新采样。在低功耗模式下写入该位。除非明确需要该功能，否则 TI 建议保持该位为“1”。 0h：启用引脚重新采样。退出低功耗模式时，对 FMT_ADDR、OTP_SEL0/SCL、OTP_SEL1/SDA 和 FMT_ADDR 引脚重新采样。如果 FMT_ADDR 为高电平，则该器件进入 OTP 模式。 1h：禁用引脚重新采样。退出低功耗模式时，不对 FMT_ADDR、OTP_SEL0/SCL、OTP_SEL1/SDA 和 FMT_ADDR 引脚重新采样。器件保持在 I2C 模式。
2	OTP_AUTOLOAD_DIS	R/W	0x0	该位控制器件在退出低功耗模式时的行为。在低功耗模式下写入该位。除非明确需要该功能，否则 TI 建议保持该位为“1”。 0h：启用 OTP 自动加载。退出低功耗模式时，OTP 第 0 页的内容会写入器件寄存器。 1h：禁用 OTP 自动加载。退出低功耗模式时，OTP 第 0 页的内容不会写入器件寄存器。
1	PDN	R/W	0x0	向该位写入“1”会使器件进入低功耗状态。
0	保留	R/W	0x0	保留。仅向该位写入“0”。

8.1.12 R11 寄存器（地址 = 0xB）[复位 = 0x4000]

表 8-14 展示了 R11。

返回到汇总表。

表 8-14. R11 寄存器字段说明

位	字段	类型	复位	说明
15	保留	R/W	0x0	保留。仅向该位写入“0”。
14	SEPARATE_OE_EN	R/W		该位启用器件的独立输出使能功能。如果该位为“1”，则 OUT_FMT_SRC_SEL 和 I2C_ADDR_LSB_SEL 必须设置为“0”。该字段存储在 EFUSE 中。 0h：引脚 1 是 OUT0 和 OUT1 的输出使能。 1h：引脚 1 是 OUT0 的输出使能，引脚 2 是 OUT1 的输出使能。
13:0	保留	R/W	0x0000	保留，请勿对该字段进行写入。

8.1.13 R12 寄存器（地址 = 0xC）[复位 = 0x6800]

R12 如表 8-15 所示。

返回到汇总表。

表 8-15. R12 寄存器字段说明

位	字段	类型	复位	说明
15	I2C_ADDR_LSB_SEL	R/WL	0x0	I2C 外设地址源。如果该位为“1”，则 SEPARATE_OE_EN 必须为“0”。该字段存储在 EFUSE 中。 0h：I2C 外设地址完全来自 I2C_ADDR 字段。 1h：I2C 外设地址的最低两位来自 FMT_ADDR 引脚，所有其他位来自 R12[14:10]。
14:8	I2C_ADDR	R/WL	0x68	I2C 外设地址。在对该字段进行写入后，器件响应新的 I2C 地址。该字段存储在 EFUSE 中。
7:0	UNLOCK_PROTECTED_REG	R/W	0x00	除 R12[15:8] 之外，该字段还锁定从 R13 开始的所有寄存器。从 R13 开始的寄存器主要是器件校准寄存器，如果本文档中没有说明，则对其内容进行修改。无论解锁状态如何，都可以正常读取这些寄存器。 5Bh：解锁 R12[15:8] 及以上的寄存器写入。 任何其他值：R12[15:8] 及以上忽略所有写入。

8.1.14 R146 寄存器（地址 = 0x92）[复位 = 0x0000]

表 8-16 展示了 R146。

返回到汇总表。

表 8-16. R146 寄存器字段说明

位	字段	类型	复位	说明
15:13	保留	R/WL	0x0	保留，请勿对该字段进行写入。
12:5	DTC1_GAIN_RT	R/WL	0x00	FOD0 的室温增益校准代码。该字段的值因器件而异。使用边缘组合器时，必须将其与 DTC2_GAIN_RT 进行均值计算。该字段存储在 EFUSE 中。
4:0	DTC1_GAIN_DELTA_CT	R/WL	0x00	FOD0 的冷温度增益校准代码。该字段的值因器件而异。使用边缘组合器时，必须将其与 DTC2_GAIN_DELTA_CT 进行均值计算。该字段存储在 EFUSE 中。

8.1.15 R147 寄存器（地址 = 0x93）[复位 = 0x0000]

表 8-17 展示了 R147。

返回到汇总表。

表 8-17. R147 寄存器字段说明

位	字段	类型	复位	说明
15:11	保留	R/WL	0x00	保留，请勿对该字段进行写入。
13:8	DTC2_GAIN_DELTA_CT	R/WL	0x00	FOD1 的冷温度增益校准代码。该字段的值因器件而异。使用边缘组合器时，必须将其与 DTC1_GAIN_DELTA_CT 进行均值计算。该字段存储在 EFUSE 中。
7:0	DTC1_GAIN_DELTA_HT	R/WL	0x00	FOD0 的热温度增益校准代码。该字段的值因器件而异。使用边缘组合器时，必须将其与 DTC2_GAIN_DELTA_HT 进行均值计算。该字段存储在 EFUSE 中。

8.1.16 R148 寄存器（地址 = 0x94）[复位 = 0x0000]

表 8-18 展示了 R148。

返回到汇总表。

表 8-18. R148 寄存器字段说明

位	字段	类型	复位	说明
15:14	保留	R/WL	0x0	保留，请勿对该字段进行写入。
13:8	DTC2_GAIN_DELTA_HT	R/WL	0x00	FOD1 的热温度增益校准代码。该字段的值因器件而异。使用边缘组合器时，必须将其与 DTC1_GAIN_DELTA_HT 进行均值计算。该字段存储在 EFUSE 中。

Copyright © 2025 Texas Instruments Incorporated

表 8-18. R148 寄存器字段说明（续）

位	字段	类型	复位	说明
7:0	DTC2_GAIN_RT	R/WL	0x00	FOD1 的室温增益校准代码。该字段的值因器件而异。使用边缘组合器时，必须将其与 DTC1_GAIN_RT 进行均值计算。该字段存储在 EFUSE 中。

8.1.17 R238 寄存器（地址 = 0xEE）[复位 = 0x0000]

表 8-19 展示了 R246。

返回到汇总表。

表 8-19. R246 寄存器字段说明

位	字段	类型	复位	说明
15:0	BAWFREQ_OFFSET_FIXEDLUT	R/WL	0x0000	BAW 频率相对于 2467MHz 的偏移值。有符号 16 位整数值。该字段存储在 EFUSE 中。 该字段的每一位对应 128ppm 的频率偏差。**该字段因器件而异。** 该字段仅用于计算目的，器件不使用该寄存器进行任何内部计算。请勿对该字段进行写入。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

LMK3H0102-Q1 是一款基于 BAW 的无基准时钟发生器，可用于为各种应用提供基准时钟，包括 PCIe 基准时钟和 XTAL/XO 更换。

9.2 典型应用

9.2.1 应用方框图示例

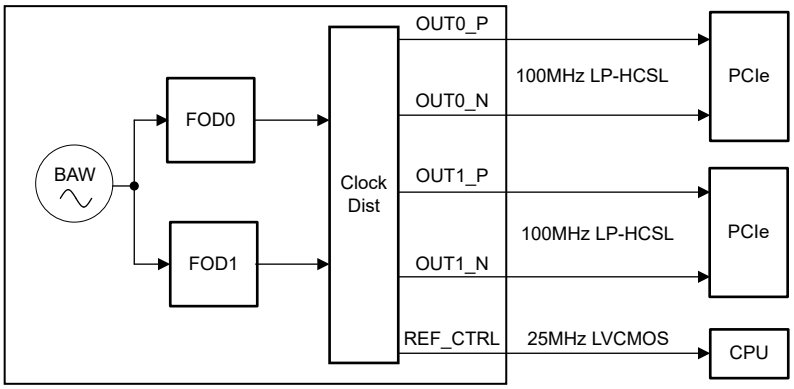


图 9-1. PCIe 应用

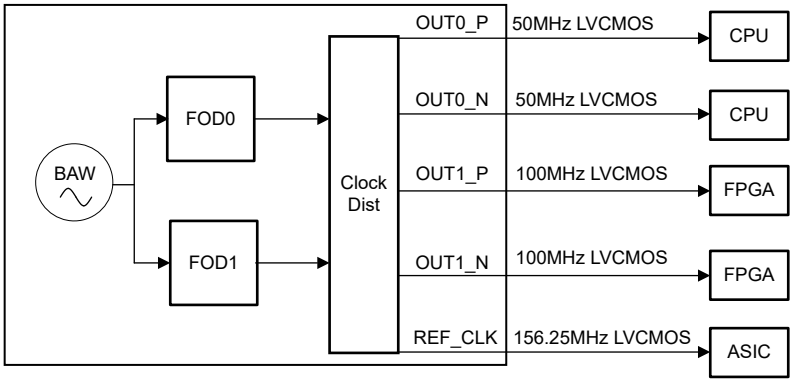


图 9-2. 更换五个 XO

9.2.2 设计要求

考虑一个典型的 PCIe 应用。在这样的系统中，时钟预计可根据请求提供，而不需要任何额外的器件级编程。该应用中的典型输出时钟要求是两个 100MHz LP-HCSL 时钟。添加了一个 25MHz 时钟来展示如何配置 REF_CLK 输出。下面一节介绍了使用 LMK3H0102-Q1 为上述 PCIe 场景生成所需输出频率的详细设计过程。

9.2.3 详细设计过程

LMK3H0102-Q1 各方面的设计都很简单，并且提供了软件支持来协助进行频率规划和器件编程。该设计过程简单概述了这一过程。

Copyright © 2025 Texas Instruments Incorporated

1. 频率规划
   a. 设计 LMK3H0102-Q1 配置的第一步是确定生成所需输出频率所需的 FOD 频率。该过程如下：
      i. 如果输出频率大于 200MHz，则两个频率必须相同，并且不能使用 SSC。如果频率不同，或者需要 SSC，则该器件无法支持此频率计划。
         - 如果两个频率相同且大于 200MHz，则必须启用边缘组合器，FOD 分频器值必须匹配，并且 REF_CLK（如果使用）可以来自任一 FOD。
      ii. 如果两个输出频率相同，并且具有相同的 SSC 设置（即均使用 SSC 或均不使用 SSC），则仅需要 1 个 FOD。
      iii. 如果两个输出频率不同，但具有相同的 SSC 设置，则输出可以共享一个 FOD 以节省电流。如果两个频率都可以通过将单个有效 FOD 频率除以通道分频器选项来生成，则可以禁用第二个 FOD。否则，必须使用两个 FOD。如果两个输出都需要 SSC，则 LMK3H0102-Q1 器件无法支持该频率计划。
      iv. 如果一个输出需要 SSC，而另一个输出不需要 SSC，则 SSC 输出必须使用 FOD0，非 SSC 输出必须使用 FOD1。
   b. 如果使用 SSC，请确定应用是否需要预配置的向下展频调制、自定义向下展频调制或中心展频调制。如果需要自定义配置，请按照*展频时钟*中概述的步骤进行操作。
   c. 设置数字时钟分频器，使数字时钟频率尽可能接近 50MHz。
   d. 确定 REF_CTRL 引脚功能。如果将其用作附加 LVCMOS 基准时钟，请验证是否可以根据 FOD0 和 FOD1 频率生成所需频率，因为 REF_CLK 输出的分频器范围仅为 /2、/4 或 /8。
      i. 请记住，如果在 FOD0 上使用 SSC，并且 REF_CLK 源是 FOD0，则该输出现在也具有 SSC。

2. 设置输出格式
   a. 所需的输出格式基于系统中所需的时钟格式。对于 PCIe 应用，这通常是 100MHz LP-HCSL 时钟。必须选择内部端接电阻值，使其阻抗与接收器的输入阻抗相匹配。请注意，交流 LVDS 和直流 LVDS 的端接方案不同 - 交流 LVDS 接收器需要 LMK3H0102-Q1 提供交流 LVDS 输出。
   b. 对于差分输出，压摆率是可选的，从最慢范围（1.4V/ns 至 2.7V/ns）到最快范围（2.3V/ns 至 3.5V/ns）。
   c. 对于任一端接方案的 LP-HCSL 输出，振幅可在 625mV 和 950mV 之间选择。
   d. 对于 LVCMOS 输出，P 相和 N 相可以同相、反相或单独启用或禁用。这允许在 OUT0、OUT1 和 REF_CTRL 引脚之间生成最多 5 个 LVCMOS 时钟。
      i. 对于 LVCMOS 输出，如果 VDD 为 1.8V 或 2.5V，则 VDDO_x 电压必须与 VDD 电压相匹配。

3. 输出启用行为
   a. 输出启用引脚默认为低电平有效，并通过一个内部下拉电阻器连接至 GND。如果不需要此功能，则可以将 OE_PIN_POLARITY 设置为“0”，以将 OE 引脚的行为更改为高电平有效。如果执行了该操作，则内部下拉电阻器会被禁用，并使用一个连接至 VDD 的内部上拉电阻器。
   b. 确定两个输出均被禁用是否意味着器件进入低功耗模式。虽然这能够节省电流，但对于时钟必须快速重新开启的任何应用（例如 PCIe 时钟），不建议使用低功耗模式。

对于 PCIe 示例，需要进行以下设置：

1. 一个 FOD 可用于生成两个 LP-HCSL 输出。因此，FOD0 可设置为具有 200MHz 的输出频率，通道分频器 0 设置为 2 分频。或者，FOD0 可以通过四分频器设置为 400MHz。两种配置均有效。两个输出驱动器都选择通道分频器 0，并且都设置为 LP-HCSL。
   a. DIG_CLK_N_DIV 必须设置为 2 才能正确设置状态机时钟。状态机时钟必须尽可能接近 50MHz 而不超过该频率。方程式 9 展示了数字状态机频率、CH0_FOD_SEL 多路复用器选择的频率以及 DIG_CLK_N_DIV 字段之间的关系。仅当器件处于低功耗状态时，才写入 DIG_CLK_N_DIV 字段。
2. FOD0 可用于生成 25MHz LVCMOS 时钟，200MHz / 8 = 25MHz。REF_CLK 分频器选项为 2、4 或 8 分频。因此，REF_CLK_DIV 必须设置为 3 才能实现 8 分频。

$$F_{DIG} = \frac{F_{CH0_FOD_SEL}}{2 + DIG_CLK_N_DIV} \quad (9)$$

其中，F_{DIG} 是数字状态机时钟频率，而 $F_{CH0_FOD_SEL}$ 是 CH0_FOD_SEL 多路复用器选择的频率

9.2.3.1 示例：更改输出频率

如果用户需要将 OUT0 和 OUT1 上的 100MHz LP-HCSL 输出更改为 OUT0 和 OUT1 上的 24MHz 差分 LVCMOS 时钟，并且 REF_CTRL 引脚上有一个附加 LVCMOS 时钟，则本示例中 BAWFREQ_OFFSET_FIXEDLUT 字段的值为 0x3701。改变频率的步骤如下：

1. 确定器件的 BAW 频率。这对于以下所有计算至关重要。通过方程式 4 可知，如果 BAWFREQ_OFFSET_FIXEDLUT 为 0x3701，则该器件的 BAW 频率约为 2471.446441856。
2. 确定通道分频器设置和所需的 FOD 频率。如果输出频率为 24MHz，并且 FOD 的范围为 100MHz 至 400MHz，则需要至少为 5 的通道分频器值才能生成该输出。由于没有 5 分频选项，并且 REF_CLK 也必须具有时钟（请参阅 CH0_DIV、CH1_DIV 和 REF_CLK_DIV），因此需要 8 分频。从此处，24MHz 乘以 8 得出 192MHz 的 FOD 输出频率。如果 OUT1 是不同的频率，并且无法通过从同一 FOD 频率向下分频来生成两个频率，则可能需要使用 FOD1。
3. 设置 FOD 分频值。使用方程式 1 计算得出整数分频值 FOD0_N_DIV = floor(2471.446441856/192) = 12。根据方程式 2，分子分频值 FOD0_NUM = int(((2471.446441856/192) – 12) × 2^{24}) = 14631693
4. 将所需的设置写入器件寄存器。这包括上面列出的分频器设置以及输出驱动器设置。按照图 7-4 中概述的过程进行操作：
   a. 设置 PDN = 1。
   b. 设置 FOD0_N_DIV = 12 和 FOD0_NUM = 14631693。
   c. 设置 CH0_DIV 和 REF_CLK_DIV 以实现 8 分频（默认情况下 OUT1_CH_SEL 被设置为选择通道分频器 0）。
   d. 设置 OUT0_FMT 和 OUT1_FMT 以选择差分 LVCMOS 作为输出格式。
   e. 设置 REF_CTRL_PIN_FUNC 以输出 REF_CLK。
   f. 将 OTP_AUTOLOAD_DIS 设置为 1（禁用 OTP 第 0 页自动负载功能）。
   g. 设置 DIG_CLK_N_DIV = 2，以便根据 方程式 9 将数字状态机时钟设置为 48MHz
   h. 设置 PDN = 0

从发出 PDN = 0 到输出时钟以所需频率启动，频率更改生效所需的时间通常约为 1ms。

9.2.3.2 串扰

当输出在不同频率下运行时，由于器件中的串扰，LMK3H0102-Q1 可能会出现性能下降。表 9-1 展示了在常见 LVCMOS 频率下 LMK3H0102-Q1 输出的性能。请联系 TI 测量其他组合，以了解串扰对输出性能的影响。

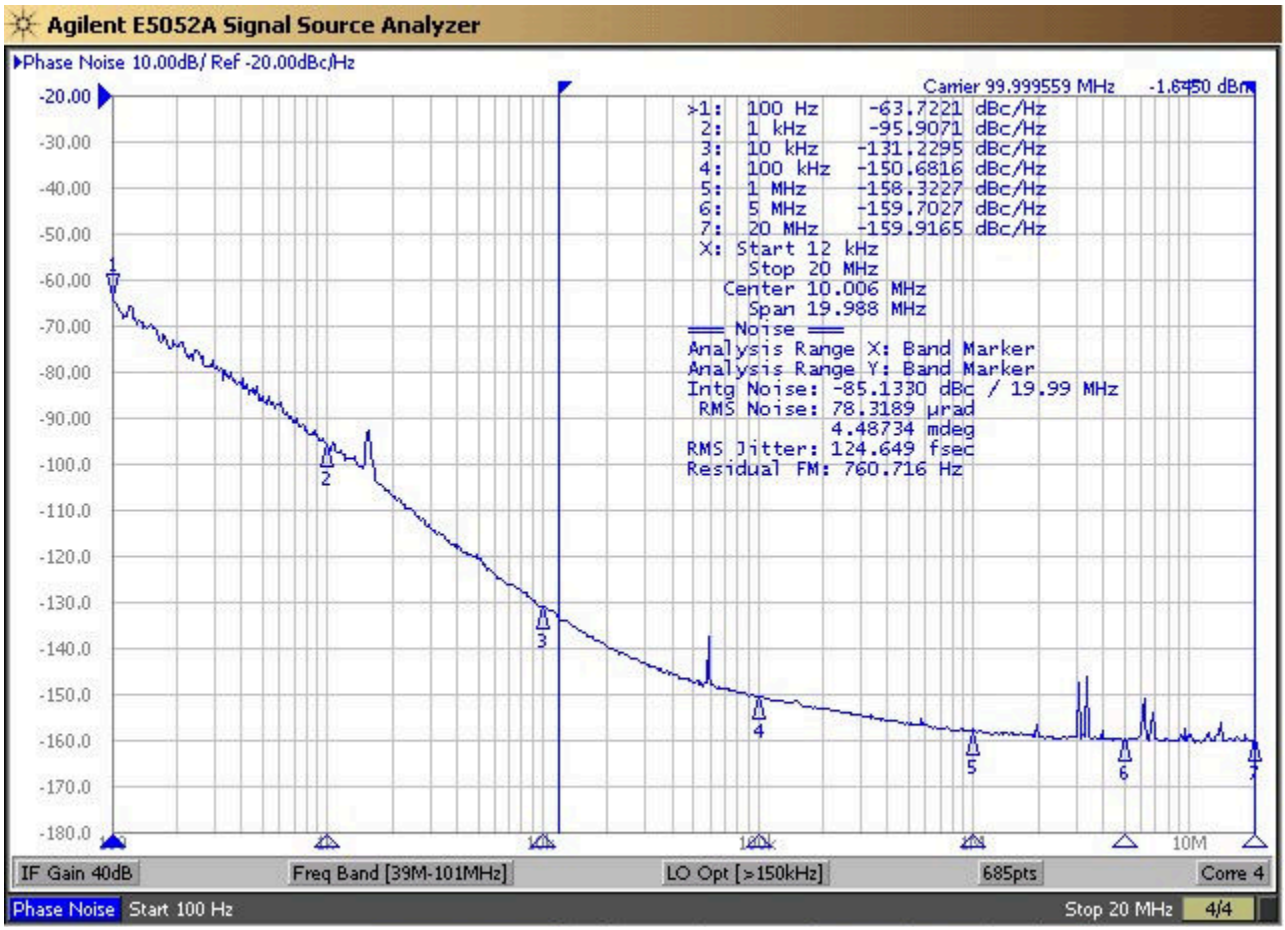
表 9-1. LMK3H0102-Q1 LVCMOS 输出串扰 (1)

FOD0 频率 (MHz)	FOD1 频率 (MHz)	OUT0 频率 (MHz) (2)	OUT1 频率 (MHz) (2)	典型 OUT0 RMS 抖动 (fs) (3)	典型 OUT1 RMS 抖动 (fs) (3)
240	250	24	25	852	716
240	270	24	27	457	371
240	200	24	50	832	779
250	240	25	24	784	717
250	270	25	27	757	787
270	240	27	24	429	367
270	250	27	25	913	641
270	200	27	50	865	930
200	240	50	24	806	548
200	270	50	27	913	704

(1) 在 25°C 至 105°C 温度范围内使用差分 LVCMOS 输出格式测得（使用 VDD = VDDO_x = 3.3V，无 SSC）。
(2) OUT0 和 OUT1 分别使用 FOD0 和 FOD1 生成。
(3) RMS 抖动在 12kHz 至 5MHz 积分带宽范围内测得。

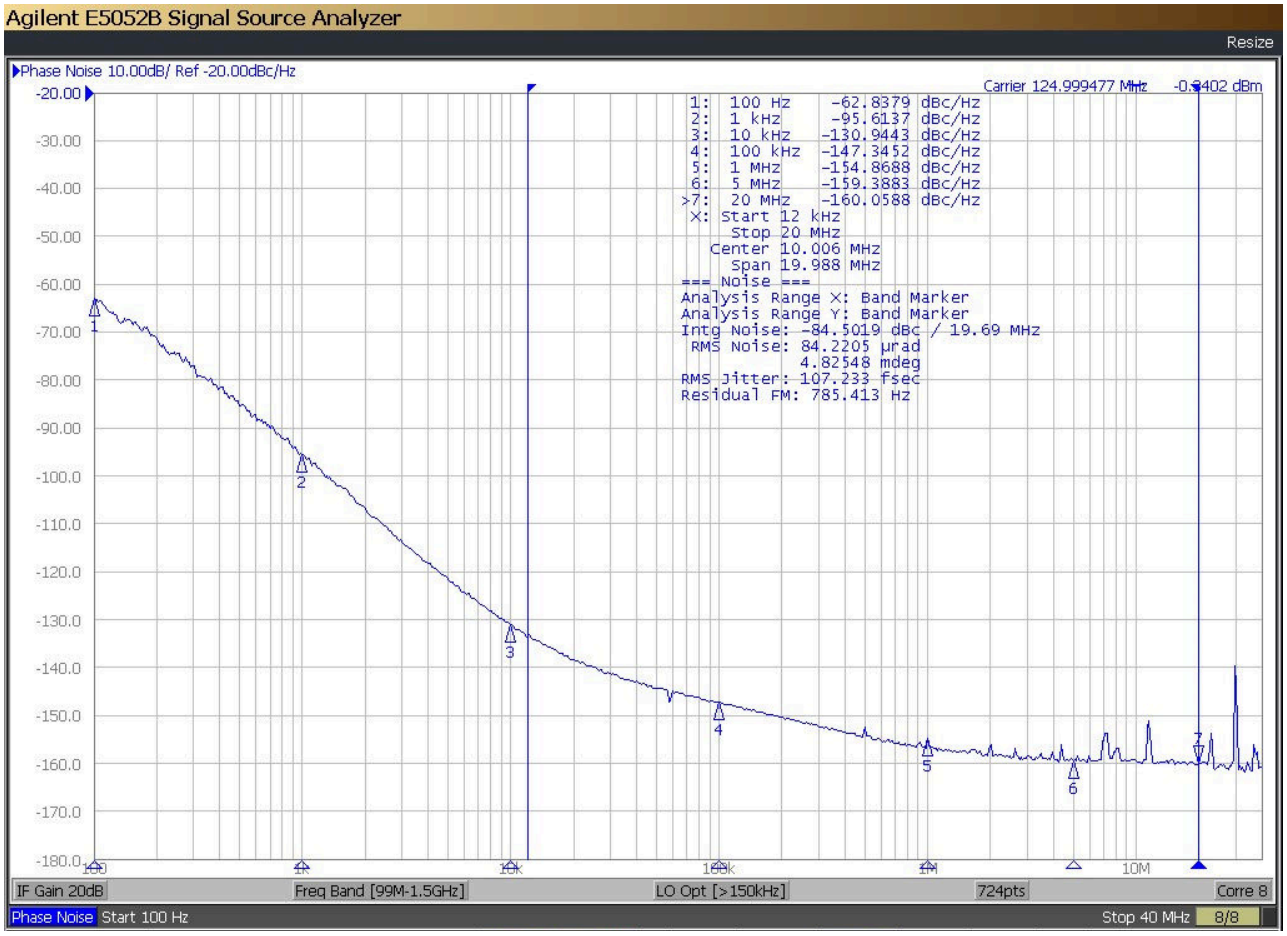
Copyright © 2025 Texas Instruments Incorporated

9.2.4 应用曲线



OUT0: 100 MHz LP-HCSL
OUT1: 100 MHz LP-HCSL
Temperature: 25 °C
12k – 20M RMS Jitter: 125 fs

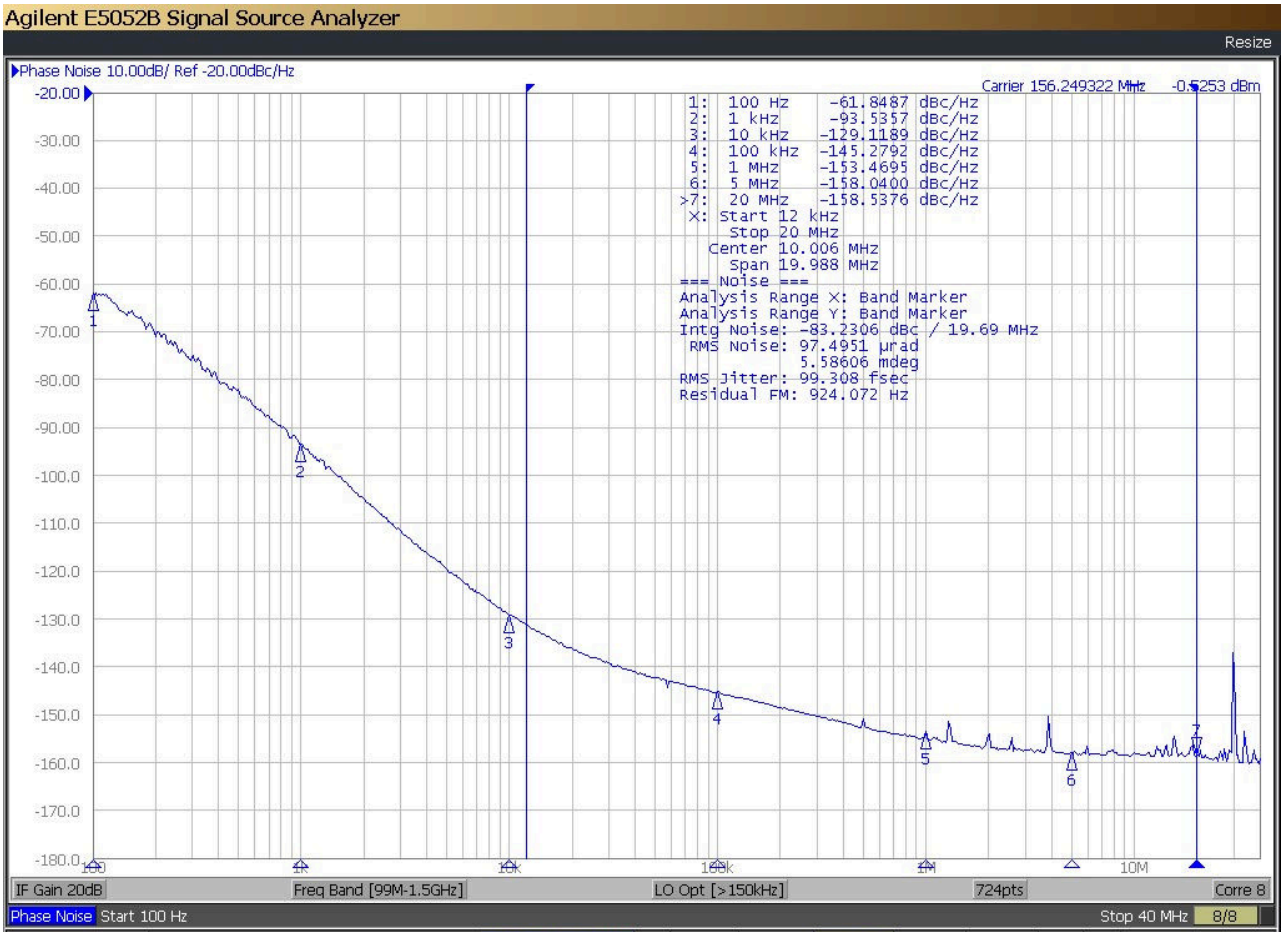
图 9-3. 适用于 PCIe 应用的 100MHz LP-HCSL 输出，在 OUT0 上测得



OUT0: 125 MHz LP-HCSL
OUT1: 125 MHz LP-HCSL
Temperature: 25 °C
12k – 20M RMS Jitter: 107 fs

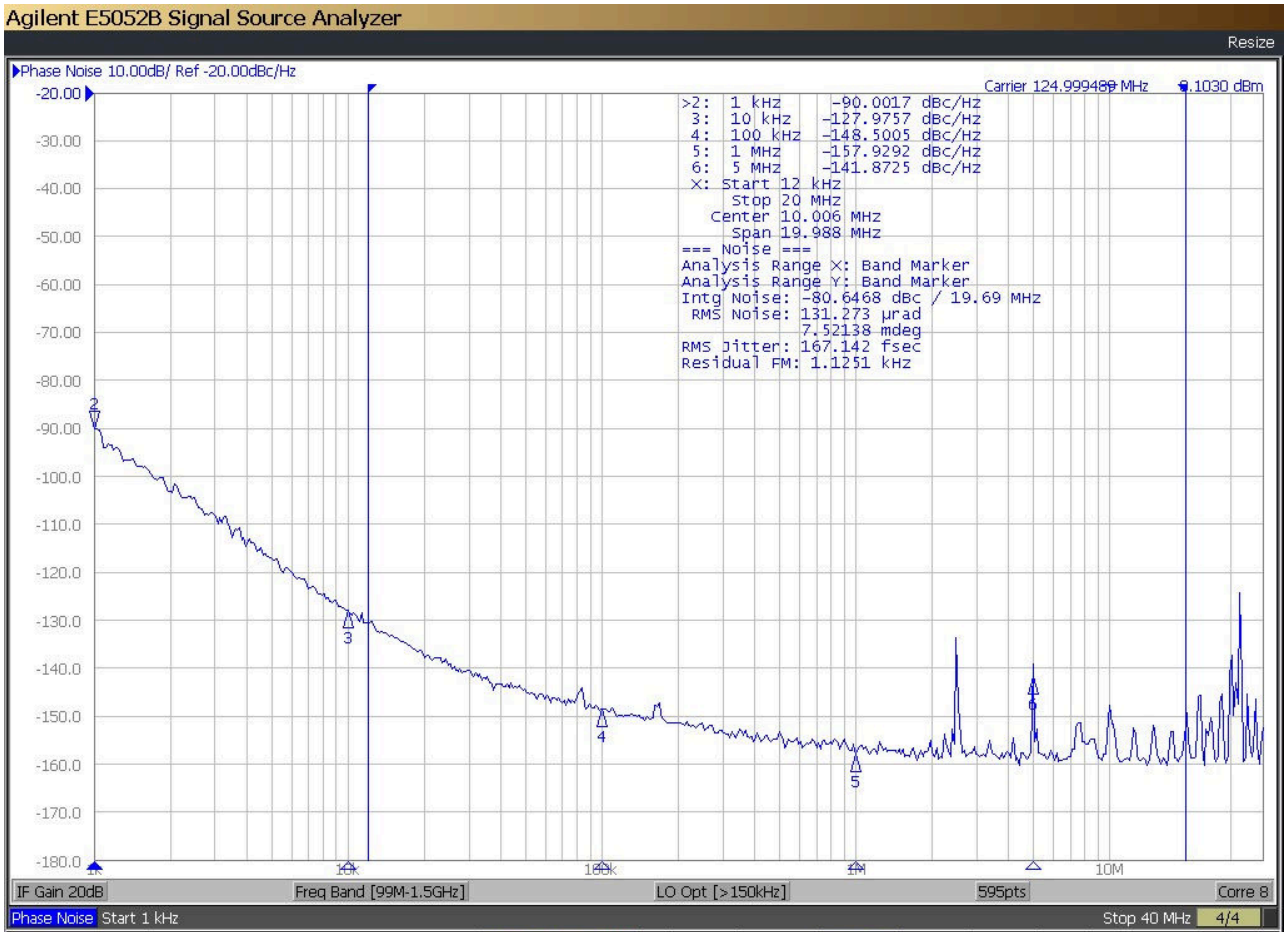
图 9-4. 125MHz LP-HCSL 输出，在 OUT0 上测得

Copyright © 2025 Texas Instruments Incorporated



OUT0: 156.25 MHz LP-HCSL
OUT1: 156.25 MHz LP-HCSL
Temperature: 25 °C
12k – 20M RMS Jitter: 99 fs

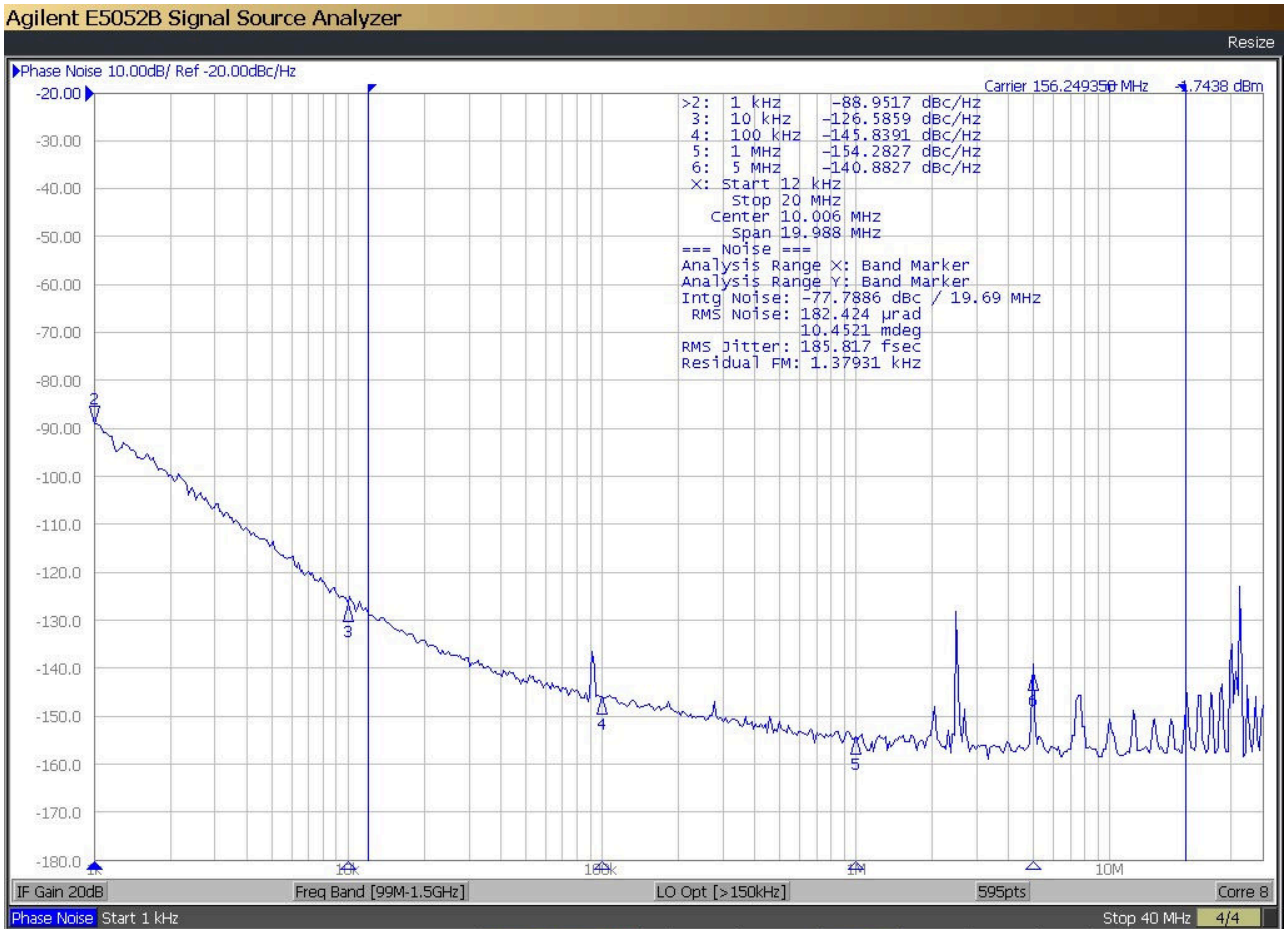
图 9-5. 156.25MHz LP-HCSL 输出，在 OUT0 上测得



OUT0: 125 MHz LP-HCSL
OUT1: 156.25 MHz LP-HCSL
Temperature: 25 °C
12k – 20M RMS Jitter: 167 fs

图 9-6. OUT0 上的 125MHz LP-HCSL（OUT1 上具有 156.25MHz LP-HCSL）

Copyright © 2025 Texas Instruments Incorporated



OUT0: 125 MHz LP-HCSL
OUT1: 156.25 MHz LP-HCSL
Temperature: 25 °C
12k – 20M RMS Jitter: 186 fs

图 9-7. OUT1 上的 156.25MHz LP-HCSL（OUT0 上具有 125MHz LP-HCSL）

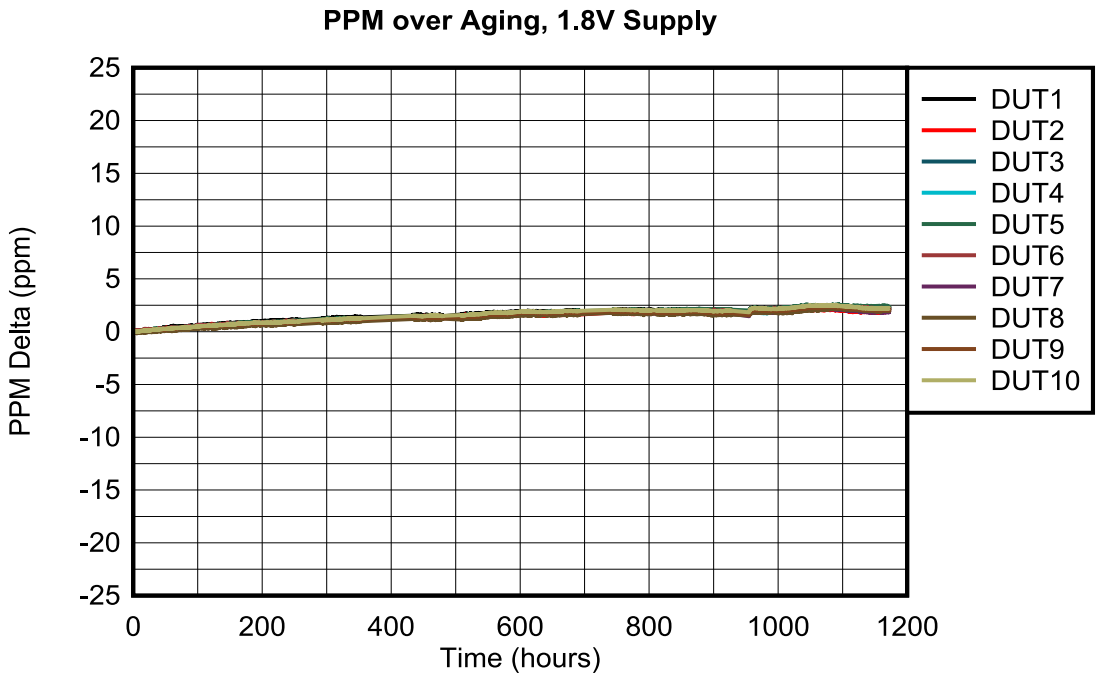


图 **9-8.** 频率随时间变化的稳定性 — **1.8V** 电源电压

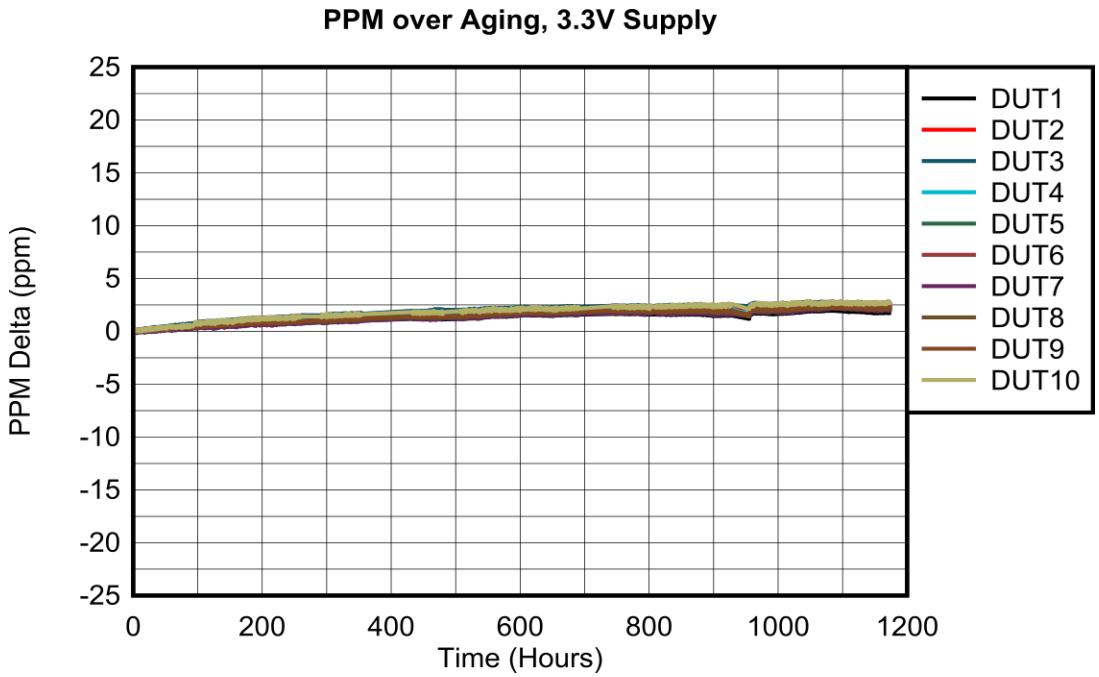


图 **9-9.** 频率随时间变化的稳定性 — **3.3V** 电源电压

Copyright © 2025 Texas Instruments Incorporated

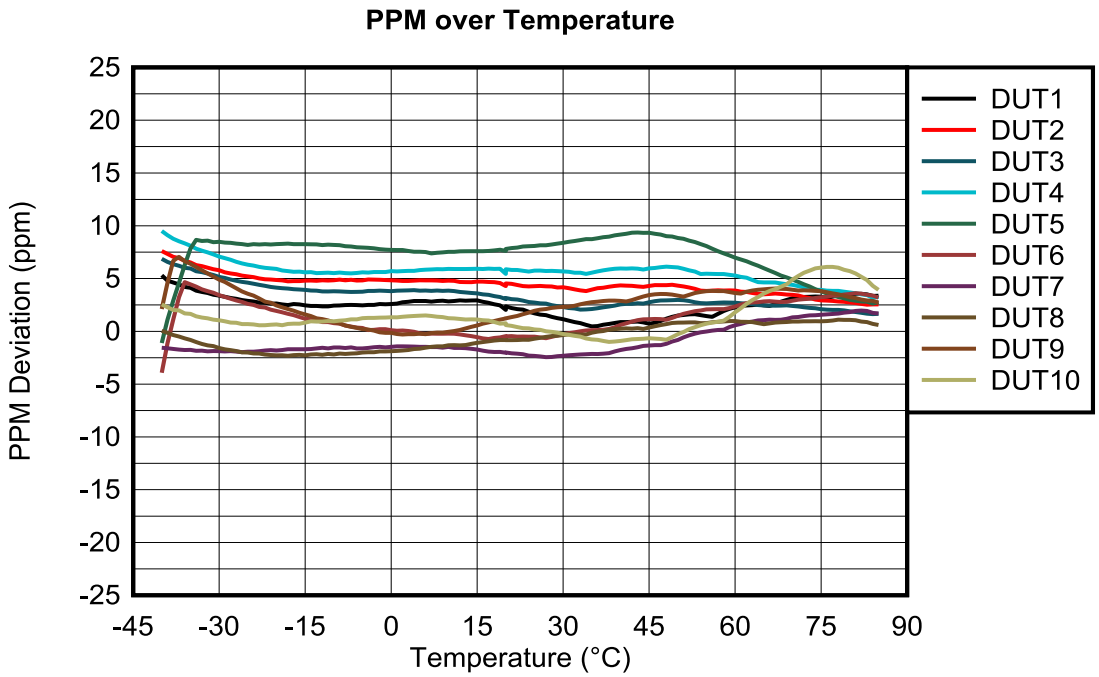


图 9-10. 频率随温度变化的稳定性

9.3 电源相关建议

9.3.1 上电时序

LMK3H0102-Q1 提供多个电源引脚。每个电源支持 1.8V、2.5V 或 3.3V。内部低压降稳压器 (LDO) 为内部块供电，并允许为每个引脚提供单独的电源电压。VDD 引脚为控制引脚、串行接口和 REF_CTRL 引脚供电。因此，任何上拉电阻器都必须连接到与 VDD 相同的域。

如果不使用输出，请将相应的 VDDO_x 电源轨连接到 VDD。如果 VDD 和 VDDO_x 电源轨的电压相同，TI 建议将它们直接连接在一起。如果 VDD 和 VDDO_x 电源轨不同，则 VDD 必须首先斜升，不超过 5ms 后轮到 VDDO_x 斜升。

当使用 2.5V 或 1.8V VDD 时，VDDO_x 必须与 VDD 匹配。当使用 3.3V VDD 时，LP-HCSL 输出允许 VDDO_x 为 1.8V、2.5V 或 3.3V。对于 LVDS 输出，VDD 与 VDDO_x 不匹配可能导致共模电压低于电气特性表中指定的值。对于 LVCMOS 输出，不建议使用与 VDD 不同的 VDDO_x。如果 LVCMOS 输出的 VDD 和 VDDO_x 不同，驱动器的输出阻抗可能大于 17Ω。对于单端 LVCMOS 和差分 LVCMOS，请使用 20Ω 或 25Ω 串联电阻器代替 33Ω 串联电阻器，以保持 50Ω 阻抗匹配。如果 VDDO_x 与 VDD 不匹配，请勿使用同相 LVCMOS。

9.3.2 去耦电源输入

请勿将 VDD 和 VDDO 引脚接地。使用单独的铁氧体磁珠来隔离 VDD 和 VDDO 电源。如果 OUT0 和 OUT1 频率不同，则每个 VDDO 电源必须使用单独的铁氧体磁珠。对于每个电源电压引脚，必须将 0.1μF 或 1μF 电容器放置在非常靠近引脚的位置。

9.4 布局

9.4.1 布局指南

对于本示例，请遵循以下准则：

- 使用 GND 屏蔽隔离输出。将所有输出布线为差分对。
- 生成多个频率时将输出与相邻输出相隔离。
- 尽可能避免扇入和扇出区域的阻抗跳跃。

- 使用五个过孔将散热焊盘连接到一个实心 GND 平面。最好使用全通过孔。
- 将具有小电容值的去耦电容器放置在非常靠近电源引脚的位置。将去耦电容器放置在同一层或器件正下方的底层上。值越大，可以放置得更远。建议使用铁氧体磁珠来隔离不同的输出电源和 VDD 电源。
- 使用多个过孔将宽电源引线连接到相应的电源平面。

9.4.2 布局示例

以下是印刷电路板 (PCB) 布局布线示例，其中展示了热设计实践的应用以及器件 DAP 和 PCB 之间的低电感接地连接。

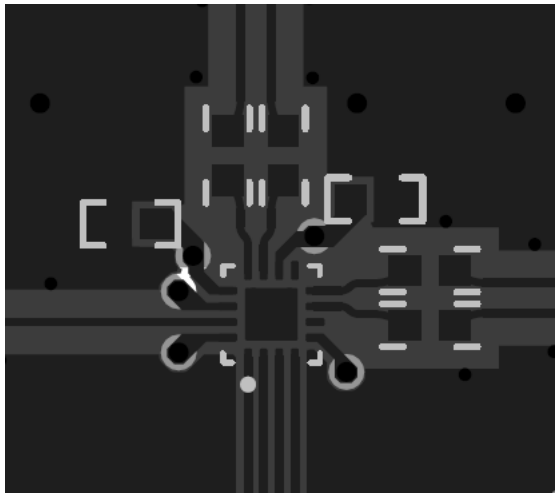


图 9-11. LMK3H0102-Q1 的 PCB 布局示例，顶层

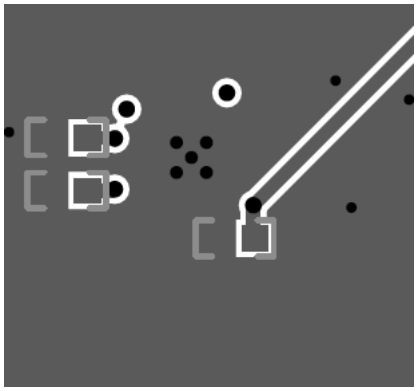


图 9-12. LMK3H0102-Q1 的 PCB 布局示例，底层

Copyright © 2025 Texas Instruments Incorporated

10 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 文档支持

10.1.1 相关文档

有关评估模块的相关文档，请参阅 *LMK3H0102EVM* 用户指南。

有关与 LMK3H0102Txx 器件配置详细信息相关的文档，请参阅 LMK3H0102 配置指南

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (May 2025) to Revision B (October 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 更新了引脚配置和功能中双电压电源的 VDDO_x 引脚说明	3
• 向应用曲线添加了 PPM 数据	43
• 更新了双电压电源的上电时序	49

Changes from Revision * (April 2025) to Revision A (May 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 更新了“引脚配置和功能”部分，说明了 DAP 行为	3

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK3H0102T07RGTRQ1	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H007Q
LMK3H0102T0FRGTRQ1	Active	Production	VQFN (RGT) | 16	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H00FQ
LMK3H0102T17RGTRQ1	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H017Q
LMK3H0102T17RGTRQ1.A	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H017Q
LMK3H0102T19RGTRQ1	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H019Q
LMK3H0102T19RGTRQ1.A	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H019Q
LMK3H0102T1ARGTRQ1	Active	Production	VQFN (RGT) | 16	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H01AQ
LMK3H0102T1BRGTRQ1	Active	Production	VQFN (RGT) | 16	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H01BQ
LMK3H0102T1FRGTRQ1	Active	Production	VQFN (RGT) | 16	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H01FQ
LMK3H0102T20RGTRQ1	Active	Production	VQFN (RGT) | 16	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H020Q
LMK3H0102T29RGTRQ1	Active	Production	VQFN (RGT) | 16	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H029Q
LMK3H0102TV1RGTRQ1	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3HV18Q
LMK3H0102TV1RGTRQ1.A	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3HV18Q
LMK3H0102TV3RGTRQ1	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3HV33Q
LMK3H0102TV3RGTRQ1.A	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3HV33Q
PK3H0102T17RGTTQ1	Active	Preproduction	VQFN (RGT) | 16	250 | SMALL T&R	-	Call TI	Call TI	-40 to 105	
PK3H0102T17RGTTQ1.A	Active	Preproduction	VQFN (RGT) | 16	250 | SMALL T&R	-	Call TI	Call TI	-40 to 105	
PK3H0102T19RGTTQ1	Active	Preproduction	VQFN (RGT) | 16	250 | SMALL T&R	-	Call TI	Call TI	-40 to 105	
PK3H0102T19RGTTQ1.A	Active	Preproduction	VQFN (RGT) | 16	250 | SMALL T&R	-	Call TI	Call TI	-40 to 105	
PK3H0102TV1RGTTQ1	Active	Preproduction	VQFN (RGT) | 16	250 | SMALL T&R	-	Call TI	Call TI	-40 to 105	
PK3H0102TV1RGTTQ1.A	Active	Preproduction	VQFN (RGT) | 16	250 | SMALL T&R	-	Call TI	Call TI	-40 to 105	
PK3H0102TV3RGTTQ1	Active	Preproduction	VQFN (RGT) | 16	250 | SMALL T&R	-	Call TI	Call TI	-40 to 105	
PK3H0102TV3RGTTQ1.A	Active	Preproduction	VQFN (RGT) | 16	250 | SMALL T&R	-	Call TI	Call TI	-40 to 105	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMK3H0102-Q1 :

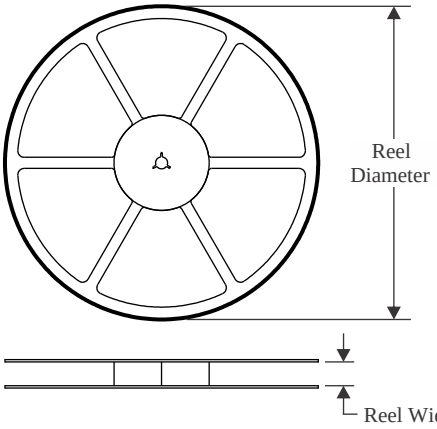
- Catalog : LMK3H0102

NOTE: Qualified Version Definitions:

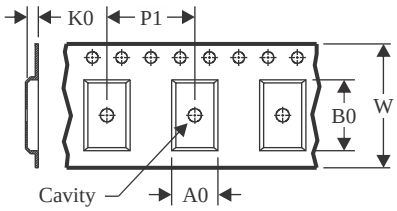
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

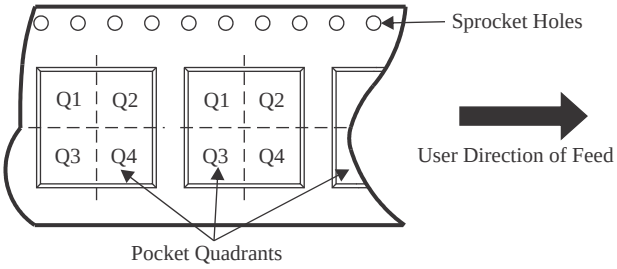


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

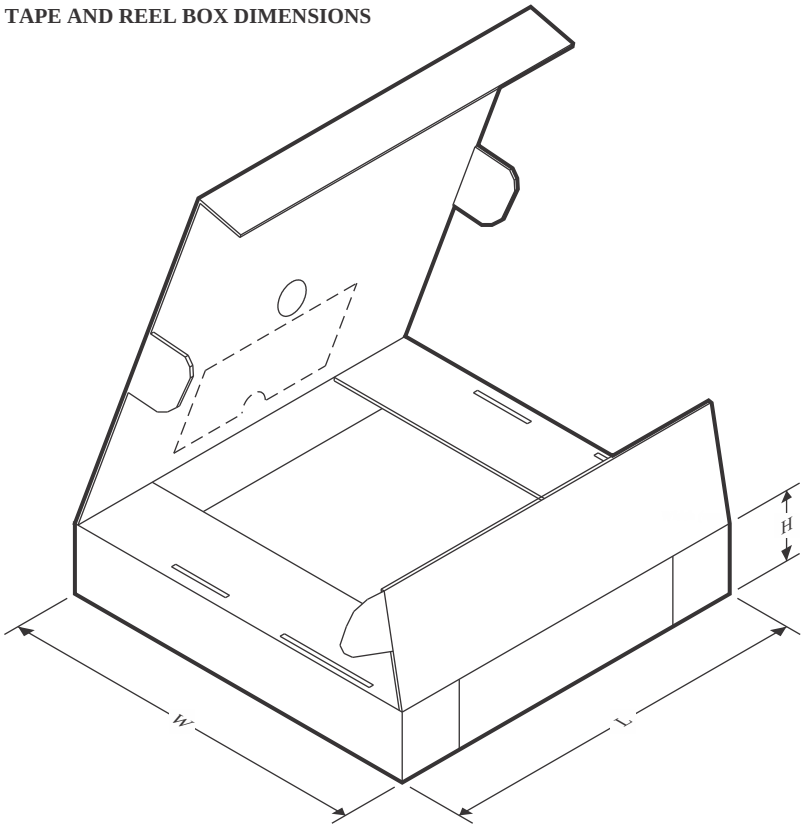
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMK3H0102T07RGTRQ1	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK3H0102T0FRGTRQ1	VQFN	RGT	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK3H0102T17RGTRQ1	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK3H0102T19RGTRQ1	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK3H0102T1ARGTRQ1	VQFN	RGT	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK3H0102T1BRGTRQ1	VQFN	RGT	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK3H0102T1FRGTRQ1	VQFN	RGT	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK3H0102T20RGTRQ1	VQFN	RGT	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK3H0102T29RGTRQ1	VQFN	RGT	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK3H0102TV1RGTRQ1	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK3H0102TV3RGTRQ1	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



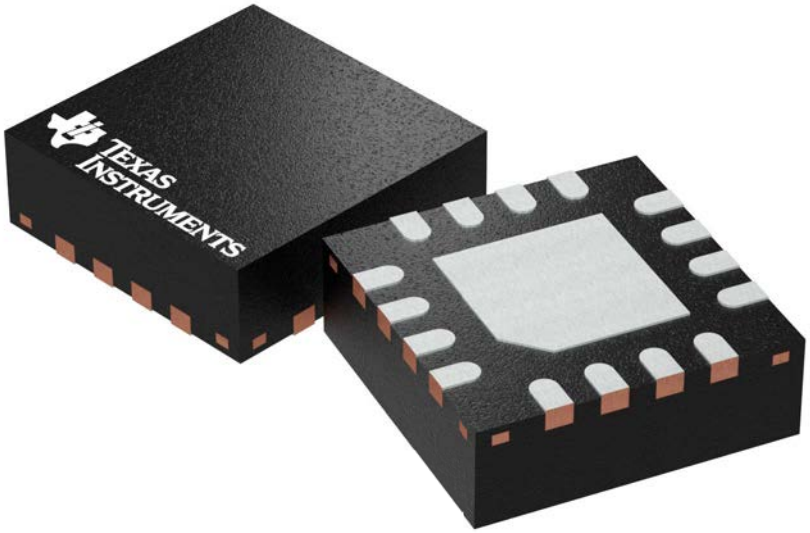
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMK3H0102T07RGTRQ1	VQFN	RGT	16	3000	346.0	346.0	33.0
LMK3H0102T0FRGTRQ1	VQFN	RGT	16	5000	346.0	346.0	33.0
LMK3H0102T17RGTRQ1	VQFN	RGT	16	3000	346.0	346.0	33.0
LMK3H0102T19RGTRQ1	VQFN	RGT	16	3000	346.0	346.0	33.0
LMK3H0102T1ARGTRQ1	VQFN	RGT	16	5000	346.0	346.0	33.0
LMK3H0102T1BRGTRQ1	VQFN	RGT	16	5000	346.0	346.0	33.0
LMK3H0102T1FRGTRQ1	VQFN	RGT	16	5000	346.0	346.0	33.0
LMK3H0102T20RGTRQ1	VQFN	RGT	16	5000	346.0	346.0	33.0
LMK3H0102T29RGTRQ1	VQFN	RGT	16	5000	346.0	346.0	33.0
LMK3H0102TV1RGTRQ1	VQFN	RGT	16	3000	346.0	346.0	33.0
LMK3H0102TV3RGTRQ1	VQFN	RGT	16	3000	346.0	346.0	33.0

RGT 16

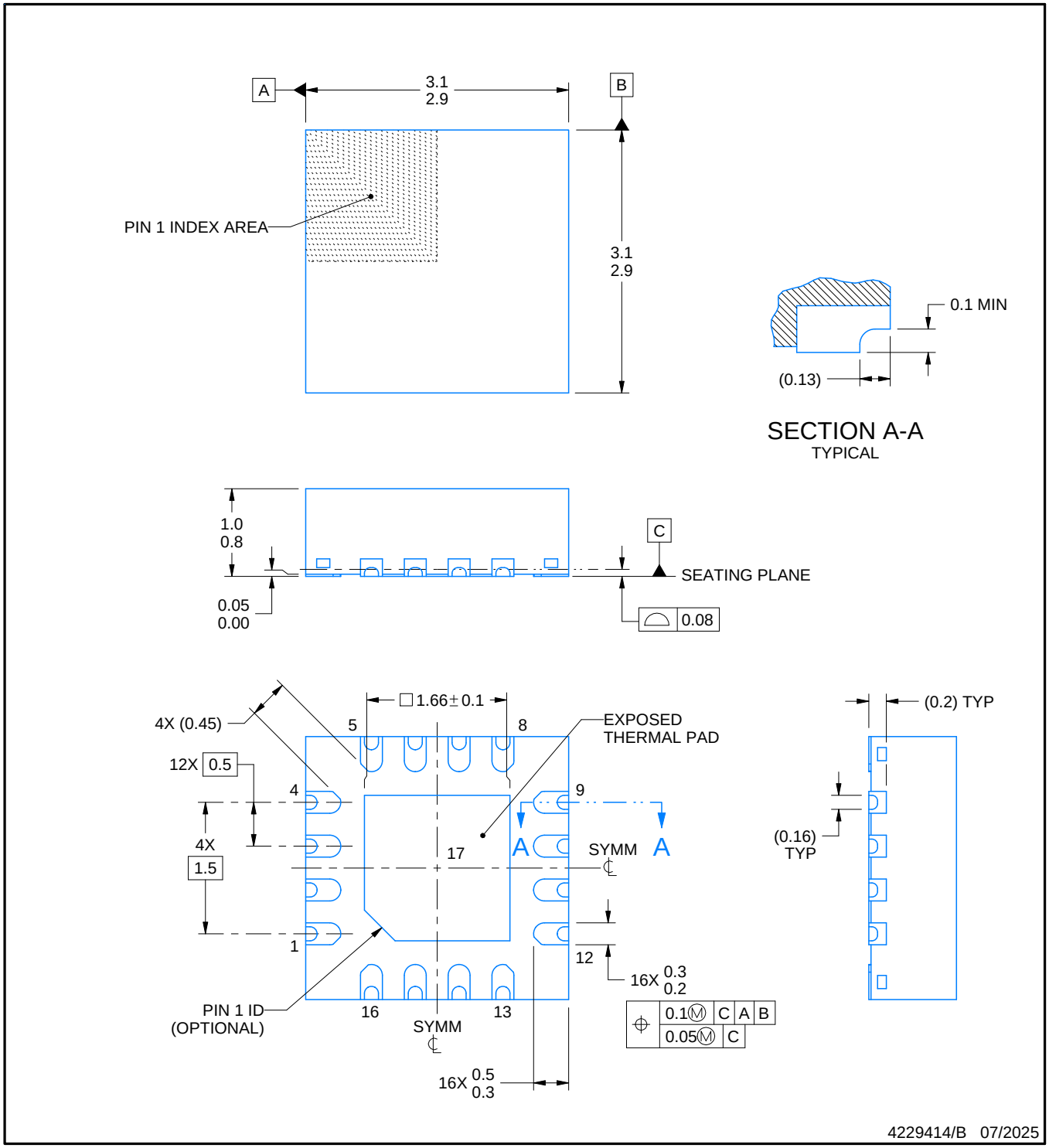
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



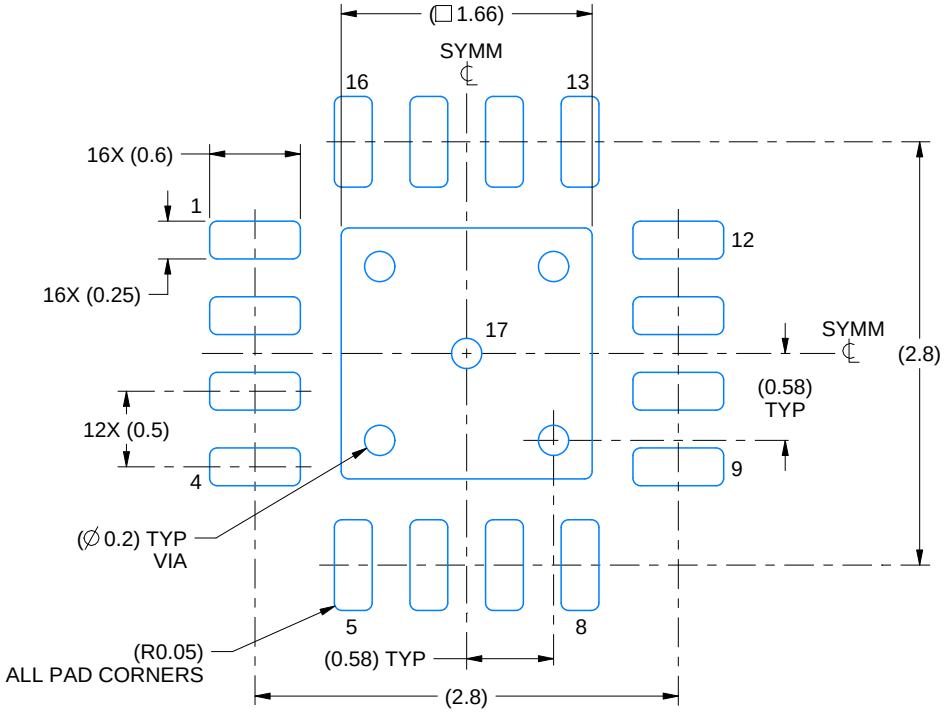
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203495/I

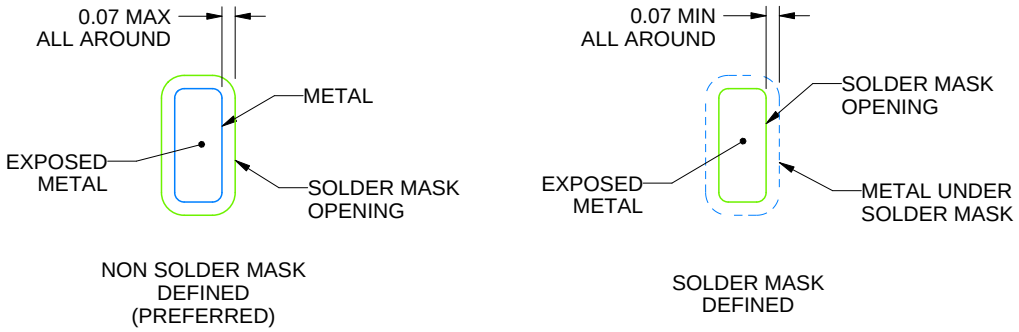


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

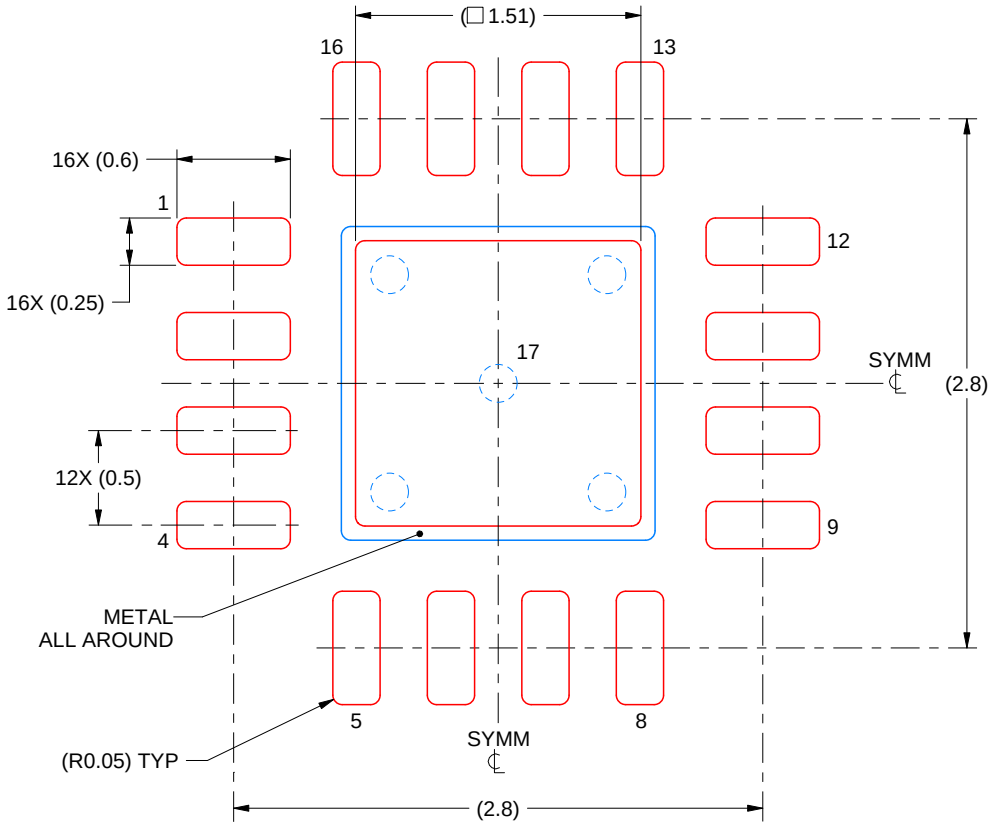


SOLDER MASK DETAILS

4229414/B 07/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
84% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4229414/B 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月