

LMK1D210x 低附加抖动 LVDS 缓冲器

1 特性

- 高性能 LVDS 时钟缓冲器系列：高达 2GHz
 - 双路 1:2 差分缓冲器
 - 双路 1:4 差分缓冲器
- 电源电压：1.71V 至 3.465V
- 失效防护输入操作
- 低附加抖动：在 156.25MHz 下在 12kHz 至 20MHz 范围内 RMS 小于最大值 60fs
 - 超低相位本底噪声：-164dBc/Hz (典型值)
- 传播延迟极低，<575ps (最大值)
- 输出偏移为 20ps (最大值)
- 通用输入接受 LVDS、LVPECL、LVCMOS、HCSL 和 CML 信号电平。
- LVDS 基准电压， V_{AC_REF} ，适用于容性耦合输入
- 工业温度范围：-40°C 至 105°C
- 封装采用
 - LMK1D2102：3mm × 3mm，16 引脚 VQFN
 - LMK1D2104：5mm × 5mm，28 引脚 VQFN

2 应用

- 电信及网络
- 医疗成像
- 测试和测量
- 无线基础设施
- 专业音频、视频和标牌

3 说明

LMK1D210x 时钟缓冲器将两个时钟输入 (IN0 和 IN1) 分配给总共多达 8 对差分 LVDS 时钟输出 (OUT0、OUT7)，通过超小偏斜实现时钟分配。每个缓冲器块由一个输入和最多 4 个 LVDS 输出组成。输入可以为 LVDS、LVPECL、HCSL、CML 或 LVCMOS。

LMK1D210x 专为驱动 50 Ω 传输线路而设计。在以单端模式驱动输入的情况下，必须将[连接至 LMK1D210x 输入的 1.8V、2.5V、3.3V LVCMOS 时钟驱动](#)中所示的适当偏置电压施加到未使用的负输入引脚。

使用控制引脚 (EN) 可以启用或禁用输出组。如果此引脚保持开路，则包含所有输出的两个缓冲器将被启用，如果切换到逻辑“0”，则两个组以及所有输出将被禁用 (静态逻辑“0”)，如果切换到逻辑“1”，则一个组及输出将被禁用，而另一个组及输出将被启用。该器件支持失效防护功能。该器件还整合了输入迟滞，可防止在没有输入信号的情况下输出随机振荡。

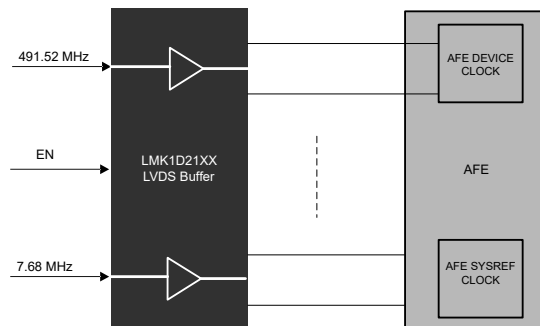
该器件可在 1.8V 或 2.5V 或 3.3V 电源环境下工作，额定温度范围是 -40°C 至 105°C (环境温度)。下表中显示了 LMK1D210x 封装类型：

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
LMK1D2102	RGT (VQFN, 16)	3.00mm × 3.00mm
LMK1D2104	RHD (VQFN, 28)	5.00mm × 5.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



应用示例



内容

1 特性	1	8.3 特性说明	13
2 应用	1	8.4 器件功能模式	13
3 说明	1	9 应用和实施	16
4 器件比较	3	9.1 应用信息.....	16
5 引脚配置和功能	4	9.2 典型应用.....	16
6 规格	5	9.3 电源相关建议.....	19
6.1 绝对最大额定值.....	5	9.4 布局.....	20
6.2 ESD 等级.....	5	10 器件和文档支持	21
6.3 建议运行条件.....	5	10.1 文档支持.....	21
6.4 热性能信息.....	6	10.2 接收文档更新通知.....	21
6.5 热性能信息.....	6	10.3 支持资源.....	21
6.6 电气特性.....	6	10.4 商标.....	21
6.7 典型特性.....	10	10.5 静电放电警告.....	21
7 参数测量信息	11	10.6 术语表.....	21
8 详细说明	13	11 修订历史记录	21
8.1 概述.....	13	12 机械、封装和可订购信息	22
8.2 功能方框图.....	13		

4 器件比较

表 4-1. 器件比较

器件	器件类型	特性	输出摆幅	输出共模	封装	封装尺寸
LMK1D2108M	双通道 1:8	通过引脚控制进行全局输出启用和摆幅控制	350mV	1.2V	VQFN (48)	7.00mm × 7.00mm
			500mV	1V		
LMK1D2106M	双通道 1:6	通过引脚控制进行全局输出启用和摆幅控制	350mV	1.2V	VQFN (40)	6.00mm × 6.00mm
			500mV	1V		
LMK1D2104M	双通道 1:4	通过引脚控制进行全局输出启用和摆幅控制	350mV	1.2V	VQFN (28)	5.00mm × 5.00mm
			500mV			
LMK1D2102M	双通道 1:2	通过引脚控制进行全局输出启用和摆幅控制	350mV	1.2V	VQFN (16)	3.00mm × 3.00mm
			500mV			
LMK1D1216M	02:16	通过引脚控制进行全局输出启用控制	350mV	1.2V	VQFN (48)	7.00mm × 7.00mm
			500mV	1V		
LMK1D1212M	02:12	通过引脚控制进行全局输出启用控制	350mV	1.2V	VQFN (40)	6.00mm × 6.00mm
			500mV	1V		
LMK1D1208PM	2:8	通过引脚控制进行单个输出启用控制	350mV	1.2V	VQFN (40)	6.00mm × 6.00mm
			500mV	1V		
LMK1D1208M	2:8	通过引脚控制进行全局输出启用控制	350mV	1.2V	VQFN (28)	5.00mm × 5.00mm
LMK1D1204PM	2:4	通过引脚控制进行单个输出启用控制	350mV	1.2V	VQFN (28)	5.00mm × 5.00mm
LMK1D1204M	2:4	通过引脚控制进行全局输出启用控制	350mV	1.2V	VQFN (16)	3.00mm × 3.00mm

5 引脚配置和功能

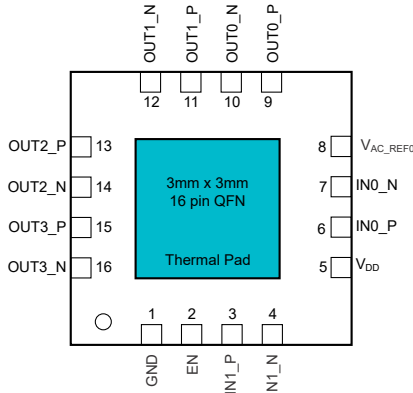


图 5-1. LMK1D2102 : RGT 封装 16 引脚 VQFN 顶视图

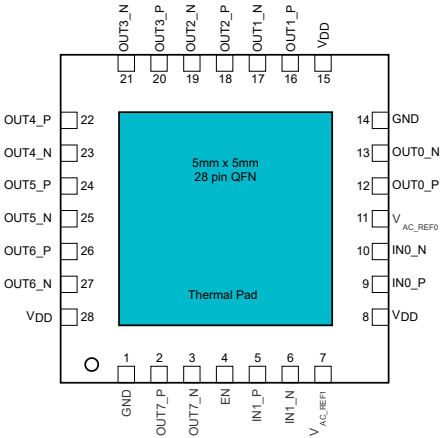


图 5-2. LMK1D2104 : RHD 封装 28 引脚 VQFN 顶视图

表 5-1. 引脚功能

引脚			类型 ⁽¹⁾	说明
名称	LMK1D2102	LMK1D2104		
差分/单端时钟输入				
IN0_P、IN0_N	6、7	9、10	I	初级：差分输入对或单端输入
IN1_P、IN1_N	3、4	5、6	I	次级：差分输入对或单端输入。
				请注意，INP0、INN0 与 IN0_P、IN0_N 可以互换使用，没有任何区别。
输出组控制				
EN	2	4	I	使用内部 500k Ω 上拉电阻器和 320k Ω 下拉电阻器启用/禁用输出组，选择输入端口；(请参阅表 8-1)
偏置电压输出				
V _{AC_REF0} 、V _{AC_REF1}	8	11、7	O	容性耦合输入的偏置电压输出。如果使用，TI 建议在该引脚上使用连接到 GND 的 0.1μF 电容器。
差分时钟输出				
OUT0_P、OUT0_N	9、10	12、13	O	编号为 0 的差分 LVDS 输出对
OUT1_P、OUT1_N	11、12	16、17	O	编号为 1 的差分 LVDS 输出对
OUT2_P、OUT2_N	13、14	18、19	O	编号为 2 的差分 LVDS 输出对
OUT3_P、OUT3_N	15、16	20、21	O	编号为 3 的差分 LVDS 输出对
OUT4_P、OUT4_N		22、23	O	编号为 4 的差分 LVDS 输出对
OUT5_P、OUT5_N		24、25	O	编号为 5 的差分 LVDS 输出对
OUT6_P、OUT6_N		26、27	O	编号为 6 的差分 LVDS 输出对
OUT7_P、OUT7_N		2、3	O	编号为 7 的差分 LVDS 输出对
电源电压				
V _{DD}	5	8、15、28	P	器件电源 (1.8V、2.5V 或 3.3V)
接地				
GND	1	1、14	G	接地
DAP	DAP	DAP	G	裸片连接焊盘连接到 PCB 接地平面以实现散热。

(1) G = 地，I = 输入，O = 输出，P = 电源

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V _{DD}	电源电压	-0.3	3.6	V
V _{IN}	输入电压	-0.3	3.6	V
V _O	输出电压	-0.3	V _{DD} + 0.3	V
I _{IN}	输入电流	-20	20	mA
I _O	持续输出电流	-50	50	mA
T _J	结温		135	°C
T _{stg}	贮存温度 ⁽²⁾	-65	150	°C

- (1) 超出绝对最大额定值范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 器件未通电

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	±3000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22C101, 所有引脚 ⁽²⁾	±1000	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	标称值	最大值	单位
V _{DD}	内核电源电压	3.3V 电源	3.135	3.3	3.465	V
		2.5V 电源	2.375	2.5	2.625	
		1.8V 电源	1.71	1.8	1.89	
电源斜坡	电源电压斜坡	需要单调斜坡 (V _{DD} 的 10-90%)	0.1		20	ms
T _A	自然通风条件下的工作温度		-40		105	°C
T _J	工作结温		-40		135	°C

6.4 热性能信息

热指标 ⁽¹⁾		LMK1D1204PM	LMK1D1208PM	单位
		VQFN	VQFN	
		28 引脚	40 引脚	
$R_{\theta JA}$	结至环境热阻	38.9	30.3	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	32.1	21.6	°C/W
$R_{\theta JB}$	结至电路板热阻	18.7	13.1	°C/W
Ψ_{JT}	结至顶部特征参数	1	0.4	°C/W
Ψ_{JB}	结至电路板特征参数	18.7	13	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	8.2	4.5	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用手册。

6.5 热性能信息

热指标 ⁽¹⁾		LMK1D1208PM	单位
		VQFN	
		40 引脚	
$R_{\theta JA}$	结至环境热阻	30.3	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	21.6	°C/W
$R_{\theta JB}$	结至电路板热阻	13.1	°C/W
Ψ_{JT}	结至顶部特征参数	0.4	°C/W
Ψ_{JB}	结至电路板特征参数	13	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	4.5	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用手册。

6.6 电气特性

$V_{DD} = 1.8V$ 、 $2.5V$ 、 $3.3V \pm 5\%$, $-40^{\circ}C \leq T_A \leq 105^{\circ}C$ 。典型值是 $V_{DD} = 1.8V$ 、 $2.5V$ 、 $3.3V$ 、 $25^{\circ}C$ 条件下的值 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源特性						
IDD_STAT	LMK1D1204PM	所有输出均已启用且未端接，f = 0Hz (AMP_SEL = 1)	50			mA
IDD_STAT	LMK1D1208PM	所有输出均已启用且未端接，f = 0Hz	75			mA
IDD_100M	LMK1D1204PM	所有输出均已启用，RL = 100 Ω，f = 100MHz (AMP_SEL = 0，默认设置)	60		72	mA
IDD_100M	LMK1D1208PM	所有输出均已启用，RL = 100 Ω，f = 100MHz	87		110	mA
OUTPUT BANK CONTROL (EN) INPUT CHARACTERISTICS (适用于 VDD = 1.8V ± 5%、2.5V ± 5% 和 3.3V ± 5%)						
VdI3	三态输入	开路	0.4 × VCC			V
VIH	输入高电压	逻辑“1”状态的最小输入电压	0.7 × VCC		VCC + 0.3	V
VIL	输入低电压	逻辑“0”状态的最大输入电压	-0.3		0.3 × VCC	V
IIH	输入高电流	VDD 可以是 1.8V/2.5V/3.3V，VIH = VDD			30	μA
IIL	输入低电流	VDD 可以是 1.8V/2.5V/3.3V，VIH = VDD	-30			μA

VDD = 1.8V、2.5V、3.3V ± 5%，-40°C ≤ T_A ≤ 105°C。典型值是 VDD = 1.8V、2.5V、3.3V、25°C 条件下的值（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
R _{pull-up(EN)}	输入上拉电阻器			500		k Ω
R _{pull-down(EN)}	输入下拉电阻器			320		k Ω
SINGLE-ENDED LVCMOS/LVTTL CLOCK INPUT (适用于 V _{DD} = 1.8V ± 5%、2.5V ± 5% 和 3.3V ± 5%)						
f _{IN}	输入频率	时钟输入	DC	250		MHz
V _{IN_S-E}	单端输入电压摆幅	假设方波输入具有两个电平	0.4	3.465		V
dVIN/dt	输入压摆率 (振幅的 20% 至 80%)		0.05			V/ns
I _{IH}	输入高电流	V _{DD} = 3.465V , V _{IH} = 3.465V			50	μA
I _{IL}	输入低电流	V _{DD} = 3.465V , V _{IL} = 0V	-30			μA
C _{IN_SE}	输入电容	25°C 时		3.5		pF
DIFFERENTIAL CLOCK INPUT (适用于 V _{DD} = 1.8V ± 5%、2.5V ± 5% 和 3.3V ± 5%)						
f _{IN}	输入频率	时钟输入		2		GHz
V _{IN,DIFF(P-P)}	差分输入电压峰峰值 {2x (V _{INP} -V _{INN})}	V _{ICM} = 1V (V _{DD} = 1.8V)	0.3	2.4	V _{PP}	
		V _{ICM} = 1.25V (V _{DD} = 2.5V/3.3V)	0.3	2.4		
V _{ICM}	输入共模电压	V _{IN,DIFF(P-P)} > 0.4V (V _{DD} = 1.8V/2.5/3.3V)	0.25	2.3		V
I _{IH}	输入高电流	V _{DD} = 3.465V , V _{INP} = 2.4V , V _{INN} = 1.2V		30		μA
I _{IL}	输入低电流	V _{DD} = 3.465V , V _{INP} = 0V , V _{INN} = 1.2V	-30			μA
C _{IN_S-E}	输入电容 (单端)	25°C 时		3.5		pF
LVDS 输出特性						
VOD	差分输出电压幅度 V _{OUTP} - V _{OUTN}	V _{IN,DIFF(P-P)} = 0.3V , R _{LOAD} = 100 Ω , AMP_SEL = 0	250	350	450	mV
VOD	差分输出电压幅度 V _{OUTP} - V _{OUTN}	V _{IN,DIFF(P-P)} = 0.3V , R _{LOAD} = 100 Ω	250	350	450	mV
VOD	差分输出电压幅度 V _{OUTP} - V _{OUTN}	V _{IN,DIFF(P-P)} = 0.3V , R _{LOAD} = 100 Ω , AMP_SEL = 1	400	500	650	mV
Δ VOD	差分输出电压幅度的变化。每个输出，定义为 VOD 在逻辑高/低电平状态下的差值。	V _{IN,DIFF(P-P)} = 0.3V , R _{LOAD} = 100 Ω , AMP_SEL = 0	-15		15	mV
Δ VOD	差分输出电压幅度的变化。每个输出，定义为 VOD 在逻辑高/低电平状态下的差值。	V _{IN,DIFF(P-P)} = 0.3V , R _{LOAD} = 100 Ω	-15		15	mV
Δ VOD	差分输出电压幅度的变化	V _{IN,DIFF(P-P)} = 0.3V , R _{LOAD} = 100 Ω , AMP_SEL = 1	-20		20	mV
V _{OC(SS)}	稳定状态共模输出电压	V _{IN,DIFF(P-P)} = 0.3V , R _{LOAD} = 100 Ω (V _{DD} = 1.8V)	1		1.2	V
		V _{IN,DIFF(P-P)} = 0.3V , R _{LOAD} = 100 Ω (V _{DD} = 2.5V/3.3V)	1.1		1.375	
Δ V _{OC(SS)}	稳定状态共模输出电压的变化。每个输出，定义为 V _{OC} 在逻辑高/低电平状态下的差值。	V _{IN,DIFF(P-P)} = 0.3V , R _{LOAD} = 100 Ω	-15		15	mV
LVDS 交流输出特性						
V _{ring}	输出过冲和下冲	V _{IN,DIFF(P-P)} = 0.3V , R _{LOAD} = 100 Ω , f _{OUT} = 491.52MHz	-0.1		0.1	V _{OD}
V _{OS}	输出交流共模	V _{IN,DIFF(P-P)} = 0.3V , R _{LOAD} = 100 Ω		50	100	mV _{pp}
I _{OS}	短路输出电流 (差分)	V _{OUTP} = V _{OUTN}	-12		12	mA

LMK1D2102, LMK1D2104

ZHCSOY4C - SEPTEMBER 2021 - REVISED FEBRUARY 2026

VDD = 1.8V、2.5V、3.3V ± 5% , - 40°C ≤ T_A ≤ 105°C。典型值是 VDD = 1.8V、2.5V、3.3V、25°C 条件下的值 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
I _{OS(cm)}	短路输出电流 (共模)	V _{OUTP} = V _{OUTN} = 0	-24		24	mA
t _{PD}	传播延迟	V _{IN,DIFF(P-P)} = 0.3V , R _{LOAD} = 100 Ω ⁽¹⁾	0.3		0.575	ns
t _{SK, O}	输出偏移	相同负载条件下的输出之间的偏移 (4 通道和 8 通道) ⁽²⁾			20	ps
t _{SK, b}	输出组偏移	同一组内输出之间的偏移 (2102/2104) ⁽³⁾			15	ps
t _{SK, PP}	器件间延迟	在输入和输出负载相同的情况下, 不同器件在相同的工作条件下的输出之间的偏移。			250	ps
t _{SK, P}	脉冲偏移	50% 占空比输入, 交叉点到交叉点失真 ⁽³⁾	-20		20	ps
t _{RJIT(ADD)}	随机附加抖动 (rms)	f _{IN} = 156.25MHz , 占空比为 50% , 输入压摆率 = 1.5V/ns , 积分范围 = 12kHz - 20MHz , 输出负载 R _{LOAD} = 100 Ω		50	60	fs , RMS
相位噪声	156.25MHz 载波频率的相位噪声, 占空比为 50% , 输入压摆率 = 1.5V/ns , 输出负载 R _{LOAD} = 100 Ω	PN _{1kHz}		-143		dBc/Hz
		PN _{10kHz}		-152		
		PN _{100kHz}		-157		
		PN _{1MHz}		-160		
		PN _{floor}		-164		

VDD = 1.8V、2.5V、3.3V ± 5% , - 40°C ≤ T_A ≤ 105°C。典型值是 VDD = 1.8V、2.5V、3.3V、25°C 条件下的值 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
MUX _{ISO}	多路复用器隔离	f _{IN} = 156.25MHz。选择的时钟有效且未选择的时钟静态时与选择的时钟无效且未选择的时钟有效时 f _{IN} 下的功率级别差异。		80		dB
SPUR	两组之间的杂散抑制	F _{IN0} = 491.52MHz、F _{IN1} = 61.44MHz 时的差分输入；在相邻输出之间测量		-60		dB
		F _{IN0} = 491.52MHz、F _{IN1} = 15.36MHz 时的差分输入；在相邻输出之间测量		-70		
ODC	输出占空比	输入占空比为 50%	45		55	%
t _R /t _F	输出上升和下降时间	20% 至 80% , R _{LOAD} = 100 Ω			300	ps
V _{AC_REF}	基准输出电压	VDD = 2.5V , I _{LOAD} = 100μA	0.9	1.25	1.375	V
电源噪声抑制 (PSNR) VDD = 2.5V/3.3V						
PSNR	电源噪声抑制 (f _{carrier} = 156.25MHz)	在 V _{DD} 上注入 10kHz、100mVpp 纹波		-70		dBc
		在 V _{DD} 上注入 1MHz、100mVpp 纹波		-50		

- (1) 在单端/差分输入交叉点与差分输出交叉点之间测量。
- (2) 对于双组器件，输入相位对齐且占空比为 50%。
- (3) 定义为输出端高电平到低电平传播延迟时间和低电平到高电平传播延迟时间之间的时间差大小。

6.7 典型特性

图 6-1 展示了 LMK1D2104M 电流消耗在输入频率和电源电压条件下的变化。LMK1D2102 遵循类似的趋势。图 6-2 展示了整个频率范围内差分输出电压 (VOD) 的变化。该结果也适用于 LMK1D2102。

请注意，图 6-1 和图 6-2 用于指导用户预期针对 LMK1D210x 支持的工作频率范围获取哪些信息。请注意，这些图是针对有限数量的频率和负载条件绘制的，而这些并不一定代表客户系统。

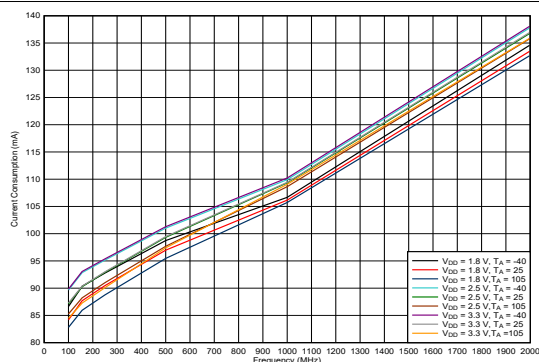


图 6-1. LMK1D2104 电流消耗与频率间的关系

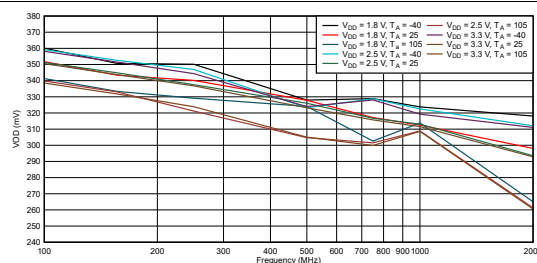


图 6-2. LMK1D2104 VOD 与频率间的关系

7 参数测量信息

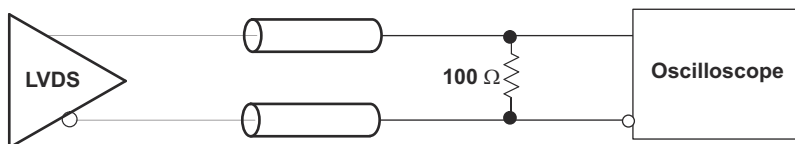


图 7-1. 器件测试期间的 LVDS 输出直流配置

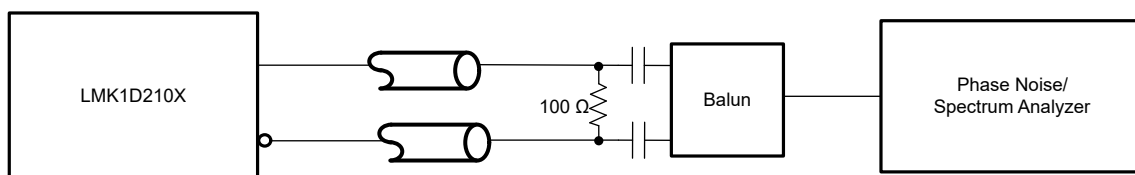


图 7-2. 器件测试期间的 LVDS 输出交流配置

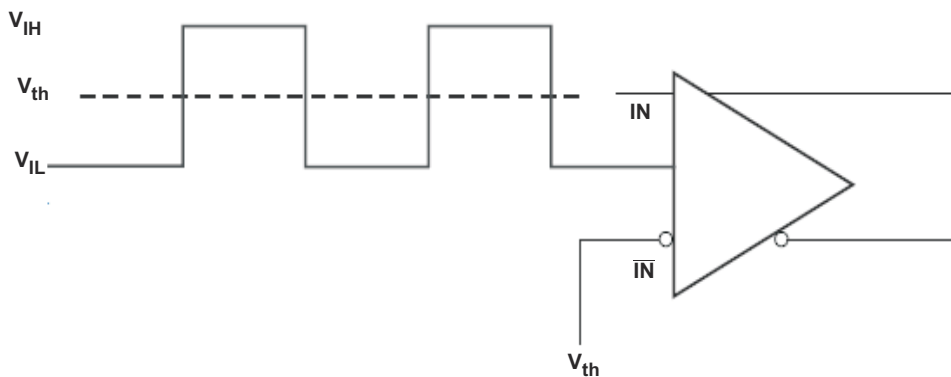


图 7-3. 器件测试期间直流耦合的 LVCMOS 输入

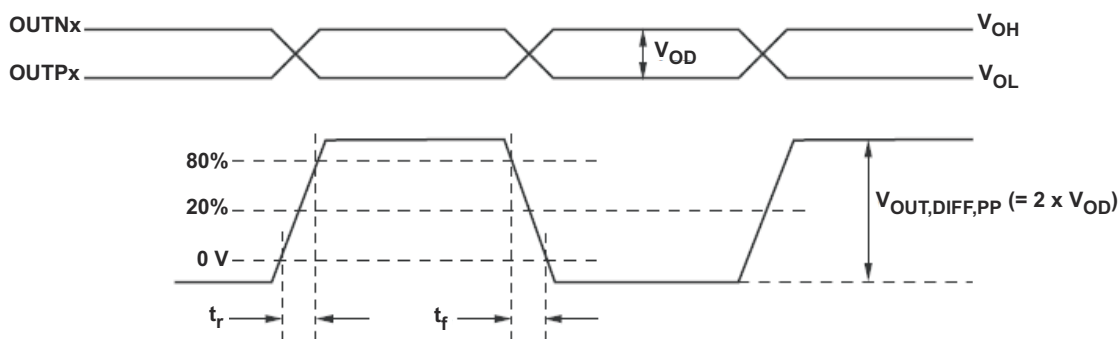
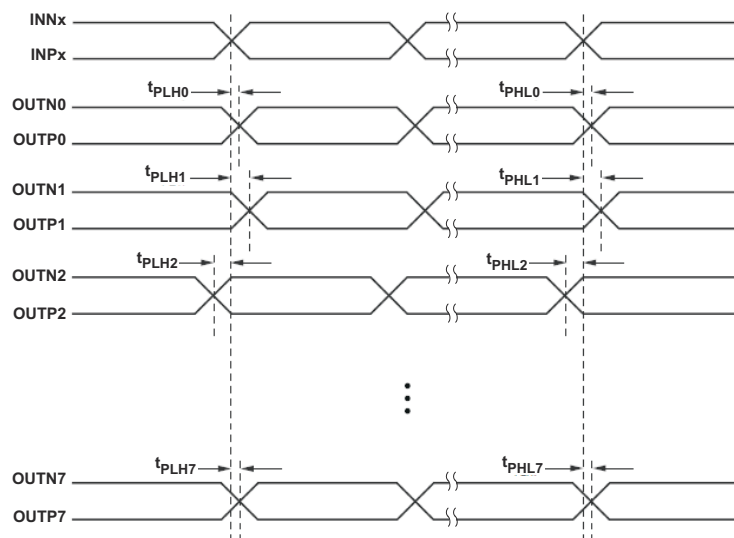


图 7-4. 输出电压和上升/下降时间



- A. 输出偏移为以下两者中的较大者：最快和最慢 t_{PLHn} 之间的差值或最快和最慢 t_{PHLn} 之间的差值 ($n = 0, 1, 2, \dots, 7$)
- B. 器件间延迟为以下两者中的较大者：多个器件上最快和最慢 t_{PLHn} 之间的差值或最快和最慢 t_{PHLn} 之间的差值 ($n = 0, 1, 2, \dots, 7$)

图 7-5. 输出偏移和器件间延迟

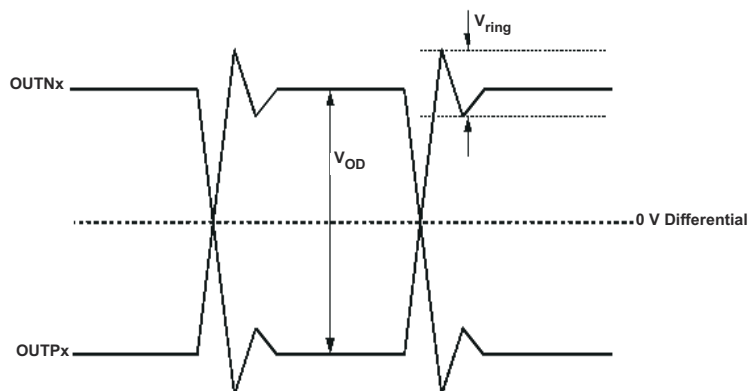


图 7-6. 输出过冲和下冲

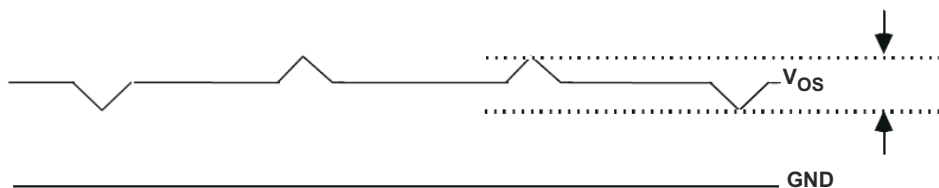


图 7-7. 输出交流共模

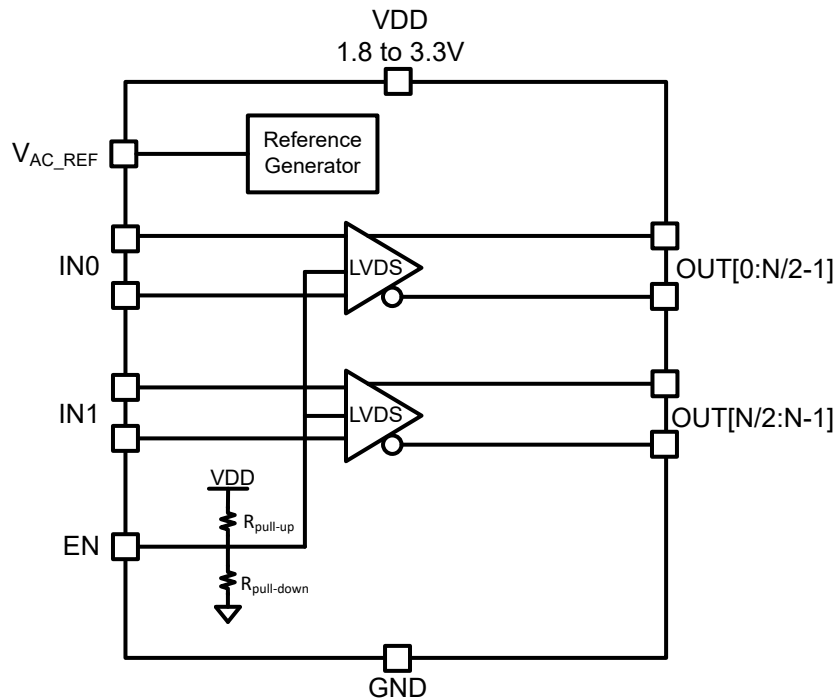
8 详细说明

8.1 概述

LMK1D210x LVDS 驱动器使用 CMOS 晶体管来控制输出电流。因此，需通过适当的偏置和端接，来验证器件正常运行并最大程度地提高信号完整性。

为了确保两条 $50\ \Omega$ 线路上的信号完整性，正确的 LVDS 端接是接收器端输出之间具有 $100\ \Omega$ 的电阻。直流耦合端接和交流耦合端接均可用于 LVDS 输出。TI 建议将端接电阻器放置在靠近接收器的位置。如果接收器在内部偏置到的电压不同于 LMK1D210x 输出共模电压，则必须使用交流耦合。如果 LVDS 接收器具有内部 $100\ \Omega$ 终端，则必须省略外部终端。

8.2 功能方框图



8.3 特性说明

LMK1D210x 是一款低附加抖动 LVDS 扇出缓冲器，可在每个组上生成多达四个单路输入副本，可为 LVPECL、LVDS 或 LVCMOS。由于该器件有两个组，因此总共需要八对输出 (LMK1D2104)。基准时钟频率可高达 2GHz。

除了提供非常低的附加抖动和低输出偏斜之外，LMK1D210x 还具有一个控制引脚 (EN)，可控制输出组的启用/禁用。

8.3.1 失效防护输入

LMK1D210x 系列器件支持失效防护输入操作。该功能允许用户在施加 VDD 之前驱动器件输入，而不会损坏器件。有关该器件支持的最大输入的更多信息，请参阅 [节 6.1](#)。该器件还集成了输入迟滞，可防止在没有输入信号时发生随机振荡，从而允许输入引脚保持开路。

8.4 器件功能模式

可通过控制引脚选择 LMK1D2102 的输出组 (请参阅 [表 8-1](#))。未使用的输入和输出可以保持悬空，以降低总体元件成本。交流和直流耦合方案均可与 LMK1D2102 配合使用，以提供更大的系统灵活性。

表 8-1. 输出控制表

EN	时钟输出
0	禁用所有输出 (静态 “0”)
1	OUT0、OUT1... OUT[(N/2)-1] 启用，OUT[N/2]... OUT[-1] 禁用。 示例：LMK1D2102 (启用 OUT0、OUT1，禁用 OUT2、OUT3)
开路	已启用所有输出

8.4.1 LVDS 输出端接

TI 建议使用 $100\ \Omega$ 电阻器对未使用的输出进行差分端接以获得最佳性能，尽管允许使用未端接的输出，但这会导致所使用输出的性能略有下降 (输出交流共模 V_{OS})。

LMK1D210x 可以通过直流和交流耦合连接到 LVDS 接收器输入，分别如图 8-1 和 图 8-2 所示。

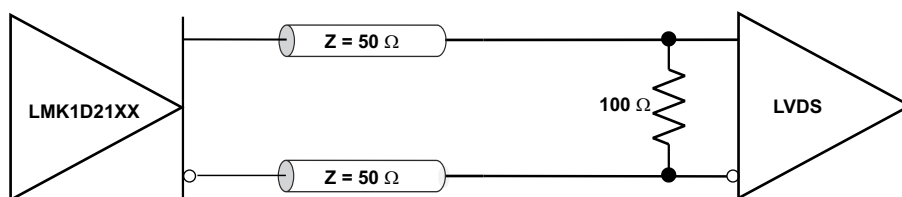


图 8-1. 输出直流终端

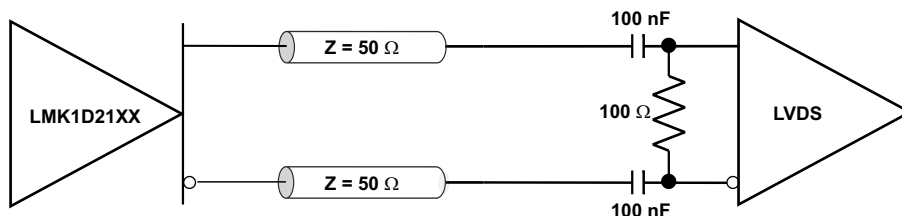


图 8-2. 输出交流终端 (接收器内部偏置)

8.4.2 输入端接

LMK1D210x 输入可与 LVDS、LVPECL、HCSL 或 LVCMOS 驱动器连接。

LVDS 驱动器可以通过直流和交流耦合连接到 LMK1D210x 输入，分别如图 8-3 和 图 8-4 所示。

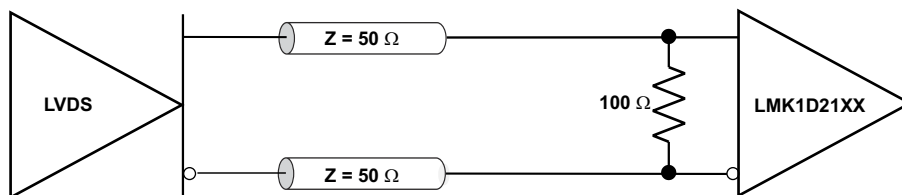


图 8-3. 连接到 LMK1D210x 输入的 LVDS 时钟驱动器 (直流耦合)

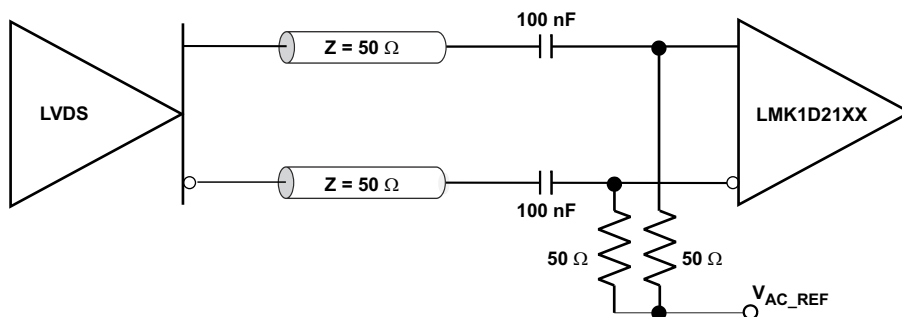


图 8-4. 连接到 LMK1D210x 输入的 LVDS 时钟驱动器 (交流耦合)

图 8-5 展示了如何将 LVPECL 输入连接到 LMK1D210x。如果信号摆幅大于 $1.6V_{PP}$ ，则需要使用串联电阻器来降低 LVPECL 信号摆幅。

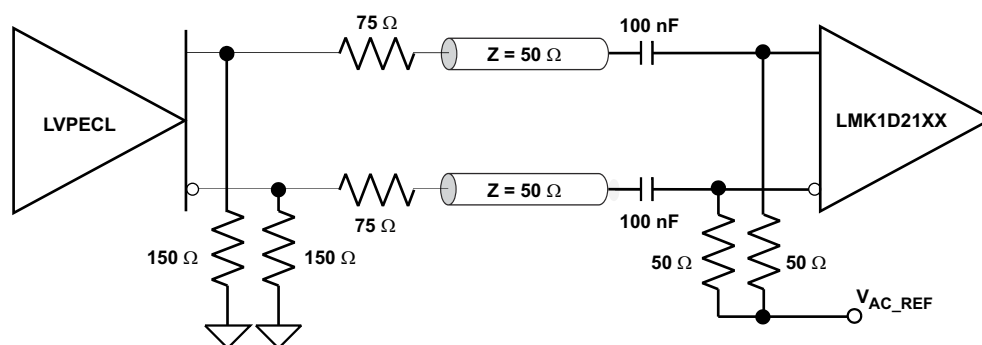


图 8-5. 连接到 LMK1D210x 输入的 LVPECL 时钟驱动器

图 8-6 展示了如何将 LVCMOS 时钟输入直接耦合到 LMK1D210x。

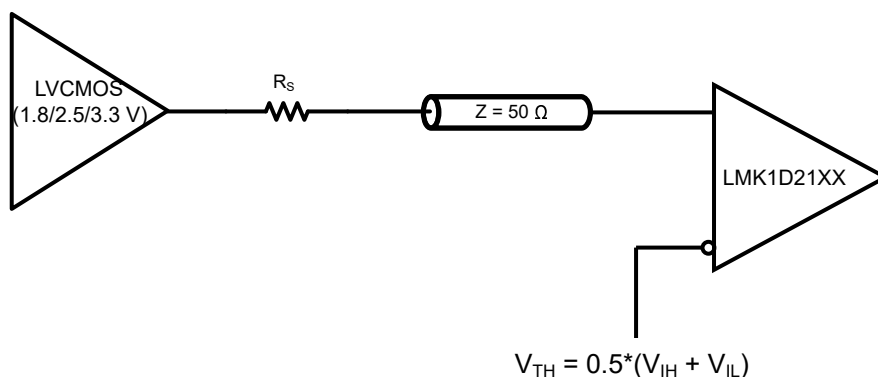


图 8-6. 连接到 LMK1D210x 输入的 1.8V、2.5V 或 3.3V LVCMOS 时钟驱动器

未使用的输入可以保持悬空，从而减少了对额外元件的需求。

9 应用和实例

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

LMK1D210x 是一款低附加抖动通用至 LVDS 扇出缓冲器，具有可扇出至双路输出组的双路输入。每个输入可扇出到最多四个输出 (LMK1D2104)。该器件具有小尺寸封装、低输出偏移、低附加抖动，可由 1.8V 电源供电，专为需要高性能时钟分配的应用以及低功耗和空间受限型应用而设计。

9.2 典型应用

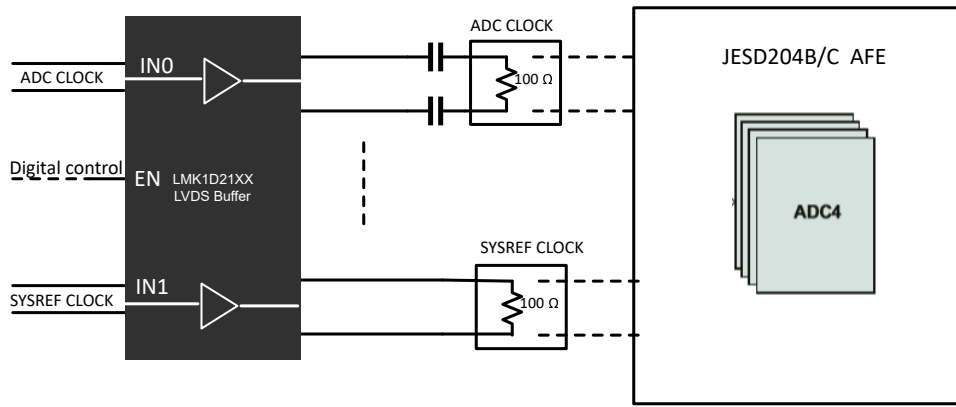


图 9-1. 用于 ADC 器件时钟和 SYSREF 分配的扇出缓冲器

9.2.1 设计要求

图 9-1 中所示的 LMK1D210x 配置为针对使用 JESD204B/C ADC 的系统在第一个输出组上扇出 ADC 时钟，在第二个输出组上扇出 SYSREF 时钟。LMK1D210x 具有低输出到输出偏移、超低附加抖动和出色的杂散抑制能力，是一款简单、稳健且低成本的设计，可将各种时钟分配给 JESD204B/C AFE 系统。配置示例可以为 JESD204B/C 接收器驱动多达 4 个 ADC 时钟和 4 个 SYSREF 时钟，具有以下属性：

- 由于驱动器和接收器之间的共模差异，ADC 时钟接收器模块通常与 LVDS 驱动器（例如 LMK1D210x）进行交流耦合。可以选择采用内部 100 Ω 差分终端，在这种情况下 LMK1D210x 不需要外部终端，具体取决于接收器。
- 如果 LMK1D210x 输出的共模电压与接收器匹配，则 SYSREF 时钟接收器模块通常进行直流耦合。如果接收器具有内部终端，则不一定需要外部终端。
- 为了实现最佳性能，LMK1D 器件未使用的输出使用 100 Ω 电阻器进行差分端接。

9.2.2 详细设计过程

参阅节 8.4.2，根据是单端还是差分输入来实现正确的输入端接。

参阅节 8.4.1，根据接收器应用选择输出端接方案。

TI 建议使用 100 Ω 电阻器对未使用的输出进行差分端接以获得最佳性能，尽管允许使用未端接的输出，但这会导致所使用输出的性能略有下降（输出交流共模 V_{OS} ）。

在上一部分图 9-1 所述的应用示例中，ADC 时钟和 SYSREF 时钟需要不同的输出连接方案。电源滤波和旁路对于低噪声应用至关重要。

如果 LMK1D210x 的输出电压和接收器之间存在共模不匹配，可使用交流耦合来规避不匹配问题。然而，在某些应用中，由于与该交流耦合网络（高通滤波器）相关的趋稳时间可能会在初始瞬态期间导致不确定行为，因此不需要将 LMK1D210x 输出与接收器进行交流耦合。对于此类应用，必须对输出进行直流耦合，因此需要采用一种方案来克服驱动器和接收器共模电压之间的固有不匹配。

应用手册 [将 LVDS 驱动器与 Sub-LVDS 接收器对接](#) 讨论了如何将 LVDS 驱动器和 sub-LVDS 接收器对接。同样的概念也可应用于将 LMK1D210x 输出连接到具有较低共模的接收器。

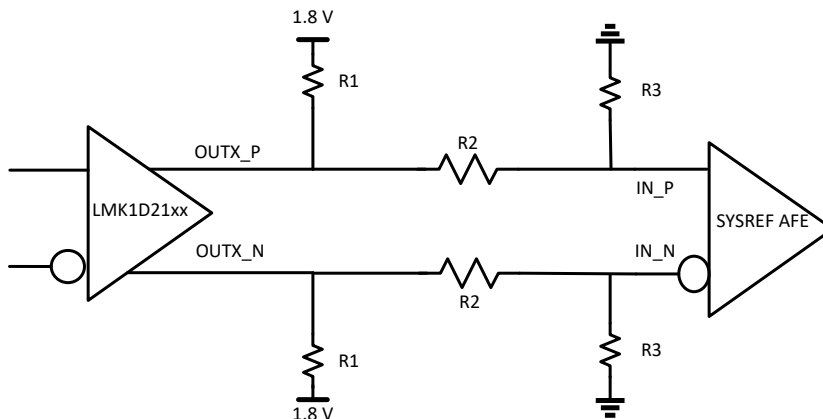
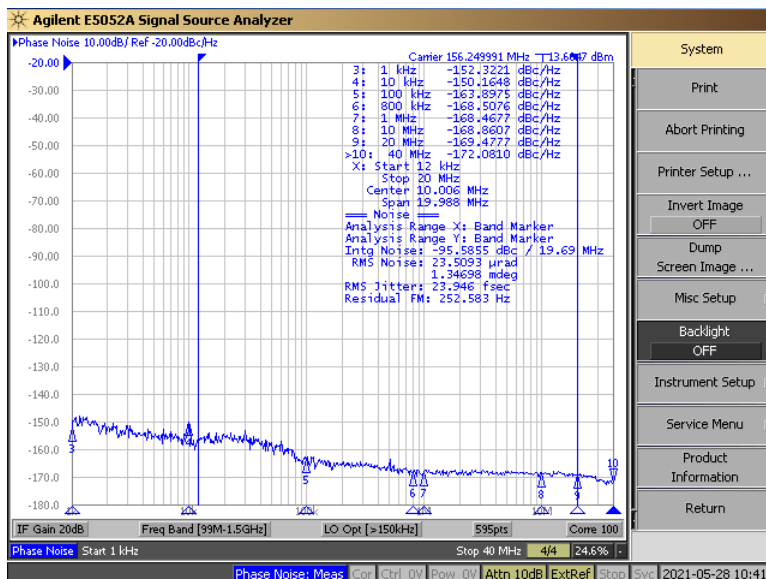


图 9-2. 将 LMK1D210x 与较低共模接收器进行直流耦合的原理图

图 9-2 展示了用于降低共模的电阻分压器网络，前面提到的应用手册中对此进行了说明。根据接收器的输入共模要求来选择电阻器 R1、R2 和 R3。如前文所述，用户需要确保降低的摆幅能够满足接收器的要求。

9.2.3 应用曲线

LMK1D2104 的低附加抖动显示在以下曲线中。LMK1D2104 由具有 24fs RMS 抖动的低噪声 156.25MHz 源 (如图 9-3 所示) 驱动, 因此当在 12kHz 至 20MHz 范围内积分时, 抖动为 46.4fs RMS (图 9-4)。对于此配置, 产生的附加抖动较低, 大小为 39.7fs RMS。请注意, 该结果也适用于 LMK1D2102 器件。



A. 参考信号是低噪声 Rhode and Schwarz SMA100B

图 9-3. LMK1D2104 参考相位噪声, 156.25MHz, 24fs RMS (12kHz 至 20MHz)

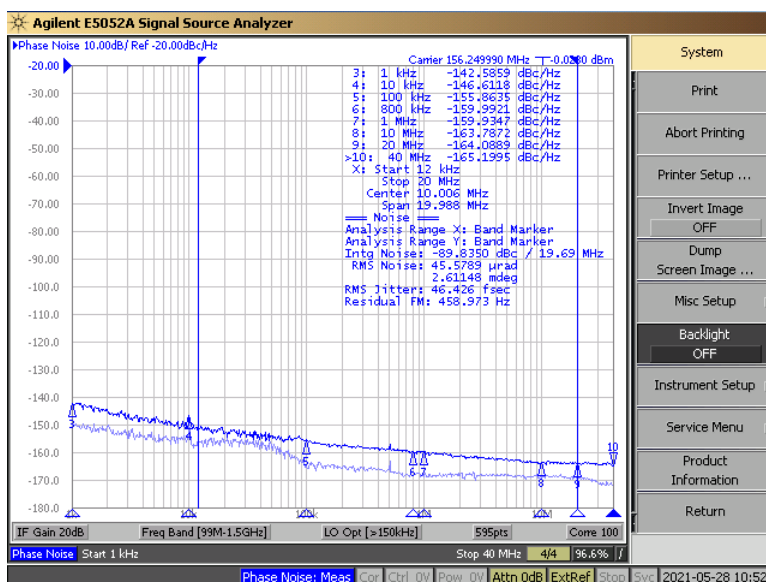


图 9-4. LMK1D2104 输出相位噪声, 156.25MHz, 46.4fs RMS (12kHz 至 20MHz)

图 9-5 采集 LMK1D2104 器件的低近端相位噪声。由于采用了工艺技术和设计，LMK1D2102 和 LMK1D2104 具有出色的闪烁噪声。这使得在需要超低近端相位噪声时钟的雷达系统、医疗成像系统等中可以使用时钟分配。

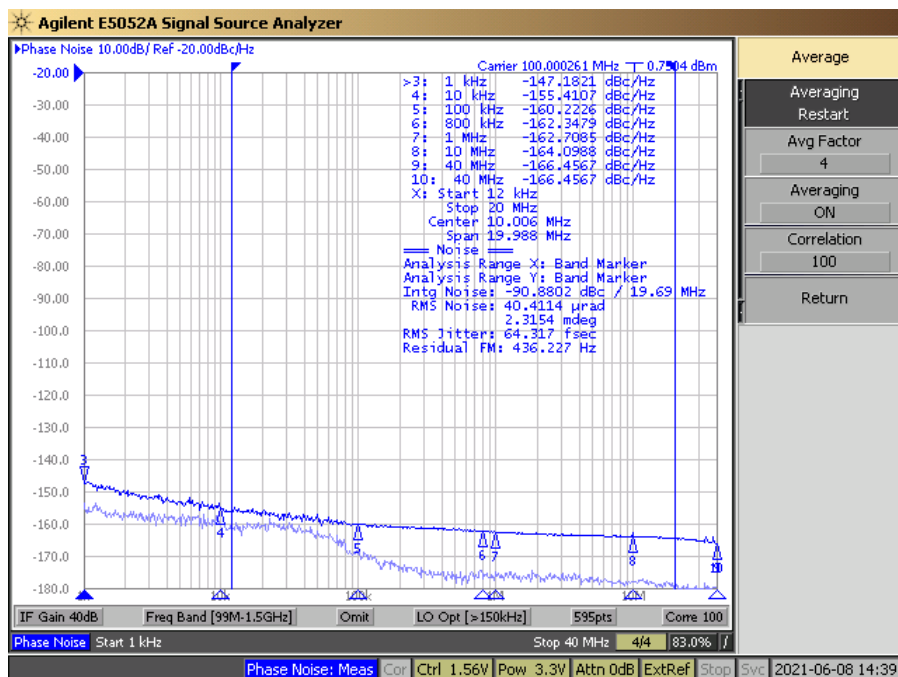


图 9-5. LMK1D2104 输出相位噪声，100MHz、1kHz 偏移：-147dBc/Hz

9.3 电源相关建议

高性能时钟缓冲器对电源上的噪声很敏感，这会显著增加缓冲器的附加抖动。因此，降低系统电源的噪声至关重要，尤其是当抖动和相位噪声对于应用至关重要时。

滤波电容器用于消除电源的低频噪声，其中旁路电容器为高频噪声提供低阻抗路径，并保护电源系统免受感应波动的影响。这些旁路电容器还提供器件所需的瞬时电流浪涌，并且必须具有低等效串联电阻 (ESR)。为了正确使用旁路电容器，必须将电容器放置在靠近电源引脚的位置，并使用短环路布局来尽可能减小电感。TI 建议添加尽可能多的高频（例如 0.1 μ F）旁路电容器，因为封装中有电源引脚。TI 建议但不要求在电路板电源和芯片电源之间插入铁氧体磁珠来隔离时钟驱动产生的高频开关噪声；这些磁珠可防止开关噪声泄漏到电路板电源中。应选择具有低直流电阻的合适铁氧体磁珠，因为必须在电路板电源和芯片电源之间提供充分的隔离，并且应保持电源引脚上的电压大于正常运行所需的最小电压。

图 9-6 展示了该建议的电源去耦合方法。

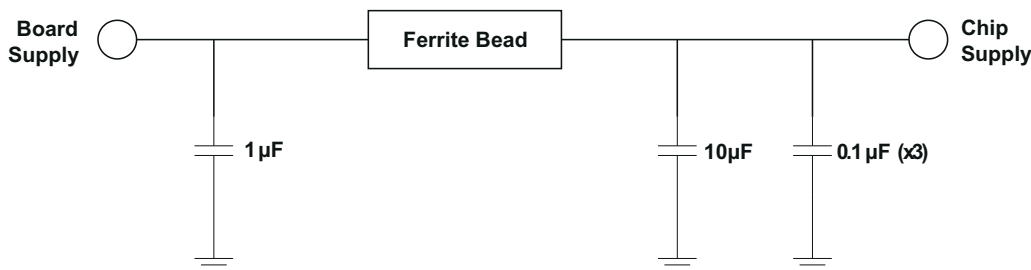


图 9-6. 电源去耦

9.4 布局

9.4.1 布局指南

出于可靠性和性能原因，必须将内核温度限制为最高 135°C。

该器件封装具有外露焊盘，为印刷电路板 (PCB) 提供了主要散热路径。为了尽可能提高封装的散热，必须在封装的尺寸内将包括接地层多个过孔的散热焊盘布局合并到 PCB 中。必须将散热焊盘焊接到下方，确保为封装提供充分的热传导。图 9-7 显示了针对 16 引脚封装 (LMK1D2102) 的建议焊盘和过孔布局。

9.4.2 布局示例

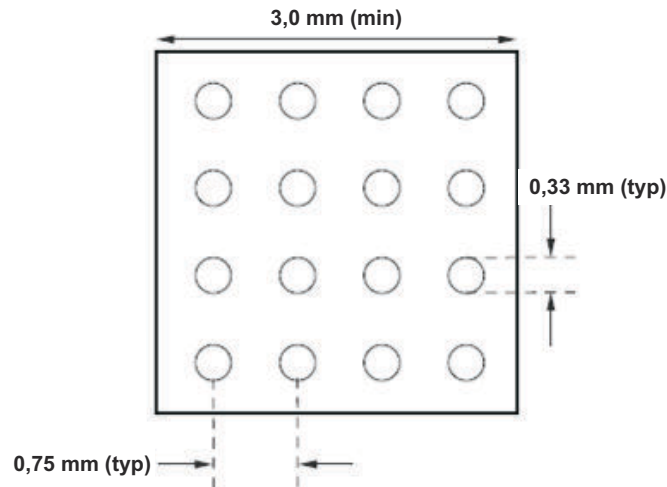


图 9-7. 建议的 PCB 布局

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- [低附加抖动四路 LVDS 输出时钟缓冲器评估板 \(SCAU043\)](#)
- [LVPECL 和 LVDS 的功耗 \(SLYT127\)](#)
- [半导体和 IC 封装热指标 \(SPRA953\)](#)
- [为模拟元件使用热计算工具 \(SLUA556\)](#)

10.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (June 2023) to Revision C (February 2026)	Page
• 在 规格 中添加了 热性能信息表	5

Changes from Revision A (February 2022) to Revision B (June 2023)	Page
• 将 器件信息表 更改为 封装信息	1
• 为 LMK1Dxxxx 缓冲器器件系列添加了 器件比较表	3
• 将 电源相关建议 和 布局 部分移到了 应用和实施 部分.....	19

Changes from Revision * (September 2021) to Revision A (February 2022)**Page**

• 向 <i>特性</i> 添加了失效防护输入要点.....	1
• 删除了 <i>引脚功能</i> 表中输出引脚上的输入说明符。.....	4
• 添加了 <i>失效防护输入</i> 部分.....	13

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK1D2102RGTR	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LD2102
LMK1D2102RGTR.B	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LD2102
LMK1D2102RGTRG4	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LD2102
LMK1D2102RGTRG4.B	Active	Production	VQFN (RGT) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LD2102
LMK1D2102RGTT	Active	Production	VQFN (RGT) 16	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	LD2102
LMK1D2102RGTT.B	Active	Production	VQFN (RGT) 16	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	LD2102
LMK1D2104RHDR	Active	Production	VQFN (RHD) 28	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	LMK1D 2104
LMK1D2104RHDR.B	Active	Production	VQFN (RHD) 28	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	LMK1D 2104
LMK1D2104RHDRG4	Active	Production	VQFN (RHD) 28	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMK1D 2104
LMK1D2104RHDRG4.B	Active	Production	VQFN (RHD) 28	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMK1D 2104
LMK1D2104RHDT	Active	Production	VQFN (RHD) 28	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	LMK1D 2104
LMK1D2104RHDT.B	Active	Production	VQFN (RHD) 28	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 105	LMK1D 2104

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMK1D2102RGTR	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK1D2102RGTRG4	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK1D2102RGTT	VQFN	RGT	16	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK1D2104RHDR	VQFN	RHD	28	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMK1D2104RHDRG4	VQFN	RHD	28	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMK1D2104RHDT	VQFN	RHD	28	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

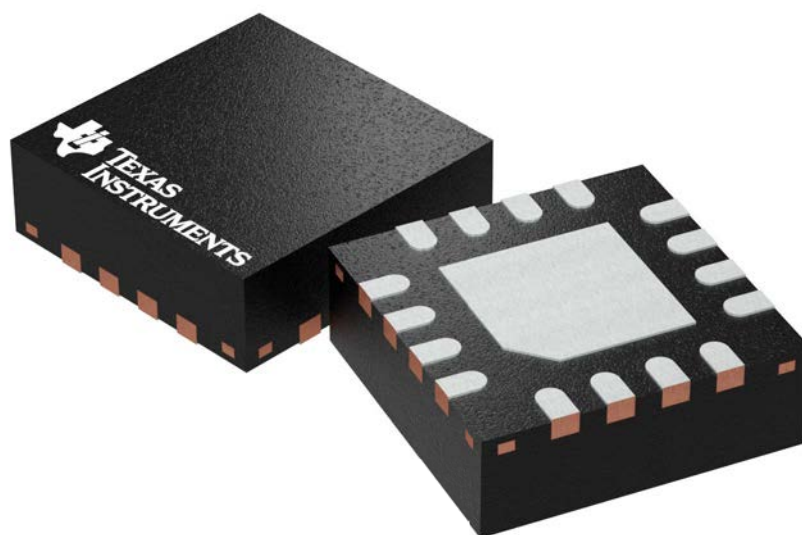
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMK1D2102RGTR	VQFN	RGT	16	3000	360.0	360.0	36.0
LMK1D2102RGTRG4	VQFN	RGT	16	3000	367.0	367.0	35.0
LMK1D2102RGTT	VQFN	RGT	16	250	210.0	185.0	35.0
LMK1D2104RHDR	VQFN	RHD	28	3000	360.0	360.0	36.0
LMK1D2104RHDRG4	VQFN	RHD	28	3000	367.0	367.0	35.0
LMK1D2104RHDT	VQFN	RHD	28	250	210.0	185.0	35.0

RGT 16

GENERIC PACKAGE VIEW

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



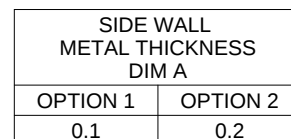
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203495/1



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4222419/E 07/2025

NOTES:

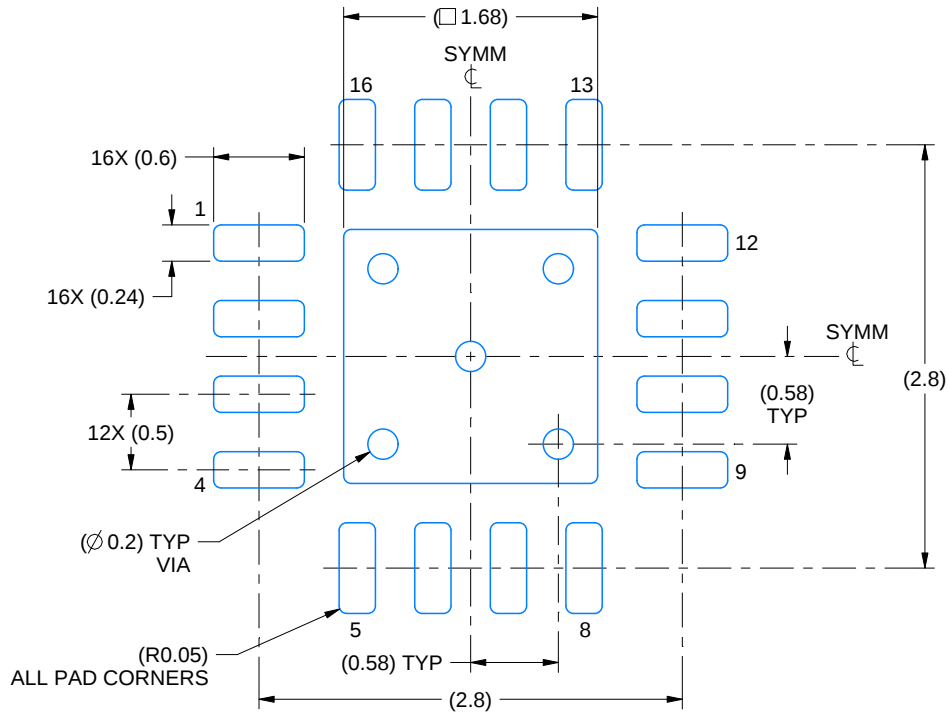
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

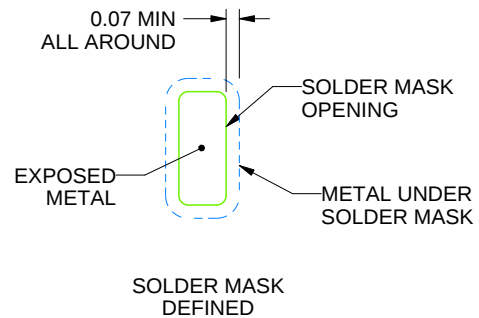
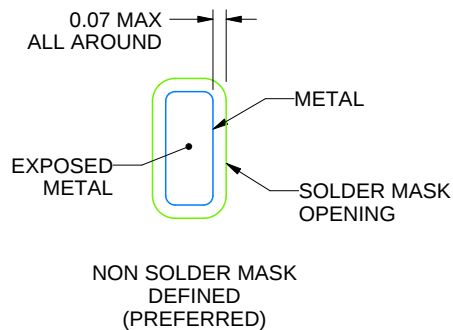
RGT0016C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4222419/E 07/2025

NOTES: (continued)

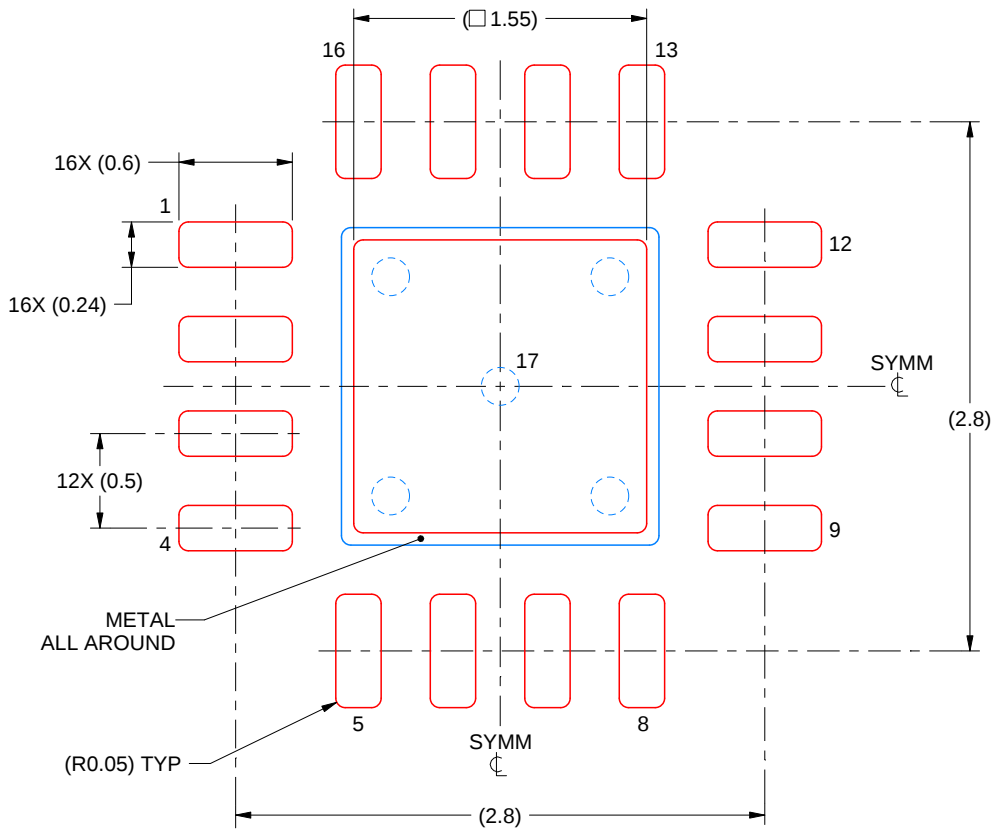
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGT0016C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4222419/E 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

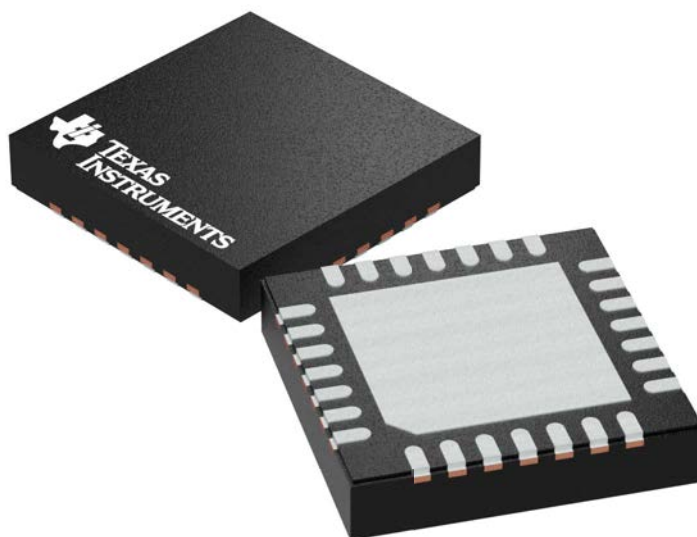
GENERIC PACKAGE VIEW

RHD 28

VQFN - 1 mm max height

5 x 5 mm, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



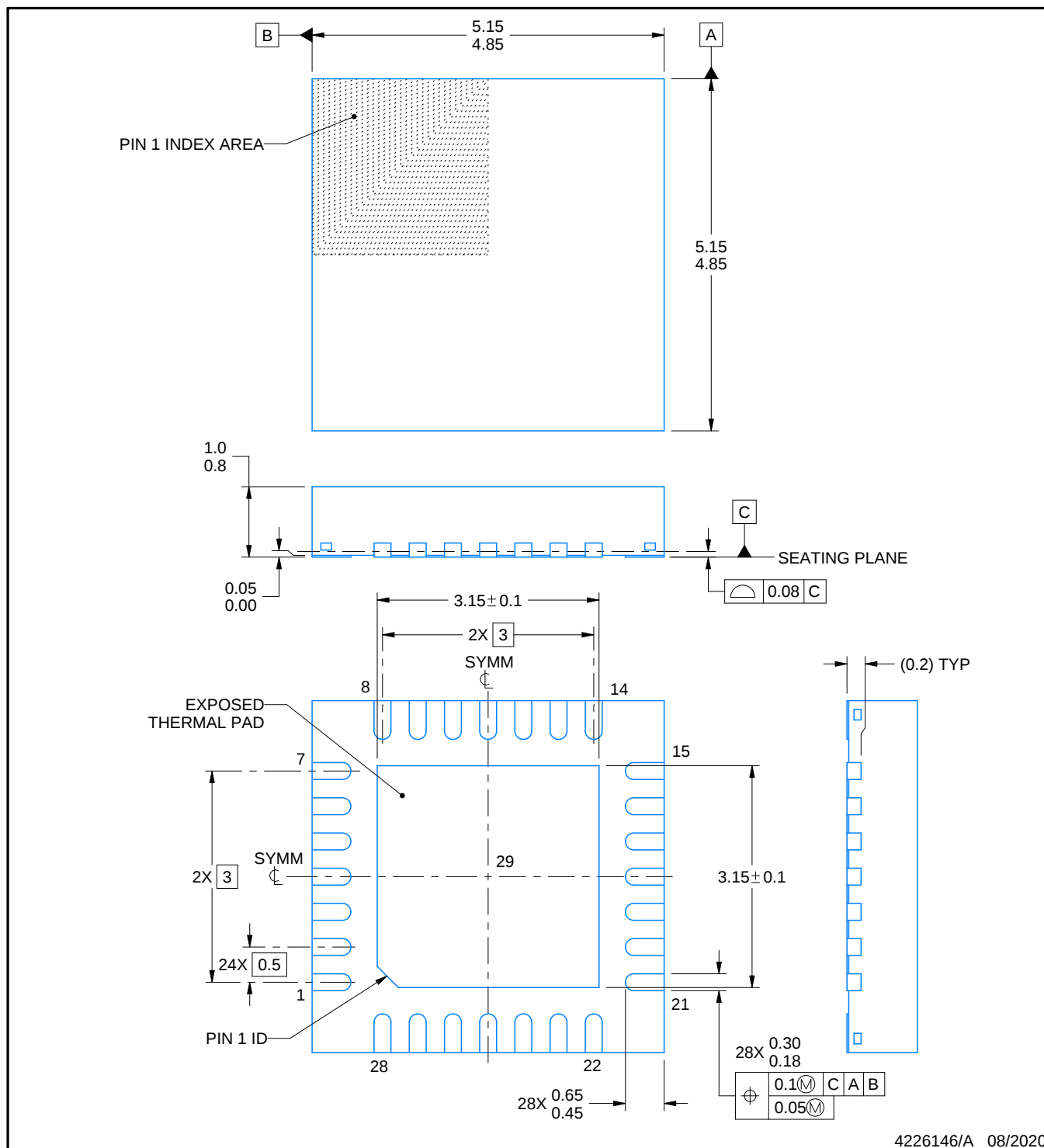
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204400/G



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



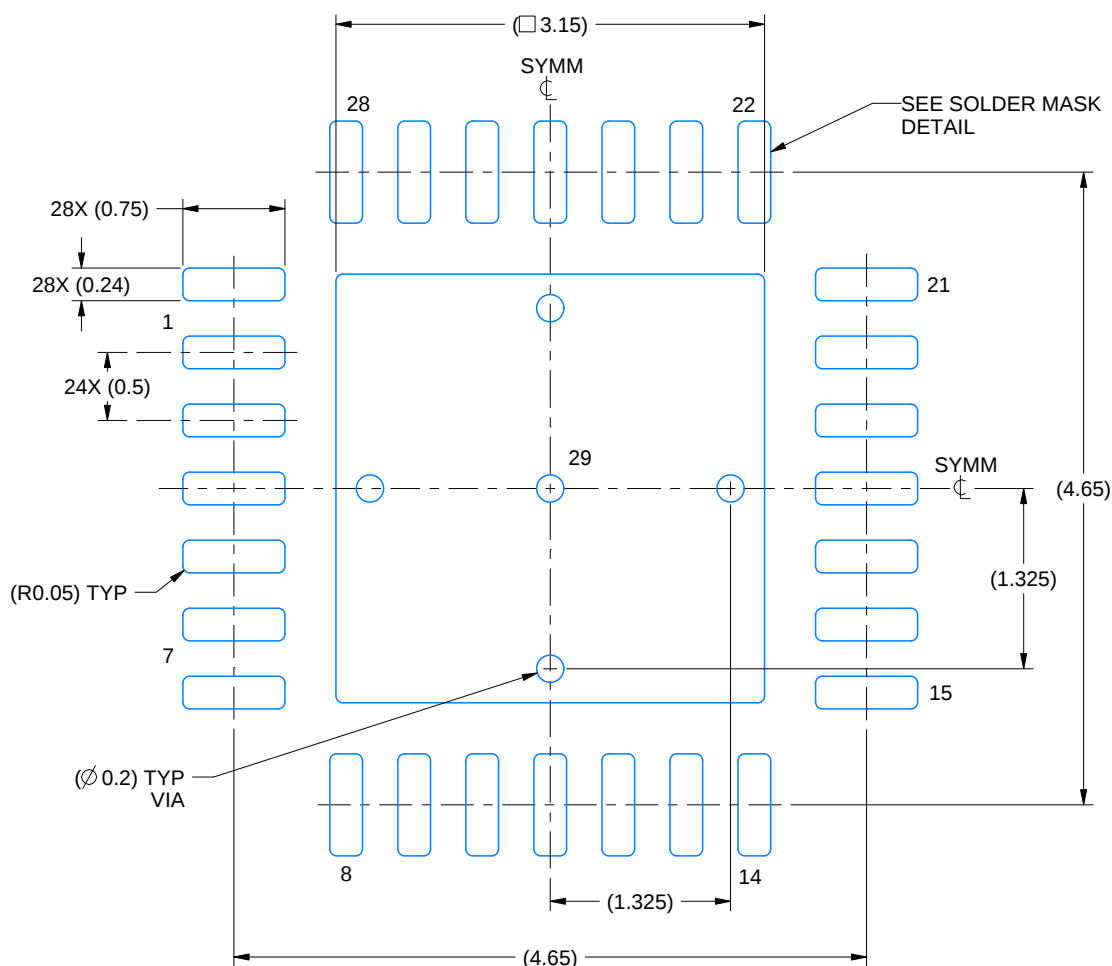
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

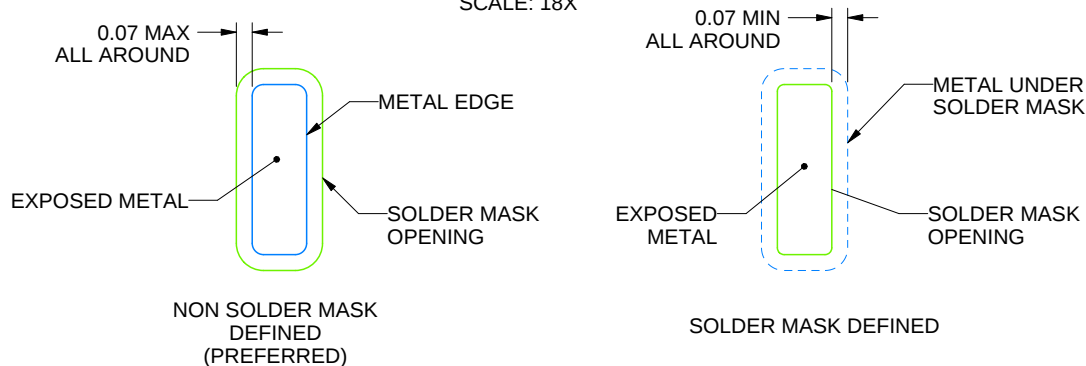
RHD0028B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 18X



SOLDER MASK DETAILS

4226146/A 08/2020

NOTES: (continued)

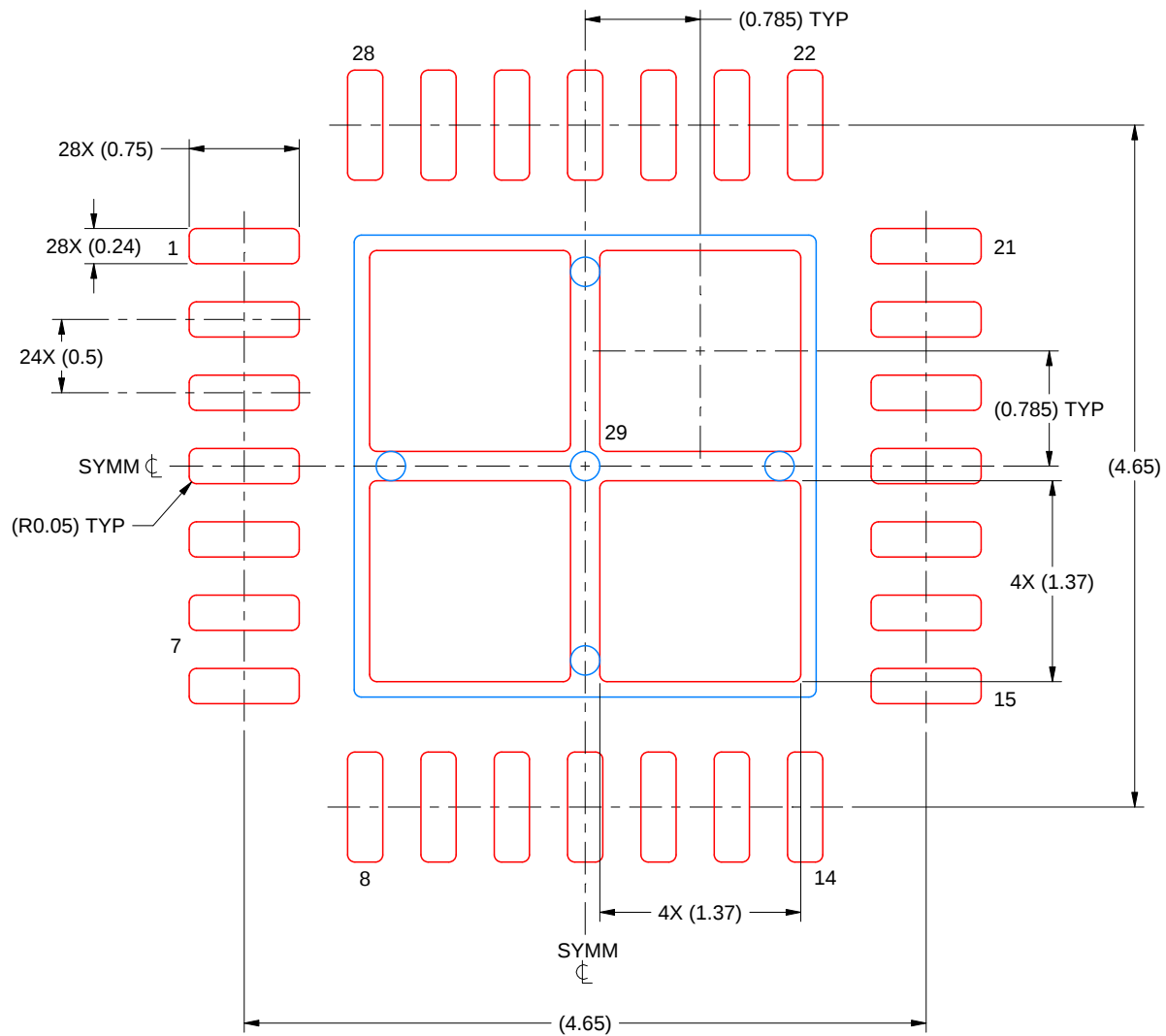
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHD0028B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 29
76% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4226146/A 08/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月