LMK04368-EP 符合 JESD204B/C 标准的超低噪声、双环路时钟抖动清除器

1 特性

- VID#:V62/23612
- 环境温度范围：-55°C 至 125°C
- 最高时钟输出频率：3255MHz
- 多模式：双 PLL、单 PLL 和时钟分配
- 6GHz 外部 VCO 或分配输入
- 超低噪声（2500MHz 时）：
  - 54fs RMS 抖动（12kHz 至 20MHz）
  - 64fs RMS 抖动（100Hz 至 20MHz）
  - –157.6dBc/Hz 本底噪声
- 超低噪声（3200MHz 时）：
  - 61fs RMS 抖动（12kHz 至 20MHz）
  - 67fs RMS 抖动（100Hz 至 100MHz）
  - –156.5dBc/Hz 本底噪声
- PLL2
  - –230dBc/Hz PLL FOM
  - –128dBc/Hz PLL 1/f
  - 相位检测器频率高达 320MHz
  - 两个集成 VCO：2440MHz 至 2600MHz 和 2945MHz 至 3255MHz
- 多达 14 个差分器件时钟
  - CML、LVPECL、LCPECL、HSDS、LVDS 和 2xLVCMOS 可编程输出
- 最多 1 个缓冲 VCXO/XO 输出
  - LVPECL、LVDS、2xLVCMOS 可编程输出
- 1-1023 CLKOUT 分频器
- 1-8191 SYSREF 分频器
- SYSREF 时钟 25ps 阶跃模拟延迟
- 器件时钟和 SYSREF 数字延迟和动态数字延迟
- PLL1 保持模式
- PLL1 或 PLL2 0 延迟
- 高可靠性
  - 受控基线
  - 一个组装/测试场所
  - 一个制造场所
  - 延长的产品生命周期
  - 延长的产品变更通知
  - 产品可追溯性

2 应用

- 军用雷达
- 电子对抗战
- 数据转换器时钟
- 无线基础设施

3 说明

LMK04368-EP 是一款适用于航天应用、支持 JEDEC JESD204B/C 的高性能时钟调节器。

PLL2 可以配置 14 个时钟输出以驱动 7 个 JESD204B/C 转换器或其他逻辑器件（使用器件和 SYSREF 时钟）。SYSREF 可以通过直流和交流耦合提供。14 个输出中的每一个输出都可以单独配置为用于传统时钟系统的高性能输出（不限于 JESD204B/C 应用）。

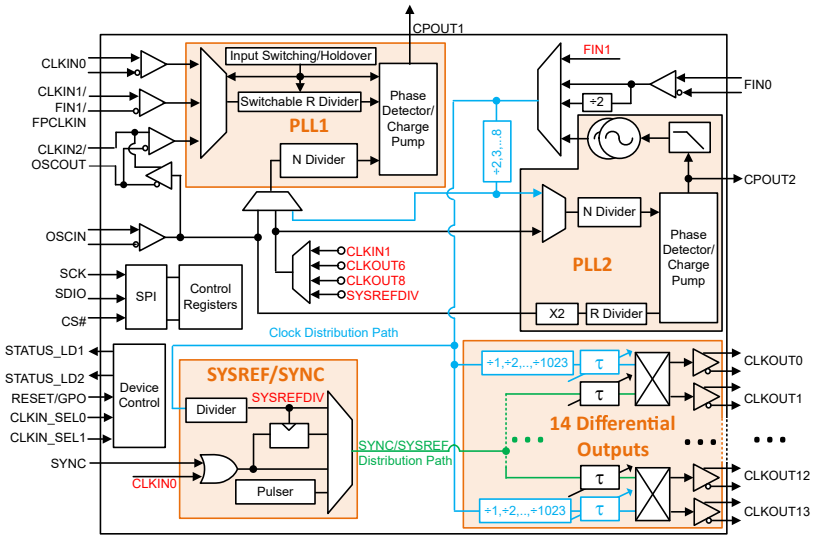
无论有无 SYSREF 生成或重新计时，该器件都可以配置为在双 PLL、单 PLL 或时钟分配模式下运行。PLL2 可以使用内部或外部 VCO 工作。

高性能与多种特性（如功耗和性能权衡调节、双 VCO、动态数字延迟和保持）相结合，可提供灵活的高性能时钟树。

封装信息

器件型号	封装(1)	封装尺寸
LMK04368-EP	HTQFP (64)	10mm × 10mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



方框图

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 引脚配置和功能.....3
6 规格.....6
6.1 绝对最大额定值.....6
6.2 ESD 等级.....6
6.3 建议运行条件.....6
6.4 热性能信息.....6
6.5 电气特性.....7
6.6 时序要求.....13
6.7 时序图.....13
6.8 典型特性.....14
7 参数测量信息.....15
7.1 电荷泵电流规格定义.....15
7.2 差分电压测量术语.....16
8 详细说明.....17
8.1 概述.....17
8.2 功能方框图.....22
8.3 特性说明.....25
8.4 器件功能模式.....37
8.5 编程.....40
8.6 寄存器映射.....41
9 应用和实施.....87
9.1 应用信息.....87
9.2 典型应用.....94
9.3 系统示例.....96
9.4 电源相关建议.....98
9.5 布局.....99
10 器件和文档支持.....102
10.1 器件支持.....102
10.2 文档支持.....102
10.3 接收文档更新通知.....102
10.4 支持资源.....102
10.5 商标.....102
10.6 静电放电警告.....102
10.7 术语表.....102
11 机械、封装和可订购信息.....103

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
May 2023	*	初始发行版

Copyright © 2023 Texas Instruments Incorporated

5 引脚配置和功能

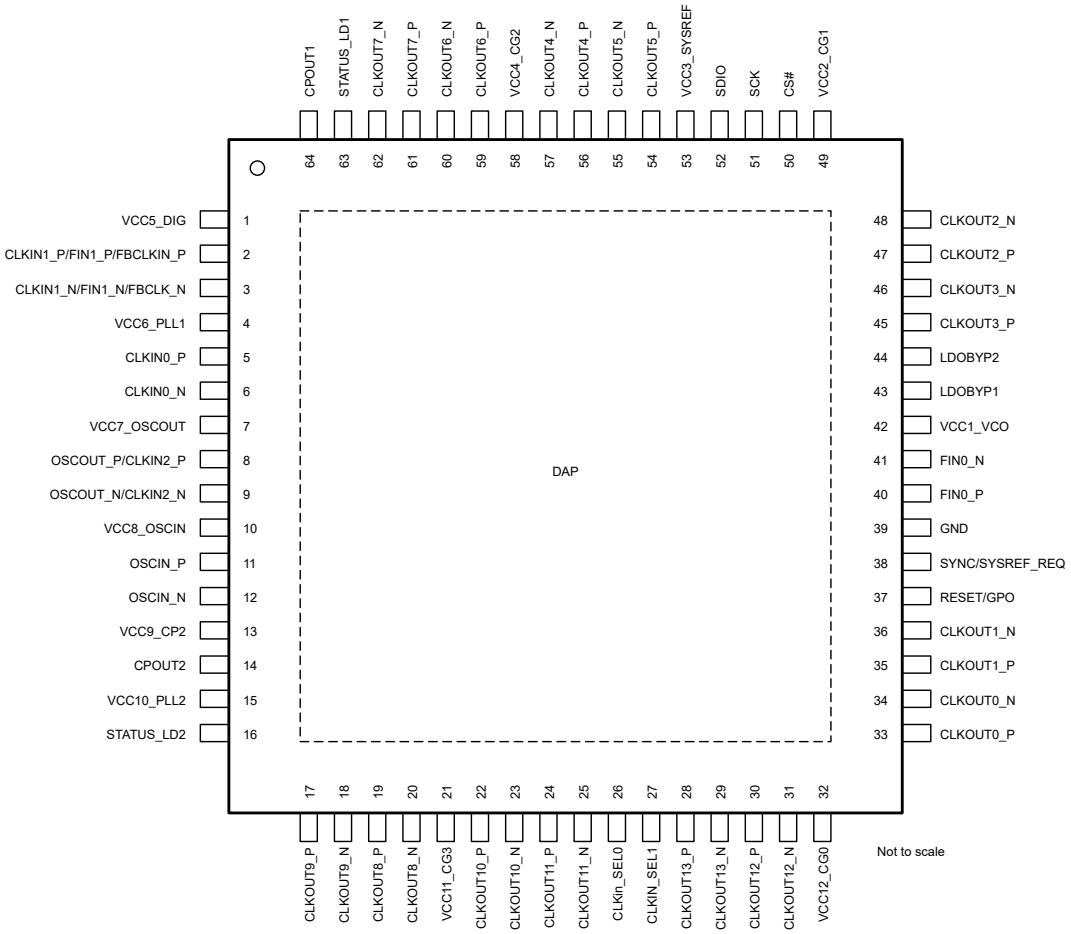


图 5-1. PAP 封装 64 引脚 HTQFP 顶视图

表 5-1. 引脚功能

引脚		I/O	类型	说明
编号	名称			
1	VCC5_DIG	-	PWR	数字电路的电源。
2	CLKIN1_P/ FIN1_P/ FBCLKIN_P	I	ANLG	CLKIN1_P：PLL1 的参考时钟输入端口 1。FIN1_P：外部 VCO 输入或时钟分配输入。FBCLKIN_P：外部时钟反馈输入的反馈输入（0 延迟模式）。

Copyright © 2023 Texas Instruments Incorporated

表 5-1. 引脚功能 (continued)

引脚		I/O	类型	说明
编号	名称			
3	CLKIN1_N	I	ANLG	PLL1 的参考时钟输入端口 1。
	FIN1_N			外部 VCO 输入或时钟分配输入。
	FBCLK_N			外部时钟反馈输入的反馈输入（0 延迟模式）。
4	VCC6_PLL1	-	PWR	PLL1 的电源、电荷泵 1、保持 DAC
5	CLKIN0_P	I	ANLG	PLL1 的参考时钟输入端口 0。
6	CLKIN0_N			
7	VCC7_OSCOUT	-	PWR	OSCOUT 引脚的电源。
8	OSCOUT_P	I/O	可编程	OSCIN 引脚的缓冲输出
	CLKIN2_P			PLL1 的参考时钟输入端口 2。
9	OSCOUT_N	I/O	可编程	OSCIN 引脚的缓冲输出
	CLKIN2_N			PLL1 的参考时钟输入端口 2。
10	VCC8_OSCIN	-	PWR	OSCIN 电源
11	OSCIN_P	I	ANLG	PLL1 的反馈和 PLL2 的基准输入。交流耦合。
12	OSCIN_N			
13	VCC9_CP2	-	PWR	PLL2 电荷泵的电源。
14	CPOUT2	O	ANLG	电荷泵 2 输出。
15	VCC10_PLL2	-	PWR	PLL2 的电源。
16	STATUS_LD2	I/O	可编程	可编程状态引脚。
17	CLKOUT9_P	O	可编程	时钟输出 9。对于 JESD204B/C 系统，建议使用 SYSREF 时钟。(1)可编程格式：CML、LVPECL、LCPECL、LVDS 或 2xLVCMOS。
18	CLKOUT9_N			
19	CLKOUT8_P	O	可编程	时钟输出 8。对于 JESD204B/C 系统，建议使用器件时钟。(1)可编程格式：CML、LVPECL、LCPECL、LVDS 或 2xLVCMOS。
20	CLKOUT8_N			
21	VCC11_CG3	-	PWR	时钟输出 8、9、10 和 11 的电源。
22	CLKOUT10_P	O	可编程	时钟输出 10。对于 JESD204B/C 系统，建议使用器件时钟。(1)可编程格式：CML、LVPECL、LCPECL、LVDS 或 2xLVCMOS。
23	CLKOUT10_N			
24	CLKOUT11_P	O	可编程	时钟输出 11。对于 JESD204B/C 系统，建议使用 SYSREF 时钟。(1)可编程格式：CML、LVPECL、LCPECL、LVDS 或 2xLVCMOS。
25	CLKOUT11_N			
26	CLKIN_SEL0	I/O	可编程	可编程状态引脚。
27	CLKIN_SEL1	I/O	可编程	可编程状态引脚。
28	CLKOUT13_P	O	可编程	时钟输出 13。对于 JESD204B/C 系统，建议使用 SYSREF 时钟。(1)可编程格式：CML、LVPECL、LCPECL、LVDS 或 2xLVCMOS。
29	CLKOUT13_N			
30	CLKOUT12_P	O	可编程	时钟输出 12。对于 JESD204B/C 系统，建议使用器件时钟。(1)可编程格式：CML、LVPECL、LCPECL 或 LVDS。
31	CLKOUT12_N			
32	VCC12_CG0	-	PWR	时钟输出 0、1、12 和 13 的电源。
33	CLKOUT0_P	O	可编程	时钟输出 0。对于 JESD204B/C 系统，建议使用器件时钟。(1)可编程格式：CML、LVPECL、LCPECL 或 LVDS。
34	CLKOUT0_N			
35	CLKOUT1_P	O	可编程	时钟输出 1。对于 JESD204B/C 系统，建议使用 SYSREF 时钟。可编程格式：CML、LVPECL、LCPECL、LVDS 或 2xLVCMOS。
36	CLKOUT1_N			
37	RESET/GPO	I	CMOS	器件复位输入或 GPO
38	SYNC/ SYSREF_REQ	I	CMOS	用于请求连续 SYSREF 的同步输入或 SYSREF_REQ。
39	GND	-	GND	该引脚应接地。

Copyright © 2023 Texas Instruments Incorporated

表 5-1. 引脚功能 (continued)

引脚		I/O	类型	说明
编号	名称			
40	FIN0_P	I	ANLG	用于外部 VCO 或时钟分配的高速输入。对于大于 3250MHz 的频率，支持 /2。
41	FIN0_N			
42	VCC1_VCO	-	PWR	用于 VCO 和时钟分配的电源。
43	LDOBYP1	-	ANLG	LDO 旁路，通过 10µF 电容器旁路至接地。
44	LDOBYP2	-	ANLG	LDO 旁路，通过 0.1µF 电容器旁路至接地。
45	CLKOUT3_P	O	可编程	时钟输出 3。对于 JESD204B/C 系统，建议使用 SYSREF 时钟。(1)可编程格式：CML、LVPECL、LCPECL、LVDS 或 2xLVCMOS。
46	CLKOUT3_N			
47	CLKOUT2_P	O	可编程	时钟输出 2。对于 JESD204B/C 系统，建议使用器件时钟。可编程格式：CML、LVPECL、LCPECL 或 LVDS。
48	CLKOUT2_N			
49	VCC2_CG1	-	PWR	时钟输出 2 和 3 的电源。
50	CS#	I	CMOS	片选
51	SCK	I	CMOS	SPI 时钟
52	SDIO	I/O	CMOS	SPI 数据
53	VCC3_SYSREF	-	PWR	SYSREF 分频器和 SYNC 的电源。
54	CLKOUT5_P	O	可编程	时钟输出 5。对于 JESD204B/C 系统，建议使用 SYSREF 时钟。(1)可编程格式：CML、LVPECL、LCPECL、LVDS 或 2xLVCMOS。
55	CLKOUT5_N			
56	CLKOUT4_P	O	可编程	时钟输出 4。对于 JESD204B/C 系统，建议使用器件时钟。(1)可编程格式：CML、LVPECL、LCPECL 或 LVDS。
57	CLKOUT4_N			
58	VCC4_CG2	-	PWR	时钟输出 4、5、6 和 7 的电源。
59	CLKOUT6_P	O	可编程	时钟输出 6。对于 JESD204B/C 系统，建议使用器件时钟。(1)可编程格式：CML、LVPECL、LCPECL 或 LVDS。
60	CLKOUT6_N			
61	CLKOUT7_P	O	可编程	时钟输出 7。对于 JESD204B/C 系统，建议使用 SYSREF 时钟。(1)可编程格式：CML、LVPECL、LCPECL、LVDS 或 2xLVCMOS。
62	CLKOUT7_N			
63	STATUS_LD1	I/O	可编程	可编程状态引脚。
64	CPOUT1	O	ANLG	电荷泵 1 输出。
DAP	DAP	-	GND	裸片连接焊盘，连接至 GND。

(1) 器件时钟和 SYSREF 的实际理想分配取决于对常用频率进行分组的频率规划。

Copyright © 2023 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

符号	参数	最小值	最大值	单位
V_{DD}、V_{DD_A}	电源电压	-0.3	3.6	V
V_{IN}	输入电压	– 0.3	V_{DD} + 0.3	V
I_{IN}	差分输入电流（CLKIN_P/N、OSCIN_P/N、FIN0_P/N、FIN1_P/N）		5	mA
T_J	结温		150	°C
T_{stg}	贮存温度	– 65	150	°C

(1) 超出*绝对最大额定值*下列出的压力可能会对器件造成损坏。这些仅是压力额定值，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

符号	参数	条件	值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚(1)	±2000	V
		充电器件模式（CDM），符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±250	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在外壳温度范围内（除非另有说明）

符号	参数	最小值	标称值	最大值	单位
V_{DD}	IO 电源电压	3.135	3.3	3.465	V
V_{DD_A}	内核电源电压	3.135	3.3	3.465	V
T_A	环境温度	– 55		125	°C

6.4 热性能信息

符号	热指标(1)	值	单位
$R_{\theta JA}$	结至环境热阻	21.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	8.3	°C/W
$R_{\theta JB}$	结至电路板热阻	6.9	°C/W
Ψ_{JT}	结至顶部特征参数	0.1	°C/W
Ψ_{JB}	结至电路板特征参数	6.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2023 Texas Instruments Incorporated

6.5 电气特性

VDD，VDD_A = 3.3V ± 5%，–55°C ≤T_A ≤ 125°C。典型值是 VDD = VDD_A = 3.3V、25°C 条件下的值（除非另有说明）

符号	参数	测试条件		最小值	典型值	最大值	单位
电流消耗							
I_{CC}	关断电源电流	器件断电			3.3	5	mA
	电源电流(1)	PLL1 锁定到外部 VCXO，PLL2 锁定到内部 VCO	旁路中 4 个 CML 32mA 时钟 3 个 LVDS 时钟/12 4 个 SYSREF 作为 LCPECL 3 个 SYSREF 作为 LVDS		980		
			旁路中 4 个 CML 32mA 时钟 3 个 LVDS 时钟/12 4 个 SYSREF 作为 LCPECL（低电平状态） 3 个 SYSREF 作为 LVDS（低电平状态）		850		
			旁路中 4 个 CML 32mA 时钟 3 个 LVDS 时钟/12 7 个 SYSREF 输出断电		700		
CLKIN 规格							
f_{CLKINx}	LOS 电路	LOS_EN = 1		0.001		125	MHz
	PLL1	CLKinX-TYPE=1(MOS)	交流耦合输入	0.001		250	
		CLKinX-TYPE=0（双极）	交流耦合输入	0.001		750	
	PLL2	CLKinX_TYPE=0（双极）	交流耦合输入	0.001		500	
	0 延迟	带外部反馈的 0 延迟 (CLKIN1)	交流耦合输入	0.001		750	
	分配模式	仅 CLKIN1/FIN1 引脚	交流耦合输入	0.001		3250	
$SLEW_{CLKIN}$	输入压摆率(2)			0.15	0.5		V/ns
$V_{CLKINx/FIN1}$	单端时钟输入电压	输入引脚交流耦合；互补引脚交流耦合至 GND		0.5		2.4	Vpp
V_{ID}CLKINx/FIN1	差分时钟输入电压(3)	交流耦合		0.125		1.55	|V|
V_{SS}CLKINx/FIN1				0.25		3.1	Vpp
|V_{CLKINx}-offset|	CLKINx_P /CLKINx_N 之间的直流失调电压。每个引脚交流耦合	CLKIN0/1/2（双极）			0		|mV|
		CLKIN0/1 (MOS)			55		
		CLKIN2 (MOS)			20		
V_{CLKIN}VIH	高输入电压	V_{CLKIN}-V_{IH}	直流耦合输入	2		Vcc	V
V_{CLKIN}VIL	低输入电压	V_{CLKIN}-V_{IL}	直流耦合输入	0		0.4	V
FIN0 输入引脚							
f_{FIN0}	外部输入频率	交流耦合压摆率 > 150V/us	FIN0_DIV2_EN=1	1		3250	MHz
f_{FIN0}			FIN0_DIV2_EN=2	1		6400	MHz
V_{ID}FIN0	差分输入电压	交流耦合		0.125		1.55	Vpp
V_{SS}FIN0				0.25		3.1	Vpp

Copyright © 2023 Texas Instruments Incorporated

VDD，VDD_A = 3.3V ± 5%，–55°C ≤T_A ≤ 125°C。典型值是 VDD = VDD_A = 3.3V、25°C 条件下的值（除非另有说明）

符号	参数	测试条件		最小值	典型值	最大值	单位
PLL 1 规格							
f_{PD1}	相位检测器频率					40	MHz
PN10kHz	PLL 归一化 1/f 噪声(4)	PLL1_CP_GAIN = 350µA			-117		dBc/Hz
		PLL1_CP_GAIN = 1550µA			-118		
PN FOM	PLL 品质因数(5)	PLL1_CP_GAIN = 350µA			-221.5		
		PLL1_CP_GAIN = 1550µA			-223		
I_{CPOUT1}	电荷泵电流(6)	VCPout=Vcc/2	PLL1_CP_GAIN=0		50		µA
			PLL1_CP_GAIN=1		150		
			PLL1_CP_GAIN=2		250		
			PLL1_CP_GAIN=4		450		
			PLL1_CP_GAIN=8		850		
I_{CPOUT1}%MIS	电荷泵灌电流/拉电流不匹配	V_{CPout1} = Vcc/2，T = 25°C	V_{CPout1} = Vcc/2，T = 25°C		1	10	%
$I_{CPOUT1}V_{TUNE}$	电荷泵电流变化幅度与电荷泵电压间的关系	0.5V < V_{CPout1} < V_{CC} - 0.5V T_A = 25°C	0.5V < V_{CPout1} < V_{CC} - 0.5V T_A = 25°C		1	10	%
I_{CPOUT1}%TEMP	电荷泵电流与温度变化间的关系				2	10	%
I_{CPOUT1}TRI	电荷泵 TRI_STATE 漏电流					10	nA
OSCIN 输入							
f_{OSCIN}	EN_PLL2_REF_2X=0			0.001		500	MHz
	EN_PLL2_REF_2X=1			0.001		320	
$SLEW_{OSCIN}$	输入压摆率			0.15	0.5		V/ns
V_{OSCIN}	OSCIN_P 或 OSCIN_N 的输入电压	交流耦合；单端；未使用的引脚交流耦合至 GND		0.2		2.4	Vpp
V_{ID}OSCIN	差分电压摆幅(3)	交流耦合		0.2		1.55	|V|
V_{SS}OSCIN				0.4		3.1	Vpp
V_{CLKINx}Offset	CLKINx_P/CLKINx_N 之间的直流失调电压。每个引脚交流耦合				20		mV
PLL 2 规格							
f_{PD}	相位检测器频率					320	MHz
PN10kHz	PLL 归一化 1/f 噪声(4)	PLL2_CP_GAIN = 1600uA			-123		dBc/Hz
		PLL2_CP_GAIN = 3200uA			–128		
PN FOM	PLL 品质因数(5)	PLL2_CP_GAIN = 1600uA			-226.5		
		PLL2_CP_GAIN = 3200uA			-230		
I_{CPOUT}	电荷泵电流大小(6)	V_{CPOUT}=Vcc/2	PLL2_CP_GAIN=2		1600		µA
			PLL2_CP_GAIN=3		3200		
I_{CPOUT1}%MIS	电荷泵灌电流/拉电流不匹配	V_{CPOUT} = Vcc/2，T = 25°C	V_{CPOUT1} = Vcc/2，T = 25°C		1	10	%
$I_{CPout1}V_{TUNE}$	电荷泵电流变化幅度与电荷泵电压间的关系	0.5V < V_{CPOUT1} < V_{CC} - 0.5V T_A = 25°C	0.5V < V_{CPOUT1} < V_{CC} - 0.5V T_A = 25°C		2	10	%
I_{CPOUT}%TEMP	电荷泵电流与温度变化间的关系				3	10	%
I_{CPOUT1}TRI	电荷泵 TRI_STATE 漏电流					10	nA

Copyright © 2023 Texas Instruments Incorporated

VDD，VDD_A = 3.3V ± 5%，–55°C ≤T_A ≤ 125°C。典型值是 VDD = VDD_A = 3.3V、25°C 条件下的值（除非另有说明）

符号	参数	测试条件		最小值	典型值	最大值	单位
内部 VCO 规格							
f_{VCO}	VCO 频率范围		VCO0	2440		2600	MHz
			VCO1	2945		3255	
K_{VCO}	VCO 调优灵敏度		VCO0		13		MHz/V
			VCO1		26		
$\lvert\Delta T_{CL}\rvert$	连续锁定的容许温漂(7)		VCO0			150	°C
	连续锁定的容许温漂(7)		VCO1			180	°C
L(f)VCO	开环 VCO 相位噪声	2440 MHz 时的 VCO0	10kHz		-88.4		dBc/Hz
			100 kHz		-117		
			800kHz		-137.5		
			1MHz		-139.7		
			10MHz		-152.6		
		2580 MHz 时的 VCO0	10kHz		-85.7		
			100kHz		-115.8		
			800kHz		-137		
			1MHz		-138.6		
			10MHz		-151.8		
L(f)VCO	开环 VCO 相位噪声	2945 MHz 时的 VCO1	10kHz		-82.6		dBc/Hz
			100 kHz		-112.3		
			800kHz		-134.9		
			1MHz		-137.2		
			10MHz		-151.1		
		3250 MHz 时的 VCO1	10kHz		–81		
			100kHz		-110.4		
			800kHz		-134.3		
			1MHz		-135.6		
			10MHz		-149.3		
输出时钟延迟和时序							
$SKEW_{CLKOUTX}$	输出到输出延迟	相同的器件时钟对和相同的格式			35		ps
		偶数到偶数或奇数到奇数，相同格式			15		
		偶数时钟到奇数时钟			35		
FIN 引脚在分配模式下的附加抖动（注 6）							
$L(f)_{CLKOUT}$	附加抖动，无分频的分配模式	245.76MHz 输出频率，12kHz 至 20MHz 集成带宽	LVCMOS		50		fs
			LVDS		50		
			LVPECL		40		
			LCPECL		35		
			HSDS		40		
			CML		35		

Copyright © 2023 Texas Instruments Incorporated

VDD，VDD_A = 3.3V ± 5%，–55°C ≤T_A ≤ 125°C。典型值是 VDD = VDD_A = 3.3V、25°C 条件下的值（除非另有说明）

符号	参数	测试条件		最小值	典型值	最大值	单位
LVCMOS 输出							
f_{CLKOUT}	频率		5pF 负载			250	MHz
$L(f)_{CLKOUT}$	本底噪声	245.76 MHz	20MHz 偏移		–160		dBc/Hz
V_{OH}	输出高电压	1mA 负载		Vcc – 0.1			V
V_{OL}	输出低电压	1mA 负载				0.1	V
I_{OH}	输出高电流	FD=1.65V			-28		mA
I_{OL}	输出低电流	Vd=1.65V			28		mA
ODC	输出占空比				50		%
LVDS 时钟输出							
$L(f)_{CLKOUT}$	本底噪声	245.76MHz 输出	20MHz 偏移		-159.5		dBc/Hz
T_R/T_F	20% 至 80% 上升/下降时间，f_{OUT}≥1GHz				175		ps
V_{OD}	差分输出电压	直流测量，交流耦合到接收器输入 R_L = 100Ω 差分			350		mV
ΔV_{OD}	针对互补输出状态的 V_{OD} 变化			-60		60	mV
V_{OS}	输出失调电压			1.125	1.25	1.375	V
ΔV_{OS}	针对互补输出状态的 VOS 变化					35	mV
I_{SHORT}	短路输出电流			–24		24	mA
LCPECL 时钟输出							
$L(f)_{CLKOUT}$	本底噪声	245.76MHz 输出	20MHz 偏移		-162.5		dBc/Hz
T_R/T_F	20% 至 80% 上升/下降时间	f_{OUT} ≥ 1GHz			135		ps
V_{OH}	输出高电压	50Ω 至 0.5V 的直流测量			1.4		V
V_{OL}	输出低电压				0.6		V
V_{OD}	差分输出电压	50Ω 至 0.5V 的直流测量			870		mV
LVPECL 时钟输出							
$L(f)_{CLKOUT}$	本底噪声	245.76MHz 输出，LVPECL 2.0V	20MHz 偏移		-163		dBc/Hz
T_R/T_F	20% 至 80% 上升/下降时间	f_{OUT} ≥ 1GHz			135		ps
V_{OH}	输出高电压	直流测量端接 50Ω 至 Vcc-2V	LVPECL 1.6V		Vcc – 1		V
			LVPECL 2.0V		Vcc – 1.1		
V_{OL}	输出低电压		LVPECL 1.6V		Vcc – 1.8		V
			LVPECL 2.0V		Vcc – 2		
V_{OD}	差分输出电压	2.5GHz，Em = 120Ω 至 GND，R_L = 交流耦合 100Ω	LVPECL 1.6V		0.7		V
			LVPECL 2.0V		0.9		
HSDS 时钟输出							
$L(f)_{CLKOUT}$	本底噪声	245.76MHz 输出	20MHz 偏移		–162		dBc/Hz
T_R/T_F	20% 至 80% 上升/下降时间	f_{OUT} ≥ 1GHz			170		ps

Copyright © 2023 Texas Instruments Incorporated

VDD，VDD_A = 3.3V ± 5%，–55°C ≤T_A ≤ 125°C。典型值是 VDD = VDD_A = 3.3V、25°C 条件下的值（除非另有说明）

符号	参数	测试条件		最小值	典型值	最大值	单位
V_{OH}	输出高电压	50Ω 至 0.5V 的直流测量	HSDS 6mA		Vcc – 0.9		V
			HSDS 8mA		Vcc – 1.0		
V_{OL}	输出低电压		HSDS 6mA		Vcc – 1.5		V
			HSDS 8mA		Vcc – 1.7		
V_{OD}	输出电压	50Ω 至 0.5V 的直流测量	HSDS 6mA		0.5		V
			HSDS 8mA		0.75		
ΔV_{OD}	针对互补输出状态的 VOS 变化		HSDS 6mA	-80		80	mV
			HSDS 8mA	–115		115	

Copyright © 2023 Texas Instruments Incorporated

VDD，VDD_A = 3.3V ± 5%，–55°C ≤T_A ≤ 125°C。典型值是 VDD = VDD_A = 3.3V、25°C 条件下的值（除非另有说明）

符号	参数	测试条件		最小值	典型值	最大值	单位
CML 输出							
$L(f)_{CLKOUT}$	本底噪声	20MHz 偏移			-163		dBc/Hz
T_R/T_F	20% 至 80% 上升/下降时间	f_{OUT} ≥ 1.5GHz	CML 16mA		140		ps
			CML 24mA		140		
			CML 32mA		140		
V_{OH}	输出高电压	50Ω 上拉至 Vcc，直流测量			Vcc-0.1		V
V_{OL}	输出低电压	50Ω 上拉至 Vcc，直流测量	CML 16mA		Vcc – 0.8		V
			CML 24mA		Vcc – 1.1		
			CML 32mA		Vcc – 1.4		
V_{OD}	输出电压	50Ω 上拉至 Vcc，直流测量	CML 16mA		680		mV
			CML 24mA		1000		
			CML 32mA		1300		
		50Ω 上拉至 Vcc，直流测量，R_L = 交流耦合 100Ω，250MHz	CML 16mA		550		mV
			CML 24mA		815		
			CML 32mA		1070		
数字输出（CLKin_SELX、STATUS_LDX 和 RESET/GPO、SDIO）							
V_{OH}	输出高电压			Vcc – 0.4			V
V_{OL}	输出低电压					0.4	V
数字输入							
V_{IH}	高电平输入电压			1.2			V
V_{IL}	低电平输入电压					0.5	V
I_{IH}	高电平输入电流	RESET/GPO、SYNC、SCK、SDIO、CS#				80	uA
		SYNC	$V_{IH} = V_{CC}$			25	
I_{IL}	低电平输入电流	CLKINX_SEL、RESET/GPO、SYNC、SCK、SDIO、CS#		-5		5	uA
I_{IL}	低电平输入电流	SYNC	V_{IL} = 0V	-5		5	

(1) 使用 TICS Pro 工具计算特定配置的 Icc
(2) 器件将以低至 0.15V/ns 的压摆率运行，但建议使用 0.5V/ns 或更高的压摆率，以获得出色的相位噪声性能。
(3) 有关 VID 和 VOD 电压的定义，请参阅“差分电压测量术语”。
(4) 归一化 PLL 1/f 噪声是 PLL 带内相位噪声建模的规格，它接近载波并且具有典型的 10dB/十倍频程斜率。PN10kHz 归一化为 10kHz 偏移和 1GHz 载波频率。PN10kHz = LPLL_flicker(10kHz) - 20 log(f_{OUT}/ 1GHz)，其中 LPLL_flicker(f) 是仅闪烁噪声对总噪声 L(f) 影响的单边带相位噪声。要测量 LPLL_flicker(f)，务必具有接近载波的 10dB/十倍频程斜率。高比较频率和干净的晶体对于将此噪声源与总相位噪声 L(f) 隔离非常重要。如果使用低功耗或高噪声源，则基准振荡器性能可以屏蔽 LPLL_flicker(f)。总 PLL 带内相位噪声性能是 LPLL_flicker(f) 和 LPLL_flat(f) 的总和
(5) PLL 品质因数是一种标准化指标，用于量化带内相位噪声的平坦部分。它的计算公式为 PN_FOM = LPLL_flat(f) - 20 log(N) - 10 log(f_{PDX})。LPLL_flat(f) 是在 1Hz 带宽内以偏移频率 f 测量的单边带相位噪声，f_{PDX} 是合成器的相位检测器频率。LPLL_flat(f) 会影响总噪声 L(f)。该指标是使用 CLKIN 输入测量的。如果使用 OSCin 输入，指标大约差 2dB。
(6) 该参数可编程为比电气规格中所示状态更多的状态
(7) 连续锁定的最大容许温漂是指在器件仍保持锁定状态的情况下，温度可以从上次使用 PLL2_FCAL_DIS = 0 编程 0x168 寄存器时的值向任一方向漂移的距离。即使将 0x168 寄存器编程为相同的值，也会激活频率校准例程。这意味着该器件将在整个频率范围内工作，但如果温漂大于连续锁定的最大容许温漂，则需要重新加载相应的寄存器以确保其保持锁定状态。该参数是间接测试的。

Copyright © 2023 Texas Instruments Incorporated

6.6 时序要求

VDD，VDD_A = 3.3V ± 5%，–55°C ≤ TA ≤ 125°C。典型值是 VDD = VDD_A = 3.3V、25°C 条件下的值（除非另有说明）

符号	参数	最小值	标称值	最大值	单位
时序要求					
td_S	SDI 边沿到 SCK 上升沿的设置时间	40			ns
td_H	SDI 边沿到 SCK 上升沿的保持时间	20			ns
t_{SCK}	SCK 周期	400			ns
t_{HIGH}	SCK 的高宽度	120			ns
t_{LOW}	SCK 的低宽度	120			ns
t_{CS}	CS# 下降沿到 SCK 上升沿的建立时间	40			ns
t_{CH}	从 SCK 上升沿到 CS# 上升沿的保持时间	40			ns
t_{DV}	SCK 下降沿到有效读回数据			120	ns

6.7 时序图

SDIO 引脚上的寄存器编程信息在 SCK 信号的每个上升沿输入到移位寄存器中。在 CS# 信号的上升沿，移位寄存器中的寄存器编程信息发送到已寻址的寄存器。建议为这些信号使用至少为 30V/µs 的压摆率。编程完成后，CS# 信号应恢复到高电平状态。如果在 VCO 锁定时切换了 SCK 或 SDIO 线路，由于这些线路有时会与其他部分共享，所以可能会导致在这个编程期间相位噪声降低。

4 线模式读回具有与 SDIO 引脚相同的时序。

R/W 位 = 0 表示 SPI 写入。R/W 位 = 1 表示 SPI 读取。

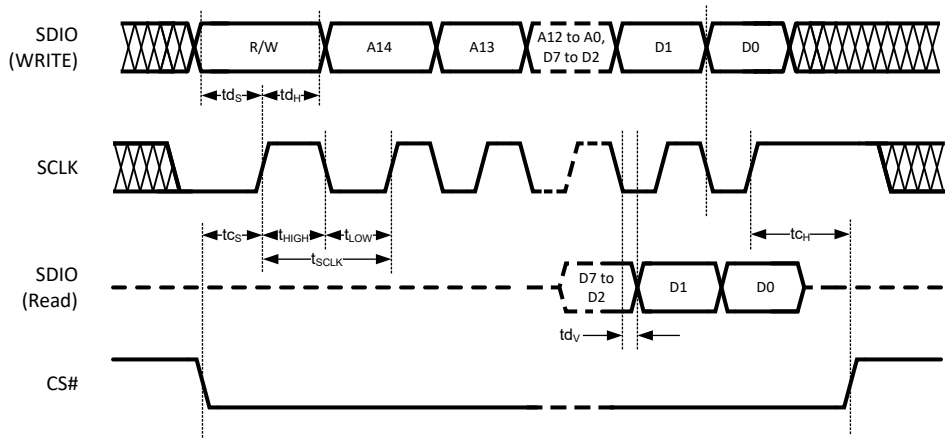
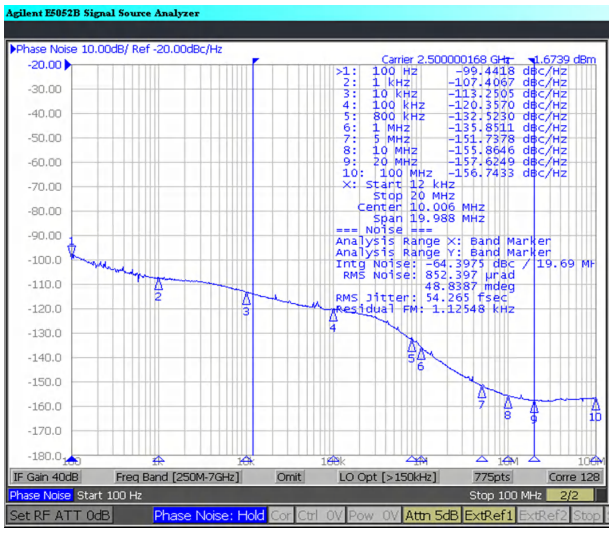


图 6-1. SPI 时序图

6.8 典型特性



100Hz 至 100MHz 的抖动 = 63.6fs rms。

输出为 CLKOUT4，即 CML 32mA，具有 68nH 至 20Ω 直流偏置。

其他设置包括 CLKout4_5_IDL = 1

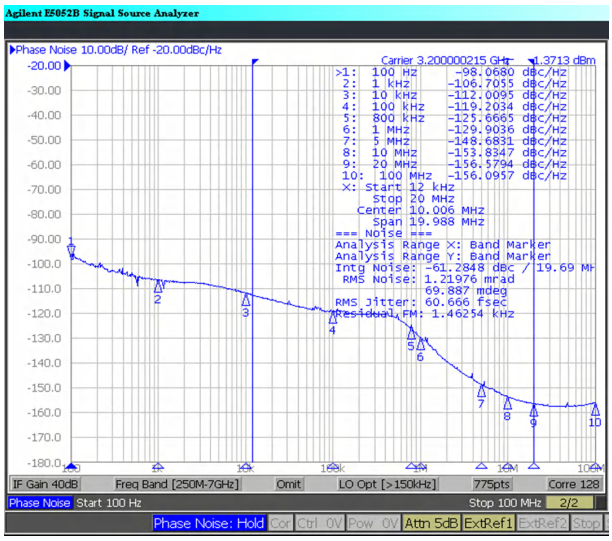
和 CLKout4_5_BYP = 1。

PLL2 环路滤波器 R2 = 470Ω，C2 = 150nF，

电荷泵 = 3200µA。

基准是带 SMAB - B711 选件的 R&S SMA100B 信号发生器，通过 Prodyn BIB-100G 平衡-非平衡变压器连接到 OSCin。

图 6-2. PLL2 具有 VCO1 性能（2500MHz 频率下）和 312.5MHz OSCin/相位检测器频率



100Hz 至 100MHz 的抖动 = 67fs rms。

输出为 CLKOUT4，即 CML 32mA，具有 68nH 至 20Ω 直流偏置。

其他设置包括 CLKout4_5_IDL = 1

和 CLKout4_5_BYP = 1。

PLL2 环路滤波器 R2 = 470Ω，C2 = 150nF，

电荷泵 = 3200µA。

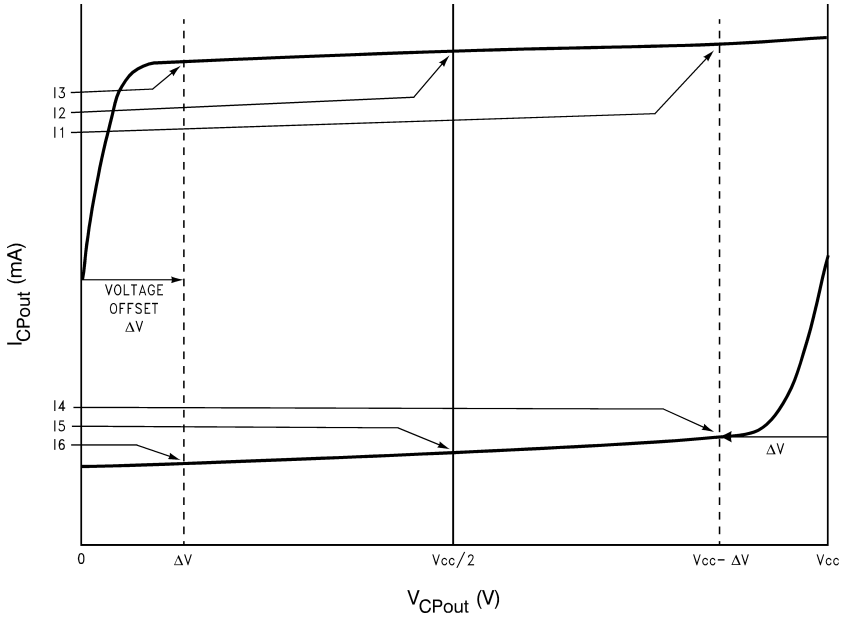
基准是带 SMAB - B711 选件的 R&S SMA100B 信号发生器，通过 Prodyn BIB-100G 平衡-非平衡变压器连接到 OSCin。

图 6-3. PLL2 具有 VCO1 性能（3200MHz 频率下）和 320MHz OSCin/相位检测器频率

Copyright © 2023 Texas Instruments Incorporated

7 参数测量信息

7.1 电荷泵电流规格定义



I1 为 V_{CPout} = V_{CC} - Δ V 处的电荷泵灌电流
I2 为 V_{CPout} = V_{CC}/2 处的电荷泵灌电流
I3 为 V_{CPout} = Δ V 处的电荷泵灌电流
I4 为 V_{CPout} = V_{CC} - Δ V 处的电荷泵拉电流
I5 为 V_{CPout} = V_{CC}/2 处的电荷泵拉电流
I6 为 V_{CPout} = Δ V 处的电荷泵拉电流
Δ V = 相对于正极和负极电源轨的失调电压。对于此器件，定义为 0.5V。

7.1.1 电荷泵输出电流幅度变化与电荷泵输出电压间的关系

$$I_{CPout}\ Vs\ V_{CPout} = \frac{|I1| - |I3|}{|I1| + |I3|} \times 100\%$$

$$= \frac{|I4| - |I6|}{|I4| + |I6|} \times 100\%$$

7.1.2 电荷泵灌电流与电荷泵输出拉电流失配间的关系

$$I_{CPout}\ Sink\ Vs\ I_{CPout}\ Source = \frac{|I2| - |I5|}{|I2| + |I5|} \times 100\%$$

7.1.3 电荷泵输出电流幅度变化与环境温度间的关系

$$I_{CPout}\ Vs\ T_A = \frac{|I_2|_{T_A} - |I_2|_{T_A = 25°C}}{|I_2|_{T_A = 25°C}} \times 100\%$$

$$= \frac{|I_5|_{T_A} - |I_5|_{T_A = 25°C}}{|I_5|_{T_A = 25°C}} \times 100\%$$

Copyright © 2023 Texas Instruments Incorporated

7.2 差分电压测量术语

差分信号的差分电压可以用两种不同的定义来描述，这会导致用户在阅读数据表或与其他工程师交流时产生混淆。本节将讨论差分信号的测量和描述，以便读者在使用差分信号时能够理解和区分这两种不同的定义。

差分信号的第一种定义是反相和同相信号之间电势差的绝对值。这种测量的符号通常为 V_{ID} 或 V_{OD}，具体取决于说明对象是输入电压还是输出电压。

差分信号的第二种定义测量的是同相信号相对于反相信号的电势。这种测量的符号为 V_{SS}，该参数通过计算得出。在集成电路 (IC) 中，该信号相对于接地是不存在的，它仅相对于其差分对存在。可以用具有浮动基准的示波器来直接测量 V_{SS}，否则可以将该值计算为第一种描述中所述的 V_{OD} 值的两倍。

图 7-1 并排显示了针对输入的两种不同定义，而图 7-2 并排显示了针对输出的两种不同定义。V_{ID} 和 V_{OD} 定义中给出了 V_{IH} 和 V_{IL} 两个直流电平，同相信号和反相信号均在这两种电平之间切换（相对于接地）。在 V_{SS} 输入和输出定义中，如果将反相信号视为基准电势，则此时同相信号的电势将超出以接地为基准时的同相电势范围。因此，可以测量差分信号的峰峰值电压。

V_{ID} 和 V_{OD} 通常定义为电压 (V)，V_{SS} 通常定义为电压峰峰值 (V_{PP})。

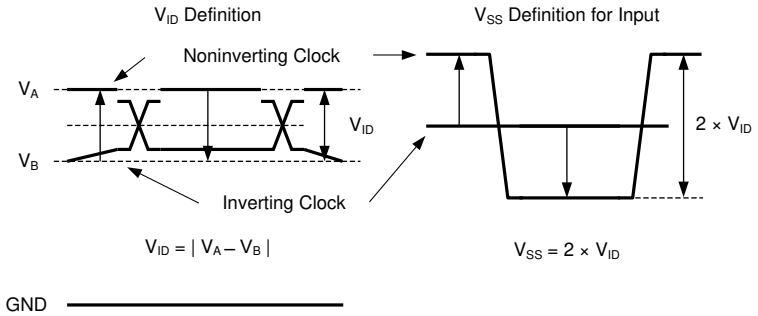


图 7-1. 差分输入信号的两种不同定义

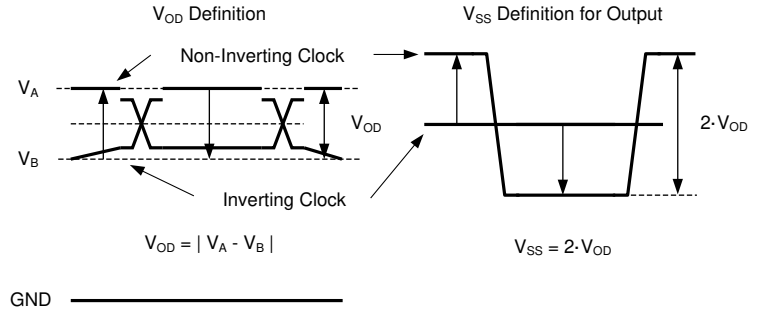


图 7-2. 差分输出信号的两种不同定义

更多信息，请参阅应用手册：*AN-912 通用数据传输参数及其定义* (SNLA036)。

Copyright © 2023 Texas Instruments Incorporated

8 详细说明

8.1 概述

该器件非常灵活，可以满足许多应用要求。用例包括双环路、嵌套 0 延迟双环路、级联 0 延迟双环路、单环路、0 延迟单环路和时钟分配。

通过向目标器件提供器件时钟和 SYSREF，该器件可用于 JESD204B/C 系统，不过，通过对输出对进行编程来共享时钟分频器或采用 JESD204B/C 与传统输出的任意组合，该器件也可以用于传统（非 JESD204B/C）系统。

8.1.1 与 LMK04832 的区别

LMK04832 是一款与此器件类似并且广为人知的器件。但是，这些器件并非完全相同，而是存在一些差异。

表 8-1. LMK04368-EP 与 LMK04832 之间的差异

属性	LMK04832	LMK04368-EP
温度	–40ºC 至 +85ºC	-55°C 至 +125ºC
封装	9 × 9mm	10mm × 10mm
引脚旋转	不适用	从 LMK04832 旋转 180°
6.4GHz CLK/VCO 输入引脚	否，引脚 8/9 为 NC	是，引脚 40/41 为 FIN0_P/FIN0_N
SYNC/SYSREFREQ 引脚之后的引脚	NC（引脚 7）	GND（引脚 39）
编程速度	5MHz	2.5MHz

8.1.1.1 抖动清除

双环路 PLL 架构可在很宽的输出频率和相位噪声集成带宽范围内提供超低抖动性能。第一级 PLL (PLL1) 由外部参考时钟驱动，使用外部 VCXO 为第二级倍频 PLL (PLL2) 提供频率精确、低相位噪声的参考时钟。

PLL1 通常使用窄环路带宽（通常为 10Hz 至 200Hz）来保持参考时钟输入信号的频率精度，同时抑制参考时钟可能沿其路径或从其他电路累积的较高失调电压频率相位噪声。这个经过清理的参考时钟为 PLL2 提供了参考输入。

提供给 PLL2 的低相位噪声参考允许 PLL2 在宽环路带宽（通常为 50kHz 至 200kHz）下运行。选择 PLL2 的环路带宽是为了利用内部 VCO 卓越的高失调电压频率相位噪声曲线和参考 VCXO 良好的低失调电压频率相位噪声。

超低抖动是通过允许外部 VCXO 的相位噪声在低失调电压频率下控制最终输出相位噪声，并让内部 VCO 的相位噪声在高失调电压频率下控制最终输出相位噪声来实现的。这会产生出色的整体相位噪声和抖动性能。

8.1.1.2 JEDEC JESD204B/C 支持

该器件使用七个器件时钟和七个 SYSREF 时钟为多达七个 JESD204B/C 目标提供时钟，并允许将每个时钟输出配置为器件时钟或 SYSREF 时钟。

Copyright © 2023 Texas Instruments Incorporated

8.1.2 时钟输入

备注

CLKIN1 可用作双环路、单环路或时钟分配模式的基准，因此在通过单路时钟输入配置器件的不同运行模式时可以灵活多变。

8.1.2.1 PLL1 的输入

CLKIN0、CLKIN1 和 CLKIN2 是三个冗余输入，具有自己的 PLL1 R 分频器，可用作 PLL1 的参考输入。这些输入之间的切换可以是自动的，也可以是手动的。对于手动切换，CLKIN_SEL0 和 CLKIN_SEL1 引脚可用于更快的速度。这些输入引脚也可用于其他功能。

- CLKIN1 共享用作外部 0 延迟反馈 (FBCLKIN)，或与外部 VCO (FIN) 一起使用。
- CLKIN2 被共享用作 OSCout。要使用 CLKIN2 作为输入断电 OSCout，请参阅 *VCO_MUX*、*OSCout_MUX*、*OSCout_FMT* 部分。

8.1.2.2 PLL2 的输入

在双环路配置中，PLL2 参考来自 OSCin。然而，在单 PLL2 环路操作中，也可以使用 PLL1 的三个 CLKIN 输入中的任何一个作为 PLL2 的参考。

8.1.2.3 使用时钟分配模式时的输入

对于时钟分配模式，可以将参考信号应用于 FIN0 或 FIN1 引脚。CLKIN0 可用于通过器件分发 SYSREF 信号。在此用例中，CLKIN0 由 CLKIN1 重新计时。通常建议使用 FIN0 引脚而不是 FIN1 引脚，因为 FIN0 引脚允许更高的频率，使用更低的噪声路径，并且不能用于其他函数（例如冗余输入）。

8.1.3 PLL1

PLL1 允许清除低失调电压抖动，以及使用冗余输入和频率保持。

8.1.3.1 频率保持

当参考丢失时，频率保持使时钟输出保持在具有最小漂移的频率上，直到重新建立有效的参考时钟信号。这只能在使用 PLL1 时使用。

8.1.3.2 用于 PLL1 的外部 VCXO

当使用 PLL1 时，需要一个外部 VCXO。此 VCXO 的近距离噪声性能对于良好的抖动清除性能至关重要。OSCout 引脚默认上电，并在 OSCin 上提供 PLL1 反馈和 PLL2 参考输入的缓冲副本。该参考输入通常是低噪声 VCXO 或 XO。在对器件进行编程之前，该输出可用于为微控制器、FPGA、CPLD 等外部器件提供时钟。

- OSCout 缓冲器输出类型可编程为 LVDS、LVPECL 或 LVCMOS。
- VCXO 缓冲输出可以通过使用级联 0 延迟模式与 VCO 时钟分配输出同步。

Copyright © 2023 Texas Instruments Incorporated

8.1.4 PLL2

8.1.4.1 PLL2 的内部 VCO

PLL2 有两个内部 VCO。所选 VCO 的输出被路由到时钟分配路径。同样的选择也通过预分频器和 N 分频器反馈到 PLL2 相位检测器。

8.1.4.2 外部 VCO 模式

外部 VCO 可与 PLL2 一起使用，外部 VCO 的输入来自 FIN0 或 FIN1，尽管通常首选 FIN0。

备注

通常建议使用 FIN0_P/FIN0_N 输入，因为它噪声更低，支持更高的输入频率（如果使用 div2，最高可达 6GHz），并且它使 CLKIN1 可用于冗余输入。

由于上述原因，通常不推荐 FIN1_P/FIN1_N 输入，尽管可以使用它们。

8.1.5 时钟分配

共有 14 个由内部或外部 VCO 驱动的 PLL2 时钟输出。

所有时钟输出都具有可编程的输出类型。可以将这些时钟输出编程为 CML、LVPECL、LVDS、HSDS 或 LCPECL。所有奇数时钟输出加上 CLKOUT8 和 CLKOUT10 都可以编程为 LVCMOS。

除了这 14 个时钟之外，还有一个额外的 OSCout 输出，总共有 15 个差分输出时钟。OSCout 可以是 OSCIN、DCLKOUT6、DCLKOUT8 或 SYSREF 的缓冲版本，其输出格式可编程为 LVDS、LVPECL 或 LVCMOS。

以下几节将讨论时钟分配通道的具体功能，用户可以通过这些功能控制输出时钟的各个方面。

8.1.5.1 时钟分频器

有七个时钟分频器。在传统时钟系统中，每个分频器可以驱动两个输出。分频器范围是 1 至 1023。可以为输出启用占空比校正。使用分频器时，偶数时钟不能输出 CML。

在 JESD204B/C 系统中，一个时钟输出是由时钟分频器驱动的器件时钟，另一个配对的时钟来自 SYSREF 分频器。为了实现连接灵活性，偶数或奇数时钟输出可由时钟分频器驱动，也可以是 SYSREF 输出。

8.1.5.2 高性能分频器旁路模式

偶数时钟输出 (CLKOUT0/2/4/6/8/10/12) 可绕过时钟分频器以实现更合适的本底噪声和输出摆幅。在此模式下，唯一可用的输出格式是 CML。

8.1.5.3 SYSREF 时钟分频器

SYSREF 分频器支持 8 至 8191 的分频范围（偶数和奇数都可以）。SYSREF 分频器没有占空比校正值。SYSREF 输出可路由至所有时钟输出。

8.1.5.4 器件时钟延迟

器件时钟针对时钟输出相位调整支持数字延迟。

数字延迟允许输出延迟 8 到 1023 个 VCO 周期。延迟步进最多可以缩短到时钟分配路径周期的一半。例如，3.2GHz VCO 频率可产生 156.25ps 步进。

数字延迟值在 SYNC 事件后对时钟输出相位生效。

8.1.5.5 动态数字延迟

器件时钟分频器支持动态数字延迟特性，允许将时钟延迟一个完整的器件时钟周期。通过一次编程，最多可以进行 255 个单周期延迟的调整。进行多步调整时，会定期应用调整以减少对时钟的影响。

半个时钟分配周期的动态相位调整可以按半步进行。

Copyright © 2023 Texas Instruments Incorporated

动态数字延迟可以重复使用 SYSREF 数字延迟值。要实现一个周期延迟，可将 SYSREF 数字延迟值编程为比 SYSREF 分频值的一半大 1。

8.1.5.6 SYSREF 延迟：全局和本地

SYSREF 分频器包括一个数字延迟块，此延迟块允许相对于器件时钟的全局相移。

每个时钟输出对包括一个本地 SYSREF 模拟和数字延迟，用于对每个 SYSREF 时钟进行独特的相位调整。

本地模拟延迟可以实现大约 21ps 的步进调整。开启模拟延迟会在时钟路径中增加额外 124ps 的延迟。数字延迟步长最多可以缩短到时钟分配路径周期的一半。例如，3.2GHz VCO 频率可产生 156.25ps 步长。

本地数字延迟和半步进让 SYSREF 输出可以从 1.5 个时钟分配路径周期延迟到 11 个时钟分配路径周期。

8.1.5.7 可编程输出格式

所有时钟输出都可以编程为 LVDS、HSDS、LVPECL 或 LCPECL 输出类型。除了 CLKOUT8 和 CLKOUT10 之外，奇数时钟输出也可以编程为 LVCMOS。所有奇数时钟输出也可以编程为 CML。在旁路模式下，偶数时钟输出可能仅为 CML。

OSCout 可以编程为 LVDS、LVPECL 或 LVCMOS 输出类型。

任何 HSDS 输出类型都可以编程为 6mA 或 8mA 振幅水平。

任何 LVPECL 输出类型都可以编程为 1600mVpp 或 2000mVpp 振幅水平。2000mVpp LVPECL 输出类型是德州仪器 (TI) 专有配置，可产生 2000mVpp 差分摆幅以与许多数据转换器兼容，也称为 2VPECL。

LCPECL 允许将 SYSREF 直流耦合到低电压 JESD204B/C 目标。

8.1.5.8 时钟输出同步

使用 SYNC 输入会使所有有效时钟输出共用一个由固定数字延迟编程的上升沿。

SYNC 事件必须发生才能使数字延迟值生效。

8.1.6 0 延迟

支持两种类型的 0 延迟模式。

1. 级联 0 延迟
2. 嵌套 0 延迟

级联 0 延迟模式在 PLL2 输入时钟 (OSCIN) 相位与反馈多路复用器选择的时钟输出相位之间建立一个固定的确定性相位关系。0 延迟反馈使用来自 CLKOUT6、CLKOUT8 或 SYSREF 的内部反馈。0 延迟反馈也可以源于通过 FBCLKIN 引脚提供的外部反馈。FB_MUX 选择反馈源。OSCIN 与反馈时钟之间具有固定的确定性相位关系，因此 OSCout 与反馈时钟之间也具有固定的确定性相位关系。在此模式下，PLL1 输入时钟 (CLKINx) 与 PLL2 输入时钟 (OSCIN) 之间也具有固定的确定性相位关系；因此，从 CLKINx 到时钟输出的所有时钟之间都具有固定的确定性相位关系。

嵌套 0 延迟模式在 PLL1 输入时钟 (CLKINx) 相位与反馈多路复用器选择的时钟输出相位之间建立一个固定的确定性相位关系。0 延迟反馈使用来自 CLKOUT6、CLKOUT8 或 SYSREF 的内部反馈。0 延迟反馈也可以源于通过 FBCLKIN 端口提供的外部反馈。FB_MUX 选择反馈源。

在不使用 0 延迟模式的情况下，根据时钟输出分频值，从时钟输入到时钟输出将有 n 个可能的固定相位关系。

使用外部 0 延迟反馈会将可用时钟输入的数量减一。

8.1.7 状态引脚

根据器件编程，可以监控状态引脚以获得反馈，或者在某些情况下用于输入。例如：

- CLKin_SEL0 引脚可能指示 CLKIN0 发生 LOS (信号丢失) 。
- CLKin_SEL1 引脚可能是用于选择有效时钟输入的输入。

Copyright © 2023 Texas Instruments Incorporated

- Status_LD1 引脚可能指示器件是否已锁定。
- Status_LD2 引脚可能指示 PLL2 是否已锁定。

状态引脚可以编程为各种其他输出，包括 PLL 分频器输出、组合的 PLL 锁定检测信号、PLL1 Vtune 限制、回读等。更多信息，请参阅*寄存器映射*。

Copyright © 2023 Texas Instruments Incorporated

8.2 功能方框图

图 8-1 展示了简要方框图。

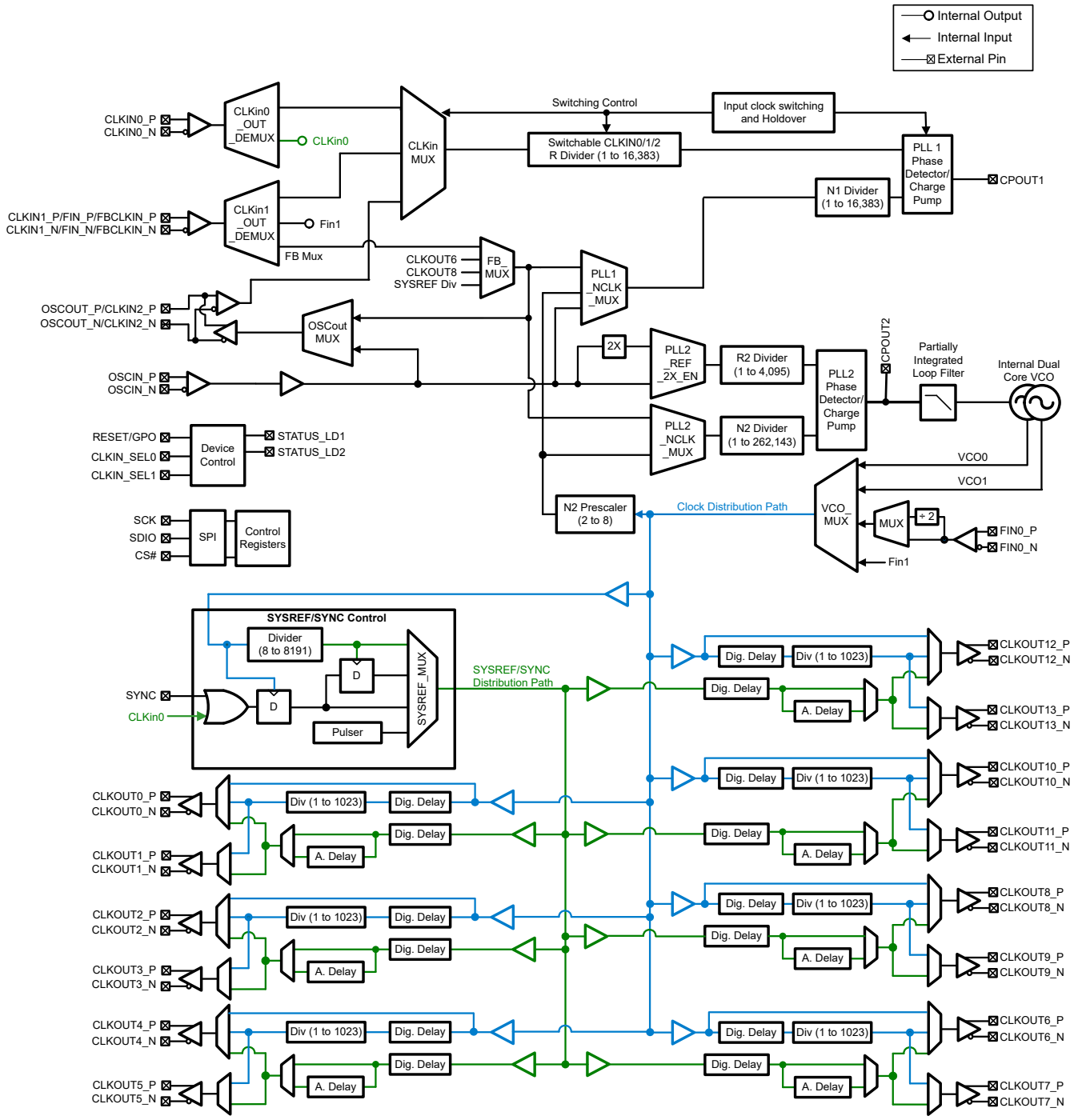


图 8-1. 简要方框图

Copyright © 2023 Texas Instruments Incorporated

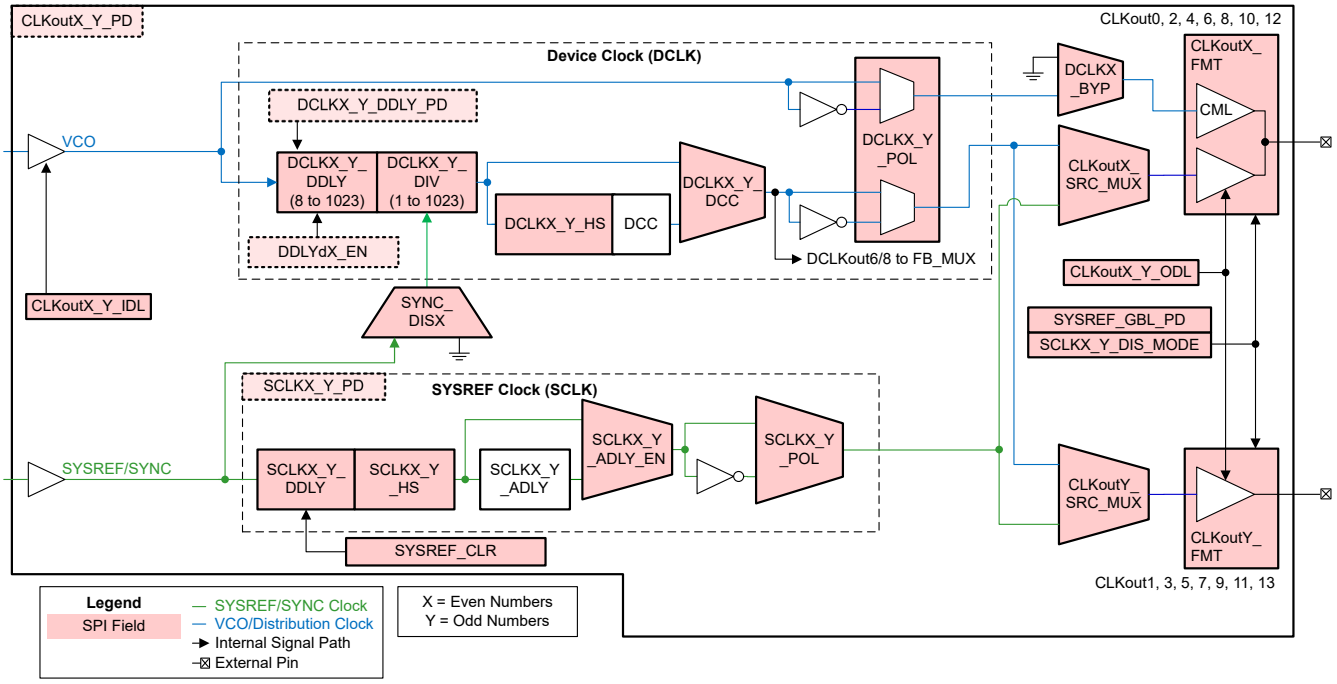
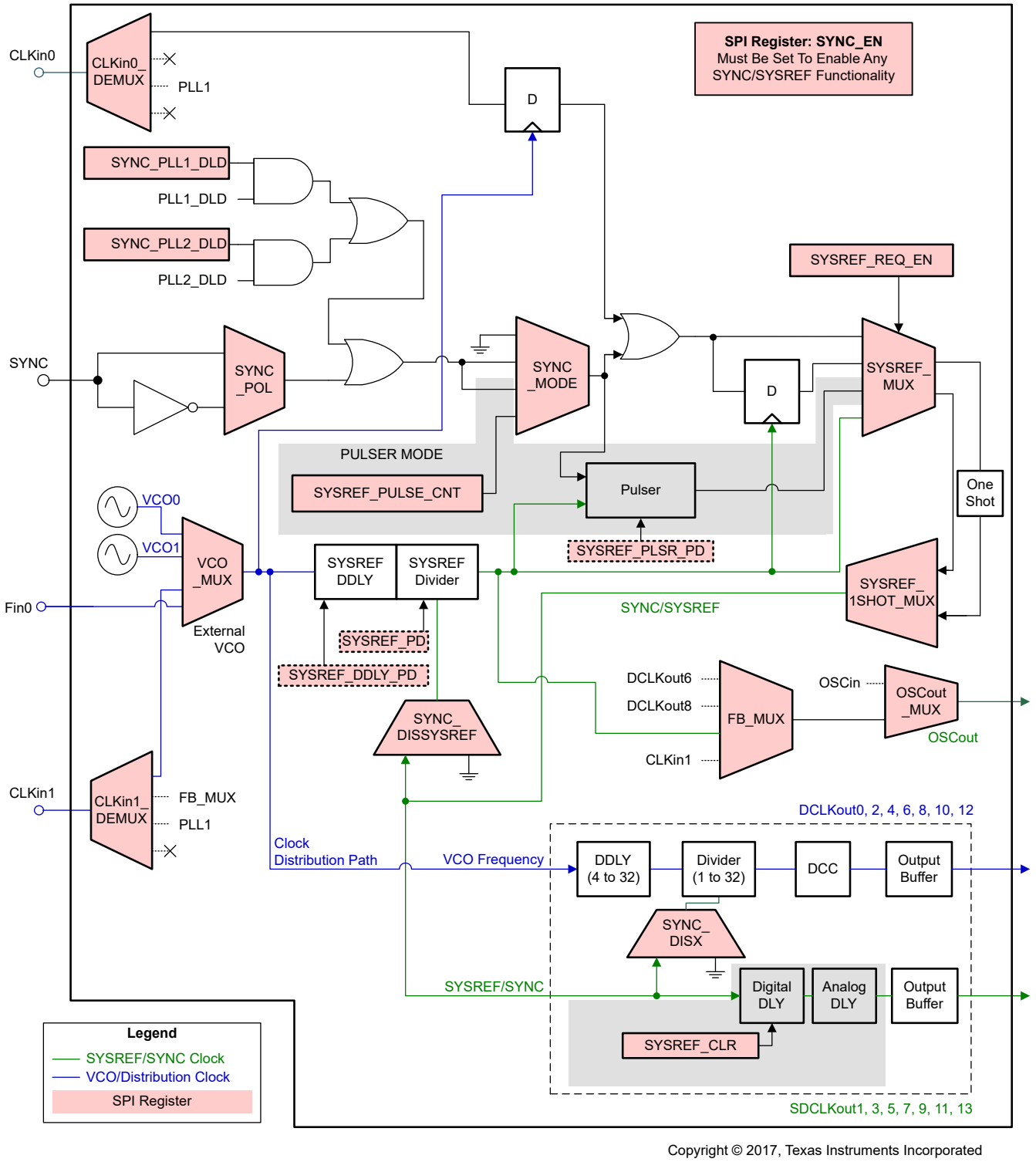


图 8-2. 器件和 SYSREF 时钟输出块



Copyright © 2017, Texas Instruments Incorporated

图 8-3. SYNC/SYSREF 时钟路径

Copyright © 2023 Texas Instruments Incorporated

8.3 特性说明

8.3.1 同步 PLL R 分频器

在某些情况下，为了让时钟输出到输入之间具有确定性，有必要同步 PLL R 分频器。当总 PLL N 分频与总 PLL R 分频之间的比值不能约简为 N/1 时，通常需要同步 PLL R 分频器。

8.3.1.1 PLL1 R 分频器同步

可以使用 CLKIN0 或 SYNC 引脚来同步 PLL1 R 分频器。为此，器件设置为同步，PLL1 R 分频器准备用于同步，然后上升的同步边沿从 SYNC 引脚或 CLKIN0 到达。在 PLL1 R 分频器准备就绪后，PLL1 解锁，直到同步边沿到达并允许分频器运行和 PLL 锁定。同步 PLL1 R 的过程如下：

1. 设置用于同步 PLL1 R 的器件：
   - PLL1R_SYNC_EN = 0x1
   - PLL1R_SYNC_SRC = 0x1（SYNC 引脚）或 0x2 (CLKIN0)
   - CLKin0_DEMUX = 0x2 (PLL1)
   - CLKin1_DEMUX = 0x2 (PLL1)
   - CLKin0_TYPE = 0x1 (MOS)，用于直流耦合或 CLKin0_TYPE = 0x0（双极），用于交流耦合
2. 配置用于同步的 Arm PLL1 R 分频器
   - PLL1R_RST = 1，然后为 0。
   - PLL1 解锁。
3. 在 SYNC 引脚或 CLKIN0 上发送上升沿。
   - PLL1 R 分频器从复位状态释放，PLL1 重新锁定。

当 CLKIN0 或 SYNC 引脚电平升高时，必须满足设置和保持时间，以确保 PLL1 R 分频器的确定性复位。

SYNC_POL 位对 PLL1 R 同步的 SYNC 极性没有影响。

8.3.1.2 PLL2 R 分频器同步

SYNC 引脚必须用于同步 PLL2 R 分频器。当 PLL2R_SYNC_EN = 1 时，只要 SYNC 引脚保持高电平，PLL2 R 分频器就会保持复位状态。当 SYNC 引脚返回低电平时，允许分频器继续分频。当 PLL2R_SYNC_EN = 1 且 SYNC 引脚为高电平时，PLL2 解锁。

当 SYNC 引脚变为低电平时，必须满足设置和保持时间，以确保 PLL2 R 分频器的确定性复位。

SYNC_POL 位对 PLL2 R 同步的同步极性没有影响。

Copyright © 2023 Texas Instruments Incorporated

8.3.2 SYNC/SYSREF

SYNC 和 SYSREF 信号共用同一个 SYNC/SYSREF 时钟分配路径。为了正确使用 JESD204B/C 的 SYNC 和/或 SYSREF，务必要了解 SYNC/SYSREF 系统。图 8-2 展示了包含 SYNC 电路在内的时钟输出块的详细图示。图 8-3 显示了互连，并突出显示了一些用于控制器件以实现 SYNC/SYSREF 目的的重要寄存器。

要复位或同步分频器，必须满足以下条件：

1. 必须设置 SYNC_EN。这可确保 SYNC 电路正常运行。
2. 为了提供有效的 SYNC/SYSREF 信号，SYSREF_MUX 和 SYNC_MODE 必须设置为正确的组合。
   - 如果使用的是 SYSREF 块，则必须清除 SYSREF_PD 位。
   - 如果使用的是 SYSREF 脉冲发生器，则必须清除 SYSREF_PLSR_PD 位。
   - 对于每个用于 SYSREF 的 CLKOUTx 或 CLKOUTY，必须清除相应的 SCLKX_Y_PD 位。
3. 必须清除 DCLKX_Y_DDLY_PD 和 SYSREF_DDLY_PD 位，以便为同步期间使用的数字延迟电路上电，从而在器件时钟分频器和全局 SYSREF 分频器之间产生确定性相位。
4. 必须清除 SYNC_DISX 位，以允许将 SYNC/SYSREF 信号发送到分频器电路。如果清除了相应的 SYNC_DISX 位，则 SYSREF_MUX 寄存器会选择复位 SYSREF/CLKOUTx 分频器的 SYNC 源。
5. 可根据需要设置会影响同步操作的其他位，例如 SYNC_1SHOT_EN。
6. 在同步这些分频器后，可以设置 DCLKX_Y_DDLY_PD 和 SYSREF_DDLY_PD 位以节省电流。如果在上电时清除了这些寄存器的值，可能会破坏输出时钟相位。

表 8-2 显示了 SYSREF_MUX 和 SYNC_MODE 的一些可能组合。

表 8-2. 一些可能的 SYNC 配置

名称	SYNC_MODE	SYSREF_MUX	其它	说明
SYNC 已禁用	0	0	CLKin0_DEMUX ≠ 0	不会发生同步。
引脚或 SPI SYNC	1	0	CLKin0_DEMUX ≠ 0	基本 SYNC 功能，SYNC 引脚极性由 SYNC_POL 选择。 要通过 SPI 实现 SYNC，请切换 SYNC_POL 位。
差分输入 SYNC	X	0 或 1	CLKin0_DEMUX = 0	差分 CLKin0 现在作为 SYNC 输入运行。
在引脚转换时触发 JESD204B/C 脉冲发生器。	2	2	SYSREF_PULSE_CNT 设置脉冲计数	在引脚转换时生成 SYSREF_PULSE_CNT 编程脉冲数。SYNC_POL 可用于通过 SPI 引发 SYNC。
在 SPI 编程时触发 JESD204B/C 脉冲发生器。	3	2	SYSREF_PULSE_CNT 设置脉冲计数	对 SYSREF_PULSE_CNT 寄存器进行编程会开始发送脉冲数。
时钟恢复型 SYNC	1	1	SYSREF 可运行，并且已经根据需要配置了相应的 SYSREF 分频器以适应训练帧大小。	可为 LM97600 等非 JESD 转换器实现 n 位帧训练模式的精确 SYNC。
外部 SYSREF 请求	0	2	SYSREF_REQ_EN = 1 脉冲发生器已上电	当 SYNC 引脚被置为有效时，会发生连续的 SYSREF 脉冲。脉冲的开启和关闭实现同步，以防止 SYSREF 上出现窄脉冲。
连续 SYSREF	X	3	SYSREF_PD = 0 SYSREF_DDLY_PD = 0 SYSREF_PLSR_PD = 1 (1)	连续 SYSREF 信号。

Copyright © 2023 Texas Instruments Incorporated

表 8-2. 一些可能的 SYNC 配置 (continued)

名称	SYNC_MODE	SYSREF_MUX	其它	说明
时钟恢复型 SYSREF 分配	0	0	SYSREF_DDLY_PD = 1 SYSREF_PLSR_PD = 1 SYSREF_PD = 1。	CLKin0 的扇出重新生成时钟信号后再分配到时钟分配路径。

(1) 根据 SYSREF 输出的要求，SCLKX_Y_PD = 0。当 SCLKX_Y_MUX = 1（SYSREF 输出）时，这适用于 SCLKX_Y 上的任何 SYNC 或 SYSREF 输出

备注

SYNC/SYSREF 信号由时钟分配路径重新生成时钟信号，因此时钟分配路径上必须存在有效时钟（来自 VCO 或处于分配模式的 FIN0/FIN1 引脚），SYNC 才能生效。

备注

任何未设置 SYNC_DISX 位或 SYNC_DISSYSREF 位的器件时钟分频器或 SYSREF 分频器将在 SYNC/SYSREF 分配路径为高电平时复位。这对于 SYSREF 分频器尤其重要，如果 SYNC_DISSYSREF = 0，这样就让该分频器可以自行复位！**确保根据需要设置 SYNC_DISX/SYNC_DISSYSREF 位。**

备注

在对 DCLK_X_Y_DIV 使用 2 分频或 3 分频时，SYNC 程序需要首先对 4 分频进行编程，然后在进行 SYNC 之前对 2 分频或 3 分频进行编程。

8.3.3 JEDEC JESD204B/C

8.3.3.1 如何启用 SYSREF

表 8-3 总结了使 SYSREF 功能正常运行所需的位。

表 8-3. SYSREF 位

寄存器	字段	值	说明
0x140	SYSREF_PD	0	必须清零，为 SYSREF 电路（包括 SYSREF 分频器）上电。
0x140	SYSREF_DDLY_PD	0	必须清零才能为数字延迟电路上电。必须在初始 SYNC 期间上电，以确保其他时钟分频器的确定性时序。
0x143	SYNC_EN	1	必须设置，以便启用 SYNC。
0x143	SYSREF_CLR	1→0	除启动时外，请勿将本地 SYSREF DDLY 块保持在复位状态。 如果任何时候由于用户编程或器件复位使得 SYSREF_PD = 1，则需要设置 SYSREF_CLR 并持续 15 个 VCO 时钟周期，以清除本地 SYSREF 数字延迟。清除延迟后，必须清除 SYSREF_CLR 以允许 SYSREF 运行。

启用 JESD204B/C 操作涉及将所有时钟分频器与 SYSREF 分频器同步，然后配置实际的 SYSREF 功能。

8.3.3.1.1 SYSREF 设置示例

以下程序是一个以 3000MHz VCO 频率运行的系统的编程示例。使用 CLKOUT0 和 CLKOUT2 在 1500MHz 频率下驱动转换器。使用 CLKOUT4 在 150MHz 频率下驱动 FPGA。使用两个频率为 10MHz 的 SYSREF 脉冲来同步转换器和 FPGA。

1. **对寄存器 0x000 至 0x555 进行编程（请参阅 *建议编程序列*）。准备 SYSREF 操作的关键：**
   a. 准备手动同步：SYNC_POL = 0、SYNC_MODE = 1、SYSREF_MUX = 0
   b. 根据示例设置输出分频器：对于 1500MHz 的频率，DCLK0_1_DIV 和 DCLK2_3_DIV = 2。对于 150MHz 的频率，DCLK4_5_DIV = 20。
   c. 根据示例设置输出分频器：对于 10MHz SYSREF，SYSREF_DIV = 300。

Copyright © 2023 Texas Instruments Incorporated

d. 设置 SYSREF：SYSREF_PD = 0、SYSREF_DDLY_PD = 0、DCLK0_1_DDLY_PD = 0、DCLK2_3_DDLY_PD = 0、DCLK4_5_DDLY_PD = 0、SYNC_EN = 1、SYSREF_PLSR_PD = 0、SYSREF_PULSE_CNT = 1（2 个脉冲）。SCLK0_1_PD = 0、SCLK2_3_PD = 0、SCLK4_5_PD = 0。
e. 清除本地 SYSREF DDLY：SYSREF_CLR = 1。

2. **确立 JESD204B/C 的 SYSREF 与器件时钟之间的确定性相位关系：**
   a. 设置器件时钟和 SYSREF 分频器数字延迟：DCLK0_1_DDLY、DCLK2_3_DDLY、DCLK4_5_DDLY 和 SYSREF_DDLY。
   b. 设置器件时钟数字延迟半步进：DCLK0_1_HS、DCLK2_3_HS、DCLK4_5_HS。
   c. 根据需要设置 SYSREF 时钟数字延迟，以实现已知的相位关系：SCLK0_1_DDLY、SCLK2_3_DDLY 和 SCLK4_5_DDLY。如果需要进行半步进调整，则可选择 SCLK0_1_HS、SCLK2_3_HS 和 SCLK4_5_HS。
   d. 要允许 SYNC 影响分频器，请设置：SYNC_DIS0 = 0、SYNC_DIS2 = 0、SYNC_DIS4 = 0、SYNC_DISSYSREF = 0。
   e. **通过切换 SYNC_POL = 1，然后 SYNC_POL = 0，从而执行同步。**
3. 现在，分频器已同步，**请禁用 SYNC 以防止复位这些分频器。**SYSREF 复位它自己的分频器或输出时钟的分频器是不可取的。
   a. 防止 SYNC (SYSREF) 影响分频器：SYNC_DIS0 = 1、SYNC_DIS2 = 1、SYNC_DIS4 = 1、SYNC_DISSYSREF = 1。
4. **释放本地 SYSREF 数字延迟的复位状态。**
   a. SYSREF_CLR = 0。请注意，在 SYSREF_PD = 0 之后，只需为 15 个时钟分配路径时钟设置此位。
5. **设置 SYSREF 操作。**
   a. 允许引脚 SYNC 事件启动脉冲发生器：SYNC_MODE = 2。
   b. 选择脉冲发生器作为 SYSREF 信号：SYSREF_MUX = 2。
6. **完成！**将 SYNC 引脚置为有效或切换 SYNC_POL 以发送一系列 2 个 SYSREF 脉冲。

8.3.3.1.2 SYSREF_CLR

SCLKX_Y_DDLY 的本地数字延迟通过移位缓冲器来实现。为了确保在启动时此 SYSREF 输出端不会产生不必要的脉冲，当使用 SYSREF 时，需要通过设置 SYSREF_CLR = 1 且持续 15 个 VCO 时钟周期来清除缓冲器。复位后，此位会被设置，因此在使用 SYSREF 输出之前，必须将其清除。

如果使用 SYSREF 脉冲发生器，在 SYSREF 脉冲发生器上电后，也需要设置 SYSREF_CLR = 1，并持续 15 个 VCO 时钟周期。

8.3.3.2 SYSREF 模式

8.3.3.2.1 SYSREF 脉冲发生器

使用此模式可为每个 SYNC 引脚事件或 SPI 编程输出 1、2、4 或 8 个 SYSREF 脉冲。这实现了 JEDEC JESD204B/C 规范中要求的间隔周期性功能。

在 SYSREF 脉冲发生器模式下，用户可以调整寄存器 0x13E 中的 SYSREF_PULSE_CNT 字段，将脉冲发生器编程为发出一定数量的脉冲。

8.3.3.2.2 连续 SYSREF

该模式允许持续输出 SYSREF 时钟。

备注

由于 SYSREF 时钟与器件时钟之间有串扰，TI 不建议连续运行 SYSREF 时钟。JESD204B/C 设计为在启动时以单个脉冲突发形式运行以初始化系统，之后理论上不需要发送另一个 SYSREF，因为系统将继续以确定性的相位运行。

8.3.3.2.3 SYSREF 请求

使用此模式可让外部源使用 SYNC/SYSREF_REQ 引脚同步打开或关闭连续的 SYSREF 脉冲流。

Copyright © 2023 Texas Instruments Incorporated

通过编程 SYSREF_REQ_EN = 1 和 SYSREF_MUX = 2（脉冲发生器）来设置模式。在此运行模式下，不需要为脉冲发生器供电。

当 SYSREF_REQ 引脚被置为有效时，SYSREF_MUX 同步设置为连续模式，在 SYSREF 频率下提供持续脉冲，直至 SYSREF_REQ 引脚置为无效。当 SYSREF_REQ 引脚置为无效时，最终的 SYSREF 脉冲同步完成发送。

8.3.4 数字延迟

数字（粗略）延迟允许将一组输出延迟 8 到 1023 个时钟分布路径周期。使用 DCLKX_Y_HS 位可以将延迟步进最多缩短到时钟分配路径周期的一半。可通过两种不同的方式来使用数字延迟：

1. 固定数字延迟
2. 动态数字延迟

在这两种延迟模式中，均可将常规时钟分频器替换为备用分频值。

8.3.4.1 固定数字延迟

固定数字延迟值在同步事件后对时钟输出生效。对于在应用程序运行期间调整数字延迟时不能接受时钟中断的应用程序，应使用动态数字延迟来调整相位。对于小于 7 的分频值，固定数字延迟具有一些限制和隐含限制。请注意

备注

当分频值小于 8 时，需要对固定数字延迟进行特殊处理。如果需要，请联系 TI。

8.3.4.2 固定数字延迟示例

假设器件已经具有以下初始配置，并且与 CLKOUT0 相比，应用程序将 CLKOUT2 延迟了一个 VCO 周期：

- VCO 频率 = 2949.12MHz
- CLKOUT0 = 368.64MHz（DCLK0_1_DIV = 8，CLKOUT0_SRC_MUX = 0（器件时钟））
- CLKOUT2 = 368.64MHz（DCLK2_3_DIV = 8，CLKOUT2_SRC_MUX = 0（器件时钟））

应遵循以下步骤：

1. 设置 DCLK0_1_DDLY = 8 和 DCLK2_3_DDLY = 9。每个时钟的静态延迟。
2. 设置 DCLK0_1_DDLY_PD = 0 和 DCLK2_3_DDLY_PD = 0。给数字延迟电路上电。
3. 设置 SYNC_DIS0 = 0 和 SYNC_DIS2 = 0。允许输出同步。
4. 通过先将 SYNC 置为有效，然后再置为无效，执行同步。这可以通过使用 SYNC_POL 位或 SYNC 引脚来完成。
5. 在同步完成后，您可以通过设置 DCLK0_1_DDLY_PD = 1 和/或 DCLK2_3_DDLY_PD = 1 来断电，以节省电源。
6. 设置 SYNC_DIS0 = 1 和 SYNC_DIS2 = 1。防止输出同步，因为这对于使用 JESD204B/C 时的稳态操作非常重要。

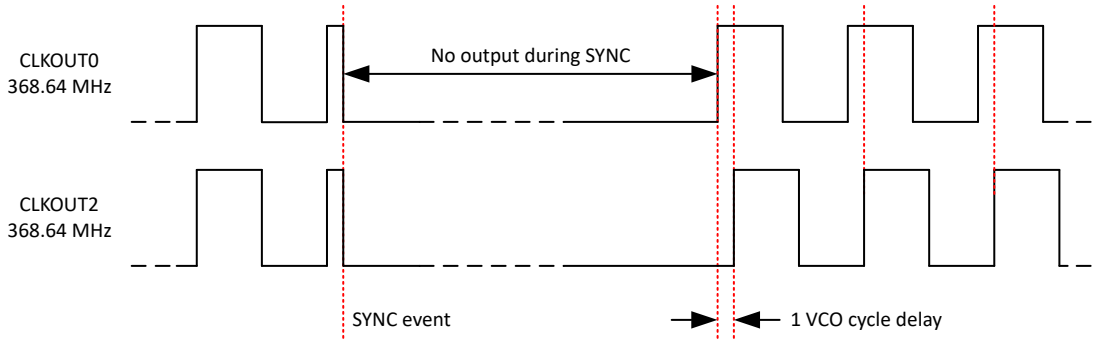


图 8-4. 固定数字延迟示例

8.3.4.3 动态数字延迟

动态数字延迟允许时钟的相位相对于彼此改变，并且对时钟信号的影响很小。

对于器件时钟分频器，实现此目标的方式是用一个周期内比常规分频器大 1 的备用分频值替换常规时钟分频器。对于 DDLYdX_EN = 1 的所有输出，进行这种替换的次数等于编程到 DDLYd_STEP_CNT 字段中的值。

对于 SYSREF 分频器，用备用分频值替换常规分频值。如果 DDLYd_SYSREF_EN = 1，进行这种替换的次数等于编程到 DDLYd_STEP_CNT 中的值。要像器件时钟分频器那样实现一个周期延迟，请将 SYSREF_DDLY 值设置为比 SYSREF_DIV+SYSREF_DIV/2 大 1 的值。例如，对于 SYSREF 分频器 100，要实现 1 个周期延迟，则 SYSREF_DDLY = 100 + 50 + 1 = 151。

使用动态数字延迟特性时，CLKin_OVERRIDE 必须设置为 0。

- 通过设置一个更大的备用分频器（延迟）值，调整输出后的相位相对于其他时钟会有延迟。
- 通过设置一个更小的备用分频器（延迟）值，调整输出后的相位相对于其他时钟会提前。

8.3.4.4 单个和多个动态数字延迟示例

在此示例中，对器件时钟进行了两次单独的调整。在第一次调整中，在 CLKOUT2 和 CLKOUT0 之间发生时长为一个 VCO 周期的单个延迟。在第二次调整中，在 CLKOUT2 和 CLKOUT0 之间发生时长为一个 VCO 周期的两个延迟。这个例子中，CLKOUT2 此时比 CLKOUT0 延迟了三个 VCO 周期。

假设器件已具有以下初始配置：

- VCO 频率：2949.12 MHz
- CLKOUT0 = 368.64MHz，DCLK0_1_DIV = 8
- CLKOUT2 = 368.64MHz，DCLK2_3_DIV = 8

以下步骤说明了上面的示例：

1. 设置 DCLK2_3_DDLY = 4。CLKOUT2 延迟的第一部分。
2. 设置 DCLK2_3_DDLY_PD = 0。为 CLKOUT2 启用数字延迟。
3. 设置 DDLYd0_EN = 0 和 DDLYd2_EN = 1。为 CLKOUT2 启用动态数字延迟，但不为 CLKOUT0 启用。
4. 设置 DDLYd_STEP_CNT = 1。这将开始**第一次调整。**

在步骤 4 之前，CLKOUT2 时钟边沿与 CLKOUT0 对齐。

在步骤 4 之后，CLKOUT2 将九个时钟分配路径周期计入下一个上升沿，即比分频器值大一，从而有效地将 CLKOUT2 相对于 CLKOUT0 延迟一个 VCO 周期。 ***这是第一次调整。***

5.设置 DDLYd_STEP_CNT = 2。这将开始**第二次调整。**

在步骤 5 之前，将 CLKOUT2 时钟边沿相比于 DCLKOUT0 延迟一个时钟分配路径周期。

在步骤 5 之后，CLKOUT2 将九个时钟分配路径周期进行两次计数，每次比分频值大一，从而有效地将 CLKOUT2 相比于 CLKOUT0 延迟两个时钟分配路径周期。 ***这是第二次调整。***

Copyright © 2023 Texas Instruments Incorporated

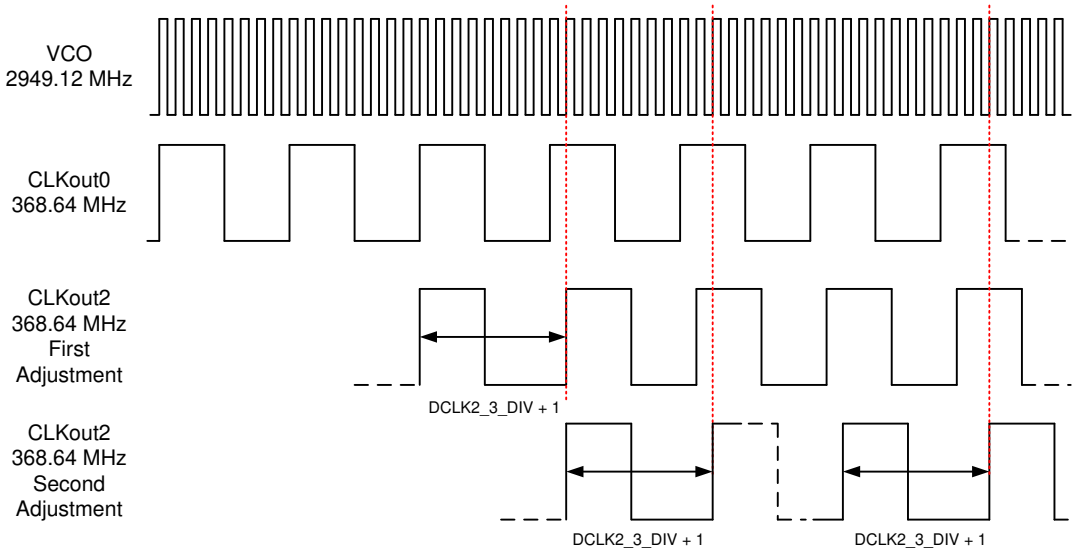


图 8-5. 单次调整和多次调整动态数字延迟示例

8.3.5 SYSREF 与器件时钟对齐

为了确保 JESD204B/C 正常运行，必须调整 SYSREF 和器件时钟之间的时序关系，以便获得出色的建立时间和保持时间，如图 8-6 所示。为了在 SYSREF 和器件时钟之间提供所需的建立时间和保持时间，可以调整全局 SYSREF 数字延迟 (SYSREF_DDLY)、本地 SYSREF 数字延迟 (SCLKX_Y_DDLY)、本地 SYSREF 半步进 (SCLKX_Y_HS) 和本地 SYSREF 模拟延迟（SCLKX_Y_ADLY、SCLK2_3_ADLY_EN）。还可以调整器件时钟数字延迟 (DCLKX_Y_DDLY) 和半步进（DCLK0_1_HS、DCLK0_1_DCC），以便相对于 SYSREF 调整相位。

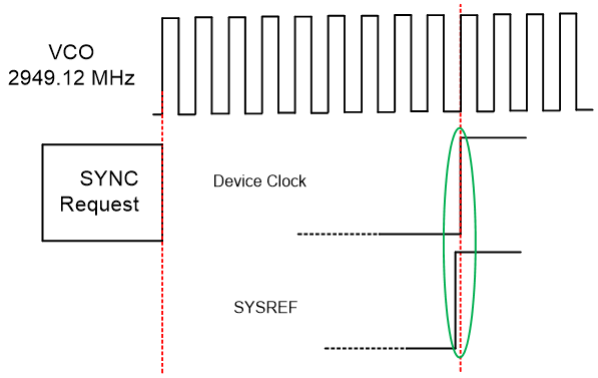


图 8-6. SYSREF 到器件时钟时序对齐

根据 DCLKout_X 路径设置，本地 SCLK_X_Y_DDLY 可能需要调整因子。以下公式可用于计算将 SYSREF 与相应的 DCLKOUT 对齐所需的数字延迟值

$$SYSREF_DDLY = DCLKX_Y_DDLY - 1 + DCLK_DIV_ADJUST + DCLK_HS_ADJUST - SCLK_X_Y_DDLY \quad (1)$$

SYSREF_DDLY > 7；SCLK_X_Y_DDLY > 1。

表 8-4. DCLK_DIV_ADJUST

DCLKX_Y_DIV	DCLK_DIV_ADJUST
>6	0
6	-1
5	2
4	0

Copyright © 2023 Texas Instruments Incorporated

表 8-4. DCLK_DIV_ADJUST (continued)

DCLKX_Y_DIV	DCLK_DIV_ADJUST
3(1)	-2
2 (1)	-2

(1) 请参阅 SYNC 要求 *SYNC/SYSREF*

表 8-5. DCLK_HS_ADJUST

DCLK 和 HS	DCLK_HS_ADJUST
0	0
1	1

例如：DCLKX_Y_DIV = 32、DCLKX_Y_DDLY = 10、DCC&HS = 1；

SYSREF_DDLY=10 – 1 + 0 + 1 – 2 = 8

8.3.6 输入时钟切换

手动、引脚选择和自动是三种不同的时钟输入切换模式，可以根据位的组合进行选择，如图 8-7 中所示。

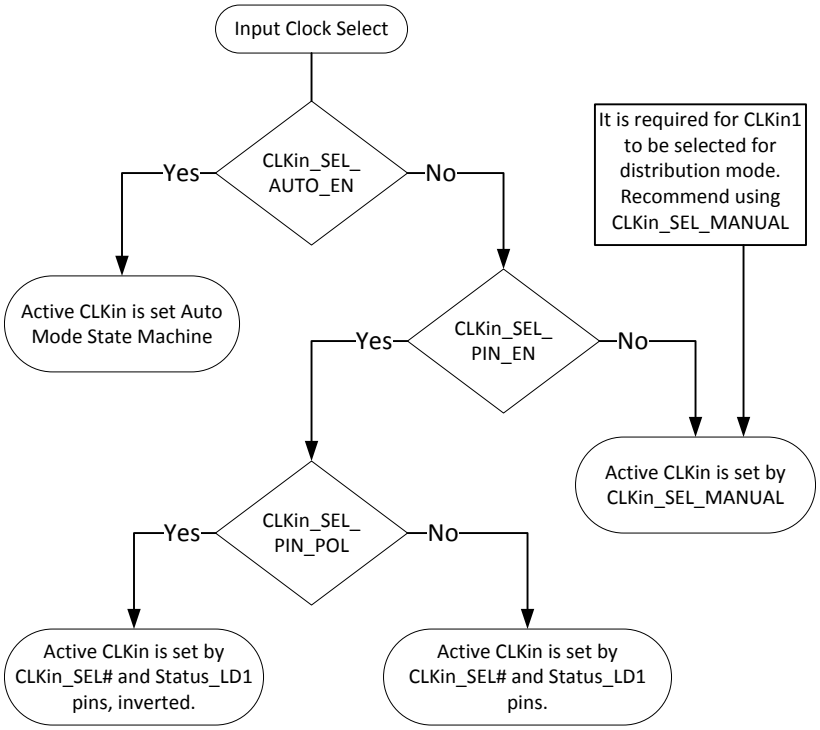


图 8-7. CLKINx 输入基准

以下几部分提供有关如下内容的信息：如何选择有效输入时钟，以及在各种时钟输入选择模式中导致切换事件的原因。

8.3.6.1 输入时钟切换 - 手动模式

当 CLKin_SEL_AUTO_EN = 0 且 CLKin_SEL_PIN_EN = 0 时，由 CLKin_SEL_MANUAL 选择有效 CLKin。将值 0、1 或 2 编程到 CLKin_SEL_MANUAL 会导致 CLKin0、CLKin1 或 CLKin2 分别成为选定的有效输入时钟。在此模式下，EN_CLKinX 位被覆盖，使得即使 CLKinX 因 EN_CLKinX = 0 而被禁用，CLKinX 缓冲器也会运行。

如果在此模式下通过设置 CLKin_SEL_MANUAL = 3 进入保持模式，器件将在退出保持模式时重新锁定到选定的 CLKin。

Copyright © 2023 Texas Instruments Incorporated

8.3.6.2 输入时钟切换 - 引脚选择模式

当 CLKin_SEL_AUTO_EN = 0 且 CLKin_SEL_PIN_EN = 1 时，有效时钟由 CLKIN_SELx 和 STATUS_LD1 引脚选择。

配置引脚选择模式

必须将 CLKin_SEL0_TYPE 编程为 CLKIN_SEL0 引脚的输入值，以用作引脚选择模式的输入。

必须将 CLKin_SEL1_TYPE 编程为 CLKIN_SEL1 引脚的输入值，以用作引脚选择模式的输入。

时钟输入选择引脚的极性可以通过 CLKin_SEL_PIN_POL 位反转。

表 8-6 定义了根据时钟输入选择引脚状态哪个输入时钟处于有效状态。CLKIN_SEL1、CLKIN_SEL0 和 STATUS_LD1 引脚必须设置为输入类型。任何设置为输出的引脚都将始终报告低电平，如下表所示。

表 8-6. 有效时钟输入 - 引脚选择模式，CLKin_SEL_INV = 0

CLKIN_SEL0 引脚	CLKIN_SEL1 引脚	STATUS_LD1 引脚	有效时钟
低	低	低	CLKIN0
低	高	低	CLKIN1
高	低	高	CLKIN2
高	高	X	保持

引脚选择模式会覆盖 EN_CLKinX 位，使得即使 CLKinX 因 EN_CLKinX = 0 而被禁用，CLKinX 缓冲器也会运行。要尽可能快地切换，请保持已启用可以切换到的时钟输入缓冲器 (EN_CLKinX = 1)。

8.3.6.3 输入时钟切换 - 自动模式

当 CLKin_SEL_AUTO_EN = 1，LOS_EN = 1 并且 HOLDOVER_EXIT_MODE = 0（基于 LOS 退出）时，按优先级顺序选择有效时钟，CLKin0 为最高优先级，CLKin1 为第二优先级，CLKin2 为第三优先级。

对于有资格切换到的时钟输入，必须使用 EN_CLKinX 启用。LOS_TIMEOUT 也应设置为低于输入频率的频率。

为确保 LOS 对交流耦合输入有效，必须为 CLKin 设置 MOS 模式，并且除非引脚被直流阻断，否则引脚之间不允许有任何终端。例如，交流耦合电容器 IC 侧的 CLKin0 和 CLKin0* 引脚上没有 100Ω 终端。

8.3.7 数字锁定检测 (DLD)

PLL1 和 PLL2 都支持数字锁定检测。数字锁定检测功能会比较 PLL 的参考路径 (R) 与反馈路径 (N) 之间的相位。当两个信号之间的时间误差（即相位误差）小于指定窗口大小（ε）时，锁定检测计数将递增。当锁定检测计数达到用户指定的值 PLL1_DLD_CNT 或 PLL2_DLD_CNT 时，锁定检测将置位为 true。一旦数字锁定检测为 true，指定窗口外的单相比较将导致数字锁定检测被置位为 false。如图 8-8 所示。

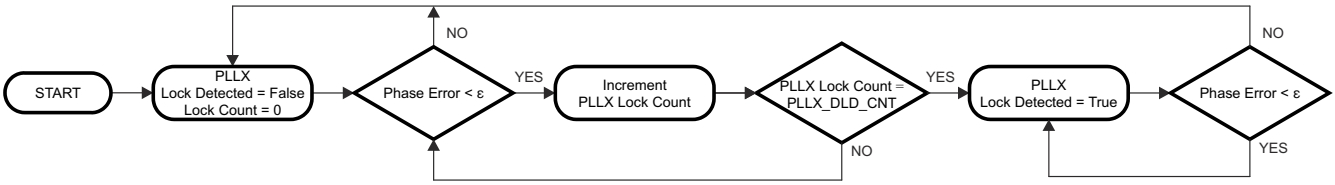


图 8-8. 数字锁定检测流程图

这种增量锁定检测计数特性可用作数字滤波器，以确保在初始锁相期间当 R 和 N 的相位在规定容差范围内的时间很短时，锁定检测在一小段时间内不置位。

请参阅*数字锁定检测频率精度*，详细了解如何对寄存器进行编程以通过锁定检测功能实现指定的频率精度（以 ppm 为单位）。

可以在 Status_LD1 或 Status_LD2 引脚上监测数字锁定检测信号。该引脚可以编程为输出 PLL1 和/或 PLL2 的锁定检测状态。

Copyright © 2023 Texas Instruments Incorporated

8.3.7.1 计算数字锁定检测频率精度

请参阅*数字锁定检测频率精度*，详细了解如何对寄存器进行编程以通过锁定检测功能实现指定的频率精度（以 ppm 为单位）。

数字锁定检测功能还可与保持模式一起使用，用于自动退出保持模式。有关更多信息，请参阅*退出保持*。

8.3.8 保持

当 PLL1 的输入时钟参考变为无效时，保持模式会导致 PLL2 保持锁定在具有最小频率漂移的频率上。在保持模式下，PLL1 电荷泵为三态，固定调谐电压设置在 CPout1 上，以在开环中操作 PLL1。

8.3.8.1 启用保持

编程 HOLDOVER_EN = 1 以启用保持模式。

可将保持模式配置为在进入保持模式时将 CPout1 电压设置为用户定义的固定电压 (EN_MAN_DAC = 1) 或跟踪电压 (EN_MAN_DAC = 0)。

8.3.8.1.1 固定（手动）CPout1 保持模式

通过编程 MAN_DAC_EN = 1，MAN_DAC 值将在保持期间设置在 CPout1 引脚上。

用户可以选择启用 CPout1 电压跟踪 (TRACK_EN = 1)，回读跟踪的 DAC 值，然后根据先前 DAC 回读的信息将 MAN_DAC 值重新编程为用户所需的值。这允许用户更好地控制保持 CPout1 电压，但也需要更多的用户干预。

8.3.8.1.2 跟踪 CPout1 保持模式

通过编程 MAN_DAC_EN = 0 和 TRACK_EN = 1，可在保持期间在 CPout1 引脚上设置 CPout1 的跟踪电压。当 DAC 已获取当前 CPout1 电压时，系统会设置 *DAC_LOCKED* 信号，可通过分别对 PLL1_LD_MUX 或 PLL2_LD_MUX 进行编程在 Status_LD1 或 Status_LD2 引脚上观察到该信号。

跟踪的 CPout1 子模式的 DAC 值更新速率为 PLL1 相位检测器频率除以 (DAC_CLK_MULT × DAC_CLK_CNTR)。

DAC 更新速率应编程为 ≤ 100kHz，从而确保实现 DAC 保持精度。

能够对慢 DAC 更新速率进行编程，例如，当使用 1024kHz PLL1 相位检测器频率且 DAC_CLK_MULT = 16,384 和 DAC_CLK_CNTR = 255 时，每 4.08 秒进行一次 DAC 更新，让器件可以在发生导致出现保持的事件之前，*回溯* CPout1 并将其设置为之前*良好*的 CPout1 调谐电压值。

可以使用 RB_DAC_VALUE 读回 DAC 当前电压值，请参阅 *RB_DAC_VALUE* 部分。

8.3.8.2 在保持期间

PLL1 在开环模式下运行。

- PLL1 电荷泵设置为三态。
- PLL1 DLD 已置为无效。
- HOLDOVER 状态已置为有效。
- 在保持期间，如果 PLL2 在进入保持模式之前被锁定，则 PLL2 DLD 继续置为有效。
- CPout1 电压设置为：
  - MAN_DAC 寄存器中设置的电压 (MAN_DAC_EN = 1)。
  - 被确定为最后一个有效 CPout1 电压的电压 (MAN_DAC_EN = 0)。
- PLL1 尝试锁定为有效时钟输入。

通过将 PLL1_DLD_MUX 或 PLL2_DLD_MUX 寄存器设置为*保持状态*，可以在 Status_LD1 或 Status_LD2 引脚上监测保持状态信号。

8.3.8.3 退出保持

可通过以下两种方式之一退出保持模式：

Copyright © 2023 Texas Instruments Incorporated

- 手动，通过从主机对器件进行编程。
- 自动，当 LOS 信号对于为 PLL1 提供有效输入的时钟无效时。

8.3.8.4 保持频率精度和 DAC 性能

在保持模式下，PLL1 以开环方式运行，DAC 设置 CPout1 电压。如果使用*固定 CPout1* 模式，则 DAC 的输出取决于 MAN_DAC 寄存器。如果使用*跟踪 CPout1* 模式，则 DAC 的输出与进入保持模式之前 CPout1 引脚上的电压大致相同。当使用跟踪模式且 MAN_DAC_EN = 1 时，保持期间的 DAC 值加载 MAN_DAC 中的编程值而不是跟踪值。

在跟踪 CPout1 模式下，获取 PLL1 调谐电压后，DAC 的最坏情况跟踪误差为 ±2LSB。步长约为 3.2mV，因此在保持模式期间由 DAC 跟踪精度引起的 VCXO 频率误差为 ±6.4mV × Kv，其中 Kv 是所用 VCXO 的调谐灵敏度。因此，系统在保持模式下的精度（以 ppm 为单位）为：

$$\text{Holdover accuracy (ppm)} = \frac{\pm 6.4\ \text{mV} \times \text{Kv} \times 1\text{e}6}{\text{VCXO Frequency}} \tag{2}$$

例如，考虑一个具有 19.2MHz 时钟输入，一个 153.6MHz VCXO，并且 Kv 为 17kHz/V 的系统。以 ppm 为单位的系统保持精度为：

$$\pm 0.71\text{ppm} = \pm 6.4\text{mV} \times 17\text{kHz/V} \times 1\text{e}6/153.6\text{MHz} \tag{3}$$

在确定导致退出保持模式的允许频率误差范围时，务必考虑此频率误差。

Copyright © 2023 Texas Instruments Incorporated

8.3.9 PLL2 环路滤波器

环路滤波器充当低通滤波器，累积来自电荷泵的校正电流，并将这些校正电流转换为电压。环路滤波器决定 PLL 环路带宽，这对 PLL 的性能有显著影响，因为它直接影响器件的相位噪声、杂散水平和开关速度。环路滤波器组件值取决于相位检测器频率、电荷泵增益和 VCO 的增益。

环路滤波器的设计需要权衡。理想带宽的选择取决于应用。尽可能减少抖动可能会导致更高的杂散水平和更长的锁定时间；因此，确定环路滤波器组件也因应用而异。

如何使用此工具获得旨在更大限度减少抖动的理想环路滤波器设计。在以下示例中，FPD

= 245.76MHz，KPD = 3.2mA，KVCO = 12.1MHz/V（此值也取决于应用）

导致 C1 = 220pF、C2 = 68nF 和 R2 = 120Ω 的外部环路滤波器。

PLL2 具有一个 C1i = 60pF，R3 = 2400Ω，C3 = 50pF，R4 = 200Ω 且 C4 = 10pF 的集成环路滤波器，如图 8-9 中所示。环路滤波器组件 C1、C2 和 R2 可以使用 PLLatinumSim 软件求解

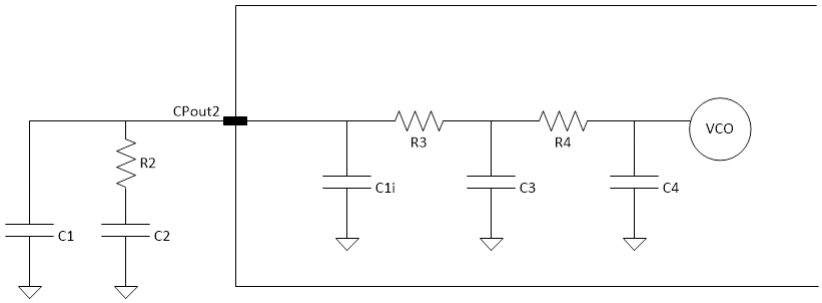


图 8-9. PLL2 片上环路滤波器

Copyright © 2023 Texas Instruments Incorporated

8.4 器件功能模式

该器件可针对多种不同的用例进行配置。下面的简化方框图可帮助用户了解器件的不同用例。

8.4.1 双 PLL

8.4.1.1 双环路

图 8-10 显示了双环路模式的典型用例。在双环路模式下，对 PLL1 的参考来自 CLKin0、CLKin1 或 CLKin2。一个外部 VCXO 用于提供第一个 PLL 的反馈以及对第二个 PLL 的参考。第一个 PLL 使用窄环路带宽清除 VCXO 的抖动。可以通过 OSCout 端口对 VCXO 进行缓冲。VCXO 用作对 PLL2 的参考，并可以用倍频器进行倍频。内部 VCO 可驱动多达 7 个分频/延迟块，从而驱动多达 14 个时钟输出。

当输入参考时钟丢失时，可选择使用无中断切换和保持功能。实现保持的方法是将 DAC 电压强制为 VCXO 的调谐电压。

也可以使用外部 VCO 代替 PLL2 的内部 VCO。在这种情况下，由于 CLKin1 用于外部输入，因此会少一个可用作参考的 CLKin。

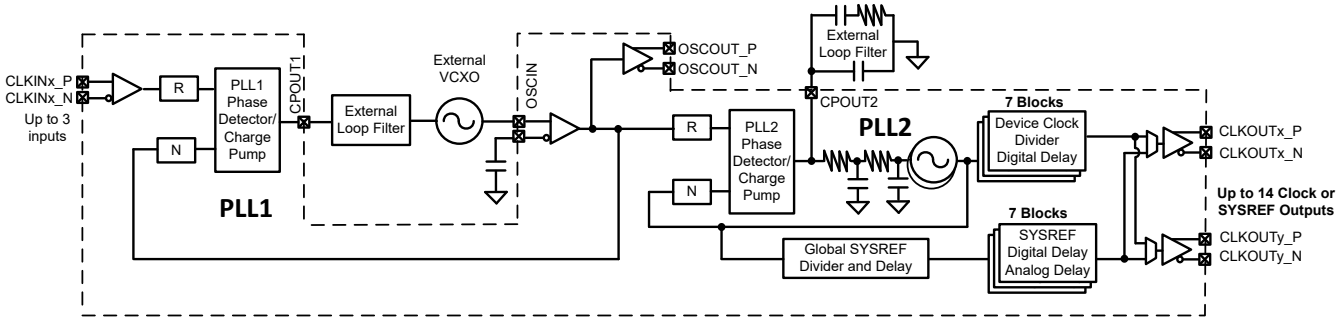


图 8-10. 双环路模式的功能方框图简化版

8.4.1.2 具有级联 0 延迟的双环路

图 8-11 显示了级联 0 延迟双环路模式的用例。此配置与图 8-10 中的双环路模式不同之处在于，PLL2 的反馈由时钟输出驱动，而不是直接由 VCO 输出驱动。

也可以使用外部 VCO 代替 PLL2 的内部 VCO，但会减少一个可用作参考的 CLKin，并且外部 0 延迟反馈不可用。

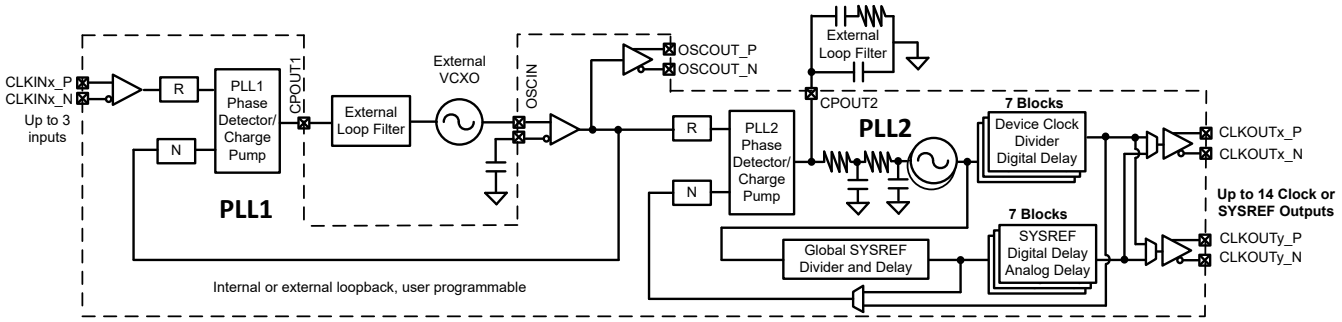


图 8-11. 级联 0 延迟双环路模式的功能方框图简化版

8.4.1.3 具有嵌套 0 延迟的双环路

图 8-12 显示了嵌套 0 延迟双环路模式的用例。此配置类似于图 8-10 中的双 PLL，不同之处在于第一个 PLL 的反馈由时钟输出驱动。PLL2 参考 OSCIN 对于 CLKIN 或反馈时钟不具有确定性。

Copyright © 2023 Texas Instruments Incorporated

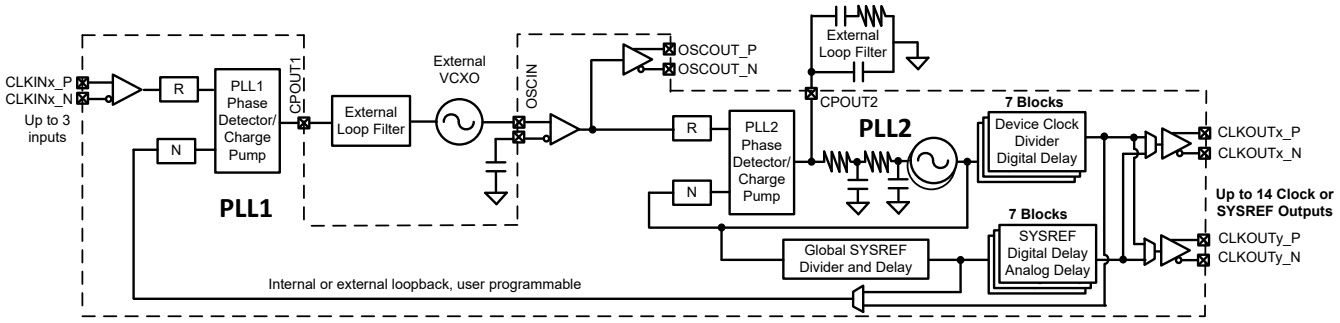


图 8-12. 嵌套 0 延迟双环路模式的功能方框图简化版

8.4.2 单个 PLL

8.4.2.1 PLL2 单环路

图 8-13 显示了 PLL2 单环路模式的用例。当与高频清洁参考一起使用时，可以实现与双环路模式一样好的性能。传统上，OSCIN 用作 PLL2 的参考，但也可以使用 CLKINx 作为 PLL2 的参考。

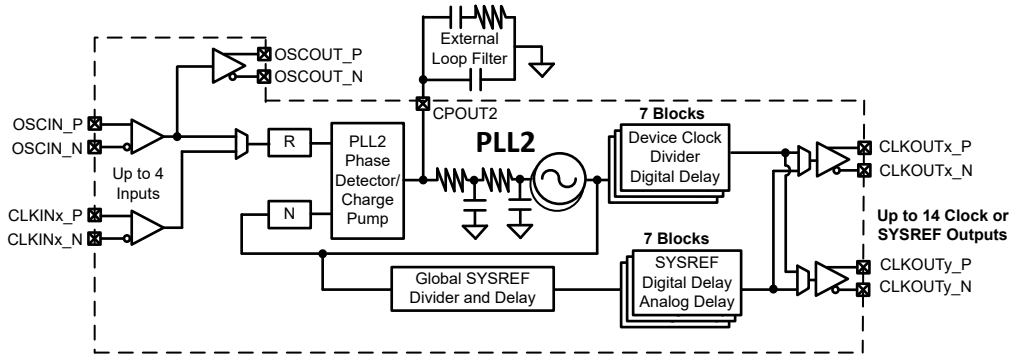


图 8-13. 单回路模式的简化功能框图

8.4.2.1.1 具有 0 延迟的 PLL2 单环路

图 8-14 显示了 0 延迟单环路模式的用例。此配置与单环路模式的不同之处在于，PLL2 的反馈由时钟输出驱动，而不是直接由 VCO 输出驱动。

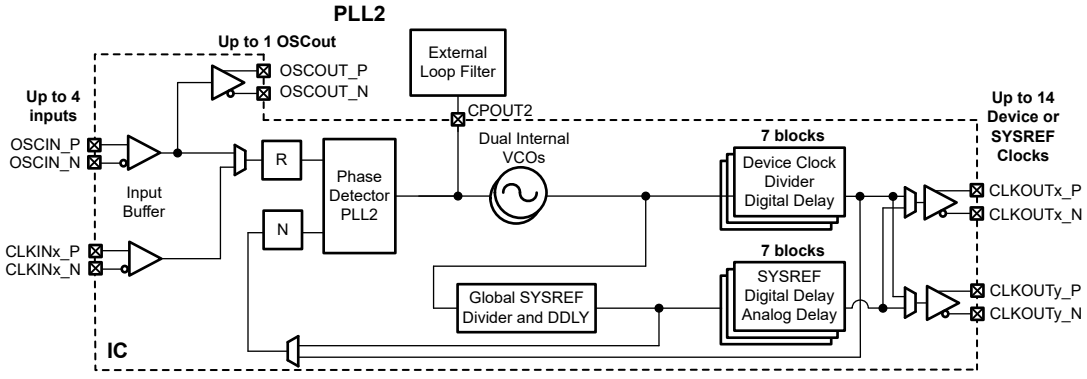


图 8-14. 具有 0 延迟的单环路模式的简化功能框图

图 8-14 列出了设置具有 0 延迟模式的 PLL2 单环路所需进行的编程。

Copyright © 2023 Texas Instruments Incorporated

表 8-7. 具有 0 延迟模式寄存器配置的单个 PLL

字段	寄存器地址	功能	值	选择值
PLL1_PD	0x140[7]	关闭 PLL1 的电源	1	已断电
VCO_LDO_PD	0x140[6]	关闭 VCO_LDO 的电源	0	已上电
VCO_PD	0x140[5]	关闭 VCO 的电源	0	已上电
PLL2_PRE_PD	0x173[6]	关闭 PLL2 预分频器的电源	0	已上电
PLL2_PD	0x173[5]	关闭 PLL2 的电源	0	已上电
OSCin_PD	0x140[4]	关闭 OSCin 端口的电源	0	已上电
PLL2_NCLK_MUX	0x13F[5]	选择 PLL2 N 分频器的输入	1	反馈多路复用器
PLL2_RCLK_MUX	0x13F[7]	选择 PLL2 的参考源	0	OSCin
FB_MUX_EN	0x13F[0]	启用反馈多路复用器	1	启用
VCO_MUX	0x138[6:5]	选择 VCO 0、1 或外部 VCO	0 或 1	VCO0 或 VCO1

8.4.2.2 具有外部 VCO 的 PLL2

FIN0/FIN1 输入引脚可与外部 VCO 一起使用。输入可以是单端或差分形式。在高频时，FIN0/FIN1 的输入阻抗较低。建议使用电阻焊盘进行匹配。

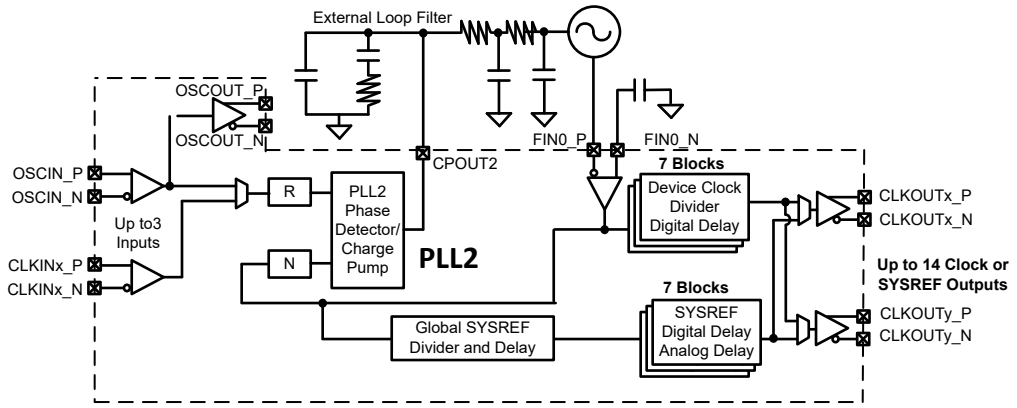


图 8-15. 采用外部 VCO 的单环路模式的简化功能框图

表 8-8 列出了为采用外部 VCO 的 PLL 设置器件的必填编程字段。

表 8-8. 具有外部 VCO 模式寄存器配置的单个 PLL

字段	寄存器地址	功能	值	选择值
PLL1_NCLK_MUX	0x13F	选择 PLL1 N 分频器的输入。	1	反馈多路复用器
PLL2_NCLK_MUX	0x13F	选择 PLL2 N 分频器的输入	0	PLL2 P
FB_MUX_EN	0x13F	启用反馈多路复用器。	1	启用
FB_MUX	0x13F	选择反馈多路复用器的输出。	0、1 或 2	在 DCLKout6、DCLKout8、SYSREF 之间选择
OSCin_PD	0x140	关闭 OSCin 端口的电源。	0	已上电
CLKin0_DEMUX	0x147	选择 CLKIN0 的输出方向。	2	PLL1
CLKin1_DEMUX	0x147	选择 CLKIN1 的输出方向。	0 或 2	FIN 或 PLL1
VCO_MUX	0x138	选择 VCO 0、1 或外部 VCO	0 或 1	VCO 0 或 VCO 1

Copyright © 2023 Texas Instruments Incorporated

8.4.3 分配模式

图 8-16 显示了分配模式的用例。与所有其他用例一样，OSCIN 至 OSCOUT 可用作缓冲器，既可缓冲到 OSCIN，也可以通过 CLKOUT6、CLKOUT8 或 SYSREF 分频器从时钟分配路径进行缓冲。

高频时，FIN0/FIN1 的输入阻抗较低，建议使用电阻焊盘进行匹配。

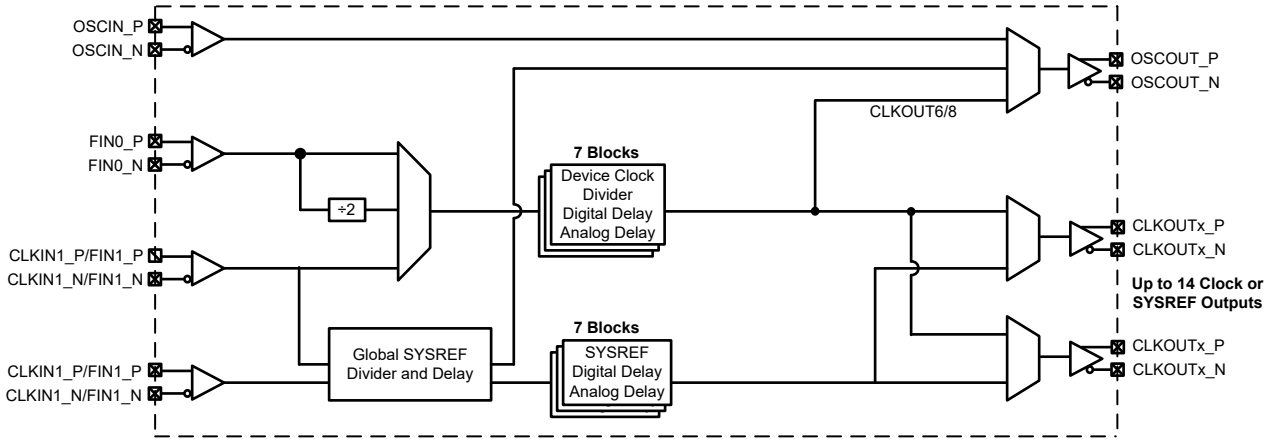


图 8-16. 分配模式的功能方框图简化版

8.5 编程

该器件使用 24 位寄存器进行编程。每个寄存器包含一个 1 位命令字段 (R/W)、一个 15 位地址字段（A14 至 A0）和一个 8 位数据字段（D7 至 D0）。每个寄存器的内容传入时，首先传入 MSB (R/W)，然后是 LSB (D0)。在编程期间，CS* 信号保持低电平。串行数据在 SCK 信号的上升沿传入。在传入 LSB 后，CS* 信号变为*高电平*，以便将内容锁存到移位寄存器中。TI 建议按数字顺序对寄存器进行编程（例如，0x000 至 0x555，*建议编程序列* 中注明的情况除外）。每个寄存器由一个或多个可控制器件功能的字段组成。有关时序的详细信息，请参阅*电气特性* 表和图 6-1。

8.5.1 建议编程序列

系统通常按数字顺序对寄存器进行编程，首先对寄存器 0x000 进行编程，0x555 是最后一个编程的寄存器。POR 的建议编程序列为：

1. 将寄存器 0x000 编程为 RESET = 1。
2. 对从 0x000 到 0x165 的已定义寄存器进行编程。
3. 如果使用了 PLL2，则将 0x173 编程为清除 PLL2_PD 和 PLL2_PRE_PD 位，以允许 PLL2 在 PLL2_N 编程后锁定。
4. 继续对从 0x166 到 0x555 的已定义寄存器进行编程。

备注

使用内部 VCO 时，必须在对其他 PLL2 分频器编程后对 PLL2_N 寄存器 0x166、0x167 和 0x168 进行编程，以确保进行正确的 VCO 频率校准。当 PLL2_NCLK_MUX = 1 时，PLL2_N_CAL 寄存器 0x163、0x164、0x165 也是如此。因此，如果任何分频器（如 PLL2_R）修改为更改 VCO 频率，则必须通过对 PLL2_N 进行编程来再次运行 VCO 校准。

在对 PLL2_N 进行编程之前，通过设置寄存器 0x173 中的 PLL2_PRE_PD = 0 和 PLL2_PD = 0，实现 PLL2 上电。

Copyright © 2023 Texas Instruments Incorporated

8.6 寄存器映射

8.6.1 用于器件编程的寄存器映射

表 8-9 提供了用于器件编程的寄存器映射。可以从写入数据的同一地址读取任何寄存器的值。

表 8-9. 寄存器映射

ADDRESS [14:0]	DATA[7:0]							
23:8	7	6	5	4	3	2	1	0
0x000	复位	0	0	SPI_3WIRE_DIS	0	0	0	0
0x002	0	0	0	0	0	0	0	POWER DOWN
0x003	ID_DEVICE_TYPE							
0x004	ID_PROD[7:0]							
0x005	ID_PROD[15:8]							
0x006	ID_MASKREV							
0x00C	ID_VNDR[15:8]							
0x00D	ID_VNDR[7:0]							
0x100	DCLK0_1_DIV[7:0]							
0x101	DCLK0_1_DDLY[7:0]							
0x102	CLKout0_1_PD	CLKout0_1_ODL	CLKout0_1_IDL	DCLK0_1_DDLY_PD	DCLK0_1_DDLY[9:8]		DCLK0_1_DIV[9:8]	
0x103	0	1	CLKout0_SRC_MUX	DCLK0_1_PD	DCLK0_1_BYP	DCLK0_1_DCC	DCLK0_1_POL	DCLK0_1_HS
0x104	0	0	CLKout1_SRC_MUX	SCLK0_1_PD	SCLK0_1_DIS_MODE		SCLK0_1_POL	SCLK0_1_HS
0x105	0	0	SCLK0_1_ADLY_EN	SCLK0_1_ADLY				
0x106	0	0	0	0	SCLK0_1_DDLY			
0x107	CLKout1_FMT				CLKout0_FMT			
0x108	DCLK2_3_DIV[7:0]							
0x109	DCLK2_3_DDLY[7:0]							
0x10A	CLKout2_3_PD	CLKout2_3_ODL	CLKout2_3_IDL	DCLK2_3_DDLY_PD	DCLK2_3_DDLY[9:8]		DCLK2_3_DIV[9:8]	
0x10B	0	1	CLKout2_SRC_MUX	DCLK2_3_PD	DCLK2_3_BYP	DCLK2_3_DCC	DCLK2_3_POL	DCLK2_3_HS
0x10C	0	0	CLKout3_SRC_MUX	SCLK2_3_PD	SCLK2_3_DIS_MODE		SCLK2_3_POL	SCLK2_3_HS
0x10D	0	0	SCLK2_3_ADLY_EN	SCLK2_3_ADLY				
0x10E	0	0	0	0	SCLK2_3_DDLY			
0x10F	CLKout3_FMT				CLKout2_FMT			
0x110	DCLK4_5_DIV[7:0]							
0x111	DCLK4_5_DDLY[7:0]							
0x112	CLKout4_5_PD	CLKout4_5_ODL	CLKout4_5_IDL	DCLK4_5_DDLY_PD	DCLK4_5_DDLY[9:8]		DCLK4_5_DIV[9:8]	
0x113	0	1	CLKout4_SRC_MUX	DCLK4_5_PD	DCLK4_5_BYP	DCLK4_5_DCC	DCLK4_5_POL	DCLK4_5_HS
0x114	0	0	CLKout5_SRC_MUX	SCLK4_5_PD	SCLK4_5_DIS_MODE		SCLK4_5_POL	SCLK4_5_HS
0x115	0	0	SCLK4_5_ADLY_EN	SCLK4_5_ADLY				
0x116	0	0	0	0	SCLK4_5_DDLY			
0x117	CLKout5_FMT				CLKout4_FMT			
0x118	DCLK6_7_DIV[7:0]							
0x119	DCLK6_7_DDLY[7:0]							

Copyright © 2023 Texas Instruments Incorporated

表 8-9. 寄存器映射 (continued)

ADDRESS [14:0]	DATA[7:0]							
23:8	7	6	5	4	3	2	1	0
0x11A	CLKout6_7_PD	CLKout6_7_ODL	CLKout6_7_IDL	DCLK6_7_DDLY_PD	DCLK6_7_DDLY[9:8]		DCLK6_7_DIV[9:8]	
0x11B	0	1	CLKout6_SRC_MUX	DCLK6_7_PD	DCLK6_7_BYP	DCLK6_7_DCC	DCLK6_7_POL	DCLK6_7_HS
0x11C	0	0	CLKout7_SRC_MUX	SCLK6_7_PD	SCLK6_7_DIS_MODE		SCLK6_7_POL	SCLK6_7_HS
0x11D	0	0	SCLK6_7_ADLY_EN	SCLK6_7_ADLY				
0x11E	0	0	0	0	SCLK6_7_DDLY			
0x11F	CLKout7_FMT				CLKout6_FMT			
0x120	DCLK8_9_DIV[7:0]							
0x121	DCLK8_9_DDLY[7:0]							
0x122	CLKout8_9_PD	CLKout8_9_ODL	CLKout8_9_IDL	DCLK8_9_DDLY_PD	DCLK8_9_DDLY[9:8]		DCLK8_9_DIV[9:8]	
0x123	0	1	CLKout8_SRC_MUX	DCLK8_9_PD	DCLK8_9_BYP	DCLK8_9_DCC	DCLK8_9_POL	DCLK8_9_HS
0x124	0	0	CLKout9_SRC_MUX	SCLK8_9_PD	SCLK8_9_DIS_MODE		SCLK8_9_POL	SCLK8_9_HS
0x125	0	0	SCLK8_9_ADLY_EN	SCLK8_9_ADLY				
0x126	0	0	0	0	SCLK8_9_DDLY			
0x127	CLKout9_FMT				CLKout8_FMT			
0x128	DCLK10_11_DIV[7:0]							
0x129	DCLK10_11_DDLY[7:0]							
0x12A	CLKout10_11_PD	CLKout10_11_ODL	CLKout10_11_IDL	DCLK10_11_DDLY_PD	DCLK10_11_DDLY[9:8]		DCLK10_11_DIV[9:8]	
0x12B	0	1	CLKout10_SRC_MUX	DCLK10_11_PD	DCLK10_11_BYP	DCLK10_11_DCC	DCLK10_11_POL	DCLK10_11_HS
0x12C	0	0	CLKout11_SRC_MUX	SCLK10_11_PD	SCLK10_11_DIS_MODE		SCLK10_11_POL	SCLK10_11_HS
0x12D	0	0	SCLK10_11_ADLY_EN	SCLK10_11_ADLY				
0x12E	0	0	0	0	SCLK10_11_DDLY			
0x12F	CLKout11_FMT				CLKout10_FMT			
0x130	DCLK12_13_DIV[7:0]							
0x131	DCLK12_13_DDLY[7:0]							
0x132	CLKout12_13_PD	CLKout12_13_ODL	CLKout12_13_IDL	DCLK12_13_DDLY_PD	DCLK12_13_DDLY[9:8]		DCLK12_13_DIV[9:8]	
0x133	0	1	CLKout12_SRC_MUX	DCLK12_13_PD	DCLK12_13_BYP	DCLK12_13_DCC	DCLK12_13_POL	DCLK12_13_HS
0x134	0	0	CLKout13_SRC_MUX	SCLK12_13_PD	SCLK12_13_DIS_MODE		SCLK12_13_POL	SCLK12_13_HS
0x135	0	0	SCLK12_13_ADLY_EN	SCLK12_13_ADLY				
0x136	0	0	0	0	SCLK12_13_DDLY			
0x137	CLKout13_FMT				CLKout12_FMT			
0x138	0	VCO_MUX		OSCout_MUX	OSCout_FMT			
0x139	0	0	0	SYSREF_REQ_EN	SYNC_BYPASS	0	SYSREF_MUX	
0x13A	0	0	0	SYSREF_DIV[12:8]				
0x13B	SYSREF_DIV[7:0]							
0x13C	0	0	0	SYSREF_DDLY[12:8]				
0x13D	SYSREF_DDLY[7:0]							

Copyright © 2023 Texas Instruments Incorporated

表 8-9. 寄存器映射 (continued)

ADDRESS [14:0]	DATA[7:0]							
23:8	7	6	5	4	3	2	1	0
0x13E	0	0	0	0	0	SYSREF_PULSE_CNT		
0x13F	PLL2_RCLK_MUX	0	PLL2_NCLK_MUX	PLL1_NCLK_MUX		FB_MUX		FB_MUX_EN
0x140	PLL1_PD	VCO_LDO_PD	VCO_PD	OSCin_PD	SYSREF_GBL_PD	SYSREF_PD	SYSREF_DDLY_PD	SYSREF_PLSR_PD
0x141	DDLYd_SYSREF_EN	DDLYd12_EN	DDLYd10_EN	DDLYd8_EN	DDLYd6_EN	DDLYd4_EN	DDLYd2_EN	DDLYd0_EN
0x142	DDLYd_STEP_CNT							
0x143	SYSREF_CLR	SYNC_1SHOT_EN	SYNC_POL	SYNC_EN	SYNC_PLL2_DLD	SYNC_PLL1_DLD	SYNC_MODE	
0x144	SYNC_DISSYSREF	SYNC_DIS12	SYNC_DIS10	SYNC_DIS8	SYNC_DIS6	SYNC_DIS4	SYNC_DIS2	SYNC_DIS0
0x146	CLKin_SEL_PIN_EN	CLKin_SEL_PIN_POL	CLKin2_EN	CLKin1_EN	CLKin0_EN	CLKin2_TYPE	CLKin1_TYPE	CLKin0_TYPE
0x147	CLKin_SEL_AUTO_REVERT_EN	CLKin_SEL_AUTO_EN	CLKin_SEL_MANUAL		CLKin1_DEMUX		CLKin0_DEMUX	
0x148	0	0	CLKin_SEL0_MUX			CLKin_SEL0_TYPE		
0x149	0	SDIO_RDBK_TYPE	CLKin_SEL1_MUX			CLKin_SEL1_TYPE		
0x14A	0	0	RESET_MUX			RESET_TYPE		
0x14B	LOS_TIMEOUT		LOS_EN	TRACK_EN	HOLDOVER_FORCE	MAN_DAC_EN	MAN_DAC[9:8]	
0x14C	MAN_DAC[7:0]							
0x14D	0	0	DAC_TRIP_LOW					
0x14E	DAC_CLK_MULT		DAC_TRIP_HIGH					
0x14F	DAC_CLK_CNTR							
0x150	0	CLKin_OVERRIDE	HOLDOVER_EXIT_MODE	HOLDOVER_PLL1_DET	LOS_EXTERNAL_INPUT	HOLDOVER_VTUNE_DET	CLKin_SWITCH_CP_TRI	HOLDOVER_EN
0x151	0	0	HOLDOVER_DLD_CNT[13:8]					
0x152	HOLDOVER_DLD_CNT[7:0]							
0x153	0	0	CLKin0_R[13:8]					
0x154	CLKin0_R[7:0]							
0x155	0	0	CLKin1_R[13:8]					
0x156	CLKin1_R[7:0]							
0x157	0	0	CLKin2_R[13:8]					
0x158	CLKin2_R[7:0]							
0x159	0	0	PLL1_N[13:8]					
0x15A	PLL1_N[7:0]							
0x15B	PLL1_WND_SIZE		PLL1_CP_TRI	PLL1_CP_POL	PLL1_CP_GAIN			
0x15C	0	0	PLL1_DLD_CNT[13:8]					
0x15D	PLL1_DLD_CNT[7:0]							
0x15E	0	0	0	HOLDOVER_EXIT_NADJ				
0x15F	PLL1_LD_MUX					PLL1_LD_TYPE		
0x160	0	0	0	0	PLL2_R			
0x161	PLL2_R							
0x162	PLL2_P			0	OSCin_FREQ		PLL2_XTAL_EN	PLL2_REF_2X_EN
0x163	0	0	0	0	0	0	PLL2_N_CAL[17:16]	
0x164	PLL2_N_CAL[15:8]							
0x165	PLL2_N_CAL[7:0]							

Copyright © 2023 Texas Instruments Incorporated

表 8-9. 寄存器映射 (continued)

ADDRESS [14:0]	DATA[7:0]							
23:8	7	6	5	4	3	2	1	0
0x166	0	0	0	0	0	PLL2_FCAL_DIS	PLL2_N[17:16]	
0x167	PLL2_N[15:8]							
0x168	PLL2_N[7:0]							
0x169	0	PLL2_WND_SIZE		PLL2_CP_GAIN		PLL2_CP_POL	PLL2_CP_TRI	PLL2_DLD_EN
0x16A	0	0	PLL2_DLD_CNT[13:8]					
0x16B	PLL2_DLD_CNT[7:0]							
0x177			PLL1R_RST					
0x182	0	0	0	0	0	0	CLR_PLL1_LD_LOST	CLR_PLL2_LD_LOST
0x183	0	0	0	0	RB_PLL1_DLD_LOST	RB_PLL1_DLD	RB_PLL2_DLD_LOST	RB_PLL2_DLD
0x184	RB_DAC_VALUE[9:8]		RB_CLKin2_SEL	RB_CLKin1_SEL	RB_CLKin0_SEL	RB_CLKin2_LOS	RB_CLKin1_LOS	RB_CLKin0_LOS
0x185	RB_DAC_VALUE[7:0]							
0x188	0	X	RB_HOLDOVER	X	RB_DAC_RAIL	RB_DAC_HIGH	RB_DAC_LOW	RB_DAC_LOCKED
0x555	SPI_LOCK							

Copyright © 2023 Texas Instruments Incorporated

8.6.2 器件寄存器说明

下一节详细介绍了每个寄存器的字段、上电复位默认值以及每个位的具体说明。

在某些情况下，相似的字段位于多个寄存器中。在这种情况下，特定输出可以指定为 X 或 Y。在这些情况下，X 表示从 0 到 12 的偶数，Y 表示从 1 到 13 的奇数。如果位的名称中同时使用了 X 和 Y，则 Y = X + 1。

表 8-10. 器件寄存器说明摘要

地址范围	功能	说明
0x00 至 0x00D	系统功能	只读信息，例如产品和供应商 ID 等
0x100 至 0x137	器件时钟和 SYSREF 时钟输出控制	对于七个时钟输出对中的每一对，一组寄存器控制每个输出的行为。CLKout0_1：0x100 至 0x107，CLKout2_3：0x108 至 0x10F，CLKout4_5：0x110 至 0x117，CLKout6_7：0x118 至 0x11F，CLKout8_9：0x120 至 0x127，CLKout10_11：0x128 至 0x12F，CLKout12_13：0x130 至 0x137
0x138 和 0x145	SYSREF、SYNC 和器件配置	SYSREF 和 SYNC 配置的设置，例如 SYSREF 分频值、延迟、脉冲计数等。设置 VCO 和 OSCout 多路复用器输出信号和 OSCout 的输出格式。器件元件的断电寄存器（CLKoutX_Y 除外）
0x146 至 0x149	CLKin 控制	控制 CLKinX 的不同行为，例如选择输入时钟源、启用 CLKinX 等
0x14A	RESET_MUX、RESET_TYPE	控制 RESET_MUX 和 RESET_TYPE
0x14B 至 0x152	保持	控制启用保持时的不同行为
0x153 至 0x15F 以及 0x177	PLL1 配置	控制 PLL1 的不同行为，例如设置和同步 R 和 N 分频器、校准 PLL1 等
0x160 至 0x173	PLL2 配置	控制 PLL2 的不同行为，例如设置和同步 R 和 N 分频器、校准 PLL2 等
0x174 至 0x555（0x177 除外）	其他寄存器	不同寄存器和 SPI 锁定的回读访问

8.6.2.1 系统功能

8.6.2.1.1 RESET、SPI_3WIRE_DIS

此寄存器包含 RESET 功能并能够关闭 3 线 SPI 模式。要使用 4 线 SPI 模式，请在其中一个输出多路复用器设置中选择 SPI 读回。例如 CLKin0_SEL_MUX 或 RESET_MUX。可以同时有 3 线和 4 线读回。

表 8-11. 寄存器 0x000

位	名称	POR 默认值	说明
7	复位	0	0：正常运行 1：复位（自动清除）
6:5	不适用	0	保留
4	SPI_3WIRE_DIS	0	禁用 3 线 SPI 模式。 0：启用 3 线模式 1：禁用 3 线模式
3:0	不适用	不适用	保留

8.6.2.1.2 POWERDOWN

该寄存器中包含 POWERDOWN 功能。

表 8-12. 寄存器 0x002

位	名称	POR 默认值	说明
7:1	不适用	0	保留
0	POWERDOWN	0	0：正常运行 1：关闭器件电源。

8.6.2.1.3 ID_DEVICE_TYPE

该寄存器包含产品器件类型。这是只读寄存器。

Copyright © 2023 Texas Instruments Incorporated

表 8-13. 寄存器 0x003

位	名称	POR 默认值	说明
7:0	ID_DEVICE_TYPE	6	PLL 产品器件类型。

8.6.2.1.4 ID_PROD

这些寄存器包含产品标识符。这是只读寄存器。

表 8-14. ID_PROD 字段寄存器

MSB	LSB
0x005[7:0] / ID_PROD[15:8]	0x004[7:0] / ID_PROD[7:0]

表 8-15. 寄存器 0x004 和 0x005

寄存器	位	字段名称	POR 默认值	说明
0x005	7:0	ID_PROD[15:8]	209 (0xD1)	产品标识符的 MSB。
0x004	7:0	ID_PROD[7:0]	99 (0x63)	产品标识符的 LSB。

8.6.2.1.5 ID_MASKREV

该寄存器包含 IC 版本标识符。这是只读寄存器。

表 8-16. 寄存器 0x006

位	名称	POR 默认值	说明
7:0	ID_MASKREV	112 (0x70)	IC 版本标识符

8.6.2.1.6 ID_VNDR

这些寄存器包含供应商标识符。这是只读寄存器。

表 8-17. ID_VNDR 字段寄存器

MSB	LSB
0x00C[7:0] / ID_VNDR[15:8]	0x00D[7:0] / ID_VNDR[7:0]

表 8-18. 寄存器 0x00C、0x00D

寄存器	位	名称	POR 默认值	说明
0x00C	7:0	ID_VNDR[15:8]	81 (0x51)	供应商标识符的 MSB。
0x00D	7:0	ID_VNDR[7:0]	4 (0x04)	供应商标识符的 LSB。

Copyright © 2023 Texas Instruments Incorporated

8.6.2.2 （0x100 至 0x137）器件时钟和 SYSREF 时钟输出控制

表 8-19 列出了所有 CLKoutX_Y 组及其各自的寄存器，并附有简要说明。

表 8-19. 按时钟输出组划分的字段寄存器

寄存器名称	CLKout0 和 CLKout1	CLKout2 和 CLKout3	CLKout4 和 CLKout5	CLKout6 和 CLKout7	CLKout8 和 CLKout9	CLKout10 和 CLKout11	CLKout12 和 CLKout13	说明
DCLKX_Y_DIV	0x102[1:0] 和 0x100[7:0]	0x10A[1:0] 和 0x108[7:0]	0x112[1:0] 和 0x110[7:0]	0x11A[1:0] 和 0x118[7:0]	0x122[1:0] 和 0x120[7:0]	0x12A[1:0] 和 0x128[7:0]	0x132[1:0] 和 0x130[7:0]	将 VCO 频率分频以获得所需的输出频率
DCLKX_Y_DDLY	0x102[2:3] 和 0x101[7:0]	0x10A[2:3] 和 0x109[7:0]	0x112[2:3] 和 0x111[1:0]	0x11A[2:3] 和 0x119[7:0]	0x122[2:3] 和 0x121[7:0]	0x12A[2:3] 和 0x129[7:0]	0x132[2:3] 和 0x131[7:0]	将输出时钟延迟几个 VCO 周期
CLKoutX_Y_PD	0x102[7]	0x10A[7]	0x112[7]	0x11A[7]	0x122[7]	0x12A[7]	0x132[7]	将 CLKout 组断电
CLKoutX_Y_ODL	0x102[6]	0x10A[6]	0x112[6]	0x11A[6]	0x122[6]	0x12A[6]	0x132[6]	设置输出驱动电平
CLKoutX_Y_IDL	0x102[5]	0x10A[5]	0x112[5]	0x11A[5]	0x122[5]	0x12A[5]	0x132[5]	设置输入驱动电平
DCLKX_Y_DDLY_PD	0x102[4]	0x10A[4]	0x112[4]	0x11A[4]	0x122[4]	0x12A[4]	0x132[4]	将数字延迟电路断电
CLKoutX_SRC_MUX 和 CLKoutY_SRC_MUX	CLKout0：0x103[5] 和 CLKout1：0x104[5]	CLKout2：0x10B[5] 和 CLKout3：0x10C[5]	CLKout4：0x113[5] 和 CLKout5：0x114[5]	CLKout6：0x11B[5] 和 CLKout7：0x11C[5]	CLKout8：0x123[5] 和 CLKout9：0x124[5]	CLKout10：0x12B[5] 和 CLKout11：0x12C[5]	CLKout12：0x133[5] 和 CLKout13：0x134[5]	选择源
DCLKX_Y_PD	0x103[4]	0x10B[4]	0x113[4]	0x11B[4]	0x123[4]	0x12B[4]	0x133[4]	将时钟源断电
DCLKX_Y_BYP	0x103[3]	0x10B[3]	0x113[3]	0x11B[3]	0x123[3]	0x12B[3]	0x133[3]	启用高性能旁路路径
DCLKX_Y_DCC	0x103[2]	0x10B[2]	0x113[2]	0x11B[2]	0x123[2]	0x12B[2]	0x133[2]	分频器的占空比校正
DCLKX_Y_POL	0x103[1]	0x10B[1]	0x113[1]	0x11B[1]	0x123[1]	0x12B[1]	0x133[1]	反转器件时钟的极性
DCLKX_Y_HS	0x103[0]	0x10B[0]	0x113[0]	0x11B[0]	0x123[0]	0x12B[0]	0x133[0]	设置器件时钟半步进
SCLKX_Y_PD	0x104[4]	0x10C[4]	0x114[4]	0x11C[4]	0x124[4]	0x12C[4]	0x134[4]	将 SYSREF 断电
SCKX_Y_DIS_MODE	0x104[3:2]	0x10C[3:2]	0x114[3:2]	0x11C[3:2]	0x124[3:2]	0x12C[3:2]	0x134[3:2]	由 SYSREF 控制时设置禁用模式
SCLKX_Y_POL	0x104[1]	0x10C[1]	0x114[1]	0x11C[1]	0x124[1]	0x12C[1]	0x134[1]	反转 SYSREF 时钟的极性
SCLKX_Y_HS	0x104[0]	0x10C[0]	0x114[0]	0x11C[0]	0x124[0]	0x12C[0]	0x134[0]	设置 SYSREF 时钟半步进
SCLKX_Y_ADLY_EN	0x105[5]	0x10D[5]	0x115[5]	0x11D[5]	0x125[5]	0x12D[5]	0x135[5]	启用模拟延迟
SCLKX_Y_ADLY	0x105[4:0]	0x10D[4:0]	0x115[4:0]	0x11D[4:0]	0x125[4:0]	0x12D[4:0]	0x135[4:0]	设置 SYSREF 时钟的模拟延迟
SCLKX_Y_DDLY	0x106[3:0]	0x10E[3:0]	0x116[3:0]	0x11E[3:0]	0x126[3:0]	0x12E[3:0]	0x136[3:0]	设置 SYSREF 时钟的数字延迟
CLKoutX_FMT 和 CLKoutY_FMT	CLKout0：0x107[3:0] 和 CLKout1：0x107[7:4]	CLKout2：0x10F[3:0] 和 CLKout3：0x10F[7:4]	CLKout4：0x117[3:0] 和 CLKout5：0x117[7:4]	CLKout6：0x11F[3:0] 和 CLKout7：0x11F[7:4]	CLKout8：0x127[3:0] 和 CLKout9：0x127[7:4]	CLKout10：0x12F[3:0] 和 CLKout11：0x12F[7:4]	CLKout12：0x137[3:0] 和 CLKout13：0x137[7:4]	设置时钟格式

Copyright © 2023 Texas Instruments Incorporated

8.6.2.2.1 DCLKX_Y_DIV

器件时钟分频器最多可驱动两个输出，即一个偶数 (X) 时钟输出和一个奇数 (Y) 时钟输出。分频是一个 10 位的数字，分为两个寄存器。

表 8-20. DCLKX_Y_DIV 字段寄存器

MSB	LSB
0x0102[1:0] = DCLK0_1_DIV[9:8]	0x100[7:0] = DCLK0_1_DIV[7:0]
0x010A[1:0] = DCLK2_3_DIV[9:8]	0x108[7:0] = DCLK2_3_DIV[7:0]
0x0112[1:0] = DCLK4_5_DIV[9:8]	0x110[7:0] = DCLK4_5_DIV[7:0]
0x011A[1:0] = DCLK6_7_DIV[9:8]	0x118[7:0] = DCLK6_7_DIV[7:0]
0x0122[1:0] = DCLK8_9_DIV[9:8]	0x120[7:0] = DCLK8_9_DIV[7:0]
0x012A[1:0] = DCLK10_11_DIV[9:8]	0x128[7:0] = DCLK10_11_DIV[7:0]
0x0132[1:0] = DCLK12_13_DIV[9:8]	0x130[7:0] = DCLK12_13_DIV[7:0]

表 8-21. 寄存器 0x100、0x108、0x110、0x118、0x120、0x128、0x130、0x102、0x10A、0x112、0x11A、0x122、0x12A、0x132

<table>
<tr><th>寄存器</th><th>位</th><th>名称</th><th>POR 默认值</th><th colspan="2">说明</th></tr>
<tr><td rowspan="2">0x102、0x10A、0x112、0x11A、0x122、0x12A、0x132</td><td rowspan="2">1:0</td><td rowspan="2">DCLKX_Y_DIV[9:8]</td><td rowspan="8">X_Y = 0_1 → 2
X_Y = 2_3 → 4
X_Y = 4_5 → 8
X_Y = 6_7 → 8
X_Y = 8_9 → 8
X_Y = 10_11 → 8
X_Y = 12_13 → 2</td><td colspan="2">DCLKX_Y_DIV 设置时钟输出的分频值，分频可以是偶数或奇数。如果启用占空比校正 (DCC)，则偶数或奇数分频都会输出一个 50% 占空比的时钟。</td></tr>
<tr><td>字段值</td><td>分频器值</td></tr>
<tr><td rowspan="6">0x100、0x108、0x110、0x118、0x120、0x128、0x130</td><td rowspan="6">7:0</td><td rowspan="6">DCLKX_Y_DIV[7:0]</td><td>0 (0x00)</td><td>保留</td></tr>
<tr><td>1 (0x01)</td><td>1 (1)</td></tr>
<tr><td>2 (0x02)</td><td>2</td></tr>
<tr><td>...</td><td>...</td></tr>
<tr><td>1022 (0x3FE)</td><td>1022</td></tr>
<tr><td>1023 (0x3FF)</td><td>1023</td></tr>
</table>

(1) 还必须启用占空比校正，DCLKX_Y_DCC = 1。

Copyright © 2023 Texas Instruments Incorporated

8.6.2.2.2 DCLKX_Y_DDLY

该寄存器可以控制器件时钟输出的数字延迟。

表 8-22. DCLKX_Y_DDLY 字段寄存器

MSB	LSB
0x0102[2:3] = DCLK0_1_DDLY[9:8]	0x101[7:0] = DCLK0_1_DDLY[7:0]
0x010A[2:3] = DCLK2_3_DDLY[9:8]	0x109[7:0] = DCLK2_3_DDLY[7:0]
0x0112[2:3] = DCLK4_5_DDLY[9:8]	0x111[7:0] = DCLK4_5_DDLY[7:0]
0x011A[2:3] = DCLK6_7_DDLY[9:8]	0x119[7:0] = DCLK6_7_DDLY[7:0]
0x0122[2:3] = DCLK8_9_DDLY[9:8]	0x121[7:0] = DCLK8_9_DDLY[7:0]
0x012A[2:3] = DCLK10_11_DDLY[9:8]	0x129[7:0] = DCLK10_11_DDLY[7:0]
0x0132[2:3] = DCLK12_13_DDLY[9:8]	0x131[7:0] = DCLK12_13_DDLY[7:0]

表 8-23. 寄存器 0x101、0x109、0x111、0x119、0x121、0x129、0x131、0x102、0x10A、0x112、0x11A、0x122、0x12A、0x132

寄存器	位	名称	POR 默认值	说明	
0x102、0x10A、0x112、0x11A、0x122、0x12A、0x132	2:3	DCLKX_Y_DDLY[9:8]	10 (0x0A)	在 SYNC 之后生效的静态数字延迟。	
				字段值	延迟值
				0 (0x00)	保留
				1 (0x01)	保留
				...	...
0x101、0x109、0x111、0x119、0x121、0x129、0x131	7:0	DCLKX_Y_DDLY[7:0]		7 (0x07)	保留
				8 (0x08)	8
				9 (0x09)	9
				...	...
				1022 (0x3FE)	1022
				1023 (0x3FF)	1023

根据 DCLK 分频值，可能需要调整相位延迟。表 8-24 说明了不同分频值对最终数字延迟的影响。

表 8-24. 基于分频值的数字延迟调整

分频值	数字延迟调整
2、3	– 2(1)
4、7 至 1023	0
5	+2
6	+1

(1) 在 SYNC 之前，将分频器编程为 4 分频，然后恢复为 2 分频或 3 分频，以确保“-2”延迟关系。

例如，表 8-25 显示一个系统中的时钟输出具有分频值 /2、/4、/5 和 /6 以共享公共沿。

表 8-25. 数字延迟调整说明

分频值	已编程的 DDLY	实际 DDLY
2	13	11
4	11	11
5	8	11
6	10	11

Copyright © 2023 Texas Instruments Incorporated

8.6.2.2.3 CLKoutX_Y_PD、CLKoutX_Y_ODL、CLKoutX_Y_IDL、DCLKX_Y_DDLY_PD、DCLKX_Y_DDLY[9:8]、DCLKX_Y_DIV[9:8]

表 8-26. 寄存器 0x102、0x10A、0x112、0x11A、0x122、0x12A、0x132

位	名称	POR 默认值	说明
7	CLKoutX_Y_PD	1	将 X 和 Y 定义的时钟组断电。 0：启用 1：将包括 CLKoutX 和 CLKoutY 在内的整个时钟组断电。
6	CLKoutX_Y_ODL	0	设置时钟的输出驱动电平。对旁路模式下的偶数时钟输出没有影响。 0：正常运行 1：电流消耗增高，本底噪声降低。
5	CLKoutX_Y_IDL	0	设置时钟的输入驱动电平。 0：正常运行 1：电流消耗增高，本底噪声降低。
4	DCLKX_Y_DDLY_PD	0	将器件时钟数字延迟电路断电。 0：启用 1：将器件时钟分频器的静态数字延迟电路断电。
3:2	DCLKX_Y_DDLY[9:8]	0	静态数字延迟的 MSB，请参阅 *DCLKX_Y_DDLY*。
1:0	DCLKX_Y_DIV[9:8]	0	器件时钟分频值的 MSB，请参阅表 8-21。

Copyright © 2023 Texas Instruments Incorporated

8.6.2.2.4 CLKoutX_SRC_MUX、DCLKX_Y_PD、DCLKX_Y_BYP、DCLKX_Y_DCC、DCLKX_Y_POL、DCLKX_Y_HS

这些寄存器控制器件时钟的模拟延迟属性。

表 8-27. 寄存器 0x103、0x10B、0x113、0x11B、0x123、0x12B、0x133

位	名称	POR 默认值	说明
7	不适用	0	保留
6	不适用	1	保留
5	CLKoutX_SRC_MUX	0	选择 CLKOUTx 时钟源。时钟源也必须上电。 0：器件时钟 1：SYSREF
4	DCLKX_Y_PD	0	将 X 和 Y 定义的时钟组断电。 0：启用 1：将整个时钟组 X_Y 断电。
3	DCLKX_Y_BYP	0	为偶数时钟输出启用高性能旁路路径。 0：CLKoutX 未处于高性能旁路模式。CML 对 CLKoutX_FMT 无效。 1：CLKoutX 处于高性能旁路模式。只有 CML 时钟格式有效。
2	DCLKX_Y_DCC	0	器件时钟分频器的占空比校正。对于半步进，这是必需的。 0：无占空比校正。 1：启用占空比校正。
1	DCLKX_Y_POL	0	反转器件时钟输出的极性。也适用于高性能旁路模式下的 CLKoutX。极性反转是一种在高性能旁路模式或 /1 分频值下获得半步进相位调整的方法。 0：正常极性 1：反转极性
0	DCLKX_Y_HS	0	设置器件时钟的半步进值。必须设置为零 (0) 才能实现 1 分频。 如果 DCLKX_Y_DCC = 0，则无效。 0：无相位调整 1：调整器件时钟相位 –0.5 个时钟分配路径周期。

8.6.2.2.5 CLKoutY_SRC_MUX、SCLKX_Y_PD、SCLKX_Y_DIS_MODE、SCLKX_Y_POL、SCLKX_Y_HS

这些寄存器可设置器件时钟的半步进、SYSREF 输出多路复用器、SYSREF 时钟数字延迟和半步进。

表 8-28. 寄存器 0x104、0x10C、0x114、0x11C、0x124、0x12C、0x134

<table>
<tr><th>位</th><th>名称</th><th>POR 默认值</th><th colspan="2">说明</th></tr>
<tr><td>7:6</td><td>不适用</td><td>0</td><td colspan="2">保留</td></tr>
<tr><td>5</td><td>CLKoutY_SRC_MUX</td><td>0</td><td colspan="2">选择 CLKOUTx 时钟源。时钟源也必须上电。
0：器件时钟
1：SYSREF</td></tr>
<tr><td>4</td><td>SCLKX_Y_PD</td><td>1</td><td colspan="2">将 SYSREF 时钟输出电路断电。
0：启用 SYSREF
1：将时钟对的 SYSREF 路径断电。</td></tr>
<tr><td rowspan="5">3:2</td><td rowspan="5">SCLKX_Y_DIS_MODE</td><td rowspan="5">0</td><td colspan="2">为 SYSREF 控制的时钟输出设置禁用模式。当 SYSREF_GBL_PD = 1 时，某些情况下将置为有效。</td></tr>
<tr><td>字段值</td><td>禁用模式</td></tr>
<tr><td>0 (0x00)</td><td>在正常运行状态下有效</td></tr>
<tr><td>1 (0x01)</td><td>如果 SYSREF_GBL_PD = 1，则输出为逻辑低电平，否则为有效。</td></tr>
<tr><td>2 (0x02)</td><td>如果 SYSREF_GBL_PD=1，则对于奇数时钟通道，输出为 Vcm 标称电压 (1)，而对于偶数时钟通道，输出则为 Vcm 低电压。否则，输出有效。</td></tr>
<tr><td colspan="2">3 (0x03)</td><td>输出为 Vcm 标称电压(1)</td></tr>
</table>

表 8-28. 寄存器 0x104、0x10C、0x114、0x11C、0x124、0x12C、0x134 (continued)

位	名称	POR 默认值	说明
1	SCLKX_Y_POL	0	使用 CLKoutX_MUX 或 CLKoutY_MUX 选择 SYSREF 时钟输出时，设置 SCLKX_Y 上的时钟极性。 0：正常 1：反转
0	SCLKX_Y_HS	0	设置本地 SYSREF 时钟半步进值。 0：无相位调整 1：调整器件 SYSREF 相位 -0.5 个时钟分配路径周期。

(1) 如果使用 LVPECL 模式时发射极电阻接地，则输出 Vcm 将约为 0V，每个引脚将约为 0V。如果使用 CML 模式时上拉至 V_{CC}，则输出 V_{CM} 将约为 V_{CC} V，每个引脚将约为 V_{CC} V。

Copyright © 2023 Texas Instruments Incorporated

8.6.2.2.6 SCLKX_Y_ADLY_EN、SCLKX_Y_ADLY

这些寄存器设置 SYSREF 输出的模拟延迟参数。

表 8-29. 寄存器 0x105、0x10D、0x115、0x11D、0x125、0x12D、0x135

位	名称	POR 默认值	说明	
7:6	不适用	0	保留	
5	SCLKX_Y _ADLY_EN	0	启用 SYSREF 输出的模拟延迟。 0：禁用 1：启用	
4:0	SCLKX_Y _ADLY	0	SYSREF 模拟延迟，步长约为 21ps。选择模拟延迟会增加额外 125ps 的传播延迟。范围为 125ps 至 608ps。	
			字段值	**延迟值**
			0 (0x0)	125 ps
			1 (0x1)	146ps (与 0x00 相比 +21ps)
			2 (0x2)	167ps (与 0x00 相比 +42ps)
			3 (0x3)	188ps (与 0x00 相比 +63ps)
			...	...
			14 (0xE)	587ps (与 0x00 相比 +462ps)
			15 (0xF)	608ps (与 0x00 相比 +483ps)

8.6.2.2.7 SCLKX_Y_DDLY

表 8-30. 寄存器 0x106、0x10E、0x116、0x11E、0x126、0x12E、0x136

位	名称	POR 默认值	说明	
7:4	不适用	0	保留	
3:0	SCLKX_Y_DDLY	0	按以下方式设置延迟 SDCLKout 的 VCO 周期数	
			字段值	**延迟周期数**
			0 (0x00)	旁路
			1 (0x01)	2
			2 (0x02)	3
			...	...
			10 (0x0A)	11
			11 至 15 (0x0B 至 0x0F)	保留

Copyright © 2023 Texas Instruments Incorporated

8.6.2.2.8 CLKoutY_FMT、CLKoutX_FMT

表中的不同之处在于，某些时钟输出具有反转的 CMOS 极性设置。

表 8-31. 寄存器 0x107 (CLKout0_1)、0x11F (CLKout6_7)、0x12F (CLKout10_11)

位	名称	POR 默认值	说明		
7:4	CLKoutY_FMT	0	设置 CLKoutY 时钟格式		
			字段值	**输出格式**	
			0 (0x00)	掉电	
			1 (0x01)	LVDS	
			2 (0x02)	HSDS 6mA	
			3 (0x03)	HSDS 8mA	
			4 (0x04)	LVPECL 1600mV	
			5 (0x05)	LVPECL 2000mV	
			6 (0x06)	LCPECL	
			7 (0x07)	CML 16mA	
			8 (0x08)	CML 24mA	
			9 (0x09)	CML 32mA	
			10 (0x0A)	CMOS（关闭/反转）	
			11 (0x0B)	CMOS（正常/关闭）	
			12 (0x0C)	CMOS（反转/反转）	
			13 (0x0D)	CMOS（反转/正常）	
			14 (0x0E)	CMOS（正常/反转）	
			15 (0x0F)	CMOS（正常/正常）	
3:0	CLKoutX_FMT	0	设置 CLKoutX 时钟格式		
			字段值	**输出格式 DCLKX_BYP = 0**	**输出格式 DCLKX_BYP = 1**
			0 (0x00)	掉电	保留
			1 (0x01)	LVDS	保留
			2 (0x02)	HSDS 6mA	保留
			3 (0x03)	HSDS 8mA	保留
			4 (0x04)	LVPECL 1600mV	保留
			5 (0x05)	LVPECL 2000mV	保留
			6 (0x06)	LCPECL	保留
			7 (0x07)	保留	CML 16mA
			8 (0x08)	保留	CML 24mA
			9 (0x09)	保留	CML 32mA
			10 (0x0A)	CMOS（关闭/反转）(1)	保留
			11 (0x0B)	CMOS（正常/关闭）(1)	保留
			12 (0x0C)	CMOS（反转/反转）(1)	保留
			13 (0x0D)	CMOS（反转/正常）(1)	保留
			14 (0x0E)	CMOS（正常/反转）(1)	保留
			15 (0x0F)	CMOS（正常/正常）(1)	保留

(1) 仅对 CLKout10 有效。

Copyright © 2023 Texas Instruments Incorporated

表 8-32. 寄存器 0x10F (CLKout2_3)、0x117 (CLKout4_5)、0x127 (CLKout8_9)、0x137 (CLKout12_13)

位	名称	POR 默认值	说明		
7:4	CLKoutY_FMT	0	设置 CLKoutY 时钟格式		
			字段值	**输出格式**	
			0 (0x00)	掉电	
			1 (0x01)	LVDS	
			2 (0x02)	HSDS 6mA	
			3 (0x03)	HSDS 8mA	
			4 (0x04)	LVPECL 1600mV	
			5 (0x05)	LVPECL 2000mV	
			6 (0x06)	LCPECL	
			7 (0x07)	CML 16mA	
			8 (0x08)	CML 24mA	
			9 (0x09)	CML 32mA	
			10 (0x0A)	CMOS（关闭/正常）	
			11 (0x0B)	CMOS（反转/关闭）	
			12 (0x0C)	CMOS（正常/正常）	
			13 (0x0D)	CMOS（正常/反转）	
			14 (0x0E)	CMOS（反转/正常）	
			15 (0x0F)	CMOS（反转/反转）	
3:0	CLKoutX_FMT	0	设置 CLKoutX 时钟格式		
			字段值	**输出格式 DCLKX_BYP = 0**	**输出格式 DCLKX_BYP = 1**
			0 (0x00)	掉电	保留
			1 (0x01)	LVDS	保留
			2 (0x02)	HSDS 6mA	保留
			3 (0x03)	HSDS 8mA	保留
			4 (0x04)	LVPECL 1600mV	保留
			5 (0x05)	LVPECL 2000mV	保留
			6 (0x06)	LCPECL	保留
			7 (0x07)	保留	CML 16mA
			8 (0x08)	保留	CML 24mA
			9 (0x09)	保留	CML 32mA
			10 (0x0A)	CMOS（关闭/正常）(1)	保留
			11 (0x0B)	CMOS（反转/关闭）(1)	保留
			12 (0x0C)	CMOS（正常/正常）(1)	保留
			13 (0x0D)	CMOS（正常/反转）(1)	保留
			14 (0x0E)	CMOS（反转/正常）(1)	保留
			15 (0x0F)	CMOS（反转/反转）(1)	保留

(1) 仅对 CLKout8 有效。

Copyright © 2023 Texas Instruments Incorporated

8.6.2.3 SYSREF、SYNC 和器件配置

8.6.2.3.1 VCO_MUX、OSCout_MUX、OSCout_FMT

表 8-33. 寄存器 0x138

位	名称	POR 默认值	说明	
7	不适用	0	保留	
6:5	VCO_MUX	2	从 VCO0、VCO1 或 CLKIN (外部 VCO) 选择时钟分配路径源	
			字段值	**选择 VCO**
			0 (0x00)	VCO 0
			1 (0x01)	VCO 1
			2 (0x02)	FIN1/CLKIN1 (外部 VCO)
			3 (0x03)	FIN0
4	OSCout_MUX	0	选择 OSCout 的源： 0：缓冲 OSCIN 1：反馈多路复用器	
3:0	OSCout_FMT	4	选择 OSCout 的输出格式。断电时，这些引脚可用作 CLKIN2。	
			字段值	**OSCOUT 格式**
			0 (0x00)	断电 (CLKIN2)
			1 (0x01)	LVDS
			2 (0x02)	保留
			3 (0x03)	保留
			4 (0x04)	LVPECL 1600mVpp
			5 (0x05)	LVPECL 2000mVpp
			6 (0x06)	LVCMOS (正常/反转)
			7 (0x07)	LVCMOS (反转/正常)
			8 (0x08)	LVCMOS (正常/正常)
			9 (0x09)	LVCMOS (反转/反转)
			10 (0x0A)	LVCMOS (关闭/正常)
			11 (0x0B)	LVCMOS (关闭/反转)
			12 (0x0C)	LVCMOS (正常/关闭)
			13 (0x0D)	LVCMOS (反转/关闭)
			14 (0x0E)	LVCMOS (关闭/关闭)

Copyright © 2023 Texas Instruments Incorporated

8.6.2.3.2 SYSREF_REQ_EN、SYNC_BYPASS、SYSREF_MUX

此寄存器设置 SYSREF 输出的源。请参阅图 8-3 和 *SYNC/SYSREF*。

表 8-34. 寄存器 0x139

位	名称	POR 默认值	说明	
7:6	不适用	0	保留	
5	不适用	0	保留	
4	SYSREF_REQ_EN	0	启用 SYNC/SYSREF_REQ 引脚，强制 SYSREF_MUX = 3 以实现连续脉冲。 使用此功能时，启用脉冲发生器并设置 SYSREF_MUX = 2（脉冲发生器）。	
3	SYNC_BYPASS	0	绕过 SYNC 极性反转和其他电路。 0：正常 1：绕过 SYNC 信号	
2	不适用	0	保留	
1:0	SYSREF_MUX	0	选择 SYSREF 源。	
			字段值	**SYSREF 源**
			0 (0x00)	正常 SYNC
			1 (0x01)	时钟恢复
			2 (0x02)	SYSREF 脉冲发生器
			3 (0x03)	SYSREF 连续

8.6.2.3.3 SYSREF_DIV

这些寄存器设置 SYSREF 输出分频器的值。

表 8-35. SYSREF_DIV[12:0]

MSB	LSB
0x13A[4:0] = SYSREF_DIV[12:8]	0x13B[7:0] = SYSREF_DIV[7:0]

表 8-36. 寄存器 0x13A 和 0x13B

寄存器	位	名称	POR 默认值	说明	
0x13A	7:5	不适用	0	保留	
0x13A	4:0	SYSREF_DIV[12:8]	12	SYSREF 输出的分频值。	
				字段值	**分频值**
				0 至 7（0x00 至 0x07）	保留
				8 (0x08)	8
0x13B	7:0	SYSREF_DIV[7:0]	0	9 (0x09)	9
				...	...
				8190 (0x1FFE)	8190
				8191 (0X1FFF)	8191

8.6.2.3.4 SYSREF_DDLY

这些寄存器设置 SYSREF 数字延迟值的延迟。

表 8-37. SYSREF 数字延迟寄存器配置，SYSREF_DDLY[12:0]

MSB	LSB
0x13C[4:0] / SYSREF_DDLY[12:8]	0x13D[7:0] / SYSREF_DDLY[7:0]

表 8-38. 寄存器 0X13C 和 0X13D

寄存器	位	名称	POR 默认值	说明
0x13C	7:5	不适用	0	保留

Copyright © 2023 Texas Instruments Incorporated

表 8-38. 寄存器 0X13C 和 0X13D (continued)

寄存器	位	名称	POR 默认值	说明	
0x13C	4:0	SYSREF_DDLY[12:8]	0	设置 SYSREF 数字延迟的值。	
				字段值	延迟值
				0x00 到 0x07	保留
				8 (0x08)	8
0x13D	7:0	SYSREF_DDLY[7:0]	8	9 (0x09)	9
				...	...
				8190 (0x1FFE)	8190
				8191 (0X1FFF)	8191

8.6.2.3.5 SYSREF_PULSE_CNT

如果 SYSREF 未处于连续模式，此寄存器设置 SYSREF 脉冲数。有关 SYSREF 输出的更多说明，请参阅 *SYSREF_REQ_EN*、*SYNC_BYPASS*、*SYSREF_MUX*。

如果通过 SYSREF_MUX 选择了“SYSREF 脉冲”且启用了 SYSREF 功能，则对寄存器编程会导致输出指定数量的脉冲。

表 8-39. 寄存器 0x13E

位	名称	POR 默认值	说明	
7:2	不适用	0	保留	
1:0	SYSREF_PULSE_CNT	3	设置在未处于连续模式时产生的 SYSREF 脉冲数。 更多有关 SYSREF 模式的信息，请参阅 *SYSREF_REQ_EN*、*SYNC_BYPASS*、*SYSREF_MUX*。	
			字段值	脉冲数
			0 (0x00)	1 个脉冲
			1 (0x01)	2 个脉冲
			2 (0x02)	4 个脉冲
			3 (0x03)	8 个脉冲

8.6.2.3.6 PLL2_RCLK_MUX、PLL2_NCLK_MUX、PLL1_NCLK_MUX、FB_MUX、FB_MUX_EN

此寄存器控制反馈功能。

表 8-40. 寄存器 0x13F

位	名称	POR 默认值	说明
7	PLL2_RCLK_MUX	0	选择 PLL2 参考源。 0：OSCIN 1：当前选择了 CLKIN。
6	不适用	0	保留
5	PLL2_NCLK_MUX	0	选择 PLL2 N 分频器的输入 0：PLL2 预分频器 1：反馈多路复用器
4:3	PLL1_NCLK_MUX	0	选择 PLL1 N 分频器的输入。 0：OSCIN 1：反馈多路复用器 2：PLL2 预分频器

Copyright © 2023 Texas Instruments Incorporated

表 8-40. 寄存器 0x13F (continued)

位	名称	POR 默认值	说明	
2:1	FB_MUX	0	在 0 延迟模式下，反馈多路复用器会选择要反馈回到 PLL1 N 分频器的时钟输出。	
			字段值	吸电流
			0 (0x00)	CLKOUT6
			1 (0x01)	CLKOUT8
			2 (0x02)	SYSREF 分频器
			3 (0x03)	外部
0	FB_MUX_EN	0	使用 0 延迟时，必须将 FB_MUX_EN 设置为 1，以打开反馈多路复用器的电源。 0：反馈多路复用器已断电 1：已启用反馈多路复用器	

Copyright © 2023 Texas Instruments Incorporated

8.6.2.3.7 PLL1_PD、VCO_LDO_PD、VCO_PD、OSCin_PD、SYSREF_GBL_PD、SYSREF_PD、SYSREF_DDLY_PD、SYSREF_PLSR_PD

该寄存器包含对 OSCIN 和 SYSREF 功能的断电控制。

表 8-41. 寄存器 0x140

位	名称	POR 默认值	说明
7	PLL1_PD	1	断电 PLL1 0：正常运行 1：断电
6	VCO_LDO_PD	1	断电 VCO_LDO 0：正常运行 1：断电
5	VCO_PD	1	断电 VCO 0：正常运行 1：断电
4	OSCin_PD	0	关闭 OSCIN 端口。 0：正常运行 1：断电
3	SYSREF_GBL_PD	0	根据每个 SYSREF 输出的 SCLKX_Y_DIS_MODE 设置，关闭单个 SYSREF 输出。SYSREF_GBL_PD 允许通过单个位控制多个 SYSREF 输出。 0：正常运行 1：激活断电模式
2	SYSREF_PD	0	关闭 SYSREF 电路和分频器的电源。如果断电，将不能使用 SYSREF 输出模式。也无法提供 SYNC。 0：SYSREF 可通过单独的 SYSREF 输出寄存器编程使用。 1：断电
1	SYSREF_DDLY_PD	0	关闭 SYSREF 数字延迟电路的电源。 0：正常操作，可以使用 SYSREF 数字延迟。必须在 SYNC 期间上电，以确定与其他时钟的相位关系。 1：断电
0	SYSREF_PLSR_PD	0	关闭 SYSREF 脉冲发生器的电源。 0：正常运行 1：断电

Copyright © 2023 Texas Instruments Incorporated

8.6.2.3.8 DDLYdSYSREF_EN、DDLYdX_EN

对 DDLYd_STEP_CNT 编程后，该寄存器为已启用的器件时钟和 SYSREF 启用动态数字延迟。

表 8-42. 寄存器 0x141

位	名称	POR 默认值	说明	
7	DDLYd_SYSREF_EN	0	为 SYSREF 输出启用动态数字延迟	0：禁用 1：被启用
6	DDLYd12_EN	0	为 DCLKout12 启用动态数字延迟	
5	DDLYd10_EN	0	为 DCLKout10 启用动态数字延迟	
4	DDLYd8_EN	0	为 DCLKout8 启用动态数字延迟	
3	DDLYd6_EN	0	为 DCLKout6 启用动态数字延迟	
2	DDLYd4_EN	0	为 DCLKout4 启用动态数字延迟	
1	DDLYd2_EN	0	为 DCLKout2 启用动态数字延迟	
0	DDLYd0_EN	0	为 DCLKout0 启用动态数字延迟	

8.6.2.3.9 DDLYd_STEP_CNT

该寄存器可以设置动态数字延迟调整将发生的次数。编程时将针对启用了动态数字延迟的每个时钟输出开始进行动态数字延迟调整。动态数字延迟只能由 SPI 启动。

其他寄存器必须设置：SYNC_MODE = 3

表 8-43. 寄存器 0x142

位	名称	POR 默认值	说明	
7:0	DDLYd_STEP_CNT	0	设置动态数字延迟调整将发生的次数。	
			字段值	**动态数字延迟调整**
			0 (0x00)	无调整
			1 (0x01)	1 步
			2 (0x02)	2 步
			3 (0x03)	3 步
			...	...
			254 (0xFE)	254 步
			255 (0xFF)	255 步

Copyright © 2023 Texas Instruments Incorporated

8.6.2.3.10 SYSREF_CLR、SYNC_1SHOT_EN、SYNC_POL、SYNC_EN、SYNC_PLL2_DLD、SYNC_PLL1_DLD、SYNC_MODE

此寄存器设置极化和模式等一般 SYNC 参数。请参阅图 8-3，查看相关方框图。有关为特定 SYNC 使用案例使用 SYNC_MODE 的信息，请参阅表 8-2。

表 8-44. 寄存器 0x143

位	名称	POR 默认值	说明	
7	SYSREF_CLR	0	除了在 SYSREF 设置过程中（请参阅 *SYNC/SYSREF*），此位应始终编程为 0。设置此位时，将使用额外的电流。	
6	SYNC_1SHOT_EN	0	SYNC 单稳态实现边沿敏感 SYNC。 0：SYNC 是电平敏感型，只要 SYNC 置为有效，输出将保持在 SYNC 中。 1：SYNC 是边沿敏感型，输出将在 SYNC 的上升沿同步。这使得时钟在 SYNC 中保持极短的时间。	
5	SYNC_POL	0	设置 SYNC 引脚的极性。 0：不反转 1：反转	
4	SYNC_EN	0	启用 SYNC 功能。 0：禁用 1：启用	
3	SYNC_PLL2_DLD	0	0：关闭 1：使 SYNC 有效，直至 PLL2 DLD = 1	
2	SYNC_PLL1_DLD	0	0：关闭 1：使 SYNC 有效，直至 PLL1 DLD = 1	
1:0	SYNC_MODE	1	设置生成 SYNC 事件的方法。	
			字段值	**SYNC 生成**
			0 (0x00)	防止 SYNC 引脚、SYNC_PLL1_DLD 标志或 SYNC_PLL2_DLD 标志生成 SYNC 事件。
			1 (0x01)	从 SYNC 引脚生成 SYNC 事件，或在启用 SYNC_PLL1_DLD 标志或 SYNC_PLL2_DLD 标志时生成 SYNC 事件。
			2 (0x02)	与脉冲发生器配合使用 - SYNC/SYSREF 脉冲由脉冲发生器块通过 SYNC 引脚生成，或在启用 SYNC_PLL1_DLD 标志或 SYNC_PLL2_DLD 标志时生成。
			3 (0x03)	与脉冲发生器一起使用 - 当写入编程寄存器 0x13E (SYSREF_PULSE_CNT) 时，脉冲发生器块生成 SYNC/SYSREF 脉冲（请参阅 *SYSREF_PULSE_CNT*）。

Copyright © 2023 Texas Instruments Incorporated

8.6.2.3.11 SYNC_DISSYSREF、SYNC_DISX

SYNC_DISX 将防止 SYNC 事件或输出 SYSREF 时同步或中断时钟输出。

表 8-45. 寄存器 0x144

位	名称	POR 默认值	说明
7	SYNC_DISSYSREF	0	防止在发生 SYNC 事件时同步 SYSREF 时钟。如果启用了 SYNC_DISSYSREF，器件将在 SYNC 事件期间继续正常运行。
6	SYNC_DIS12	0	防止器件时钟输出在 SYNC 事件或 SYSREF 时钟期间同步。如果启用了特定输出的 SYNC_DIS 位，则器件将在 SYNC 事件或 SYSREF 时钟期间继续正常运行。
5	SYNC_DIS10	0	
4	SYNC_DIS8	0	
3	SYNC_DIS6	0	
2	SYNC_DIS4	0	
1	SYNC_DIS2	0	
0	SYNC_DIS0	0	

8.6.2.3.12 PLL1R_SYNC_EN、PLL1R_SYNC_SRC、PLL2R_SYNC_EN、FIN0_DIV2_EN、FIN0_INPUT_TYPE

这些位在同步 PLL1 和 PLL2 R 分频器时使用。

表 8-46. 寄存器 0x145

位	名称	POR 默认值	说明	
7	不适用	0	保留	
6	PLL1R_SYNC_EN	0	启用 PLL1 R 分频器同步 0：未启用 1：启用	
5:4	PLL1R_SYNC_SRC	0	选择 PLL1 R 分频器同步源	
			字段值	**定义**
			0 (0x00)	保留
			1 (0x01)	SYNC 引脚
			2 (0x02)	CLKIN0
			3 (0x03)	保留
3	PLL2R_SYNC_EN	0	启用 PLL2 R 分频器同步。PLL2 R 的同步始终来自 SYNC 引脚。 0：未启用 1：启用	
2	FIN0_DIV2_EN	0	设置输入路径以使用或绕过除以 2。 0：已绕过 (÷1) 1：已分频 (÷2)	
1:0	FIN0_INPUT_TYPE	0	为使用的硬件接口输入类型编程。	
			字段值	**定义**
			0 (0x00)	差分输入
			1 (0x01)	单端输入 (FIN0_P)
			2 (0x02)	单端输入 (FIN0_N)
			3 (0x03)	保留

Copyright © 2023 Texas Instruments Incorporated

8.6.2.4 (0x146 - 0x149) CLKIN 控制

8.6.2.4.1 CLKin_SEL_PIN_EN、CLKin_SEL_PIN_POL、CLKin2_EN、CLKin1_EN、CLKin0_EN、CLKin2_TYPE、CLKin1_TYPE、CLKin0_TYPE

该寄存器具有 CLKin 使能和类型控制功能。更多有关如何进行时钟输入选择的信息，请参阅*输入时钟切换*。

表 8-47. 寄存器 0x146

位	名称	POR 默认值	说明	
7	CLKin_SEL_PIN_EN	0	根据*输入时钟切换*，启用引脚控制。	
6	CLKin_SEL_PIN_POL	0	反转 CLKin 极性以用于引脚选择模式。 0：高电平有效 1：低电平有效	
5	CLKin2_EN	0	启用要在自动切换期间使用的 CLKin2。 0：在自动模式下未启用 1：在自动时钟切换模式下启用	
4	CLKin1_EN	1	启用要在自动切换期间使用的 CLKin1。 0：在自动模式下未启用 1：在自动时钟切换模式下启用	
3	CLKin0_EN	1	启用要在自动切换期间使用的 CLKin0。 0：在自动模式下未启用 1：在自动时钟切换模式下启用	
2	CLKin2_TYPE	0	0：双极 1：MOS	CLKin0、1 和 2 有两种缓冲器类型：双极和 CMOS。对于 LVDS 或 LVPECL 等差分输入，建议使用双极。对于直流耦合单端输入，建议使用 CMOS。 使用双极时，CLKINx_P 和 CLKINx_N 必须是交流耦合。 使用 CMOS 时，如果输入信号是差分信号，则 CLKINx_P 和 CLKINx_N 可以是交流或直流耦合。如果输入信号是单端信号，则使用的输入可以是交流或直流耦合，而未使用的输入必须交流接地。
1	CLKin1_TYPE	0		
0	CLKin0_TYPE	0		

8.6.2.4.2 CLKin_SEL_AUTO_REVERT_EN、CLKin_SEL_AUTO_EN、CLKin_SEL_MANUAL、CLKin1_DEMUX、CLKin0_DEMUX

表 8-48. 寄存器 0x147

位	名称	POR 默认值	说明	
7	CLKin_SEL_AUTO_REVERT_EN	0	如果在器件处于自动时钟切换模式时在更高优先级时钟上检测到有效时钟，则会立即切换时钟输入。最高优先级输入是编号最低的有效时钟输入。	
6	CLKin_SEL_AUTO_EN	0	根据图 8-7，启用引脚控制。	
5:4	CLKin_SEL_MANUAL	1	在手动模式下，根据图 8-7 选择时钟输入。	
			字段值	**定义**
			0 (0x00)	CLKIN0
			1 (0x01)	CLKIN1
			2 (0x02)	CLKIN2
			3 (0x03)	保持

Copyright © 2023 Texas Instruments Incorporated

表 8-48. 寄存器 0x147 (continued)

位	名称	POR 默认值	说明	
3:2	CLKin1_DEMUX	0	选择 CLKin1 缓冲器的输出方向。	
			字段值	**CLKin1 目标**
			0 (0x00)	FIN
			1 (0x01)	反馈多路复用器 (0 延迟模式)
			2 (0x02)	PLL1
			3 (0x03)	关闭
1:0	CLKin0_DEMUX	3	选择 CLKin0 缓冲器的输出方向。	
			字段值	**CLKin0 目标**
			0 (0x00)	SYSREF 多路复用器
			1 (0x01)	保留
			2 (0x02)	PLL1
			3 (0x03)	关闭

8.6.2.4.3 CLKin_SEL0_MUX、CLKin_SEL0_TYPE

该寄存器具有 CLKin_SEL0 控制功能。

表 8-49. 寄存器 0x148

位	名称	POR 默认值	说明		
7:6	不适用	0	保留		
5:3	CLKin_SEL0_MUX	0	设置 CLKin_SEL0 引脚的输出值。该寄存器仅在 CLKin_SEL0_TYPE 设置为输出模式时才适用。		
			字段值	**输出格式**	
			0 (0x00)	逻辑低电平	
			1 (0x01)	CLKin0 LOS	
			2 (0x02)	已选择 CLKin0	
			3 (0x03)	已锁定 DAC	
			4 (0x04)	DAC 低电平	
			5 (0x05)	DAC 高电平	
			6 (0x06)	SPI 回读	
			7 (0x07)	保留	
2:0	CLKin_SEL0_TYPE	2	设置 CLKin_SEL0 引脚的 IO 类型。		
			字段值	**配置**	**功能**
			0 (0x00)	输入	输入模式，请参阅*输入时钟切换 - 引脚选择模式*以了解输入模式的相关说明。
			1 (0x01)	具有上拉电阻器的输入	
			2 (0x02)	具有下拉电阻器的输入	
			3 (0x03)	输出 (推挽)	输出模式，请参阅 CLKin_SEL0_MUX 寄存器的输出说明。
			4 (0x04)	输出反相 (推挽)	
			5 (0x05)	保留	
			6 (0x06)	输出 (开漏)	

Copyright © 2023 Texas Instruments Incorporated

8.6.2.4.4 SDIO_RDBK_TYPE、CLKin_SEL1_MUX、CLKin_SEL1_TYPE

此寄存器有 CLKin_SEL1 控制和寄存器读回 SDIO 引脚类型。

表 8-50. 寄存器 0x149

<table>
<tr><th>位</th><th>名称</th><th>POR 默认值</th><th colspan="3">说明</th></tr>
<tr><td>7</td><td>不适用</td><td>0</td><td colspan="3">保留</td></tr>
<tr><td>6</td><td>SDIO_RDBK_TYPE</td><td>1</td><td colspan="3">在 3 线模式下的 SPI 读回期间，将 SDIO 引脚设置为开漏。
0：输出，推挽
1：输出，开漏。</td></tr>
<tr><td rowspan="9">5:3</td><td rowspan="9">CLKin_SEL1_MUX</td><td rowspan="9">0</td><td colspan="3">该位设置 CLKin_SEL1 引脚的输出值。该寄存器仅在 CLKin_SEL1_TYPE 设置为输出模式时才适用。</td></tr>
<tr><td>字段值</td><td colspan="2">输出格式</td></tr>
<tr><td>0 (0x00)</td><td colspan="2">逻辑低电平</td></tr>
<tr><td>1 (0x01)</td><td colspan="2">CLKin1 LOS</td></tr>
<tr><td>2 (0x02)</td><td colspan="2">已选定 CLKin1</td></tr>
<tr><td>3 (0x03)</td><td colspan="2">DAC 被锁定</td></tr>
<tr><td>4 (0x04)</td><td colspan="2">DAC 低电平</td></tr>
<tr><td>5 (0x05)</td><td colspan="2">DAC 高电平</td></tr>
<tr><td>6 (0x06)</td><td colspan="2">SPI 读回</td></tr>
<tr><td>7 (0x07)</td><td colspan="2">保留</td></tr>
<tr><td rowspan="9">2:0</td><td rowspan="9">CLKin_SEL1_TYPE</td><td rowspan="9">2</td><td colspan="2">该位设置 CLKin_SEL1 引脚的 IO 类型。</td><td></td></tr>
<tr><td>字段值</td><td>配置</td><td>功能</td></tr>
<tr><td>0 (0x00)</td><td>输入</td><td rowspan="3">输入模式；有关输入模式的说明，请参阅输入时钟切换 - 引脚选择模式。</td></tr>
<tr><td>1 (0x01)</td><td>具有上拉电阻器的输入</td></tr>
<tr><td>2 (0x02)</td><td>具有下拉电阻器的输入</td></tr>
<tr><td>3 (0x03)</td><td>输出（推挽）</td><td rowspan="4">输出模式；有关输出说明，请参阅 CLKin_SEL1_MUX 寄存器。</td></tr>
<tr><td>4 (0x04)</td><td>输出反相（推挽）</td></tr>
<tr><td>5 (0x05)</td><td>保留</td></tr>
<tr><td>6 (0x06)</td><td>输出（开漏）</td></tr>
</table>

Copyright © 2023 Texas Instruments Incorporated

8.6.2.5 RESET_MUX、RESET_TYPE

此寄存器包含 RESET 引脚的控制位。

表 8-51. 寄存器 0x14A

位	名称	POR 默认值	说明		
7:6	不适用	0	保留		
5:3	RESET_MUX	0	此位设置 RESET 引脚的输出值。此寄存器仅在 RESET_TYPE 设置为输出模式时才适用。		
			字段值	**输出格式**	
			0 (0x00)	逻辑低电平	
			1 (0x01)	保留	
			2 (0x02)	选定 CLKin2	
			3 (0x03)	DAC 被锁定	
			4 (0x04)	DAC 低电平	
			5 (0x05)	DAC 高电平	
			6 (0x06)	SPI 读回	
2:0	RESET_TYPE	2	此位设置 RESET 引脚的 IO 类型。		
			字段值	**配置**	**功能**
			0 (0x00)	输入	复位模式 复位引脚高电平 = 复位
			1 (0x01)	具有上拉电阻器的输入	
			2 (0x02)	具有下拉电阻器的输入	
			3 (0x03)	输出（推挽）	输出模式；有关输出的说明，请参阅 RESET_MUX 寄存器。
			4 (0x04)	输出反相（推挽）	
			5 (0x05)	保留	
			6 (0x06)	输出（开漏）	

Copyright © 2023 Texas Instruments Incorporated

8.6.2.6 (0x14B - 0x152) 保持

8.6.2.6.1 LOS_TIMEOUT、LOS_EN、TRACK_EN、HOLDOVER_FORCE、MAN_DAC_EN、MAN_DAC[9:8]

该寄存器包含保持功能。

表 8-52. 寄存器 0x14B

位	名称	POR 默认值	说明	
7:6	LOS_TIMEOUT	0	这可以控制因 CLKin 上没有活动而执行强制时钟切换事件的时间量。	
			字段值	**Timeout**
			0 (0x00)	5 MHz（典型值）
			1 (0x01)	25 MHz（典型值）
			2 (0x02)	100 MHz（典型值）
			3 (0x03)	200 MHz（典型值）
5	LOS_EN	0	启用 LOS（信号丢失）超时控制。对 MOS 时钟输入有效。 0：禁用 1：启用	
4	TRACK_EN	0	启用 DAC 以跟踪 PLL1 调谐电压，可选择用于保持模式。器件复位后，跟踪从 DAC 代码 = 512 开始。 跟踪可用于在任何模式下监控 PLL1 电压。 0：禁用 1：启用，仅在 PLL1 锁定时跟踪。	
3	HOLDOVER _FORCE	0	该位强制进入保持模式。强制进入保持模式时，如果 MAN_DAC_EN = 1，DAC 将设置已编程的 MAN_DAC 值。否则，跟踪的 DAC 值将设置 DAC 电压。 0：禁用 1：被启用。	
2	MAN_DAC_EN	1	该位使能手动 DAC 模式。 0：自动 1：手动	
1:0	MAN_DAC[9:8]	2	有关 MAN_DAC 设置的更多信息，请参阅 *MAN_DAC*。	

Copyright © 2023 Texas Instruments Incorporated

8.6.2.6.2 MAN_DAC

这些寄存器在手动使用时设置保持模式下 DAC 的值。

表 8-53. MAN_DAC[9:0]

MSB	LSB
0x14B[1:0]	0x14C[7:0]

寄存器	位	名称	POR 默认值	说明	
0x14B	7:2			有关这些位的信息，请参阅 *LOS_TIMEOUT*、*LOS_EN*、*TRACK_EN*、*HOLDOVER_FORCE*、*MAN_DAC_EN*、*MAN_DAC[9:8]*。	
0x14B	1:0	MAN_DAC[9:8]	2	在手动 DAC 模式下设置手动 DAC 的值。	
				字段值	**DAC 值**
				0 (0x00)	0
				1 (0x01)	1
0x14C	7:0	MAN_DAC[7:0]	0	2 (0x02)	2
				...	...
				1022 (0x3FE)	1022
				1023 (0x3FF)	1023

8.6.2.6.3 DAC_TRIP_LOW

该寄存器包含进入保持模式的高值。

表 8-54. 寄存器 0x14D

位	名称	POR 默认值	说明	
7:6	不适用	0	保留	
5:0	DAC_TRIP_LOW	0	在启用 HOLDOVER_VTUNE_DET 的情况下，进入保持状态时的 GND 电压。	
			字段值	**DAC 跳闸值**
			0 (0x00)	1 x Vcc/64
			1 (0x01)	2 x Vcc/64
			2 (0x02)	3 x Vcc/64
			3 (0x03)	4 x Vcc/64
			...	...
			61 (0x17)	62 x Vcc/64
			62 (0x18)	63 x Vcc/64
			63 (0x19)	64 x Vcc/64

Copyright © 2023 Texas Instruments Incorporated

8.6.2.6.4 DAC_CLK_MULT、DAC_TRIP_HIGH

该寄存器包含 DAC 时钟计数器的乘数和进入保持模式的低值。

表 8-55. 寄存器 0x14E

位	名称	POR 默认值	说明	
7:6	DAC_CLK_MULT	0	这是 DAC_CLK_CNTR 的乘数，用于设置跟踪 DAC 值的速率。	
			字段值	**DAC 乘数值**
			0 (0x00)	4
			1 (0x01)	64
			2 (0x02)	1024
			3 (0x03)	16384
5:0	DAC_TRIP_HIGH	0	在启用 HOLDOVER_VTUNE_DET 的情况下，进入保持模式时的 Vcc 电压。	
			字段值	**DAC 跳闸值**
			0 (0x00)	1 x Vcc/64
			1 (0x01)	2 x Vcc/64
			2 (0x02)	3 x Vcc/64
			3 (0x03)	4 x Vcc/64
			...	...
			61 (0x17)	62 x Vcc/64
			62 (0x18)	63 x Vcc/64
			63 (0x19)	64 x Vcc/64

8.6.2.6.5 DAC_CLK_CNTR

该寄存器包含跟踪模式下的 DAC 值。

表 8-56. 寄存器 0x14F

位	名称	POR 默认值	说明	
7:0	DAC_CLK_CNTR	127	与 DAC_CLK_MULT 一起设置 DAC 更新的速率。更新速率 = DAC_CLK_MULT * DAC_CLK_CNTR/PLL1 PDF	
			字段值	**DAC 值**
			0 (0x00)	0
			1 (0x01)	1
			2 (0x02)	2
			3 (0x03)	3
			...	...
			253 (0xFD)	253
			254 (0xFE)	254
			255 (0xFF)	255

Copyright © 2023 Texas Instruments Incorporated

8.6.2.6.6 CLKin_OVERRIDE、HOLDOVER_EXIT_MODE、HOLDOVER_PLL1_DET、LOS_EXTERNAL_INPUT、HOLDOVER_VTUNE_DET、CLKin_SWITCH_CP_TRI、HOLDOVER_EN

该寄存器可以控制开关事件中的时钟启用。

表 8-57. 寄存器 0x150

位	名称	POR 默认值	说明
7	不适用	0	保留
6	CLKin _OVERRIDE	0	启用了手动时钟选择时，CLKin_SEL_MANUAL = 0/1/2 选择手动时钟输入。CLKin_OVERRIDE = 1 将强制使用该时钟输入。CLKin_OVERRIDE = 1 与时钟分配模式一起使用时可提供出色性能。 0：正常，无覆盖。 1：在手动模式下根据 CLKin_SEL_MANUAL 的指定值强制仅选择 CLKin0/1/2。动态数字延迟不会起效。
5	HOLDOVER_ EXIT_MODE	0	0：基于 LOS 状态退出。如果时钟被 LOS 激活，则开始退出。 1：基于 PLL1 DLD 退出。当 PLL1 相位检测器确认有效时钟时。
4	HOLDOVER _PLL1_DET	0	在 PLL1 锁定检测信号从高电平转换为低电平时启用 HOLDOVER。 0：PLL1 DLD 不会导致时钟切换事件 1：PLL1 DLD 会导致时钟切换事件
3	LOS_EXTERNAL_INPUT	0	使用 LOS 状态的外部信号而不是内部 LOS 电路。CLKin_SEL0 引脚用于 CLKin0 LOS，CLKin_SEL1 引脚用于 CLKin1 LOS，Status_LD1 用于 CLKin2 LOS。要使这些引脚中的任何一个有效，必须将相应的 _TYPE 寄存器编程为输入。 0：禁用 1：启用
2	HOLDOVER_ VTUNE_DET	0	启用 DAC VTune 轨检测器。当 DAC 达到指定的 Vtune 时，如果启用了该位，则当前时钟输入被视为无效，并且系统会生成输入时钟切换事件。 0：禁用 1：被启用
1	CLKin_SWITCH_CP_TRI	0	使用三态电荷泵启用时钟切换。 0：未启用。 1：PLL1 电荷泵在时钟切换期间处于三态。
0	HOLDOVER_EN	0	设置保持模式是否有效。 0：禁用 1：启用

Copyright © 2023 Texas Instruments Incorporated

8.6.2.6.7 HOLDOVER_DLD_CNT

表 8-58. HOLDOVER_DLD_CNT[13:0]

MSB	LSB
0x151[5:0] / HOLDOVER_DLD_CNT[13:8]	0x152[7:0] / HOLDOVER_DLD_CNT[7:0]

该寄存器包含退出保持前 PLL1 PDF 的有效时钟数。

表 8-59. 寄存器 0x151 和 0x152

寄存器	位	名称	POR 默认值	说明	
0x151	7:6	不适用	0	保留	
0x151	5:0	HOLDOVER _DLD_CNT[13:8]	2	退出保持模式前 PLL1 PDF 的有效时钟数。	
				字段值	计数值
				0 (0x00)	0
				1 (0x01)	1
0x152	7:0	HOLDOVER _DLD_CNT[7:0]	0	2 (0x02)	2
				...	...
				16382 (0x3FFE)	16382
				16383 (0x3FFF)	16383

Copyright © 2023 Texas Instruments Incorporated

8.6.2.7 (0x153 - 0x15F) PLL1 配置

8.6.2.7.1 CLKin0_R

表 8-60. CLKin0_R[13:0]

MSB	LSB
0x153[5:0]/CLKin0_R[13:8]	0x154[7:0]/CLKin0_R[7:0]

这些寄存器包含 CLKin0 分频器的值。

表 8-61. 寄存器 0x153 和 0x154

寄存器	位	名称	POR 默认值	说明	
0x153	7:6	不适用	0	保留	
0x153	5:0	CLKin0_R[13:8]	0	选择 CLKin0 时 PLL1 N 计数器的值。	
				字段值	分频值
				0 (0x00)	保留
				1 (0x01)	1
0x154	7:0	CLKin0_R[7:0]	120	2 (0x02)	2
				...	...
				16382 (0x3FFE)	16382
				16383 (0x3FFF)	16383

8.6.2.7.2 CLKin1_R

表 8-62. CLKin1_R[13:0]

MSB	LSB
0x155[5:0]/CLKin1_R[13:8]	0x156[7:0]/CLKin1_R[7:0]

这些寄存器包含 CLKin1 R 分频器的值。

表 8-63. 寄存器 0x155 和 0x156

寄存器	位	名称	POR 默认值	说明	
0x155	7:6	不适用	0	保留	
0x155	5:0	CLKin1_R[13:8]	0	选择 CLKin1 时 PLL1 R 计数器的值。	
				字段值	分频值
				0 (0x00)	保留
				1 (0x01)	1
0x156	7:0	CLKin1_R[7:0]	150	2 (0x02)	2
				...	...
				16382 (0x3FFE)	16382
				16383 (0x3FFF)	16383

Copyright © 2023 Texas Instruments Incorporated

8.6.2.7.3 CLKin2_R

表 8-64. CLKin2_R[13:0]

MSB	LSB
0x157[5:0]/CLKin2_R[13:8]	0x158[7:0]/CLKin2_R[7:0]

表 8-65. 寄存器 0x157 和 0x158

寄存器	位	名称	POR 默认值	说明	
0x157	7:6	不适用	0	保留	
0x157	5:0	CLKin2_R[13:8]	0	选择 CLKin2 时 PLL1 R 计数器的值。	
				字段值	分频值
				0 (0x00)	保留
				1 (0x01)	1
0x158	7:0	CLKin2_R[7:0]	150	2 (0x02)	2
				...	...
				16382 (0x3FFE)	16382
				16383 (0x3FFF)	16383

8.6.2.7.4 PLL1_N

表 8-66. PLL1_N[13:0]

MSB	LSB
0x159[5:0] / PLL1_N[13:8]	0x15A[7:0] / PLL1_N[7:0]

这些寄存器包含 PLL1 的 N 分频器值。

表 8-67. 寄存器 0x159 和 0x15A

寄存器	位	名称	POR 默认值	说明	
0x159	7:6	不适用	0	保留	
0x159	5:0	PLL1_N[13:8]	0	PLL1 N 计数器的值。	
				字段值	分频值
				0 (0x00)	无效
				1 (0x01)	1
0x15A	7:0	PLL1_N[7:0]	120	2 (0x02)	2
				...	...
				4,095 (0xFFF)	4,095

Copyright © 2023 Texas Instruments Incorporated

8.6.2.7.5 PLL1_WND_SIZE、PLL1_CP_TRI、PLL1_CP_POL、PLL1_CP_GAIN

该寄存器控制 PLL1 相位检测器。

表 8-68. 寄存器 0x15B

位	名称	POR 默认值	说明	
7:6	PLL1_WND_SIZE	3	PLL1_WND_SIZE 设置用于 PLL1 数字锁定检测的窗口大小。如果 PLL1 的参考和反馈之间的相位误差小于指定时间，PLL1 锁定计数器会递增。	
			字段值	**定义**
			0 (0x00)	4ns
			1 (0x01)	9ns
			2 (0x02)	19ns
			3 (0x03)	43ns
5	PLL1_CP_TRI	0	该位允许将 PLL1 电荷泵输出引脚 CPout1 置于三态。 0：PLL1 CPout1 有效 1：PLL1 CPout1 处于三态	
4	PLL1_CP_POL	1	PLL1_CP_POL 设置 PLL1 的电荷泵极性。许多 VCXO 使用正斜率。 正斜率 VCXO 会随着电压的增加而增加输出频率。负斜率 VCXO 会随着电压的增加而降低输出频率。 0：负斜率 VCO/VCXO 1：正斜率 VCO/VCXO	
3:0	PLL1_CP_GAIN	4	该位对 PLL1 电荷泵输出电流电平进行编程。	
			字段值	**增益**
			0 (0x00)	50µA
			1 (0x01)	150µA
			2 (0x02)	250µA
			3 (0x03)	350µA
			4 (0x04)	450µA
			...	...
			14 (0x0E)	1450µA
			15 (0x0F)	1550µA

Copyright © 2023 Texas Instruments Incorporated

8.6.2.7.6 PLL1_DLD_CNT

表 8-69. PLL1_DLD_CNT[13:0]

MSB	LSB
0x15C[5:0] / PLL1_DLD_CNT[13:8]	0x15D[7:0] / PLL1_DLD_CNT[7:0]

该寄存器包含 PLL1 DLD 计数器的值。

表 8-70. 寄存器 0x15C 和 0x15D

寄存器	位	名称	POR 默认值	说明	
0x15C	7:6	不适用	0	保留	
0x15C	5:0	PLL1_DLD _CNT[13:8]	32	PLL1 的参考和反馈必须在 PLL1_WND_SIZE 指定的相位误差窗口内持续这么多个相位检测器周期，才能断言 PLL1 数字锁定检测。	
				字段值	延迟值
				0 (0x00)	保留
				1 (0x01)	1
0x15D	7:0	PLL1_DLD _CNT[7:0]	0	2 (0x02)	2
				3 (0x03)	3
				...	...
				16,382 (0x3FFE)	16,382
				16,383 (0x3FFF)	16,383

8.6.2.7.7 HOLDOVER_EXIT_NADJ

表 8-71. 寄存器 0x15E

位	名称	POR 默认值	说明
7:5	不适用	0	保留
4:0	HOLDOVER_EXIT_NADJ	30	当存在保持时，PLL1 R 计数器和 PLL1 N 计数器被复位。HOLDOVER_EXIT_NADJ 是一个 2s 补码，它提供 PLL1 R 和 PLL1 N 分频器之间的相对时序偏移。

Copyright © 2023 Texas Instruments Incorporated

8.6.2.7.8 PLL1_LD_MUX, PLL1_LD_TYPE

该寄存器可配置 PLL1 LD 引脚。

表 8-72. 寄存器 0x15F

位	名称	POR 默认值	说明	
7:3	PLL1_LD_MUX	1	这会设置 Status_LD1 引脚的输出值。	
			字段值	**MUX 值**
			0 (0x00)	逻辑低电平
			1 (0x01)	PLL1 DLD
			2 (0x02)	PLL2 DLD
			3 (0x03)	PLL1 和 PLL2 DLD
			4 (0x04)	保持状态
			5 (0x05)	DAC 被锁定
			6 (0x06)	保留
			7 (0x07)	SPI 读回
			8 (0x08)	DAC 轨
			9 (0x09)	DAC 低电平
			10 (0x0A)	DAC 高电平
			11 (0x0B)	PLL1_N /2
			12 (0x0C)	PLL1_N / 4
			13 (0x0D)	PLL2_N / 2
			14 (0x0E)	PLL2_N / 4
			15 (0x0F)	PLL1_R / 2
			16 (0x10)	PLL1_R / 4
			17 (0x11)	PLL2_R(1) / 2
			18 (0x12)	PLL2_R / 4(1)
2:0	PLL1_LD_TYPE	6	设置 Status_LD1 引脚的 IO 类型。	
			字段值	**类型**
			0 (0x00)	外部 CLKin2 LOS 的输入
			1 (0x01)	外部 CLKin2 LOS 输入（上拉）
			2 (0x02)	外部 CLKin2 LOS 输入（下拉）
			3 (0x03)	输出（推挽）
			4 (0x04)	输出反相（推挽）
			5 (0x05)	保留
			6 (0x06)	输出（开漏）

(1) 仅当 PLL2_LD_MUX 未设置为 2 (PLL2_DLD) 或 3（PLL1 和 PLL2 DLD）时有效。

Copyright © 2023 Texas Instruments Incorporated

8.6.2.8 (0x160 - 0x16E) PLL2 配置

8.6.2.8.1 PLL2_R

表 8-73. PLL2_R[11:0]

MSB	LSB
0x160[3:0] / PLL2_R[11:8]	0x161[7:0] / PLL2_R[7:0]

此寄存器中包含 PLL2 R 分频器值。

表 8-74. 寄存器 0x160 和 0x161

寄存器	位	名称	POR 默认值	说明	
0x160	7:4	不适用	0	保留	
0x160	3:0	PLL2_R[11:8]	0	PLL2 R 分频器的有效值。	
				字段值	分频值
				0 (0x00)	无效
				1 (0x01)	1
0x161	7:0	PLL2_R[7:0]	2	2 (0x02)	2
				3 (0x03)	3
				...	...
				4,094 (0xFFE)	4,094
				4,095 (0xFFF)	4,095

Copyright © 2023 Texas Instruments Incorporated

8.6.2.8.2 PLL2_P、OSCin_FREQ、PLL2_REF_2X_EN

该寄存器设置其他 PLL2 功能。

表 8-75. 寄存器 0x162

位	名称	POR 默认值	说明	
7:5	PLL2_P	2	PLL2 N 预分频器按 Mode_MUX1 选择的方式对 VCO 的输出进行分频，并连接到 PLL2 N 分频器。	
			字段值	**值**
			0 (0x00)	8
			1 (0x01)	2
			2 (0x02)	2
			3 (0x03)	3
			4 (0x04)	4
			5 (0x05)	5
			6 (0x06)	6
			7 (0x07)	7
4:2	OSCin_FREQ	3	必须对 PLL2 相位检测器（OSCIN_P/OSCIN_N 引脚）的 PLL2 参考输入频率进行编程，以支持正确操作将内部 VCO 锁定到目标频率的频率校准例程。	
			字段值	**OSCIN 频率**
			0 (0x00)	0 至 63 MHz
			1 (0x01)	>63MHz 至 127MHz
			2 (0x02)	>127MHz 至 255MHz
			3 (0x03)	保留
			4 (0x04)	>255MHz 至 500MHz
			5 (0x05) 至 7(0x07)	保留
1	不适用	0	保留	
0	PLL2_REF_2X_EN	1	启用 PLL2 参考倍频器允许 PLL2 上的相位检测器频率高于给定 VCXO 频率通常允许的频率。 较高的相位检测器频率会降低 PLL2 N 值，从而使设计更宽的环路带宽滤波器成为可能。 0：倍频器已禁用 1：倍频器已启用	

Copyright © 2023 Texas Instruments Incorporated

8.6.2.8.3 PLL2_N_CAL

PLL2_N_CAL[17:0]

PLL2 在频率校准期间从不使用 0 延迟。这些寄存器中包含在级联 0 延迟模式校准期间与 PLL2 预分频器一起使用的 PLL2 N 分频器值。校准完成后，PLL2 将使用 PLL2_N 值。当 PLL2_NCLK_MUX = 1 时，会出现级联 0 延迟模式。

表 8-76. PLL2_N_CAL[17:0]

MSB	—	LSB
0x163[1:0] / PLL2_N_CAL[17:16]	0x164[7:0] / PLL2_N_CAL[15:8]	0x165[7:0] / PLL2_N_CAL[7:0]

表 8-77. 寄存器 0x163、0x164 和 0x165

寄存器	位	名称	POR 默认值	说明	
0x163	7:2	不适用	0	保留	
0x163	1:0	PLL2_N _CAL[17:16]	0	字段值	分频值
0x164	7:0	PLL2_N_CAL[15:8]	0	0 (0x00)	无效
0x165	7:0	PLL2_N_CAL[7:0]	12	1 (0x01)	1
				2 (0x02)	2
				...	...
				262,143 (0x3FFFF)	262,143

8.6.2.8.4 PLL2_N

该寄存器可禁用频率校准并设置 PLL2 N 分频器值。如果 PLL2_FCAL_DIS = 0，编程寄存器 0x168 将启动 VCO 校准例程。

表 8-78. PLL2_N[17:0]

MSB	—	LSB
0x166[1:0] / PLL2_N[17:16]	0x167[7:0] / PLL2_N[15:8]	0x168[7:0] / PLL2_N[7:0]

表 8-79. 寄存器 0x166、0x167 和 0x168

寄存器	位	名称	POR 默认值	说明	
0x166	7:3	不适用	0	保留	
0x166	2	PLL2_FCAL_DIS	0	将此寄存器设置为 1 会禁用对寄存器 0x168 编程时进行 PLL2 频率校准	
0x166	1:0	PLL2_N[17:16]	0	字段值	分频值
0x167	7:0	PLL2_N[15:8]	0	0 (0x00)	无效
0x168	7:0	PLL2_N[7:0]	12	1 (0x01)	1
				2 (0x02)	2
				...	...
				262,143 (0x3FFFF)	262,143

Copyright © 2023 Texas Instruments Incorporated

8.6.2.8.5 PLL2_WND_SIZE、PLL2_CP_GAIN、PLL2_CP_POL、PLL2_CP_TRI

该寄存器控制 PLL2 相位检测器。

表 8-80. 寄存器 0x169

位	名称	POR 默认值	说明
7	不适用	0	保留
6:5	PLL2_WND_SIZE	2	PLL2_WND_SIZE 设置用于 PLL2 数字锁定检测的窗口大小。如果 PLL2 的参考和反馈之间的相位误差小于指定时间，PLL2 锁定计数器会递增。 **字段值** / **最大相位检测器频率/窗口大小** 0 (0x00) / 保留 1 (0x01) / 320MHz/1ns 2 (0x02) / 240MHz/1.8ns 3 (0x03) / 160MHz/2.6ns
4:3	PLL2_CP_GAIN	3	该位对 PLL2 电荷泵输出电流电平进行编程。下表还显示了 PLL2 TRISTATE 位与 PLL2_CP_GAIN 的影响。 **字段值** / **定义** 0 (0x00) / 保留 1 (0x01) / 保留 2 (0x02) / 1600µA 3 (0x03) / 3200µA
2	PLL2_CP_POL	0	PLL2_CP_POL 设置 PLL2 的电荷泵极性。内部 VCO 要求选择负电荷泵极性。许多 VCO 使用正斜率。 正斜率 VCO 会随着电压的增加而增加输出频率。负斜率 VCO 会随着电压的增加而降低输出频率。 **字段值** / **说明** 0 / 负斜率 VCO/VCXO 1 / 正斜率 VCO/VCXO
1	PLL2_CP_TRI	0	PLL2_CP_TRI 对 PLL2 电荷泵的输出进行三态处理。 0：禁用 1：三态
0	PLL2_DLD_EN	0	当 PLL2 DLD 用于向锁定检测状态引脚提供输出时，PLL2 DLD 电路被启用。PLL2_DLD_EN 允许启用 PLL2 DLD 电路，而无需向状态引脚提供 PLL2 DLD。这使 PLL2 DLD 状态能够使用 SPI 回读，同时允许将状态引脚用于其他目的。 0：仅在 Status_LD_MUX 输出 PLL2 DLD 或 PLL1 + PLL2 DLD 信号时，PLL2 DLD 电路才上电。 1：PLL2 DLD 电路被强制上电。

Copyright © 2023 Texas Instruments Incorporated

8.6.2.8.6 PLL2_DLD_CNT

表 8-81. PLL2_DLD_CNT[13:0]

MSB	LSB
0x16A[5:0] / PLL2_DLD_CNT[13:8]	0x16B[7:0] / PLL2_DLD_CNT[7:0]

该寄存器具有 PLL2 DLD 计数器的值。

表 8-82. 寄存器 0x16A 和 0x16B

寄存器	位	名称	POR 默认值	说明	
0x16A	7	不适用	0	保留	
0x16A	5:0	PLL2_DLD _CNT[13:8]	32	PLL2 的参考和反馈必须在 PLL2_WND_SIZE 指定的相位误差窗口内持续 PLL2_DLD_CNT 个周期，才能断言 PLL2 数字锁定检测。	
				字段值	分频值
				0 (0x00)	无效
				1 (0x01)	1
0x16B	7:0	PLL2_DLD_CNT	0	2 (0x02)	2
				3 (0x03)	3
				...	...
				16,382 (0x3FFE)	16,382
				16,383 (0x3FFF)	16,383

Copyright © 2023 Texas Instruments Incorporated

8.6.2.8.7 PLL2_LD_MUX、PLL2_LD_TYPE

此寄存器设置 Status_LD2 引脚的输出值。

表 8-83. 寄存器 0x16E

位	名称	POR 默认值	说明	
7:3	PLL2_LD_MUX	0	此寄存器可设置 Status_LD2 引脚的输出值。	
			字段值	**MUX 值**
			0 (0x00)	逻辑低电平
			1 (0x01)	PLL1 DLD
			2 (0x02)	PLL2 DLD
			3 (0x03)	PLL1 和 PLL2 DLD
			4 (0x04)	保持状态
			5 (0x05)	DAC 被锁定
			6 (0x06)	保留
			7 (0x07)	SPI 读回
			8 (0x08)	DAC 轨
			9 (0x09)	DAC 低电平
			10 (0x0A)	DAC 高电平
			11 (0x0B)	PLL1_N / 2
			12 (0x0C)	PLL1_N / 4
			13 (0x0D)	PLL2_N / 2
			14 (0x0E)	PLL2_N / 4
			15 (0x0F)	PLL1_R / 2
			16 (0x10)	PLL1_R / 4
			17 (0x11)	PLL2_R / 2(1)
			18 (0x12)	PLL2_R / 4(1)
2:0	PLL2_LD_TYPE	6	设置 Status_LD2 引脚的 IO 类型。	
			字段值	**类型**
			0 (0x00)	保留
			1 (0x01)	保留
			2 (0x02)	保留
			3 (0x03)	输出（推挽）
			4 (0x04)	输出反相（推挽）
			5 (0x05)	保留
			6 (0x06)	输出（开漏）

(1) 仅当 PLL1_LD_MUX 未设置为 2 (PLL2_DLD) 或 3（PLL1 和 PLL2 DLD）时有效。

Copyright © 2023 Texas Instruments Incorporated

8.6.2.9 (0x16F - 0x555) 其他寄存器

8.6.2.9.1 PLL2_PRE_PD、PLL2_PD、FIN0_PD

表 8-84. 寄存器 0x173

位	名称	POR 默认值	说明
7	不适用	0	保留
6	PLL2_PRE_PD	1	关闭 PLL2 预分频器的电源 0：正常运行 1：断电
5	PLL2_PD	1	关闭 PLL2 的电源 0：正常运行 1：断电
4	FIN0_PD	1	关闭 FIN0 的电源 0：正常运行 1：断电
3:0	不适用	0	保留

8.6.2.9.2 PLL1R_RST

有关同步 PLL1 R 分频器的更多信息，请参阅 *PLL1 R 分频器同步*。

表 8-85. 寄存器 0x177

位	名称	POR 默认值	说明
7:6	不适用	0	保留
5	PLL1R_RST	0	设置后，PLL1 R 分频器将保持复位状态。PLL1R_RST = 1 时，PLL1 绝不会锁定。同步 PLL1 R 分频器时使用此位。 0：PLL1 R 分频器正常工作。 1：PLL1 R 分频器保持复位状态。
4:0	不适用	0	保留

8.6.2.9.3 CLR_PLL1_LD_LOST、CLR_PLL2_LD_LOST

表 8-86. 寄存器 0x182

位	名称	POR 默认值	说明
7:2	不适用	0	保留
1	CLR_PLL1_LD_LOST	0	要复位 RB_PLL1_LD_LOST，请为 CLR_PLL1_LD_LOST 写入 1，然后再写入 0。 0：RB_PLL1_LD_LOST 将在下一个 PLL1 DLD 下降沿置位。 1：RB_PLL1_LD_LOST 保持清零 (0)。用户必须清除此位才能再次设置 RB_PLL1_LD_LOST。
0	CLR_PLL2_LD_LOST	0	要复位 RB_PLL2_LD_LOST，请为 CLR_PLL2_LD_LOST 写入 1，然后再写入 0。 0：RB_PLL2_LD_LOST 将在下一个 PLL2 DLD 下降沿置位。 1：RB_PLL2_LD_LOST 保持清零 (0)。用户必须清除此位才能再次设置 RB_PLL2_LD_LOST。

8.6.2.9.4 RB_PLL1_LD_LOST、RB_PLL1_LD、RB_PLL2_LD_LOST、RB_PLL2_LD

为了使 PLL2 DLD 读回有效，必须从状态引脚输出 PLL2 DLD 或 PLL1 + PLL2 DLD 信号，或 PLL2_DLD_EN 位必须设置为 = 1。

表 8-87. 寄存器 0x183

位	名称	POR 默认值	说明
7:4	不适用	0	保留

Copyright © 2023 Texas Instruments Incorporated

表 8-87. 寄存器 0x183 (continued)

位	名称	POR 默认值	说明
3	RB_PLL1_LD_LOST	0	当 PLL1 DLD 边沿下降时，设置此位。如果在 PLL1 DLD 为低电平时清除，则不置位。
2	RB_PLL1_LD	0	读回 0：PLL1 DLD 为低电平。 读回 1：PLL1 DLD 为高电平。
1	RB_PLL2_LD_LOST	0	当 PLL2 DLD 边沿下降时，设置此位。如果在 PLL2 DLD 为低电平时清除，则不置位。
0	RB_PLL2_LD	0	PLL1_LD_MUX 或 PLL2_LD_MUX 必须选择设置 2 (PLL2 DLD) 才能有效读取此位。 读回 0：PLL2 DLD 为低电平。 读回 1：PLL2 DLD 为高电平。

8.6.2.9.5 RB_DAC_VALUE (MSB)、RB_CLKinX_SEL、RB_CLKinX_LOS

此寄存器提供对 CLKinX 选择指示器和 CLKinX LOS 指示器的读回访问。2 个 MSB 与 RB_DAC_VALUE 的 MSB 相同。更多信息请参阅 *RB_DAC_VALUE* 部分。

表 8-88. 寄存器 0x184

位	名称	POR 默认值	说明
7:6	RB_DAC_VALUE[9:8]		请参阅 *RB_DAC_VALUE* 部分。
5	RB_CLKin2_SEL		读回 0：未选择 CLKin2 作为 PLL1 的输入。 读回 1：已选择 CLKin2 作为 PLL1 的输入。
4	RB_CLKin1_SEL		读回 0：未选择 CLKin1 作为 PLL1 的输入。 读回 1：已选择 CLKin1 作为 PLL1 的输入。
3	RB_CLKin0_SEL		读回 0：未选择 CLKin0 作为 PLL1 的输入。 读回 1：已选择 CLKin0 作为 PLL1 的输入。
2	不适用		
1	RB_CLKin1_LOS		读回 1：CLKin1 LOS 处于激活状态。 读回 0：CLKin1 LOS 未激活。
0	RB_CLKin0_LOS		读回 1：CLKin0 LOS 处于激活状态。 读回 0：CLKin0 LOS 未激活。

8.6.2.9.6 RB_DAC_VALUE

包含了 DAC 的值，以供用户读回。

表 8-89. RB_DAC_VALUE[9:0]

MSB	LSB
0x184 [7:6] / RB_DAC_VALUE[9:8]	0x185 [7:0] / RB_DAC_VALUE[7:0]

表 8-90. 寄存器 0x184 和 0x185

寄存器	位	名称	POR 默认值	
0x184	7:6	RB_DAC_ VALUE[9:8]	2	上电复位时 DAC 值为 512，如果 PLL1 在上电时锁定，DAC 值会发生变化。
0x185	7:0	RB_DAC_ VALUE[7:0]	0	

8.6.2.9.7 RB_HOLDOVER

表 8-91. 寄存器 0x188

位	名称	POR 默认值	说明
7:5	不适用		保留
4	RB_HOLDOVER		读回 0：未处于保持模式。 读回 1：处于保持模式。

Copyright © 2023 Texas Instruments Incorporated

表 8-91. 寄存器 0x188 (continued)

位	名称	POR 默认值	说明
3:0	不适用		保留

8.6.2.9.8 SPI_LOCK

防止写入 SPI 寄存器，0x555 除外。

此寄存器无法读回。

表 8-92. 寄存器 0x555

位	名称	POR 默认值	说明
7:0	SPI_LOCK	0	0：寄存器已解锁。 1 至 255：寄存器已锁定。

Copyright © 2023 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

德州仪器 (TI) 在 ti.com 网站上提供了 TICSPRO 软件来帮助进行器件设置、分频器计算和常规器件编程，并提供了用于环路滤波器设计和相位噪声/抖动仿真的 PLLatinum™ 仿真软件。

9.1.1 处理未使用的引脚

并非每个应用都需要所有引脚。通常，在软件中关闭未使用的功能。未使用的引脚可保持悬空，或通过一个 1kΩ 电阻器来接地。

表 9-1. 处理未使用的引脚

引脚	未使用时的处理方法
CLKOUTx_P/CLKOUTx_N	1kΩ 至 GND 或悬空引脚
RESET/GPO	1kΩ 至 GND 或悬空引脚
SYNC/SYSREF_REQ	1kΩ 至 GND 或悬空引脚
FIN0_P/FIN0_N	1kΩ 至 GND 或悬空引脚
STATUS_LD1、STATUS_LD2	1kΩ 至 GND 或悬空引脚
CPOUT1、CPOUT2	1kΩ 至 GND 或悬空引脚
OSCOUT_P/CLKIN2_P	1kΩ 至 GND 或悬空引脚
OSCOUT_N/CLKIN2_N	1kΩ 至 GND 或悬空引脚

9.1.2 数字锁定检测频率精度

数字锁定检测电路用于确定 PLL1 被锁定、PLL2 被锁定和保持退出事件。针对要发生的每个事件，可以对窗口大小和锁定计数寄存器进行编程，以便将参考的 ppm 频率精度设置为 PLL 的反馈信号。发生 PLL 数字锁定事件时，PLL 的数字锁定检测被置位为 true。发生保持退出事件时，器件将在 HOLDOVER_EXIT_MODE = 1 时退出保持模式（基于 DLD 退出）。

表 9-2. 数字锁定检测相关字段

事件	PLL	窗口大小	锁定计数
PLL1 被锁定	PLL1	PLL1_WND_SIZE	PLL1_DLD_CNT
PLL2 被锁定	PLL2	PLL2_WND_SIZE	PLL2_DLD_CNT
保持退出	PLL1	PLL1_WND_SIZE	HOLDOVER_DLD_CNT

要发生数字锁定检测事件，必须存在*锁定计数*数量的 PLLX 相位检测器周期数，在此期间，PLLX_R 参考和 PLLX_N 反馈信号边沿的时间和相位误差位于用户可编程的*窗口大小*范围内。在锁定事件发生之前，必须至少有一个*锁定计数*相位检测器事件，因此最小数字锁定事件时间可以按如下方来计算：*锁定计数*/f_{PDX}，对于 PLL1，X = 1，对于 PLL2，X = 2。

通过使用方程式 4，可以选择*锁定计数*和*窗口大小*的值，以便在数字锁定检测事件发生之前设置系统所需的频率精度（以 ppm 为单位）：

$$ppm = \frac{1e6 \times PLLX_WND_SIZE \times f_{PDX}}{PLLX_DLD_CNT} \quad (4)$$

*锁定计数*值的作用是通过将*窗口大小*除以*锁定计数*来缩短有效锁定窗口大小。

Copyright © 2023 Texas Instruments Incorporated

只要 PLLX_R 参考和 PLLX_N 反馈信号超出了*窗口大小*设置的时间窗口范围，*锁定计数*值会立即复位为 0。

9.1.2.1 最小锁定时间计算示例

在 PLL2 相位检测器频率为 40MHz 并且 PLL2_DLD_CNT = 10,000 的情况下，计算最短 PLL2 *数字*锁定时间。那么，PLL2 的最短锁定时间将为 10,000 / 40MHz = 250µs。

9.1.3 驱动 CLKIN 和 OSCIN 输入

9.1.3.1 使用差分源驱动 CLKIN 和 OSCIN 引脚

CLKin 和 OSCin 引脚可由差分信号驱动。使用差分参考时钟时，TI 建议将输入模式设置为双极 (CLKinX_BUF_TYPE = 0)。该器件在内部对输入引脚进行偏置，因此差分接口应为交流耦合。图 9-1 和图 9-2 中显示了利用 LVDS 或 LVPECL 驱动 CLKin 引脚的推荐电路。

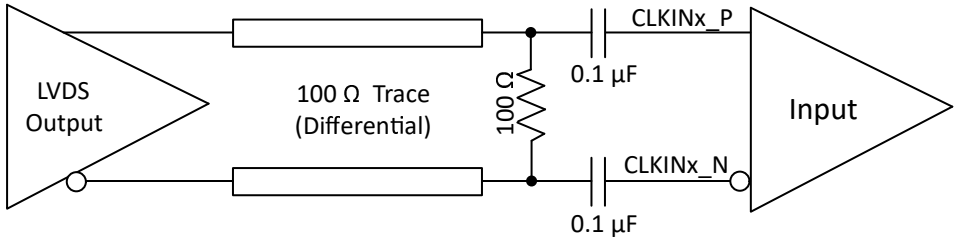


图 9-1. 用于 LVDS 参考时钟源的 CLKINx_P/CLKINx_N 或 OSCIN 终端

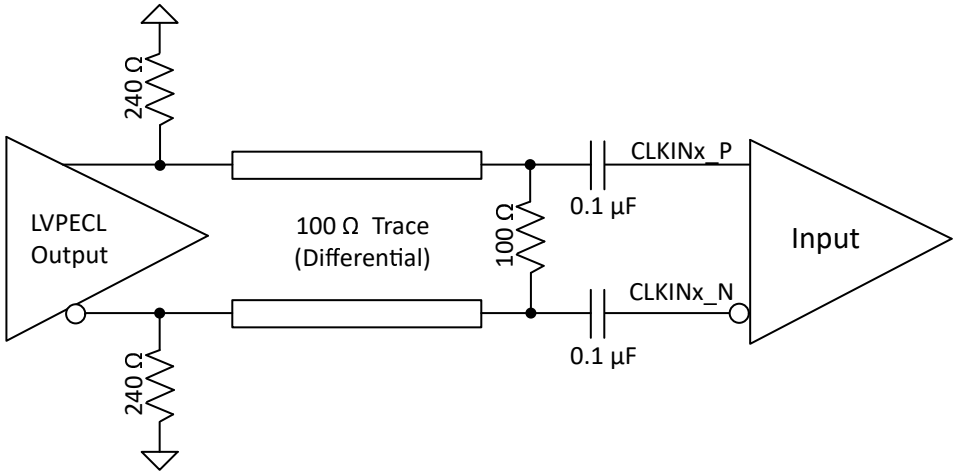


图 9-2. 用于 LVPECL 参考时钟源的 CLKINx_P/CLKINx_N 或 OSCIN 终端

最后，产生差分正弦波输出的参考时钟源可以使用以下电路驱动 CLKIN 引脚。注意：信号电平必须符合*电气特性*表中所列的 CLKIN 引脚的要求。

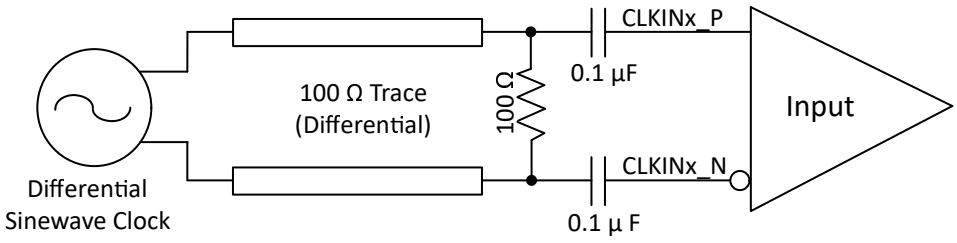


图 9-3. 用于差分正弦波参考时钟源的 CLKINx_P/CLKINx_N 或 OSCIN 终端

Copyright © 2023 Texas Instruments Incorporated

9.1.3.2 使用单端源驱动 CLKIN 引脚

可以使用单端参考时钟源（例如，正弦波源或 LVCMOS/LVTTL 源）驱动 CLKIN 和 OSCIN 引脚。CLKIN 支持交流耦合和直流耦合。OSCin 必须使用交流耦合。对于需要 50Ω 负载的正弦波源，TI 建议使用带 50Ω 终端的交流耦合方案，如图 9-4 所示。

备注

信号电平必须符合*电气特性*表中所列的 CLKIN 或 OSCIN 引脚的要求。

为支持 LOS 功能，在交流耦合的情况下必须将 CLKinX_BUF_TYPE 设置为 MOS 模式 (CLKinX_BUF_TYPE = 1)。交流耦合的情况下，如果 100Ω 终端放置在阻断电容器的 IC 侧，则 LOS 功能将无效。

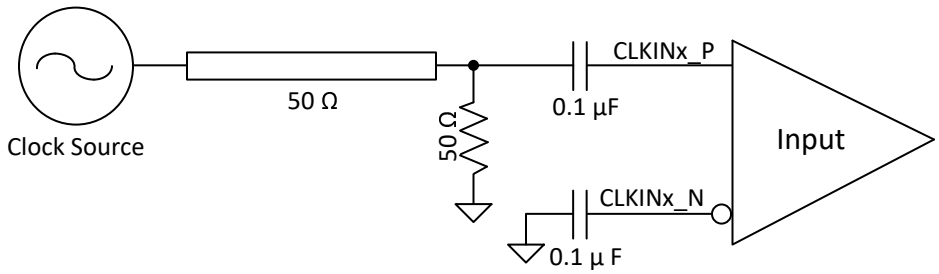


图 9-4. CLKINx_P/CLKINx_N 单端终端

如果 CLKin 引脚由单端 LVCMOS/LVTTL 源驱动，则可以使用直流耦合或交流耦合。如果使用直流耦合，则应将 CLKinX_BUF_TYPE 设置为 MOS 缓冲模式 (CLKinX_BUF_TYPE = 1)，并且该源的电压摆幅必须符合*电气特性*表中给出的直流耦合 MOS 模式时钟输入规格。如果使用交流耦合，则应将 CLKinX_BUF_TYPE 设置为双极缓冲模式 (CLKinX_BUF_TYPE = 0)。输入引脚上的电压摆幅必须满足*电气特性*表中给出的交流耦合双极模式时钟输入规格。在这种情况下，可能需要对时钟输入电平进行一定的衰减。交流耦合电容器之前的简单电阻分压器电路就足够了。

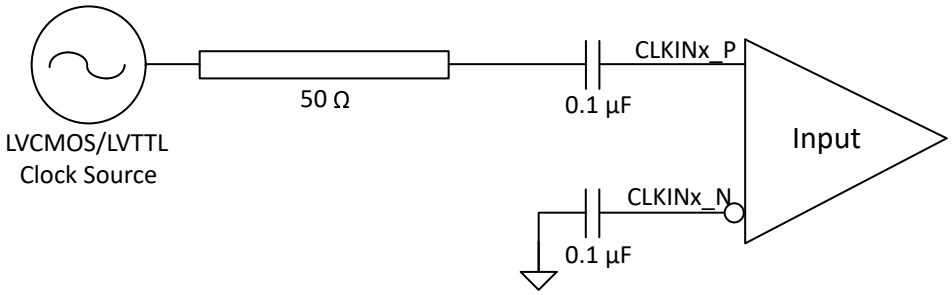


图 9-5. 直流耦合 LVCMOS/LVTTL 参考时钟

9.1.4 端接和使用时钟输出驱动器

在端接时钟驱动器时，请牢记以下有关实现出色相位噪声和抖动性能的指导原则：

- 为了实现良好的阻抗匹配以防止反射，应该遵循传输线路理论。
- 时钟驱动器应具有适当的负载。例如：
  - LVDS 驱动器是电流驱动器，需要闭合电流环路。
  - LVPECL 驱动器是开路发射极，需要直流接地路径。
- 为了确保接收器正常工作，应该向接收器发送偏置到其指定直流偏置电平（共模电压）的信号。一些接收器具有自偏置输入，可自动偏置至适当的电压电平。在这种情况下，信号通常应进行交流耦合。

Copyright © 2023 Texas Instruments Incorporated

只要遵循上述指导原则，就可以使用 LVDS 或 LVPECL 驱动器驱动非 LVPECL 或非 LVDS 接收器。检查受驱动的接收器或输入的数据表，确定适合的端接和耦合方法，以确保接收器偏置为适宜的直流电压（共模电压）。例如，当驱动 OSCIN_P/OSCIN_N 输入时，因为输入在内部偏置至适宜的直流偏置电平，它应该进行交流耦合。

9.1.4.1 直流耦合差分操作的端接

对于 LVDS 驱动器的直流耦合操作，在尽可能靠近 LVDS 接收器的位置端接 100Ω 电阻器，如图 9-6 所示。

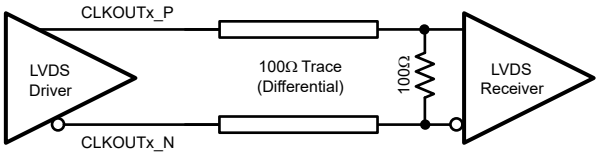


图 9-6. 直流耦合差分 LVDS 操作（接收器无偏置）

对于 LVPECL 驱动器的直流耦合操作，在 V_{CC} - 2V 处端接 50Ω 电阻器，如图 9-7 所示。或者，在 V_{CC} = 3.3V 的情况下，端接戴维南等效电路（120Ω 电阻器连接到 V_{CC}，82Ω 电阻器连接到地，驱动器连接到 120Ω 和 82Ω 电阻器的结点），如图 9-8 所示。

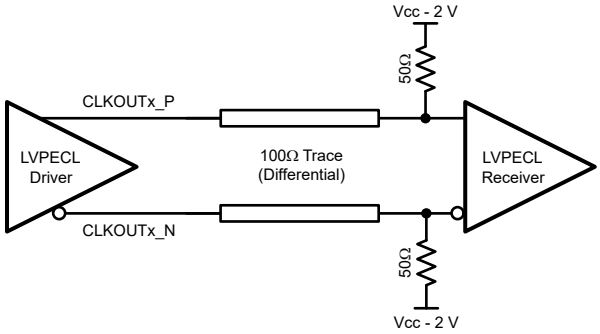


图 9-7. 直流耦合差分 LVPECL 操作

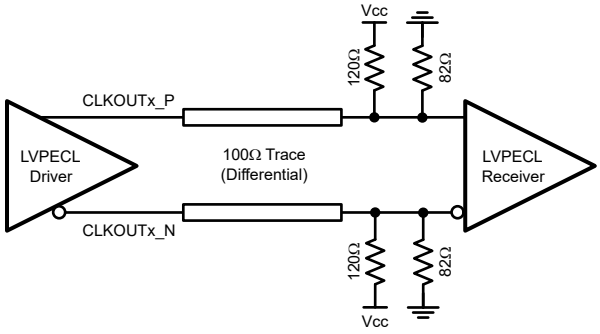


图 9-8. 直流耦合差分 LVPECL 操作（戴维南等效电路）

9.1.4.2 交流耦合差分操作的端接

交流耦合可在驱动不同接收器标准时改变直流偏置电平（共模电压）。由于交流耦合会阻止驱动器在接收器上提供直流偏置电压，因此务必要确保接收器偏置到其理想的直流电平。

使用 LVDS 驱动器驱动非偏置 LVDS 接收器时，可以通过添加直流阻断电容器对信号进行交流耦合，但需要在接收器上建立适当的直流偏置点。其中一种方法是使用图 9-9 中的端接电路。

Copyright © 2023 Texas Instruments Incorporated

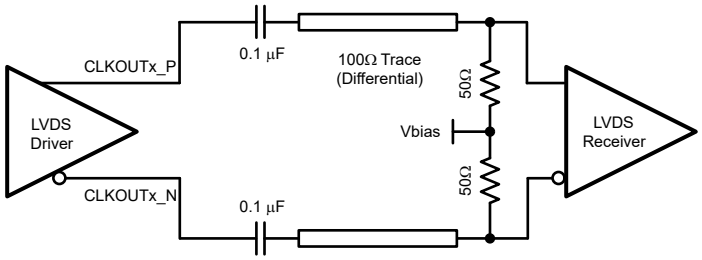


图 9-9. 交流耦合差分 LVDS 操作（接收器外部偏置）

某些 LVDS 接收器可能在输入端有内部偏置。在这种情况下，修改图 9-9 所示的电路，将连接至 Vbias 的两个 50Ω 端接电阻替换为接收器输入引脚之间的单个 100Ω 电阻器，如图 9-10 所示。当对 LVDS 输出使用交流耦合时，可能会由于电容器充电而在时钟输出中观察到启动延迟。前面的图采用 0.1µF 电容器。可能需要调整此值以满足特定应用的启动要求。

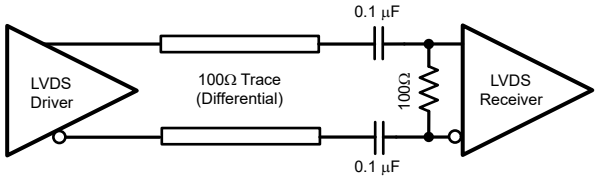


图 9-10. 自偏置接收器的 LVDS 端接

LVPECL 驱动器需要一条直流接地路径。当对 LVPECL 信号进行交流耦合时，请使用靠近 LVPECL 驱动器的 120Ω 发射极电阻器来提供直流接地路径，如图 9-11 所示。为了使接收器正常运行，信号应偏置到接收器指定的直流偏置电平（共模电压）。LVPECL 接收器的典型直流偏置电压为 2V。在 V_{CC} = 3.3V 的情况下，戴维南等效电路（82Ω 电阻器连接到 V_{CC}，120Ω 电阻器接地，驱动器连接到 82Ω 和 120Ω 电阻器的结点）是一个有效端接，如图 9-11 所示。请注意，这种戴维南电路不同于图 9-8 中的直流耦合示例。

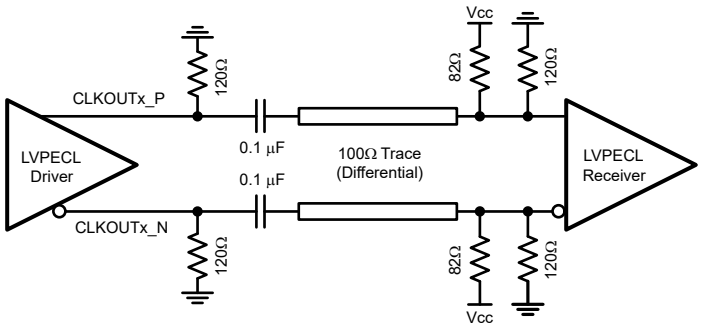


图 9-11. 交流耦合差分 LVPECL 操作（戴维南等效电路、接收器外部偏置）

9.1.4.3 单端操作的端接

平衡-非平衡变压器可与 LVDS 或 LVPECL 驱动器一起使用，将平衡、差分信号转换为不平衡的单端信号。

可以将 LVPECL 驱动器用作一个或两个单独的 800mVpp 信号。当只使用 CLKOUTx_P/CLKOUTx_N 对中的一个 LVPECL 驱动器时，请确保正确端接未使用的驱动器。当直流耦合其中一个 LMK04808C 时钟 LVPECL 驱动器时，应在 V_{CC} - 2V 处端接 50Ω 的电阻器，如图 9-12 所示。在 Vcc = 3.3V 的情况下，戴维南等效电路也是有效的端接，如图 9-13 所示。

Copyright © 2023 Texas Instruments Incorporated

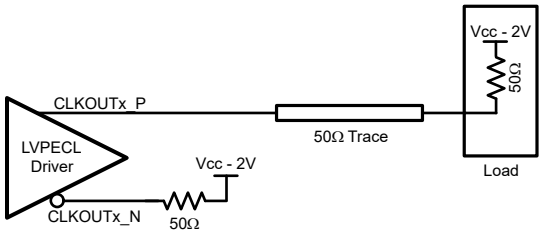


图 9-12. 直流耦合单端 LVPECL 操作

图 9-13. 直流耦合单端 LVPECL 操作（戴维南等效电路）

当对 LVPECL 驱动器进行交流耦合时，使用 120Ω 发射极电阻器来提供直流接地路径，并确保接收器使用 50Ω 端接并具有适当的直流偏置电平。LVPECL 接收器的典型直流偏置电压为 2V。如果未使用配套驱动器，则应进行适当的交流端接或直流端接。后一个交流耦合、单端 LVPECL 信号的示例可用于使用频谱分析仪或相位噪声分析仪测量单端 LVPECL 性能。使用大多数射频测试设备时，无需直流偏置点 (0 VDC) 即可确保安全和正常运行。测试设备的内部 50Ω 端接电阻正确端接要测量的 LVPECL 驱动器，如图 9-14 所示。

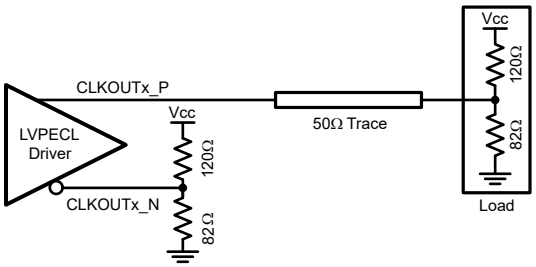


图 9-14. 交流耦合单端 LVPECL 操作

Copyright © 2023 Texas Instruments Incorporated

9.1.5 输出终止和偏置

9.1.5.1 LVPECL

图 9-15 显示了针对 CLKout 引脚和 OSCout 引脚的 LVPECL 格式的推荐电阻器偏置配置。可以选择用于 DCLKoutX 或 SDCLKoutY 的 LVPECL 发射极电阻，使 120Ω ≤ Re ≤ 240Ω。当 OSCout（引脚 40 和 41）配置为提供 LVPECL 格式的缓冲振荡器输出时，TI 建议将 OSCout 的发射极电阻器的值设置为 240Ω。为避免偏置电路的偏置不匹配或过载，TI 建议通过交流耦合电容器将 LVPECL 输出连接到负载，如下图所示。

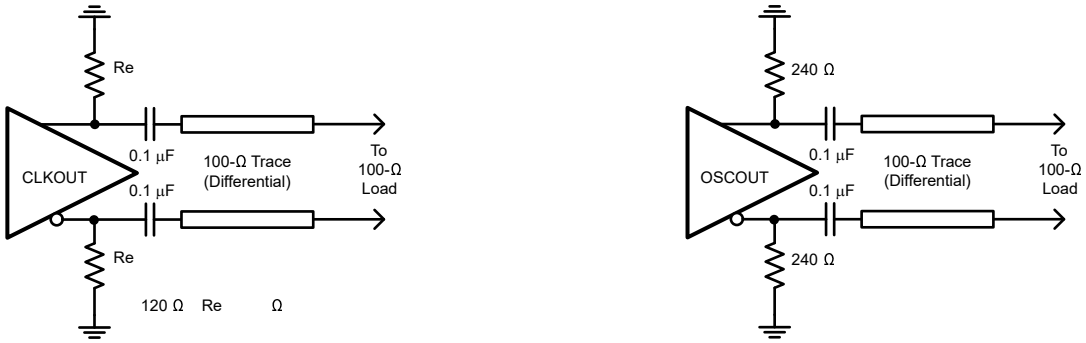


图 9-15. CLKout 和 OSCout 的 LVPECL 偏置

9.1.5.2 LVDS/HSDS

图 9-16 显示了针对 CLKout 引脚和 OSCout 引脚的 LVDS/HSDS 格式的推荐电阻器偏置配置。将 HSDS 输出连接到负载时，应将其设置为交流耦合。如果 LVDS 输出的共模输出电压与 LVDS 接收器的共模输入电压匹配，可以使用直流耦合；然而，LVDS 通常也是交流耦合的，以避免任何驱动器/接收器不匹配问题。

LVDS/HSDS 驱动器在初始启动时需要一个直流路径，用于从 CLKOUTx_P 到 CLKOUTx_N 以及从 OSCOUT_P 到 OSCOUT_N 的电流。如果启动时不存在电流的直流路径，LVDS/HSDS 输出启动时的振幅可能低于预期，在某些情况下可能会产生矮脉冲，或在启动后的一段时间内无法振荡。100Ω 端接应放置在交流耦合电容器的时钟输出侧，如图 9-16 所示。不需要 560Ω 电阻器来为输出提供直流路径。

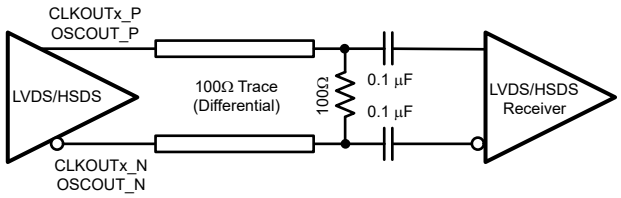


图 9-16. OSCout 和 CLKout 的 LVDS/HSDS 输出终端

9.1.5.3 CML

图 9-17 显示了时钟输出的 CML 格式所需的电阻配置。带有上拉至 V_{CC} 的 50Ω 电阻的 CML 输出可用于低频输出，例如 VCO 分频和 SYSREF 输出。对于高频 CML 输出（1GHz 至 2GHz 之间）的更高振幅，在连接到 V_{CC} 的 20Ω 公共电阻的每个输出引脚上使用 68nH。

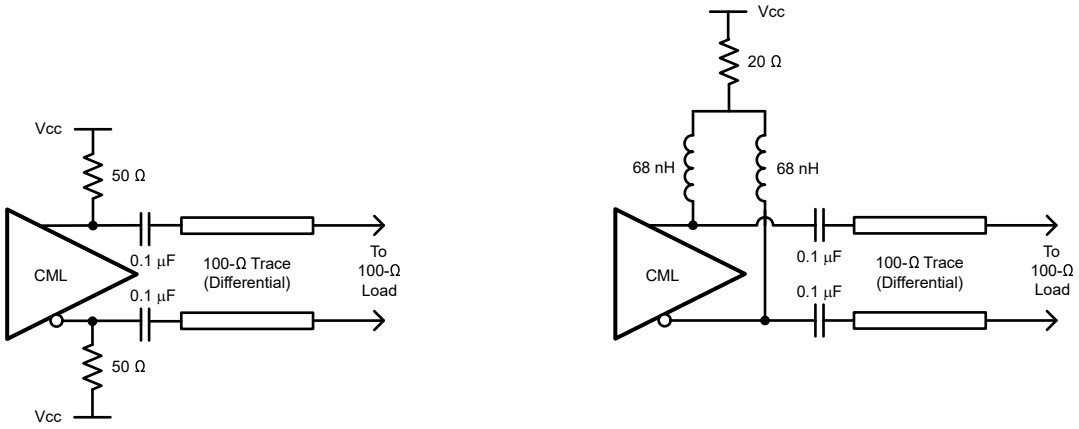


图 9-17. CLKout 的 CML 偏置

9.1.6 用于实现最佳相位噪声性能的 OSCin 倍频器

PLL2 OSCin 输入路径中包含一个片上倍频器。为获得出色相位噪声性能，TI 建议尽可能提高 PLL2 相位检测器频率。例如，使用 122.88MHz VCXO 时，可以通过设置 PLL2_REF_2X_EN 将 PLL2 相位检测器频率增加到 245.76MHz。倍频器路径是 OSCin 时钟的高性能路径。对于无法使用倍频器的配置，TI 建议使用倍频器和 PLL2_RDIV = 2。要在输入时钟和输出时钟之间具有确定的相位关系，应使用 0 延迟模式（双环路配置的嵌套 0 延迟模式，而不是级联 0 延迟模式）。

9.2 典型应用

此设计示例重点介绍了用于设计环路滤波器和创建编程映射的可用工具。

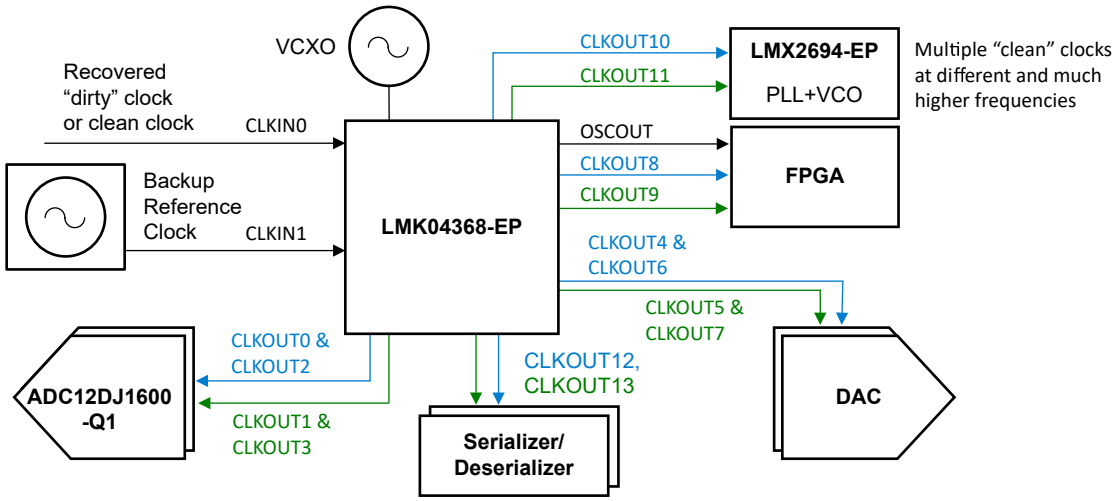


图 9-18. 典型应用

Copyright © 2023 Texas Instruments Incorporated

9.2.1 设计要求

时钟输出：

- 1x 122.88MHz LVCMOS
- 1x 122.88MHz HSDS
- 1x 245.76MHz LVPECL
- 1x 983.04MHz LVDS
- 1x 2949.12MHz CML

为获得出色性能，PLL2 应使用尽可能高频率的相位检测器。因此使用 122.88MHz VCXO。假设 2949.12MHz CML 时钟是性能最关键的时钟。

9.2.2 详细设计过程

TI 拥有 TICSPRO 和 PLLatinum™ 仿真工具，可用于确定寄存器值并设计环路滤波器。CML 和 LVPECL 输出格式的本底噪声更低，但消耗的电流也更多，因此当本底噪声很重要时最好使用这些格式。对于频率规划，CLKOUT4 的输出最为关键，并且该输出与 CLKOUT6 之间有很强的交互作用。为避免过强的交互作用，本例中未使用 CLKOUT6，因此向 CLKOUT4 添加了杂散。122.88MHz HSDS 时钟可能会产生大量杂散和混频产物，因此将该 HSDS 时钟放置在与其他通道交互最弱的 CLKOUT8 上。

9.2.2.1 器件选择

在工具中输入所需的频率。本设计中，VCO0 和 VCO1 均满足设计要求。VCO0 的 VCO 性能相对于 VCO1 有一定提升。在这种情况下，选择 VCO0 可改善 12kHz 至 20MHz 集成范围内的 RMS 抖动。

9.2.2.2 器件配置和仿真

这些工具会自动配置仿真以满足给定的输入和输出频率要求，并对其他参数做出假设以提供一些默认仿真。但是，用户可以选择进行调整以更准确地对其应用进行仿真。例如：

- 输入外部 VCXO (甚至可能外部 VCO) 使用的器件的 VCO 增益。
- 调整电荷泵电流以帮助选择环路滤波器元件。电荷泵电流越低，元件就越小，但可能增加泄漏的影响，并且在最低值时会降低 PLL 相位噪声性能。
- Clock Architect 允许为参考或 VCXO 块加载自定义相位噪声图。通常会为 CLKin 输入自定义相位噪声图，以将参考相位噪声与器件相匹配；还可以提供 VCXO 的相位噪声图，以匹配所用的 VCXO 的性能。为了改善仿真精度和优化环路滤波器设计，请务必加载这些自定义噪声曲线以在实际应用中使用。
- PLLatinum™ 仿真工具也可用于设计和仿真环路滤波器。

9.2.2.3 器件设置

频率规划

- 偶数时钟输出具有最简单的输出路径和最低的本底噪声，因此选择了偶数时钟输出。
- 由于使用了 CLKOUT4，因此应当不使用 CLKOUT6 和 CLKOUT7，或者至少为它们分配与 CLKOUT4 相同的频率。
- 由于使用了 CLKOUT8，因此应当不使用 CLKOUT10 和 CLKOUT11，或者至少为它们分配与 CLKOUT8 相同的频率。

输出格式

- 为 983.04MHz 和 2949.12MHz 时钟选择 CML 和 LVPECL 以降低本底噪声
- 为 122.88MHz 时钟选择 CMOS 以降低电流消耗

编程

- 使用时钟设计工具配置时，需要使用此信息手动更新 TICS Pro 软件以满足应用要求。
- 为了获得最佳性能，可以设置输入和输出驱动电平位。在 CLKout2_3_IDL = 1 和 CLKout2_3_ODL = 1 时可以实现最佳本底噪声性能。
- 在高性能旁路模式下，CLKoutX_Y_ODL 位对偶数时钟输出没有影响。

Copyright © 2023 Texas Instruments Incorporated

9.2.3 应用曲线

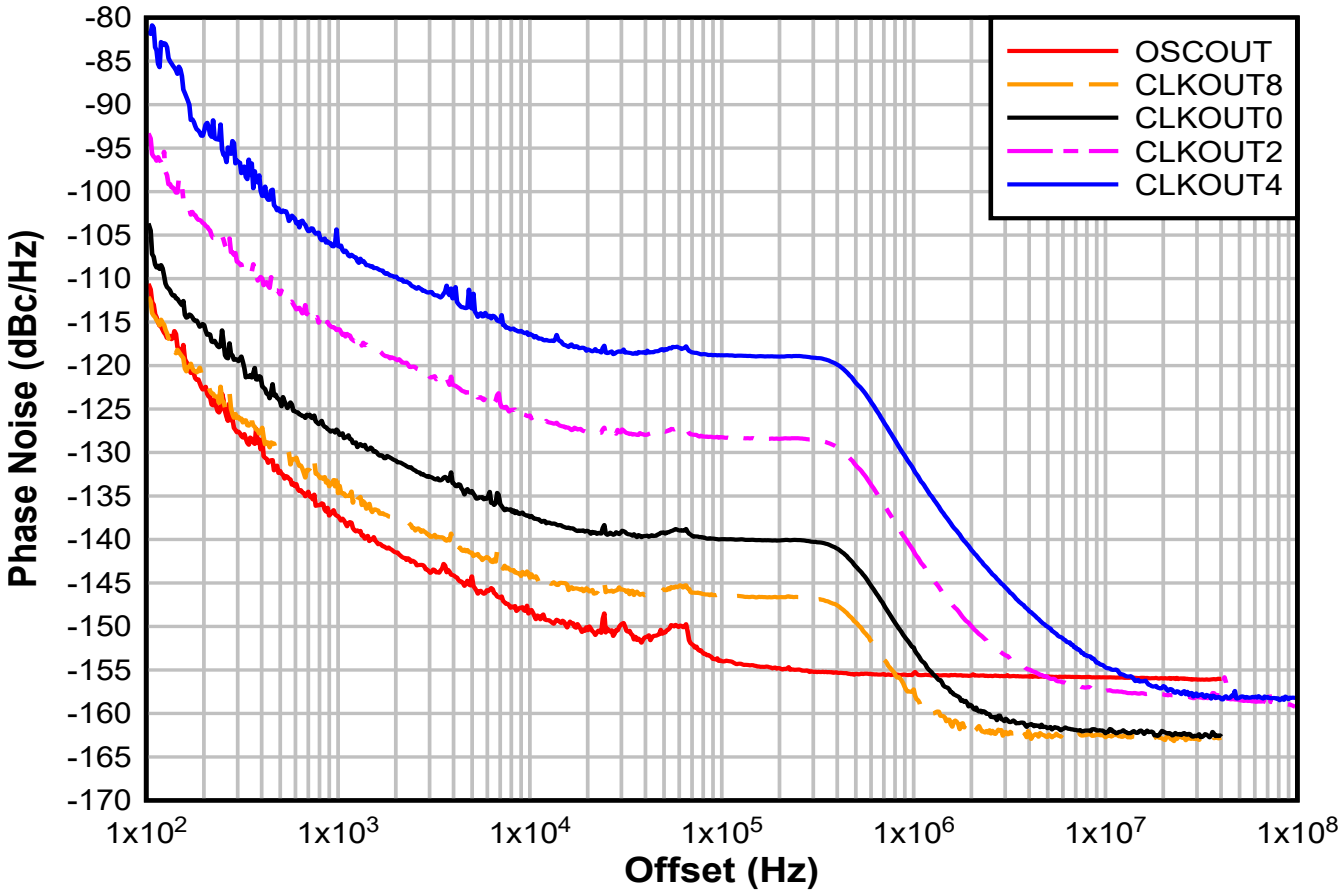


图 9-19. 偏移与相位噪声间的关系

表 9-3. 偏移与相位噪声间的关系

输出电压	频率 (MHz)	格式	抖动 (fs)	相位噪声 (dBc/Hz)						
				100Hz	1kHz	10kHz	100kHz	1MHz	10MHz	向下取整
OSCO	122.88	LVCMOS	132.2	-111.8	-137.3	-148.3	-154.0	-155.4	-155.9	-156.0
CLKOUT8	122.88	HSDS (8mA)	87.7	-111.7	-134.7	-144.4	-146.4	-157.2	-162.7	-162.8
CLKOUT0	245.76	LVPECL (2Vpp)	70.0	-98.0	-127.6	-137.2	-139.1	-154.1	-161.9	-162.6
CLKOUT2	983.04	LVPECL (1.6Vpp)	67.1	-92.7	-115.9	-125.7	-128.2	-141.4	-157.4	-159.4
CLKOUT4	2949.12	CML (32mA)	65.4	-81.4	-106.5	-116.3	-118.8	-132.0	-154.7	-158.0

9.3 系统示例

9.3.1 系统级方框图

图 9-20 和图 9-21 显示了时钟和电源的外部电路。

Copyright © 2023 Texas Instruments Incorporated

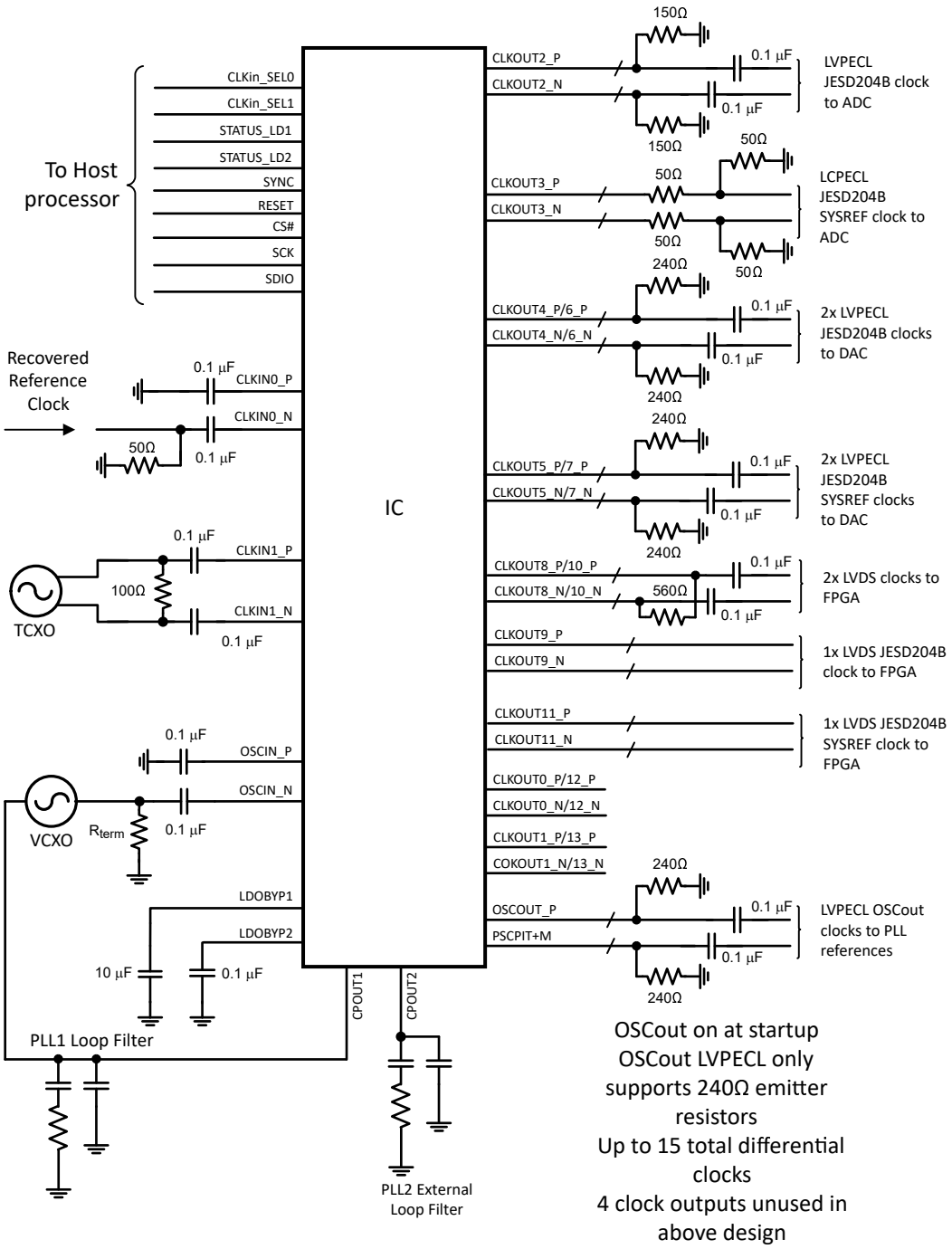


图 9-20. 示例应用 - 系统原理图（不包括电源）

图 9-20 显示主参考时钟输入为 CLKin0/0*。一个辅助参考时钟驱动 CLKin1/1*。两个时钟均描述为交流耦合驱动器。连接到 OSCin/OSCin* 端口的 VCXO 配置为交流耦合单端驱动器。任何输入端口（CLKin0/0*、CLKin1/1*、CLKin2/2*、OSCin/OSCin*）都可以配置为差分或单端。

PLL1 的环路滤波器配置为二阶无源滤波器，而 PLL2 的环路滤波器配置为四阶无源滤波器（使用内部三阶和四阶元件）。通常，对于 PLL1，无需将滤波器增大到 2 阶以上。PLL2 支持通过软件编程来控制三阶和四阶元件。PLLatinum Sim 可用于计算实现卓越相位噪声所需的环路滤波器值。

Copyright © 2023 Texas Instruments Incorporated

所有 LVPECL 时钟输出均与 0.1μF 电容器进行交流耦合。一些 LVPECL 输出用 240kΩ 发射极电阻器表示，一些用 150kΩ 发射极电阻器来表示。LVPECL 时钟输出可使用 120Ω 至 240Ω 之间的发射极电阻器。OSCout LVPECL 格式仅支持 240Ω 发射极电阻器，图中显示了 240Ω 发射极电阻器。LCPECL SYSREF 输出为直流耦合，其端接值与电气特性中为 LCPECL 指定的条件相匹配。JESD204B 和 JESD204C LVDS 输出为直流耦合。未使用的输出保持悬空状态。

PCB 设计会影响串扰性能。与松散耦合时钟布线相比，紧密耦合时钟布线的串扰更小。接近其他时钟布线会影响串扰。

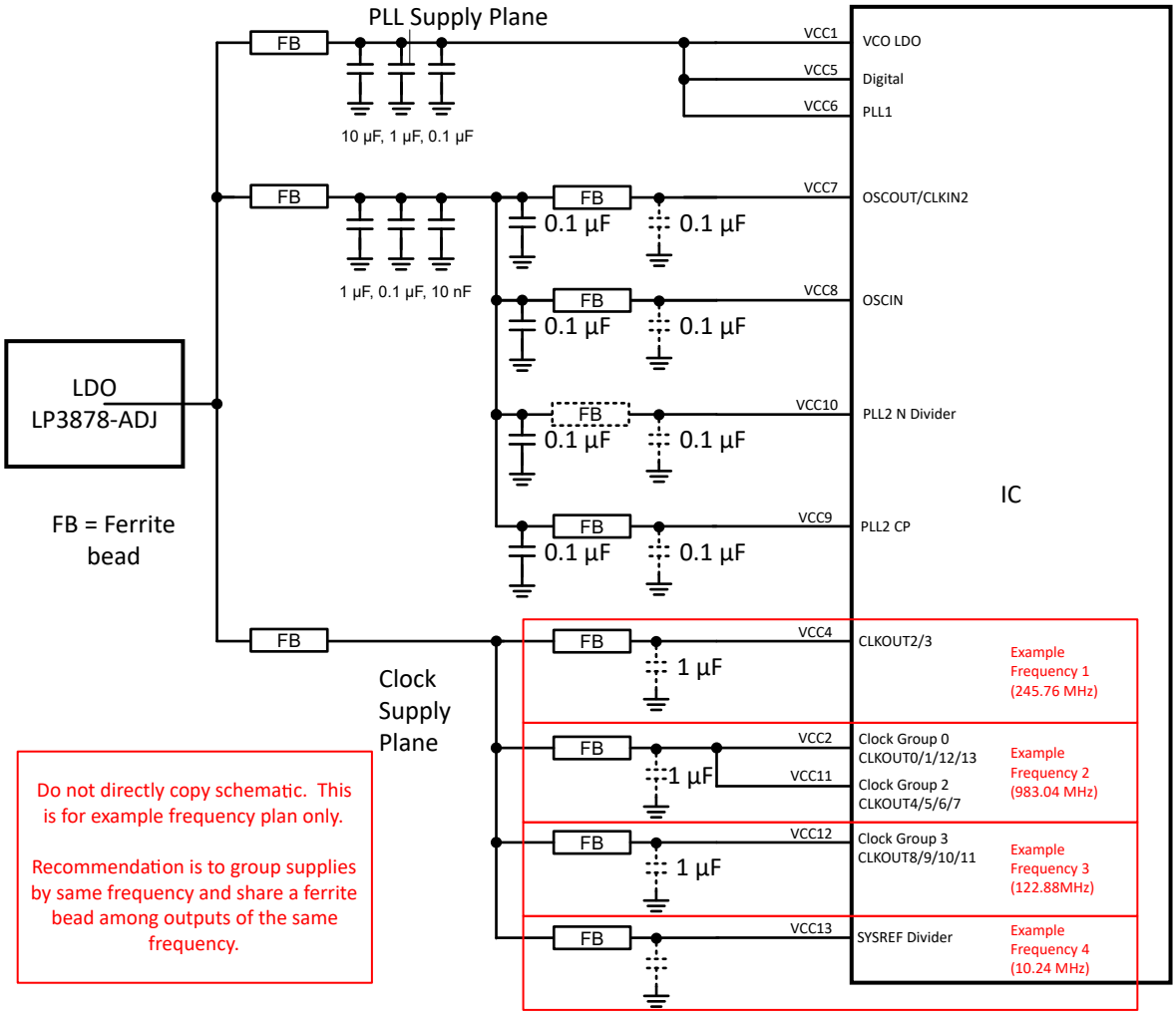


图 9-21. 示例应用 - 电源系统原理图

图 9-21 显示了一个示例去耦和旁路方案，该方案可应用于图 9-20 中所示的配置。以虚线绘制的元件是可选的。这些示例设计中使用了两个电源平面，一个用于时钟输出，另一个用于 PLL 电路。通过将具有相同频率或可以耐受不同频率输出之间潜在串扰的 CLKout 的时钟输出 Vcc 引脚连接在一起，可以减少去耦元件数。在这两个示例中，因为没有使用时钟组 0 的输出，VCC2 和 VCC11 可以连接在一起。PCB 设计会影响电源的阻抗。过孔和布线会增加电源的阻抗。确保实现良好的直接返回电流路径。

9.4 电源相关建议

9.4.1 电流消耗

电流消耗随输出数量和输出格式的变化而显著变化。可以通过 TI TICSPro 软件来计算该值。

Copyright © 2023 Texas Instruments Incorporated

9.5 布局

9.5.1 热管理

功耗非常高，需要注意热管理。出于可靠性和性能原因，芯片温度应限制为最高 125°C。也就是说，根据估算，T_A（环境温度）加上器件功耗乘以 $R_{\theta JA}$ 不应超过 125°C。

9.5.2 布局指南

通常，牢记以下通用指南很有用。

- 封装外周上的 GND 引脚可以在封装上布线回 DAP
- 确保器件上的 DAP 通过多个通孔良好接地。
- 使用低损耗介电材料，例如 Rogers 4350B，以获得出色输出功率。
- 对于电源旁路，隔离每个时钟组。

除此之外，输出的布线也有特殊的考虑。输出分为几个输出组。

- 时钟组 0：CLKOUT0、CLKOUT1、CLKOUT12、CLKOUT13
- 时钟组 1：CLKOUT2、CLKOUT3
- 时钟组 2：CLKOUT4、CLKOUT5、CLKOUT6、CLKOUT7
- 时钟组 3：CLKOUT8、CLKOUT9、CLKOUT10、CLKOUT11

最好用铁氧体磁珠隔离这些时钟组引脚的电源引脚，以防止输出之间发生串扰，尤其是在输出组具有不同频率的情况下。如果可以灵活地规划哪些频率进入哪些输出，可以通过将不同的频率放在不同的输出组中（而不是将它们放在同一输出组中）来更大限度减少串扰。

Copyright © 2023 Texas Instruments Incorporated

9.5.3 布局示例

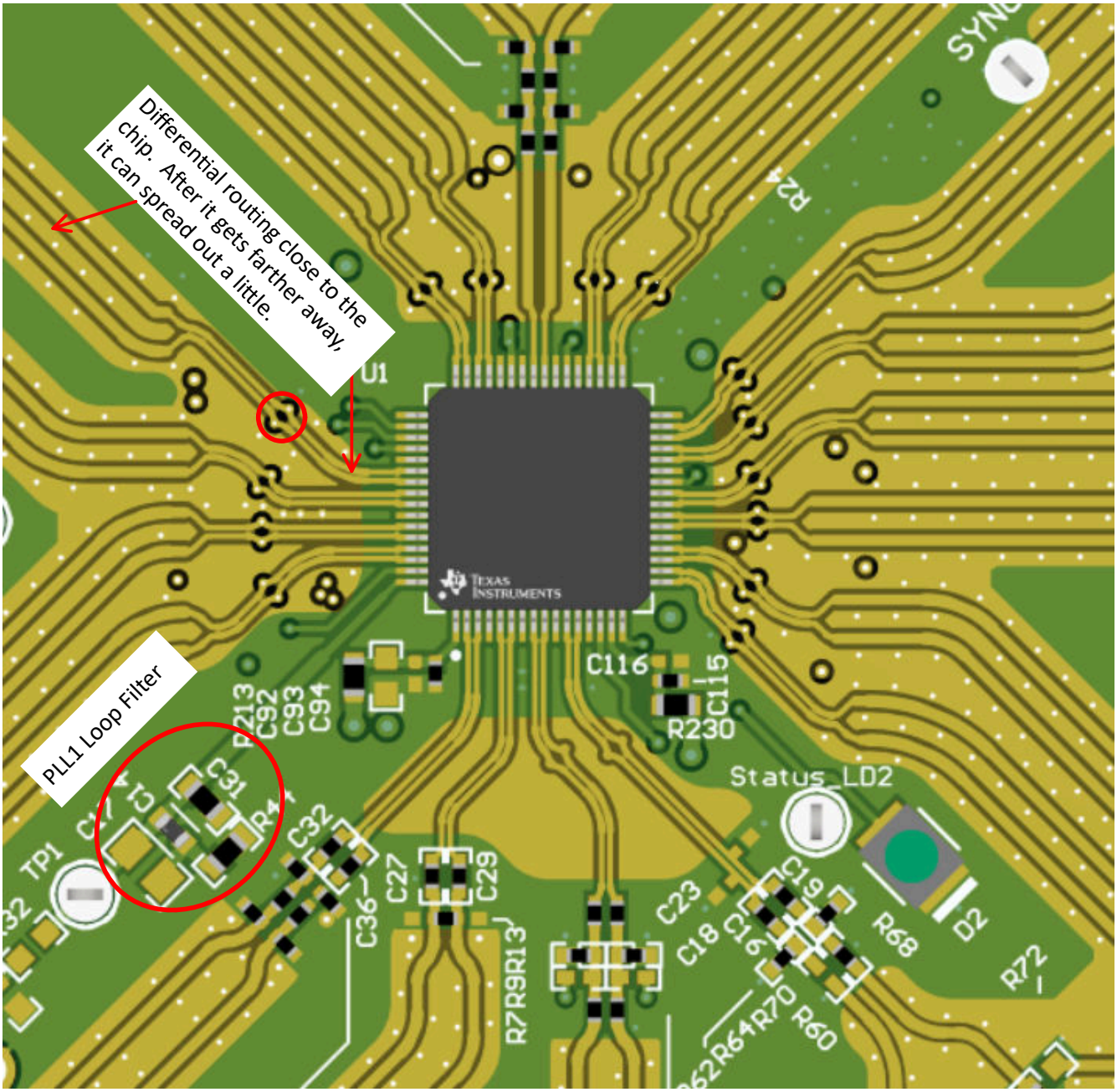


图 9-22. 顶层

Copyright © 2023 Texas Instruments Incorporated

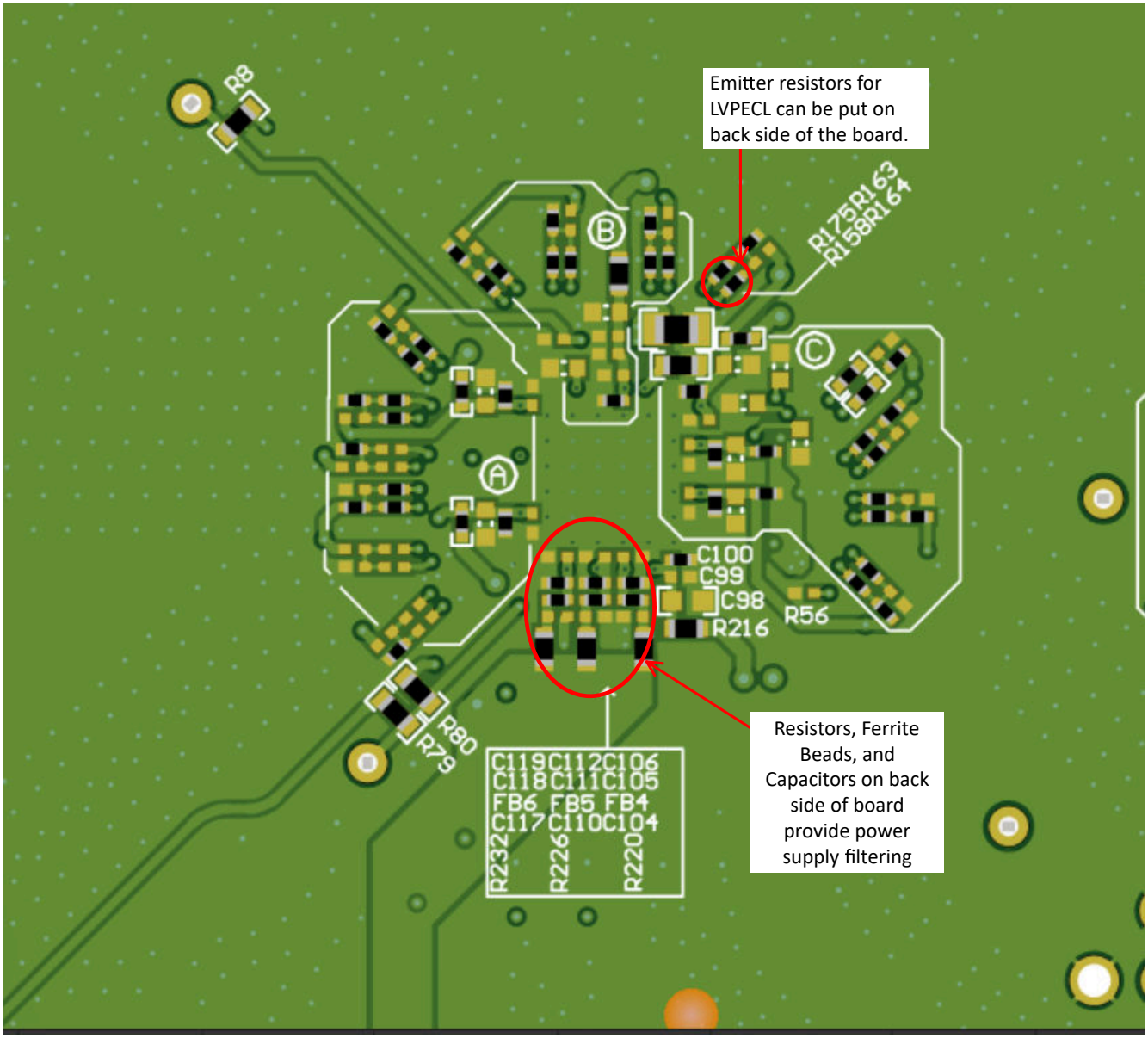

R8
Emitter resistors for LVPECL can be put on back side of the board.
R175R163
R158R164
B
C
A
C100
C99
C98
R216
R56
R80
R79
C119C112C106
C118C111C105
FB6 FB5 FB4
C117C110C104
R232
R226
R220
Resistors, Ferrite Beads, and Capacitors on back side of board provide power supply filtering

图 9-23. 底层

10 器件和文档支持

10.1 器件支持

10.1.1 开发支持

10.1.1.1 时钟树架构

部件选择、环路滤波器设计、仿真。

要运行在线的时钟树架构工具，请转到时钟树架构。

10.1.1.2 PLLatinum 仿真

支持环路滤波设计和仿真。所有仿真均针对单环路。要执行双环路仿真，必须加载第一次 PLL 仿真的结果作为第二次 PLL 仿真的基准。

要下载 PLLatinum™ 仿真工具，请转到 www.ti.com/tool/PLLATINUMSIM-SW

10.1.1.3 TICS Pro

EVM 编程软件。还可用于生成寄存器映射，以便进行编程和计算当前功耗估计值。

如需 TICS Pro，请访问 www.ti.com.cn/tool/cn/TICSPRO-SW

10.2 文档支持

10.2.1 相关文档

请参阅如下相关文档：

- *AN-912 通用数据传输参数及其定义* (SNLA036)

10.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

10.5 商标

PLLatinum™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

10.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2023 Texas Instruments Incorporated

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。数据如有变更，恕不另行通知，也不会对此文档进行修订。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK04368MPAPTEP	Active	Production	HTQFP (PAP) | 64	250 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	LMK04368 MPAPEP
LMK04368MPAPTEP.A	Active	Production	HTQFP (PAP) | 64	250 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	LMK04368 MPAPEP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

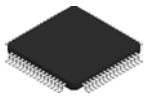
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

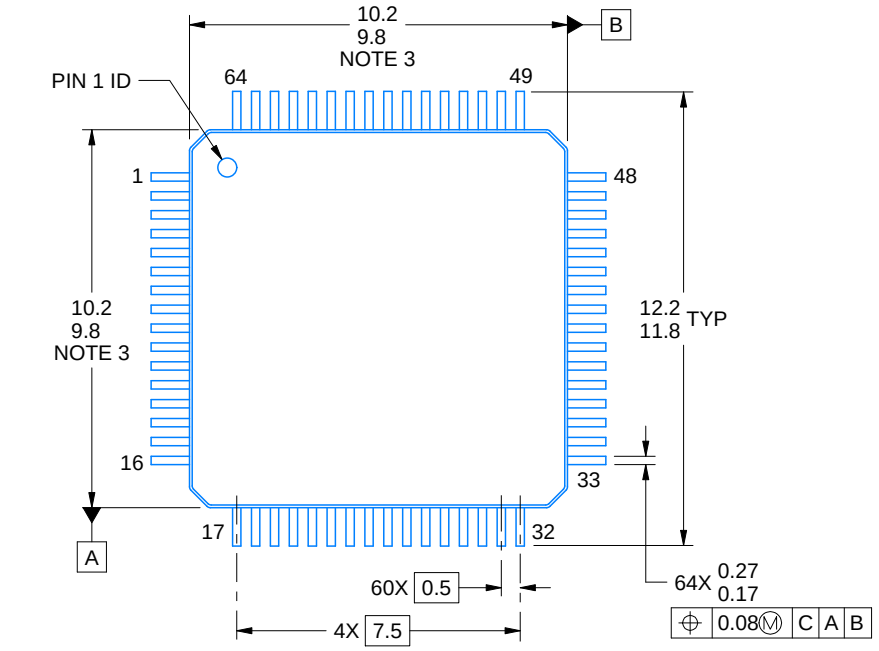


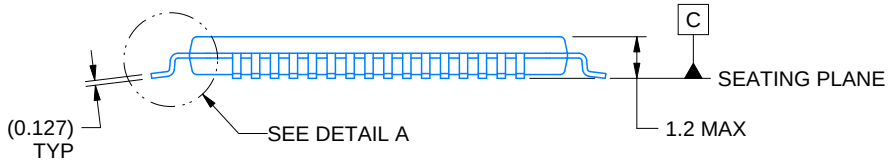
PACKAGE OUTLINE

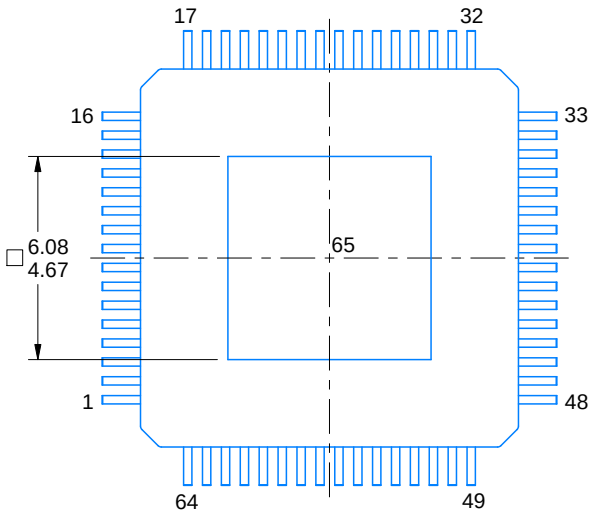
PAP0064E

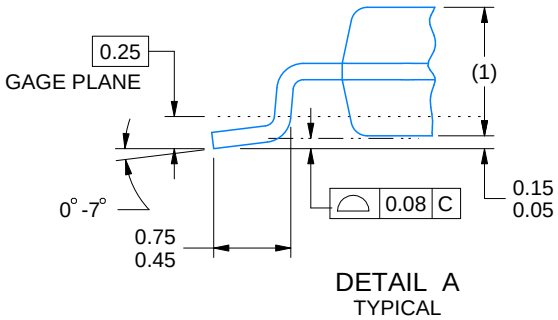
PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK







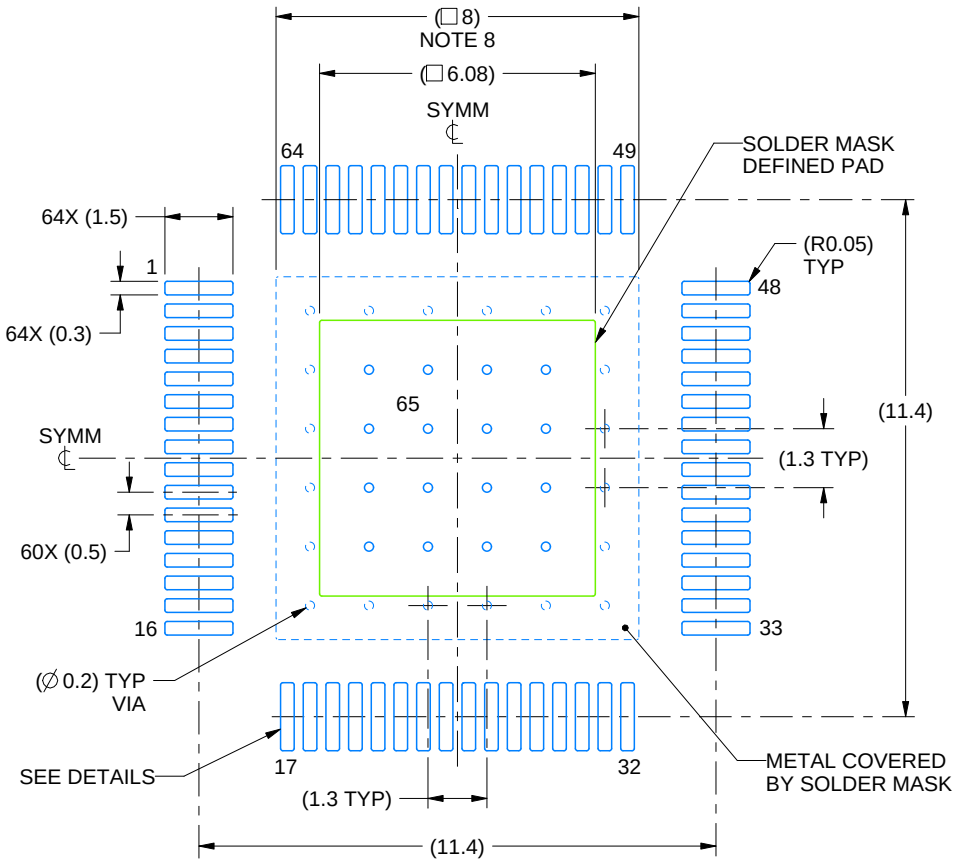


4228332/A 01/2022

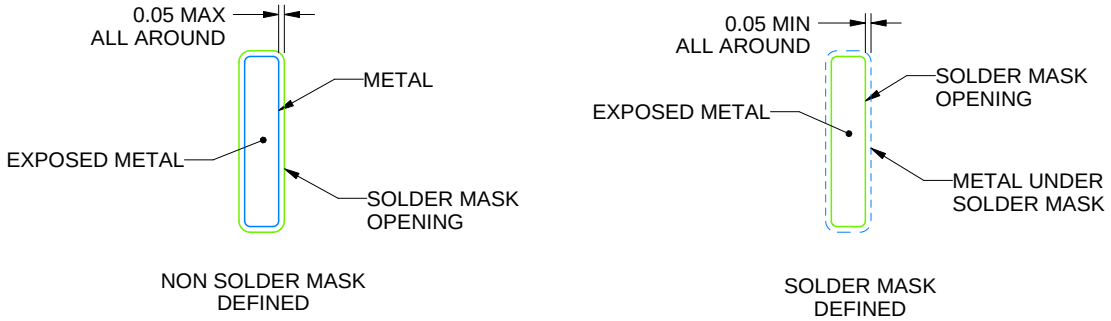
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

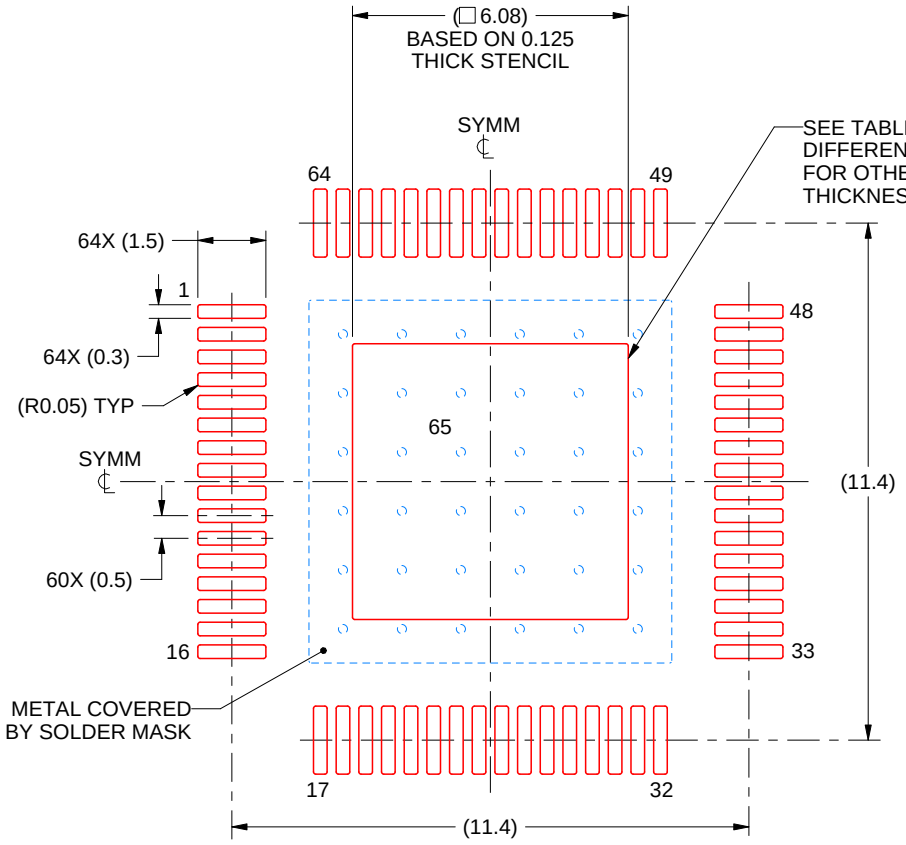


SOLDER MASK DETAILS

4228332/A 01/2022

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	6.80 X 6.80
0.125	6.08 X 6.08 (SHOWN)
0.15	5.55 X 5.55
0.175	5.14 X 5.14

4228332/A 01/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月