LMH12x9 具有集成时钟恢复器的 12G UHD 远距离电缆均衡器

1 特性

- 带有集成时钟恢复器的自适应电缆均衡器
- 支持 ST-2082-1 (12G)、ST-2081-1 (6G)、ST-424 (3G)、ST-292 (HD) 和 ST-259 (SD)
- 兼容 DVB-ASI 和 AES10 (MADI)
- 集成无基准时钟恢复器锁定为以下 SMPTE 速率：11.88Gbps、5.94Gbps、2.97Gbps、1.485Gbps 或 1.001 分频子速率、270Mbps
- 典型电缆长度 (Belden 1694A)，PRBS-9 图形：
  - 11.88Gbps (4Kp60 UHD) 时为 100m
  - 5.94Gbps (UHD) 时为 150m
  - 2.97Gbps (FHD) 时为 220m
  - 1.485Gbps (HD) 时为 300m
  - 270Mbps (SD) 时为 600m
- 典型电缆长度 (Belden 1694A)，病态模式 [1]：
  - 11.88Gbps (4Kp60 UHD) 时为 90m
  - 5.94Gbps (UHD) 时为 140m
  - 2.97Gbps (FHD) 时为 220m
  - 1.485Gbps (HD) 时为 300m
  - 270Mbps (SD) 时为 600m
- 片上 75Ω 终端和回波损耗补偿网络
- 输入电缆均衡器和时钟恢复器特性：
  - 通过应力模式提高电缆长度
  - 可编程 CDR 环路带宽设置
  - 2:1 75Ω 输入多路复用器（仅限 LMH1239）
- 输出驱动器特性：
  - 具有去加重功能的 1:2 100Ω 扇出输出
  - 具有电缆故障检测功能（支持最长 600m）的时钟恢复型 75Ω 环通输出
- 内置 PRBS 发生器、校验器
- 内部眼图张开度监视器
- 2.5V 单电源
- 低功耗：350mW（典型值）
- 省电模式：70mW
- 可通过控制引脚、SPI 或 SMBus 接口进行配置
- 5mm × 5mm 32 引脚 WQFN 封装
- 工作温度范围：-40°C 至 +85°C

2 应用

- SMPTE 兼容串行数字接口
- UHDTV/4K/8K/HDTV/SDTV 视频
- 广播视频路由器、交换机、分配放大器和监视器
- 数字视频处理和编辑

3 说明

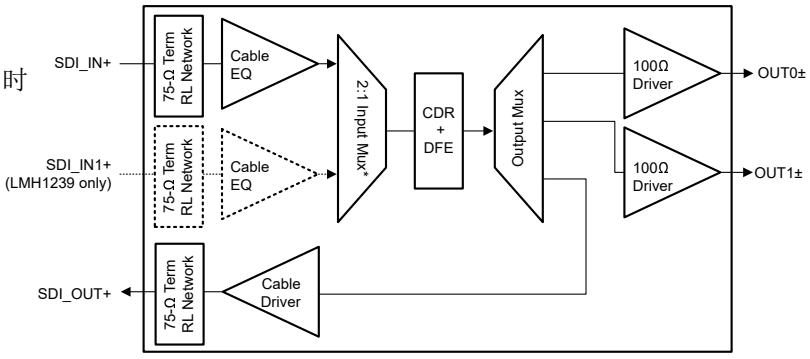
LMH12x9（LMH1229、LMH1239）是一款具有集成时钟恢复器、双输出和 75Ω 环通输出的远距离自适应电缆均衡器。该器件旨在均衡通过 75Ω 同轴电缆传输的数据，并可在 125Mbps 至 11.88Gbps 的 SMPTE 数据速率范围内运行。

SDI 输入端的自适应均衡器可在使用 12G-SDI (11.88Gbps) 的 4K/8K 视频应用中，自动补偿长达 100m Belden 1694A 电缆的信号损耗。集成时钟恢复器可减弱高频抖动并使用纯净的低抖动时钟完全重新生成数据。时钟恢复器的环路滤波器可供调节，并且提供了可选外部电容器以降低 CDR 环路带宽。

器件信息

器件型号	是否包含 2:1 75Ω 输入多路复用器？	封装 (1)	封装尺寸 (2)
LMH1229	否	RTV（QFN，32）	5mm x 5mm
LMH1239	是		

(1) 有关更多信息，请参阅节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



*2:1 Input mux is only applicable with the LMH1239 variant. For LMH1229, SDI_IN+ data path is routed directly to the CDR.

简化版方框图

[1] 有关 SDI 病态实现的详细信息，请参阅 *SDI 病态数据图形研究* 应用手册

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

为简化布线和方便调试，LMH12x9 有一个 1:3 输出多路复用器；该多路复用器由两个具有 VOD 和去加重控制功能的 100Ω 扇出输出以及一个 75Ω 环通 SDI 输出组成。提供的 75Ω 环通输出可以扩展信号覆盖范围或实现系统级诊断。

LMH12x9 的内部集成式回波损耗网络在所有数据速率下均可满足严格的 SMPTE 规范要求。LMH12x9 还有内部眼图张开度监视器和可编程引脚，以便进行 CDR 锁定指示、输入载波检测、电缆故障检测或硬件中断，从而支持系统诊断和电路板启动。

用于电缆均衡器应用时，LMH1229 与 LMH1297（具有集成时钟恢复器的 12G UHD-SDI 双向 I/O）引脚兼容。为了实现系统级冗余，LMH1239 附加了集成的 SDI 输入多路复用器。

Copyright © 2024 Texas Instruments Incorporated

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 4
5 规格 7
5.1 绝对最大额定值 7
5.2 ESD 等级 7
5.3 建议运行条件 7
5.4 热性能信息 7
5.5 电气特性 8
5.6 串行管理 (SM) 总线接口的时序要求 15
5.7 串行外设接口 (SPI) 接口的时序要求 16
5.8 典型特性 17
6 详细说明 20
6.1 概述 20
6.2 功能方框图 20
6.3 特性说明 21
6.4 器件功能模式 28
7 应用和实施 33
7.1 应用信息 33
7.2 典型应用 36
7.3 电源相关建议 43
7.4 布局 43
8 器件和文档支持 46
8.1 文档支持 46
8.2 接收文档更新通知 46
8.3 支持资源 46
8.4 商标 46
8.5 静电放电警告 46
8.6 术语表 46
9 修订历史记录 46
10 机械、封装和可订购信息 46

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

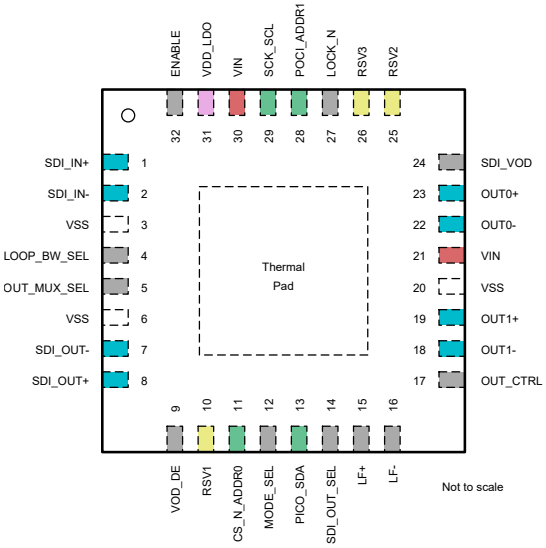


图 4-1. LMH1229 RTV 封装，32 引脚 QFN（顶视图）

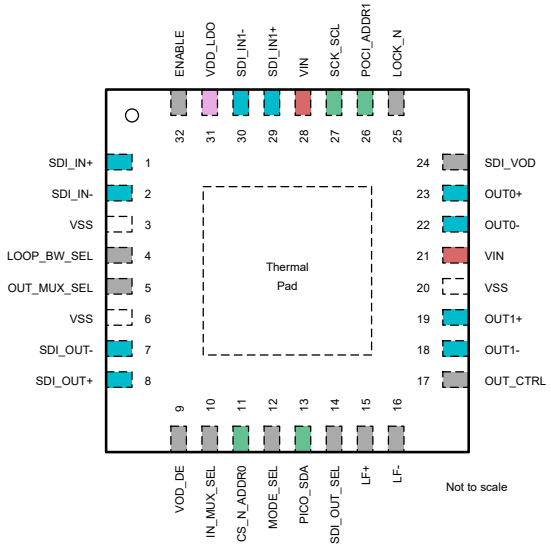


图 4-2. LMH1239 RTV 封装，32 引脚 QFN（顶视图）

图例			
高速信号	串行控制接口（SPI 或 SMBus）引脚		保留的引脚
控制引脚	电源 (2.5V)	LDO 输出 (1.8V)	GND

表 4-1. 引脚功能

引脚			类型[1]	说明
名称	LMH1229 编号	LMH1239 编号		
高速差分 I/O				
SDI_IN+	1	1	I，模拟	单端互补输入，在 SDI_IN+ 和 SDI_IN- 上具有片上 75Ω 终端。SDI_IN+ 或 SDI_IN- 可用作 SMPTE 视频应用中自适应电缆均衡器的 75Ω 输入端口。SDI_IN± 包括旨在满足 SMPTE 输入和输出回波损耗要求的集成回波损耗网络。通过 4.7µF 交流耦合电容器将 SDI_IN+ 或 SDI_IN- 连接到 BNC。使用外部 4.7µF 电容器和 75Ω 电阻器（连接到 GND）对未使用的极性（分别为 SDI_IN- 或 SDI_IN+）进行交流端接。
SDI_IN-	2	2	I，模拟	
SDI_IN1+	不适用	29	I，模拟	冗余单端互补输入，在 SDI_IN1+ 和 SDI_IN1- 上具有片上 75Ω 终端。SDI_IN1+ 或 SDI_IN1- 可用作 SMPTE 视频应用中自适应电缆均衡器的辅助 75Ω 输入端口。SDI_IN1± 包括旨在满足 SMPTE 输入和输出回波损耗要求的集成回波损耗网络。通过 4.7µF 交流耦合电容器将 SDI_IN1+ 或 SDI_IN1- 连接到 BNC。使用外部 4.7µF 电容器和 75Ω 电阻器（连接到 GND）对未使用的极性（分别为 SDI_IN- 或 SDI_IN+）进行交流端接。
SDI_IN1-	不适用	30	I，模拟	
SDI_OUT+	8	8	O，模拟	单端互补环通电缆驱动器输出，在 SDI_OUT+ 和 SDI_OUT- 上具有片上 75Ω 终端。SDI_OUT± 包括旨在满足 SMPTE 输出回波损耗要求的集成回波损耗网络。通过 4.7µF 交流耦合电容器将 SDI_OUT+ 或 SDI_OUT- 连接到 BNC。使用外部 4.7µF 电容器和 75Ω 电阻器（连接到 GND）对未使用的极性（分别为 SDI_IN- 或 SDI_IN+）进行交流端接。请注意，仅在使用 SDI_OUT+ 极性时，电缆故障检测功能才可用。
SDI_OUT-	7	7	O，模拟	
OUT0+	23	23	O，模拟	带有 100Ω 内部端接的差分互补输出。需要外部 4.7µF 交流耦合电容器。输出驱动器 OUT0± 可在用户控制下禁用。
OUT0-	22	22	O，模拟	
OUT1+	19	19	O，模拟	带有 100Ω 内部端接的差分互补输出。需要外部 4.7µF 交流耦合电容器。输出驱动器 OUT1± 可在用户控制下禁用。
OUT1-	18	18	O，模拟	

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚			类型[1]	说明
名称	LMH1229 编号	LMH1239 编号		
控制引脚				
LOOP_BW_SEL	4	4	I，四电平	LOOP_BW_SEL 启用四电平 CDR 环路带宽控制。其他 CDR 环路带宽设置可通过寄存器覆盖来实现。
IN_MUX_SEL	不适用	10	I，四电平	仅限 LMH1239：IN_MUX_SEL 在 SDI_IN 或 SDI_IN1 之间进行选择。该引脚设置可通过寄存器控制进行覆盖。 有关详细信息，请参阅表 6-2。
OUT_MUX_SEL	5	5	I，四电平	OUT_MUX_SEL 控制 OUT0± 和 OUT1± 使能行为。该引脚设置可使用寄存器控制进行覆盖。 有关详细信息，请参阅表 6-3。
VOD_DE	9	9	I，四电平	VOD_DE 选择 OUT0± 和 OUT1± 的驱动器输出振幅和去加重级别。该引脚设置可通过寄存器控制进行覆盖。 有关详细信息，请参阅表 6-8。
MODE_SEL	12	12	I，四电平	MODE_SEL 启用 SPI 或 SMBus 串行控制接口。 有关详细信息，请参阅表 6-9。
SDI_OUT_SEL	14	14	I，LVCMOS	SDI_OUT_SEL 在 SDI_OUT± 上启用 75Ω 输出驱动器。SDI_OUT_SEL 在内部被拉至高电平。默认情况下，SDI_OUT± 关闭。 有关详细信息，请参阅表 6-4。
LF+	15	15	I，模拟	在 LF+ 和 LF- 之间连接的可选 470nF 外部环路滤波电容器，旨在降低 CDR 环路带宽设置。如果不需要降低 CDR 环路带宽，则可以将这些引脚保持悬空（无连接）；如果已连接，则通过寄存器控制使用所需的 CDR 环路带宽设置进行编程。
LF-	16	16	I，模拟	
OUT_CTRL	17	17	I，四电平	OUT_CTRL 选择从 SDI 输入（SDI_IN± 或 SDI_IN1±）到 OUT0± 和 OUT1± 的信号流。该引脚选择时钟恢复数据、时钟恢复数据和时钟或者已旁路的时钟恢复器数据（提供给输出驱动器的均衡化数据）。寄存器控制可以覆盖引脚设置。 有关详细信息，请参阅表 6-6。
SDI_VOD	24	24	I，四电平	SDI_VOD 为 SDI_IO± 和 SDI_OUT± 上的电缆驱动器选择四个输出振幅之一。 有关详细信息，请参阅表 6-7。
LOCK_N	27	25	O，LVCMOS、OD	LOCK_N 是所选输入的时钟恢复器锁定指示器。当时钟恢复器达到锁定条件时，LOCK_N 下拉为低电平。LOCK_N 为开漏输出，耐 3.3V 电压，需要将一个 2kΩ 至 5kΩ 外部上拉电阻连接逻辑电源。通过寄存器编程，LOCK_N 引脚可重新配置为指示所选 SDI 输入的 CD_N（载波检测）、CFD_N（电缆故障检测）或 INT_N（中断）。
ENABLE	32	32	I，LVCMOS	ENABLE 可控制器件的运行。ENABLE 为逻辑低电平会将器件配置为断电状态。ENABLE 为逻辑高电平会将器件配置为正常运行状态。ENABLE 具有内部弱上拉电阻。
串行控制接口				
CS_N_ADDR0	11	11	SPI 模式：I，LVCMOS SMBus 模式：配置 (Strap)，四电平	**SPI 模式 (MODE_SEL = F)：CS_N** CS_N 为片选引脚。当 CS_N 处于逻辑低电平时，该引脚可启用对 LMH12x9 外设的 SPI 访问。CS_N 是 LVCMOS 输入，默认情况下被拉至高电平。 **SMBus 模式 (MODE_SEL = L)：ADDR0** ADDR[1:0] 是 SMBus 地址配置 (strap)，用于从 16 个受支持的 SMBus 地址中选择其中之一。ADDR[1:0] 是四电平配置 (strap)，在上电时读入器件。有关详细信息，请参阅表 6-10。
POCI_ADDR1	28	26	SPI 模式：O，LVCMOS SMBus 模式：配置 (Strap)，四电平	**SPI 模式 (MODE_SEL = F)：POCI** POCI “外设输出控制器输入”是 LMH12x9 外设的 SPI 控制串行数据输出。POCI 是以 VIN 为基准的 LVCMOS 输出。 **SMBus 模式 (MODE_SEL = L)：ADDR1** ADDR[1:0] 是 SMBus 地址配置 (strap)，用于从 16 个受支持的 SMBus 地址中选择其中之一。ADDR[1:0] 是四电平配置 (strap)，在上电时读入器件。有关详细信息，请参阅表 6-10。

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚			类型(1)	说明
名称	LMH1229 编号	LMH1239 编号		
PICO_SDA	13	13	SPI 模式：I，LVCMOS SMBus 模式：IO，LVCMOS、OD	**SPI 模式 (MODE_SEL = F)：PICO** PICO“外设输入控制器输出”用作 LMH12x9 外设的 SPI 控制串行数据输入。PICO 是以 VIN 为基准的 LVCMOS 输入 **SMBus 模式 (MODE_SEL = L)：SDA** SDA 是连接到 LMH12x9 目标器件或从该器件引出的 SMBus 双向开漏 SDA 数据线路。SDA 为开漏 IO，耐 3.3V 电压。SDA 需要一个外部 2kΩ 至 5kΩ 的上拉电阻来连接 SMBus 终端电压。
SCK_SCL	29	27	SPI 模式：I，LVCMOS SMBus 模式：I，LVCMOS、OD	**SPI 模式 (MODE_SEL = F)：SCK** SCK 是提供给 LMH12x9 外设的 SPI 串行输入时钟。SCK 是以 VIN 为基准的 LVCMOS。 **SMBus 模式 (MODE_SEL = L)：SCL** SCL 是启用 SMBus 时提供给 LMH12x9 目标器件的 SMBus 输入时钟。该引脚由 SMBus 控制器的 LVCMOS 开漏驱动器进行驱动，耐 3.3V 电压。SCL 需要一个外部 2kΩ 至 5kΩ 的上拉电阻来连接 SMBus 终端电压。
保留				
RSV1	10	不适用	不适用	保留的引脚。请勿连接。
RSV2	25	不适用		
RSV3	26	不适用		
电源				
VSS	3、6、20	3、6、20	I，地	参考接地。
VIN	30、21	28、21	I，电源	将 VIN 连接到同一个外部 2.5V ± 5% 电源。TI 建议将去耦电容器尽可能靠近两个 VIN 引脚放置。
VDD_LDO	31	31	O，电源	VDD_LDO 为内部 1.8V LDO 稳压器的输出。VDD_LDO 输出需要将一个外部 1μF 和 0.1μF 旁路电容器连接到 VSS。内部 LDO 设计用于仅为内部电路供电。
EP			I，地	EP 是 QFN 封装底部的外露焊盘。外露焊盘必须通过一个 3x3 过孔阵列连接到接地平面。

(1) I = 输入，O = 输出，IO = 输入或输出，OD = 开漏，LVCMOS = 2 态逻辑，四电平 = 4 态逻辑

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
2.5V 电源电压 (VIN)		-0.5	2.75	V
四电平输入		-0.5	2.75	V
二电平 LVCMOS 输入		-0.5	2.75	V
SMBus 输入/输出	SDA、SCL	-0.5	4	V
高速输入/输出电压	SDI_IN±、SDI_IN1±、SDI_OUT±、OUT0±、OUT1±	-0.5	2.75	V
高速输入电流	SDI_IN±、SDI_IN1±	-30	30	mA
结温	T_J	-40	125	°C
贮存温度	T_{stg}	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 (1)	所有引脚，包括高速引脚(2)	±6000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JS-002，所有引脚(3)		±1500	

(1) JEDEC 文档 JEP155 规定：500V HBM 可实现在标准 ESD 控制流程下安全生产
(2) 高速 I/O 引脚包括：SDI_IN±、SDI_OUT±、OUT0± 和 OUT1±。
(3) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
	VIN		2.375	2.5	2.625	V
VDD_{SMBUS}	SDA、SCL		2.375		3.6	V
$V_{SDI_INx_LAUNCH}$	SDI_IN±、SDI_IN1±		720	800	880	mVpp
T_J	工作结温				110	°C
$T_{RampVCC}$	VCC 电源斜坡时间	从 0V 至 2.5V	0.150		100	ms
T_A	环境温度		-40	25	85	°C
NT_{psmax}	电源噪声最大容差(1)	50Hz 到 1MHz，正弦		<20		mVpp
		1.1MHz 到 6GHz，正弦		<10		mVpp

(1) 直流电源电压和交流电源噪声之和不能超出建议使用的电源电压范围。

5.4 热性能信息

热指标(1)		RTV (QFN) 32 引脚	单位
$R_{\theta JA}$	结至环境热阻	30.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	18.4	°C/W
$R_{\theta JB}$	结至电路板热阻	11.6	°C/W
Ψ_{JT}	结至顶部特征参数	0.2	°C/W

Copyright © 2024 Texas Instruments Incorporated

热指标(1)		RTV (QFN)	单位
		32 引脚	
Ψ_{JB}	结至电路板特征参数	11.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	2.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
功率						
PD_{ACTIVE}	功率耗散，使用 PRBS10 测得，CDR 锁定至 11.88Gbps，VOD = 默认值	禁用 SDI_OUT± 启用 OUT0± 禁用 OUT1±		350	466	mW
		禁用 SDI_OUT± 启用 OUT0± 启用 OUT1±		380	517	mW
		启用 SDI_OUT± 启用 OUT0± 禁用 OUT1±		480	640	mW
		启用 SDI_OUT± 启用 OUT0± 启用 OUT1±		520	688	mW
PD_Z	功率耗散，省电模式	MODE_SEL = 高电平		70	110	mW
PD_Z	功率耗散，无信号的省电模式	在 SDI_IN+ 上不施加信号，MODE_SEL = F 或 MODE_SEL = 低电平		75	115	mW
IDD_{ACTIVE}	电流消耗，使用 PRBS10 测得，CDR 锁定至 11.88Gbps，VOD = 默认值	禁用 SDI_OUT± 启用 OUT0± 禁用 OUT1±		140	177	mA
		禁用 SDI_OUT± 启用 OUT0± 启用 OUT1±		152	197	mA
		启用 SDI_OUT± 启用 OUT0± 禁用 OUT1±		192	244	mA
		启用 SDI_OUT± 启用 OUT0± 启用 OUT1±		208	262	mA
IDD_Z	电流消耗，省电模式	在 SDI_IN+ 上不施加信号		28	42	mA
IDD_{TRANS}	电流消耗，CDR 获取锁定	禁用 SDI_OUT± 启用 OUT0± 禁用 OUT1±		210	268	mA
		禁用 SDI_OUT± 启用 OUT0± 启用 OUT1±		230	287	mA
		启用 SDI_OUT± 启用 OUT0± 禁用 OUT1±		270	333	mA
		启用 SDI_OUT± 启用 OUT0± 启用 OUT1±		280	353	mA
LVCMOS 直流规格						

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IH}	逻辑高电平输入电压	两电平输入（CS_N、SCK、PICO、SDI_OUT_SEL、ENABLE）	0.72 × VIN		VIN + 0.3	V
		两电平输入（SCL、SDA）	0.7 × VIN		3.6	V
V_{IL}	逻辑低电平输入电压	两电平输入（CS_N、SCK、PICO、SDI_OUT_SEL、ENABLE、SCL、SDA）	0		0.3 × VIN	V
V_{OH}	逻辑高电平输出电压	I_{OH} = –2mA，(POCI)	0.8 × VIN		VIN	V
V_{OL}	逻辑低输出电压	I_{OL} = 2mA，(POCI)	0		0.2 × VIN	V
		I_{OL} = 3mA，（LOCK_N、SDA）			0.4	V
I_{IH}	输入高漏电流 (Vinput = VIN)	LVCMOS（SDI_OUT_SEL、ENABLE）			15	µA
		SPI 模式：LVCMOS（CS_N、SCK、PICO）			15	µA
		SMBus 模式：LVCMOS（SCL、SDA）			15	µA
I_{IL}	输入低漏电流 (Vinput = GND)	LVCMOS（SDI_OUT_SEL、ENABLE）	-50			µA
		SPI 模式：LVCMOS（SCK、PICO）	-15			µA
		SPI 模式：LVCMOS (CS_N)	-50			µA
		SMBus 模式：LVCMOS（SCL、SDA）	-10			µA
四电平逻辑直流规格（适用于所有四电平输入控制引脚）						
V_{LVL_H}	LEVEL-H 输入电压	将外部 1kΩ 电阻连接到 VIN 时，在四电平引脚上测得的电压		VIN		V
V_{LVL_F}	LEVEL-F 默认电压	默认情况下在四电平引脚上测得的电压		2/3 × VIN		V
V_{LVL_R}	LEVEL-R 输入电压	将外部 20kΩ 电阻连接到 VSS 时，在四电平引脚上测得的电压		1/3 × VIN		V
V_{LVL_L}	LEVEL-L 输入电压	将外部 1kΩ 电阻连接到 VSS 时，在四电平引脚上测得的电压		0		V
I_{IH}	输入高漏电流 (Vinput = VIN)	四电平（LOOP_BW_SEL、IN_MUX_SEL、OUT_MUX_SEL、VOD_DE、MODE_SEL、OUT_CTRL、SDI_VOD）	20	45	80	µA
		SMBus 模式：四电平（ADDR0、ADDR1）	20	45	80	µA
I_{IL}	输入低漏电流 (Vinput = GND)	四电平（LOOP_BW_SEL、IN_MUX_SEL、OUT_MUX_SEL、VOD_DE、MODE_SEL、OUT_CTRL、SDI_VOD）	-160	-90	-40	µA
		SMBus 模式：四电平（ADDR0、ADDR1）	-160	-90	-40	µA
SDI 接收器规格 (SDI_IN+[4])						
$R_{SDI_IN_TERM}$	直流输入单端终端	连接到内部共模偏置的 SDI_IN+ 和 SDI_IN-	63	75	87	Ω
$RL_{SDI_IN_S11}$	连接到 75Ω 的 SDI_IN+ 基准上的输入回波损耗[1]	S11，5MHz 至 1.485GHz		-30		dB
		S11，1.485GHz 至 3GHz		-25		dB
		S11，3GHz 至 6GHz		-16		dB
		S11，6GHz 至 12GHz		-13		dB
$V_{SDI_IN_CM}$	SDI_IN+ 直流共模电压	连接到 GND 的 SDI_IN+ 或 SDI_IN- 上的输入直流共模电压		1.4		V

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{SDI_IN_WANDER}$	输入直流漂移容差	SD、SDI_IN+ 处的输入信号、输入启动幅值 = 800mVpp		150		mVpp
		HD、3G、6G、12G、SDI_IN+ 处的输入信号，输入启动幅值 = 800mVpp		50		mVpp
$Reach_{PRBS9}$	使用 B1694A 时的输入电缆长度，使用 LMH1239EVM 测得，禁用 OUT1± 和 SDI_OUT+	在 OUT0± 上测得，PRBS9 (BER ≤ 1E-12)，TX 启动振幅 = 800mVpp，电缆前 11.88Gbps ± 1000ppm (12G-SDI)		100		m
		5.94Gbps ± 1000ppm (6G-SDI)		150		m
		2.97Gbps ± 1000ppm (3G)		220		m
		1.485Gbps ± 1000ppm (HD)		300		m
		270Mbps ± 1000ppm (SD)		600		m
	使用 B1694A 时的输入电缆长度，使用 LMH1239EVM 测得，启用 OUT1± 和 SDI_OUT+	在 OUT0± 上测得，PRBS9 (BER ≤ 1E-12)，TX 启动振幅 = 800mVpp，电缆前 11.88Gbps ± 1000ppm (12G-SDI)		90		m
		5.94Gbps ± 1000ppm (6G-SDI)		140		m
		2.97Gbps ± 1000ppm (3G)		220		m
		1.485Gbps ± 1000ppm (HD)		300		m
		270Mbps ± 1000ppm (SD)		600		m
$Reach_{PATH}$	使用 B1694A 时的输入电缆长度，使用 LMH1239EVM 测得，禁用 OUT1± 和 SDI_OUT+	在 OUT0± 上测得，病态模式 (BER ≤ 1E-12)，TX 启动振幅 = 800mVpp，电缆前 11.88Gbps (12G-SDI) 使用 SDI_IN1+ 进行测试		90		m
		5.94Gbps (6G-SDI)		140		m
		2.97Gbps (3G)		220		m
		1.485Gbps (HD)		300		m
		270Mbps (SD)		600		m
	使用 B1694A 时的输入电缆长度，使用 LMH1239EVM 测得，启用 OUT1± 和 SDI_OUT+	在 OUT0± 上测得，病态模式 (BER ≤ 1E-12)，TX 启动振幅 = 800mVpp，电缆前 11.88Gbps (12G-SDI) 使用 SDI_IN+ 进行测试		80		m
		5.94Gbps (6G-SDI)		140		m
		2.97Gbps (3G)		220		m
		1.485Gbps (HD)		300		m
		270Mbps (SD)		600		m
时钟恢复器时钟和数据恢复规格						
$LOCK_{RATE}$	时钟恢复器锁定数据速率	SMPTE 12G，/1		11.88		Gbps
		SMPTE 12G，/1.001		11.868		Gbps
		SMPTE 6G，/1		5.94		Gbps
		SMPTE 6G，/1.001		5.934		Gbps
		SMPTE 3G，/1		2.97		Gbps
		SMPTE 3G，/1.001		2.967		Gbps
		SMPTE HD，/1		1.485		Gbps
		SMPTE HD，/1.001		1.4835		Gbps
		SMPTE SD，/1		270		Mbps

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$BYPASS_{RATE}$	时钟恢复器自动进入旁路模式 (6)	MADI		125		Mbps
BW_{PLL}	PLL 带宽，LOOP_BW_SEL=F（默认）	施加了 0.2UI 输入正弦抖动，在输入到输出抖动传输时测量 –3dB 带宽 11.88Gbps		7		MHz
		5.94Gbps		7		MHz
		2.97Gbps		5		MHz
		1.485Gbps		3		MHz
		270Mbps		0.8		MHz
	PLL 带宽，LOOP_BW_SEL=H (5)	施加了 0.2UI 输入正弦抖动，在输入到输出抖动传输时测量 –3dB 带宽 11.88Gbps		7		MHz
		5.94Gbps		7		MHz
		2.97Gbps		5		MHz
		1.485Gbps		3		MHz
		270Mbps		0.8		MHz
	PLL 带宽，LOOP_BW_SEL=R (5)	施加了 0.2UI 输入正弦抖动，在输入到输出抖动传输时测量 –3dB 带宽 11.88Gbps		0.70		MHz
		5.94Gbps		0.60		MHz
		2.97Gbps		0.46		MHz
		1.485Gbps		0.24		MHz
		270Mbps		0.05		MHz
	PLL 带宽，LOOP_BW_SEL=L (5)	施加了 0.2UI 输入正弦抖动，在输入到输出抖动传输时测量 –3dB 带宽 11.88Gbps		0.35		MHz
		5.94Gbps		0.30		MHz
		2.97Gbps		0.23		MHz
		1.485Gbps		0.12		MHz
		270Mbps		0.03		MHz
J_{PEAK}	PLL 抖动峰值	12G/6G/3G/高清/标清		<0.3		dB
J_{TOL_SDI}	SDI_IN+ 输入抖动容差	正弦抖动，在 12G/6G/3G 时测试 SJ 振幅扫描范围从 1MHz 到 80MHz，在 BER ≤ 1E-12 时测试，旁路 SDI_IN+ 上的电缆均衡器		0.55		UI
T_{LOCK}	CDR 锁定时间	SMPTE 支持的数据速率，包括 EQ 粗调自适应。不包括 SSLMS 自适应。未应用外部 LF 电容器。		1.2	4.5	ms
T_{ADAPT}	EQ 调整时间	SMPTE 支持的数据速率，包括 CDR 锁定时间。未应用外部 LF 电容器。		1.6		ms
$TEMP_{LOCK}$	VCO 温度锁定范围	使用每分钟 5°C 温度斜坡测得，斜升和斜降，-40°C 至 85°C 工作温度范围，11.88Gbps		125		°C

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$T_{LATENCY}$	输入到输出延时（传播延迟）	从 SDI_IN+ 到 OUT0 测得，所有支持的数据速率，启用并锁定 CDR		2.1 UI + 270		ps
		从 SDI_IN+ 到 SDI_OUT+ 测得，所有支持的数据速率，启用并锁定 CDR		2.1 UI + 255		ps
		从 SDI_IN+ 到 OUT0 测得，所有支持的数据速率，原始模式（已旁路 CDR）		270		ps
		从 SDI_IN+ 到 SDI_OUT+ 测得，12G/6G/3G/HD，原始模式（已旁路 CDR），OUT_CTRL = L		255		ps
		从 SDI_IN+ 到 SDI_OUT+测得，SD，原始模式（已旁路 CDR），OUT_CTRL = L		900		ps
时钟恢复器差分输出抖动（OUT0±、OUT1±）						
TJ_{DIFF_OUT}	总抖动 (BER ≤ 1E-12)，时钟恢复输出，禁用 SDI_OUT(1) (3)	在 OUT0± 上测得，PRBS9、TX 启动振幅 = 800mVpp，电缆前 11.88Gbps：100m Belden 1694A		0.12	0.20	UI
		5.94Gbps：150m Belden 1694A		0.08		
		2.97Gbps：220m Belden 1694A		0.07		
		1.485Gbps：300m Belden 1694A		0.05		
		270Mbps：600m Belden 1694A		0.11		
	总抖动 (BER ≤ 1E-12)，时钟恢复输出，启用 SDI_OUT(1) (3)	在 OUT0± 上测得，PRBS9、TX 启动振幅 = 800mVpp，电缆前 11.88Gbps：90m Belden 1694A		0.12	0.20	UI
		5.94Gbps：140m Belden 1694A		0.08		
		2.97Gbps：220m Belden 1694A		0.07		
		1.485Gbps：300m Belden 1694A		0.05		
		270Mbps：600m Belden 1694A		0.11		
DJ_{DIFF_OUT}	确定性抖动 (BER ≤ 1E-12)，时钟恢复输出，禁用 SDI_OUT(1) (3)	在 OUT0± 上测得，PRBS9、TX 启动振幅 = 800mVpp，电缆前，连接到 SDI_IN+ 11.88Gbps：100m Belden 1694A		35	80	mUI
		5.94Gbps：150m Belden 1694A		26		
		2.97Gbps：220m Belden 1694A		16		
		1.485Gbps：300m Belden 1694A		20		
		270Mbps：600m Belden 1694A		23		
	确定性抖动 (BER ≤ 1E-12)，时钟恢复输出，启用 SDI_OUT(1) (3)	在 OUT0± 上测得，PRBS9、TX 启动振幅 = 800mVpp，电缆前，连接到 SDI_IN+ 11.88Gbps：90m Belden 1694A		35	80	mUI
		5.94Gbps：140m Belden 1694A		26		
		2.97Gbps：220m Belden 1694A		16		
		1.485Gbps：300m Belden 1694A		20		
		270Mbps：600m Belden 1694A		23		

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
RJ_{DIFF_OUT}	随机抖动 (BER ≤ 1E-12)，时钟恢复输出，禁用 SDI_OUT(1) (3)	在 OUT0± 上测得，PRBS9、TX 启动振幅 = 800mVpp，电缆前，连接到 SDI_IN+ 11.88Gbps：100m Belden 1694A		6.2	11	mUIrms
		5.94Gbps：150m Belden 1694A		5.3		
		2.97Gbps：220m Belden 1694A		5.3		
		1.485Gbps：300m Belden 1694A		4.5		
		270Mbps：600m Belden 1694		7.8		
	随机抖动 (BER ≤ 1E-12)，时钟恢复输出，启用 SDI_OUT(1) (3)	在 OUT0± 上测得，PRBS9、TX 启动振幅 = 800mVpp，电缆前，连接到 SDI_IN+ 11.88Gbps：90m Belden 1694A		6.2	11	mUIrms
		5.94Gbps：1540m Belden 1694A		5.3		
		2.97Gbps：220m Belden 1694A		5.3		
		1.485Gbps：300m Belden 1694A		4.5		
		270Mbps：600m Belden 1694A		7.8		
TJ_{RAW}	总抖动 (BER ≤ 1E-12)，已旁路 CDR	在 OUT0± 上测得，PRBS9、TX 启动振幅 = 800mVpp，电缆前，连接到 SDI_IN+ 125Mbps：600m Belden 1694A		0.2		UI
时钟恢复器 SDI 输出抖动 (SDI_OUT+)						
AJ_{SDI_OUT}	对齐抖动(1)	在 SDI_OUT+ 上使用 12G-SDI 测得 禁用 OUT0± 和 OUT1±		0.14		UI
TMJ_{SDI_OUT}	时序抖动(1)	在 SDI_OUT+ 上使用 12G-SDI 测得 禁用 OUT0± 和 OUT1±		0.45		UI
差分驱动器输出（OUT0±、OUT1±）						
$R_{DIFF_OUT_TERM}$	直流输出差分终端	在 OUT0+ 和 OUT0- 之间测得	80	100	120	Ω
VOD_{DIFF_OUT}	输出差分电压	在 11.88Gbps 下使用 8T 模式测得 VOD_DE = H		410		mVpp
		VOD_DE = F	485	560	635	mVpp
		VOD_DE = R		635		mVpp
		VOD_DE = L		810		mVpp
$VOD_{DIFF_OUT_DE}$	输出去加重级别	在 11.88Gbps 下使用 8T 模式测得 VOD_DE = H		410		mVpp
		VOD_DE = F		500		mVpp
		VOD_DE = R		480		mVpp
		VOD_DE = L		400		mVpp
t_R/t_F	输出上升/下降时间	在 11.88Gbps 下使用 8T 模式测得， 20%-80% 振幅		45		ps
$RL_{DIFF_OUT-SDD22}$	输出差分回波损耗(1)	在器件上电并输出 10MHz 时钟信号时测得 SDD22，10MHz 至 2.8GHz		-26		dB
		SDD22，2.8GHz 至 6GHz		-18		dB
		SDD22，6GHz 至 11.1GHz		-13		dB
$RL_{DIFF_OUT-SCC22}$	输出共模回波损耗(1)	在器件上电并输出 10MHz 时钟信号时测得 SCC22，10MHz 至 4.75GHz		-14		dB
		SCC22，4.75GHz 至 11.1GHz		-16		dB
$V_{DIFF_OUT_CM}$	OUT0± 上的交流共模电压(1)	默认设置，PRBS9，11.88Gbps		7		mVrms
SDI 驱动器输出 (SDI_OUT+)						
R_{OUT_TERM}	直流输出单端终端	SDI_OUT+ 和 SDI_OUT– 至 VIN	63	75	87	Ω

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
VOD_{CD_OUTP}	输出单端输出电压	测量 SDI_OUT+ 上的交流信号，使用 75Ω 对 SDI_OUT- 进行交流端接。在 11.88Gbps 下使用 Phabrix Qx 上的色条以 1m B1694A 测得 SDI_VOD=H		840		mVpp
		SDI_VOD=F(3)	720	800	880	mVpp
		SDI_VOD=R		880		mVpp
		SDI_VOD=L		760		mVpp
VOD_{CD_OUTN}	输出单端输出电压	测量 SDI_OUT- 上的交流信号，使用 75Ω 对 SDI_OUT+ 进行交流端接。在 11.88Gbps 下使用 Phabrix Qx 上的色条以 1m B1694A 测得 SDI_VOD=H		840		mVpp
		SDI_VOD=F(3)	720	800	880	mVpp
		SDI_VOD=R		880		mVpp
		SDI_VOD=L		760		mVpp
PRE_{CD_OUTP}	输出预加重	SDI_OUT+ 上的输出预加重增强振幅，通过寄存器编程为最大设置，在 SDI_VOD=F 时以 11.88Gbps 使用 8T 模式测得		2.5		dB
$PRE_{CD_OUTP_T}$	输出预加重持续时间	输出预加重持续时间，以 11.88Gbps 使用 8T 模式在 0.5" 布线、BNC 连接器和 1m B1694A 电缆后测得		83		ps
PRE_{CD_OUTN}	输出预加重	SDI_OUT- 上的输出预加重增强振幅，通过寄存器编程为最大设置，在 SDI_VOD=F 时以 11.88Gbps 使用 8T 模式测得		2.5		dB
$PRE_{CD_OUTN_T}$	输出预加重持续时间	输出预加重持续时间，以 11.88Gbps 使用 8T 模式在 0.5" 布线、BNC 连接器和 1m B1694A 电缆后测得		83		ps
$t_{R_F_SDI}$	输出上升和下降时间(1)	使用 Phabrix Qx 上的色条测得，默认 VOD，默认预加重 11.88Gbps		36		ps
		5.94Gbps		36		ps
		2.97Gbps		60		ps
		1.485Gbps		60		ps
		270Mbps		520		ps
$t_{R_F_DELTA}$	输出上升/下降时间不匹配(1)	使用 Phabrix Qx 上的色条测得，默认 VOD，默认预加重 11.88Gbps		5		ps
		5.94Gbps		8		ps
		2.97Gbps		13		ps
		1.485Gbps		53		ps
		270Mbps		75		ps
$V_{OVERSHOOT}$	输出过冲或下冲(2)	使用 Phabrix Qx 上的色条以 1m B1694A 在 SDI_OUT+ 上测得，默认 VOD，默认预加重，12G		8		%
V_{DC_OFFSET}	直流偏移	使用 Phabrix Qx 以 1m B1694A 在 SDI_OUT+ 上测得，12G/6G/3G/HD/SD		±0.2		V

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{DC_WANDER}	直流漂移	使用实时示波器在 SDI_OUT+ 上以 1m B1694A 测得，12G/6G/3G/HD，病态模式		13		mV
RL_{CD_S22}	连接到 75Ω 的 SDI_OUT+ 基准上的输出回波损耗(1)	S22，5MHz 至 1.485GHz		-23		dB
		S22，1.485GHz 至 3GHz		-16		dB
		S22，3GHz 至 6GHz		-16		dB
		S22，6GHz 至 12GHz		-15		dB

(1) 此参数是使用 LMH1239EVM（LMH12x9 评估板）测量的。
(2) $V_{OVERSHOOT}$ 过冲/下冲最大测量值在很大程度上受 PCB 布局和输入测试模式的影响。“电气特性”中规定的 $V_{OVERSHOOT}$ 最大值是根据 LMH1239EVM 在不同工作温度和电源电压下的工作台评估得出的。
(3) 该限制由工作台特性分析来确保，未经量产测试。
(4) 所有以 LMH1229 上的 SDI_IN± 进行特性分析的规格均适用于 LMH1239 上的 SDI_IN± 和 SDI_IN1±。
(5) 在 LF+ 和 LF- 之间需要外部环路滤波电容器以实现更低的 PLL 带宽。
(6) 当 LMH12x9 未锁定至有效 $LOCK_{RATE}$ 数据速率时，时钟恢复器自动进入旁路模式。被旁路时，将禁用 LMH12x9 EQ 自适应，必须手动对 EQ 指数进行编程（更多信息，请参阅 LMH12x9 编程指南）。

5.6 串行管理 (SM) 总线接口的时序要求

在推荐的工作电源和温度范围内测得（除非另有说明）(1) (2)

		最小值	标称值	最大值	单位
F_{SCL}	SMBus SCL 频率			400	kHz
T_{BUF}	停止条件和启动条件之间的总线空闲时间	1.3			µs
$T_{HD:STA}$	（重复启动）条件后的保持时间。在此周期后，生成第一个时钟。	0.6			µs
$T_{SU:STA}$	重复启动条件建立时间	0.6			µs
$T_{SU:STO}$	停止条件建立时间	0.6			µs
$T_{HD:DAT}$	数据保持时间	0			ns
$T_{SU:DAT}$	数据建立时间	100			ns
T_{LOW}	时钟低电平时间	1.3			µs
T_{HIGH}	时钟高电平周期	0.6			µs
T_R	时钟/数据上升时间			300	ns
T_F	时钟/数据下降时间			300	ns
T_{POR}	POR 之后的 SMBus 就绪时间。从最小 VIN 到 SMBus 有效写入/读取访问的时间。			50	ms

(1) 这些参数支持 SMBus 2.0 规范。
(2) 有关参数说明，请参阅 SMBus 时序参数图。

Copyright © 2024 Texas Instruments Incorporated

5.7 串行外设接口 (SPI) 接口的时序要求

在推荐的工作电源和温度范围内测得（除非另有说明）(1) (2)

		最小值	标称值	最大值	单位
F_{SCK}	SPI SCK 频率			10	MHz
T_{PH}	SCK 脉冲宽度高电平	40			SCK 周期百分比
T_{PL}	SCK 脉冲宽度低电平	40			SCK 周期百分比
T_{SU}	PICO 设置时间	4			ns
T_{H}	PICO 保持时间	4			ns
T_{SSSU}	SS 设置时间	14			ns
T_{SSH}	SS 保持时间	4			ns
T_{SSOF}	SS 关断时间	1			µs
T_{ODZ}	POCI 驱动到三态的时间		20		ns
T_{OZD}	POCI 三态到驱动的时间		10		ns
T_{OD}	POCI 输出延迟时间		15		ns

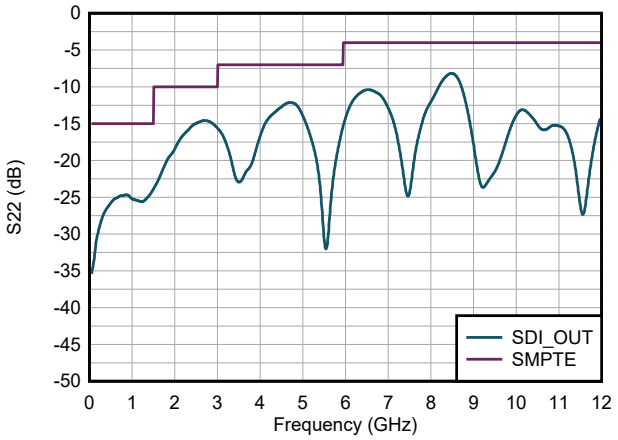
(1) 典型 SPI 负载电容为 2pF。
(2) 有关参数说明，请参阅 SPI 时序参数图。

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性

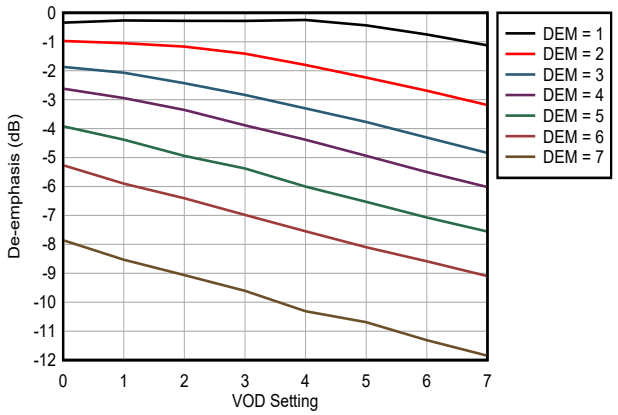
5.8.1 TX 特性

以下条件适用（除非另有说明）：T_A = 25°C；VDD = 2.5V，所有测量都是使用 LMH1239EVM 执行的。



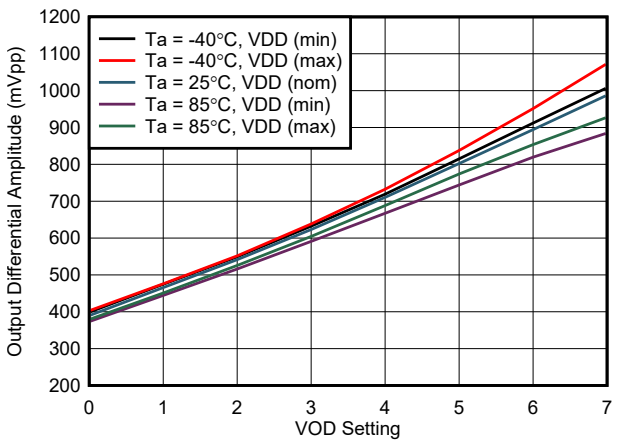
使用 LMH1239EVM 测得。

图 5-1. 输出回波损耗 (RL) 与频率间的关系



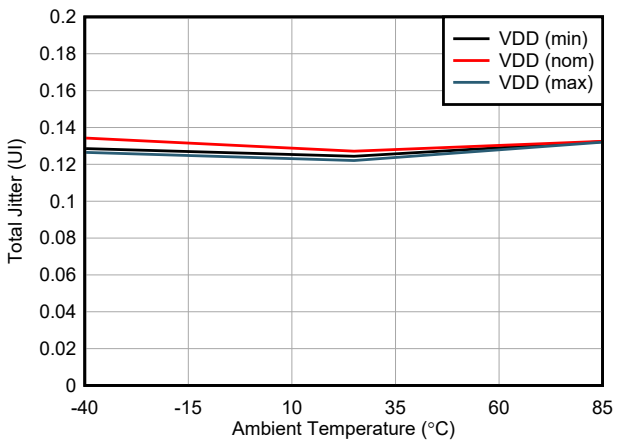
在 11.88Gbps 下使用 8T 模式测得。

图 5-2. OUT0 去加重与寄存器设置间的关系



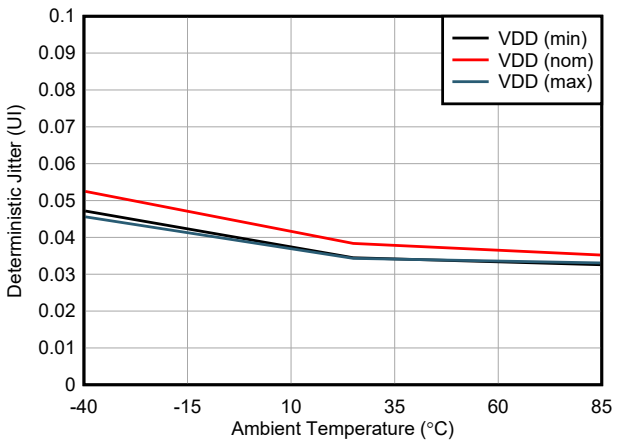
在 11.88Gbps 下使用 8T 模式测得。

图 5-3. OUT0 VOD 与寄存器设置间的关系



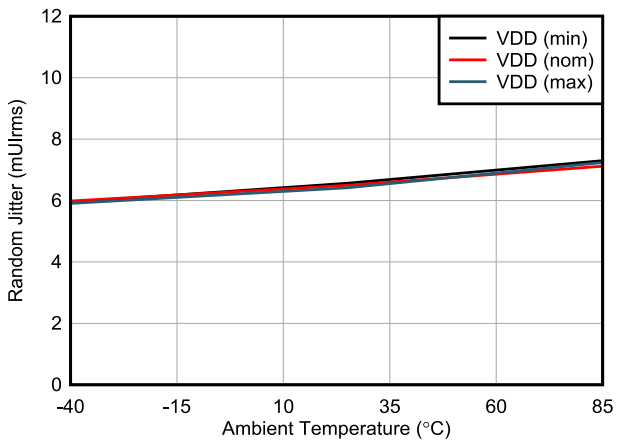
使用 PRBS9 图形测得。

图 5-4. 11.88Gbps 时的 OUT0 总抖动 (TJ)



使用 PRBS9 图形测得。

图 5-5. 11.88Gbps 时的 OUT0 确定性抖动 (DJ)



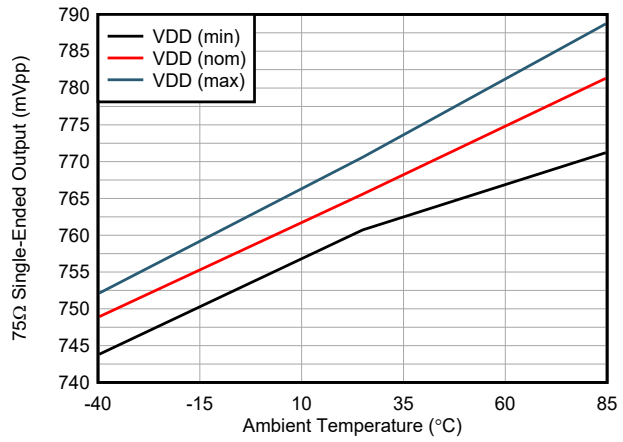
使用 PRBS9 图形测得。

图 5-6. 11.88Gbps 时的 OUT0 随机抖动 (RJ)

Copyright © 2024 Texas Instruments Incorporated

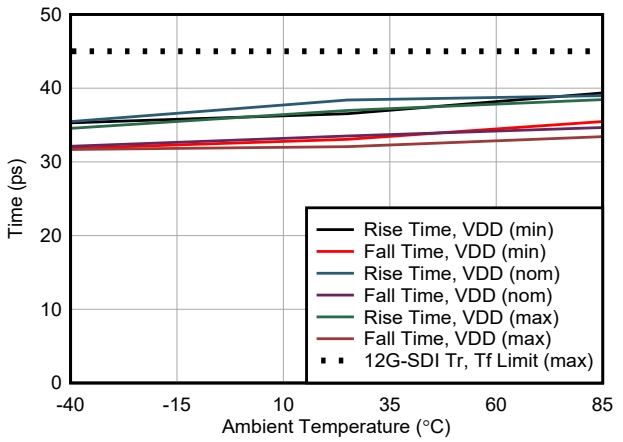
5.8.1 TX 特性（续）

以下条件适用（除非另有说明）：T_A = 25°C；VDD = 2.5V，所有测量都是使用 LMH1239EVM 执行的。



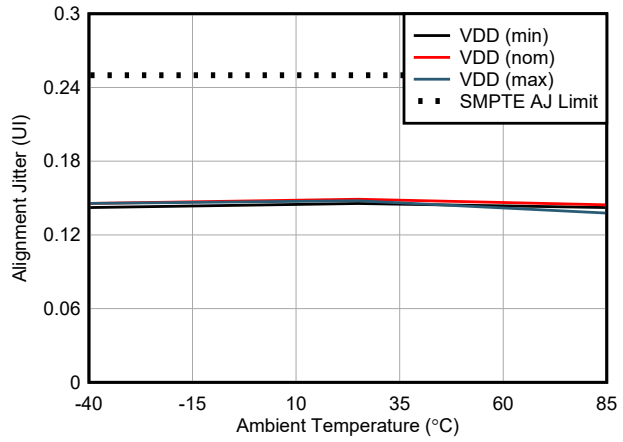
使用 Phabrix Qx 色条图形测得。

图 5-7. 11.88Gbps 时的 SDI_OUT VOD



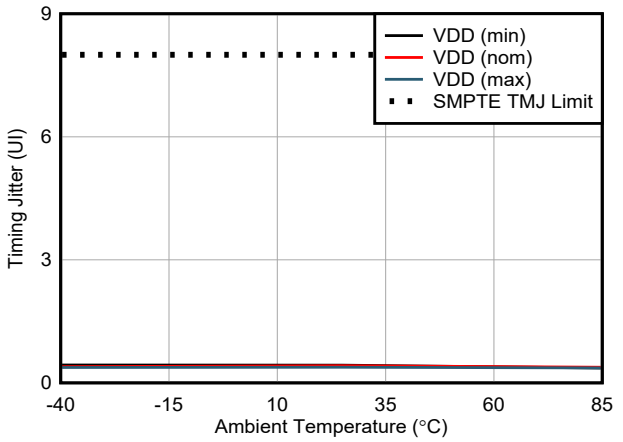
使用 Phabrix Qx 色条图形测得。

图 5-8. 11.88Gbps 时的 SDI_OUT 上升和下降时间



使用 Phabrix Qx 色条图形测得。

图 5-9. 11.88Gbps 时的 SDI_OUT 对齐抖动 (AJ)



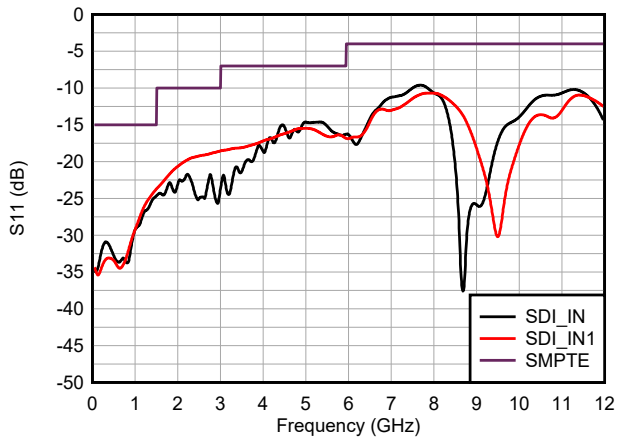
使用 Phabrix Qx 色条图形测得。

图 5-10. 11.88Gbps 时的 SDI_OUT 时序抖动 (TMJ)

Copyright © 2024 Texas Instruments Incorporated

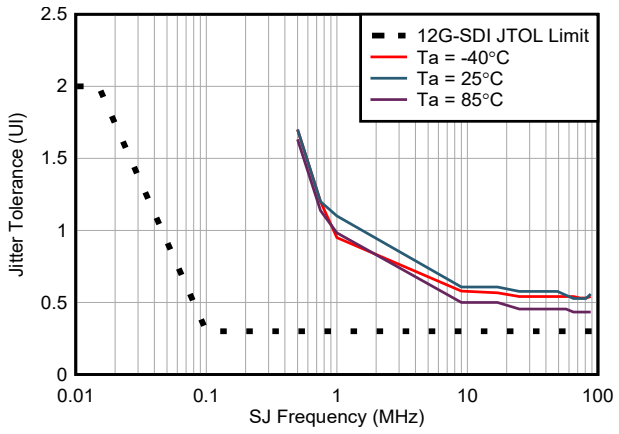
5.8.2 RX 特性

以下条件适用（除非另有说明）：T_A = 25°C；VDD = 2.5V，所有测量都是使用 LMH1239EVM 执行的。



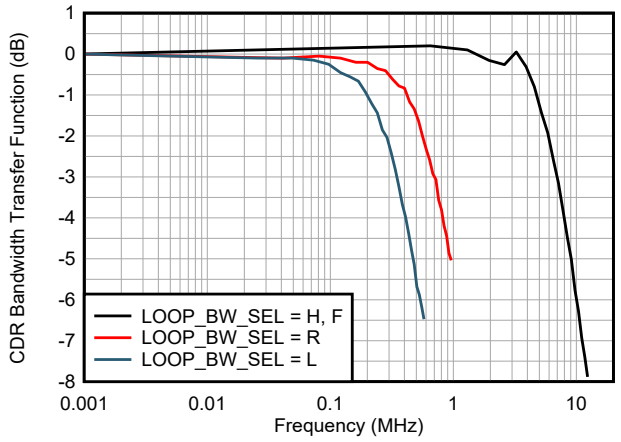
使用 LMH1239EVM 测得。

图 5-11. 输入回波损耗 (RL) 与频率间的关系



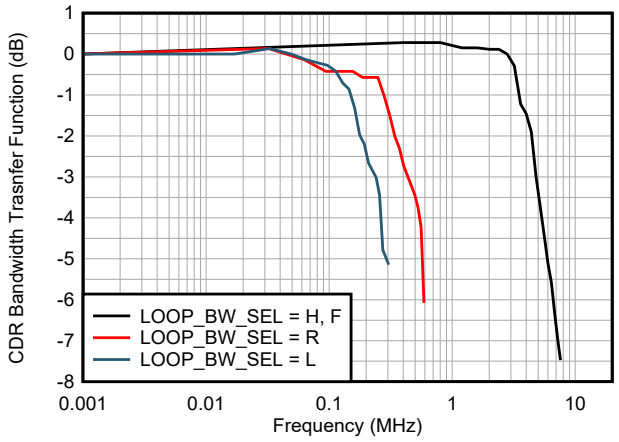
在 1m B1694A 电缆输入下测得。

图 5-12. 典型抖动容差与频率间的关系



在 1m B1694A 电缆输入下测得。

图 5-13. 11.88Gbps 下的典型 PLL 带宽与频率间的关系



在 1m B1694A 电缆输入下测得。

图 5-14. 2.97Gbps 下的典型 PLL 带宽与频率间的关系

Copyright © 2024 Texas Instruments Incorporated

6 详细说明

6.1 概述

LMH12x9 是带有集成时钟恢复器的 TI 第二代远距离 12G UHD-SDI 自适应电缆均衡器，支持高达 11.88Gbps 的各种 SMPTE 视频速率。LMH12x9 具有 75Ω 电缆均衡器输入，能够均衡长达 100m 的 Belden 1694A 电缆。

75Ω 电缆均衡器输入采用内部 75Ω 终端和补偿网络，可满足严格的 SMPTE 回波损耗要求。75Ω 电缆均衡器输入通过一个带有可编程环路滤波器的多速率时钟恢复器。

片上时钟恢复器可减弱高频抖动并使用纯净的低抖动时钟完全重新生成数据。此时钟恢复器具有内置环路滤波器，且不需要任何输入参考时钟。LMH12x9 还有内部眼图张开度监视器和可编程引脚，以便进行 CDR 锁定指示、输入载波检测或硬件中断，从而支持系统诊断和电路板启动。

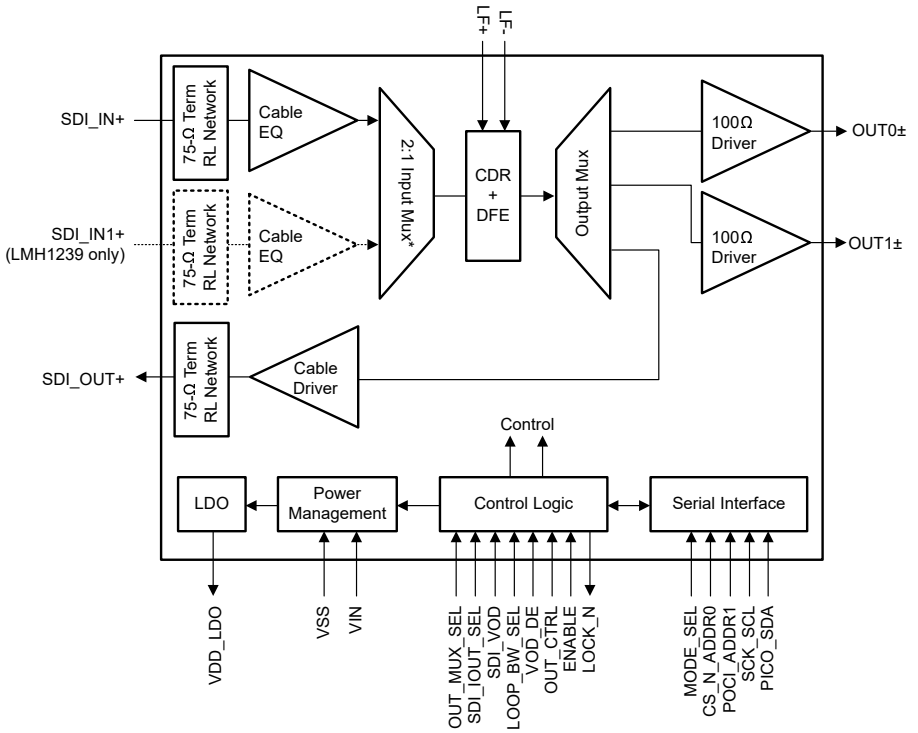
时钟恢复器之后是 1:3 扇出多路复用器。有两个输出是 100Ω 驱动器，可对数据或时钟信号的 PCB 布线进行去加重，而第三个输出是 75Ω 驱动器，可对级联应用中经过时钟恢复的 SDI 环通数据进行预加重。

LMH12x9 采用 5mm × 5mm 32 引脚 WQFN 封装，具有两种引脚排列型号：

- **LMH1229**：LMH1297 12G-SDI 双向 I/O（均衡器模式）的引脚对引脚直接替代产品
- **LMH1239**：独特引脚排列，包括额外的 2:1 75Ω 输入多路复用器以用于实现系统冗余

LMH12x9 由具有片上 1.8V LDO 稳压器的单个 2.5V 电源供电。LMH12x9 的运行状态可通过控制引脚、SPI 或 SMBus 串行控制接口进行配置。如果不存在输入信号，LMH12x9 会自动进入省电模式。用户还可以通过 ENABLE 控制引脚手动强制 LMH12x9 进入省电模式。LMH1297 采用小型 5mm × 5mm 32 引脚 QFN 封装。

6.2 功能方框图



*2:1 Input mux is only applicable with the LMH1239 variant. For LMH1229, SDI_IN+ data path is routed directly to the CDR.

Copyright © 2024 Texas Instruments Incorporated

6.3 特性说明

LMH12x9 由以下几个关键块组成：

- 4 电平输入配置引脚
- 输入和输出信号流控制
- 输入载波检测
- 自适应电缆均衡器 (SDI_IN±、SDI_IN1±)
- 时钟和数据恢复 (CDR)
- CDR 环路带宽控制
- 输出功能控制
- 输出驱动器控制
- 调试和诊断特性

6.3.1 4 电平输入引脚和阈值

4 电平输入配置引脚采用电阻分压器来提供每个控制引脚的四种逻辑状态。控制引脚连接有一个内部 30kΩ 上拉电阻和一个 60kΩ 下拉电阻，用于设定 2/3 x VIN 时的默认电压。这些电阻与外部电阻相互结合，可实现所需电压电平。通过使用 1kΩ 下拉电阻、20kΩ 下拉电阻、无连接和 1kΩ 上拉电阻，可实现四个输入状态分别对应的最佳电压电平，如表 6-1 所示。

表 6-1. 4 电平控制引脚设置

电平	设置	所得引脚电压
H	将 1kΩ 电阻连接到 VIN	VIN
F	悬空 (使引脚保持开路状态)	2/3 × VIN
R	将 20kΩ 电阻连接到 VSS	1/3 × VIN
L	将 1kΩ 电阻连接到 VSS	0

典型的 4 电平输入阈值：

- L 和 R 之间的内部阈值 = 0.2 × VIN
- R 和 F 之间的内部阈值 = 0.5 × VIN
- F 和 H 之间的内部阈值 = 0.8 × VIN

6.3.2 输入和输出信号流控制

LMH12x9 的输入和输出信号流由 IN_MUX_SEL (仅限 LMH1239)、OUT_MUX_SEL 和 SDI_OUT_SEL 引脚确定。

6.3.2.1 输入多路复用器选择 (仅限 LMH1239)

LMH12x9 接收 75Ω SDI 输入信号。对于 LMH1229，在 SDI_IN+ 上提供输入。对于 LMH1239，根据表 6-2 中提供的 IN_MUX_SEL 引脚逻辑设置，输入设置可以介于 SDI_IN± 和 SDI_IN1± 之间。这些设置可通过寄存器控制来覆盖，即在寄存器中应用相应的值覆盖位值。有关更多信息，请参阅 LMH12x9 编程指南。

表 6-2. IN_MUX_SEL 引脚设置

电平(1)	定义
H	选择 SDI_IN±
F	
R	选择 SDI_IN1±
L	

(1) 有关 LMH12x9 引脚映射的详细信息，请参阅引脚配置和功能。

Copyright © 2024 Texas Instruments Incorporated

备注

对于 75Ω SDI 输入信号，可对 SDI_IN± 和 SDI_IN1± 使用正 (+) 或负 (-) 极性。未使用的极性应通过外部 4.7µF 电容器和 75Ω 电阻器（连接到 GND）进行交流端接。

6.3.2.2 输出多路复用器和 SDI_OUT 选择

OUT_MUX_SEL 和 SDI_OUT_SEL 引脚可选择 LMH12x9 输出数据路径路由。表 6-3 和表 6-4 显示了如何在各种配置中配置输出信号路径。

表 6-3. OUT_MUX_SEL 引脚设置

电平(1)	定义
H	禁用 OUT0± 禁用 OUT1±
F	启用 OUT0± 禁用 OUT1±
R	启用 OUT0± 启用 OUT1±
L	启用 OUT0± 禁用 OUT1±

(1) 有关 LMH12x9 引脚映射的详细信息，请参阅引脚配置和功能。

表 6-4. SDI_OUT_SEL 引脚设置

电平(1)	定义
H	禁用 SDI_OUT±
L	启用 SDI_OUT±

(1) 有关 LMH12x9 引脚映射的详细信息，请参阅引脚配置和功能。

6.3.3 输入载波检测

LMH12x9 具有载波检测电路，可用于监测是否存在输入信号。当所选输入的输入信号振幅超过载波检测生效阈值时，LMH12x9 将以正常模式运行。

如果不存在输入信号，LMH12x9 会自动进入省电模式以节省功耗。当检测到有效信号时，LMH12x9 会自动退出省电模式，重新以正常模式运行。如果 ENABLE 引脚被拉至低电平，LMH12x9 会被强制进入断电模式。在省电模式下，载波检测电路和串行接口均保持活动状态。在断电模式下，只有串行接口（基于 MODE_SEL 引脚的 SMBus 或 SPI）保持有效状态。

用户可通过寄存器编程的方式来监测载波检测的状态。为了实现这一目的，可以将 LOCK_N 引脚配置为输出 CD_N 状态，或者可以监测载波检测状态寄存器。

6.3.4 自适应电缆均衡器（SDI_IN±、SDI_IN1±）

LMH12x9 接收器具有一个自适应连续时间线性均衡器 (CTLE) 和一个连续自适应三抽头判决反馈均衡器 (DFE)。

- **CTLE：**补偿器件输入前因传输介质导致的与频率相关的损耗。CTLE 可通过对输入信号应用可变增益来实现补偿，从而提升较高的频率而非较低的频率。CTLE 块可扩展信号带宽，恢复信号振幅，并降低传输介质引起的 ISI。CTLE 在每个信号检测事件后进行一次自适应。
- **三抽头 DFE：**与 CTLE 协同工作来提供额外的插入损耗补偿以及串扰和反射容差。DFE 具有连续自适应特性，可补偿通道中与温度相关的变化。

备注

CTLE 可通过寄存器控制来手动进行覆盖。对于启用时钟恢复器的数据速率，不建议手动覆盖（请参阅表 6-5）。

Copyright © 2024 Texas Instruments Incorporated

默认情况下会启用自适应电缆均衡。LMH12x9 SDI_input（SDI_IN、SDI_IN1）有一个连接到输入共模电压的 75Ω 片上终端，还包含一个串行回波损耗补偿网络，可满足严格的 SMPTE 回波损耗要求。电缆均衡器设计有高增益低噪声电路，可补偿广泛用于广播视频基础设施的同轴电缆（比如 Belden 1694A 电缆）的插入损耗。

备注

不会为时钟恢复器被旁路的数据速率输入（包括 MADI）应用自适应。在时钟恢复器被旁路的情况下运行时，必须手动对相应的 EQ 指数进行编程。

6.3.5 时钟和数据恢复 (CDR)

当输入信号通过自适应电缆均衡器后，均衡化数据将馈送到时钟和数据恢复 (CDR) 块中。通过使用内部 PLL，CDR 会锁定至传入的均衡化数据，并恢复一个清零内部时钟来对均衡化数据重新采样。LMH12x9 CDR 能够容忍较高的输入抖动，跟踪低于 PLL 带宽的低频输入抖动，同时降低超过 PLL 带宽的高频输入抖动。支持的数据速率列于表 6-5 中。

表 6-5. 支持的数据速率

输入	数据速率	时钟恢复器
SDI_IN+ 或 SDI_IN1+	11.88Gbps、5.94Gbps、2.97Gbps、1.485Gbps、270Mbps(1)	使能
	所有其他数据速率（包括 125Mbps）	旁路

(1) LMH12x9 支持 11.88Gbps、5.94Gbps、2.97Gbps 和 1.485Gbps 的 1.001 分频锁定速率。

6.3.6 CDR 环路带宽控制

CDR 运行中的一个关键特性是环路带宽。高于 -3dB CDR 环路带宽的频率下的输入抖动可由 CDR 进行衰减，而低于 -3dB CDR 环路带宽的频率下的输入抖动会被跟踪，但不会在 CDR 输出端衰减。根据 LMH12x9 输入端存在的输入抖动以及应用的 LMH12x9 输出抖动需求，可以调整 CDR 环路带宽。

LMH12x9 具有高度可配置的 CDR 环路带宽，此带宽可由引脚或寄存器设置进行控制。

备注

默认的 LMH12x9 CDR 环路带宽（LF+ 和 LF- 引脚上无外部电容器）与上一代 LMH1219 和 LMH1297（EQ 模式）器件相当。为了实现较低的 CDR 环路带宽，需要在 LF+ 和 LF- 上连接一个 470nF 外部电容器。

6.3.7 输出功能控制

LMH12x9 对路由到 SDI_OUT、OUT0 和 OUT1 输出端的数据的输出功能控制由 OUT_CTRL 引脚进行配置。OUT_CTRL 引脚决定是否旁路掉输入电缆均衡器和/或时钟恢复器。在正常运行 (OUT_CTRL = F) 中，输入均衡器和时钟恢复器均启用。

表 6-6 列出了 OUT_CTRL 引脚逻辑设置。这些设置可通过寄存器控制来覆盖，即在寄存器中应用相应的值覆盖位值。有关更多信息，请参阅 LMH12x9 编程指南。

表 6-6. 旁路模式的 OUT_CTRL 设置

OUT_CTRL(1)	SDI 输入电缆均衡器	时钟恢复器	定义
H、F	使能	使能	正常运行 OUT0、SDI_OUT 和 OUT1：启用恢复数据、电缆 EQ（CTLE、DFE）和时钟恢复器
R	使能	使能	OUT0 和 SDI_OUT：启用恢复数据、电缆 EQ（CTLE、DFE）和时钟恢复器 OUT1：如果数据速率 ≤ 2.97Gbps，则为全速率恢复时钟。如果数据速率 > 2.97Gbps，则为 297MHz 恢复时钟
L	使能	旁路	仅调试 OUT0、SDI_OUT 和 OUT1：启用均衡数据、电缆 EQ（CTLE、DFE），旁路掉时钟恢复器(2)

(1) 有关 LMH12x9 引脚映射的详细信息，请参阅引脚配置和功能。

Copyright © 2024 Texas Instruments Incorporated

(2) 当 OUT_CTRL = L 时，时钟恢复器会被旁路掉但不会断电（即，仍被锁定），因为 DFE 需要时钟恢复器才能正常工作。

6.3.8 输出驱动器控制

6.3.8.1 线路侧 75Ω 输出电缆驱动器 (SDI_OUT±)

LMH12x9 有一个用于 SDI_OUT 的输出电缆驱动器 (CD) 块。SDI 输出旨在以高达 11.88Gbps 的数据速率驱动 75Ω 单端同轴电缆。SDI_OUT 具有集成的 75Ω 终端和回波损耗补偿网络，能够满足严格的 SMPTE 回波损耗要求。

6.3.8.1.1 输出振幅 (VOD)

SDI_OUT 用作环通输出，专为跨 75Ω 单端阻抗传输而设计。SDI 电缆驱动器标称输出振幅 (VOD) 为 800mVpp（单端）。当存在长输出电缆长度或串扰时，SDI_VOD 引脚可用于根据标称振幅来优化电缆驱动器输出。表 6-7 详细说明了可应用于 SDI_OUT 的 VOD 设置。SDI_VOD 引脚可通过寄存器控制进行覆盖。此外，还可以通过寄存器控制来更改标称 VOD 振幅。有关更多信息，请参阅 LMH12x9 编程指南。

表 6-7. 线侧输出振幅的 SDI_VOD 设置

SDI_VOD(1)	说明
H	约为标称值的 +5%
F	800mVpp（标称值）
R	约为标称值的 +10%
L	约为标称值的 -5%

(1) 有关 LMH12x9 引脚映射的详细信息，请参阅引脚配置和功能。

6.3.8.1.2 输出预加重

除了 SDI 电缆驱动器 VOD 控制，LMH12x9 还可以向电缆驱动器输出端添加预加重功能，从而在时钟恢复器恢复 UHD（12G、6G）或 HD（3G、1.5G）输入数据速率时提高输出信号的完整性。默认情况下，会对 12G 和 6G 数据速率启用预加重，而对所有其他数据速率禁用预加重。禁用预加重后，串扰对 SDI_IN 的影响在 SDI_OUT 上会最小化。启用预加重后，应用于电缆驱动器输出端的预加重程度由寄存器控制决定。如果时钟恢复器被旁路掉，或者如果用户希望禁用自动预加重，则可以通过寄存器控制来手动启用预加重。有关更多信息，请参阅 LMH12x9 编程指南。

6.3.8.1.3 输出压摆率

SMPTE 规范要求根据运行数据速率提供不同的输出驱动器上升和下降时间。为了满足这些要求，SDI_OUT 的输出边沿速率将自动根据时钟恢复器恢复的信号进行编程。*电气特性* 表中显示了电缆驱动器输出端的典型边沿速率。

如果时钟恢复器被旁路掉，用户必须通过寄存器控制来手动对所需的边沿速率进行编程。有关更多信息，请参阅 LMH12x9 编程指南。

6.3.8.1.4 输出极性反转

SDI_OUT 输出端通过寄存器控制的方式支持极性反转。

6.3.8.2 主机侧 100Ω 输出驱动器（OUT0±、OUT1±）

OUT0 和 OUT1 是 SDI 输入电缆均衡器的主机侧 100Ω 驱动器输出。OUT0 和 OUT1 也都支持极性反转。

该驱动器允许针对将驱动器连接到其下游接收器的更长的电路板布线选择更高的输出振幅和去加重级别。驱动器去加重功能可实现发送器均衡化，从而降低电路板布线导致的码间串扰 (ISI)。

VOD_DE 引脚决定应用于 OUT0 和 OUT1 PCB 驱动器的输出振幅 (VOD) 和去加重级别。如果需要设置中有更高的分辨率，则可以通过寄存器控制来更改这些设置。

表 6-8 详细说明了可以应用的 OUT0 和 OUT1 VOD 以及去加重设置。VOD_DE 引脚设置可通过寄存器控制进行覆盖。当这些参数通过寄存器进行控制时，VOD 和去加重级别可单独进行编程。有关更多信息，请参阅 LMH12x9 编程指南。

Copyright © 2024 Texas Instruments Incorporated

表 6-8. VOD_DE 引脚设置

VOD_DE(1)	OUT0± 和 OUT1± VOD (mVpp)	OUT0± 和 OUT1± DEM (dB)	OUT0± 和 OUT1± 上建议的电路板布线(2)
H	410	0	< 1 英寸
F	560	-1.0	1-2 英寸
R	635	-2.4	4-5 英寸
L	810	-6.1	8-10 英寸

(1) 有关 LMH12x9 引脚映射的详细信息，请参阅引脚配置和功能。
(2) 11.88Gbps 时建议的电路板布线。

6.3.9 调试和诊断特性

6.3.9.1 内部眼图张开度监视器 (EOM)

LMH12x9 有一个片上眼图张开度监视器 (EOM)，可用于分析、监视和诊断均衡化后的波形（在 CDR 时钟恢复器之前）。

EOM 可在一个单位时间间隔的时窗和一个跨越幅度达 ±400mV 的可配置电压范围内监视均衡化后的波形。时窗和电压范围可分为 64 个步长，这样一来，眼图捕捉可生成 64 × 64 命中点矩阵，其中每个点代表一个与主数据采样器相关的特定电压和相位偏移。每个点记录的命中点数需要与对应电压和相位偏移处观测到的总位数相关联，从而确定该点对应的概率。

EOM 生成的 64 × 64 矩阵可通过软件处理，并用多种方法进行可视化。图 6-1 和图 6-2 显示了用于可视化此类数据的两种常见方法。这些图描绘了软件绘制的眼图监视器曲线图示例。第一幅图是使用 EOM 数据绘制含 ASCII 字符的基本眼图示例，对于诊断软件非常实用。第二幅图显示了 EOM 数据的一阶导数，展示了点击数的密度和实际波形以及构成眼图的交叉点。

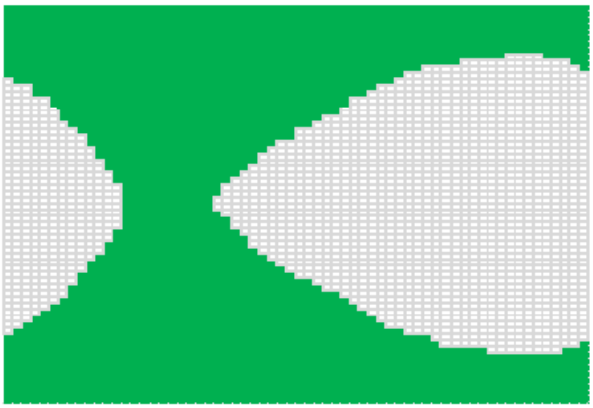


图 6-1. 内部输入眼图监视器曲线图

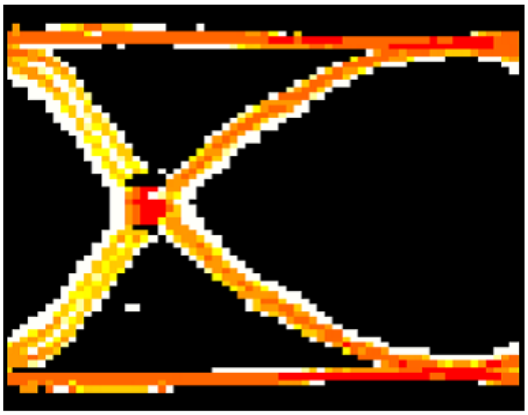


图 6-2. 内部眼图监视器点密度曲线图

EOM 常用于测量水平和垂直眼图张开度。水平眼图张开度 (HEO) 代表均衡化后的眼图在 0V 差分振幅下的宽度，以单位时间间隔或皮秒 (ps) 为单位测量。垂直眼图张开度 (VEO) 代表均衡化后的眼图高度，在眼图平均过零点中间测量。该位置对应的时间与 CDR 采样阶段相近。通过寄存器控制可以读回 HEO 和 VEO 测量值。

6.3.9.2 PRBS 发生器、错误校验器和错误注入器

出于调试目的，每个 LMH12x9 发送器输出都可以独立配置为输出 PRBS-7、PRBS-9、PRBS-23 或 PRBS-31。要输出 PRBS 信号，LMH12x9 输入必须将 CDR 锁定至有效的输入信号，且其速率与所需的 PRBS 输出生成的速率相同。

Copyright © 2024 Texas Instruments Incorporated

LMH12x9 SDI 接收器输入（SDI_IN 或 SDI_IN1）可以配置为 PRBS 错误校验器，能够识别和跟踪 PRBS-7、PRBS-9、PRBS-23 或 PRBS-31 信号是否有错误，从而进行调试。要启用 PRBS 错误校验器功能，LMH12x9 必须锁定至有效的 SDI 数据速率。

为了检查 PRBS 错误校验器的精度，每个发送器在配置为 PRBS 发生器时，可对其进行编程，从而通过寄存器控制来注入一个 single-bit 错误。这种错误注入功能允许用户验证 PRBS 发生器的输出是否正确，以及 PRBS 错误校验器是否按预期运行。

6.3.9.3 状态指示器和中断

LOCK_N 引脚是耐 3.3V 电压、低电平有效的开漏输出。逻辑电源需要连接一个外部电阻。LOCK_N 引脚可配置为指示时钟恢复器锁定、输入载波检测、电缆故障检测或中断事件。

6.3.9.3.1 LOCK_N（锁定指示器）

默认情况下，LOCK_N 为时钟恢复器锁定指示器，该引脚在 LMH12x9 锁定到有效 SMPTE 数据速率时变为低电平。LOCK_N 引脚功能还可以通过寄存器控制进行配置，用以指示 CD_N（载波检测）或 INT_N（中断）事件。有关如何重新配置 LOCK_N 引脚功能的更多信息，请参阅 LMH12x9 编程指南。

6.3.9.3.2 CD_N（载波检测）

LOCK_N 引脚可以通过寄存器控制进行重新配置以用于指示 CD_N（载波检测）事件。当配置为 CD_N 输出时，该引脚会在所选输入的载波检测电路检测到有效信号后、自适应结束时，置为低电平。有关如何配置 LOCK_N 引脚以实现 CD_N 功能的更多信息，请参阅 LMH12x9 编程指南。

6.3.9.3.3 电缆故障检测（仅限 SDI_OUT+）

LMH12x9 具有电缆故障检测功能，可指示 SDI_OUT+ 输出端未连接电缆的情况。电缆故障检测功能可以确定 SDI_OUT+ 上长达 600m Belden 1694A 电缆的故障。借助此功能，用户可以对电缆的连接和移除行为做出反应。

启用 SDI_OUT_SEL 后，LMH12x9 会检测 SDI_OUT+ 振幅。如果输出未正确端接（通过端接的电缆或本地终端），则电缆故障检测信号将被置为有效。如果使用了正确的 75Ω 终端，则电缆故障检测信号会被置为无效。

如果使用电缆故障检测功能通过 ENABLE 引脚关闭 LMH12x9，建议在 LMH12x9 短暂上电的情况下定期轮询以监控 SDI_OUT+ 终端。

备注

仅在使用 SDI_OUT+ 极性时，电缆故障检测功能才可用。

6.3.9.3.4 INT_N（中断）

LOCK_N 引脚可以配置为指示 INT_N（中断）事件。配置为 INT_N 输出时，根据编程设定的中断掩码，该引脚在发生中断时变为低电平。在下列情况下，可通过寄存器控制的方式编程四个单独的掩码作为中断源：

- 如果 SDI 输入端发生信号丢失 (LOS) 事件，不论所选输入通道（SDI_IN± 或 SDI_IN1±）为何（两个单独的掩码）。
- 如果已发生 CDR 锁定事件（两个单独的掩码）。

INT_N 为粘滞位，表示该位在发生中断后会带有标志，并且在读回前不清零。读取中断状态寄存器后，INT_N 引脚将再次置位为高电平。有关如何配置 LOCK_N 引脚以实现 INT_N 功能的更多信息，请参阅 LMH12x9 编程指南。

6.3.9.4 附加编程功能

LMH12x9 支持通过 SPI 或 SMBus 串行控制接口进行扩展编程。添加的此类

编程功能适用于：

- 电缆 EQ 指数 (CEI)
- 数字 $MUTE_{REF}$

Copyright © 2024 Texas Instruments Incorporated

6.3.9.4.1 电缆 EQ 指数 (CEI)

电缆 EQ 指数 (CEI) 指示 SDI_IN+ 上使用的电缆 EQ 增强指数。CEI 可通过寄存器控制进行访问。6 位设置值的十进制范围为 0 到 55（二进制为 000000'b 到 110111'b），其中较高的值对应于 SDI 输入端施加的较大增益。

6.3.9.4.2 数字 $MUTE_{REF}$

数字 $MUTE_{REF}$ 可设置在将输出静默之前需要均衡化的 SDI 输入端最大电缆长度的阈值。$MUTE_{REF}$ 寄存器值与均衡化电缆长度成正比。$MUTE_{REF}$ 与数据速率相关。请参阅 LMH12x9 编程指南，为所需的任何 SDI 速率设置 $MUTE_{REF}$ 阈值。

6.4 器件功能模式

LMH12x9 以两种模式之一运行：系统管理总线 (SMBus) 或串行外设接口 (SPI) 模式。为确定运行模式，必须在上电时对 MODE_SEL 引脚应用正确的设置，详情请参见表 6-9。

表 6-9. MODE_SEL 引脚设置

电平(1)	定义
H(2)	强制省电模式，仅启用 SPI（所有其他电路均断电）
F	选择 SPI 以访问寄存器
R	保留以用于出厂测试 - 请勿使用
L	选择 SMBus 接口以访问寄存器

(1) 有关 LMH12x9 引脚映射的详细信息，请参阅引脚配置和功能。
(2) 为了实现引脚兼容性，请注意 LMH1297 引脚配置将 H 电平定义为“保留以用于出厂测试 - 请勿使用”。

6.4.1 系统管理总线 (SMBus) 模式

SMBus 接口也可用于控制该器件。如果 MODE_SEL = 低电平（1kΩ 电阻连接至 VSS），则 PICO_SDA 和 SCK_SCL 引脚配置为 SDA 和 SCL。CS_N_ADDR0 和 POCI_ADDR1 引脚在上电期间为地址配置 (strap) ADDR0 和 ADDR1。SMBus 引脚支持的最大运行速度为 400kHz。

表 6-10. SMBus 器件目标地址 (1)

ADDR0 (LEVEL)	ADDR1 (LEVEL)	7 位目标地址 [十六进制]	8 位写命令 [十六进制]
L	L	3D	7A
L	R	3E	7C
L	F	3F	7E
L	H	40	80
R	L	41	82
R	R	42	84
R	F	43	86
R	H	44	88
F	L	45	8A
F	R	46	8C
F	F	47	8E
F	H	48	90
H	L	49	92
H	R	4A	94
H	F	4B	96
H	H	4C	98

(1) 8 位写命令由 7 位目标地址（位 7:1）和 LSB 后附加的 0 组成，用于指示 SMBus 写操作。例如，如果 7 位目标地址为 0x3D (011 1101'b)，则 8 位写命令即为 0x7A (0111 1010'b)。

Copyright © 2024 Texas Instruments Incorporated

6.4.1.1 SMBus 读写事务

SMBus 是一个两线制串行接口，可供各种系统元件芯片与控制器进行通信。目标器件由独特的器件地址进行标识。该两线制串行接口由 SCL 和 SDA 信号构成。SCL 是从控制器到总线上所有目标器件的时钟输出。SDA 是控制器和目标器件之间的双向数据信号。LMH12x9 SMBus SCL 和 SDA 信号为开漏信号，需要连接外部上拉电阻。

启动和停止：

控制器可在每项事务开始和结束时生成启动和停止模式。

- 启动：SCL 保持高电平时，SDA 从高电平转换到低电平（下降沿）。
- 停止：SCL 保持高电平时，SDA 从低电平转换到高电平（上升沿）。

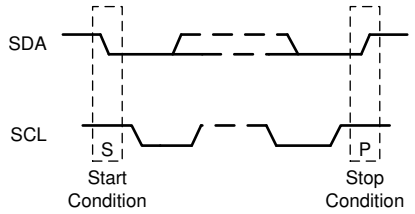


图 6-3. 启动和停止条件

控制器为每次字节传输生成九个时钟脉冲。第 9 个时钟脉冲构成 ACK 周期。发送器会释放 SDA，允许接收器发送 ACK 信号。当器件将 SDA 下拉为低电平时，会记录 ACK；当线路保持高电平时，则记录 NACK。

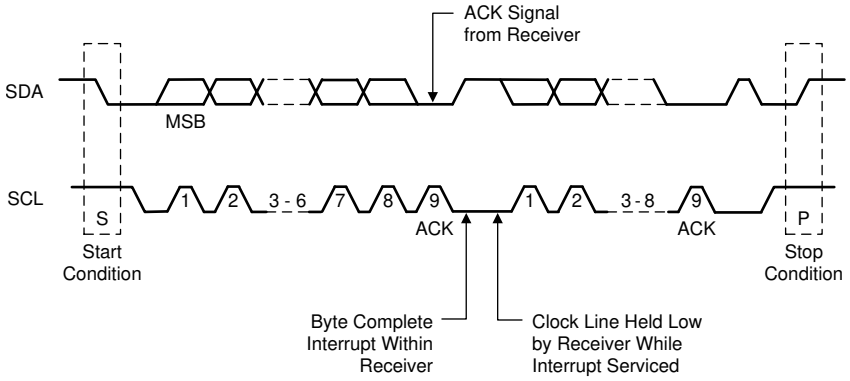


图 6-4. 确认 (ACK)

6.4.1.1.1 SMBus 写操作格式

将数据写入目标器件的操作分为三个部分，如图 6-5 所述：

1. 控制器首先发送启动条件，后跟目标器件地址，并且 R/$\overline{W}$ 位设置为 0’b。
2. 在收到目标器件发出的 ACK 信号后，控制器向目标器件写入 8 位寄存器字地址。
3. 在收到目标器件发出的 ACK 信号后，控制器向目标器件写入 8 位数据，后跟一个停止条件。

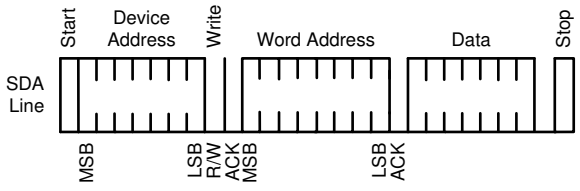


图 6-5. SMBus 写操作

6.4.1.1.2 SMBus 读操作格式

SMBus 读操作由四个部分组成，如图 6-6 所示：

1. 控制器首先发送启动条件，后跟目标器件地址，并且 R/$\overline{W}$ 位设置为 0'b。
2. 在收到目标器件发出的 ACK 信号后，控制器向目标器件写入 8 位寄存器字地址。
3. 在收到目标器件发出的 ACK 信号后，控制器发起重新启动条件，后跟目标地址，且 R/$\overline{W}$ 位设为 1'b。
4. 在收到目标器件发出的 ACK 信号后，控制器读回 8 位数据。如果无需读取更多的字节，则最后的 ACK 为高电平，最后一次读操作后将发送停止条件。

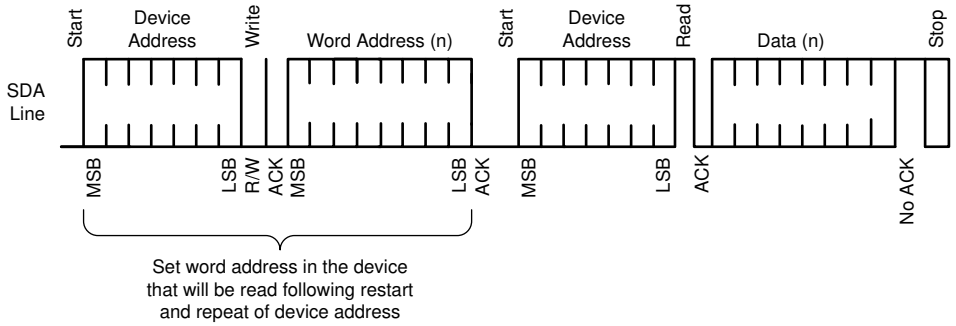


图 6-6. SMBus 读操作

6.4.2 串行外设接口 (SPI) 模式

如果 MODE_SEL = F 或 H，那么 LMH12x9 处于 SPI 模式。在 SPI 模式下，以下引脚用于 SPI 总线通信：

- PICO_SDA：外设输入控制器输出
- POCI_ADDR1：外设输出控制器输入
- CS_N_ADDR0：片选（低电平有效）
- SCK_SCL：串行时钟（LMH12x9 外设的输入）

6.4.2.1 SPI 读写事务

单个器件的每个 SPI 事务均为 17 位长，在置位为低电平时由 CS_N 构成。只要 CS_N 置为无效（高电平），便会忽略 PICO 输入，并将 POCI 输出悬空。

这些位按从左到右的顺序移位。第一个位为 R/$\overline{W}$，对于*读*操作，该位为 1'b，对于*写*操作，该位为 0'b。位 A7-A0 为 8 位寄存器地址，位 D7-D0 为 8 位读/写数据。之前的 SPI 命令、地址和数据在 POCI 移出，而当前的命令、地址和数据在 PICO 移入。在所有 SPI 事务中，当 CS_N 置位为低电平时将异步启用 POCI 输出信号。单个 PICO 或 POCI 事务帧的内容如表 6-11 所示。

表 6-11. 17 位单个 SPI 事务帧

R/$\overline{W}$	A7	A6	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

6.4.2.1.1 SPI 写事务格式

对于 SPI 写操作，R/W 位为 0'b。每个器件的 SPI 写事务为 17 位，并在 CS_N 的上升沿执行命令。SPI 事务始终在时钟的上升沿开始。

SPI 写事务的信号时序如图 6-7 所示。POCI 端的*去*值（比如 A7'）反映来自前一 SPI 事务的移位寄存器的内容，并且与当前事务无关。

Copyright © 2024 Texas Instruments Incorporated

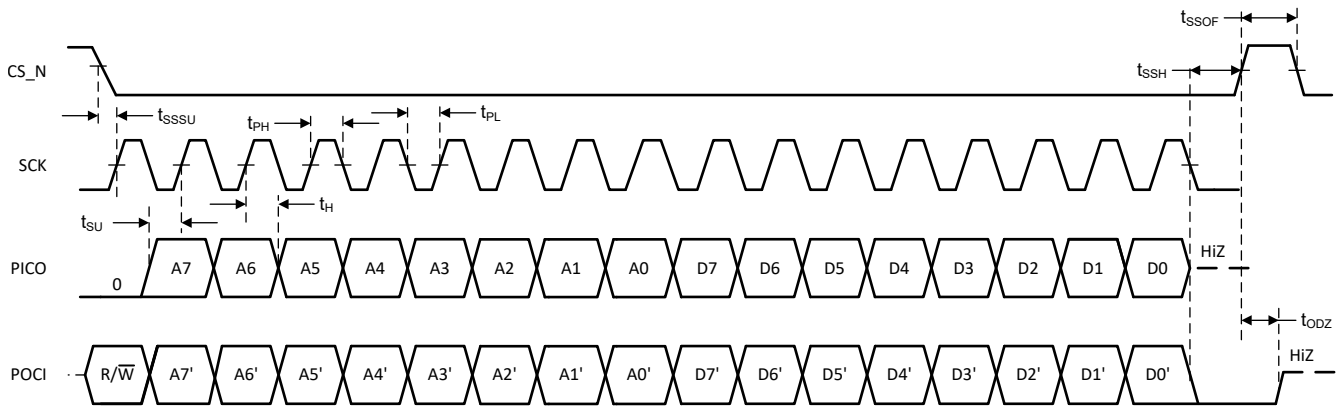


图 6-7. SPI 写事务的信号时序

6.4.2.1.2 SPI 读事务格式

每个器件的一个 SPI 读事务为 34 位，含两个 17 位帧。第一个 17 位读事务帧移入待读取的地址，随后虚拟事务第二个帧移出 17 位读数据。对于读事务，R/W 位为 1'b，如图 6-8 所示。

读事务的前 17 位指定了 1 位 R/W 和前 8 位中的 8 位地址 A7-A0。地址后的八个 1 会被忽略。第二个虚拟事务如同对地址 0xFF 执行读操作，需要忽略。不过，为移出 POCI 输出后 8 位中的读数据 D7-D0，需要用到该事务。与 SPI 写操作一样，POCI 在前 16 个时钟期间的 *主* 值与事务的这部分无关。后 17 个时钟期间在 POCI 移出的数值会影响当前事务的读地址和 8 位读数据。

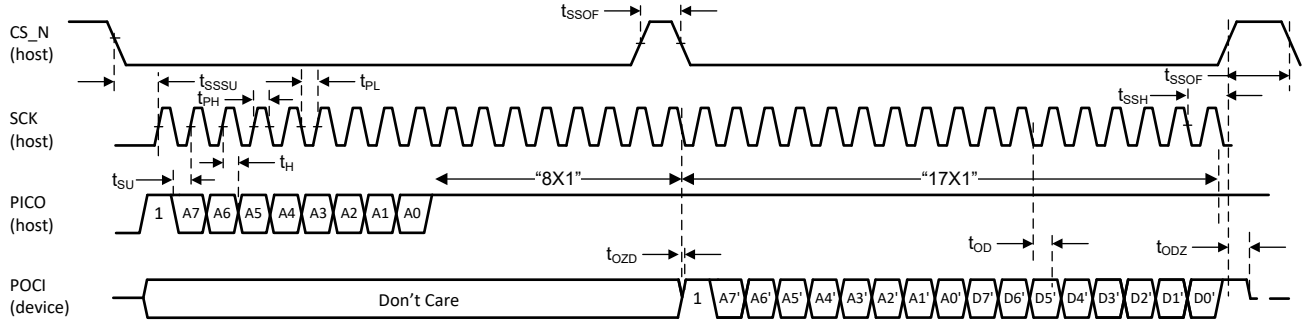


图 6-8. SPI 读事务的信号时序

6.4.2.2 SPI 菊花链

LMH12x9 支持以 SPI 菊花链的形式连接多个器件，如图 6-9 所示。

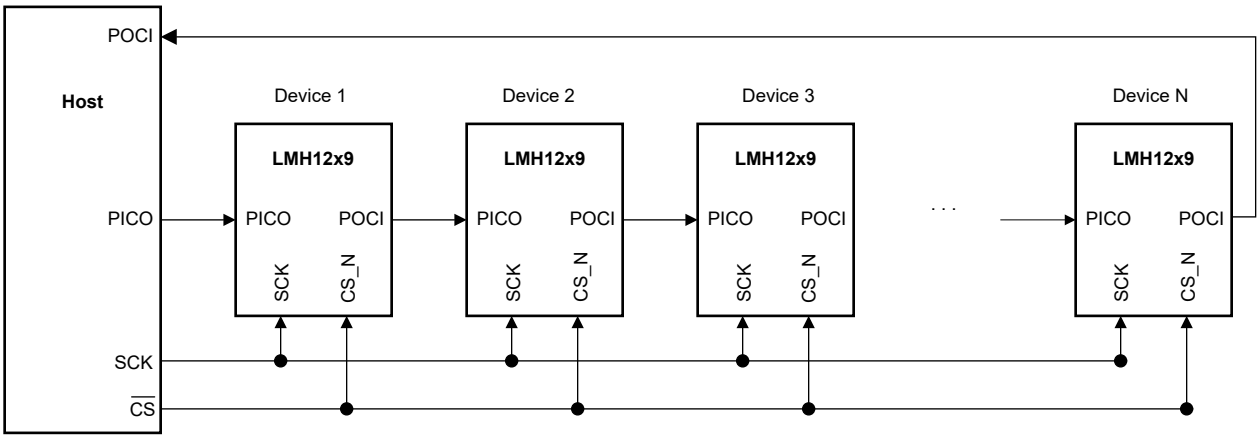


图 6-9. 菊花链配置

每个 LMH12x9 器件直接连接到主机的 SCK 和 CS_N 引脚。菊花链中的第一个 LMH12x9 器件连接到主机的 PICO 引脚，菊花链中的最后一个器件连接到主机的 POCI 引脚。菊花链中间各 LMH12x9 器件的 PICO 引脚连接到前一个 LMH12x9 器件的 POCI 引脚，从而形成一个串行移位寄存器。在 N 个 LMH12x9 器件组成的菊花链配置中，对于主机，从概念上可视作一个长度为 17 × N 的移位寄存器，用于基本的 SPI 事务，在此事务期间，CS_N 在 17 × N 个时钟周期内置位为低电平。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 SMPTE 要求和规范

SMPTE 指定了串行数字接口通过同轴电缆传输数字视频信号的多项关键要求。这些要求包括回波损耗、交流耦合以及上升和下降时间与数据速率的相关性。

1. **回波损耗：**此规范详细说明了端口在指定频段内与 75Ω 阻抗的接近程度。LMH12x9 在 SDI_IN、SDI_IN1 和 SDI_OUT 上具有内置 75Ω 回波损耗网络，可更大限度地减弱寄生效应并提高整体信号完整性。
2. **交流耦合：**为了传输包含大量低频内容的未压缩串行数据流，需要使用交流耦合电容器。建议使用 4.7μF 交流耦合电容器，避免低频直流漂移。
3. **上升/下降时间：**输出 75Ω 信号需要满足与数据相关的上升和下降时序要求。这样可以改善针对接收器件观测到的眼图张开度。LMH12x9 SDI_OUT 电缆驱动器具有自动边沿速率调整功能，可满足 SMPTE 上升和下降时间要求。

为符合 SMPTE 规范，TI 建议将 LMH12x9 放置在尽可能靠近 75Ω BNC 端口的位置（大约 1 英寸）。

7.1.2 优化自适应和锁定时间

当载波检测被置为有效后，LMH12x9 会将电缆均衡器自动调整至最优 CTLE 和 DFE 设置，并锁定到确定的 SDI 数据速率。在并非所有 SDI 速率都被使用的应用中，为了优化自动调整均衡器并实现 CDR 锁定至输入信号所需的时间，可手动编程 LMH12x9 以仅锁定到预期的数据速率。有关更多详细信息，请参阅 LMH12x9 编程指南。

7.1.3 针对诊断或级联应用进行了优化的环路带宽设置

LMH12x9 默认环路带宽设置针对各种应用进行了优化。对于诊断或级联应用，SDI_OUT 电缆驱动器输出可用于监测、扇出或电缆延长器用途。为了更大限度地降低具有相同 CDR 环路带宽设置的多个级联器件所导致的抖动峰值的影响，可以通过引脚配置 (LOOP_BW_SEL) 或寄存器控制的方式在默认设置基础上增加或减少 LMH12x9 CDR 环路带宽。有关 CDR 环路带宽控制的信息，请参阅 *CDR 环路带宽控制*。如果需要比 LOOP_BW_SEL 引脚配置选项更精细的环路带宽控制，请参阅 LMH12x9 编程指南。

7.1.4 LMH1229 和 LMH1297（EQ 模式）引脚对引脚兼容性

LMH1229 引脚排列和封装与 EQ 模式下使用的 LMH1297（具有集成时钟恢复器的 12G-SDI 双向 I/O）兼容。此引脚兼容性可实现简单的升级路径，从而提高 SDI 电缆长度性能。图 7-1 显示了引脚排列差异的摘要。

Copyright © 2024 Texas Instruments Incorporated

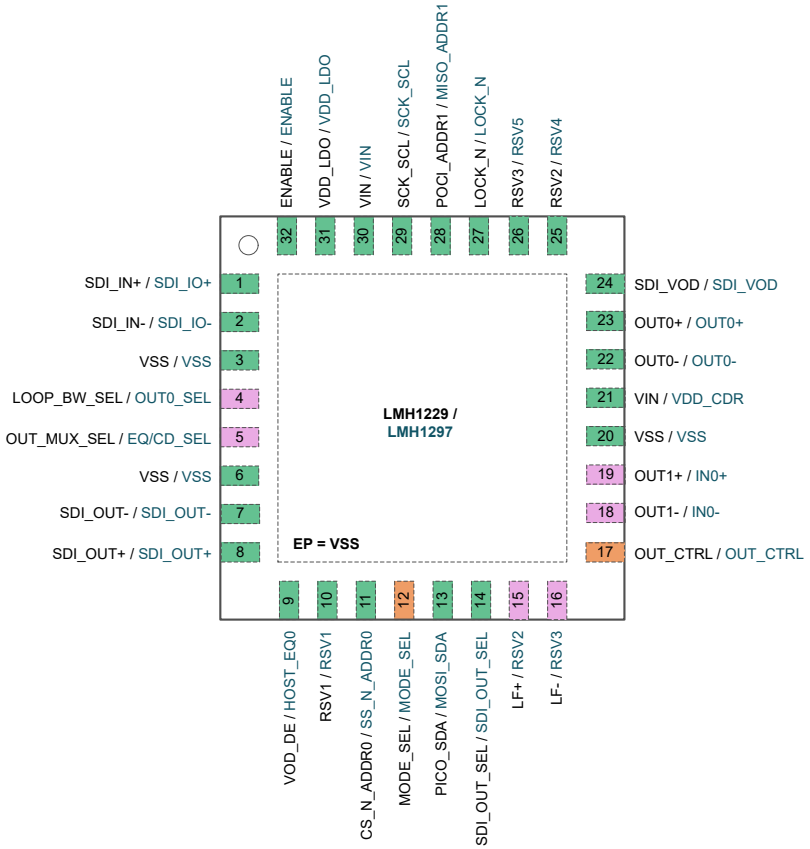


图 7-1. LMH1219 与 LMH1297 的引脚排列差异

图例
无需特殊配置
次要引脚设置差异
主要引脚设置和定义差异

有关器件引脚功能的详细比较情况，请参阅表 7-1。

表 7-1. LMH1229 与 LMH1297（EQ 模式）引脚对引脚比较

引脚编号	LMH1229	LMH1297	差异摘要(1)
1	SDI_IN+	SDI_IO+	无
2	SDI_IN-	SDI_IO-	
8	SDI_OUT+	SDI_OUT+	无
7	SDI_OUT-	SDI_OUT-	
23	OUT0+	OUT0+	无
22	OUT0-	OUT0-	
19	OUT1+	IN0+	LMH1229：次级 100Ω PCB 输出。 LMH1297：不用考虑。在 EQ 模式下未使用引脚。 对于引脚兼容的功能：保持悬空。
18	OUT1-	IN0-	
4	LOOP_BW_SEL	OUT0_SEL	LMH1229：4 电平 CDR 环路带宽控制。 LMH1297：不用考虑。在 EQ 模式下始终启用 OUT0。 对于引脚兼容的功能：保持悬空（电平 F）。

Copyright © 2024 Texas Instruments Incorporated

表 7-1. LMH1229 与 LMH1297（EQ 模式）引脚对引脚比较（续）

引脚编号	LMH1229	LMH1297	差异摘要(1)
5	OUT_MUX_SEL	EQ/CD_SEL	LMH1229：4 电平输出多路复用器选择控制。 LMH1297：针对 EQ 模式保持低电平 对于引脚兼容的功能：仅针对 100Ω OUT0 PCB 输出保持低电平。
9	VOD_DE	HOST_EQ0	无
12	MODE_SEL	MODE_SEL	LMH1229：电平 H 强制进入省电模式（启用 SPI）。 LMH1297：保留电平 H。 对于引脚兼容的功能：仅使用电平 F、R 或 L。
14	SDI_OUT_SEL	SDI_OUT_SEL	无
15	LF+	RSV2	LMH1229：可选的外部环路滤波电容器（不连接的情况下将以默认模式运行）。 LMH1297：保留（不连接）。 对于引脚兼容的功能：保持悬空。
16	LF-	RSV3	
17	OUT_CTRL	OUT_CTRL	LMH1229：为 OUT0、OUT1 和 SDI_OUT 选择旁路模式运行。 LMH1297：仅为 OUT0 选择旁路模式运行 对于引脚兼容的功能：保持悬空（电平 F）。
24	SDI_VOD	SDI_VOD	无
27	LOCK_N	LOCK_N	无
32	ENABLE	ENABLE	无
11	CS_N_ADDR0	SS_N_ADDR0	无 注意：LMH1229 与 LMH1297 SMBus 模式器件地址之间存在差异。
28	POCI_ADDR1	MISO_ADDR1	无 注意：LMH1229 与 LMH1297 SMBus 模式器件地址之间存在差异。
13	PICO_SDA	MOSI_SDA	无
29	SCK_SCL	SCK_SCL	无
10	RSV1	RSV1	无
25	RSV2	RSV4	无
26	RSV3	RSV5	无
3、6、20	VSS	VSS	无
30	VIN	VIN	无
21	VIN	VDD_CDR	无。连接到与引脚 30 (VIN) 相同的外部电源。

(1) 差异摘要中假设 LMH1297 在 EQ 模式下运行。

Copyright © 2024 Texas Instruments Incorporated

7.2 典型应用

LMH12x9 是具有集成时钟恢复器的远距离电缆均衡器，支持高达 11.88Gbps 的 SDI 数据速率。

此器件支持多种配置，可用作上一代 EQ 模式 LMH1297 的引脚兼容型升级产品 (LMH1229)，也可用作具有冗余 SDI 输入的稳健电缆均衡器 (LMH1239)。图 7-2 显示了 LMH1229 的典型应用电路。

以下各小节详细介绍了 LMH12x9 典型应用的具体示例。

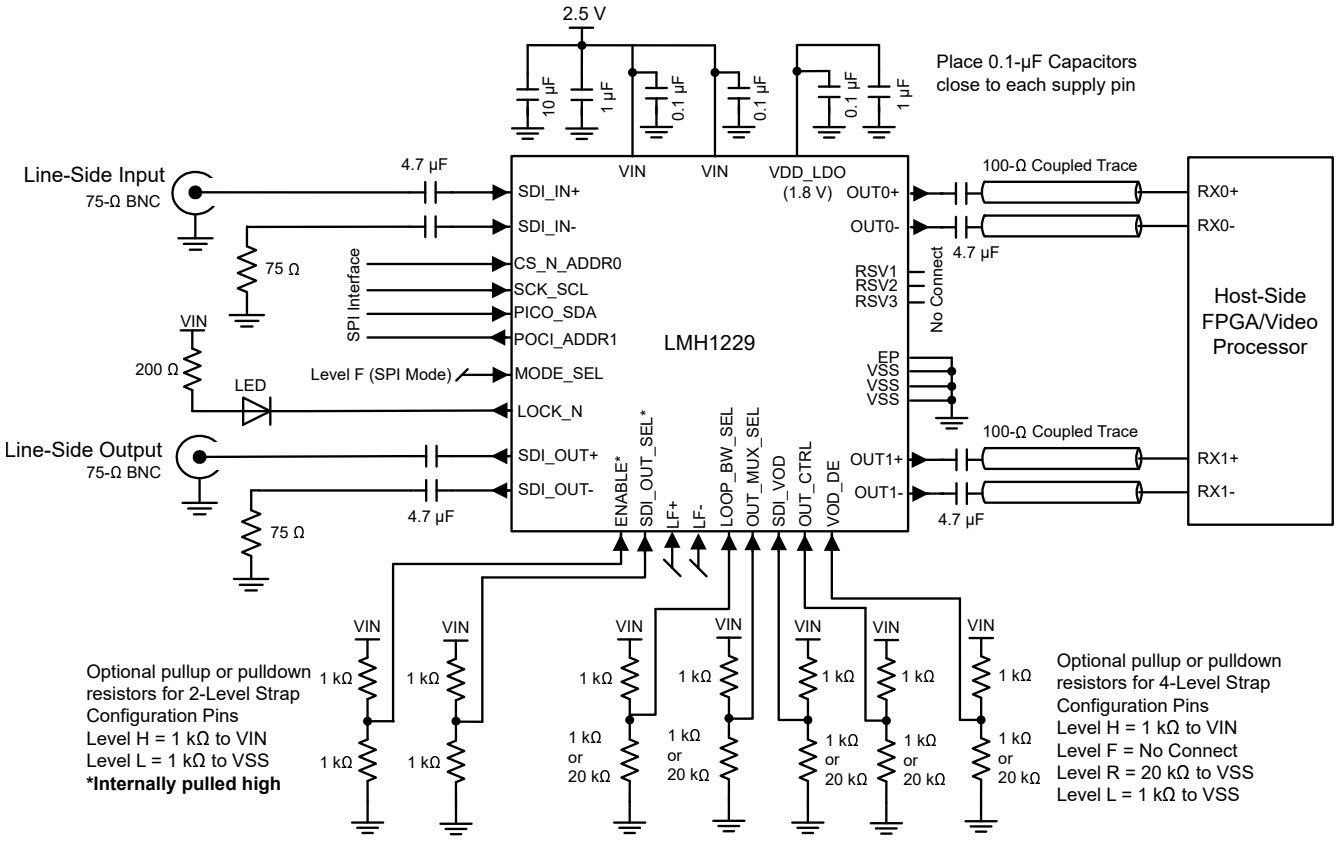


图 7-2. LMH12x9 SPI 模式连接图

Copyright © 2024 Texas Instruments Incorporated

7.2.1 具有环通功能的电缆均衡器

LMH12x9 可配置为具有环通输出的电缆均衡器。LMH12x9 在 SDI_IN 自适应电缆均衡器输入端接受 SDI 数据，并在 OUT0（初级输出）和 OUT1（可选次级输出）上输出经过时钟恢复的 SDI 信号。同时，在 SDI_OUT 上会输出冗余的经过时钟恢复的环通 SDI 信号以用于系统监测或级联目的。

图 7-3 显示了 LMH12x9 作为电缆环通器件的典型应用。在此示例中，LMH12x9 在 OUT0 和 OUT1 上向 SDI FPGA 提供 SDI 信号。同时，经过均衡化和时钟恢复的 SDI_IN 信号发送到环通 SDI_OUT 电缆驱动器输出端。与此同时，FPGA 通过具有集成时钟恢复器的 LMH1228 双路电缆驱动器发送经过后处理的 SDI 数据。

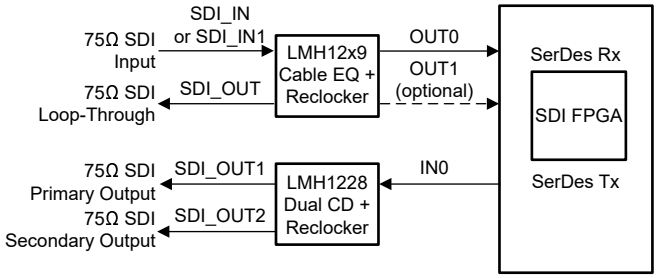


图 7-3. LMH12x9 电缆环通应用

7.2.1.1 设计要求

有关 LMH12x9 的一般设计要求，请参阅表 7-2 中的指南。

对于需要满足环通应用特定要求的电缆均衡器，请参阅表 7-3 中的指南。

表 7-2. 一般设计要求

设计参数	要求
SDI_IN+、SDI_IN1+（仅限 LMH1239）、SDI_OUT+ 交流耦合电容器	建议使用 4.7 µF 0402 表面贴装陶瓷电容器。
SDI_IO–、SDI_IN1–（仅限 LMH1239）、SDI_OUT– 交流耦合电容器	建议使用 4.7 µF 0402 表面贴装陶瓷电容器，并使用连接到 VSS 的 75Ω 电阻进行交流端接。如果正极性通过连接到 VSS 的 75Ω 电阻进行交流端接，则可以使用负极性。
OUT0± 和 OUT1± 交流耦合电容器	建议使用 4.7 µF 0402 表面贴装陶瓷电容器。
输入和输出终端	内部提供的输入和输出终端。请**勿**添加外部终端。
高速 OUT0± 和 OUT1± 布线阻抗	用耦合电路板布线和 100Ω 差分阻抗为 OUT0± 和 OUT1± 进行布线。
SMPTE 回波损耗	将 BNC 放在与 LMH12x9 距离不超过 1 英寸的位置，咨询 BNC 供应商获取建议采用的 BNC 焊盘布局以满足 SMPTE 要求。
SDI_IN+ 和 SDI_OUT+ 串扰	当 SDI_IN+ 连接的同轴电缆较长时，SDI_IN+ 上的信号振幅可能只有几个 mVpp。必须考虑布局注意事项，尽可能减少相邻器件或相邻输出端口 SDI_OUT+ 引起的串扰。为减弱交叉耦合效应，应使 SDI_OUT+ 布线尽可能远离 SDI_IN+。不使用 SDI_OUT+ 时，TI 建议关闭输出 (SDI_OUT_SEL = H) 以获得最理想的结果。 注意：使用 LMH1239 时，相同的设计要求也适用于 SDI_IN1+ 和 SDI_OUT+。
直流电源去耦电容器	10 µF 和 1 µF 大容量电容器：靠近每个器件放置。 0.1 µF 电容器：靠近每个电源引脚放置。
VDD_LDO 去耦电容器	1 µF 和 0.1 µF 电容器：尽量靠近器件 VDD_LDO 引脚放置。请**勿**将 VDD_LDO 用作外部元件的 1.8V 电源。
MODE_SEL 引脚	SPI：使 MODE_SEL 保持未连接状态（电平 F） SMBus：将 1kΩ 电阻连接到 VSS（电平 L）
输入 SDI 时钟恢复数据速率	11.88Gbps、5.94Gbps、2.97Gbps、1.485Gbps 或 1.001 分频子速率和 270Mbps。对于所有其他输入数据速率，时钟恢复器会自动被旁路掉。

Copyright © 2024 Texas Instruments Incorporated

表 7-3. 满足环通要求的电缆均衡器

设计参数	要求
OUT_MUX_SEL 引脚	将 1kΩ 电阻连接到 VSS（电平 L）或悬空（电平 F）可仅启用 OUT0±。 将 20kΩ 电阻连接到 VSS（电平 R）可启用 OUT0± 和 OUT1±。
LOOP_BW_SEL 引脚	将 1kΩ 电阻连接到 VIN（电平 H）或悬空（电平 F）可实现默认 CDR 环路带宽运行（LF± 上无外部电容器）。 将 20kΩ 电阻连接到 VSS（电平 R）或将 1kΩ 电阻连接到 VSS（电平 L）可降低环路带宽（LF± 上需要外部电容器）。
SDI_OUT_SEL 引脚	将 1kΩ 电阻连接到 VSS（电平 L）可启用电缆环通 SDI_OUT。 将 1kΩ 电阻连接到 VIN（电平 H）可禁用电缆环通 SDI_OUT。

7.2.1.2 详细设计过程

具有环通应用的电缆均衡器的设计过程如下：

1. 选择满足*建议运行条件*中的直流和交流要求的电源。
2. 选择小型 0402 表面贴装陶瓷电容器作为交流耦合电容器，以便保持特征阻抗。
3. 选择能够支持 11.88Gbps 应用的高质量 75Ω BNC 连接器。咨询 BNC 供应商有关插入损耗、阻抗规范和推荐尺寸的信息，以满足 SMPTE 回波损耗要求。
4. 请遵循*布局指南*中提供的详细高速布局建议，以便在将 75Ω 和 100Ω 信号互连到 LMH12x9 时确保出色的信号质量。
5. 确定是否需要进行 SPI 或 SMBus 通信。如果 LMH12x9 必须编程为不同于引脚控制提供的设置，用户必须使用 SPI 或 SMBus 模式进行额外编程。
6. 根据所需用例配置所有的两电平和四电平引脚。请注意，引脚设置可通过寄存器控制进行覆盖。
7. 对 VOD_DE 100Ω 驱动器控制引脚进行调优以均衡 OUT0± 和 OUT1±（如果使用）之后的 PCB 输出布线。如有必要，可以使用寄存器控制来获取更多调优选项。
8. 如果 SDI_OUT 用于诊断或级联应用，请根据连接到 SDI_OUT+ 的电缆长度来调优 SDI_VOD 输出振幅控制引脚以获得出色的信号质量。如有必要，可以使用寄存器控制来获取更多调优选项。

7.2.1.3 应用曲线

LMH12x9 输出眼图性能是通过图 7-4 和图 7-5 中所示的测试设置进行测量的。

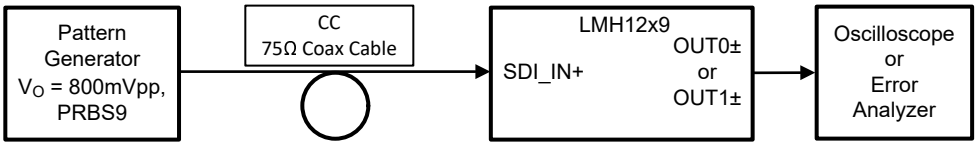


图 7-4. LMH12x9 PCB 输出（OUT0±、OUT1±）的测试设置

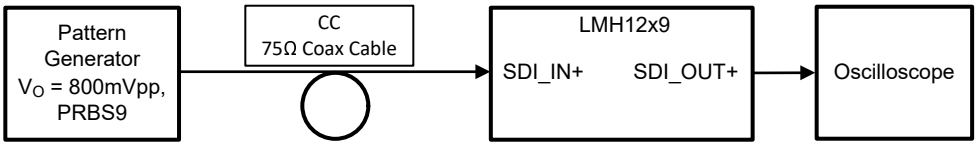


图 7-5. LMH12x9 环通 (SDI_OUT+) 的测试设置

本小节在 LMH1239EVM 上测得的眼图展示了 LMH12x9 在 OUT0± 和 OUT1± 上的 100Ω 差分 PCB 输出（图 7-7 - 图 7-8），以及 LMH12x9 在 SDI_OUT+ 上的 75Ω 环通电缆输出（图 7-9）。

此外，LMH12x9 BER（误码率）性能通过图 7-6 中所示的测试设置进行测量。图 7-10 展示了 LMH1239EVM 上的 Phabrix Qx BER 结果。

Copyright © 2024 Texas Instruments Incorporated

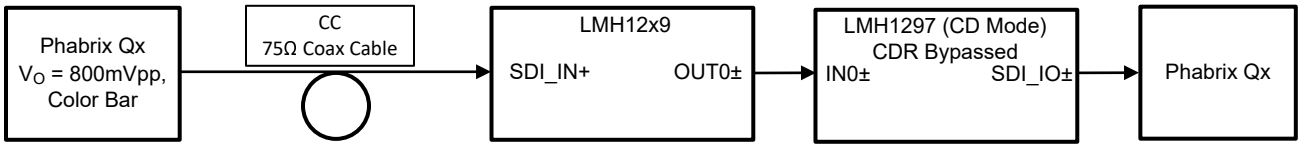
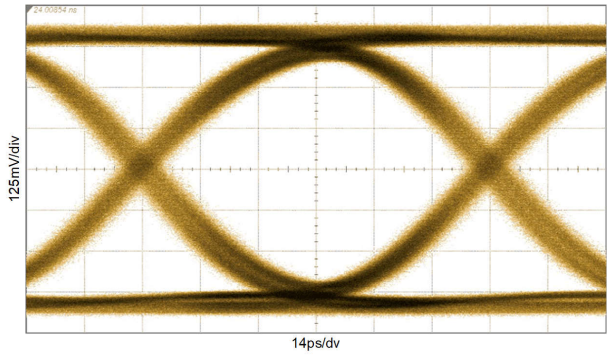
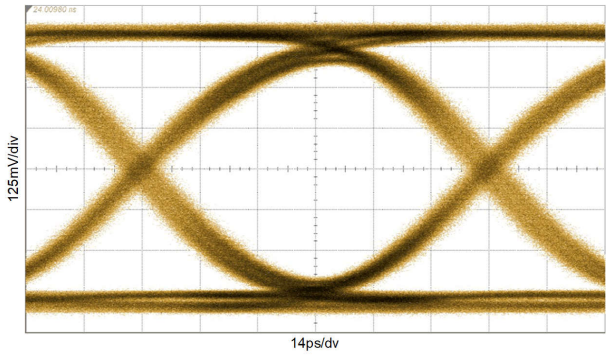


图 7-6. LMH12x9 BER 性能的测试设置 (OUT0±)



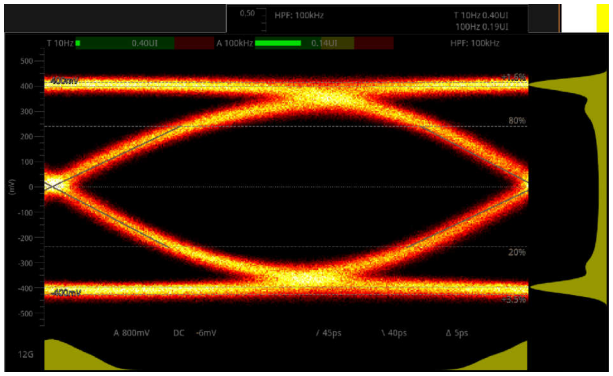
VOD_DE = F、SDI_OUT_SEL = H、OUT_CTRL = F

图 7-7. OUT0± 为 11.88Gbps (12G-SDI)，CC = 100m Belden 1694A，经过时钟恢复



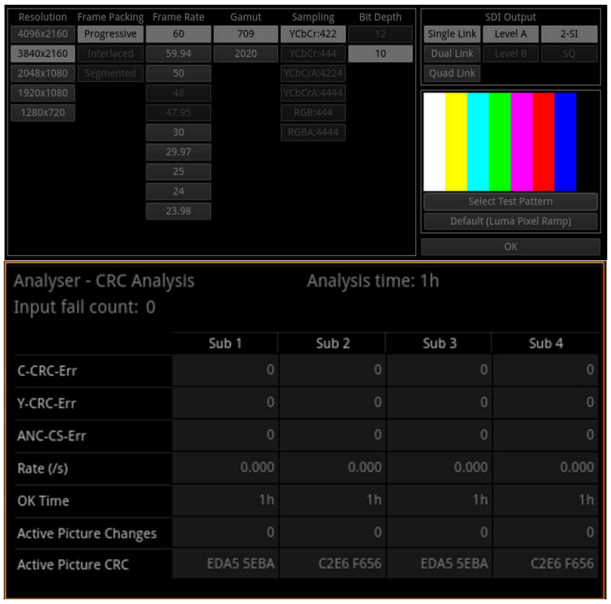
VOD_DE = F、SDI_OUT_SEL = H、OUT_CTRL = F

图 7-8. OUT1± 为 11.88Gbps (12G-SDI)，CC = 100m Belden 1694A，经过时钟恢复



VOD_DE = F、SDI_OUT_SEL = L、OUT_CTRL = F

图 7-9. SDI_OUT+ 为 11.88Gbps (12G-SDI)，CC = 90m Belden 1694A，经过时钟恢复



VOD_DE = F、SDI_OUT_SEL = H、OUT_CTRL = F

图 7-10. OUT0± BER 为 11.88Gbps (12G-SDI)，CC = 100m Belden 1694A，经过时钟恢复

7.2.2 具有冗余 SDI 输入的电缆均衡器（仅限 LMH1239）

LMH1239 可配置为具有冗余 SDI 输入的电缆均衡器，适用于需要系统稳健性和布线灵活性的应用。SDI 输入数据由 2:1 输入多路复用器从 SDI_IN 或 SDI_IN1 进行选择。然后，所选的 SDI 输入通过自适应电缆均衡器馈送，并在 OUT0（初级输出）和 OUT1（可选次级输出）上输出经过时钟恢复的 SDI 信号。同时，在 SDI_OUT 上会输出冗余的经过时钟恢复的环通 SDI 信号以用于系统监测或级联目的。

图 7-11 显示了具有冗余 SDI 输入的 LMH1239 的典型应用。在本例中，LMH1239 在主 BNC 输入 (SDI_IN) 和备用 BNC 输入 (SDI_IN1) 之间进行选择。在本用例中，仅在 SDI_IN 上发现问题时才使用 SDI_IN1。LMH1239 在 OUT0 和 OUT1 上向 SDI FPGA 提供 SDI 信号。

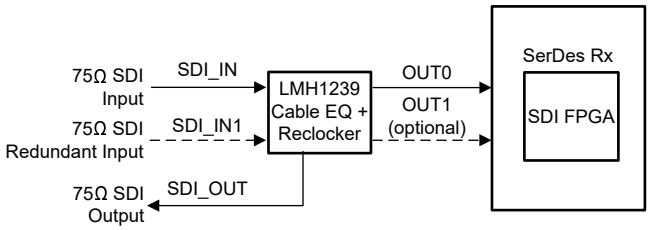


图 7-11. LMH1239 具有冗余 SDI 输入的电缆均衡器应用

7.2.2.1 设计要求

有关一般 LMH12x9 设计要求，请参阅*设计要求*。

对于具有冗余 SDI 输入应用特定要求的 LMH1239 电缆均衡器，请参考表 7-4 中的指南。

表 7-4. LMH1239 具有冗余 SDI 输入的电缆均衡器要求

设计参数	要求
IN_MUX_SEL 引脚	将 1kΩ 电阻连接到 VIN（电平 H）或保持悬空（电平 F）可选择 SDI_IN 将 20kΩ 或 1kΩ 连接到 VSS（电平 R、L）可选择 SDI_IN1

7.2.2.2 详细设计过程

请参阅*详细设计过程*，并按照其中的所有步骤操作。有关冗余 SDI 输入应用，请参阅以下附加步骤。

1. 确定所需的初级和次级 SDI 输入。为了提高电缆环通应用 (SDI_OUT_SEL = L) 中的抗扰度，建议将 SDI_IN1 用作初级输入，以便更大限度地提高 SDI 输入和 SDI 输出 (SDI_OUT) 之间的物理隔离性能（并尽量减少串扰导致的衰减）。
2. 根据所需的 SDI 输入，配置 IN_MUX_SEL 4 电平输入。

7.2.2.3 应用曲线

LMH1239 输出眼图性能是通过图 7-12 中所示的测试设置进行测量的。

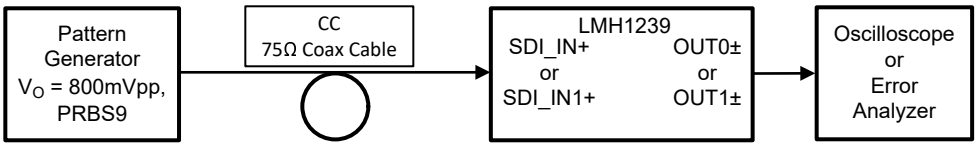


图 7-12. LMH1239 PCB 输出及冗余 SDI 输入的测试设置

本小节在 LMH1239EVM 上测得的眼图展示了 LMH1239 在 OUT0± 和 OUT1± 上的 100Ω 差分 PCB 输出（图 7-14 - 图 7-17）。

此外，LMH1239 BER（误码率）性能通过图 7-13 中所示的测试设置进行测量。图 7-18 和图 7-19 展示了 LMH1239EVM 上的 Phabrix Qx BER 结果。

Copyright © 2024 Texas Instruments Incorporated

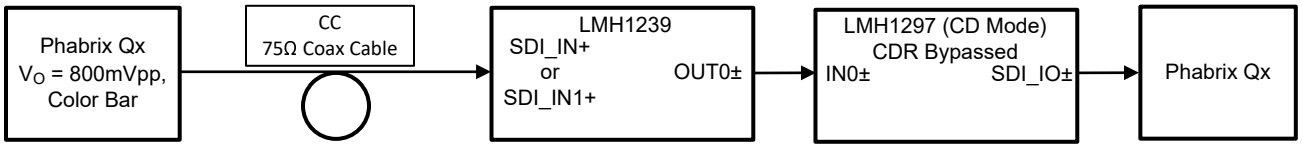
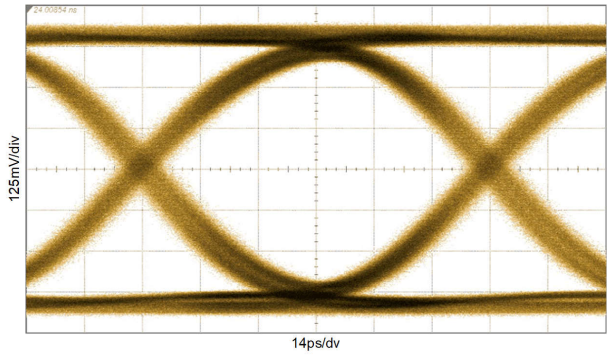
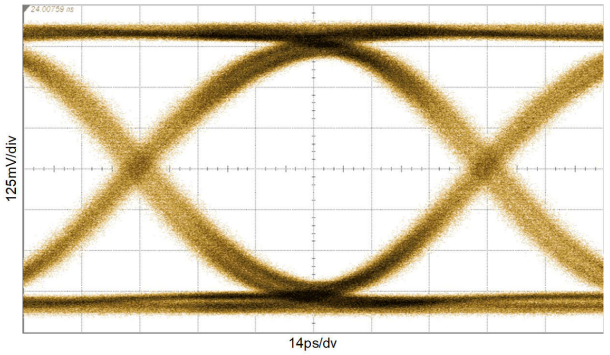


图 7-13. LMH1239 BER 性能 (OUT0±) 及冗余 SDI 输入的测试设置



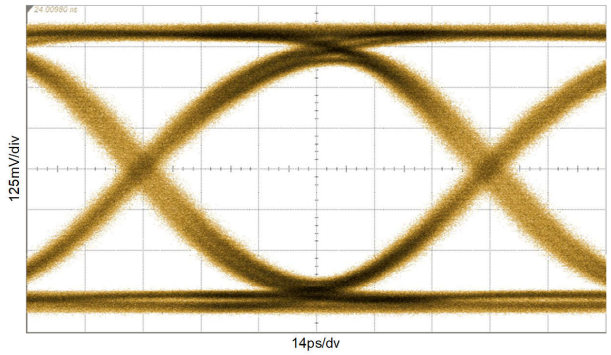
IN_MUX_SEL = F、VOD_DE = F、SDI_OUT_SEL = H、OUT_CTRL = F

图 7-14. OUT0± 为 11.88Gbps (12G-SDI)，CC = 100m Belden 1694A 位于 SDI_IN+，经过时钟恢复



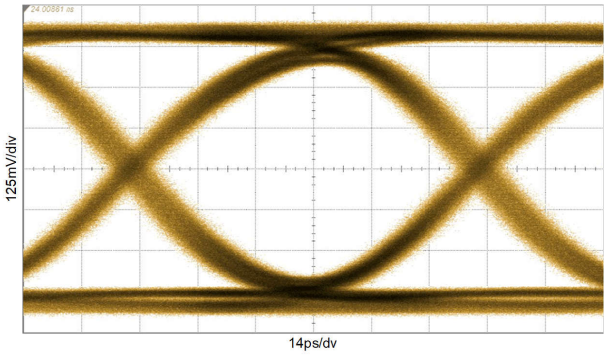
IN_MUX_SEL = L、VOD_DE = F、SDI_OUT_SEL = H、OUT_CTRL = F

图 7-15. OUT0± 为 11.88Gbps (12G-SDI)，CC = 100m Belden 1694A 位于 SDI_IN1+，经过时钟恢复



IN_MUX_SEL = F、VOD_DE = F、SDI_OUT_SEL = H、OUT_CTRL = F

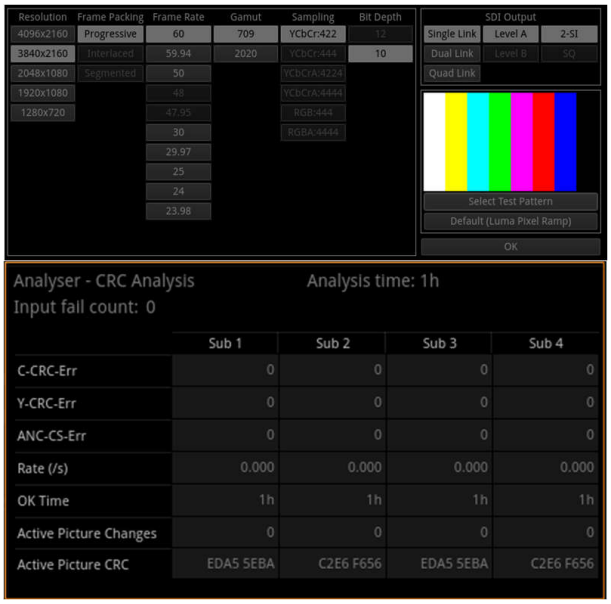
图 7-16. OUT1± 为 11.88Gbps (12G-SDI)，CC = 100m Belden 1694A 位于 SDI_IN+，经过时钟恢复



IN_MUX_SEL = L、VOD_DE = F、SDI_OUT_SEL = H、OUT_CTRL = F

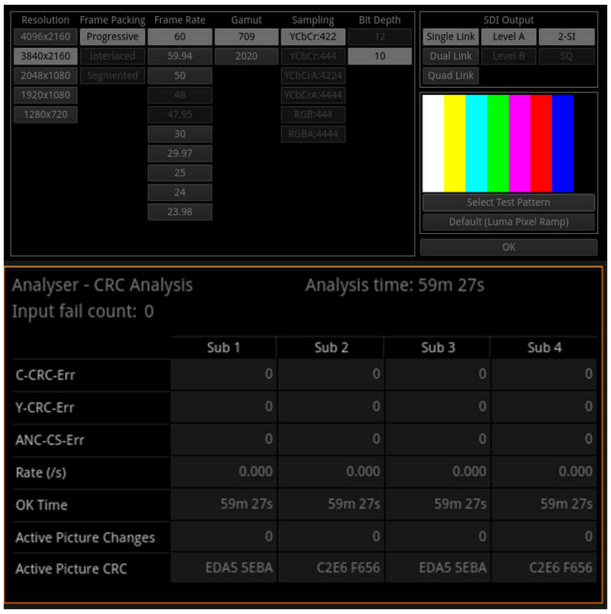
图 7-17. OUT1± 为 11.88Gbps (12G-SDI)，CC = 100m Belden 1694A 位于 SDI_IN1+，经过时钟恢复

Copyright © 2024 Texas Instruments Incorporated



IN_MUX_SEL = F（选择 SDI_IN）、VOD_DE = F、SDI_OUT_SEL = H、OUT_CTRL = F

图 7-18. OUT0± BER 为 11.88Gbps (12G-SDI)，CC = 100m Belden 1694A，经过时钟恢复



IN_MUX_SEL = L（选择 SDI_IN1）、VOD_DE = F、SDI_OUT_SEL = H、OUT_CTRL = F

图 7-19. OUT0± BER 为 11.88Gbps (12G-SDI)，CC = 100m Belden 1694A，经过时钟恢复

Copyright © 2024 Texas Instruments Incorporated

7.3 电源相关建议

LMH12x9 需要去耦电容器以确保稳定的电源。为实现电源去耦，必须将 0.1 µ F 表面贴装陶瓷电容器靠近各 VDD_LDO 和 VIN 电源引脚放置，并连接到 VSS。建议对 VIN 使用较大的大容量电容器（例如，10µF 和 1µF）。

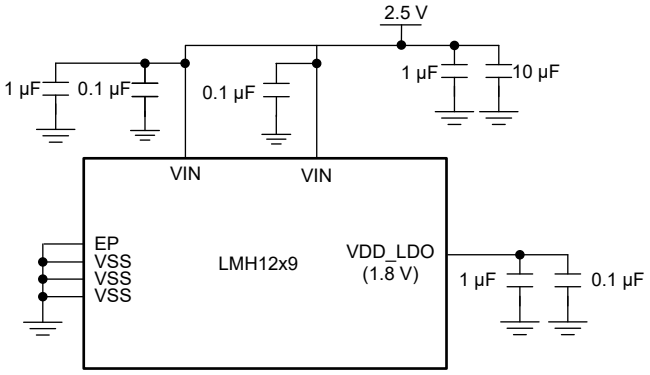


图 7-20. 建议的电源去偶

为了实现良好的电源旁路，需要使用低电感电容器。为此，可以使用由多个小型表面贴装旁路电容器组成的列阵，从而保持较低的电源阻抗。若要达到更好的效果，可以在印刷电路板中使用由 2mil 至 4mil 电介质隔离的 VDD 和 VSS 平面形成的埋入式电容器。

7.4 布局

7.4.1 布局指南

推荐参照以下指南来优化 LMH12x9 的电路板布局布线。

7.4.1.1 电路板堆叠和接地基准

- 选择适合的电路板堆叠，确保在电路板顶层支持 75Ω 单端布线和 100Ω 差分布线。为了实现这一点，通常对 100Ω 差分布线使用第 2 层接地平面基准，对 75Ω 单端布线使用第 3 层接地平面基准。
- 如果信号布线和接地端位于同一层，则应使二者间的距离至少为布线宽度的 5 倍。这样可以防止特征阻抗出现不必要的变化。
- 确保为源点到终点的每个高速布线采用一致的接地平面基准。接地基准的不连续性会导致特征阻抗不匹配。

7.4.1.2 高速 PCB 布线和耦合

请遵循以下一般性的高速布线建议：

- 对于差分对，尽可能保持每个差分对的宽度和间隙一致。当布线必须分叉时（例如，由于交流耦合电容器），请确保布线均匀分支或合并。
- 为防止布线引起的反射，请确保布线弯曲度不超过 45°。要实现直角弯曲，可采用至少两个 45° 转角。径向弯曲是理想的选择。
- 避免使用信号过孔。如果必须使用信号过孔，则必须在信号过孔附近放置一个返回路径 (GND) 过孔，以便提供一致的接地基准并更大限度地减少阻抗不连续性。
- 必要时，避免背钻产生过孔残桩。

7.4.1.2.1 SDI_IN± 和 SDI_OUT±：

- 使用具有 75Ω 单端阻抗的非耦合布线将信号路由到 SDI_IN± 和 SDI_OUT±。
- 布线宽度通常为 8-10mil，以第 3 层接地平面为基准。
- 使用 LMH1239 时，同样的布局指南对 SDI_IN1± 也适用。

7.4.1.2.2 OUT0± 和 OUT1±：

- 使用具有 100Ω 差分阻抗的耦合布线将信号路由到 OUT0± 和 OUT1±。

Copyright © 2024 Texas Instruments Incorporated

- 布线宽度通常为 5-8mil，以第 2 层接地平面为基准。

7.4.1.3 反焊盘

- 在电源平面和接地平面上，直接将反焊盘（隔离接地）置于 4.7µF 交流耦合电容器和 IC 着陆焊盘下方，以尽可能减小寄生电容。反焊盘的尺寸以及要使用反焊盘的层数取决于电路板堆叠，并可通过三维电磁仿真工具来确定。

7.4.1.4 BNC 连接器布局和布线

- 使用设计优良的 BNC 布局来确保 BNC 的信号着陆焊盘能够支持 75Ω 特征阻抗。BNC 供应商通常会就达成最佳效果的 BNC 布局提供相关建议。
- 保持 BNC 和 SDI_IN± 之间的布线长度较短。SDI_IN+ 和 SDI_IN– 之间的布线应保持对称，长度近似，负载等量。SDI_OUT+ 和 SDI_OUT– 也是如此。
- 使用 LMH1239 时，同样的布局指南对 SDI_IN1± 也适用。

7.4.1.5 电源和接地连接

- 通过较短的过孔直接将各电源引脚（VIN、VDD_LDO）连接到电源或接地平面。过孔通常位于与电源引脚着陆焊盘相切的位置，使布线距离最短。
- 确保电源去耦电容器具有较小的物理尺寸（0402 或更小），并靠近电源引脚放置，以便更大限度地减小电感。这些电容器通常放置在底层，与 EP（外露焊盘）共用接地端。

7.4.1.6 封装建议

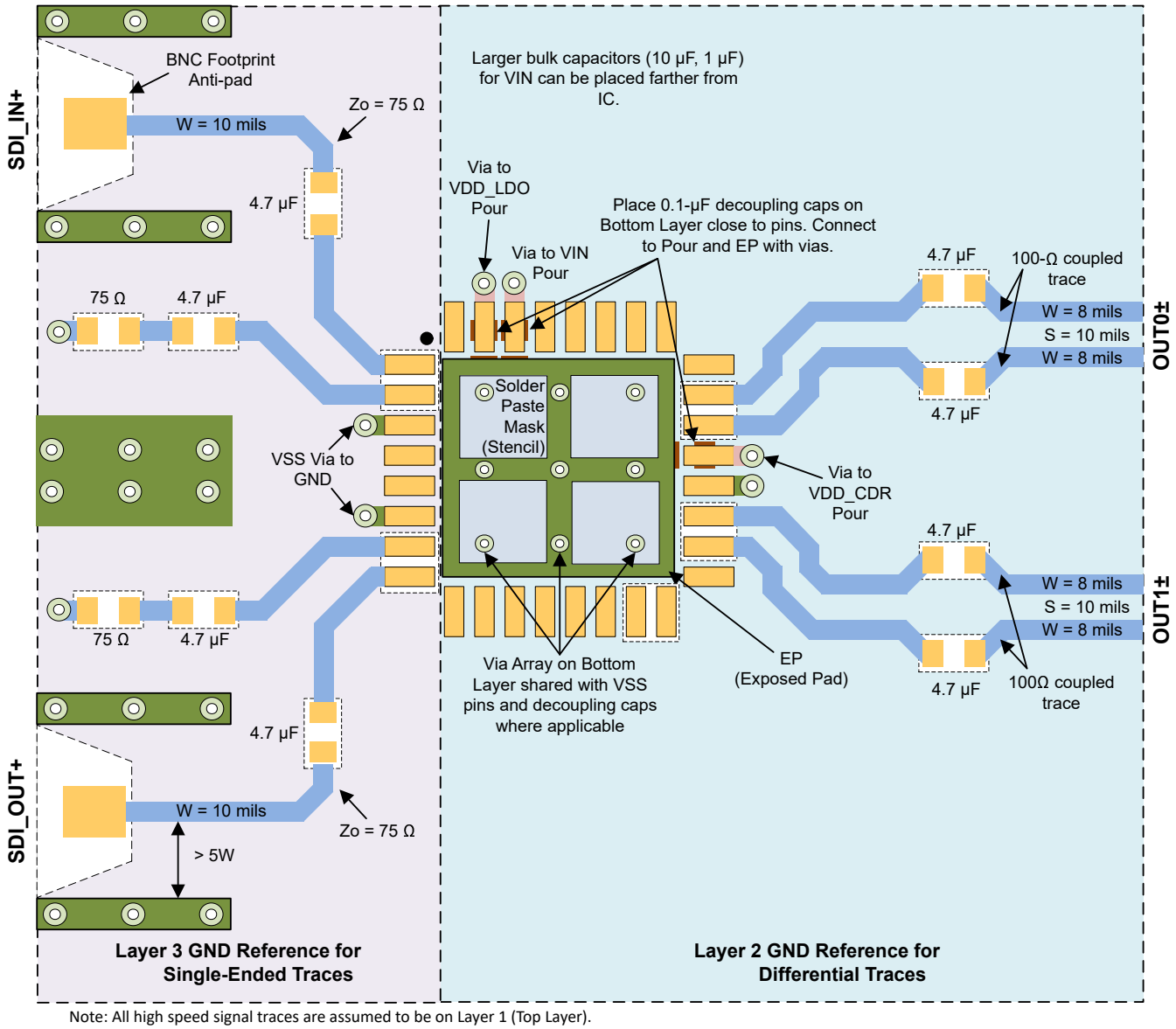
- EP（外露焊盘）的孔径面积比和制造工艺等模板参数对焊锡膏沉积有显著影响。为了提高电路板组装产量，强烈建议在进行 QFN 封装布局之前先检查模板。如果没有仔细监测过孔和孔径的开口，则焊料可能会在 EP 中不均匀地流动。*机械、封装和可订购信息* 的 RTV 封装图显示了孔径开口和过孔位置的模板参数。
- 封装的 EP 必须通过 3 × 3 过孔阵列连接到接地平面。这些通孔带有焊阻层，避免在电路板制造过程中焊料流入板通孔。*机械、封装和可订购信息* 的 RTV 封装图也显示了关于过孔尺寸的详细信息。

有关 QFN 样式封装的更多信息，请参阅 *QFN/SON PCB 连接* 应用手册。

Copyright © 2024 Texas Instruments Incorporated

7.4.2 布局示例

图 7-21 中的示例展示了*布局指南* 中重点介绍的 LMH1229 布局指南。对于使用 LMH1239 的布局，适用于 SDI_IN+ 的布局指南同样也适用于 SDI_IN1+。有关更多详细信息，请参阅 LMH1239EVM 用户指南。



Note: All high speed signal traces are assumed to be on Layer 1 (Top Layer).

图 7-21. LMH12x9 高速布线布局示例

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*SDI 病态数据模式研究* 应用手册
- 德州仪器 (TI)，*QFN/SON PCB 连接* 应用手册

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

Changes from Revision * (June 2024) to Revision A (October 2024)	Page
• 将数据表状态从“预告信息”更改为量产数据	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMH1229RTVR	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	L1229
LMH1229RTVR.B	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	L1229
LMH1229RTVT	Active	Production	WQFN (RTV) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	L1229
LMH1229RTVT.B	Active	Production	WQFN (RTV) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	L1229
LMH1239RTVR	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	L1239
LMH1239RTVR.B	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See LMH1239RTVR	L1239
LMH1239RTVT	Active	Production	WQFN (RTV) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	L1239
LMH1239RTVT.B	Active	Production	WQFN (RTV) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See LMH1239RTVT	L1239

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

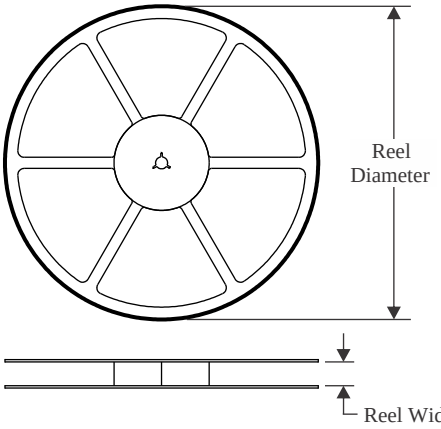
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

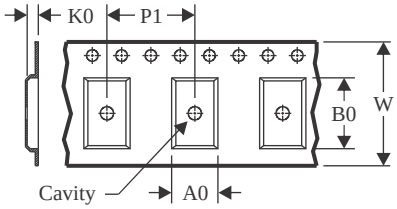
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

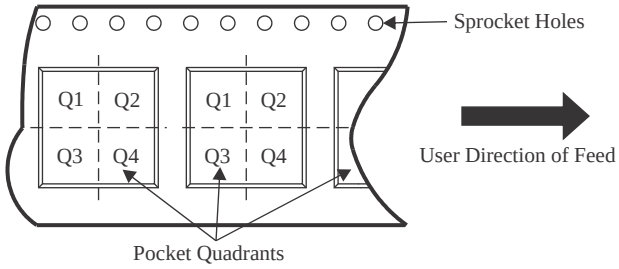


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

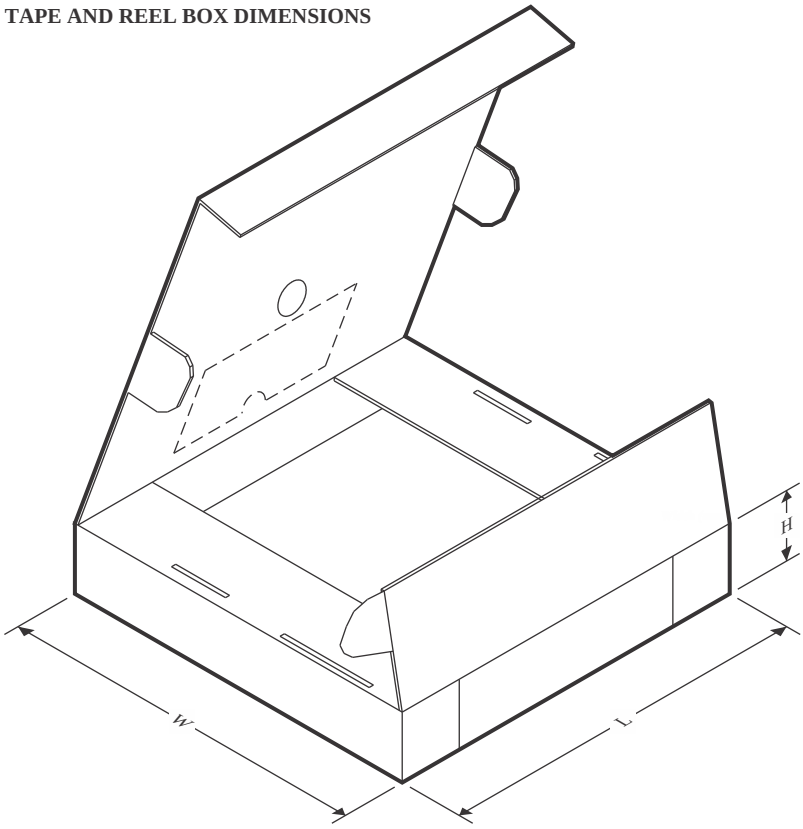
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMH1229RTVR	WQFN	RTV	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMH1229RTVT	WQFN	RTV	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMH1239RTVR	WQFN	RTV	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
LMH1239RTVT	WQFN	RTV	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

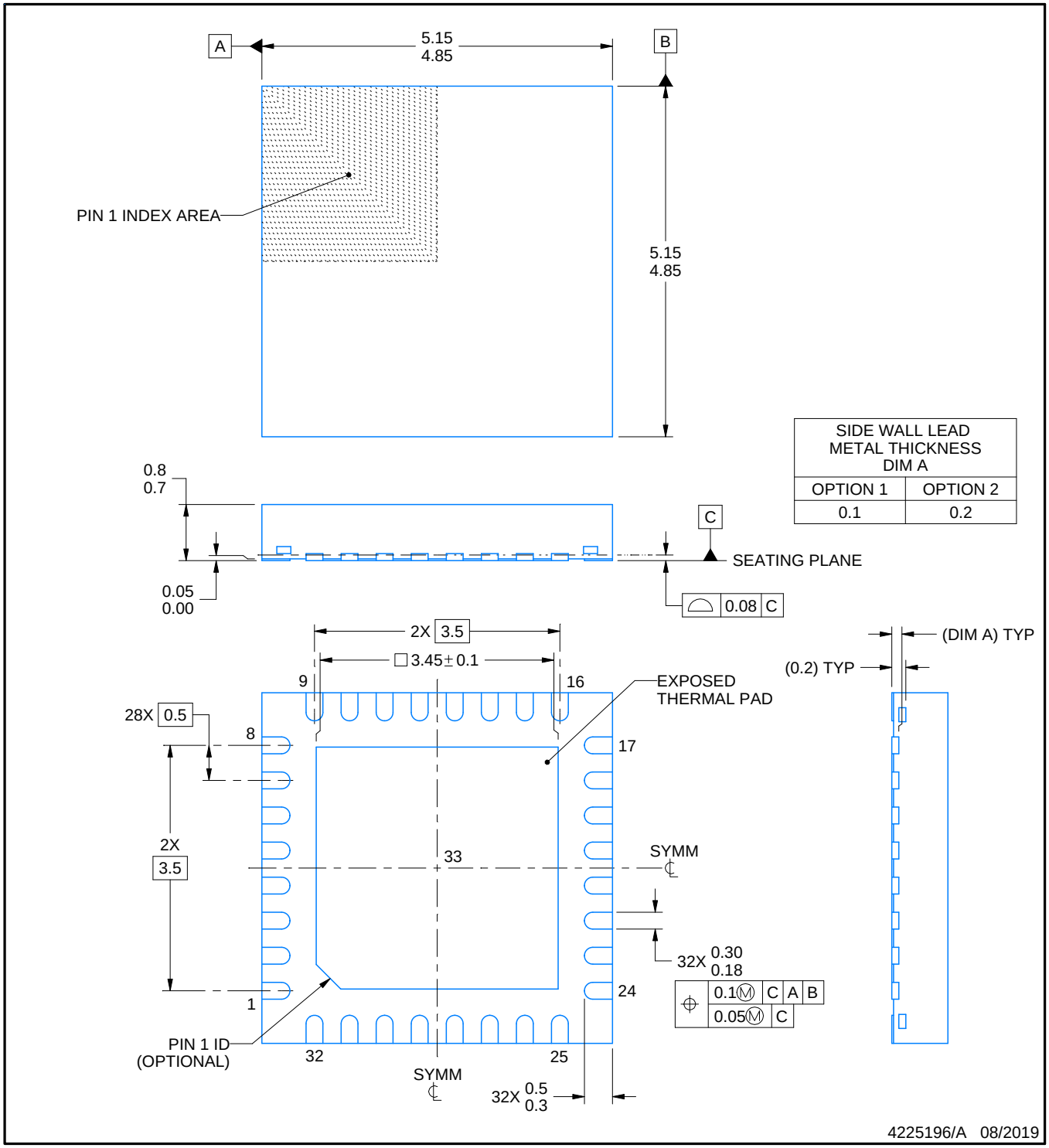
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMH1229RTVR	WQFN	RTV	32	3000	360.0	360.0	36.0
LMH1229RTVT	WQFN	RTV	32	250	210.0	185.0	35.0
LMH1239RTVR	WQFN	RTV	32	3000	360.0	360.0	36.0
LMH1239RTVT	WQFN	RTV	32	250	210.0	185.0	35.0

RTV0032E

PACKAGE OUTLINE

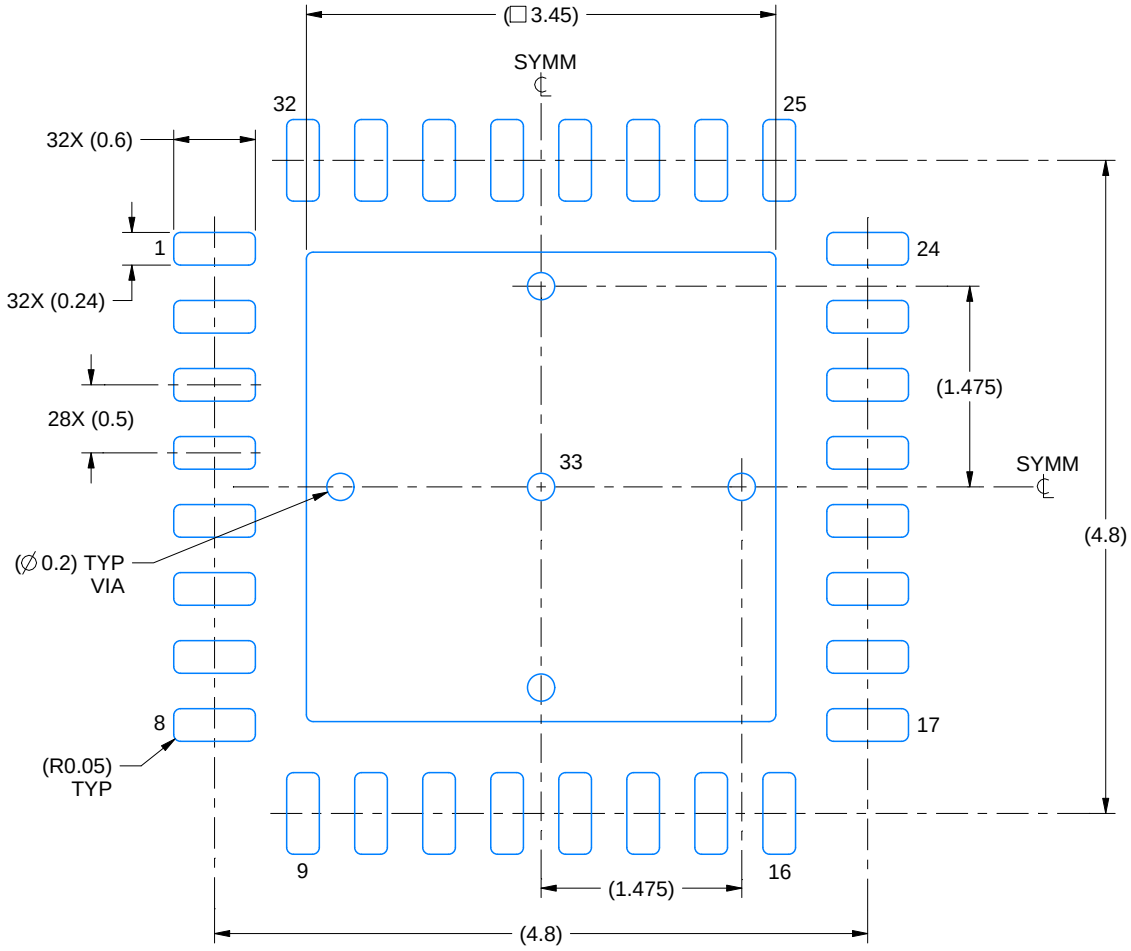
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

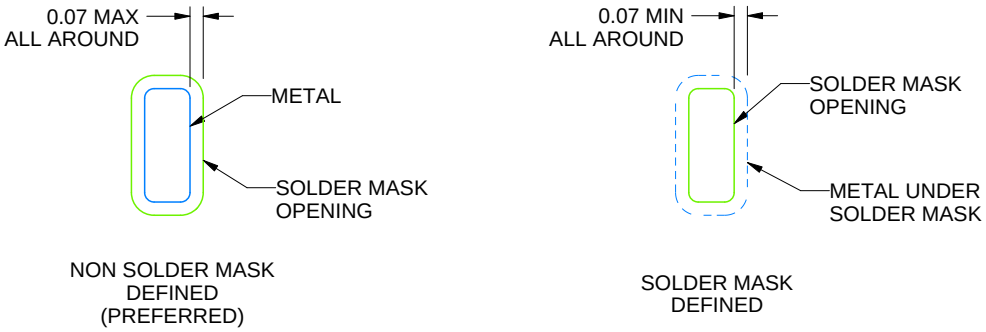


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:18X

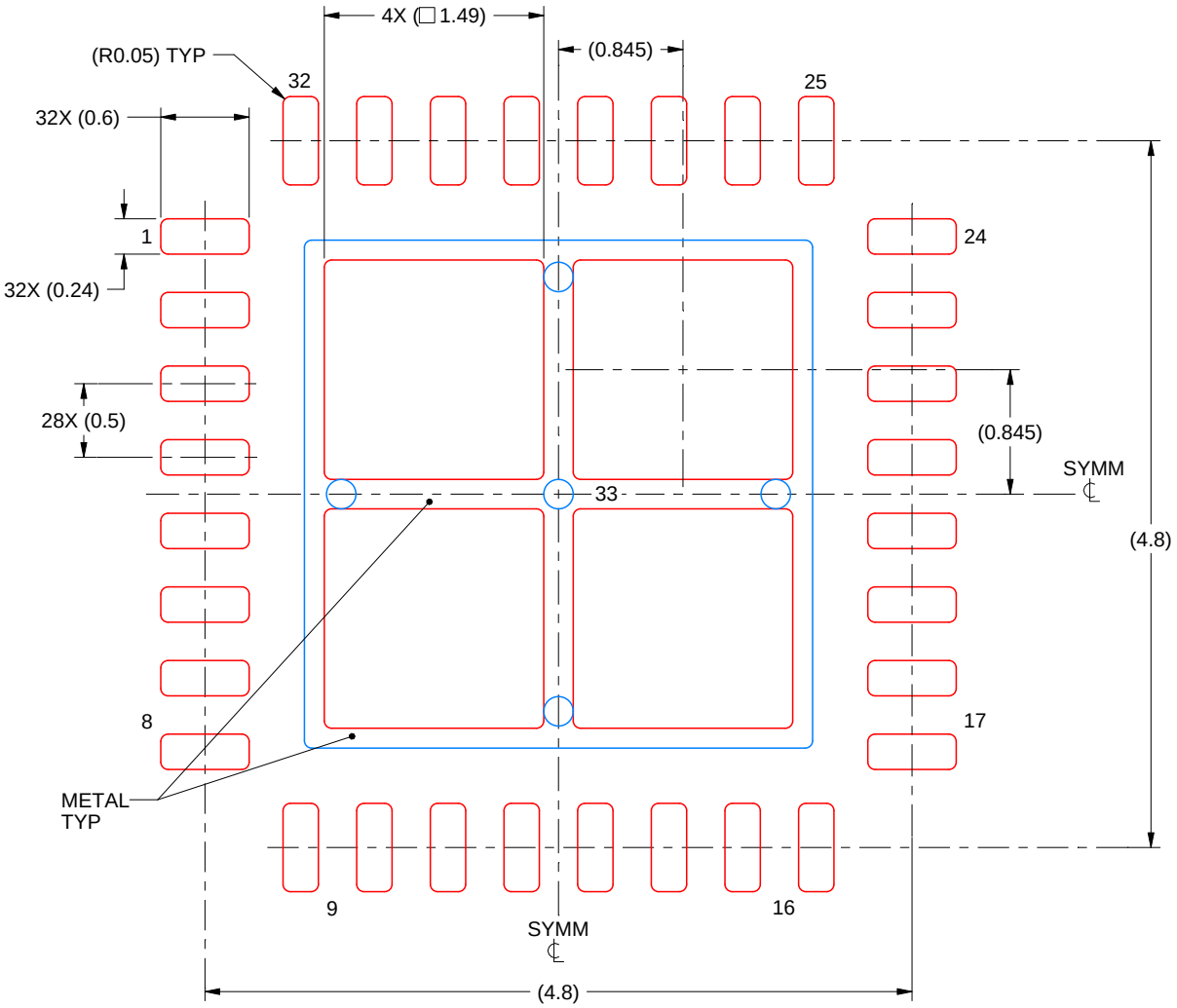


SOLDER MASK DETAILS

4225196/A 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4225196/A 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月