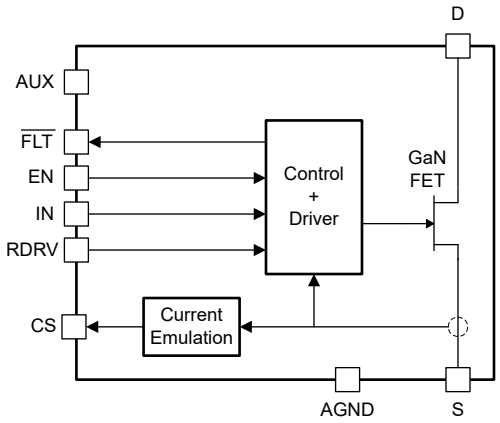
LMG3624 具有集成式驱动器 和电流检测仿真功能 的 700V、155mΩ、GaN FET

1 特性

- GaN 功率 FET：700V，155mΩ，
- 具有低传播延迟和可调节导通压摆率控制的集成栅极驱动器
- 具有高带宽和高精度的电流检测仿真
- 逐周期过流保护
- 通过 FLT 引脚报告实现过热保护
- AUX 静态电流：240 µA
- AUX 待机静态电流：50 µA
- 最大电源和输入逻辑引脚电压：26V
- 带有散热焊盘的 8mm × 5.3mm QFN 封装

2 应用

- 交流/直流适配器和充电器
- 移动式壁式充电器设计
- USB 墙壁电源插座
- 辅助电源
- 电视 SMPS 电源
- LED 电源



简化版方框图

3 说明

LMG3624 是一款 700V 155mΩ GaN 功率 FET，适用于开关模式电源应用。LMG3624 通过在 8mm × 5.3mm VQFN 封装中集成 GaN FET 和栅极驱动器，简化了设计并减少了元件数量。

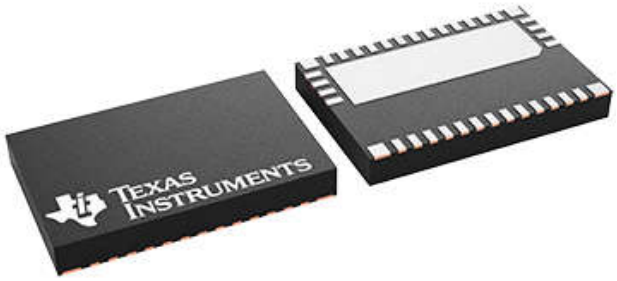
可编程导通转换率可实现 EMI 和振铃控制。与传统的电流检测电阻相比，电流检测仿真可降低功耗，并允许将低侧散热焊盘连接到凉爽的 PCB 电源地。

LMG3624 具有低静态电流和快速启动时间，可满足转换器轻负载效率要求，并实现突发模式运行。保护特性包括欠压锁定 (UVLO)、逐周期电流限制 和过热保护。过热保护通过漏极开路 FLT 引脚报告。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMG3624	REQ（VQFN，38）	8mm × 5.3mm
LMG3624Y		

(1) 如需更多信息，请参阅机械、封装和可订购信息 部分。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



38 引脚 VQFN

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....6
5.4 热性能信息.....6
5.5 电气特性.....7
5.6 开关特性.....9
5.7 典型特性.....10
6 参数测量信息.....12
6.1 GaN 功率 FET 开关参数.....12
7 详细说明.....14
7.1 概述.....14
7.2 功能方框图.....14
7.3 特性说明.....15
7.4 器件功能模式.....19
8 应用和实施.....20
8.1 应用信息.....20
8.2 典型应用.....20
8.3 电源相关建议.....22
8.4 布局.....22
9 器件和文档支持.....25
9.1 文档支持.....25
9.2 接收文档更新通知.....25
9.3 支持资源.....25
9.4 商标.....25
9.5 静电放电警告.....25
9.6 术语表.....25
10 修订历史记录.....25
11 机械、封装和可订购信息.....26
11.1 机械数据.....27

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

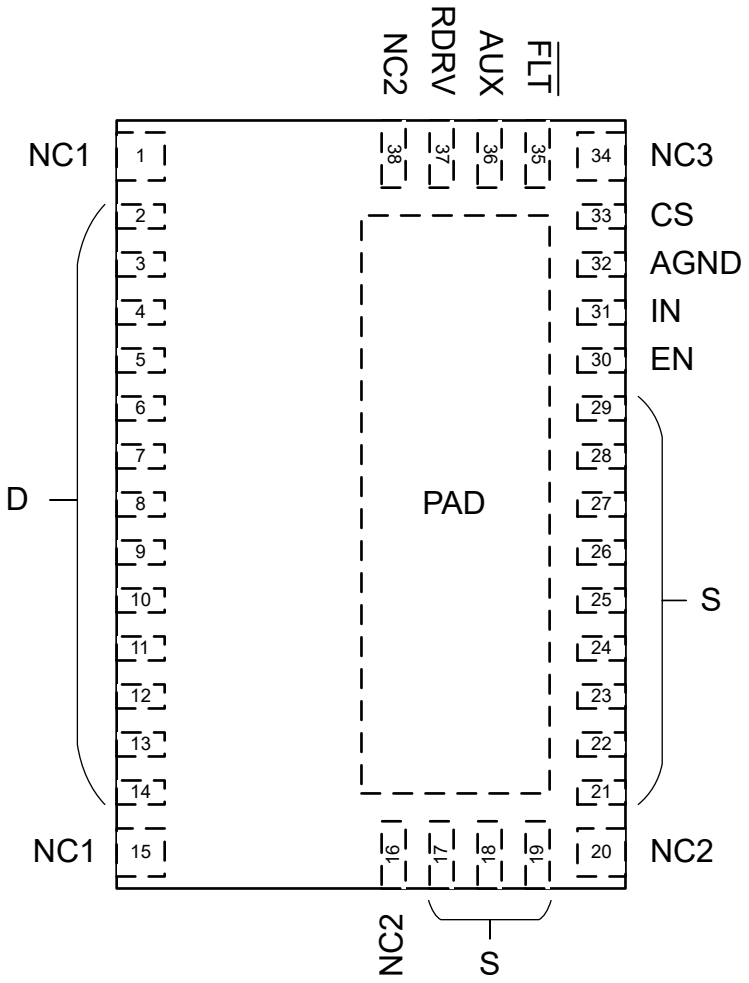


图 4-1. REQ 封装，38 引脚 VQFN（俯视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
AGND	32	GND	模拟地。在内部连接到 S、PAD 和 NC2。
AUX	36	P	辅助电压轨。器件电源电压。在 AUX 和 AGND 之间连接一个本地旁路电容器。
CS	33	O	电流检测仿真输出。输出与 GaN FET 电流成比例的电流。将输出电流馈入电阻器以生成电流检测电压信号。电阻器以电源控制器 IC 本地接地为基准。此功能取代了与 FET 源极串联使用的外部电流检测电阻。
D	2-14	P	GaN FET 漏极。在内部连接到 NC1。
EN	30	I	使能。用于在工作模式和待机模式之间切换。待机模式降低了静态电流，以支持转换器轻载效率目标。在 EN 到 AUX 之间有一个基于正向的 ESD 二极管，因此可避免将 EN 驱动至高于 AUX 的电平。
$\overline{\text{FLT}}$	35	O	低电平有效故障输出。在过热保护期间置为有效的漏极开路。
IN	31	I	栅极驱动控制输入。在 IN 到 AUX 之间有一个基于正向的 ESD 二极管，因此可避免将 IN 驱动至高于 AUX 的电平。
NC1	1、15	NC	用于将 QFN 封装固定到 PCB 上。引脚必须焊接至 PCB 着陆焊盘。PCB 着陆焊盘是非阻焊层限定焊盘，不得与 PCB 上的任何其他金属进行物理连接。在内部连接到 D。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
NC2	16、20、38	NC	用于将 QFN 封装固定到 PCB 上。引脚必须焊接至 PCB 着陆焊盘。PCB 着陆焊盘是非阻焊层限定焊盘，不得与 PCB 上的任何其他金属进行物理连接。在内部连接到 AGND、S 和 PAD。
NC3	34	NC	用于将 QFN 封装固定到 PCB 上。引脚必须焊接至 PCB 着陆焊盘。PCB 着陆焊盘是非阻焊层限定焊盘，不得与 PCB 上的任何其他金属进行物理连接。内部未连接引脚。
PAD	—	—	散热焊盘。在内部连接到 S、AGND 和 NC2。所有 S 电流都能通过 PAD (PAD = S) 传导。
RDRV	37	I	驱动强度控制电阻。在 RDRV 和 AGND 之间设置一个电阻，以设定 GaN FET 导通压摆率。
S	17-19、21-29	P	GaN FET 源极。在内部连接到 AGND、PAD 和 NC2。

(1) I = 输入，O = 输出，I/O = 输入或输出，GND = 接地，P = 电源，NC = 无连接。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

除非另有说明：电压以 AGND 为基准(1)

			最小值	最大值	单位
V_{DS}	漏源（D 到 S）电压，FET 关断(2)			700	V
$V_{DS(surge)}$	漏源（D 到 S）电压，FET 开关，浪涌条件(3)			720	V
$V_{DS(tr)(surge)}$	漏源（D 到 S）瞬态振铃峰值电压，FET 关断，浪涌条件(3)			800	V
	引脚电压	AUX	-0.3	30	V
		EN、IN、$\overline{FLT}$	-0.3	V_{AUX} + 0.3	V
		CS	-0.3	5.5	V
		RDRV	-0.3	4	V
$I_{D(cnts)}$	漏极（D 到 S）连续电流，FET 导通		-6.6	受内部限制	A
$I_{D(pulse)(oc)}$	过流响应时间内的漏极（D 到 S）脉冲电流(4)			16	A
$I_{S(cnts)}$	源极（S 到 D）连续电流，FET 关断			6.6	A
	正灌电流	CS		10	mA
		$\overline{FLT}$（置为有效时）		受内部限制	mA
T_J	工作结温		-40	150	°C
T_{stg}	贮存温度		-40	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不意味着器件在这些条件下或在建议运行条件之外的任何其他条件下能够正常功能运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 有关 GaN 功率 FET 开关能力的更多信息，请参阅 节 7.3.1 章节。节 7.3.1 中 t1 < 400ns。
(3) 节 7.3.1 中 t1 < 100ns。
(4) 如果 GaN 功率 FET 进入饱和状态，它可能会自我限制以保持低于该值。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	引脚 1 至 15	±1000	V
			引脚 16 至 38	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002(2)		±500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2025 Texas Instruments Incorporated

5.3 建议运行条件

除非另有说明：电压以 AGND 为基准

			最小值	标称值	最大值	单位
	电源电压	AUX	10		26	V
	输入电压	EN、IN	0		V_{AUX}	V
	开漏输出上的上拉电压	$\overline{FLT}$	0		V_{AUX}	V
V_{IH}	高电平输入电压	EN、IN	2.5			V
V_{IL}	低电平输入电压				0.6	V
$I_{D(cnts)}$	漏极（D 到 S）连续电流，FET 导通		-5.4		5.4	A
C_{AUX}	来自外部旁路电容器的 AUX 至 AGND 电容		0.030			µF
R_{RDRV}	来自外部压摆率控制电阻器的 RDRV 至 AGND 电阻，用于配置低于压摆率设置					
	压摆率设置 0（最慢）		90	120	开路	kΩ
	压摆率设置 1		42.5	47	51.5	kΩ
	压摆率设置 2		20	22	24	kΩ
	压摆率设置 3（最快）		0	5.6	11	kΩ

5.4 热性能信息

热指标(1)		LMG3624 REQ (VQFN) 38 引脚	单位
$R_{\theta JA}$	结至环境热阻	26.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.67	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

1) 符号定义：I_D = D 到 S 电流；I_S = S 到 D 电流；$I_{CS(src)}$ = 从 CS 输出的电流；2) 除非另有说明，否则电压、电阻和电容均以 AGND 为基准；–40°C ≤ T_J ≤ 125°C；V_{DS} = 520V；10V ≤ V_{AUX} ≤ 26V；V_{EN} = 5V；V_{IN} = 0V；R_{RDRV} = 0Ω；R_{CS} = 100Ω

参数		测试条件	最小值	典型值	最大值	单位
GaN 功率 FET						
$R_{DS(on)}$	漏源（D 到 S）导通电阻	V_{IN} = 5V，I_D = 3A，T_J = 25°C		155	220	mΩ
		V_{IN} = 5V，I_D = 3A，T_J = 125°C		276		
I_{DSS}	漏极（D 到 S）漏电流	V_{DS} = 650V，T_J = 25°C		2		μA
		V_{DS} = 650V，T_J = 125°C		10		
Q_{OSS}	输出（D 到 S）电荷	V_{DS} = 400V		20.0		nC
C_{OSS}	输出（D 到 S）电容			29		pF
E_{OSS}	输出（D 到 S）电容储存能量			2.69		μJ
$C_{OSS,er}$	与能量相关的有效输出（D 到 S）电容			33.3		pF
$C_{OSS,tr}$	与时间相关的有效输出（D 到 S）电容	V_{DS} = 0V 到 400V		49.3		pF
Q_{RR}	反向恢复电荷			0		nC
过流保护						
$I_{T(OC)}$	过流故障 - 阈值电流		5.4	6	6.6	A
CS						
	电流检测增益 ($I_{CS(src)}$ / I_D)	V_{IN} = 5V，0V ≤ V_{CS} ≤ 2V，0A ≤ I_D < $I_{T(OC)}$		0.965		mA/A
	电流检测输入失调电流	V_{IN} = 5V，0V ≤ V_{CS} ≤ 2V，0A ≤ I_D < $I_{T(OC)}$	-55		55	mA
	发生过流故障后，在 IN 保持高电平时初始保持输出	V_{IN} = 5V，0V ≤ V_{CS} ≤ 2V			7	mA
$I_{CS(src)(OC)(final)}$	发生过流故障后，在 IN 保持高电平时的最终保持输出	V_{IN} = 5V，0V ≤ V_{CS} ≤ 2V	10	12	15.5	mA
	输出钳位电压	V_{IN} = 5V，I_D = 5.2A，CS 从外部源获得 5mA 灌电流		2.55		V
EN、IN						
V_{IT+}	正向输入阈值电压		1.7		2.45	V
V_{IT-}	负向输入阈值电压		0.7		1.3	V
	输入阈值电压迟滞			1		V
	下拉输入电阻	0V ≤ V_{PIN} ≤ 3V	200	400	600	kΩ
	下拉输入电流	10V ≤ V_{PIN} ≤ 26V；V_{AUX} = 26V		10		μA

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

1) 符号定义：I_D = D 到 S 电流；I_S = S 到 D 电流；$I_{CS(src)}$ = 从 CS 输出的电流；2) 除非另有说明，否则电压、电阻和电容均以 AGND 为基准；–40°C ≤ T_J ≤ 125°C；V_{DS} = 520V；10V ≤ V_{AUX} ≤ 26V；V_{EN} = 5V；V_{IN} = 0V；R_{RDRV} = 0Ω；R_{CS} = 100Ω

参数		测试条件	最小值	典型值	最大值	单位
过热保护						
	温度故障 – 正向阈值温度		145	165		°C
	温度故障 – 负向阈值温度			145		°C
	温度故障 – 阈值温度迟滞			20		°C
$\overline{FLT}$						
	低电平输出电压	置为有效时 $\overline{FLT}$ 灌电流为 1mA			200	mV
	关断状态灌电流	取消置位时 V_{FLT} = V_{AUX}			1	µA
AUX						
$V_{AUX,T+}$ (UVLO)	UVLO – 正向阈值电压		8.9	9.3	9.7	V
	UVLO – 负向阈值电压		8.6	9.0	9.4	V
	UVLO – 阈值电压迟滞			250		mV
	待机静态电流	V_{EN} = 0V		50	80	µA
	静态电流			240	360	µA
	工作电流	V_{IN} = 0V 或 5V，V_{DS} = 0V，I_D = 0A，f_{IN} = 500kHz		2.0		mA

Copyright © 2025 Texas Instruments Incorporated

5.6 开关特性

1) 符号定义：I_D = D 到 S 电流；I_S = S 到 D 电流；$I_{CS(src)}$ = 从 CS 输出的电流；2) 除非另有说明，否则电压、电阻和电容均以 AGND 为基准；–40°C ≤ T_J ≤ 125°C；V_{DS} = 520V；10V ≤ V_{AUX} ≤ 26V；V_{EN} = 5V；V_{IN} = 0V；R_{RDRV} = 0Ω；R_{CS} = 100Ω

参数		测试条件	最小值	典型值	最大值	单位
GaN 功率 FET						
$t_{d(on)}$ (Idrain)	漏极电流导通延迟时间	LMG3624，从 V_{IN} > $V_{IN,IT+}$ 到 I_D > 37.5mA，V_{BUS} = 400V，L_{HB} 电流 = 1.5A，采用以下转换率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		64		ns
		压摆率设置 1		31		
		压摆率设置 2		26		
		压摆率设置 3（最快）		23		
$t_{d(on)}$ (Idrain)	漏极电流导通延迟时间	LMG3624Y，从 V_{IN} > $V_{IN,IT+}$ 到 I_D > 37.5mA，V_{BUS} = 400V，L_{HB} 电流 = 1.5A，采用以下转换率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		128		ns
		压摆率设置 1		55		
		压摆率设置 2		41		
		压摆率设置 3（最快）		24		
$t_{d(on)}$	导通延迟时间	LMG3624，从 V_{IN} > $V_{IN,IT+}$ 到 V_{DS} < 320V，V_{BUS} = 400V，L_{HB} 电流 = 1.5A，采用以下转换率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		86		ns
		压摆率设置 1		40		
		压摆率设置 2		34		
		压摆率设置 3（最快）		27		
$t_{d(on)}$	导通延迟时间	LMG3624Y，从 V_{IN} > $V_{IN,IT+}$ 到 V_{DS} < 320V，V_{BUS} = 400V，L_{HB} 电流 = 1.5A，采用以下转换率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		178		ns
		压摆率设置 1		76		
		压摆率设置 2		56		
		压摆率设置 3（最快）		28		
$t_{d(off)}$	关断延迟时间	从 V_{IN} < $V_{IN,IT-}$ 到 V_{DS} > 80V，V_{BUS} = 400V，L_{HB} 电流 = 1.5A（与压摆率设置无关），请参阅 GaN 功率 FET 开关参数		32		ns
$t_{f(off)}$	关断下降时间	从 V_{DS} > 80V 到 V_{DS} > 320V，V_{BUS} = 400V，L_{HB} 电流 = 1.5A（与压摆率设置无关），请参阅 GaN 功率 FET 开关参数		22		ns

Copyright © 2025 Texas Instruments Incorporated

1) 符号定义：I_D = D 到 S 电流；I_S = S 到 D 电流；$I_{CS(src)}$ = 从 CS 输出的电流；2) 除非另有说明，否则电压、电阻和电容均以 AGND 为基准；–40°C ≤ T_J ≤ 125°C；V_{DS} = 520V；10V ≤ V_{AUX} ≤ 26V；V_{EN} = 5V；V_{IN} = 0V；R_{RDRV} = 0Ω；R_{CS} = 100Ω

参数		测试条件	最小值	典型值	最大值	单位
	导通压摆率	LMG3624，从 V_{DS} < 250V 到 V_{DS} < 150V，T_J = 25℃，V_{BUS} = 400V，L_{HB} 电流 = 1.5A，采用以下转换率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		20		V/ns
		压摆率设置 1		50		
		压摆率设置 2		75		
		压摆率设置 3（最快）		150		
	导通转换率	LMG3624Y，从 V_{DS} < 250V 到 V_{DS} < 150V，T_J = 25℃，V_{BUS} = 400V，L_{HB} 电流 = 1.5A，采用以下转换率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		7		V/ns
		压摆率设置 1		15		
		压摆率设置 2		22		
		压摆率设置 3（最快）		89		
CS						
t_r	上升时间	从 $I_{CS(src)}$ > 0.2 × $I_{CS(src)(final)}$ 到 $I_{CS(src)}$ > 0.9 × $I_{CS(src)(final)}$，0V ≤ V_{CS} ≤ 2V，启用至 1.5A 负载			35	ns
EN						
	EN 唤醒时间	从 V_{EN} > V_{IT+} 到 $I_{D(ls)}$ > 10mA，V_{INL} = 5V		1.5		µs

5.7 典型特性

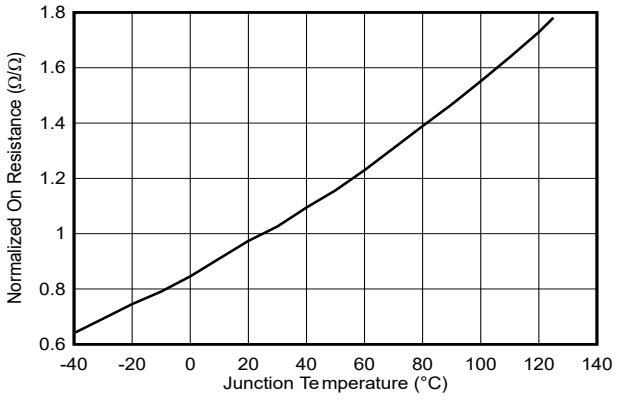


图 5-1. 标准化导通电阻与结温间的关系

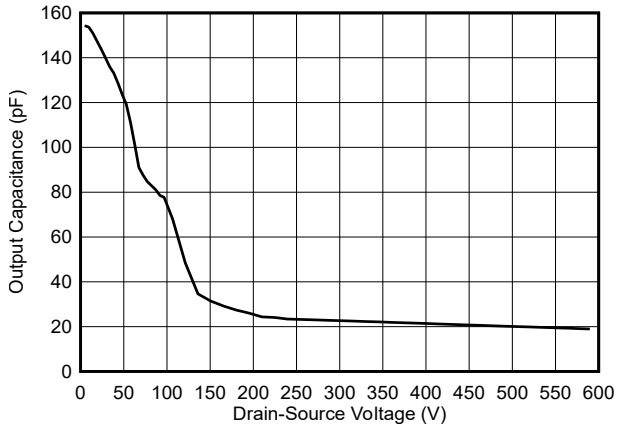


图 5-2. 输出电容与漏源电压之间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

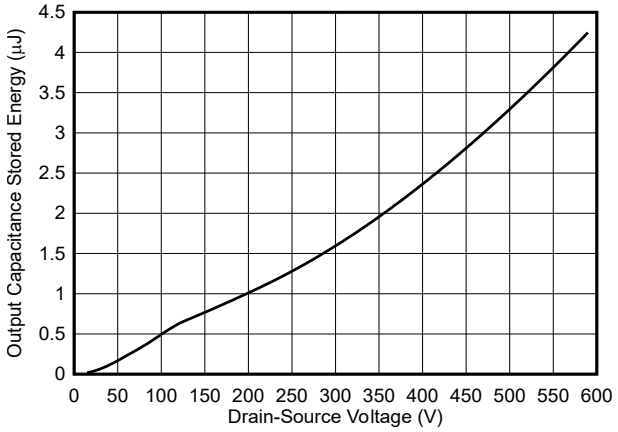


图 5-3. 输出电容储存能量与漏源电压之间的关系

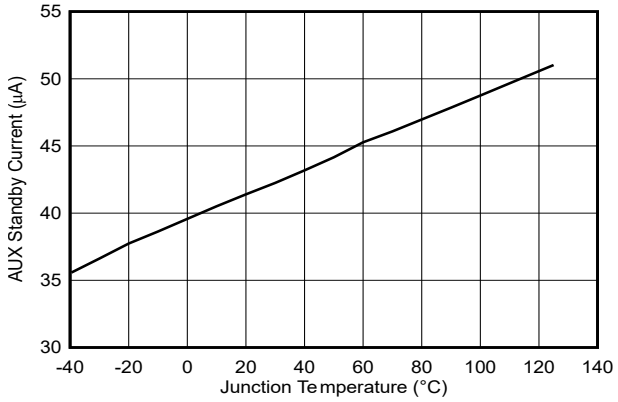


图 5-4. AUX 待机电流与结温间的关系

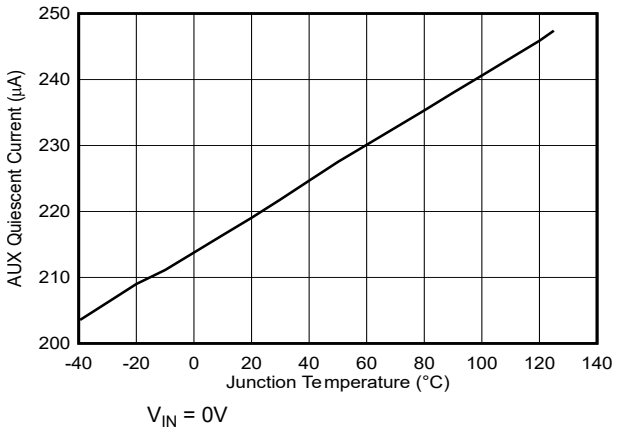


图 5-5. AUX 静态电流与结温间的关系

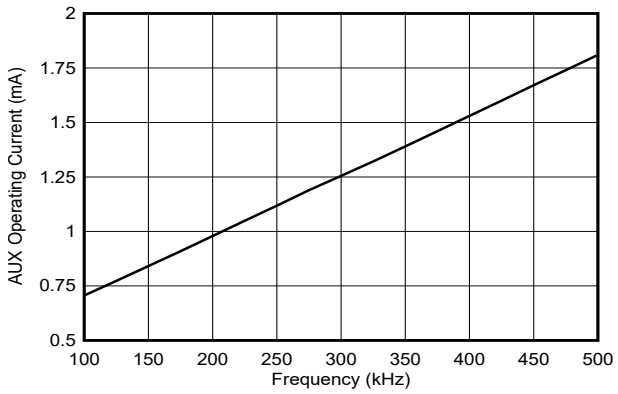


图 5-6. AUX 工作电流与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

6.1 GaN 功率 FET 开关参数

图 6-1 展示了用于测量 GaN 功率 FET 开关参数的电路。该电路用作双脉冲测试仪。有关双脉冲测试仪的详细信息，请参阅外部基准。电路在升压配置下运行，低侧 LMG3624 为被测器件 (DUT)。高侧 LMG3624 充当双脉冲测试仪二极管，并在关断状态第三象限导通模式下实现电感器电流循环。

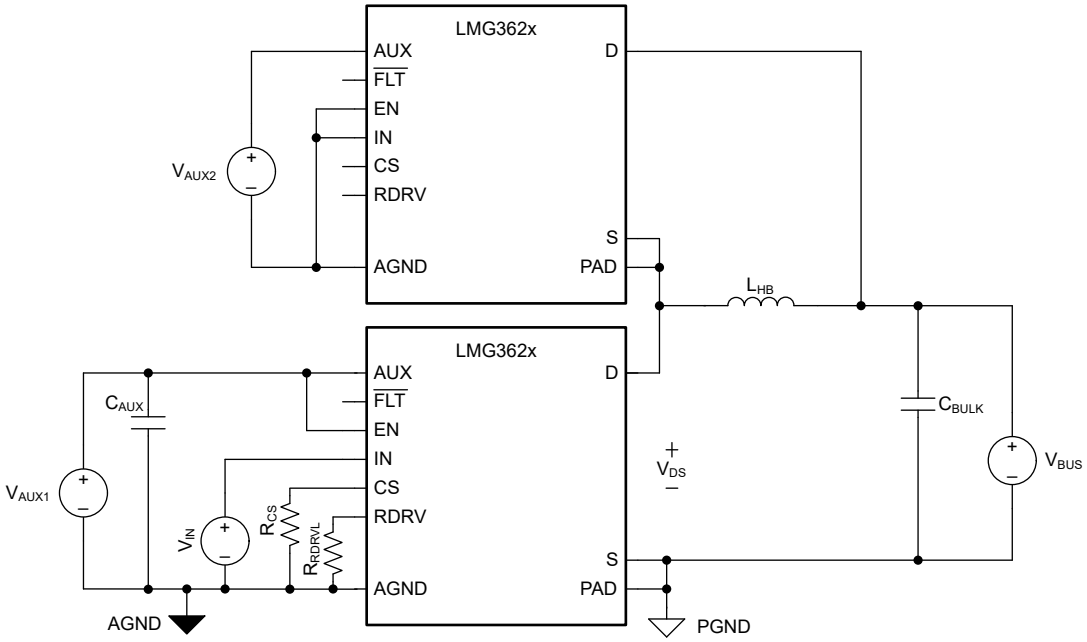


图 6-1. GaN 功率 FET 开关参数测试电路

图 6-1 展示了 GaN 功率 FET 开关参数。

GaN 功率 FET 导通转换有三个时序分量：漏极电流导通延迟时间、导通延迟时间和导通上升时间。请注意，导通上升时间与 V_{DS} 80% 至 20% 下降时间相同。所有三个导通时序分量都是 RDRV 引脚设置的函数。

GaN 功率 FET 关断转换具有两个时序分量：关断延迟时间和关断下降时间。请注意，关断下降时间与 V_{DS} 20% 至 80% 上升时间相同。关断时序分量与 RDRV 引脚设置无关，但在很大程度上取决于 L_{HB} 电流。

与导通上升时间电压差 (240V) 相比，导通压摆率是在较小的电压差 (100V) 下测量的，以获得更快的压摆率，这对 EMI 设计很有用。使用 RDRV 引脚设定转换率。

Copyright © 2025 Texas Instruments Incorporated

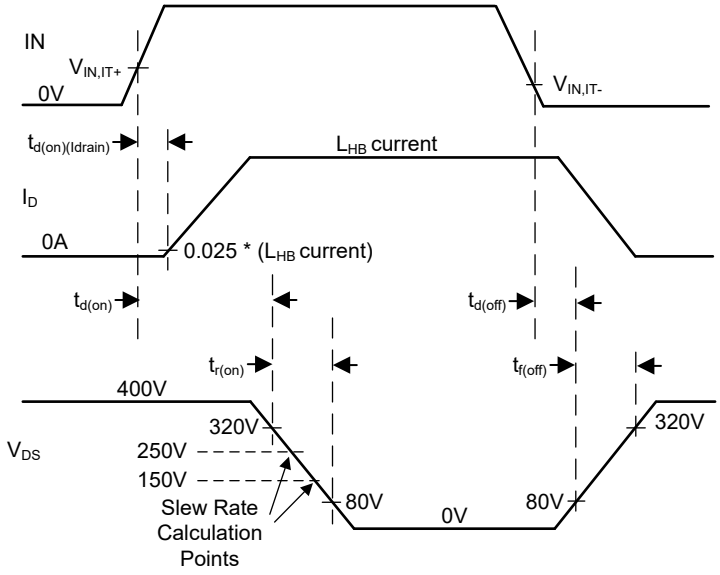


图 6-2. GaN 功率 FET 开关参数

7 详细说明

7.1 概述

LMG3624 是一款集成式 700V 155mΩ GaN 功率 FET，适用于开关电源转换器。LMG3624 在 8mm x 5.3mm QFN 封装中整合了 GaN FET、栅极驱动器、电流检测仿真功能和保护特性。

额定电压为 700V 的 GaN FET 可提供离线电源开关应用所需的高电压。GaN FET 低输出电容电荷减少了电源转换器开关所需的时间和能量，这是设计小型高效电源转换器所需的关键特性。

LMG3624 内部栅极驱动器可调节驱动电压，以实现出色的 GaN FET 导通电阻。内部驱动器可降低总栅极电感和 GaN FET 共源电感，从而提高开关性能，包括共模瞬态抗扰度 (CMTI)。单独将 GaN FET 导通转换率设定为四个分立式设置之一，从而在功率损耗、开关引起的振铃和 EMI 方面实现设计灵活性。

电流检测仿真会在 CS 引脚的输出端放置经调节的 GaN FET 漏极电流副本。CS 引脚通过一个电阻器端接至 AGND，用于生成外部电源控制器的电流检测输入信号。该 CS 引脚电阻取代了与 GaN FET 源极串联的传统电流检测电阻，显著节省了功耗和空间。此外，由于没有与 GaN FET 源极串联的电流检测电阻，因此请将 GaN FET 散热焊盘直接连接到 PCB 电源接地端。由于整个器件的电流可通过散热焊盘传导，因此该散热焊盘连接可提高系统的热性能并提供额外的器件布线灵活性。

AUX 输入电源宽电压范围与由电源控制器创建的相应宽范围电源轨兼容。低 AUX 静态电流支持转换器突发模式运行，这对于满足政府轻负载效率要求至关重要。通过使用 EN 引脚将器件置于待机模式来进一步降低 AUX 静态电流。

IN 和 EN 控制引脚具有高输入阻抗、低输入阈值电压和最大为 AUX 电压的输入电压。这种组合使得引脚可支持低电压和高电压输入信号并由低功耗输出驱动。

LMG3624 保护特性是欠压锁定 (UVLO)、逐周期电流限制 和过热保护。在漏极开路 $\overline{\text{FLT}}$ 输出上报告过热保护。

7.2 功能方框图

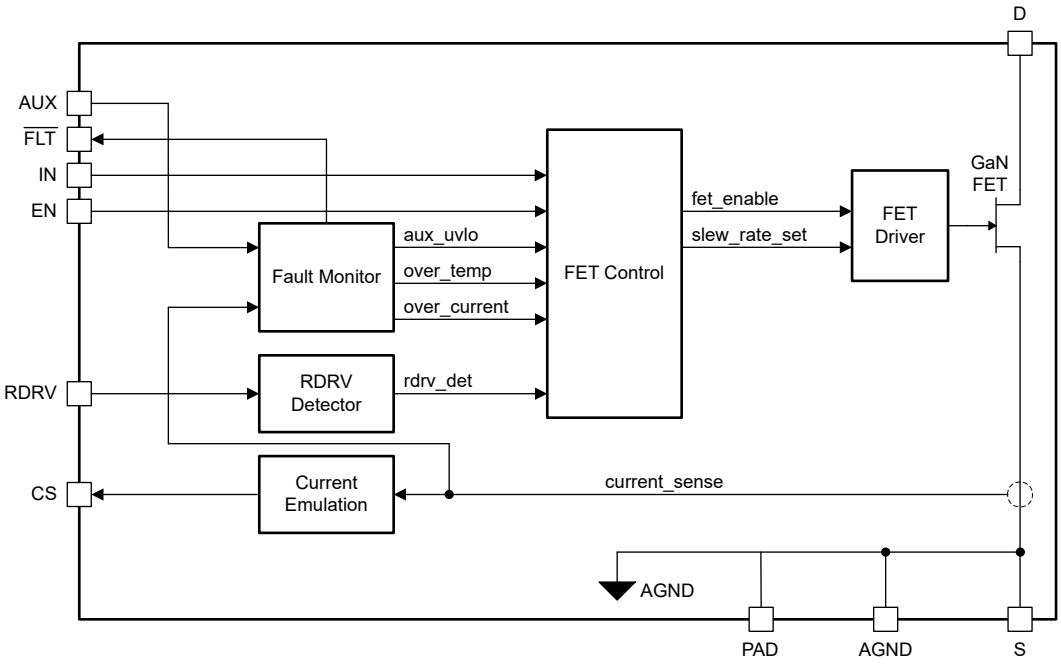


图 7-1. 功能方框图

Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 GaN 功率 FET 开关能力

由于硅 FET 长期占据功率开关技术的主导地位，许多设计人员没有意识到铭牌漏源电压不能用作跨技术比较器件的等效点。硅 FET 的铭牌漏源电压由雪崩击穿电压决定。GaN FET 的铭牌漏源电压是根据对数据表规格的长期遵从性设定的。

超过硅 FET 的铭牌漏源电压可能会立即导致损坏或造成永久性损坏。同时，GaN FET 的击穿电压远高于铭牌漏源电压。例如，LMG3624 GaN 功率 FET 的击穿漏源电压超过 800V，这使得 LMG3624 能够在超过相同铭牌额定硅 FET 的条件下运行。

我们借助图 7-2 说明了 LMG3624 GaN 功率 FET 开关能力。该图显示了在开关应用中，LMG3624 GaN 功率 FET 在四个不同开关周期内的漏源电压随时间的变化情况。不对开关频率或占空比进行任何声明。前三个周期显示正常运行，后一个周期显示在罕见的输入电压浪涌下运行。LMG3624 GaN 功率 FET 可在连续导通模式 (CCM) 硬开关、零电压开关 (ZVS) 和不连续导通模式 (DCM) 开关条件下导通。

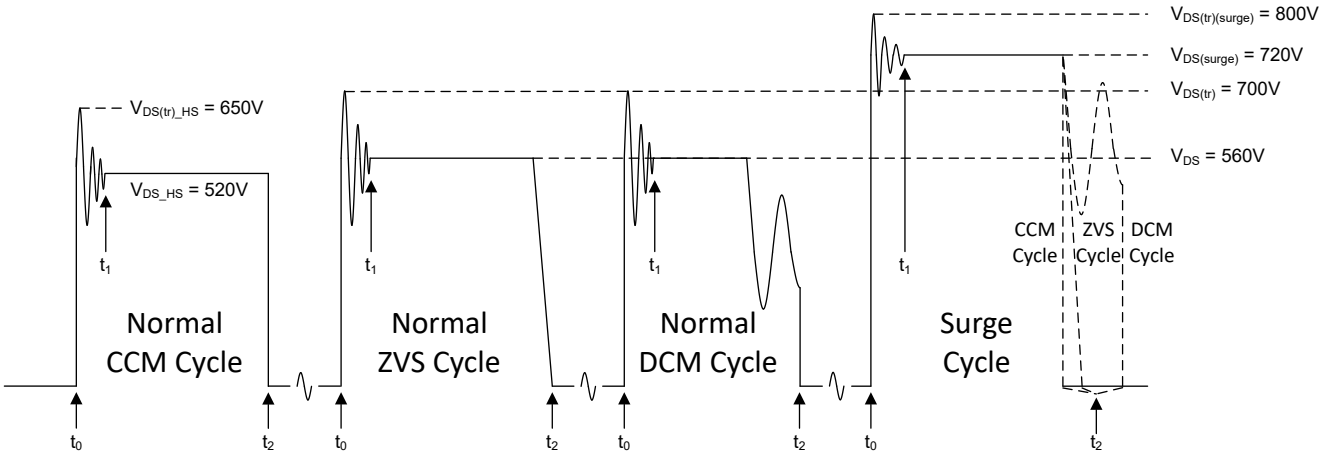


图 7-2. GaN 功率 FET 开关能力

FET 处于导通状态时，每个周期都在 t_0 之前开始。在 t_0 时，GaN FET 关断，寄生元件导致漏源电压以高频振铃。高频振铃已经减弱了 t_1。在 t_1 和 t_2 之间，FET 漏源电压取决于开关应用的特性响应。特性以一条平坦的线（平坦区）显示，但可以有其他响应。在 t_2 时，GaN FET 导通。在 CCM 正常运行时，瞬态振铃的电压限制为 650V，平坦电压的电压限制为 520V。在正常 ZVS/DCM 运行模式下，瞬态振铃的电压限制为 700V，平坦电压的电压限制为 560V。对于罕见的浪涌事件，瞬态振铃的电压限制为 800V，平坦电压的电压限制为 720V。

7.3.2 导通压摆率控制

GaN 功率 FET 的导通压摆率可通过 RDRV 和 AGND 引脚之间的电阻设定为四个分立式设置之一。当 AUX 电压上升到高于 AUX 上电复位电压时，可在 AUX 上电期间确定一次转换率设置。转换率设置确定时间未指定，但大约为 0.4µs。

压摆率设置 展示了四个转换率设置下的建议典型电阻设定值以及每个设置下的典型导通转换率。如表中所示，开路连接对于设定压摆率设置 0 是可接受的，短路连接（RDRV 短接至 AGND）对于设定压摆率设置 3 是可接受的。

表 7-1. 压摆率设置

导通压摆率设置	建议的典型编程电阻 (kΩ)	典型导通压摆率 (V/ns)	注释
0（最慢）	120	LMG3624：20	可接受设定电阻的开路连接。
		LMG3624Y：7	
1	47	LMG3624：50	
		LMG3624Y：15	

Copyright © 2025 Texas Instruments Incorporated

表 7-1. 压摆率设置（续）

导通压摆率设置	建议的典型编程电阻 (kΩ)	典型导通压摆率 (V/ns)	注释
2	22	LMG3624：75	
		LMG3624Y：22	
3（最快）	5.6	LMG3624：150	可以接受设定电阻的短路连接（RDRV 短接到 AGND）。
		LMG3624Y：89	

Copyright © 2025 Texas Instruments Incorporated

7.3.3 电流检测仿真

电流检测仿真功能可在 CS 引脚的输出端产生与 GaN 功率 FET 漏极正向电流成比例的电流。电流检测仿真增益 G_{CSE} 的定义是，每有 1A 电流流入低侧 GaN 功率 FET 的漏极，即 I_D，CS 引脚输出 0.965mA 电流，即 I_{CS}。

$$G_{CSE} = I_{CS} \div I_D = 0.965mA \div 1A = 0.000965 \quad (1)$$

CS 引脚通过一个电阻器 R_{CS} 端接至 AGND，用于生成外部电源控制器的电流检测电压输入信号。

通过求解传统电流检测设计电阻 $R_{CS(trad)}$ 再乘以 G_{CSE} 的倒数来确定 R_{CS}。传统的电流检测设计通过使 GaN 功率 FET 漏极电流 I_D 通过 $R_{CS(trad)}$ 来产生电流检测电压 $V_{CS(trad)}$。LMG3624 通过使 CS 引脚输出电流 I_{CS} 通过 R_{CS} 来创建电流检测电压 V_{CS}。验证两种设计中的电流检测电压是否相同。

$$V_{CS} = I_{CS} \times R_{CS} = V_{CS(trad)} = I_D \times R_{CS(trad)} \quad (2)$$

$$R_{CS} = I_D \div I_{CS} \times R_{CS(trad)} = 1 \div G_{CSE} \times R_{CS(trad)} \quad (3)$$

$$R_{CS} = 1036 \times R_{CS(trad)} \quad (4)$$

CS 引脚在内部钳位至典型值 2.55V。例如，CS 引脚上的电流检测电阻器断开时，该钳位可保护电源控制器易受影响的电流检测输入引脚免受过压影响。

图 7-3 展示了电流检测仿真运行。在这两个周期中，CS 引脚电流模拟 GaN FET 启用时的 GaN 功率 FET 漏极电流。第一个周期显示了正常运行，其中当控制器电流检测输入阈值跳变时，控制器会关闭 GaN 功率 FET。第二个周期显示了一种故障情况，即 LMG3624 过流保护功能会在控制器电流检测输入阈值跳变之前关闭 GaN 功率 FET。在第二个周期中，LMG3624 生成快速斜升的人工电流检测仿真信号来使控制器电流检测输入阈值跳变，从而避免控制器 IN 脉冲挂起。人工信号一直持续到 IN 引脚变为逻辑低电平，这表示控制器重新建立对开关运行的控制。

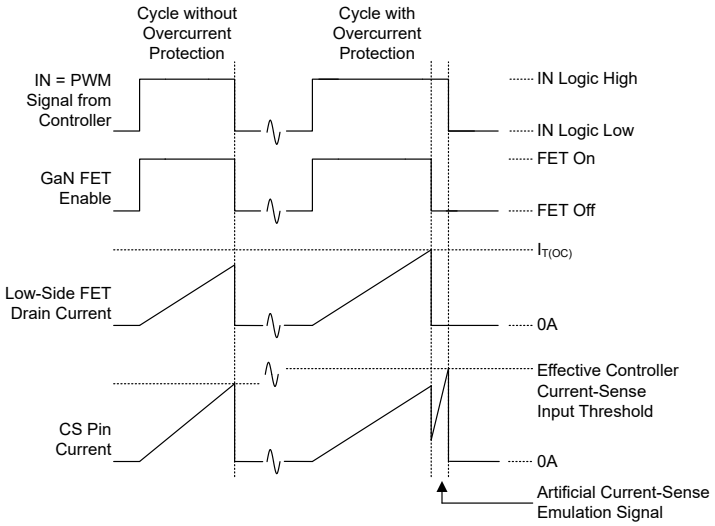


图 7-3. 电流检测仿真运行

7.3.4 输入控制引脚（EN、IN）

EN 引脚用于将器件在工作模式和待机模式之间进行切换，如*器件功能模式*部分所述。

使用 IN 引脚打开和关闭 GaN 功率 FET。

输入控制引脚具有用于实现抗噪性能的典型 1V 输入电压阈值迟滞。这些引脚还具有典型的 400kΩ 下拉电阻，可防止输入悬空。400kΩ 在高于 4V 的标称输入电压下达到饱和，用于将最大输入下拉电流限制为 10μA 典型值。

Copyright © 2025 Texas Instruments Incorporated

以下条件会阻止 IN 导通操作：

- 待机模式 (由上面的 EN 引脚设置)
- AUX UVLO
- 过流保护
- 过热保护

待机模式、AUX UVLO、 和过热保护与 IN 逻辑状态无关。图 7-4 显示了 IN 独立阻断条件运行。

同时，过流保护仅在 IN 开启 GaN 功率 FET 后才起作用。有关更多详细信息，请参阅节 7.3.6。

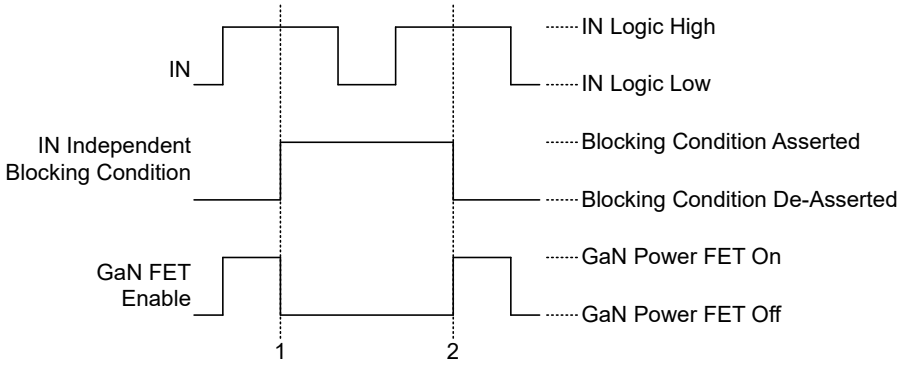


图 7-4. IN 独立阻断条件运行

7.3.5 AUX 电源引脚

AUX 引脚是内部电路的输入电源。

7.3.5.1 AUX 上电复位

如果 AUX 电压低于 AUX 上电复位电压，则 AUX 上电复位将禁用所有低侧功能。AUX 上电复位电压没有具体指定，但大约为 5V。当 AUX 电压高于 AUX 上电复位电压时，AUX 上电复位会触发一次性确定 RDRV 引脚上设定的低侧转换率设置。如果 AUX 电压高于 AUX 上电复位电压，则 AUX 上电复位将启用过热保护功能。

7.3.5.2 AUX 欠压锁定 (UVLO)

如果 AUX 电压低于 AUX UVLO 电压，则 AUX UVLO 会使 GaN 功率 FET 保持关断状态。图 7-4 显示了 AUX UVLO 关断 (阻止) 操作。AUX UVLO 电压迟滞可防止 UVLO 电压跳闸点附近出现开关抖动。

Copyright © 2025 Texas Instruments Incorporated

7.3.6 过流保护

LMG3624 可为 GaN 功率 FET 实现逐周期过流保护。图 7-5 展示了逐周期过流操作。每个 IN 逻辑高电平周期都会打开 GaN 功率 FET。如果 GaN 功率 FET 漏极电流超过过流阈值电流，过流保护会在 IN 逻辑高电平的剩余时间内关断 GaN 功率 FET。

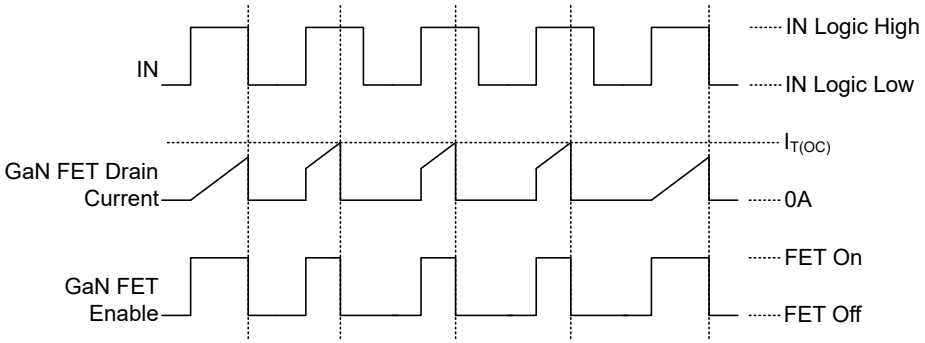


图 7-5. 逐周期过流保护操作

未在 $\overline{FLT}$ 引脚上报告过流保护事件。逐周期过流保护功能可更大限度地减少系统中断，因为不会报告该事件，并且保护功能允许 GaN 功率 FET 在每个 IN 周期导通一次。

为了防止控制器进入挂起状态，低侧过流保护会关断低侧 GaN 功率 FET，从而产生人工 CS 引脚电流，如 节 7.3.3 中所述。

7.3.7 过热保护

如果 LMG3624 温度高于过热保护温度，过热保护会关断 GaN 功率 FET。图 7-4 显示了过热保护关断（阻止）操作。过热保护迟滞可避免不稳定的热循环。

置位过热保护后，$\overline{FLT}$ 引脚上会报告过热故障。过热故障是 $\overline{FLT}$ 引脚上报告的唯一故障事件。当 AUX 电压高于 AUX 上电复位电压时，过热保护将启用。当 AUX 电源轨在应用冷却阶段下降时，低 AUX 上电复位电压有助于过热保护功能保持运行。

7.3.8 故障报告

LMG3624 仅报告过热故障。过热保护功能置位后，$\overline{FLT}$ 引脚上会报告过热故障。$\overline{FLT}$ 引脚是低电平有效的开漏输出，因此该引脚在出现过热故障时拉至低电平。

7.4 器件功能模式

LMG3624 有两种由 EN 引脚控制的运行模式。当 EN 为逻辑高电平时，器件处于工作模式；当 EN 引脚为逻辑低电平时，器件处于待机模式。在工作模式下，IN 引脚控制功率 FET。在待机模式下，IN 引脚被忽略，GaN 功率 FET 保持关断，AUX 静态电流降至 AUX 待机静态电流。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

LMG3624 支持在开关模式电源应用中轻松采用 GaN FET 技术。得益于集成栅极驱动器、低 IN 输入阈值电压和宽 AUX 输入电源电压，LMG3624 能够与业内常见的电源控制器无缝配合。电流检测仿真功能可节省功耗并改善热传导。

使用 LMG3624 只需通过设定电阻设置所需的导通压摆率并计算电流检测电阻。

8.2 典型应用

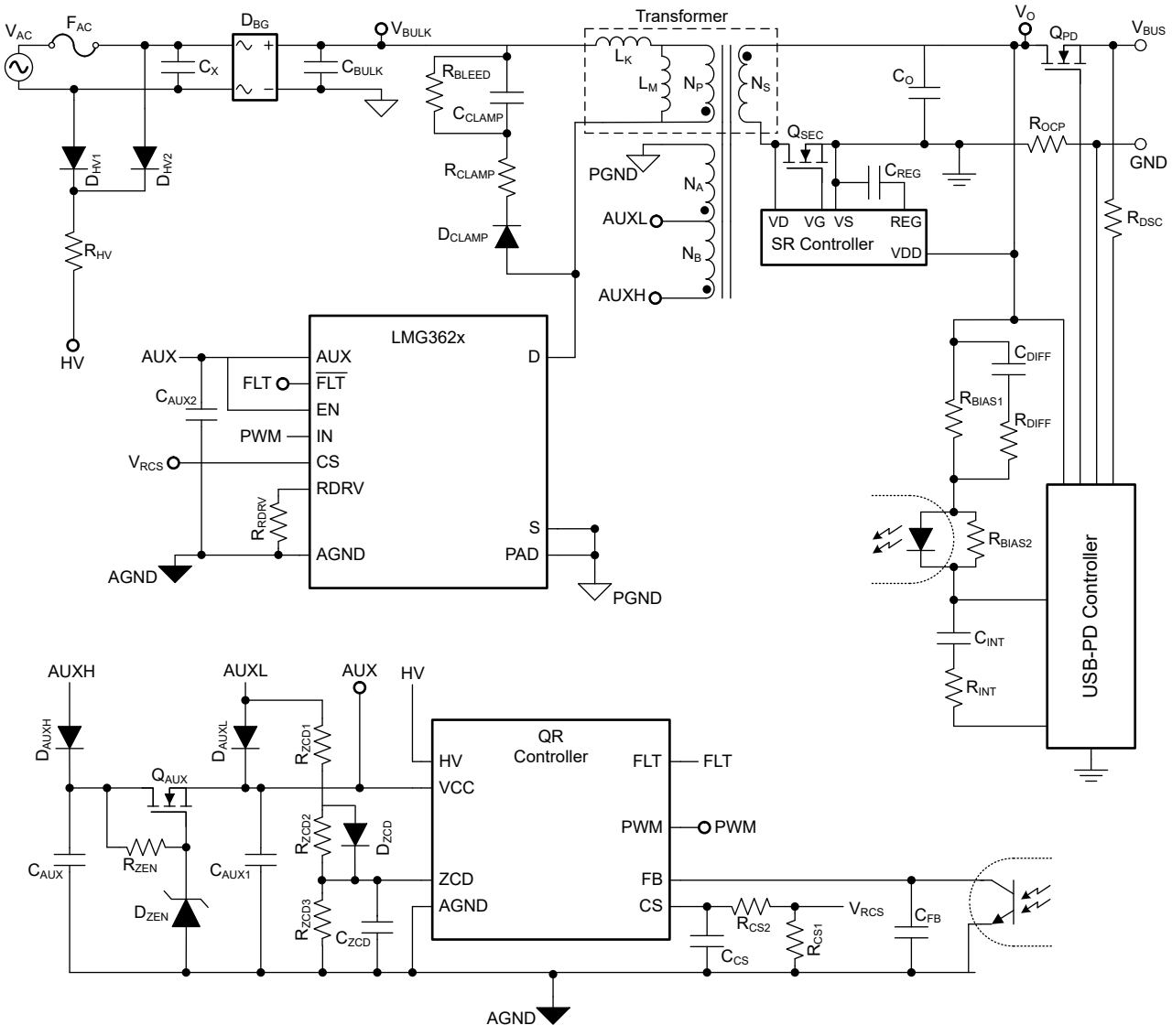


图 8-1. 65W USB PD 充电器准谐振反激式转换器应用

Copyright © 2025 Texas Instruments Incorporated

8.2.1 设计要求

表 8-1. 设计规格

规格	值
输入交流电压范围	90VAC 至 264VAC
输入线路频率范围	47Hz 至 63Hz
输出直流电压设置	5V、9V、15V、20V
20V 输出额定电流	3.25A
5V、9V 和 15V 额定输出电流	3A
无输出负载时的最大交流输入功率	70mW
在 20V 输出电压和满载条件下，整个输入交流电压范围内的效率最低值	93%

8.2.2 详细设计过程

65W USB-PD 充电器应用取自以下用户指南中的 EVM 设计：*使用 LMG3624EVM-081 65W USB-C PD 高密度准谐振反激式转换器* EVM 用户指南。此处未给出整个准谐振反激式转换器设计。使用 *LMG362XX 准谐振功率级设计计算器* 创建所需的应用特定转换器设计。此详细设计过程重点讨论了在应用中使用 LMG3624 的具体细节。

8.2.2.1 导通压摆率设计

LMG3624 导通转换率按照 节 7.3.2 中所述进行设定。其中一项设计注意事项是权衡电源效率与 EMI 或瞬态振铃。较慢的导通转换率可以减少 EMI 和振铃问题，但会增加开关损耗，反之亦然。

在正常准谐振反激式转换器运行中，电源开关根据运行条件在 ZVS 和非 ZVS 谷底开关上运行。在变压器电流为零时进行谷底开关。因此，准谐振转换器中没有开关交叉损耗。唯一的开关损耗是谷底开关期间的开关节点电容损耗。导通压摆率对转换器损耗没有影响。这似乎表明使用最慢的导通压摆率设置。但是，导通压摆率设置可能会对开关导通延迟产生的转换器损耗造成间接影响。

根据准谐振控制器实现谷底开关的方式，开关导通延迟会导致电源转换器在谷底后进行开关并增加电容开关损耗。由于开关导通延迟随着导通压摆率的降低而增加，因此使用较慢的导通压摆率可能会增加电源损耗。如果准谐振控制器补偿开关导通延迟，那么使用最慢导通压摆率设置不会产生损耗。否则，必须在开关噪声问题和开关损耗之间进行设计优化。

导通压摆率通过将 R_{DRV} 设置为*导通压摆率控制* 部分中所示的建议典型设定电阻来进行设定。

8.2.2.2 电流检测设计

电流检测电阻 R_{CS1} 的计算方法如 节 7.3.3 中所述，即首先执行传统的电流检测电阻设计计算，然后乘以电流检测仿真反相增益。传统的电流检测电阻设计计算表示为 $R_{CS(trad)}$，适用于电流检测电阻与电源开关串联并检测全功率开关电流的情况。

$$R_{CS1} = 1036 \times R_{CS(trad)} \quad (5)$$

R_{CS2} 存在与否取决于准谐振控制器。如果使用 R_{CS2}，则 R_{CS2} 设计计算会假设使用阻值非常小的传统电流检测电阻，对 R_{CS2} 计算无影响。验证 R_{CS2} 计算是否考虑显著的 R_{CS1} 值。

8.2.3 应用曲线

以下波形显示了典型的开关波形。蓝色迹线是 LMG3624 漏极电压（开关节点电压），红色迹线是 CS 引脚电流检测仿真电压。

Copyright © 2025 Texas Instruments Incorporated

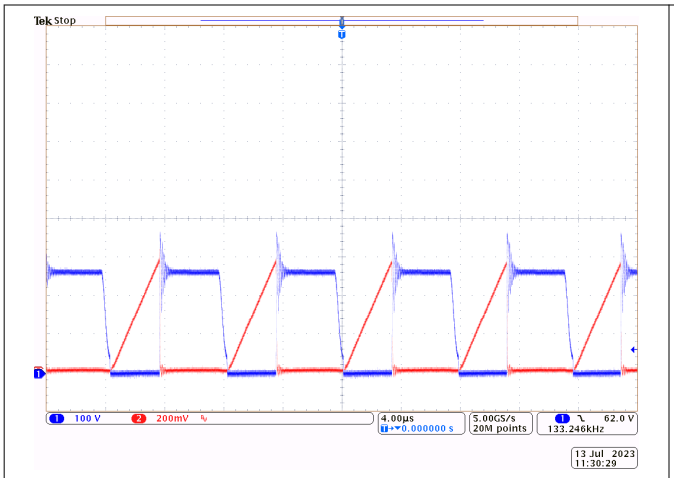


图 8-2. V_{IN} = 115VAC V_{OUT} = 20V I_{OUT} = 3.25A

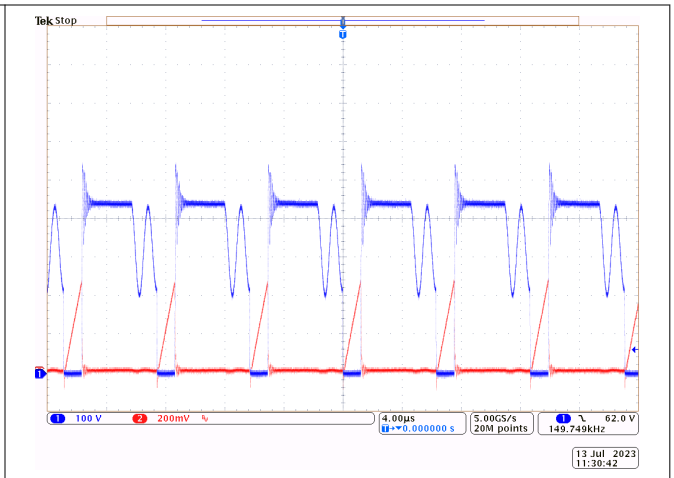


图 8-3. V_{IN} = 230VAC V_{OUT} = 20V I_{OUT} = 3.25A

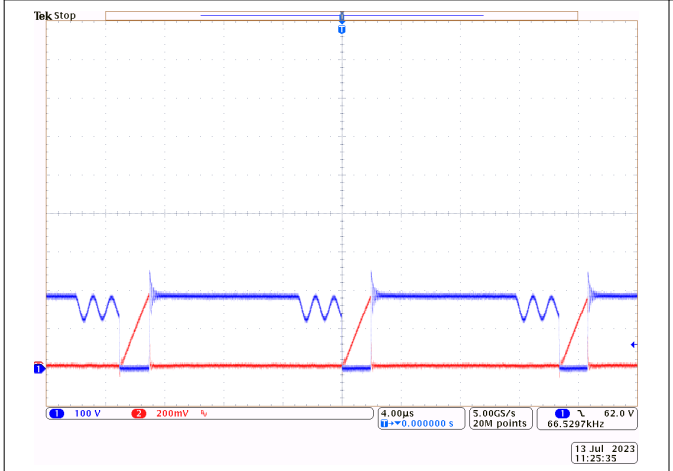


图 8-4. V_{IN} = 115VAC V_{OUT} = 5V I_{OUT} = 3A

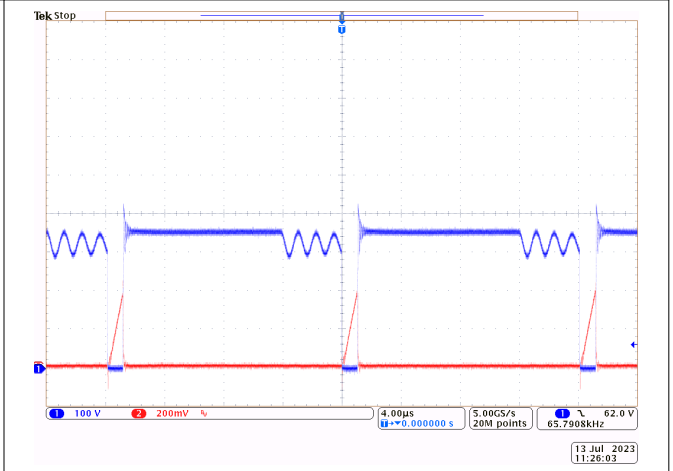


图 8-5. V_{IN} = 230VAC V_{OUT} = 5V I_{OUT} = 3A

8.3 电源相关建议

LMG3624 由连接到 AUX 引脚的单个输入电源供电。LMG3624 支持在由电源控制器管理和使用的同一电源下运行。建议的 10V 至 26V 宽 AUX 电压范围与共模控制器电源引脚导通和 UVLO 电压限制重叠。

建议使用在工作条件下至少为 0.03 µ F 的陶瓷电容作为 AUX 外部电容。

8.4 布局

8.4.1 布局指南

8.4.1.1 焊点应力消除

大型 QFN 封装可能会承受较高的焊点应力。建议采用几种最佳实践来消除焊点应力。首先，必须遵循 引脚功能 中有关 NC1、NC2 和 NC3 固定引脚的说明。其次，所有电路板焊盘都必须为非阻焊层限定 (NSMD)，如*机械、封装和可订购信息* 部分的焊盘图案示例所示。最后，连接到 NSMD 焊盘的任何电路板布线必须小于其所连接焊盘侧焊盘宽度的三分之二。只要布线未被阻焊层覆盖，布线就必须保持这个三分之二的宽度限值。将布线置于阻焊层下方后，对布线尺寸就没有限制了。*布局示例* 部分遵循了所有这些建议。

8.4.1.2 信号接地连接

使用仅在一个位置连接的单独信号和电源接地来设计电源。将 LMG3624 AGND 引脚连接到信号接地。将 LMG3624 SL 引脚和 PAD 散热焊盘连接到电源接地端。功率地连接用作信号和电源接地端之间的单个连接点，因为 AGND 引脚、S 引脚和 PAD 散热焊盘在内部连接。请勿将信号和电源接地端连接到电路板上的任何其他位

Copyright © 2025 Texas Instruments Incorporated

置，下一句中建议的除外。为方便在未安装 LMG3624 的情况下进行电路板调试，请将 AGND 焊盘连接到 PAD 散热焊盘，如 节 8.4.2 所示。

8.4.1.3 CS 引脚信号

如方程式 4 所示，电流检测信号阻抗比传统电流检测信号高三个数量级。这种较高的阻抗对电流检测信号噪声敏感性产生了影响。尽量减少将电流检测信号布设在任何有噪声的布线附近。将电流检测电阻和任何滤波电容器放置在布线的远端，靠近控制器电流检测输入引脚。

8.4.2 布局示例

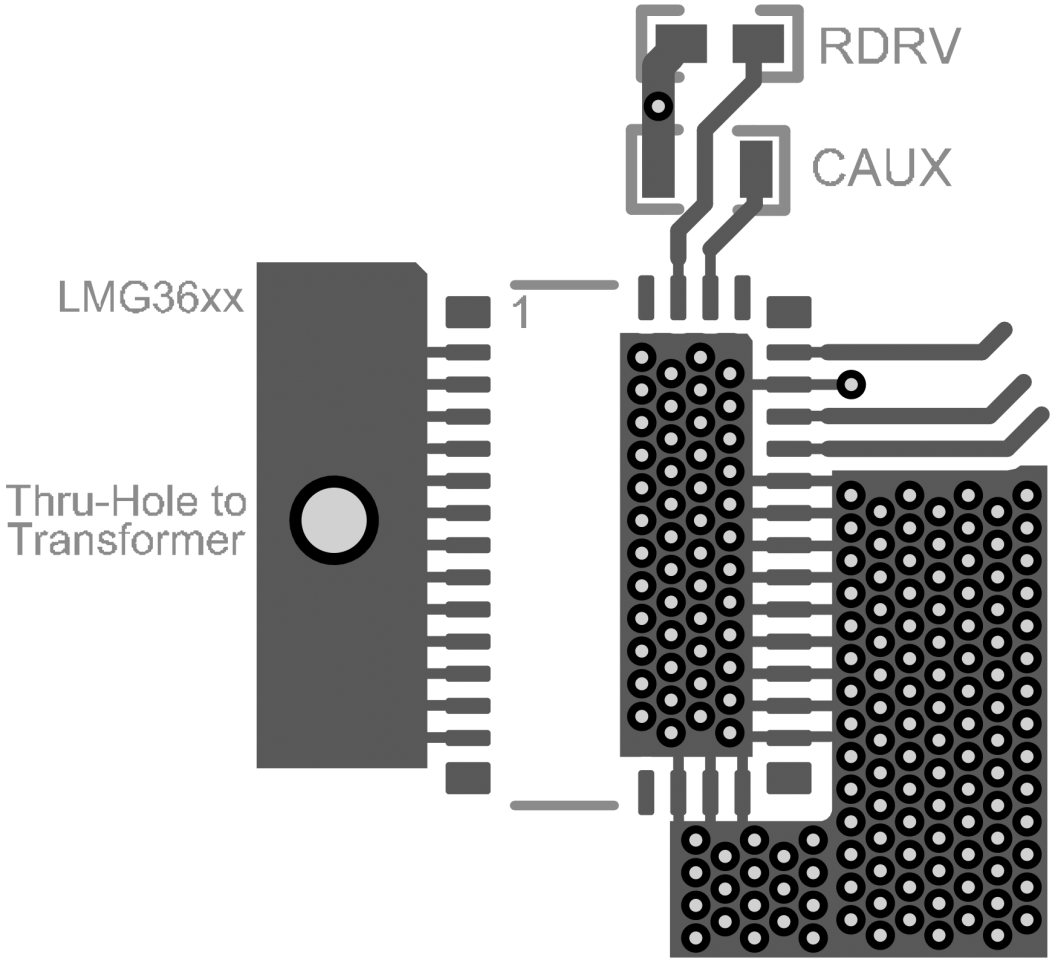


图 8-6. PCB 顶层（第一层）

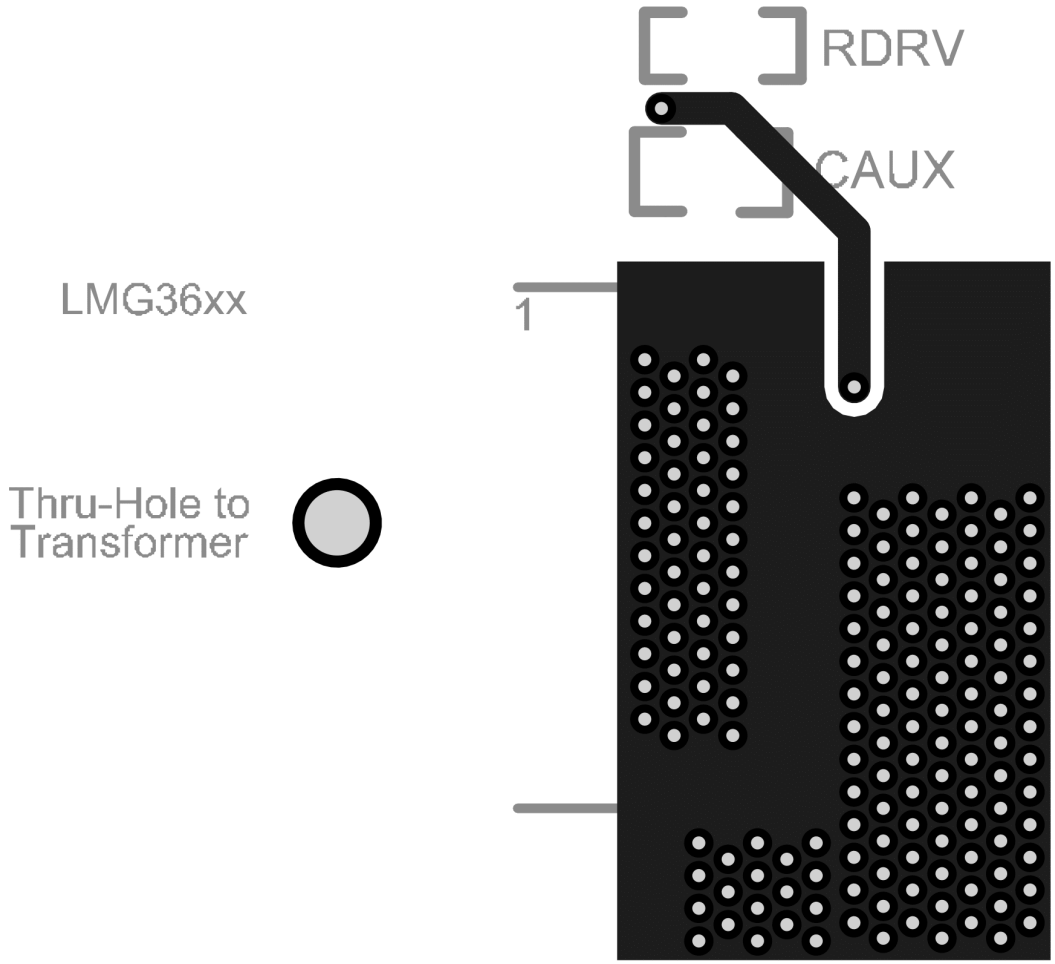


图 8-7. PCB 底层（第二层）

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

- 德州仪器 (TI)，*LMG362XX 准谐振功率级设计计算器*
- 德州仪器 (TI)，*使用 LMG3624EVM-081 65W USB-C PD 高密度准谐振反激式转换器* EVM 用户指南

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (April 2025) to Revision C (September 2025)	Page
• 通篇添加了 LMG3624Y 信息	1
• 使用 LMG3624Y 数据进行了更新并分离了 LMG3624 数据	9
• 向转换率设置中添加了 LMG3624Y	15

Changes from Revision A (June 2024) to Revision B (April 2025)	Page
• 将额定电压从 650V 更新为 700V，将漏源导通电阻从 从 170mΩ 更新为 155mΩ	1
• 更新了 *应用* 部分的文本内容。	1
• 在 *绝对最大额定值* 部分中使用脚注 (2) 更新了额定电压、并添加了脚注 (3)	5
• 在 *电气特性* 部分的 *GAN 功率 FET* 子部分中添加了 25℃ 漏源导通电阻的最大值，并更新了 25℃ 和 125℃ 的漏源导通电阻典型值	5
• 在 *电气特性* 部分的 *过热保护* 子部分中添加了温度故障 – 正向阈值温度的最小值	5

Copyright © 2025 Texas Instruments Incorporated

- *典型特性* 部分中添加了输出电容与漏源电压间的关系图，以及输出电容储存能量与漏源电压间的关系图..... 10
- *GaN 功率 FET 开关功能* 部分中更新了图并添加了用于说明应用用法的句子..... 15
- 更新了 *布局示例* 部分中的图..... 23

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

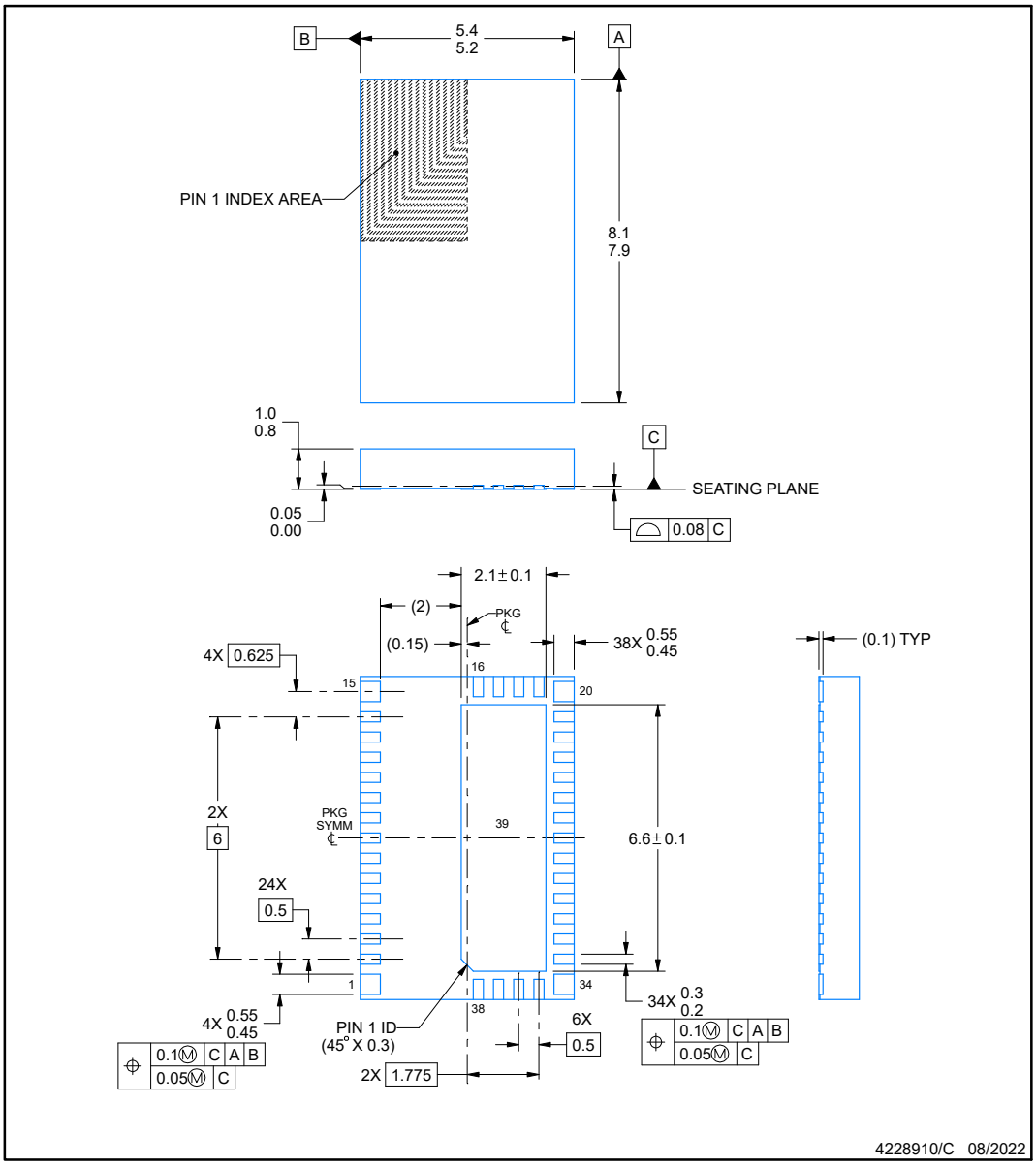
11.1 机械数据

REQ0038A

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

www.ti.com

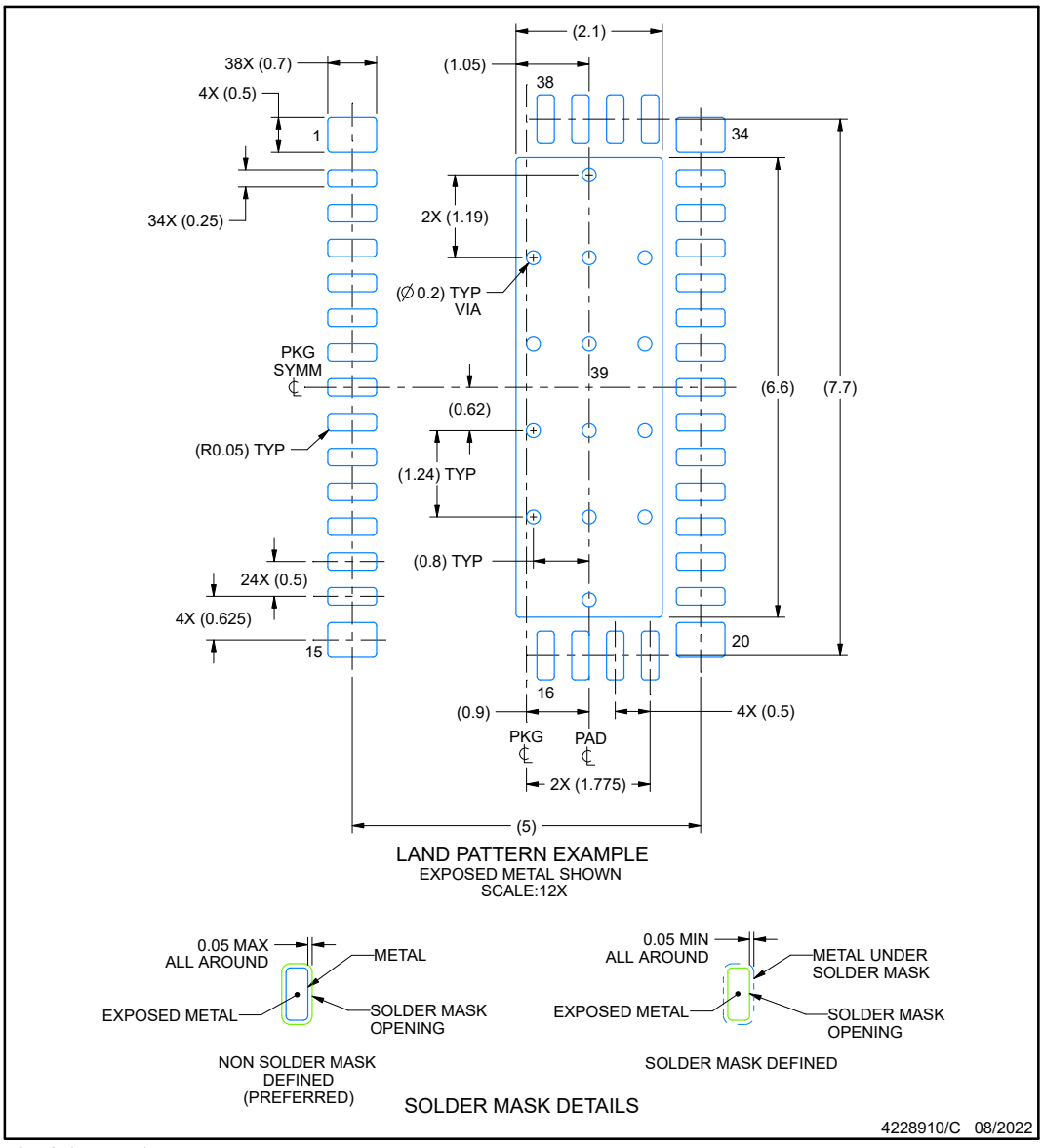
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

REQ0038A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

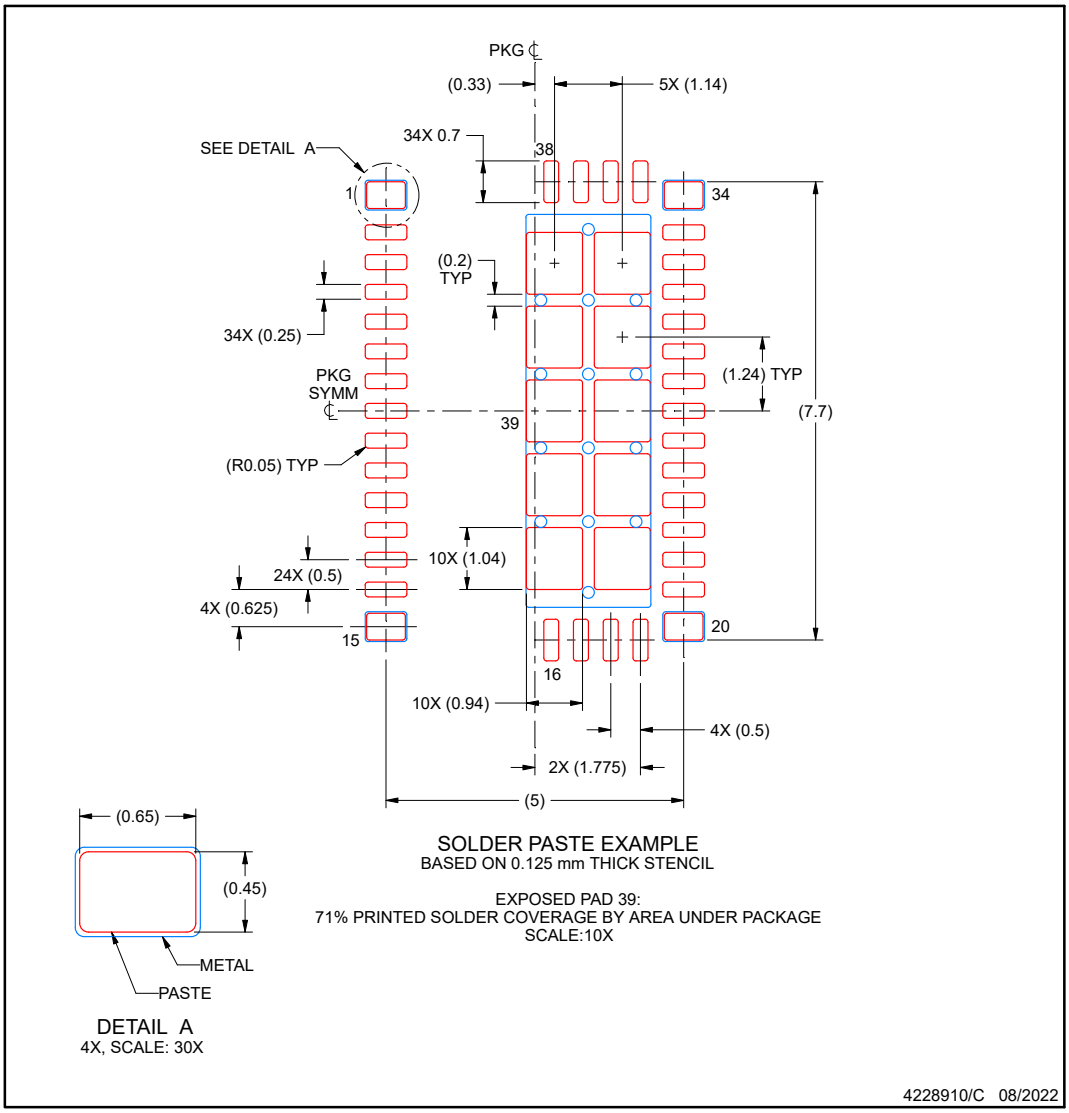
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

REQ0038A — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMG3624REQR	Active	Production	VQFN (REQ) | 38	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG3624 NNNNC
LMG3624REQR.A	Active	Production	VQFN (REQ) | 38	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG3624 NNNNC
LMG3624YREQR	Active	Production	VQFN (REQ) | 38	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG3624Y NNNNC
LMG3624ZREQR	Active	Production	VQFN (REQ) | 38	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG3624 NNNNC

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

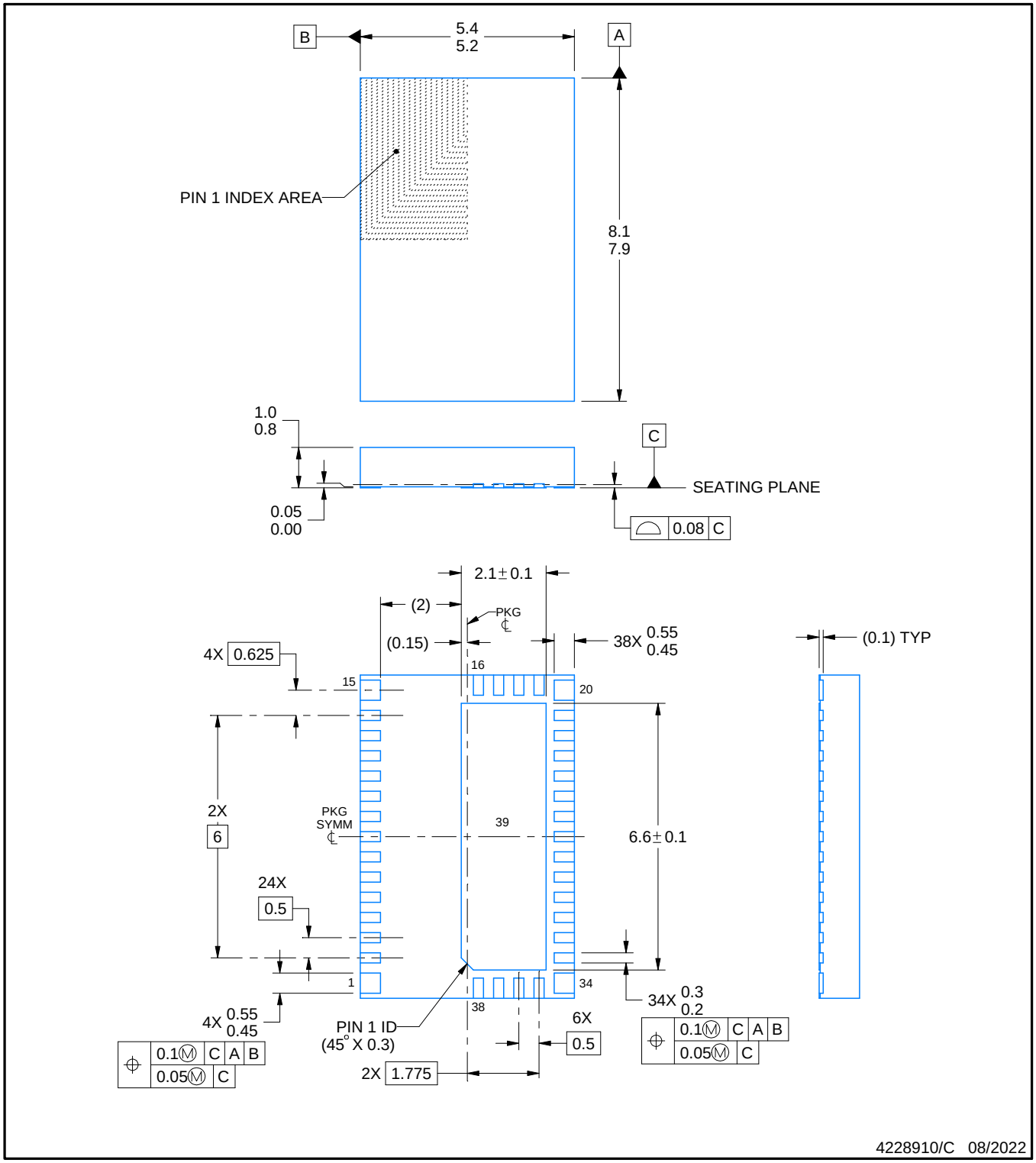
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

REQ0038A

PACKAGE OUTLINE

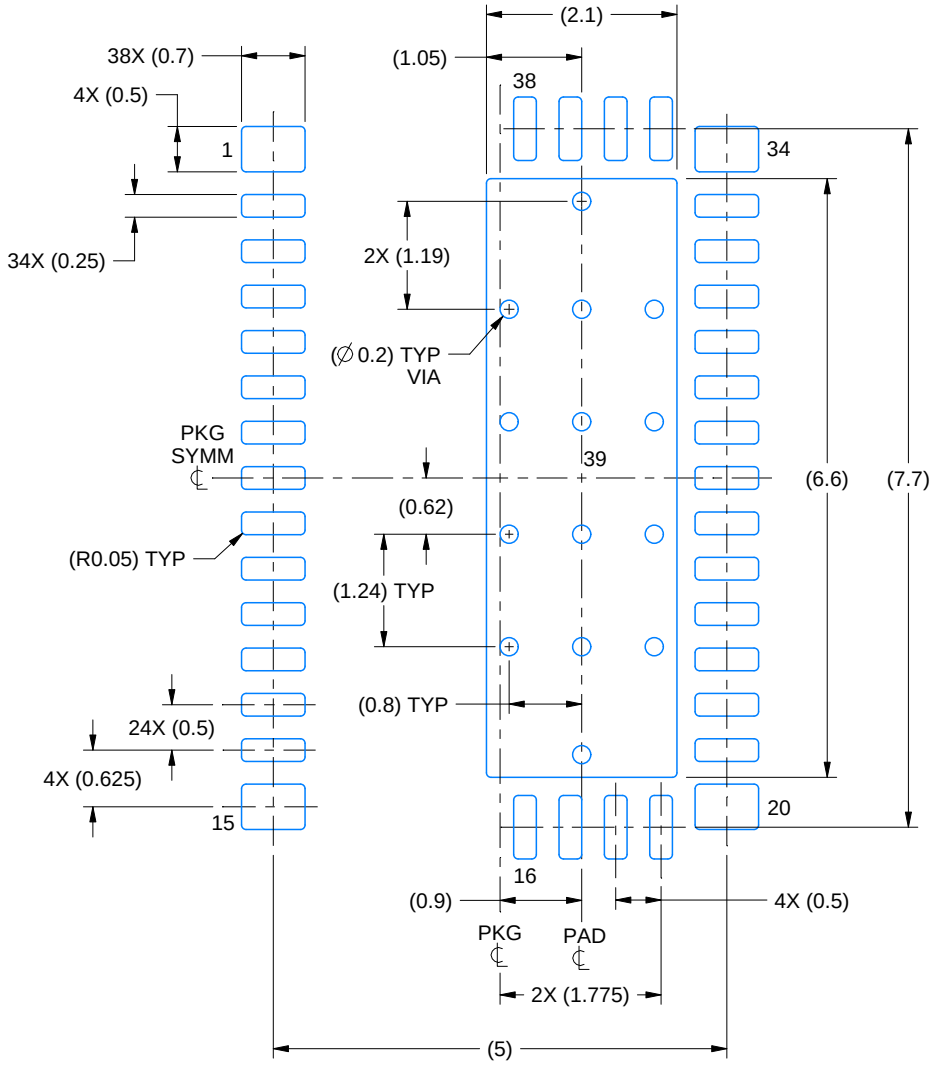
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X

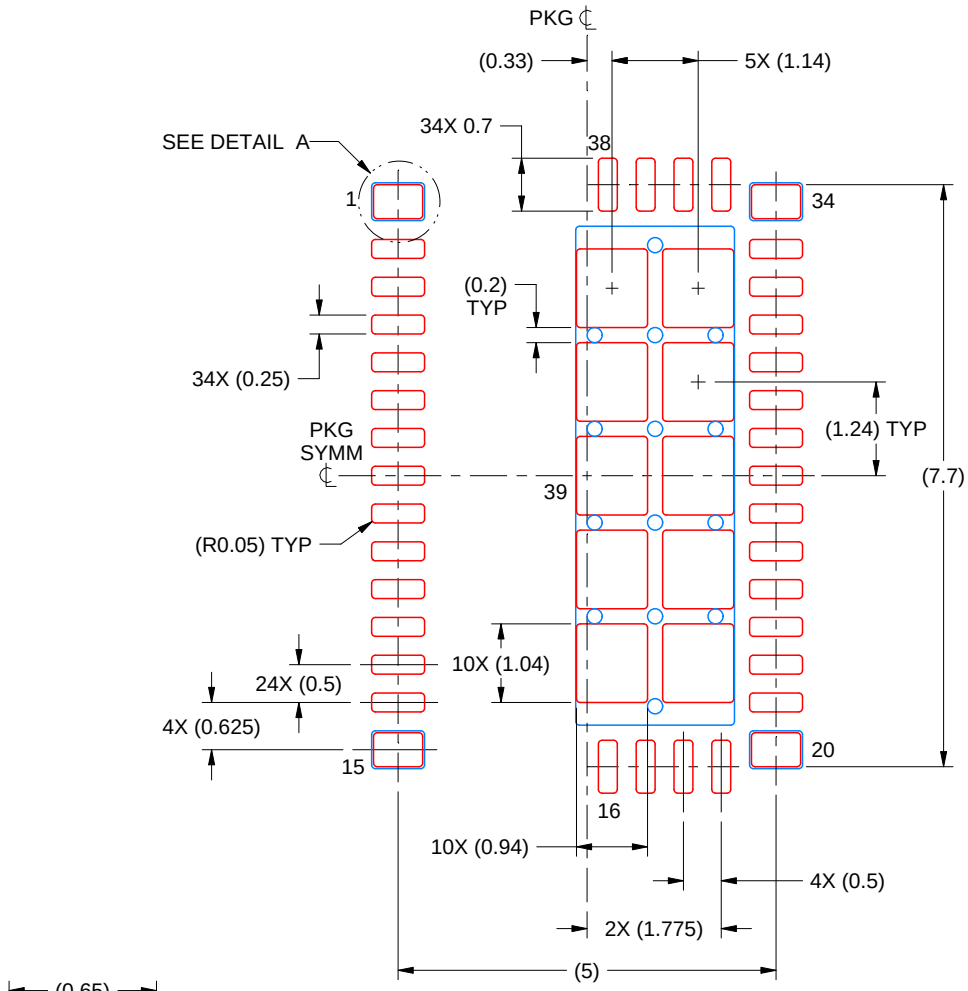


SOLDER MASK DETAILS

4228910/C 08/2022

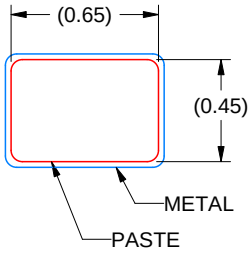
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 39:
71% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:10X



DETAIL A
4X, SCALE: 30X

4228910/C 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月