LMG3100R017 (126A)、LMG3100R044 (46A) 具有集成驱动器的 100V GaN FET

1 特性

- 集成式 1.7mΩ (LMG3100R017) 或 4.4mΩ (LMG3100R044) GaN FET 和驱动器
- 100V 连续 120V 脉冲式电压额定值
- 集成了高侧电平转换和自举
- 两个 LMG3100 可构成一个半桥
  - 无需外部电平转换器
- 5V 外部辅助电源
- 支持 3.3V 和 5V 输入逻辑电平
- 高压摆率开关，低振铃
- 栅极驱动器支持高达 10MHz 的开关频率
- 内部自举电源电压钳位，可防止 GaN FET 过驱动
- 电源轨欠压锁定保护
- 低功耗
- 封装经过优化，便于 PCB 布局
- 外露式顶部 QFN 封装，实现顶面散热
- 底部大型外露焊盘，实现底面散热

2 应用

- 降压、升压和降压/升压转换器
- LLC 转换器
- 光伏逆变器
- 电信和服务器电源
- 电机驱动器
- 电动工具
- D 类音频放大器

3 说明

LMG3100 器件是一款具有集成驱动器的 100V 连续、120V 脉冲氮化镓 (GaN) FET。该器件提供两种 Rds (on) 和最大电流型号，即 126A/1.7mΩ (LMG3100R017) 和 46A/4.4mΩ (LMG3100R044)。该器件包含一个由高频 GaN FET 驱动器驱动的 100V GaN FET。LMG3100 包含一个高侧电平转换器和自举电路，因此两个 LMG3100 器件可用于形成半桥，而无需额外的电平转换器。

GaN FET 在功率转换方面的优势极为显著，因为它们的反向恢复为零，而且输入电容 C_{ISS} 和输出电容 C_{OSS} 都非常小。驱动器和 GaN FET 均安装在一个完全无键合线的封装平台上，尽可能减少了封装寄生元件数。LMG3100 器件采用 6.5mm × 4mm × 0.89mm 无铅封装，可轻松安装在 PCB 上。

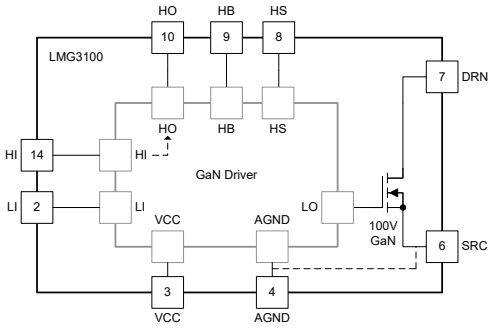
无论 VCC 电压如何，TTL 逻辑兼容输入均可支持 3.3V 和 5V 逻辑电平。专有的自举电压钳位技术确保了增强模式 GaN FET 的栅极电压处于安全的工作范围内。

该器件配有用户友好型接口且更为出色，进一步提升了分立式 GaN FET 的优势。对于需要小尺寸、高频、高效运行的应用来说，该器件是理想的解决方案。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMG3100R017	VBE（VQFN，15）	6.50mm × 4.0mm
LMG3100R044		

(1) 有关所有可用封装，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 热性能信息 5
5.6 电气特性 5
5.7 典型特性 8
6 参数测量信息 11
6.1 传播延迟和失配测量 11
7 详细说明 13
7.1 概述 13
7.2 功能方框图 13
7.3 特性说明 14
7.4 器件功能模式 16
8 应用和实施 16
8.1 应用信息 16
8.2 典型应用 16
8.3 电源相关建议 21
8.4 布局 21
9 器件和文档支持 23
9.1 文档支持 23
9.2 接收文档更新通知 23
9.3 支持资源 23
9.4 商标 23
9.5 静电放电警告 23
9.6 术语表 23
10 修订历史记录 23
11 机械、封装和可订购信息 24
11.1 封装信息 24

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

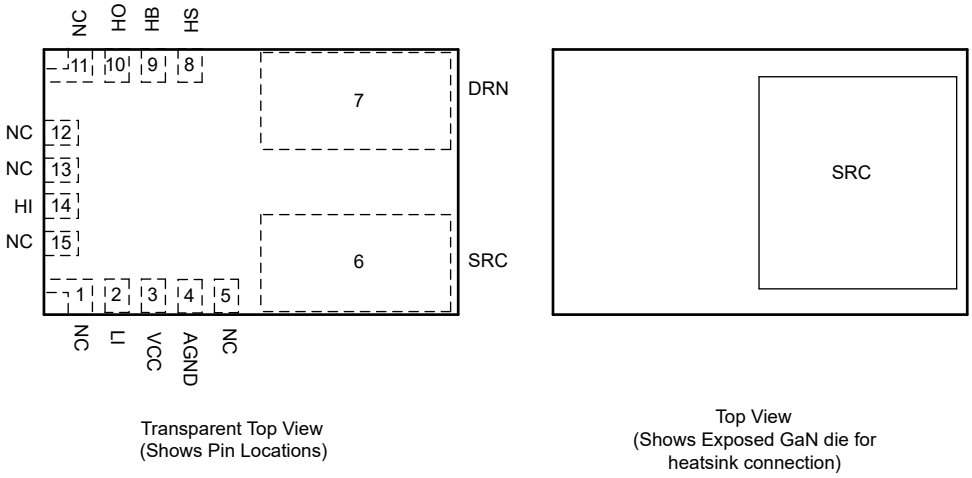


图 4-1. VBE 封装， 15 引脚 VQFN （顶视图）

表 4-1. 引脚功能

引脚		I/O(1)	说明
名称	编号		
NC	1、5、11 – 13、15	—	内部未连接。保持悬空。
LI	2	I	低侧栅极驱动器控制输入。
VCC	3	P	5V 器件电源。
AGND	4	G	模拟地。
SRC	6	P	GaN FET 源极。在内部连接到 AGND。
DRN	7	P	GaN FET 漏极。
HS	8	P	自举电压接地基准。
HB	9	P	以 HS 为接地基准的高侧栅极驱动器自举电源轨。
HO	10	O	电平转换高侧栅极驱动器控制输出。
HI	14	I	高侧栅极驱动器控制输入。

(1) I = 输入，O = 输出，G = 地，P = 电源

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

请参阅(1)

	最小值	最大值	单位
DRN 至 SRC		100	V
DRN 至 SRC（150°C 时可承受多达 10,000 个持续时间为 5ms 的脉冲）		120	V
HB 至 AGND	-0.3	100	V
HS 至 AGND		93	V
HI 至 AGND	-0.3	6	V
LI 至 AGND	-0.3	6	V
HI 至 AGND，10ns 瞬态，频率 < 500kHz (2)	-1.5	6	V
LI 至 AGND，10ns 瞬态，频率 < 500kHz (2)	-1.5	6	V
VCC 到 AGND	-0.3	6	V
HB 至 HS	-0.3	6	V
HB 至 VCC	0	93	V
IOUT，DRN/SRC 引脚（连续），T_J = 125℃，LMG3100R017		126	A
IOUT，DRN/SRC 引脚（脉冲，300µs），T_J = 25℃，LMG3100R017		350	A
IOUT，DRN/SRC 引脚（连续），T_J = 125℃，LMG3100R044		46	A
IOUT，DRN/SRC 引脚（脉冲，300µs），T_J = 25℃，LMG3100R044		125	A
结温，T_J	-40	175	°C
贮存温度，T_{stg}	-40	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) -1.5V 是持续时间为 10ns 的方波脉冲振幅

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±500	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

电压以 AGND 为基准（除非另有说明）

	最小值	标称值	最大值	单位
VCC	4.75	5	5.25	V
LI 或 HI 输入	0		5.5	V
HB	V_{HS} + 4		V_{HS} + 5.25	V
HS、SW 压摆率(1)			50	V/ns

(1) 通过设计和表征确定。未经量产测试。

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标 (1)		LMG3100R017 QFN 15 引脚	单位
$R_{\theta JA}$	结至环境热阻	29.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	0.39	°C/W
$R_{\theta JB}$	结至电路板热阻	5.4	°C/W
Ψ_{JT}	结至顶部特征参数	0.5	°C/W
Ψ_{JB}	结至电路板特征参数	5.4	°C/W
$R_{\Theta JC(bot)}$	结至外壳（底部）热阻	3.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅 *IC 封装热指标* 应用报告 SPRA953。

5.5 热性能信息

热指标 (1)		LMG3100R044 QFN 15 引脚	单位
$R_{\theta JA}$	结至环境热阻		°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻		°C/W
$R_{\theta JB}$	结至电路板热阻		°C/W
Ψ_{JT}	结至顶部特征参数		°C/W
Ψ_{JB}	结至电路板特征参数		°C/W
$R_{\Theta JC(bot)}$	结至外壳（底部）热阻		°C/W

(1) 有关新旧热指标的更多信息，请参阅 *IC 封装热指标* 应用报告 SPRA953。

5.6 电气特性

电压以 AGND 为基准；-40℃ ≤ T_J ≤ 125℃（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
功率级 R017						
$R_{DS(ON)}$	GaN FET 导通电阻	LI = VCC = 5V，HI = 0V，I(DRN-SRC) = 45A，T_J = 25℃		1.7	2.2	mΩ
V_{SD}	GaN 第三象限导通压降	I_{SD} = 500mA，V_{VCC} = 5V，HI = LI = 0V		1.5		V
$I_{L-DRN-SRC}$	GaN FET 关断时从 DRN 到 SRC 的漏电流	DRN = 80V，HI = LI = 0V，V_{VCC} = 5V，T_J = 25℃		12	200	μA
C_{OSS}	GaN FET 的输出电容	V_{DS} = 50V，V_{GS} = 0V (HI = LI = 0V)		1035	1423	pF
$C_{OSS(ER)}$	GaN FET 的输出电容 - 与能量相关	V_{DS} = 0V 至 50V，V_{GS} = 0V (HI = LI = 0V)		1223		pF
$C_{OSS(TR)}$	GaN FET 的输出电容 - 与时间相关	V_{DS} = 0V 至 50V，V_{GS} = 0V (HI = LI = 0V)		1547		pF
Q_G	GaN FET 的总栅极电荷	V_{DS} = 50V，I_D = 45A，V_{GS} = 5V		20	29	nC
Q_{GD}	GaN FET 的栅漏电荷	V_{DS} = 50V，I_D = 45A		2		nC
Q_{GS}	GaN FET 的栅源电荷	V_{DS} = 50V，I_D = 45A		6.7		nC
Q_{OSS}	输出电荷	V_{DS} = 50V，VGS = 0V		77	104	nC
Q_{RR}	源极至漏极反向恢复电荷	不包括内部驱动器自举二极管		0		nC
t_{HIPLH}	传播延迟：HI 上升(2)	LI = 0V，VCC = 5V，HB-HS = 5V，VIN = 48V	38	70	120	ns
t_{HIPHL}	传播延迟：HI 下降(2)	LI = 0V，VCC = 5V，HB-HS = 5V，VIN = 48V	38	70	120	ns
t_{LIPLH}	传播延迟：LI 上升(2)	HI = 0V，VCC = 5V，HB-HS = 5V，VIN = 48V	19	40	65	ns

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性（续）

电压以 AGND 为基准；-40℃ ≤ T_J ≤ 125℃（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
t_{LIPHL}	传播延迟：LI 下降(2)	HI = 0V，VCC = 5V，HB-HS = 5V，VIN = 48V	19	40	65	ns
t_{MON}	延迟匹配：LI 高和 HI 低(2)		4	30	55	ns
t_{MOFF}	延迟匹配：LI 低和 HI 高(2)		4	30	55	ns
t_{PW}	可改变输出的最小输入脉冲宽度			10		ns
功率级 R044						
$R_{DS(ON)}$	GaN FET 导通电阻	LI = VCC = 5V，HI = 0V，I(DRN-SRC) = 16A，T_J = 25℃		4.4	5.7	mΩ
V_{SD}	GaN 第三象限导通压降	I_{SD} = 500mA，V_{VCC} = 5V，HI = LI = 0V		1.5		V
$I_{L-DRN-SRC}$	GaN FET 关断时从 DRN 到 SRC 的漏电流	DRN = 80V，HI = LI = 0V，V_{VCC} = 5V，T_J = 25℃		4	80	μA
C_{OSS}	GaN FET 的输出电容	V_{DS} = 50V，V_{GS} = 0V (HI = LI = 0V)		364	478	pF
$C_{OSS(ER)}$	GaN FET 的输出电容 - 与能量相关	V_{DS} = 0V 至 50V，V_{GS} = 0V (HI = LI = 0V)		441		pF
$C_{OSS(TR)}$	GaN FET 的输出电容 - 与时间相关	V_{DS} = 0V 至 50V，V_{GS} = 0V (HI = LI = 0V)		548		pF
Q_G	GaN FET 的总栅极电荷	V_{DS} = 50V，I_D = 16A，V_{GS} = 5V		7.3	9.3	nC
Q_{GD}	GaN FET 的栅漏电荷	V_{DS} = 50V，I_D = 16A		0.7		nC
Q_{GS}	GaN FET 的栅源电荷	V_{DS} = 50V，I_D = 16A		2.8		nC
Q_{OSS}	输出电荷	V_{DS} = 50V，I_D = 16A		27	35	nC
Q_{RR}	源极至漏极反向恢复电荷	不包括内部驱动器自举二极管		0		nC
t_{HIPLH}	传播延迟：HI 上升(2)	LI = 0V，VCC = 5V，HB-HS = 5V，VIN = 48V	40	66	100	ns
t_{HIPHL}	传播延迟：HI 下降(2)	LI = 0V，VCC = 5V，HB-HS = 5V，VIN = 48V	40	66	100	ns
t_{LPLH}	传播延迟：LI 上升(2)	HI = 0V，VCC = 5V，HB-HS = 5V，VIN = 48V	20	36	55	ns
t_{LPHL}	传播延迟：LI 下降(2)	HI = 0V，VCC = 5V，HB-HS = 5V，VIN = 48V	20	36	55	ns
t_{MON}	延迟匹配：LI 高和 HI 低(2)		10	30	50	ns
t_{MOFF}	延迟匹配：LI 低和 HI 高(2)		10	30	50	ns
t_{PW}	可改变输出的最小输入脉冲宽度			10		ns
输入引脚 HI、LI						
V_{IH}	高电平输入电压阈值	上升沿	1.87	2.06	2.22	V
V_{IL}	低电平输入电压阈值	下降沿	1.48	1.66	1.76	V
V_{HYS}	上升和下降阈值之间的迟滞			350		mV
R_I	输入下拉电阻		100	200	300	kΩ
输出引脚 HO						
V_{OL}	低电平输出电压	I_{OL} = 10mA			0.03	V
V_{OH}	高电平输出电压	I_{OL} = -10mA	V_{HB}-0.06			V
欠压保护						
V_{CCR}	V_{CC} 上升沿阈值	上升	3.2	3.8	4.5	V
V_{CCF}	V_{CC} 下降沿阈值		3.0	3.6	4.3	V
$V_{CC(hyst)}$	V_{CC} UVLO 阈值迟滞			210		mV
V_{HBR}	HB 上升沿阈值	上升	2.5	3.2	3.9	V
V_{HBF}	HB 下降沿阈值		2.3	3.0	3.7	V
$V_{HB(hyst)}$	HB UVLO 阈值迟滞			220		mV
自举二极管						
V_{DL}	低电流正向电压	I_{VDD-HB} = 100μA		0.45	0.65	V
V_{DH}	高电流正向电压	I_{VDD-HB} = 100mA		0.9	1.2	V
R_D	动态电阻	I_{VDD-HB} = 100mA		1.85		Ω

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性（续）

电压以 AGND 为基准；-40℃ ≤ T_J ≤ 125℃（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
	HB-HS 钳位	稳压电压	4.65	5	5.2	V
t_{BS}	自举二极管反向恢复时间	I_F = 100mA，IR = 100mA		40		ns
Q_{RR}	自举二极管反向恢复电荷	V_{VIN} = 50V		2		nC
电源电流						
I_{CC}	VCC 静态电流	LI = HI = 0V，VCC = 5V		0.08	0.125	mA
I_{CC}	VCC 静态电流	LI = VCC = 5V，HI = 0V，LMG3100R017		0.17	5	mA
I_{CC}	VCC 静态电流	LI = VCC = 5V，HI = 0V，LMG3100R044		0.17	5	mA
I_{CCO}	总 VCC 工作电流	f = 500kHz，50% 占空比，V_{IN} = 48V，LMG3100R017		10	20	mA
I_{CCO}	总 VCC 工作电流	f = 500kHz，50% 占空比，V_{IN} = 48V，LMG3100R044		5	10	mA
I_{HB}	HB 静态电流	LI = HI = 0V，VCC = 5V，HB-HS = 4.6V		0.1	0.150	mA
I_{HB}	HB 静态电流	LI = 0V，HI = VCC = 5V，HB-HS = 4.6V，VIN = 48V，LMG3100R017		0.16	0.25	mA
I_{HB}	HB 静态电流	LI = 0V，HI = VCC = 5V，HB-HS = 4.6V，VIN = 48V，LMG3100R044		0.16	0.25	mA
I_{HBO}	HB 工作电流	f = 500kHz，50% 占空比，V_{DD} = 5V，V_{IN} = 48V，对于采用半桥配置的低侧器件，LMG3100R017，HB-HS = 4.6V（由外部提供）		1.5	2.5	mA
I_{HBO}	HB 工作电流	f = 500kHz，50% 占空比，V_{DD} = 5V，V_{IN} = 48V，对于采用半桥配置的低侧器件，HB-HS = 4.6V（由外部提供），LMG3100R044		1.5	2.5	mA

(1) 仅显示典型值的参数通过设计确定，可能未在生产中进行测试
(2) 请参阅*传播延迟和失配测量*部分

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性

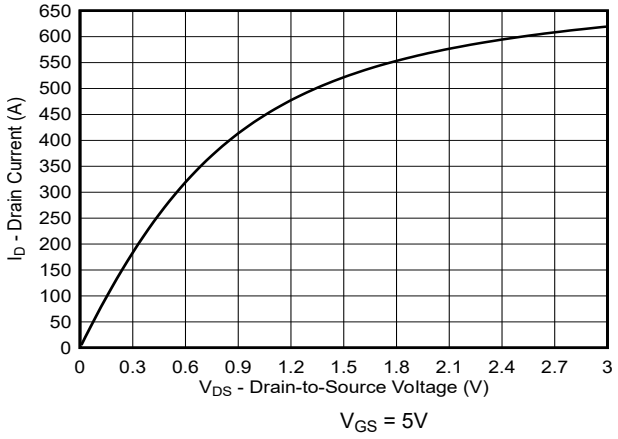


图 5-1. LMG3100R017 典型输出特性

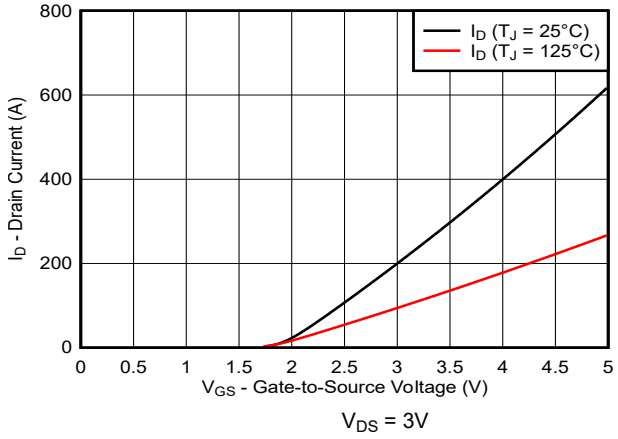


图 5-2. LMG3100R017 典型传输特性

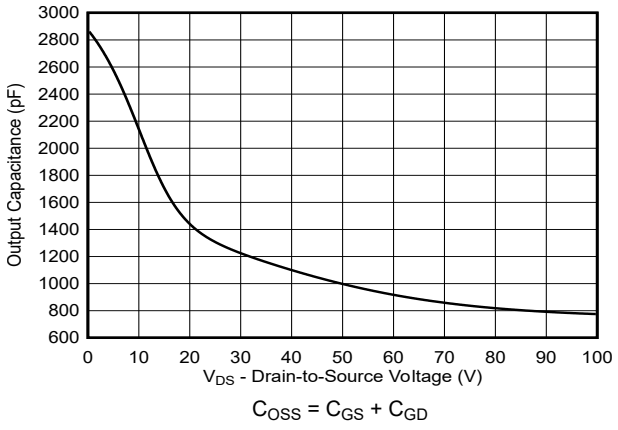


图 5-3. LMG3100R017 典型电容（线性标度）

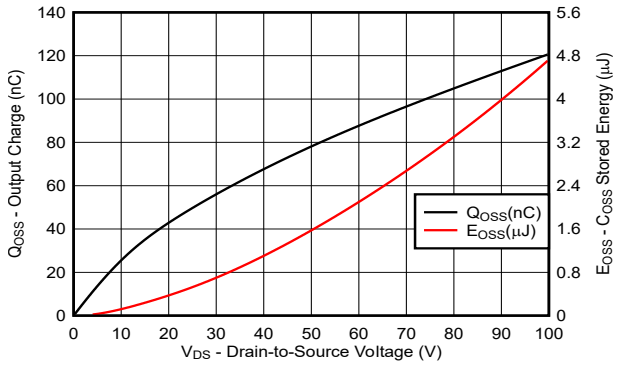


图 5-4. LMG3100R017 典型输出电荷和 C_{OSS} 存储能量

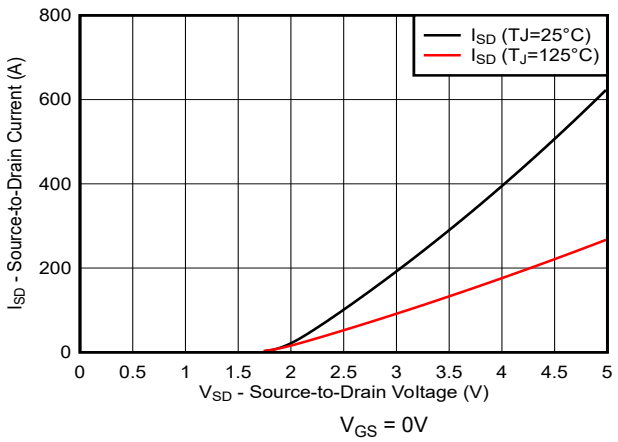


图 5-5. LMG3100R017 反向漏源特性

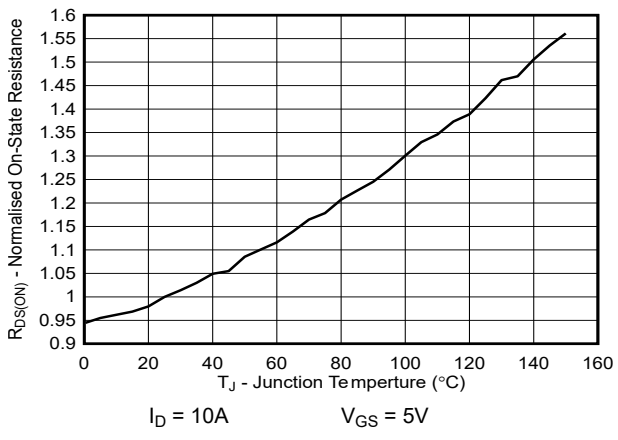


图 5-6. LMG3100R017 标准化导通状态电阻与结温间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

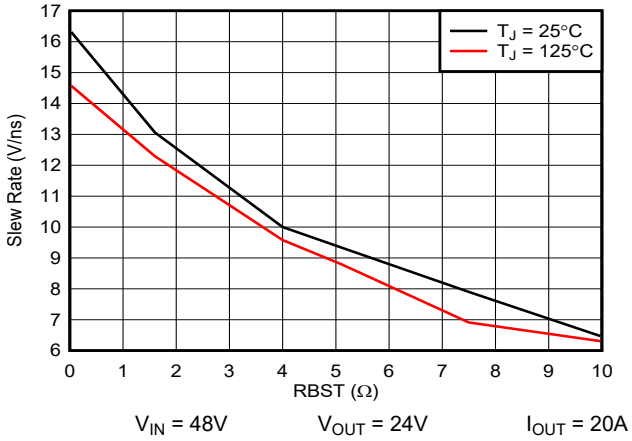


图 5-7. LMG3100R017 针对使用 R_{BST} 的降压转换器的压摆率控制

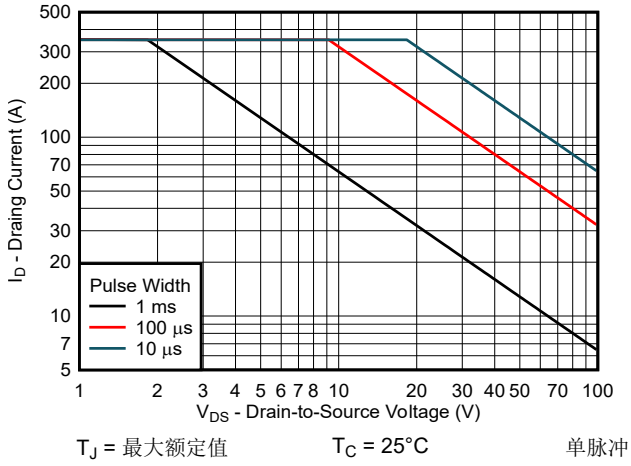


图 5-8. LMG3100R017 安全工作区

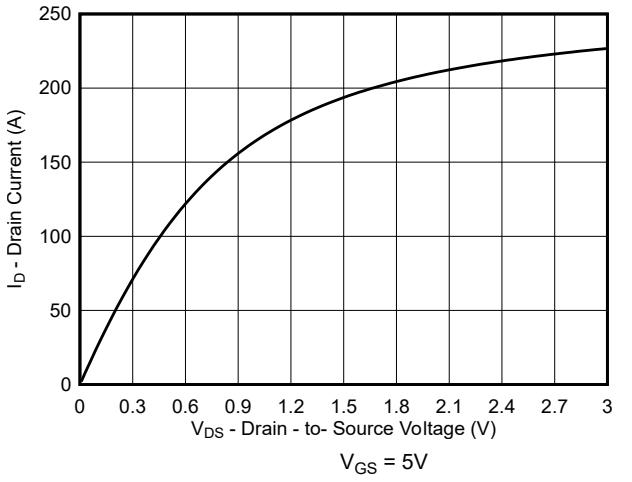


图 5-9. LMG3100R044 典型输出特性

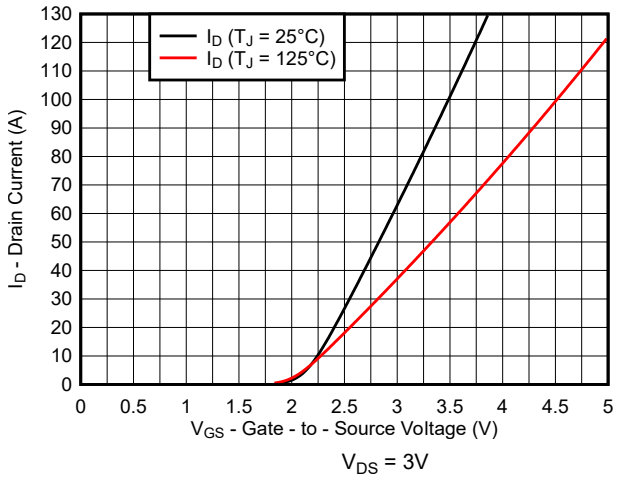


图 5-10. LMG3100R044 典型传输特性

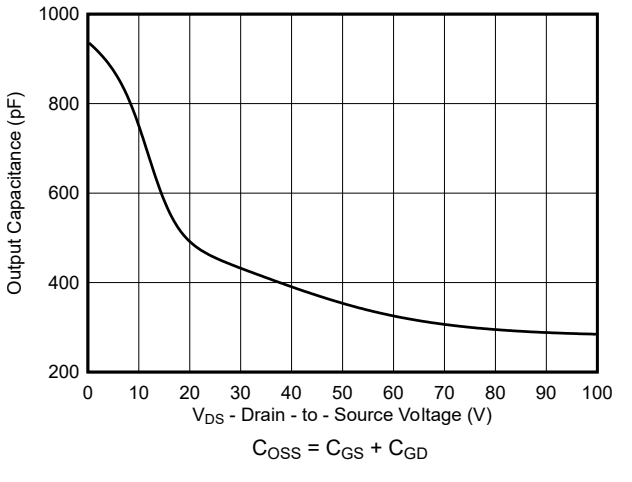


图 5-11. LMG3100R044 典型电容（线性标度）

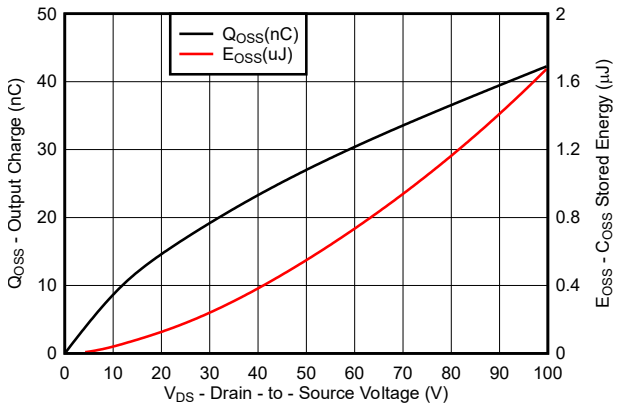


图 5-12. LMG3100R044 典型输出电荷和 C_{OSS} 存储能量

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

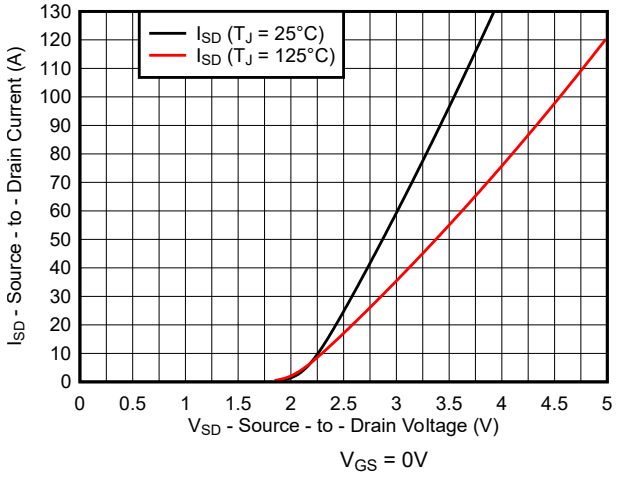


图 5-13. LMG3100R044 反向漏源特性

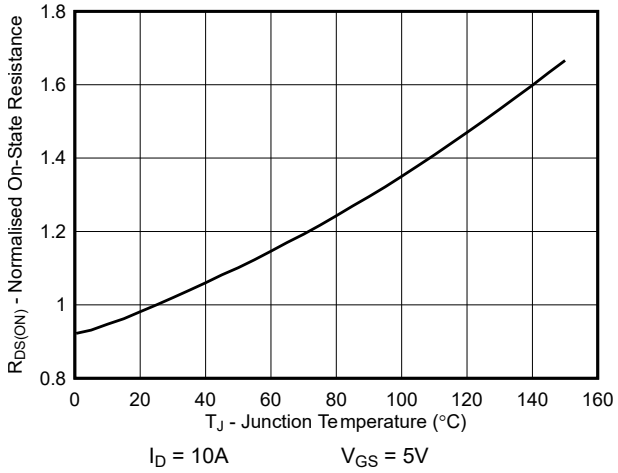


图 5-14. LMG3100R044 标准化导通状态电阻与结温间的关系

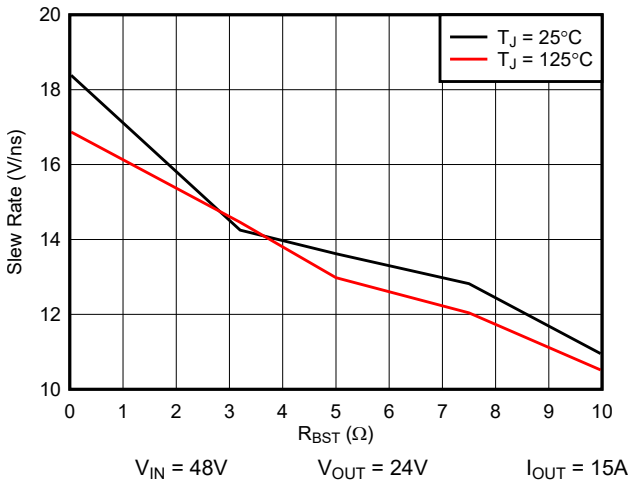


图 5-15. LMG3100R044 针对使用 R_{BST} 的降压转换器的压摆率控制

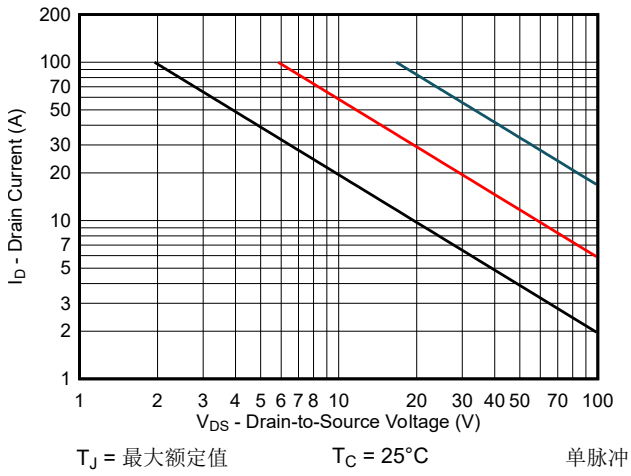


图 5-16. LMG3100R044 安全工作区

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

6.1 传播延迟和失配测量

图 6-1 展示了用于测量传播失配的典型测试设置。由于无法访问栅极驱动器，因此该测试电路中的上拉和下拉电阻器用于指示低侧 GaN FET 何时导通以及高侧 GaN FET 何时关闭，反之用于测量 t_{MON} 和 t_{MOFF} 参数。此电路中用于上拉和下拉电阻器的电阻值约为 1kΩ；使用的电流源为 2A。

图 6-2 到图 6-5 展示了传播延迟测量波形。进行导通传播延迟测量时，不使用电流源。对于关断时间测量，电流源设置为 2A，并且还会设置电压钳位限值，称为 $VIN_{(CLAMP)}$。测量高侧元件关断延迟时，高侧 FET 上的电流源导通，低侧 FET 上的电流源关闭，HI 从高电平转换为低电平，输出电压从 V_{IN} 转换为 $V_{IN(CLAMP)}$。同样，测量低侧元件关断传播延迟时，高侧元件电流源关闭，低侧元件电流源导通，LI 从高电平转换为低电平，输出从 GND 电位转换为 $V_{IN(CLAMP)}$。LI 转换和输出变化之间的时间差就是传播延迟时间。

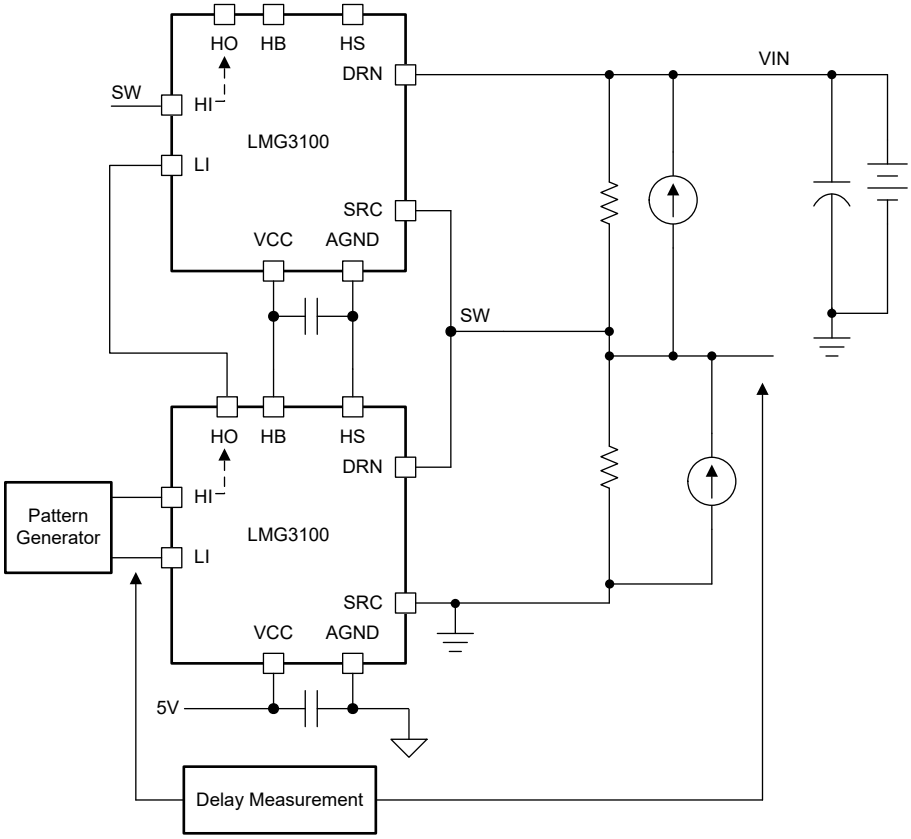


图 6-1. 传播延迟和传播失配测量

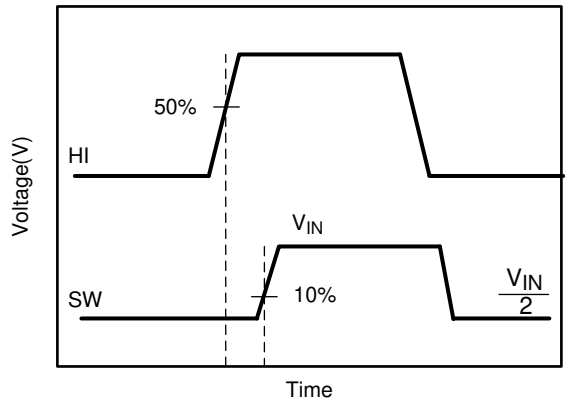


图 6-2. 高侧栅极驱动器导通

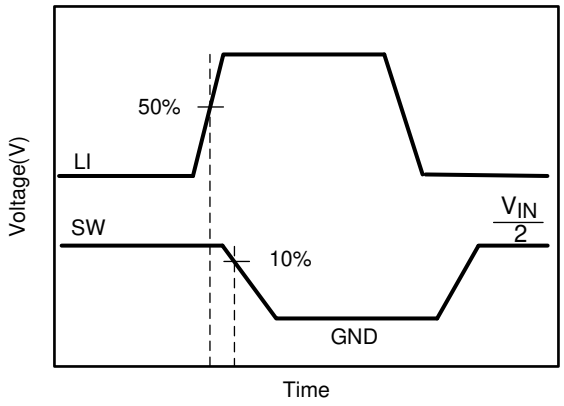


图 6-3. 低侧栅极驱动器导通

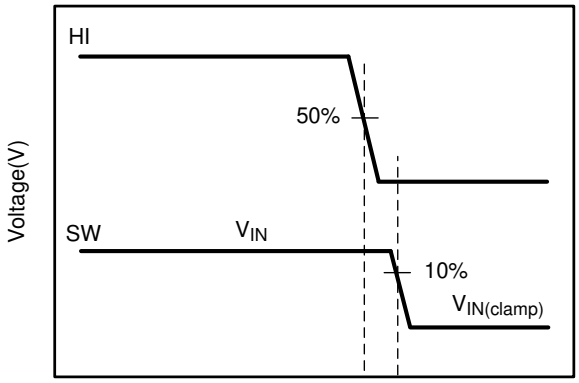


图 6-4. 高侧栅极驱动器关断

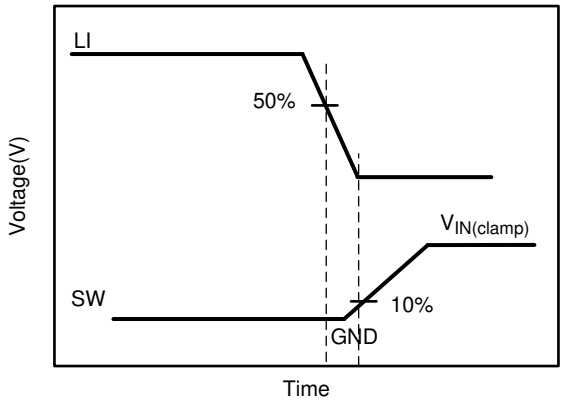


图 6-5. 低侧栅极驱动器关断

Copyright © 2025 Texas Instruments Incorporated

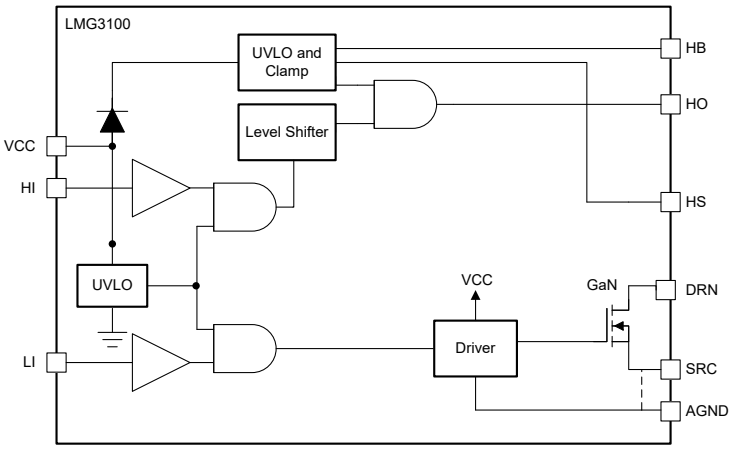
7 详细说明

7.1 概述

节 7.2 展示了具有栅极驱动器、高侧电平转换和自举电路的 LMG3100 GaN FET，其中包括内置 UVLO 保护电路和过压钳位电路。钳位电路会限制自举刷新操作，以确保高侧栅极驱动器过驱不超过 5.4V。该器件集成了一个 1.7mΩ GaN FET (LMG3100R017) 或 4.4mΩ GaN FET (LMG3100R044)，无需外部电平转换器即可使用两个 LMG3100 形成半桥。该器件可用于许多隔离和非隔离拓扑，从而实现非常简单的集成。导通和关断的驱动强度经过了优化，可确保高电压压摆率，而不会在栅极或电源环路上造成任何过多的振铃。

7.2 功能方框图

具有集成式 GaN FET 和驱动器、高侧电平转换和自举电路的 LMG3100 器件的功能方框图。



7.3 特性说明

通过 LMG3100 器件可以轻松设计高功率密度电路板，无需底层填料，同时仍能满足爬电距离和间隙要求。将 GaN FET 与驱动器的共同封装可确保尽可能降低共源电感。尽可能降低此电感对硬开关式拓扑的性能有显著影响。

带钳位功能的内置自举电路可防止高侧栅极驱动器超过 GaN FET 的最大栅源电压 (Vgs)，无需使用任何额外的外部电路。内置驱动器在 VCC 和自举 (HB-HS) 电源轨上具有欠压锁定 (UVLO) 功能。当 VCC 电压低于 UVLO 阈值电压时，器件会忽略 HI 和 LI 信号，以防止 GaN FET 发生部分导通。在 UVLO 以下，如果电压足够 (V_{VCC} > 2.5V)，驱动器会主动将高侧和低侧栅极驱动器输出拉至低电平。200mV 的 UVLO 阈值迟滞可防止电压尖峰引起的抖动和意外导通。应使用容值为 1µF 或更高的外部 VCC 旁路电容器。为更大限度缩短与引脚之间的布线长度，TI 建议使用 0402 尺寸。为更大限度减少寄生电感，应将旁路电容器和自举电容器尽可能靠近器件放置。

7.3.1 控制输入

LMG3100 的输入引脚由 TTL 输入阈值独立控制，无论 VCC 电压如何，这些引脚都能支持 3.3V 和 5V 逻辑电平。

为了能够根据设计需求灵活地优化死区时间，LMG3100 未实施重叠保护功能。如果 HI 和 LI 均生效，则高侧和低侧 GaN FET 都会导通。必须仔细考虑控制输入以避免击穿情况。

7.3.2 启动和 UVLO

LMG3100 在 V_{CC} 和 HB（自举）电源上均具有 UVLO。当 V_{CC} 电压低于 3.8V 阈值电压时，HI 和 LI 输入均被忽略，以防止 GaN FET 发生部分导通。此外，如果 V_{CC} 电压不足，则 UVLO 会主动将高侧和低侧 GaN FET 栅极拉低。当 HB 至 HS 自举电压低于 3.2V UVLO 阈值时，仅高侧 GaN FET 栅极被拉低。两个 UVLO 阈值电压均具有 200mV 迟滞以避免抖动。

表 7-1. V_{CC} UVLO 功能逻辑运算

条件（对于以下所有情况，$V_{HB-HS} > V_{HBR}$）	HI	LI	SW
在器件启动期间，$V_{CC} - V_{SS} < V_{CCR}$	H	L	高阻态
在器件启动期间，$V_{CC} - V_{SS} < V_{CCR}$	L	H	高阻态
在器件启动期间，$V_{CC} - V_{SS} < V_{CCR}$	H	H	高阻态
在器件启动期间，$V_{CC} - V_{SS} < V_{CCR}$	L	L	高阻态
在器件启动后，$V_{CC} - V_{SS} < V_{CCR} - V_{CC(hyst)}$	H	L	高阻态
在器件启动后，$V_{CC} - V_{SS} < V_{CCR} - V_{CC(hyst)}$	L	H	高阻态
在器件启动后，$V_{CC} - V_{SS} < V_{CCR} - V_{CC(hyst)}$	H	H	高阻态
在器件启动后，$V_{CC} - V_{SS} < V_{CCR} - V_{CC(hyst)}$	L	L	高阻态

表 7-2. V_{HB-HS} UVLO 功能逻辑运算

条件（对于以下所有情况，$V_{CC} > V_{CCR}$）	HI	LI	SW
器件启动期间，$V_{HB-HS} < V_{HBR}$	H	L	高阻态
器件启动期间，$V_{HB-HS} < V_{HBR}$	L	H	PGND
器件启动期间，$V_{HB-HS} < V_{HBR}$	H	H	PGND
器件启动期间，$V_{HB-HS} < V_{HBR}$	L	L	高阻态
在器件启动后，$V_{HB-HS} < V_{HBR} - V_{HB(hyst)}$	H	L	高阻态
在器件启动后，$V_{HB-HS} < V_{HBR} - V_{HB(hyst)}$	L	H	PGND
在器件启动后，$V_{HB-HS} < V_{HBR} - V_{HB(hyst)}$	H	H	PGND
在器件启动后，$V_{HB-HS} < V_{HBR} - V_{HB(hyst)}$	L	L	高阻态

Copyright © 2025 Texas Instruments Incorporated

7.3.3 自举电源电压钳位

高侧偏置电压是使用自举技术生成的，并在内部钳位为 5V（典型值）。该钳位可防止栅极电压超过增强模式 GaN FET 的最大栅源电压额定值。

7.3.4 电平转换

电平转换电路是从高侧输入 HI 到高侧驱动器级的接口，以开关节点 (HS) 为基准。电平转换可控制以 HS 引脚为基准的高侧 GaN FET 栅极驱动器输出。

Copyright © 2025 Texas Instruments Incorporated

7.4 器件功能模式

LMG3100 可在正常模式和 UVLO 模式下运行。有关 UVLO 工作模式的信息，请参阅 节 7.3.2。在正常模式下，输出状态取决于 HI 和 LI 引脚的状态。表 7-3 列出了不同输入引脚组合的输出状态。请注意，当 HI 和 LI 均生效时，功率级中的两个 GaN FET 都会导通。必须仔细考虑控制输入以避免这种状态，因为这种状态会导致击穿情况，从而可能导致器件永久损坏。

表 7-3. 真值表

HI	LI	高侧 GaN FET	低侧 GaN FET	SW
L	L	关闭	关闭	高阻态
L	H	关闭	打开	PGND
H	L	打开	关闭	VIN
H	H	打开	打开	- - -

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

LMG3100 GaN 功率级是一款多功能构建模块，适用于各种类型的高频开关模式电源应用。封装中集成的高性能栅极驱动器 IC 有助于更大限度地减少寄生效应，并让 GaN FET 实现极快的开关速度。该器件设计针对同步降压转换器和其他半桥配置进行了高度优化。

8.2 典型应用

图 8-1 展示了使用数字 PWM 控制器的同步降压转换器应用。数字控制器提供的高侧 LMG3100 控制信号通过低侧 LMG3100 进行电平转换，以在不使用额外电平转换器的情况下完成半桥。优化电源环路（从 VIN 电容器到 PGND 的环路阻抗）至关重要。具有高功率环路电感会在 SW 节点中引起显著振铃，并且还会引起相关的功率损耗。

Copyright © 2025 Texas Instruments Incorporated

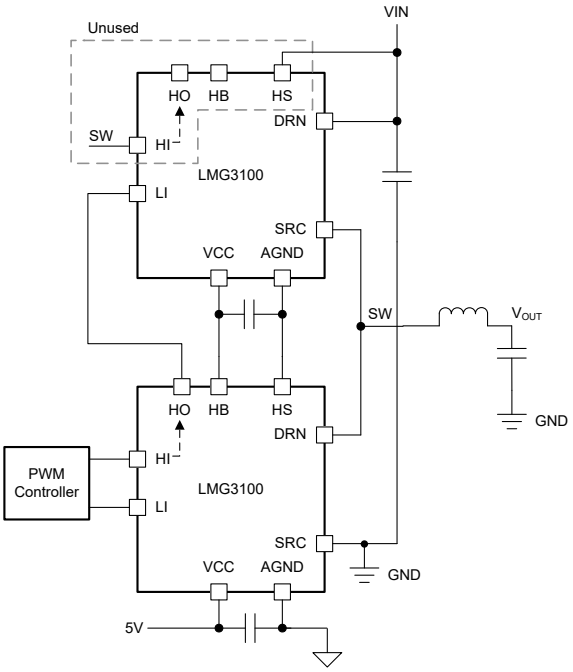


图 8-1. 同步降压转换器的典型连接图

8.2.1 设计要求

在设计包含 LMG3100 功率级的同步降压转换器应用时，为了做出最合适的选择，必须先评估一些设计注意事项。这些注意事项包括输入电压、无源器件、工作频率和控制器选择。*表 8-1* 展示了典型应用的一些示例值。如需了解 LMG3100 的其他重要设计注意事项，请参阅 *节 8.3*、*节 8.4* 和 *节 8.2.2.5*。

表 8-1. 设计参数

参数	示例值
半桥输入电源电压 V_{IN}	48V
输出电压，V_{OUT}	12V
输出电流	8A
V_{HB-HS} 自举电容器	0.3uF，X7R
开关频率	1MHz
电感器	4.7μH
控制器	LM5148

8.2.2 详细设计过程

此过程概述了同步降压转换器中 LMG3100 的设计注意事项。要获得更多的设计帮助，请参阅 *节 9.1.1*。

8.2.2.1 V_{CC} 旁路电容器

V_{CC} 旁路电容器为低侧和高侧晶体管提供栅极电荷，并吸收自举二极管的反向恢复电荷。可通过方程式 1 计算所需的旁路电容。

$$C_{VCC} = (2 \times Q_G + Q_{RR}) / \Delta V \quad (1)$$

Q_G 是高侧和低侧 GaN FET 的独立且相等的栅极电荷。Q_{RR} 是自举二极管的反向恢复电荷。ΔV 是旁路电容器上的最大允许压降。建议使用 1μF 或更大值的优质陶瓷电容器。为最大限度减少寄生电感，应将旁路电容器尽可能靠近器件的 V_{CC} 和 AGND 引脚放置。

Copyright © 2025 Texas Instruments Incorporated

8.2.2.2 自举电容器

自举电容器为高侧栅极驱动器提供栅极电荷，为 HB UVLO 电路提供直流偏置电源，并为自举二极管提供反向恢复电荷。可使用方程式 2 计算所需的旁路电容。

$$C_{BST} = (Q_G + Q_{RR} + I_{CC} * t_{ON(max)}) / \Delta V \quad (2)$$

其中

- I_{CC} 是高侧器件的静态电流
- t_{ON}(maximum) 是高侧栅极驱动器的最大导通时间
- Q_{RR} 是自举二极管的反向恢复电荷
- Q_G 是高侧 GaN FET 的栅极电荷
- ΔV 是自举电容器中允许的纹波（< 100mV，典型值）

0.3μF、16V、0402 陶瓷电容器适用于大多数应用。请将自举电容器尽可能靠近 HB 和 HS 引脚放置。

8.2.2.3 压摆率控制

图 8-2 展示了一个开关应用，其中开关节点上的压摆率可通过电阻 R_{VCCL} 和 R_{VCCH} 进行控制。R_{VCCL} 可用于减慢低侧 GaN FET 的导通速度，而 R_{VCCH} 可用于减慢高侧 GaN FET 的导通速度。使用这些电阻器，系统工程师可以在更高的效率（更快的压摆率）和更低的振铃（更慢的压摆率）之间进行更好地权衡。

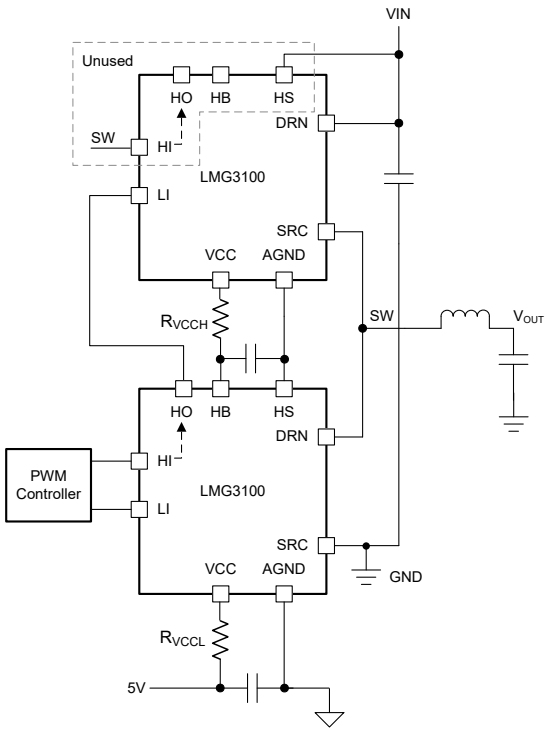


图 8-2. 使用 R_{VCCL} 和 R_{VCCH} 电阻器进行压摆率控制

8.2.2.4 与模拟控制器配合使用

图 8-3 展示了使用模拟控制器的同步降压转换器应用，该控制器在开关节点作为基准的情况下提供电平转换高侧控制。模拟控制器也会产生自举电压。在此用例中，控制器的电平转换高侧控制输出 HO 可以直接连接到高侧 LMG3100 的输入引脚 LI。低侧 LMG3100 的内置电平转换器和自举电路未使用。

Copyright © 2025 Texas Instruments Incorporated

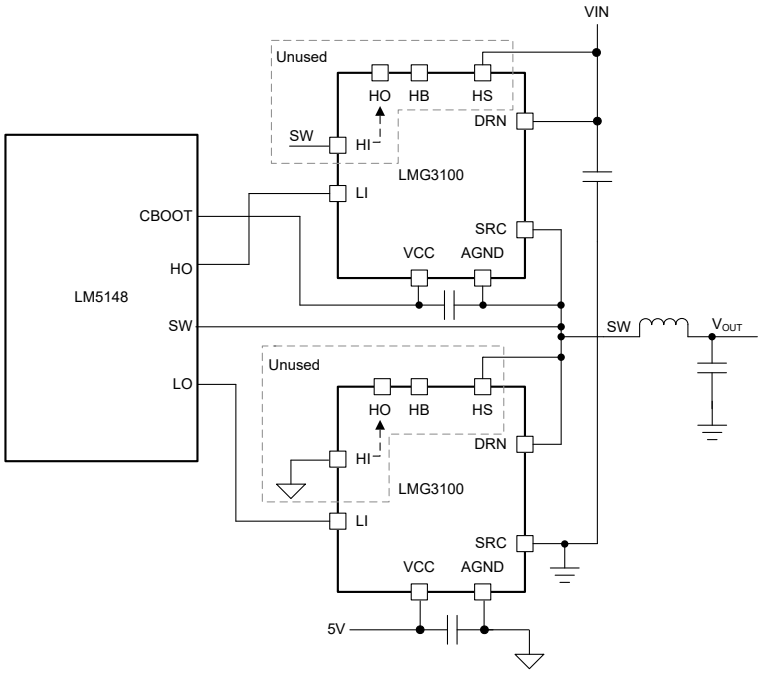


图 8-3. 与具有内置电平转换功能的模拟控制器配合使用

8.2.2.5 功率耗散

确保驱动器和 GaN FET 中的功率损耗保持低于封装在工作温度下的最大功率耗散限值。驱动器和 GaN FET 中的功率损耗越小，应用中可实现的最大工作频率就越高。LMG3100 器件的总功率耗散是栅极驱动器损耗、自举二极管功率损耗以及 FET 中的开关和导通损耗的总和。

栅极驱动器损耗是由容性负载的充电和放电引起的。可以使用方程式 3 来计算其近似值。

$$P = 2 \times Q_G \times VCC \times f_{SW} \quad (3)$$

其中

- Q_G 是栅极电荷
- VCC 为辅助电源
- f_{SW} 为开关频率

由于内部 CMOS 级用于缓冲输出，因此栅极驱动器中存在一些额外损耗。

自举二极管功率损耗是自举电容器充电时产生的正向偏置功率损耗与反向恢复时产生的反向偏置功率损耗之和。由于这些事件每个周期发生一次，因此二极管功率损耗与工作频率成正比。半桥的输入电压 (V_{IN}) 越高，反向恢复损耗也越高。

GaN FET 引起的功率损耗可分为导通损耗和开关损耗。导通损耗是阻性损耗，可以使用方程式 4 计算得出。

$$P_{COND} = \left[(I_{RMS(HS)})^2 \times RDS_{(on)HS}\right] + \left[(I_{RMS(LS)})^2 \times RDS_{(on)LS}\right] \quad (4)$$

其中

- $R_{DS(on)HS}$ 是高侧 GaN FET 导通电阻
- $R_{DS(on)LS}$ 是低侧 GaN FET 导通电阻
- $I_{RMS(HS)}$ 是高侧 GaN FET RMS 电流
- $I_{RMS(LS)}$ 是低侧 GaN FET RMS 电流

使用以下公式可以计算一阶的开关损耗；可将 V_{IN} 除以 25V/ns 来计算 t_{TR} 的近似值，这是开关节点压摆率的保守估计值。方程式 5。

$$P_{SW} = V_{IN} \times I_{OUT} \times t_{TR} \times f_{SW} + V_{IN} \times V_{IN} \times C_{OSS(ER)} \times f_{SW} \quad (5)$$

其中

- t_{TR} 是指从开到关以及从关到开的开关节点切换时间之和
- $C_{OSS(ER)}$ 是每个 GaN FET 的输出电容

请注意，低侧 FET 不会出现此损耗。在一阶损耗计算中，将忽略低侧器件中的第三象限损耗。

如前所述，开关频率对器件功率耗散有直接影响。尽管 LMG3100 器件的栅极驱动器能够以高达 10MHz 的频率驱动 GaN FET，但必须仔细考虑，以确保器件的运行条件符合建议的工作温度规格。具体而言，硬开关拓扑往往比软开关应用产生更多损耗和自发热量。

驱动器损耗、自举二极管损耗以及 GaN FET 中的开关和导通损耗之和就是器件的总功率损耗。精心设计电路板布局布线，在电源焊盘（VIN 和 PGND）附近设置足够数量的散热过孔，可实现封装的理想功率耗散。带气流的顶面安装散热器也可以改善封装的功率耗散。

Copyright © 2025 Texas Instruments Incorporated

8.2.3 应用曲线

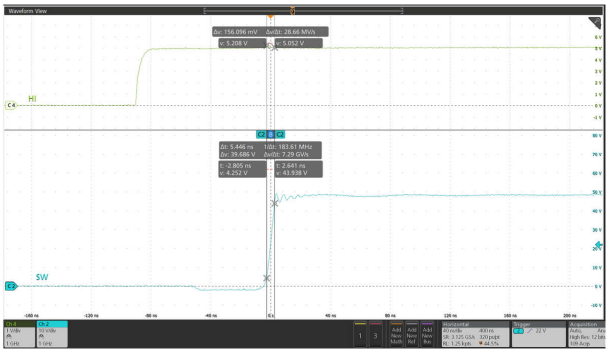


图 8-4. 展示了降压配置下 R_{BST} = 3Ω 时的死区时间和上升时间的 SW 节点行为

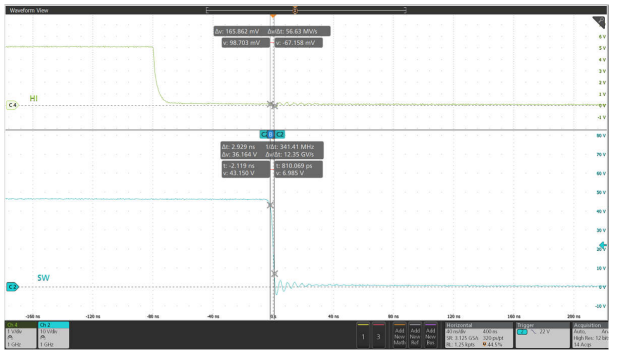


图 8-5. 降压配置下的 SW 节点下降行为

8.3 电源相关建议

LMG3100 的建议辅助电源电压范围为 4.75V 至 5.25V。该范围的下限取决于 V_{CC} 电源电路的内部欠压锁定 (UVLO) 保护功能。该范围的上限取决于 V_{CC} 的 6V 绝对最大电压额定值。请注意，低侧 GaN FET 的栅极电压未在内部钳制。因此，务必要将 V_{CC} 辅助电源保持在建议的工作范围内，以防超过低侧 GaN 晶体管栅极击穿电压。

UVLO 保护功能还涉及迟滞功能。这意味着，如果器件在正常模式下运行，即使 V_{CC} 电压下降，只要压降不超过迟滞规格 $V_{CC(hyst)}$，器件就会继续在正常模式下运行。如果压降超过迟滞规格，器件将关断。因此，在 4.5V 或接近 4.5V 范围内运行时，辅助电源输出端的电压纹波必须小于 LMG3100 的迟滞规格，以免触发器件关断。

在 VCC 和 AGND 引脚之间放置本地旁路电容器。该电容器必须尽可能靠近器件。建议使用低 ESR 的陶瓷表面贴装电容器。TI 建议在 VCC 和 GND 之间使用 2 个电容器：一个是用于高频滤波的 100nF 陶瓷表面贴装电容器，放置在非常靠近 VCC 和 GND 引脚的位置，另一个是用于满足 IC 偏置要求的 220nF 至 10 µ F 表面贴装电容器。

8.4 布局

8.4.1 布局指南

为了更大限度地发挥快速开关的效率优势，极为重要的一点是优化电路板布局布线以尽可能减小电源环路阻抗。如果使用多层电路板（2 层以上），可通过减小到达输入电容器的返回路径（VIN 与 PGND 之间）并使其位于第一层正下方来尽可能降低电源环路寄生阻抗，如图 8-6 和图 8-7 所示。由于返回电流直接位于下方并沿相反方向流动，因此降低了环路电感（磁通抵消的原因）。

如果对上述电源环路布局指导原则不够重视，可能会导致开关节点上出现过度过冲和下冲。

同样重要的是，VCC 电容器和自举电容器应尽可能靠近器件并位于第一层。应仔细考虑 LMG3100 器件的 AGND 连接。该连接不能直接连接到 PGND，否则 PGND 噪声会直接使 AGND 移位，进而导致杂散开关事件（由于 HI 和 LI 信号中注入了噪声）。

8.4.2 布局示例

图 8-6 和图 8-7 的横截面中所示的布局显示了器件相对于敏感无源器件（如 VIN、自举电容器（HS 和 HB）以及 VCC 电容器）的建议布局。在布局中应留出适当的间距，以减小爬电距离，并根据应用污染级别满足间隙要求。由于污染可忽略，内层（如果存在）的间隔可以更紧密。

Copyright © 2025 Texas Instruments Incorporated

布局的设计必须尽可能减小 SW 节点的电容。使用尽可能小的覆铜面积将器件 SW 引脚连接到电感器、变压器或其他输出负载。此外，还要确保接地平面或任何其他铜平面具有切口，以免与 SW 节点重叠，因为这将有效地在印刷电路板上形成电容器。该节点上的额外电容会降低 LMG3100 先进封装技术的优势，并可能导致性能下降。

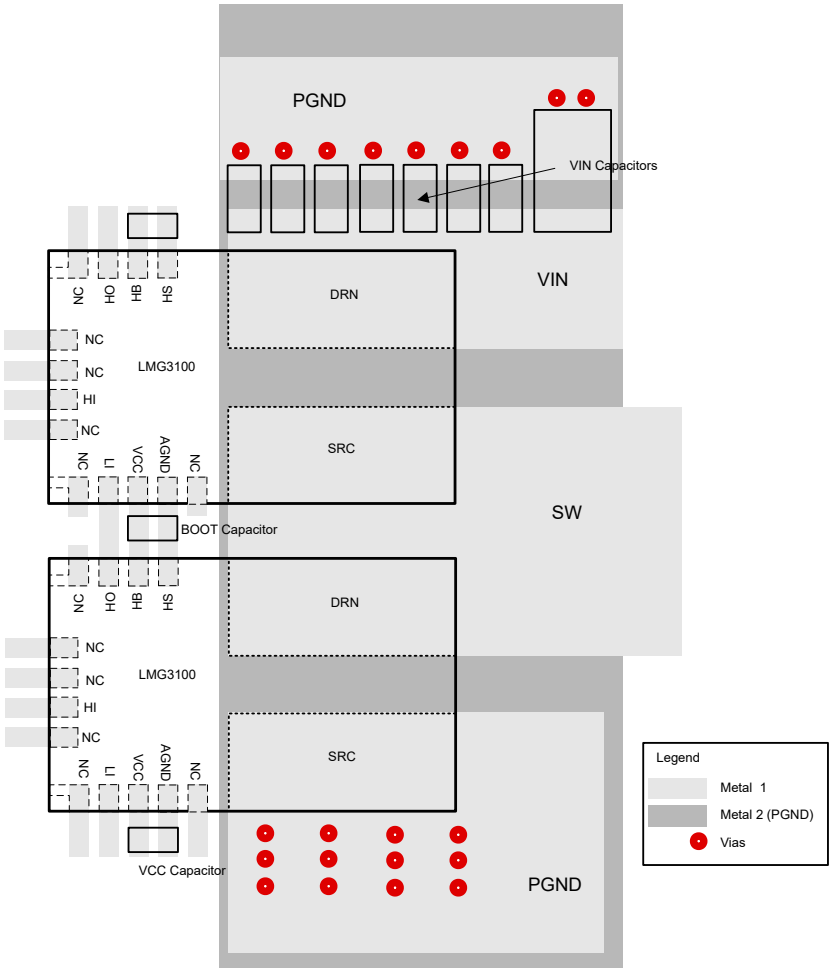


图 8-6. 外部元件放置方式（多层电路板）

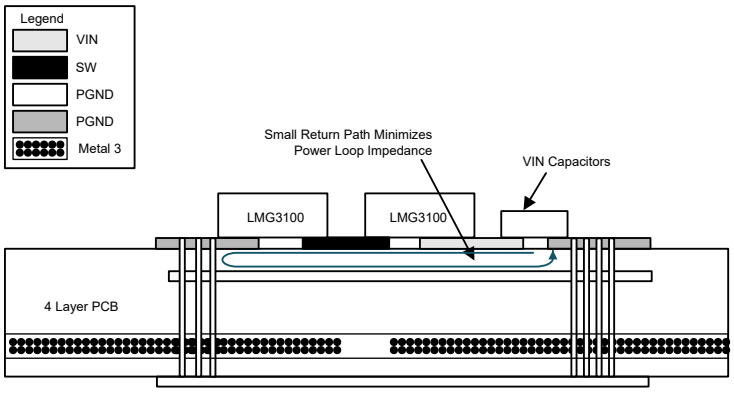


图 8-7. 四层电路板横截面，返回路径位于电源环路正下方

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

LMG3100 GaN 功率级模块布局指南

使用 LMG3100：GaN 半桥电源模块评估模块

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (November 2024) to Revision C (March 2025)	Page
• 在*绝对最大额定值*部分中添加了瞬态条件下 HI LI 引脚的注释	4
• 添加了 LMG3100R044 的封装图	24

Changes from Revision A (July 2024) to Revision B (November 2024)	Page
• 更正了图 8-6 中的器件型号印刷错误	21

Copyright © 2025 Texas Instruments Incorporated

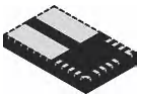
11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

11.1 封装信息

LMG3100 器件封装被评级为 MSL3 封装（湿敏等级 3）。有关 MSL3 封装的具体操作和处理建议，请参阅应用报告 *AN-2029 操作和处理建议*。

Copyright © 2025 Texas Instruments Incorporated

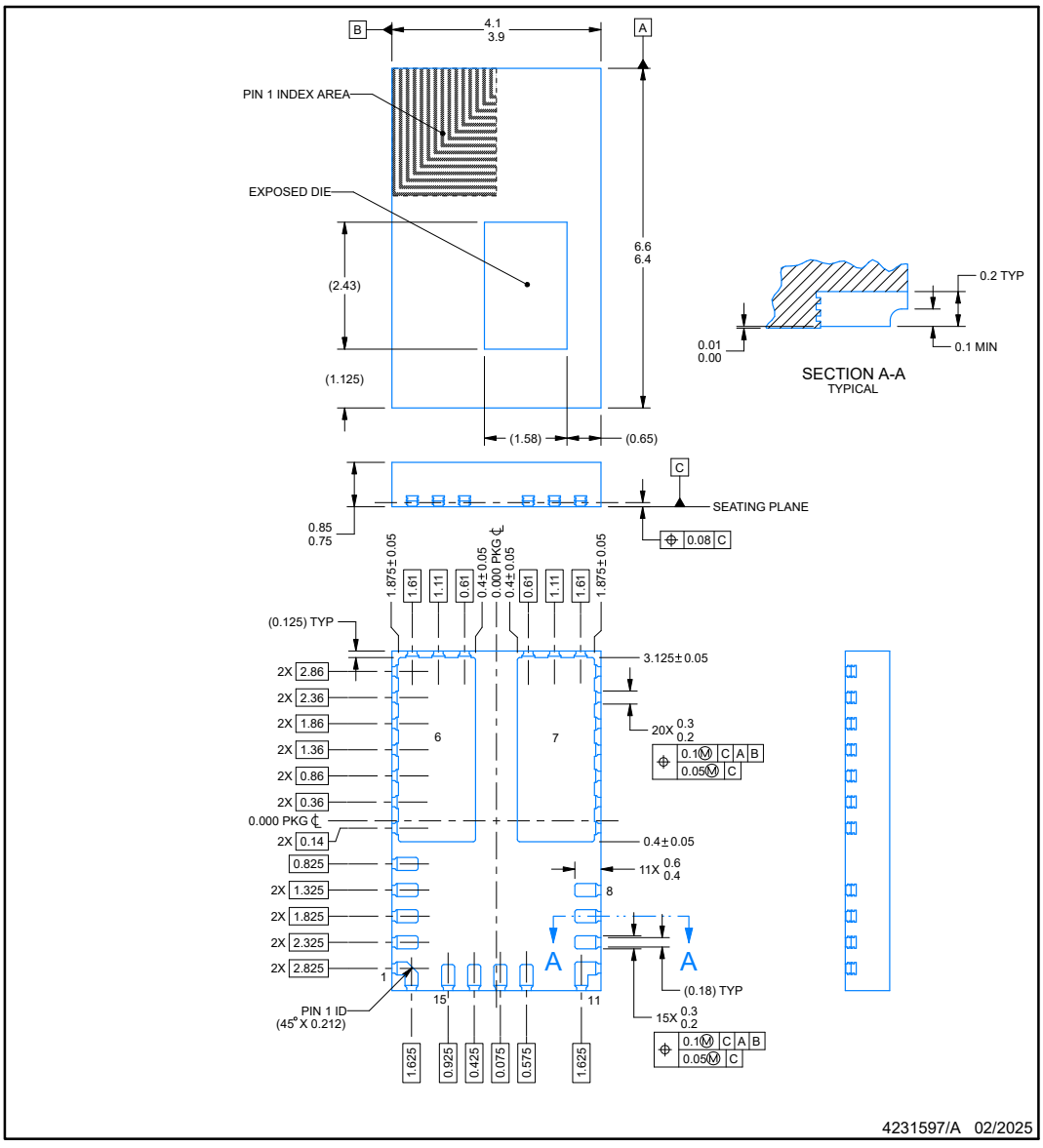


PACKAGE OUTLINE

VBE0015A-C01

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

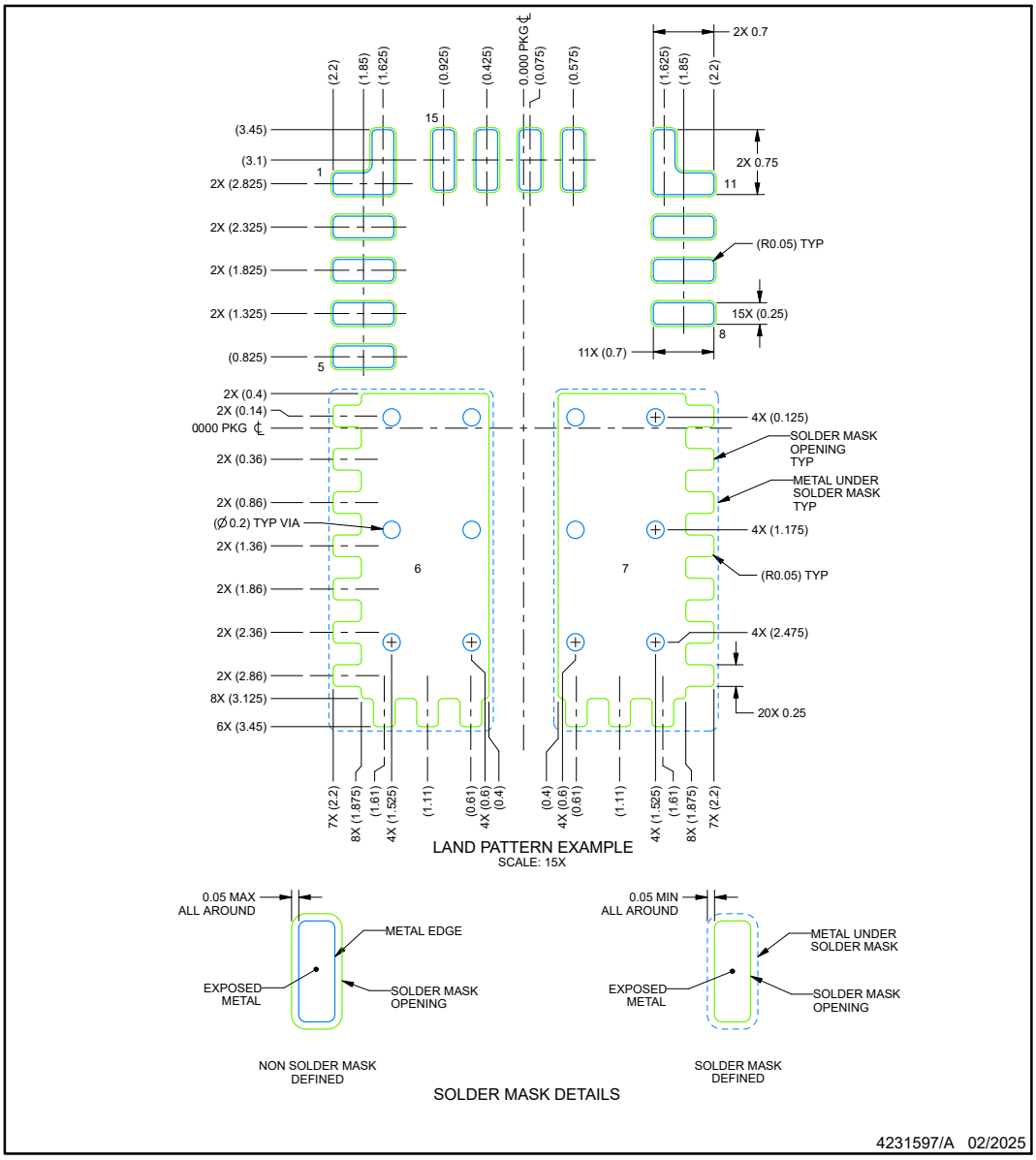
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

VBE0015A-C01

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

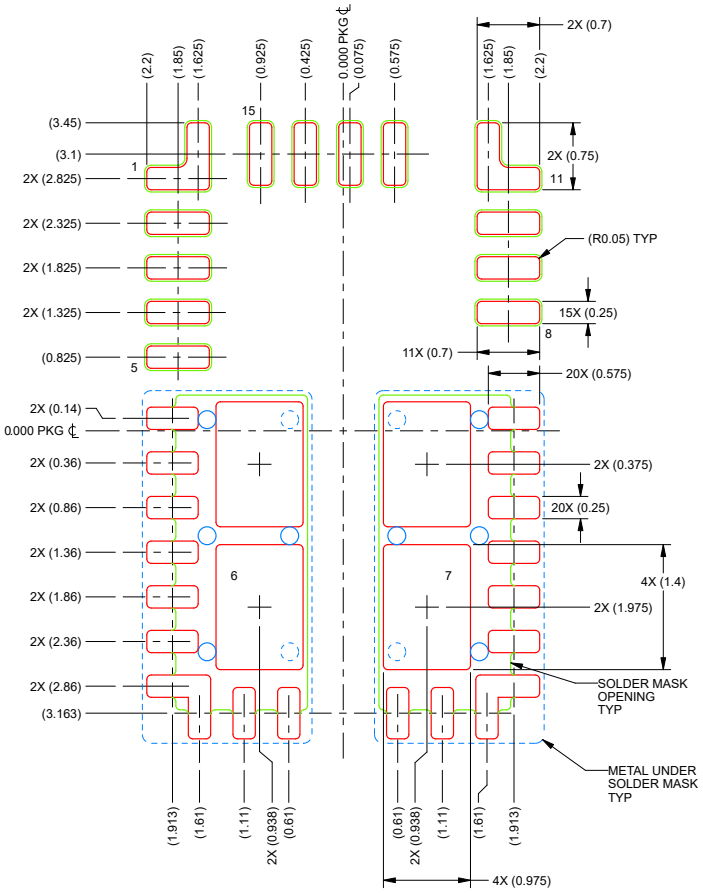
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

VBE0015A-C01 **VQFN-FCRLF - 0.85 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 15X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 6 & 7: 74%

4231597/A 02/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMG3100R017VBER	Active	Production	VQFN-FCRLF (VBE) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	3100R17
LMG3100R017VBER.A	Active	Production	VQFN-FCRLF (VBE) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	3100R17
LMG3100R044VBER	Active	Production	VQFN-FCRLF (VBE) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3100R4
LMG3100R044VBER.A	Active	Production	VQFN-FCRLF (VBE) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	See LMG3100R044VBER	3100R4
XLMG3100R017VBER	Active	Preproduction	VQFN-FCRLF (VBE) | 15	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XLMG3100R017VBER.A	Active	Preproduction	VQFN-FCRLF (VBE) | 15	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

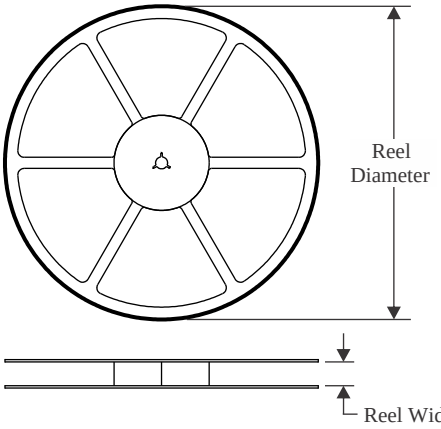
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

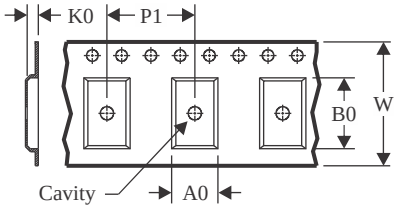
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

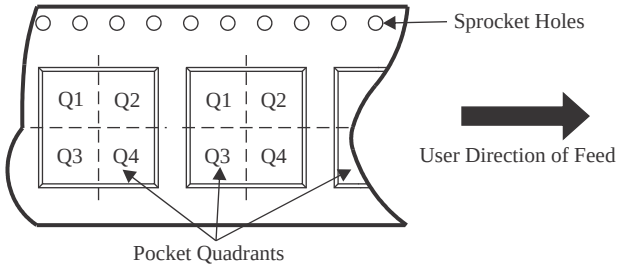


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

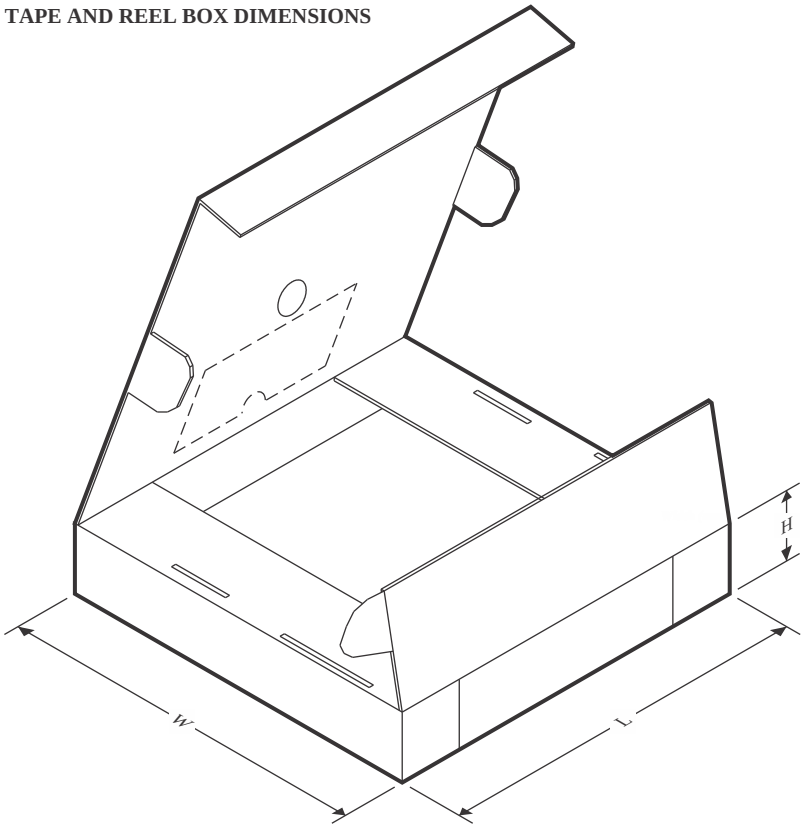
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

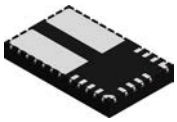
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMG3100R017VBER	VQFN-FCRLF	VBE	15	2500	330.0	16.4	4.3	6.8	1.1	8.0	16.0	Q1
LMG3100R044VBER	VQFN-FCRLF	VBE	15	2500	330.0	16.4	4.3	6.8	1.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMG3100R017VBER	VQFN-FCRLF	VBE	15	2500	367.0	367.0	38.0
LMG3100R044VBER	VQFN-FCRLF	VBE	15	2500	367.0	367.0	38.0

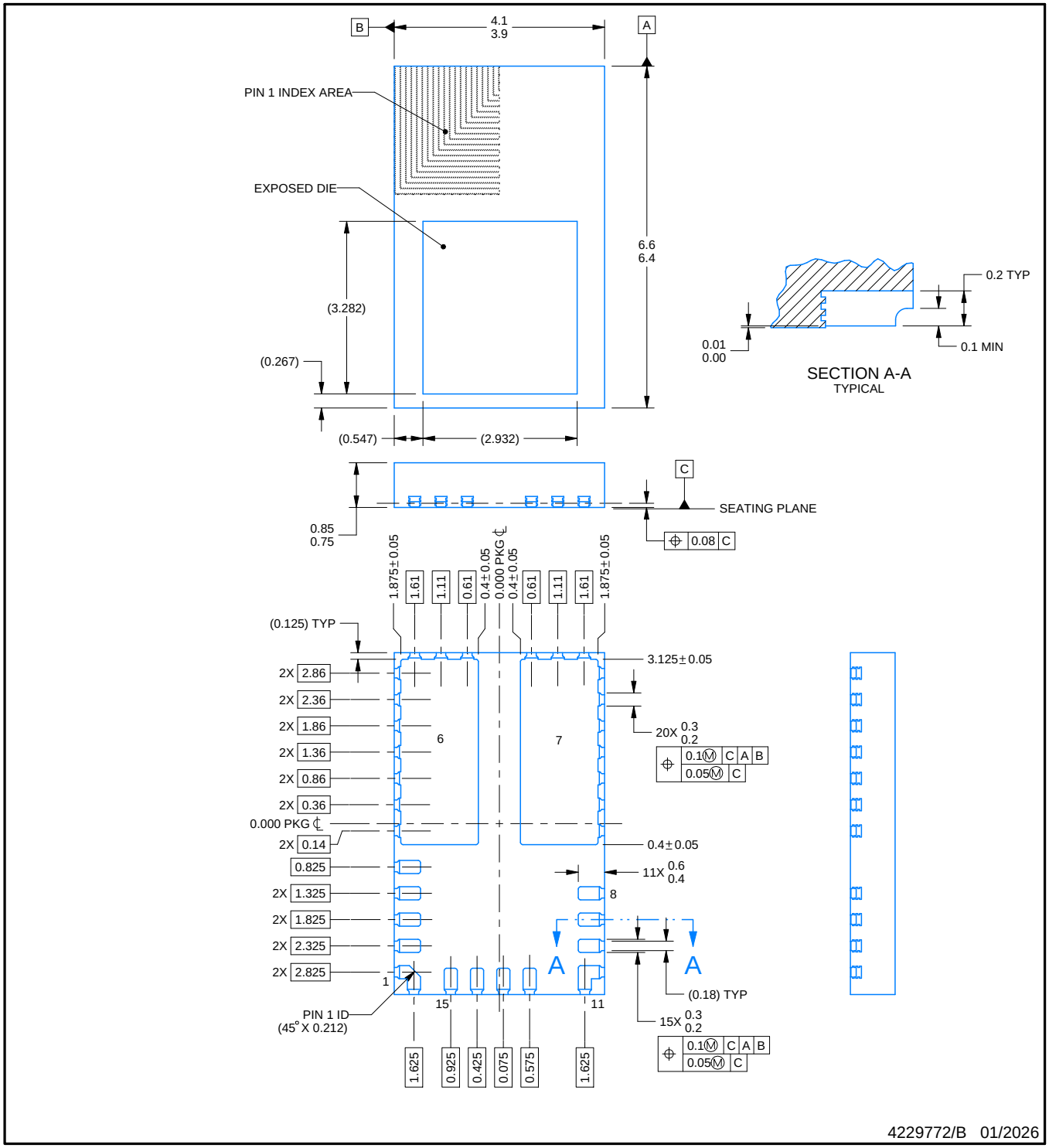


PACKAGE OUTLINE

VBE0015A

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4229772/B 01/2026

NOTES:

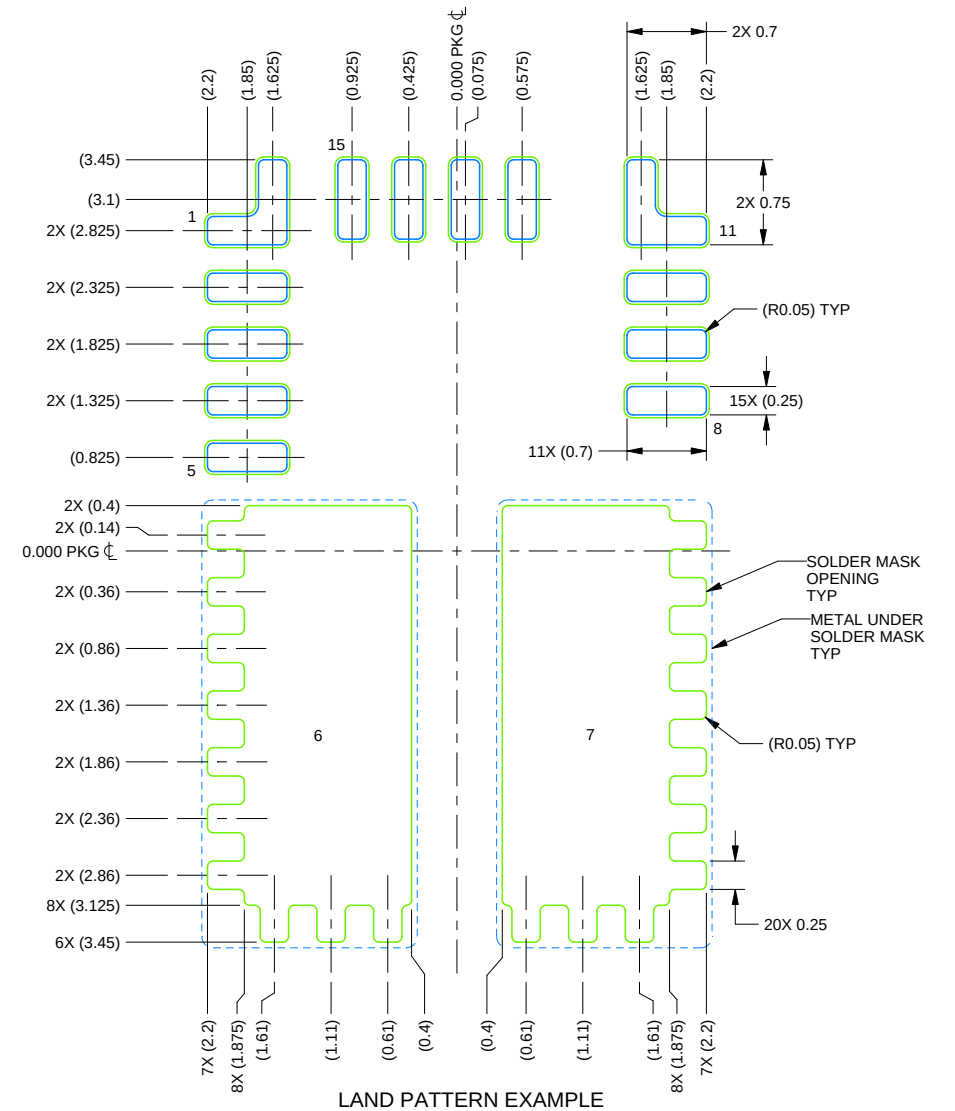
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

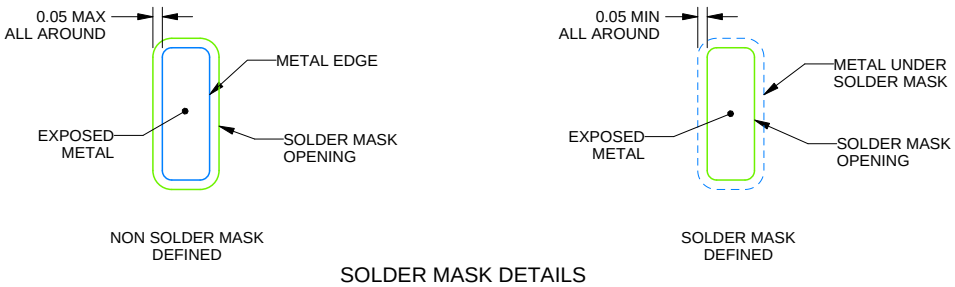
VBE0015A

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE: 15X



SOLDER MASK DETAILS

4229772/B 01/2026

NOTES: (continued)

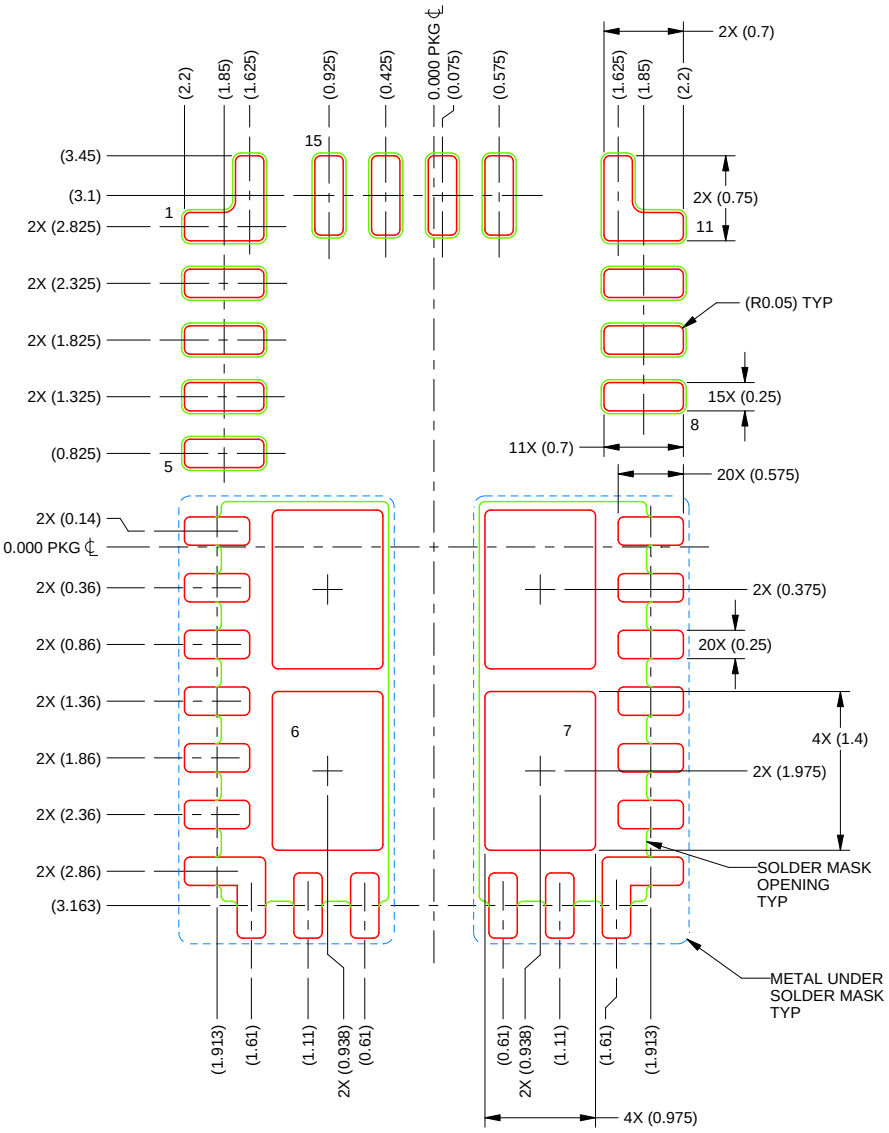
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VBE0015A

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 15X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 6 & 7: 74%

4229772/B 01/2026

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月