LMC555 CMOS 计时器

1 特性

- 3MHz 的快速非稳态频率
- 采用业界超小型 8 凸点 DSBGA 封装 (1.43mm × 1.41mm)
- 5V 电源供电时的典型功率耗散小于 1mW
- 1.5V 额定电源工作电压
- 采用 5V 电源的情况下输出与 TTL 和 CMOS 逻辑完全兼容
- 针对 -10mA 和 50mA 输出电流电平进行了测试
- 降低了输出转换期间的电源电流尖峰
- 极低的复位、触发和阈值电流
- 出色的温度稳定性
- 与 555 系列计时器之间实现了引脚对引脚兼容

2 应用

- 精确计时
- 脉冲发生
- 顺序计时
- 延时时间生成
- 脉宽调制
- 脉冲位置调制
- 线性斜坡发生器

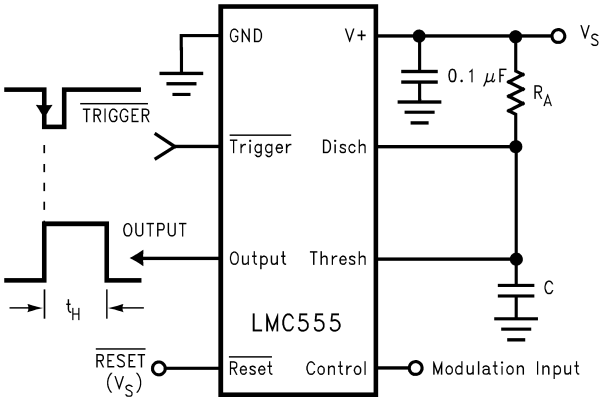
3 说明

LMC555 器件是业界通用 555 系列通用计时器的 CMOS 版本。除了标准封装（SOIC、VSSSOP 和 PDIP）外，LMC555 还有采用 TI DSBGA 封装技术的芯片尺寸 8 凸点 DSBGA 封装。LMC555 具有与 LM555 相同的产生精确延时时间和频率的能力，但功耗和电源电流尖峰要低得多。在一次性模式下，延时时间由单个外部电阻器和电容器精确控制。在非稳态模式下，振荡频率和占空比由两个外部电阻器和一个电容器精确设置。TI LMCMOS 工艺扩展了频率范围和低电源能力。

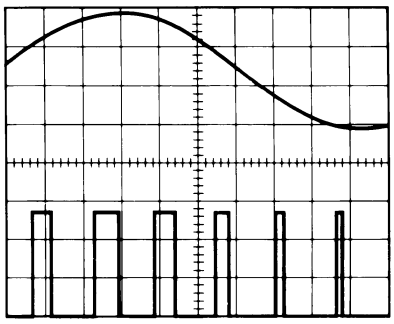
封装信息

器件型号	封装(1)	封装尺寸(2)
LMC555	D（SOIC，8）	4.9mm × 6mm
	DGK（VSSOP，8）	3mm × 4.9mm
	P（PDIP，8）	9.81mm × 9.43mm
	YBF（DSBGA，8）	1.75mm × 1.75mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



脉宽调制器



脉宽调制器波形：
顶部波形 - 调制
底部波形 - 输出电压

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....4
5.5 电气特性.....5
5.6 开关特性.....5
6 参数测量信息.....6
7 详细说明.....7
7.1 概述.....7
7.2 功能方框图.....7
7.3 特性说明.....8
7.4 器件功能模式.....9
8 应用和实施.....12
8.1 应用信息.....12
8.2 典型应用.....12
8.3 电源相关建议.....17
8.4 布局.....17
9 器件和文档支持.....18
9.1 接收文档更新通知.....18
9.2 支持资源.....18
9.3 商标.....18
9.4 静电放电警告.....18
9.5 术语表.....18
10 修订历史记录.....18
11 机械、封装和可订购信息.....19

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

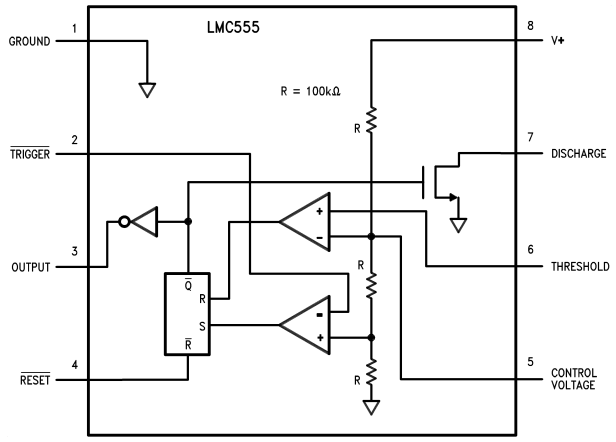


图 4-1. D 封装，8 引脚 SOIC，DGK 封装，8 引脚 VSSOP 和 P 封装，8 引脚 PDIP（顶视图）

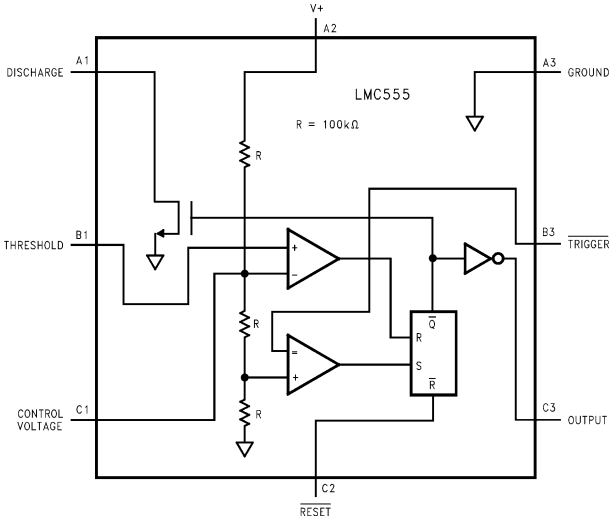


图 4-2. YPB 封装，8 引脚 DSBGA（俯视图）

表 4-1. 引脚功能

引脚			类型	说明
名称	编号			
	D (SOIC)、DGK (VSSOP)、P (PDIP)	YPB (DSBGA)		
控制电压	5	C1	输入	控制电压用于控制阈值和触发电平。此引脚决定输出波形的脉冲持续时间。施加于此引脚的外部电压也可用于调制输出波形。
放电	7	A1	输入	集电极开路输出，从而在间隔期间对电容器放电（与输出同相）。当电压达到电源电压 (V+) 的 2/3 时，此引脚会将输出从高电平切换到低电平。
接地	1	A3	功率	接地基准电压
输出	3	C3	输出	输出驱动的波形
$\overline{\text{RESET}}$	4	C2	输入	负脉冲施加到该引脚以禁用或复位计时器。当不用于复位时，将此引脚连接到 V+ 以免误触发。
阈值	6	B1	输入	将施加到引脚的电压与 2/3 V+ 的基准电压进行比较。施加到该引脚的电压幅度负责触发器的置位状态。
$\overline{\text{TRIGGER}}$	2	B3	输入	负责将触发器从置位转换为复位。计时器的输出取决于施加到该引脚的外部触发脉冲的幅度。
V+	8	A2	功率	接地基准电源电压

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）。(1) (2) (3)

		最小值	最大值	单位
电压	电源		15	V
	输入	-0.3	(V+) + 0.3	
	输出		15	
电流	输出		100	mA
贮存温度，T_{stg}		-65	150	°C

(1) 应力超出*绝对最大额定值*下列出的值可能会对器件造成永久损坏。这些仅仅是应力额定值，并不意味着器件在这些条件或超出*节 5.3*下的任何其它条件下能够正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 请参阅 AN-1112 (SNVA009) 中的 DSBGA 注意事项。
(3) 如果需要军用或航空航天专用器件，请与 TI 销售办公室或经销商联系，以了解供货情况和规格。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±1500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
温度	LMC555IM	-40		125	°C
	LMC555CM、MM、N、TP	-40		85	
25°C 下允许的最大功率耗散	PDIP-8			1126	mW
	SOIC-8			740	
	VSSOP-8			555	
	8 凸点 DSBGA			568	

5.4 热性能信息

热指标(1)		LMC555				单位
		D (SOIC)	DGK (VSSOP)	P (PDIP)	YPB (DSBGA)	
		8 引脚	8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	138.9	188.3	93.1	102.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	78.8	78.8	82.5	0.9	°C/W
$R_{\theta JB}$	结至电路板热阻	87.9	110.2	69.6	31.2	°C/W
ψ_{JT}	结至顶部特征参数	23.2	18.5	52.0	0.5	°C/W
ψ_{JB}	结至电路板特征参数	86.9	108.6	69.2	31.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性

测试电路，T = 25°C，所有开关均断开，$\overline{RESET}$ 为 V_S（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
I_S	电源电流	V_S = 1.5V		130	200	μA
		V_S = 5V		180	250	
		V_S = 12V		220	400	
V_{CTRL}	控制电压	V_S = 1.5V	0.8	1.0	1.2	V
		V_S = 5V	2.9	3.3	3.8	
		V_S = 12V	7.4	8.0	8.6	
V_{DIS}	放电饱和电压	V_S = 1.5V，I_{DIS} = 1mA		75	150	mV
		V_S = 5V，I_{DIS} = 10mA		150	300	
V_{OL}	输出电压（低电平）	V_S = 1.5V，I_O = 1mA		0.2	0.4	V
		V_S = 5V，I_O = 8mA		0.3	0.6	
		V_S = 12V，I_O = 50mA		1.0	2.0	
V_{OH}	输出电压（高电平）	V_S = 1.5V，I_O = -0.25mA	1.0	1.25		V
		V_S = 5V，I_O = -2mA	4.4	4.7		
		V_S = 12V，I_O = -10mA	10.5	11.3		
V_{TRIG}	触发电压	V_S = 1.5V	0.4	0.5	0.6	V
		V_S = 12V	3.7	4.0	4.3	
I_{TRIG}	触发电流	V_S = 5V		10		pA
V_{RES}	复位电压	V_S = 1.5V (2)	0.4	0.7	1.0	V
		V_S = 12V	0.4	0.75	1.1	
I_{RES}	复位电流	V_S = 5V，V_{RES} = V_S		10		pA
		V_S = 5V，V_{RES} = 0V		5.9		μA
I_{THRESH}	阈值电流	V_S = 5V		10		pA
I_{DIS}	放电漏电流	V_S = 12V		1.0	100	nA

(1) 除非另有说明，否则所有电压都是相对于接地引脚的测量值。
(2) 如果要在 −20°C 和更低温度下使用 $\overline{RESET}$ 引脚，V_S 必须为 2.0V 或更大。

5.6 开关特性

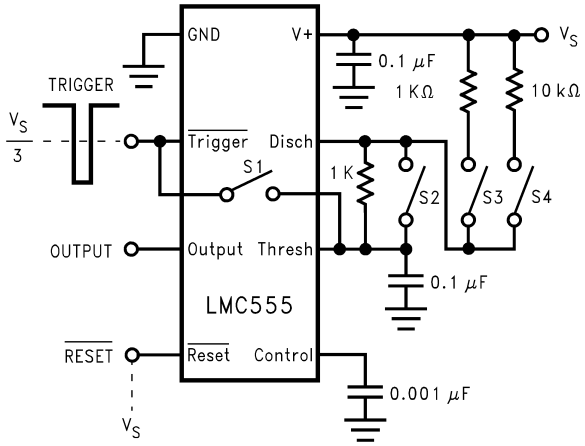
测试电路，T = 25°C，所有开关均断开，$\overline{RESET}$ 为 V_S（除非另有说明）。(1)特征值根据设计和/或表征来指定。

参数		测试条件		最小值	典型值	最大值	单位
t	计时精度	开关 2、4 闭合	V_S = 1.5V	0.9	1.1	1.25	ms
			V_S = 5V	1.0	1.1	1.20	
			V_S = 12V	1.0	1.1	1.25	
$\Delta t/\Delta V_S$	随电源变化的计时偏移	V_S = 5V ± 1V			0.3		%/V
$\Delta t/\Delta T$	随温度变化的计时偏移	V_S = 5V			75		ppm/°C
f_A	非稳态频率	开关 1、3 闭合，V_S = 12V		4.0	4.8	5.6	kHz
f_{MAX}	最大频率	最大频率测试电路，V_S = 5V			3.0		MHz
t_R，t_F	输出上升和下降时间	最大频率测试电路 V_S = 5V，C_L = 10pF			15		ns
t_{PD}	触发传播延迟	V_S = 5V，测量从触发到输出的延迟			100		ns

(1) 除非另有说明，否则所有电压都是相对于接地引脚的测量值。

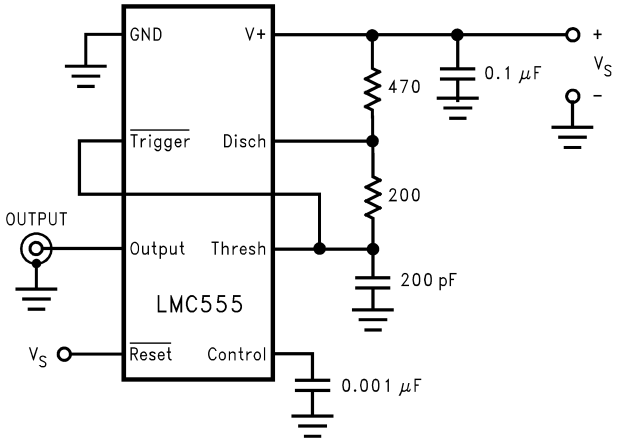
Copyright © 2024 Texas Instruments Incorporated

6 参数测量信息



有关器件引脚排列，请参阅 *节 4*。

图 6-1. 测试电路



有关器件引脚排列，请参阅 *节 4*。

图 6-2. 最大频率测试电路

Copyright © 2024 Texas Instruments Incorporated

7 详细说明

7.1 概述

LMC555 是业界标准 555 系列通用计时器的 CMOS 版本。除了标准 SOIC、VSSSOP 和 PDIP 封装外，LMC555 还有采用 TI DSBGA 封装技术的芯片尺寸封装（8 凸点 DSBGA 封装）。LMC555 具有与 LM555 相同的产生精确延时时间和频率的能力，但功耗和电源电流尖峰要低得多。在一次性模式下，延时时间由单个外部电阻器和电容器精确控制。在非稳态模式下，振荡频率和占空比由两个外部电阻器和一个电容器精确设置。TI LMCMOS 工艺的运用扩展了频率范围和低电源能力。

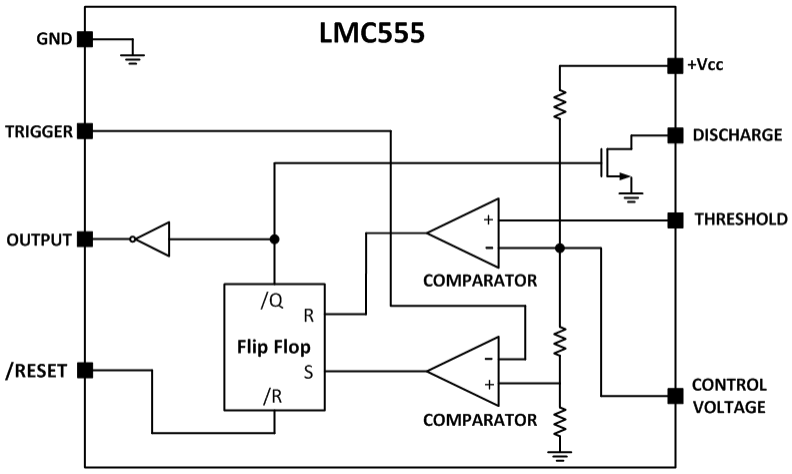
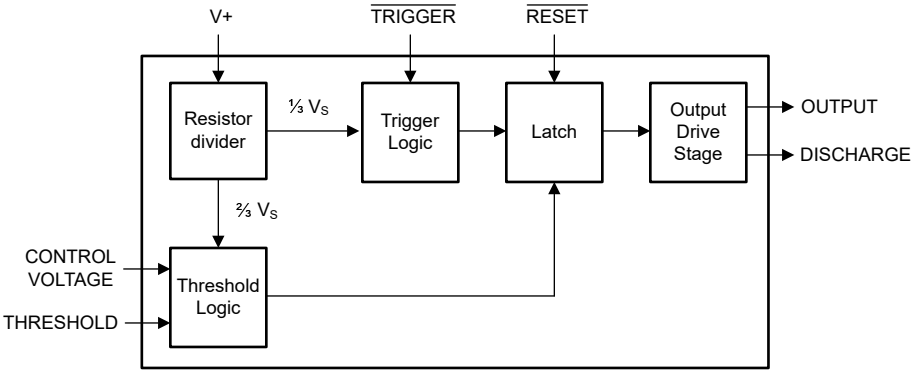


图 7-1. 简化原理图

7.2 功能方框图



7.3 特性说明

7.3.1 低功耗

LMC555 具有与 LM555 相同的产生精确时延和频率的能力，但功耗要低得多。采用 1.5V 工作电源电压可实现小于 0.2mW 的功耗，而采用 5V 工作电源电压时功耗小于 1mW。这种低电源电流和电压能力得益于 TI LMCMOS 工艺的运用。输出转换期间降低的电源电流尖峰以及极低的复位、触发和阈值电流也为 LMC555 提供了低功耗优势。

7.3.2 多种封装和兼容性

LMC555 采用多种不同的封装方式。除了标准封装（8 引脚 SOIC、VSSOP 和 PDIP）外，LMC555 还采用一种芯片尺寸封装（8 凸点 DSBGA 封装）。LMC555 的 PDIP、SOIC 和 VSSOP 封装与 555 系列计时器 (NE555/SE555/LM555) 之间实现了引脚对引脚兼容，因此可确保设计灵活性并且无需修改 PCB 原理图和布局。

7.3.3 支持非稳态和单稳两种工作模式

LMC555 可根据应用要求以非稳态和单稳模式运行。

- 单稳模式：LMC555 计时器充当“一次性”脉冲发生器。当 LMC555 计时器在触发输入端接收到低于电源电压 1/3 的信号时，脉冲开始。输出脉冲的宽度由 RC 网络的时间常数决定。当电容器上的电压等于电源电压的 2/3 时，输出脉冲结束。根据具体应用需求，可通过调整 R 和 C 值来扩大或缩小输出脉冲宽度。
- 非稳态（自由运行）模式：LMC555 计时器可用作振荡器，并输出具有指定频率的连续矩形脉冲流。脉冲流的频率取决于 RA、RB 和 C 的值。

Copyright © 2024 Texas Instruments Incorporated

7.4 器件功能模式

7.4.1 单稳工作模式

在此工作模式下，计时器一次性运行（图 7-2）。外部电容器最初由内部电路保持放电。将一个小于 1/3 V_S 的负触发脉冲施加到 $\overline{\text{TRIGGER}}$ 引脚时，触发器被置位，因此将断开电容器上的短路，并使输出驱动至高电平。

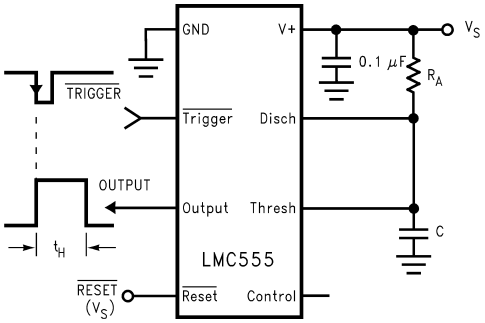
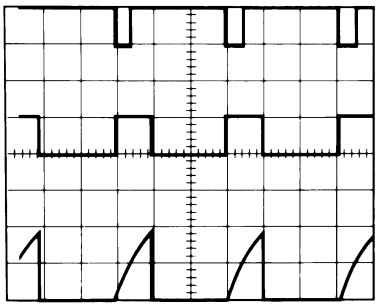


图 7-2. 单稳（一次性）

然后，电容器两端的电压在 $t_H = 1.1\ R_AC$ 期间呈指数增长。这段时间也是输出保持高电平的时间，在这段时间结束时电压等于 2/3 V_S。然后，比较器复位触发器，而触发器再让电容器放电并将输出驱动至低电平状态。图 7-3 展示了在这种工作模式下产生的波形。由于比较器的电荷和阈值大小均与电源电压成正比，因此计时间隔与电源无关。



V_S = 5V
时间 = 0.1ms/div
顶部布线：输入 5V/div
中间布线：输出 5V/div
底部布线：电压 2V/div
R_A = 9.1kΩ
C = 0.01μF

图 7-3. 单稳波形

$\overline{\text{RESET}}$ 会覆盖 $\overline{\text{TRIGGER}}$，而 TRIGGER 覆盖 THRESHOLD。因此，应确保触发脉冲短于所需的 t_H。$\overline{\text{TRIGGER}}$ 的最小脉冲持续时间为 20ns，而 $\overline{\text{RESET}}$ 为 400ns。在输出为高电平的计时周期内，只要触发输入在计时间隔结束前至少 10 μs 内恢复高电平，进一步施加触发脉冲就不会影响电路。但是，在此期间，可通过向 $\overline{\text{RESET}}$ 引脚施加负脉冲来复位电路。输出保持在低电平状态，直到再次施加触发脉冲。

Copyright © 2024 Texas Instruments Incorporated

不使用复位功能时，将 $\overline{\text{RESET}}$ 引脚连接到 V+ 以杜绝任何发生误触发的可能性。图 7-4 是一个方便确定各种延时时间情况的 RC 值的列线图。

备注

在单稳模式下，在计时周期结束前将触发驱动至高电平。

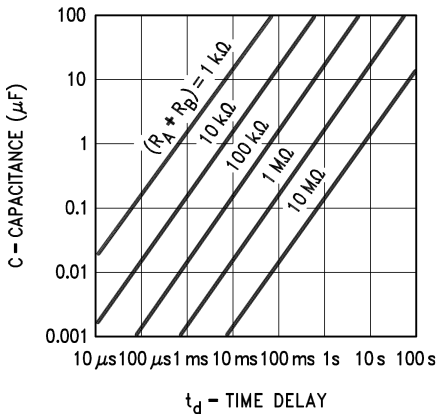


图 7-4. 延时时间

7.4.2 非稳态工作模式

如果按照图 7-5 所示连接电路（$\overline{\text{TRIGGER}}$ 和 THRESHOLD 引脚连接在一起），该电路会触发并作为多谐振荡器自由运行。外部电容器通过 $R_A + R_B$ 充电，通过 R_B 放电。因此可以通过这两个电阻器的比率精确设定占空比。

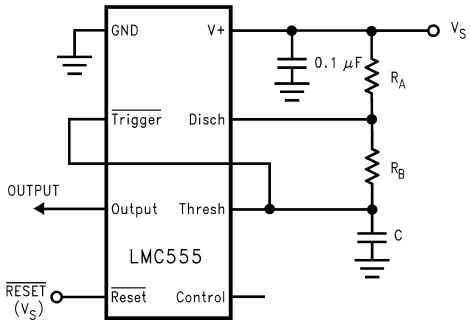
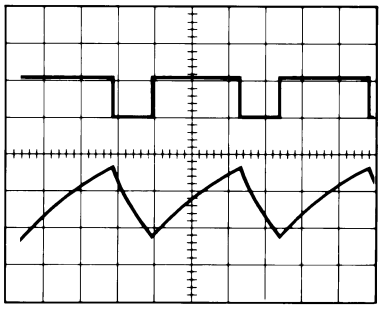


图 7-5. 非稳态（可变占空比振荡器）

在此工作模式下，电容器在 1/3 V_S 和 2/3 V_S 之间充电和放电。与在触发模式下一样，充电和放电时间以及因此也包括频率，均与电源电压无关。

图 7-6 展示了在这种工作模式下产生的波形。

Copyright © 2024 Texas Instruments Incorporated



V_S = 5V　　顶部布线：输出 5V/div　　R_A = 1.78kΩ

时间 = 20μs/div　　底部布线：电压 1V/div　　R_B = 4.12kΩ

C = 0.01μF

图 7-6. 非稳态波形

充电时间（输出高电平）由以下公式算出：

$$t_1 = 0.693\ (R_A + R_B)C \tag{1}$$

而放电时间（输出低电平）由以下公式算出：

$$t_2 = 0.693\ (R_B)C \tag{2}$$

因此，总周期为：

$$T = t_1 + t_2 = 0.693\ (R_A + 2R_B)C \tag{3}$$

振荡频率为：

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B)C} \tag{4}$$

可使用图 7-7 快速确定这些 RC 值。占空比（作为输出处于低电平的总周期的一部分）为：

$$D = \frac{R_B}{R_A + 2R_B} \tag{5}$$

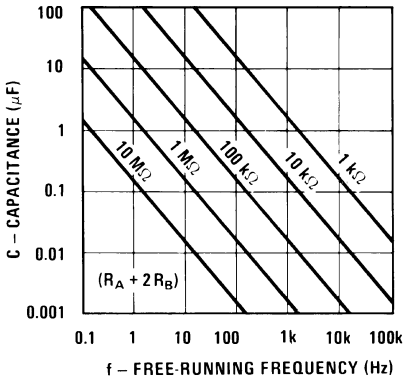


图 7-7. 自由运行频率

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

LMC555 计时器可采用多种配置，但最常用的配置是单稳模式。LMC555 计时器单稳模式的典型应用是让 LED 亮起特定的持续时间。触发引脚为低电平脉冲时，使用按钮作为触发器来输出高电平脉冲。这个简单的应用可以经过修改后适应任何应用要求。

8.2 典型应用

8.2.1 单稳模式下的闪烁 LED

图 8-1 显示了 LMC555 在单稳模式下闪烁 LED 的原理图。

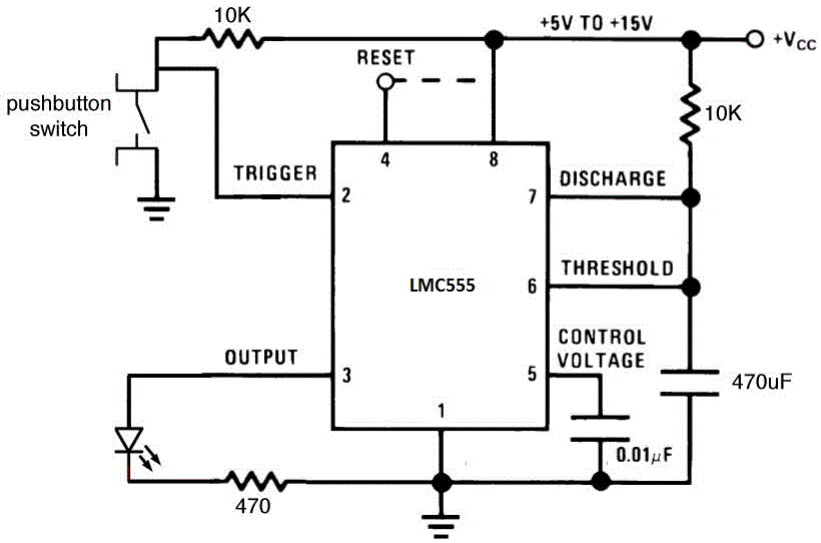


图 8-1. 在单稳模式下闪烁 LED 的原理图

8.2.1.1 设计要求

此应用的主要设计要求是需要计算输出保持高电平的持续时间。该持续时间取决于 R 和 C 值（如图 7-4 所示），可通过以下公式算出：

$$t = 1.1 \times R \times C \text{ seconds} \quad (6)$$

Copyright © 2024 Texas Instruments Incorporated

8.2.1.2 详细设计过程

为了使 LED 闪烁一段较长的时间，我们为该应用选择了 5 秒的延时时间。使用 方程式 6，R × C 等于 4.545。

如果选择 R 为 100kΩ，则 C = 45.4μF。我们根据电阻器和电容器的标准值选择了 R = 100kΩ 和 C = 47μF 的值。

一个接地的瞬时按钮开关连接到触发器输入端，同时一个 10kΩ 的限流电阻器上拉到电源电压。按下按钮时，$\overline{\text{TRIGGER}}$ 引脚进入 GND。一个 LED 连接到 OUTPUT 引脚，并且从 LMC555 输出端到 GND 之间串联了一个限流电阻器。$\overline{\text{RESET}}$ 引脚处于未使用状态并连接到电源电压。

8.2.1.3 应用曲线

图 8-2 中展示的数据是通过典型应用部分中使用的电路收集的。LMC555 配置为单稳模式，且延时时间为 5.17s。波形对应于：

- 上面的波形（蓝色）– 电容器电压
- 中间的波形（紫色）– $\overline{\text{TRIGGER}}$
- 下面的波形（绿色）– OUTPUT

当 $\overline{\text{TRIGGER}}$ 引脚为低电平脉冲时，电容器电压开始充电，输出变高。一旦电容器电压达到电源电压的 2/3（由 R 和 C 值决定延时时间），输出就会变低。在本示例中，延时时间为 5.17s。

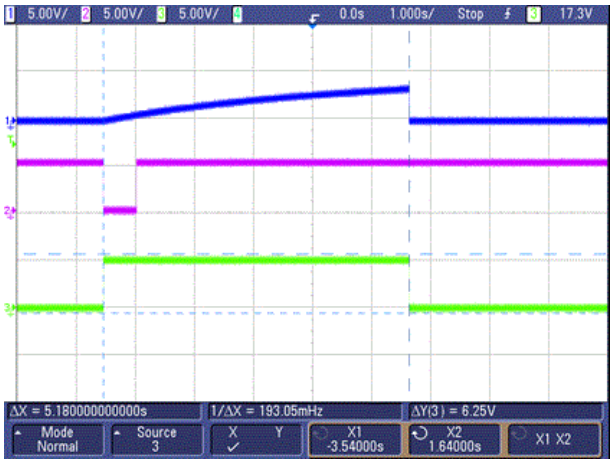


图 8-2. 单稳模式下的 $\overline{\text{TRIGGER}}$、电容器电压和 OUTPUT 波形

8.2.2 分频器

通过调整计时周期的长度，可以将图 8-3 的单稳电路用作分频器。图 8-4 显示了三分频电路产生的波形。

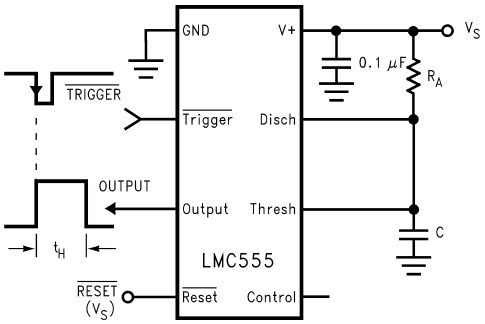


图 8-3. 单稳（一次性）

8.2.2.1 设计要求

通过调整计时周期的长度来设计分频器。

8.2.2.2 应用曲线

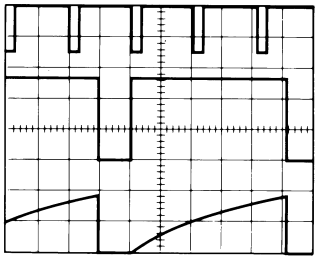


图 8-4. 分频器波形

8.2.3 脉宽调制器

在单稳模式下连接计时器并以连续脉冲序列对其进行触发时，可以通过施加于控制电压端子的信号对输出脉冲宽度进行调制。图 8-5 显示了该电路，而图 8-6 是一些波形示例。

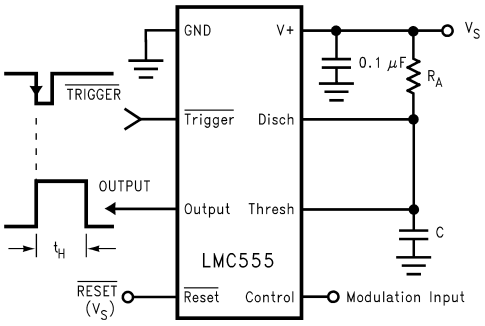


图 8-5. 脉宽调制器

8.2.3.1 设计要求

通过施加到控制电压端子的信号来调制输出脉冲宽度。

Copyright © 2024 Texas Instruments Incorporated

8.2.3.2 应用曲线

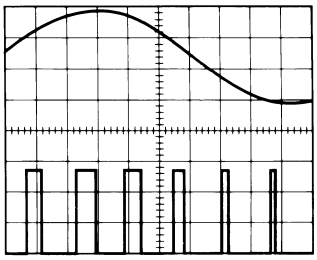


图 8-6. 脉宽调制器波形

8.2.4 脉冲位置调制器

此应用中使用以非稳态模式连接的计时器（如图 8-7 所示），并再次将调制信号施加到控制电压端子。由于阈值电压以及时延是变化的，因此脉冲位置随调制信号而变化。图 8-8 显示了三角波调制信号对应产生的波形。

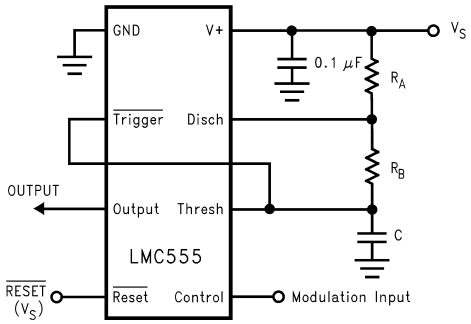


图 8-7. 脉冲位置调制器

8.2.4.1 设计要求

在非稳态模式下，通过施加到控制电压端子的调制信号改变脉冲位置。

8.2.4.2 应用曲线

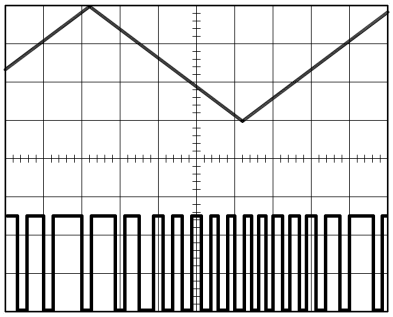


图 8-8. 脉冲位置调制器波形

Copyright © 2024 Texas Instruments Incorporated

8.2.5 50% 占空比振荡器

振荡频率为：

$$f = 1/(1.4\ R_C C) \quad (7)$$

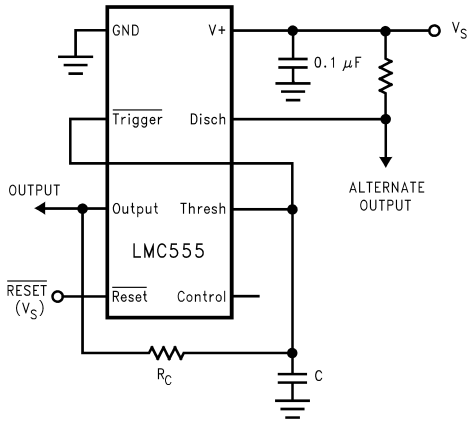


图 8-9. 50% 占空比振荡器

8.2.5.1 设计要求

一个具有 50% 占空比输出的振荡器。

Copyright © 2024 Texas Instruments Incorporated

8.3 电源相关建议

LMC555 需要 1.5V 至 15V 的电源电压。必须提供充分的电源旁路电压以保护相关电路；建议至少使用 0.1 µ F 与 1 µ F 电解电容器并联。将旁路电容器尽可能靠近 LMC555 放置，并尽量缩短走线长度。

8.4 布局

8.4.1 布局指南

LMC555 的布局适用标准的 PCB 规则。与 1 µ F 电解电容器并联的 0.1 µ F 电容器应尽可能靠近 LMC555。用于延时时间的电容器放置在尽可能靠近 DISCHARGE 引脚的位置。使用底层上的接地平面来提供更好的抗噪性和信号完整性。

8.4.2 布局示例

下图是各种应用的基本布局。

- C1 – 基于延时时间计算结果
- C2 – 控制电压引脚的 0.01µF 旁路电容器
- C3 – 0.1µF 旁路陶瓷电容器
- C4 – 1µF 电解旁路电容器
- R1 – 基于延时时间计算结果
- U1-LMC555

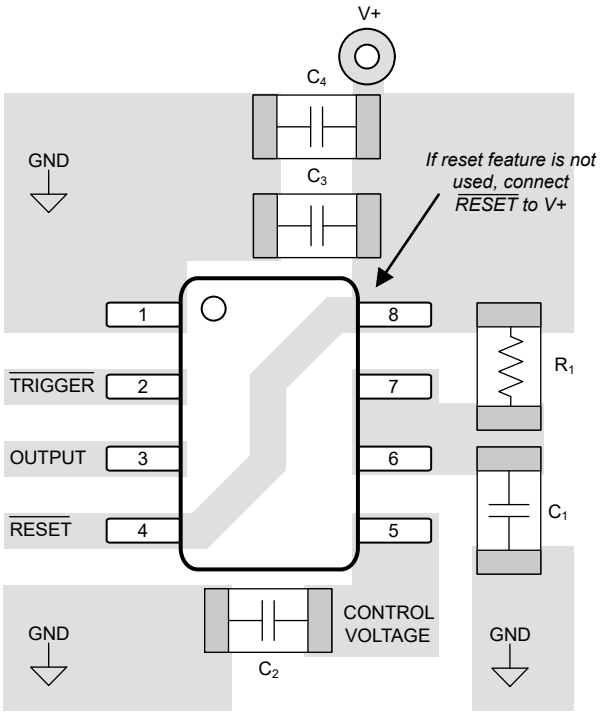


图 8-10. PCB 布局

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision M (July 2016) to Revision N (March 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 更新了*特性* 要点的措辞，使之更加清晰	1
• 更新了*引脚配置和功能* 中的 GROUND 和 V+ 引脚类型	3
• 将*引脚配置和功能* 中的 V_{CC} 更改为 V+	3
• 向*引脚配置和功能* 中的放电说明添加了 (V+)	3
• 更新了 $R_{\theta JA}$ 并在*热性能信息* 中添加了所有封装的详细热特性	4
• 将计时精度、随电源变化的计时偏移、随温度变化的计时偏移、非稳态频率、最大频率、输出上升和下降时间以及触发传播延迟参数从*电气特性* 移至*开关特性*	5
• 将*电气特性* 中的电源电流 (I_S) 典型值从 50µA 更改为 130µA（V_S = 1.5V 时）；从 100µA 更改为 180µA（V_S = 1.5V 时），以及从 150µA 更改为 220µA（V_S = 12V 时）	5
• 将*电气特性* 中的电源电流 (I_S) 最大值从 150µA 更改为 200µA（V_S = 1.5V 时）	5
• 将*电气特性* 中的复位电流 (I_{RES}) 测试条件更改为 $V_{RES} = V_S$	5
• 向*电气特性* 中的测试条件 V_{RES} = 0V 添加了新的复位电流 (I_{RES}) 典型值	5
• 更新了*开关特性*，以阐明这些值是根据设计和/或表征指定	5
• 将*开关特性* 中随温度变化的计时偏移单位从 %V 更改为 %/V（拼写错误）	5
• 将功能方框图更改为简化版原理图并移至*概述* 部分	7
• 更新了*功能方框图*	7
• 将图 7-6 中 R_A 的值从 3.9kΩ 更改为 1.78kΩ，将 R_B 的值从 9kΩ 更改为 4.12kΩ	10
• 将*典型应用* 中的“LM555”更改为“LMC555”（拼写错误）	12

Copyright © 2024 Texas Instruments Incorporated

- 更新了 *布局示例*中的图.....17

Changes from Revision L (February 2016) to Revision M (July 2016) **Page**

- 更改了 *特性* 的顺序.....1
- 将“稳定”更改为“非稳态”（拼写错误）.....1
- 将“稳定”更改为“非稳态”- 拼写错误.....7
- 将 beings 更改为 begins，更正拼写错误。.....8
- 将拼写错误的 LM555 更改为 LMC555.....12
- 将拼写错误的 LM555 更改为 LMC555.....12
- 添加了其他应用.....14

Changes from Revision K (January 2015) to Revision L (February 2016) **Page**

- 更正了拼写错误 - 将温度范围从 185 更改为 85.....4

Changes from Revision J (March 2013) to Revision K (October 2014) **Page**

- 添加了 *引脚配置和功能*、*ESD 等级*、*特性说明*、*器件功能模式*、*应用和实施*、*电源相关建议*、*布局*、*器件和文档支持*，以及 *机械、封装和可订购信息* 部分.....1

Changes from Revision I (March 2013) to Revision J (March 2013) **Page**

- 将 National Semiconductor 数据表的布局更改成了 TI 格式.....17

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC555CM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LMC 555CM
LMC555CMM/NOPB	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	ZC5
LMC555CMM/NOPB.A	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	ZC5
LMC555CMMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	ZC5
LMC555CMMX/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	ZC5
LMC555CMMX/NOPB.B	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	ZC5
LMC555CMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(LM555C, LMC) 555CM
LMC555CMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LM555C, LMC) 555CM
LMC555CMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LM555C, LMC) 555CM
LMC555CN/NOPB	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	(LMC, LMC555CN) 555CN
LMC555CN/NOPB.A	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	(LMC, LMC555CN) 555CN
LMC555CN/NOPBG4	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	LMC555CN
LMC555CN/NOPBG4.A	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	LMC555CN
LMC555CTP/NOPB	Active	Production	DSBGA (YPB) | 8	250 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	F 02
LMC555CTP/NOPB.A	Active	Production	DSBGA (YPB) | 8	250 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	F 02
LMC555CTP/NOPB.B	Active	Production	DSBGA (YPB) | 8	250 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	F 02
LMC555CTPX/NOPB	Active	Production	DSBGA (YPB) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	F 02
LMC555CTPX/NOPB.A	Active	Production	DSBGA (YPB) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	F 02
LMC555CTPX/NOPB.B	Active	Production	DSBGA (YPB) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	F 02

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC555IM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	LMC 555IM
LMC555IMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(LM555I, LMC) 555IM
LMC555IMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(LM555I, LMC) 555IM
LMC555IMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(LM555I, LMC) 555IM

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

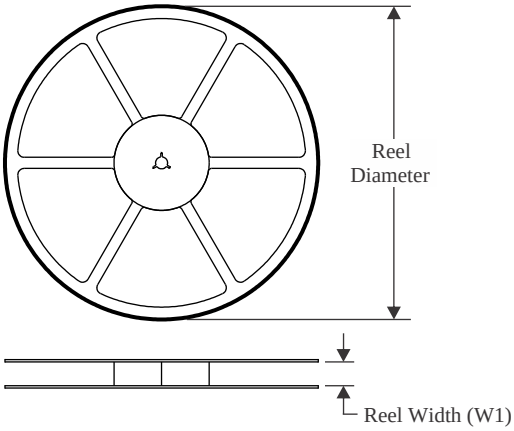
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

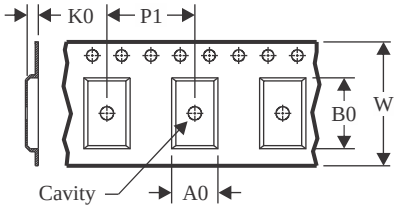
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

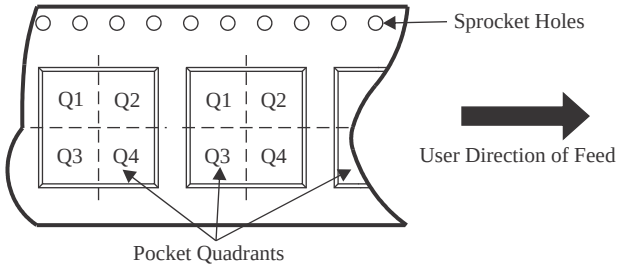


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

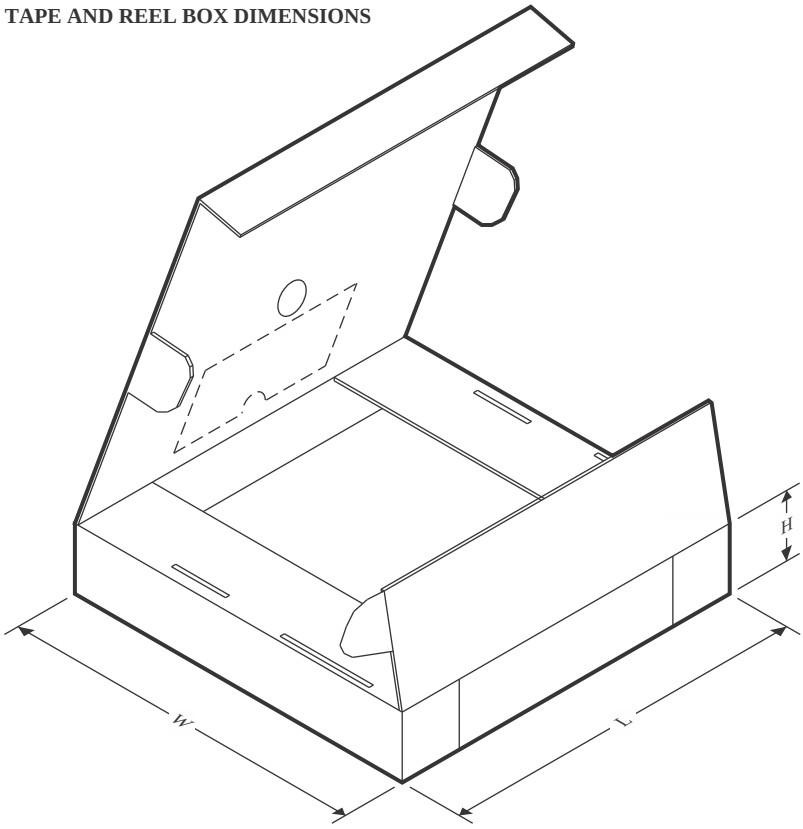
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMC555CMM/NOPB	VSSOP	DGK	8	1000	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC555CMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC555CMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
LMC555CMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC555CTP/NOPB	DSBGA	YPB	8	250	178.0	8.4	1.5	1.5	0.66	4.0	8.0	Q1
LMC555CTPX/NOPB	DSBGA	YPB	8	3000	178.0	8.4	1.5	1.5	0.66	4.0	8.0	Q1
LMC555IMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1

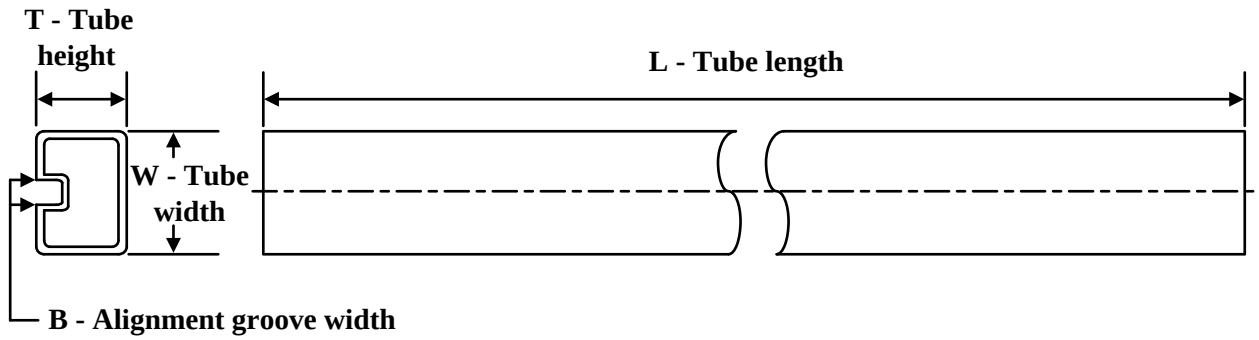
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

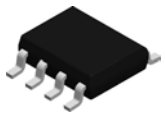
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMC555CMM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMC555CMMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMC555CMMX/NOPB	VSSOP	DGK	8	3500	366.0	364.0	50.0
LMC555CMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC555CTP/NOPB	DSBGA	YPB	8	250	208.0	191.0	35.0
LMC555CTPX/NOPB	DSBGA	YPB	8	3000	208.0	191.0	35.0
LMC555IMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LMC555CN/NOPB	P	PDIP	8	40	506	13.97	11230	4.32
LMC555CN/NOPB	P	PDIP	8	40	502	14	11938	4.32
LMC555CN/NOPB	P	PDIP	8	40	506	13.97	11230	4.32
LMC555CN/NOPB	P	PDIP	8	40	506	13.97	11230	4.32
LMC555CN/NOPB.A	P	PDIP	8	40	506	13.97	11230	4.32
LMC555CN/NOPB.A	P	PDIP	8	40	506	13.97	11230	4.32
LMC555CN/NOPB.A	P	PDIP	8	40	506	13.97	11230	4.32
LMC555CN/NOPB.A	P	PDIP	8	40	502	14	11938	4.32
LMC555CN/NOPBG4	P	PDIP	8	40	506	13.97	11230	4.32
LMC555CN/NOPBG4.A	P	PDIP	8	40	506	13.97	11230	4.32

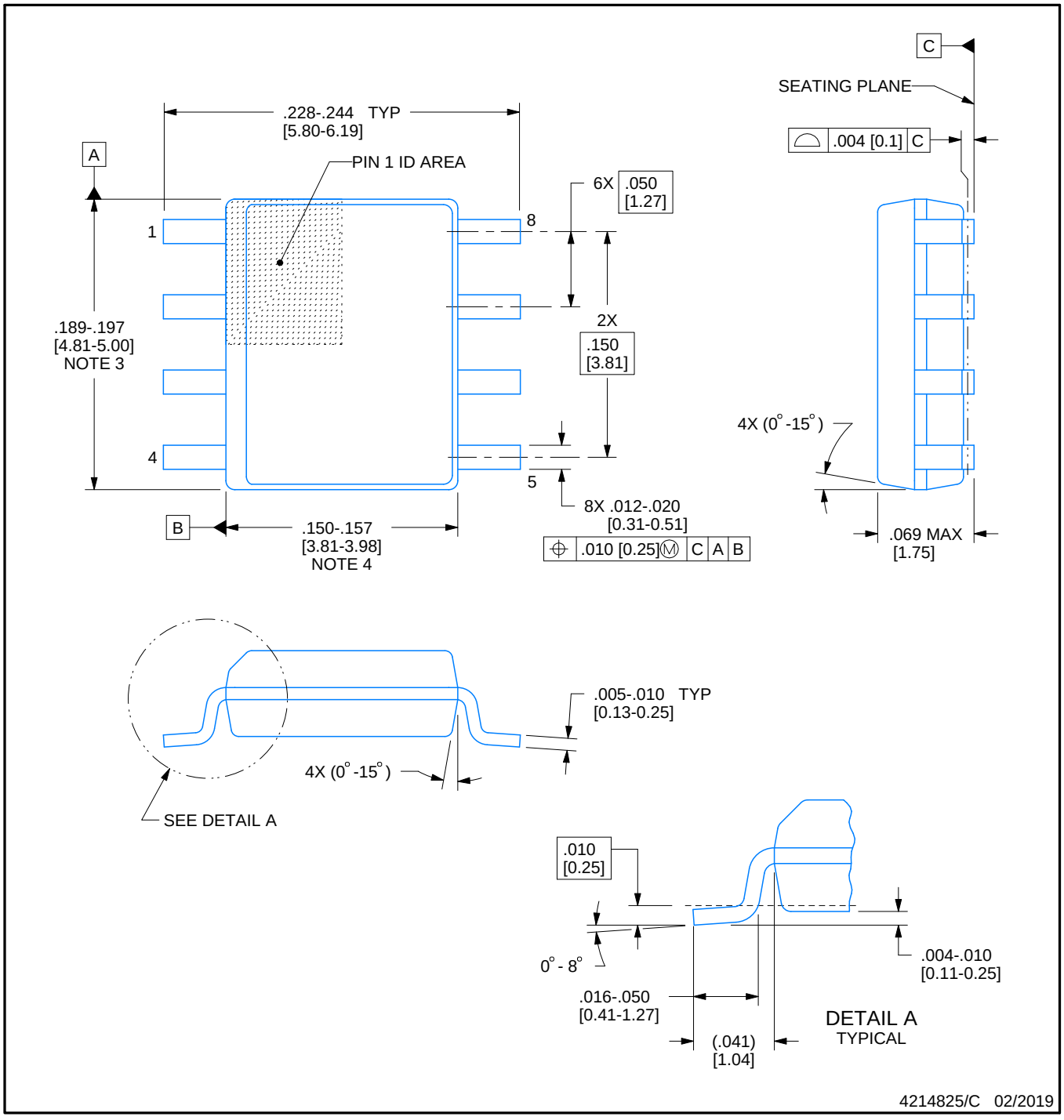


PACKAGE OUTLINE

D0008A

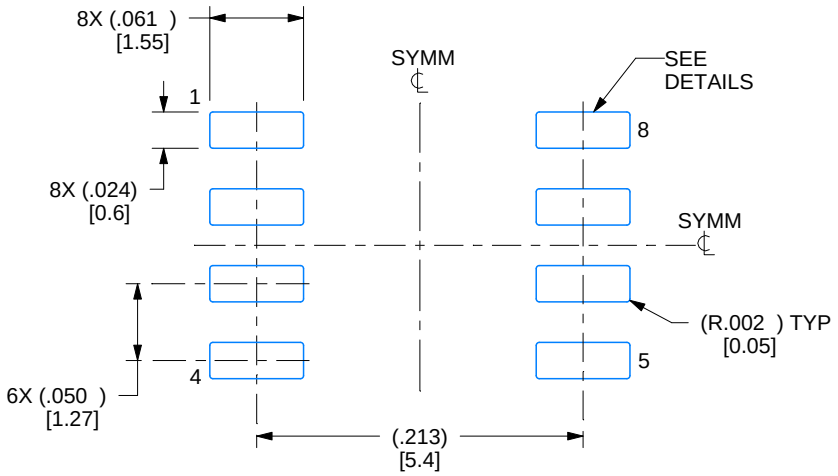
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

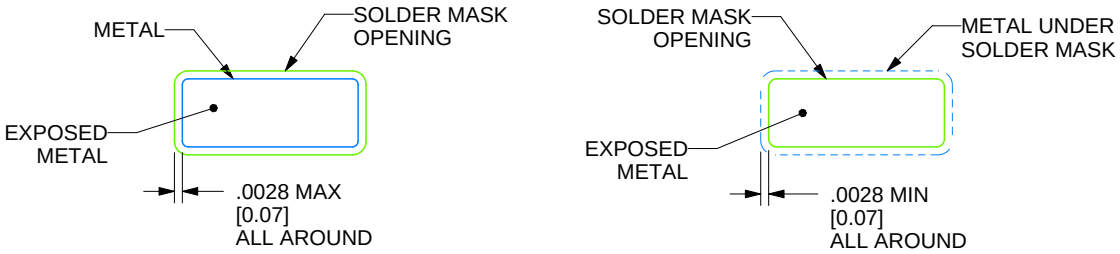


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

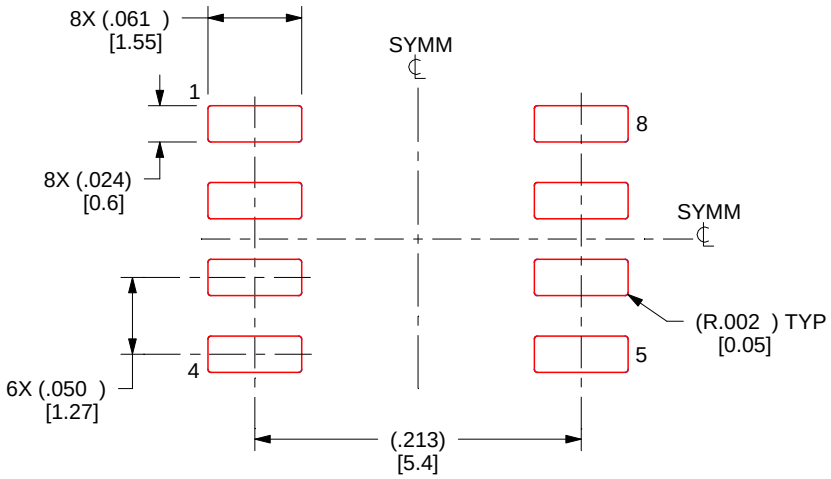
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



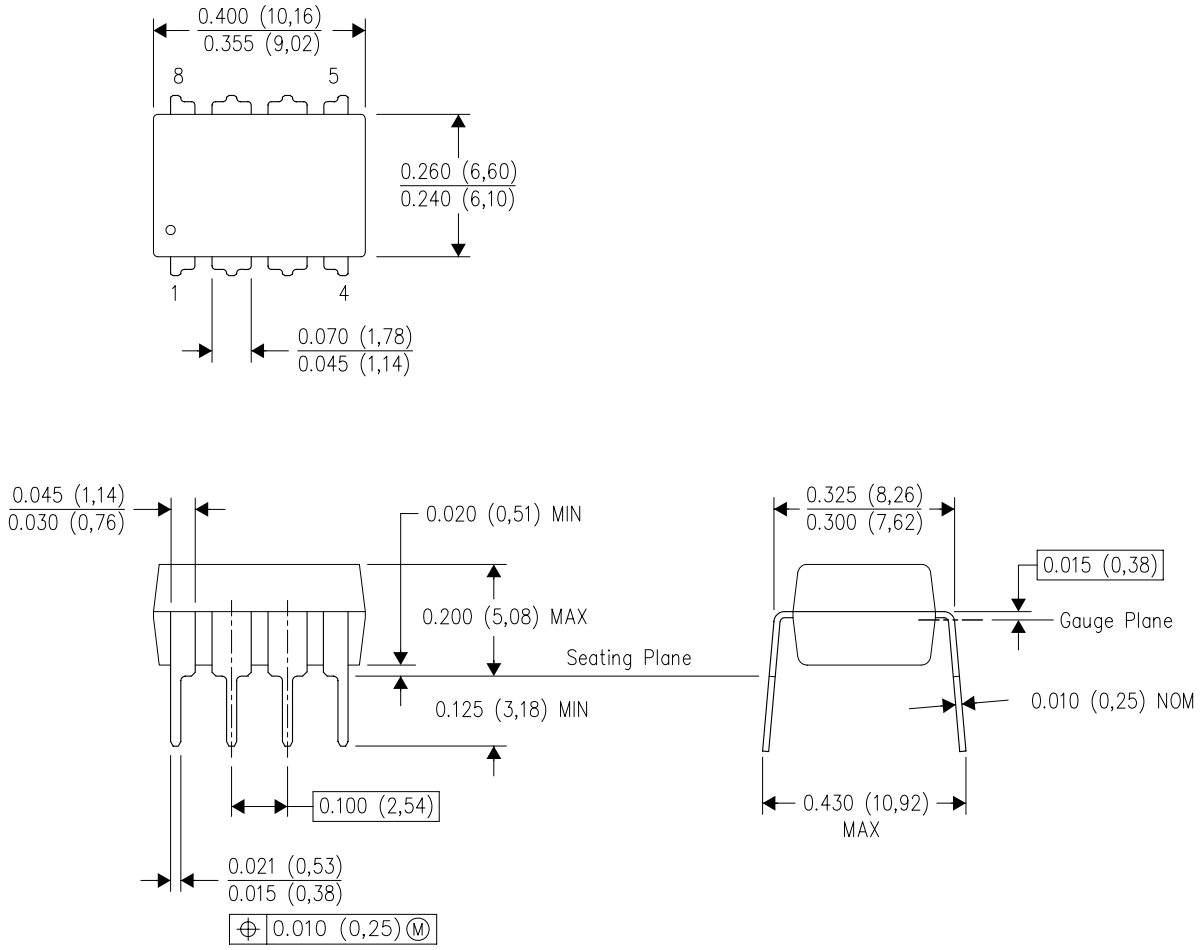
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



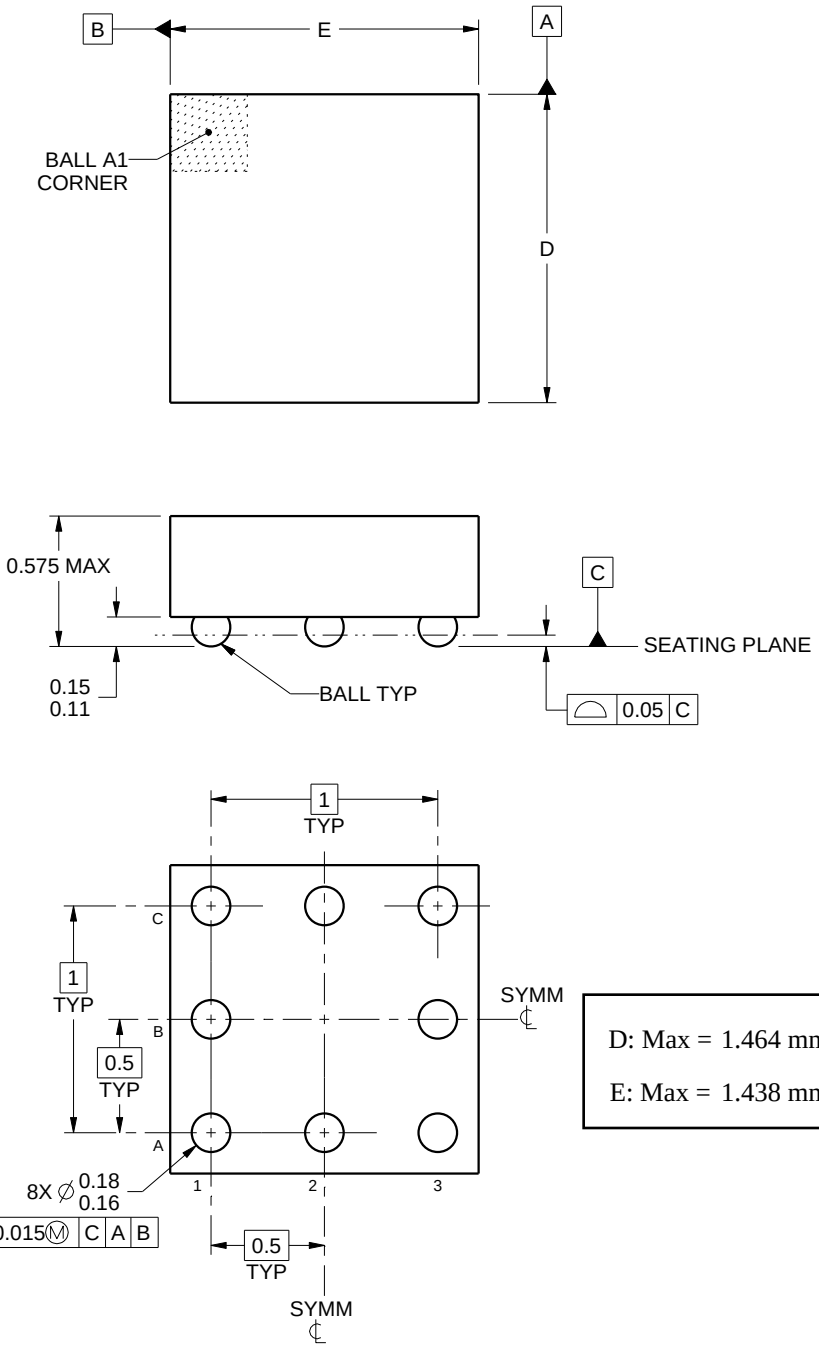
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

PACKAGE OUTLINE

YPB0008

DSBGA - 0.575 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

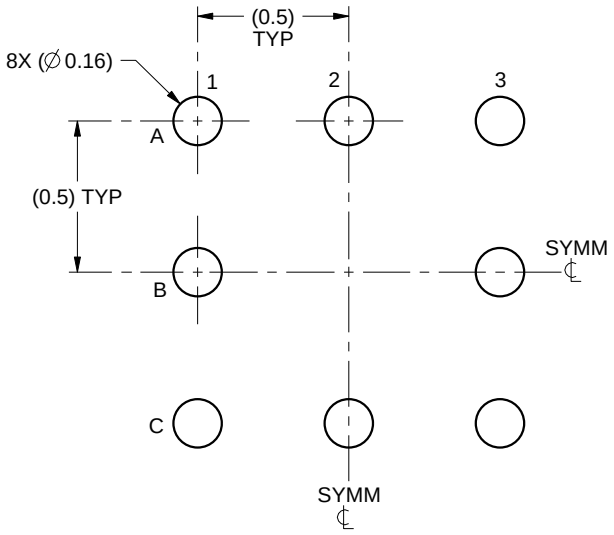
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

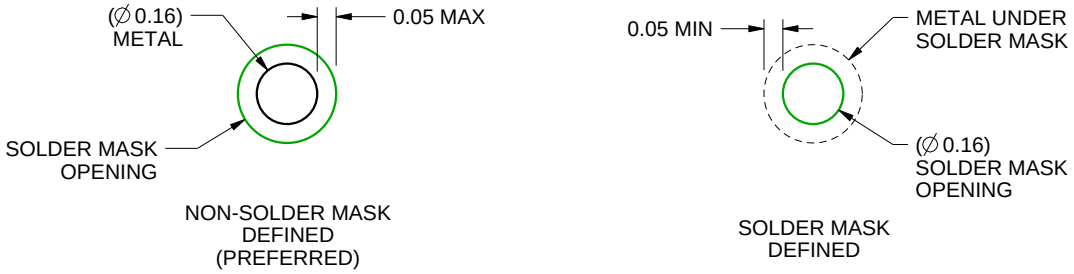
YPB0008

DSBGA - 0.575 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
SCALE:40X

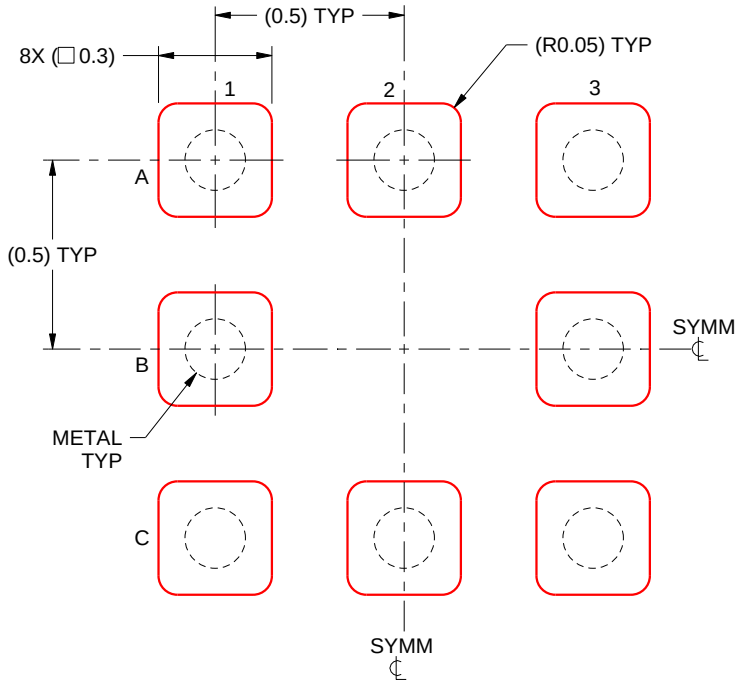


SOLDER MASK DETAILS
NOT TO SCALE

4215100/B 07/2016

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.125mm THICK STENCIL
SCALE:50X

4215100/B 07/2016

NOTES: (continued)

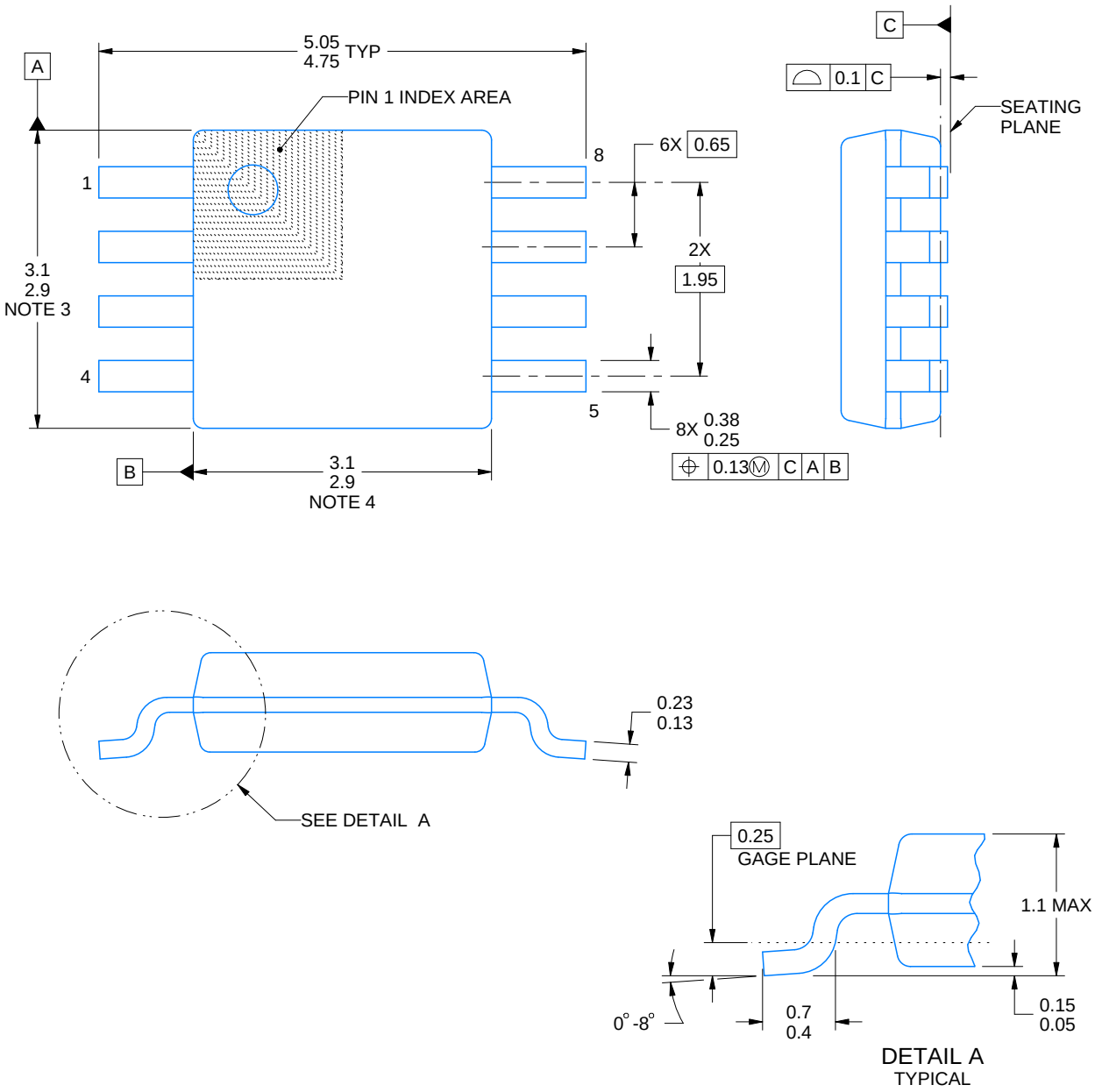
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

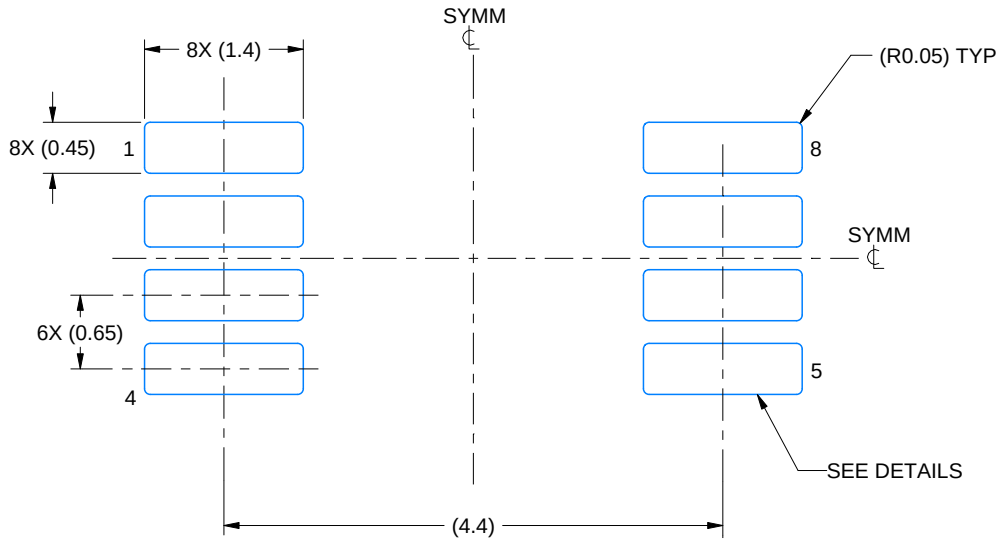
SMALL OUTLINE PACKAGE



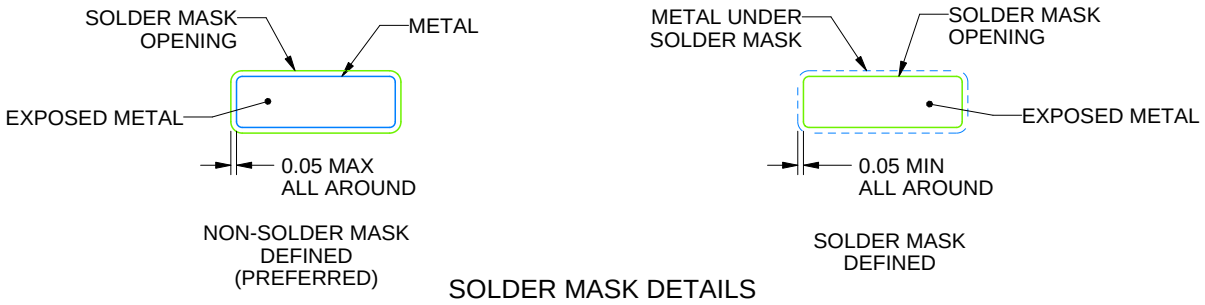
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

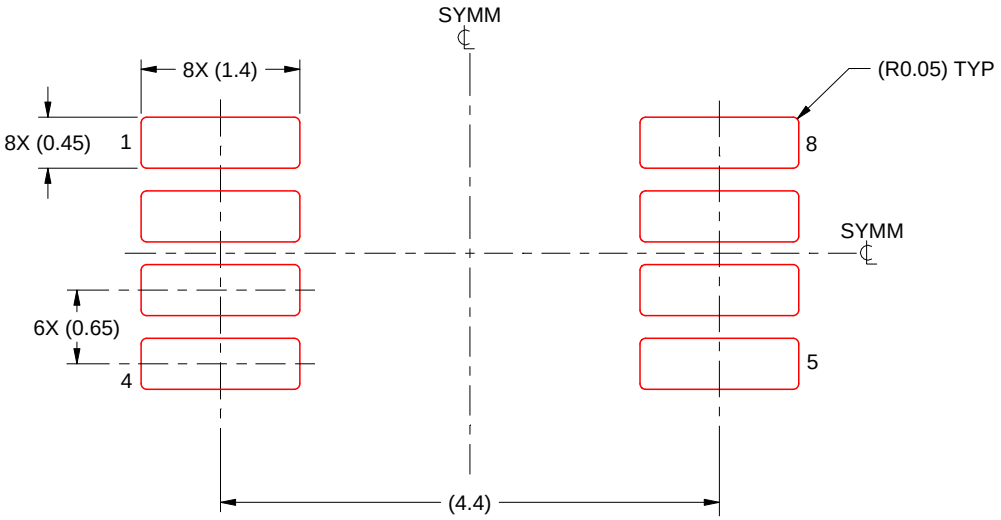


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月