TEXAS INSTRUMENTS
LM8272
ZHDS559G – OCTOBER 2000 – REVISED NOVEMBER 2026

# 采用微型封装的 LM8272 双路 RRIO、高输出电流和无限电容负载运算放大器

## 1 特性

- GBWP：24MHz
- 宽电源电压范围：2.7V 至 24V
- 压摆率：35V/μs
- 每通道电源电流：1.35mA
- 电容负载容限：无限
- 输出短路电流：±125mA
- 输出电流（距电源轨 1V 时）：±65mA
- 输入共模电压：超出电源轨 0.3V
- 输入电压噪声：12nV/ √ Hz
- 输入电流噪声：1pA/ √ Hz
- THD+N：< 0.00022%

## 2 应用

- TFT-LCD 平板 $V_{COM}$ 驱动器
- 模数转换器缓冲器
- 高侧/低侧检测
- 耳机放大器

## 3 说明

LM8272 是一款轨到轨输入和输出运算放大器，可在宽电源电压范围内工作。该器件具有较强的输出电流驱动能力、超出轨到轨的输入共模电压范围，以及无限电容负载驱动能力，。LM8272 专为满足平板 TFT 面板 $V_{COM}$ 驱动器应用的要求而设计，同时也适用于其他需要易于使用且性能优于现有器件的低功耗、中速应用。

超越轨到轨的输入共模电压范围，以及 90dB 的共模抑制比，使得器件能够在许多应用（例如高侧和低侧检测）中使用，而无需担心超出范围，且不影响精度。其工作电源电压范围（2.7V 至 24V）非常宽泛，即使在极端条件下也无需担心器件无法正常工作，并可灵活应用于多种场景。此外，大多数器件参数对电源变化不敏感。该设计增强功能是朝着简化使用迈出的又一步。

LM8272 采用 8 引脚 VSSOP 封装。

**器件信息**

| 器件型号 | 封装(1) | 封装尺寸（标称值） |
|---|---|---|
| LM8272 | DGK（VSSOP，8） | 3.00mm × 3.00mm |

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

# 内容

**1 特性**.....1
**2 应用**.....1
**3 说明**.....1
**4 引脚配置和功能**.....3
**5 规格**.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....5
5.5 电气特性.....6
5.6 典型性能特性.....7
5.7 旧裸片与新裸片的比较.....13
**6 应用和实施**.....14
6.1 驱动电容负载：.....14
6.2 输出短路电流与消耗问题：.....14
6.3 其他应用提示：.....15
6.4 LM8272 优势：.....15
6.5 电过应力.....16
**7 器件和文档支持**.....18
7.1 支持资源.....18
7.2 商标.....18
7.3 静电放电警告.....18
7.4 术语表.....18
**8 修订历史记录**.....18
**9 机械、封装和可订购信息**.....19


Copyright © 2026 Texas Instruments Incorporated

# 4 引脚配置和功能

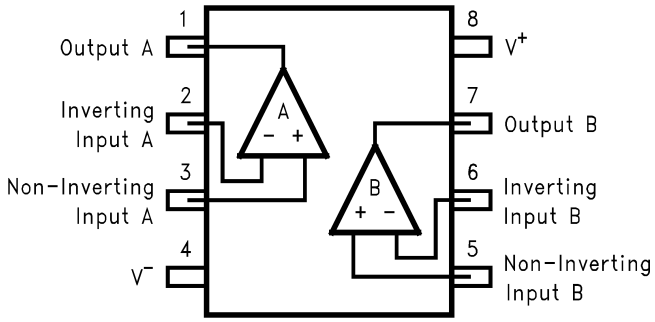



**图 4-1. 8 引脚 VSSOP 顶视图**

| 引脚 | | 类型 | 说明 |
|---|---|---|---|
| 编号 | 名称 | | |
| 1 | OUT A | O | 输出 A |
| 2 | -IN A | I | 反相输入 A |
| 3 | +IN A | I | 非反相输入 A |
| 4 | V- | I | 负电源 |
| 5 | +IN B | I | 非反相输入 B |
| 6 | -IN B | I | 反相输入 B |
| 7 | OUT B | O | 输出 B |
| 8 | V+ | I | 正电源 |

Copyright © 2026 Texas Instruments Incorporated

# 5 规格

## 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

| | | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|
| $V_{IN}$ 差分(5) | | | ±10 | V |
| 信号输入引脚 | 共模电压(3) | (V–) – 0.5 | (V+) + 0.5 | V |
| | 差分电压(5) | | ±10 | V |
| | 电流(3) | | ±10 | mA |
| 输出短路持续时间 | | | 请参阅(3)(4) | |
| 电源电压 ($V^+$ — $V^-$) | | | 27 | V |
| 输入/输出引脚上的电压 | | | $V^+$ +0.3，$V^-$ −0.3 | V |
| 结温(2) | | | +150 | °C |
| 存储温度范围，$T_{stg}$ | | -65 | +150 | °C |
| 焊接信息： | 红外或对流 (20s) | | 235 | °C |
| | 波动焊接 (10s) | | 260 | °C |

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但又在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能会影响器件的可靠性、功能性和性能，并缩短器件的寿命。
(2) 最大功耗是与 TJ(max)、$R_{\theta JA}$ 和 TA 相关的函数。任意环境温度下的最大允许功耗为 PD = (TJ(max) - TA)/ $R_{\theta JA}$。所有数字均适用于直接焊接到 PC 板的封装。
(3) 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。
(4) 在室温及更低温度下，且 VS ≤ 6V 时，输出短路持续时间是无限的。当 VS > 6V 时，允许的短路持续时间为 1.5ms。
(5) 输入引脚通过背对背二极管进行连接，以实现输入保护。如果差分输入电压可能超过 0.5V，则将输入电流限制在 10mA 或更低。

## 5.2 ESD 等级

| | | 值 | 单位 |
|---|---|---|---|
| $V_{(ESD)}$ 静电放电 | 人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1) | ±2000 | V |
| | 充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2) | ±1500 | |
| | 机器放电模型 (MM)(3) | ±200 | |

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。
(3) 人体放电模型，1.5kΩ 与 100pF 串联。机器放电模型，0Ω 与 200pF 串联。

## 5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

| | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|
| 电源电压 ($V^+$ – $V^-$) | 2.7 | | 24 | V |
| 工作温度范围(1) | -40 | | +85 | °C |

(1) 最大功耗是与 TJ(max)、$R_{\theta JA}$ 和 TA 相关的函数。任意环境温度下的最大允许功耗为 PD = (TJ(max) - TA)/ $R_{\theta JA}$。所有数字均适用于直接焊接到 PC 板的封装。


Copyright © 2026 Texas Instruments Incorporated

## 5.4 热性能信息

| 热指标(1) | | DGK | 单位 |
|---|---|---|---|
| | | 8 引脚 | |
| $R_{\theta JA}$ | 结至环境热阻(1) | 169.6 | °C/W |

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

## 5.5 电气特性

除非另有说明，在 $T_A$ = 25°C、$R_L$ = 10kΩ 连接至 $V_S$ / 2、$V_{CM}$= $V_S$ / 2 且 $V_{OUT}$ = $V_S$ / 2 的条件下，$V_S$ = (V+) – (V–) = 2.7V 至 24V（±1.35V 至 ±12V）。

| 参数 | | 测试条件 | | 最小值 | 典型值 (1) | 最大值 (2) | 单位 |
|---|---|---|---|---|---|---|---|
| $V_{OS}$ | 输入失调电压 | $V_{CM}$ = V– | | | | ±5 | mV |
| | | | –40°C ≤ $T_A$ ≤ +125°C | | ±0.7 | ±7 | mV |
| TC $V_{OS}$ | 输入失调电压平均漂移 | $V_{CM}$ = V– | –40°C ≤ $T_A$ ≤ +125°C | | ±2 | | µV/°C |
| $I_B$ | 输入偏置电流 | | –40°C ≤ $T_A$ ≤ +125°C | | | ±2.7 | µA |
| | | 最高室温 | | | | ±2 | |
| $I_{OS}$ | 输入失调电流 | | | | 20 | 250 | nA |
| $V_{CM}$ | 输入共模电压范围 | | | (V–) – 0.1 | | (V+) + 0.1 | V |
| CMRR | 共模抑制比 | V– < $V_{CM}$ < (V+) – 2V | –40°C ≤ $T_A$ ≤ +125°C | 80 | 100 | | dB |
| PSRR | 电源抑制比 | $V_{CM}$= V–，$V_S$ = 5V 至 24V | –40°C ≤ $T_A$ ≤ +125°C | 74 | 109 | | dB |
| $A_{OL}$ | 开环电压增益 | $V_S$ = 24V，$V_{CM}$ = $V_S$ / 2，(V–) + 1V < $V_O$ < (V+) – 1V | –40°C ≤ $T_A$ ≤ +125°C | 60 | 85 | | dB |
| $V_O$ | 相对于电源轨的电压输出摆幅 | 正负电源轨余量 | $V_S$ = 24V，$R_L$ = 10kΩ | | 58 | 68 | mV |
| | | | $V_S$ = 24V，$R_L$ = 2kΩ | | 117 | 137 | |
| $I_{SC}$ | 输出短路电流 | $V_S$ = 24V | | | ±125 | | mA |
| | | $V_S$ = 5V(3) | | | ±85 | | |
| | | $V_S$ = 2.7V(3) | | | ±60 | | |
| $I_S$ | 电源电流（两个通道） | $V_{CM}$ = V−，$I_O$ = 0A | | | 2.7 | 3.9 | mA |
| | | | –40°C ≤ $T_A$ ≤ +125°C | | | 4.5 | |
| SR | 压摆率 | $V_S$ = 24V，$V_{STEP}$ = 10V，G = +1，$C_L$ = 20pF | | | 35 | | V/µs |
| GBW | 增益带宽积 | | | | 11 | | MHz |
| $Phi_m$ | 相位裕度 | G = +1，$R_L$ = 10kΩ，$C_L$ = 20pF | | | 50 | | ° |
| $e_n$ | 输入电压噪声密度 | f = 1kHz | | | 50 | | nV/ √Hz |
| $i_n$ | 输入电流噪声密度 | f = 1kHz | | | 1 | | pA/ √Hz |
| $t_s$ | 趋稳时间 | 精度达到 0.1%，$V_S$ = 24V，$V_{STEP}$ = 10V，G = +1，$C_L$ = 50pF | | | 430 | | ns |
| THD+N | 总谐波失真 + 噪声 | $V_S$ = 24V，$V_O$ = 3$V_{RMS}$，G = 1，f = 1kHz，$R_L$ = 10kΩ | | | 113 | | dB |
| $f_{max}$ | 全功率带宽 | $Z_L$ = (20pF \|\| 10kΩ) 至 $V^+$/2 | | | 700 | | kHz |

(1) 典型值表示最可能的参数标准。
(2) 所有限值均通过测试或统计分析验证。
(3) 仅由特性确定。


Copyright © 2026 Texas Instruments Incorporated

## 5.6 典型性能特性

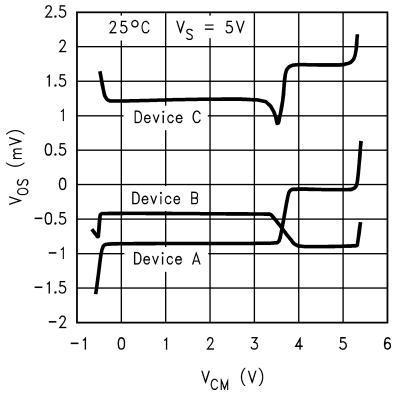



图 5-1. 三个代表性单元的 $V_{OS}$ 与 $V_{CM}$ 间的关系（旧裸片）

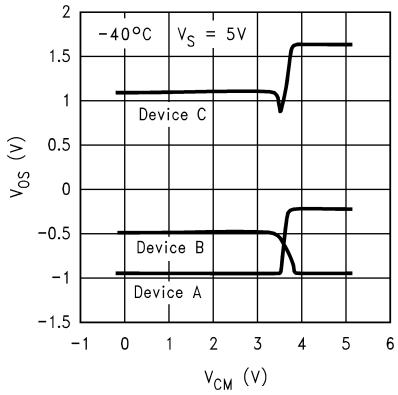



图 5-2. 三个代表性单元的 $V_{OS}$ 与 $V_{CM}$ 间的关系（旧裸片）

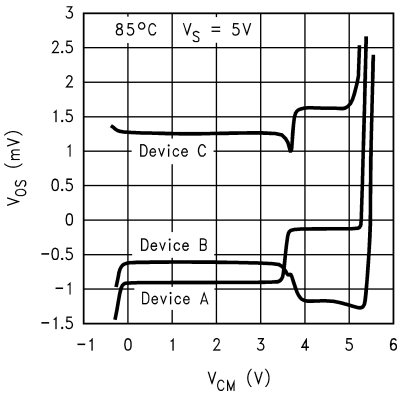



图 5-3. 三个代表性单元的 $V_{OS}$ 与 $V_{CM}$ 间的关系（旧裸片）

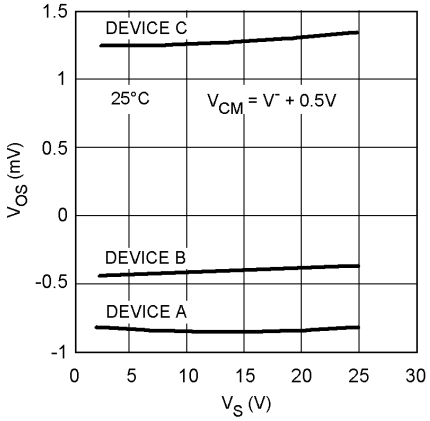



图 5-4. 三个代表性单元的 $V_{OS}$ 与 $V_S$ 间的关系（旧裸片）

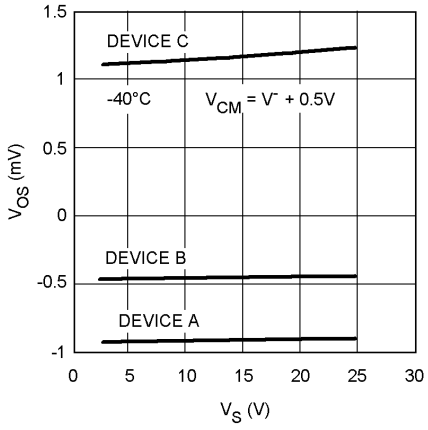



图 5-5. 三个代表性单元的 $V_{OS}$ 与 $V_S$ 间的关系（旧裸片）

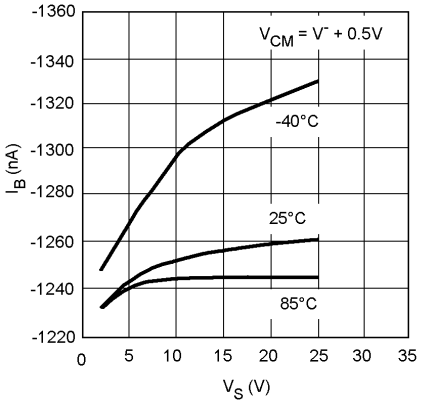



图 5-6. $I_B$ 与 $V_S$ 间的关系（旧裸片）

Copyright © 2026 Texas Instruments Incorporated

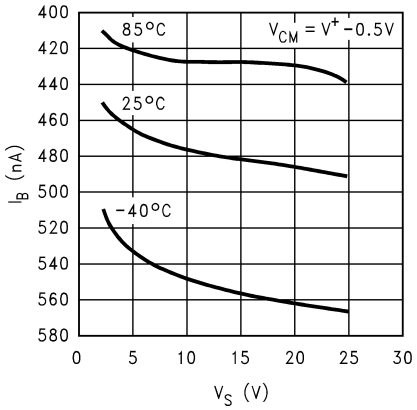



图 5-7. $I_B$ 与 $V_S$ 间的关系（旧裸片）

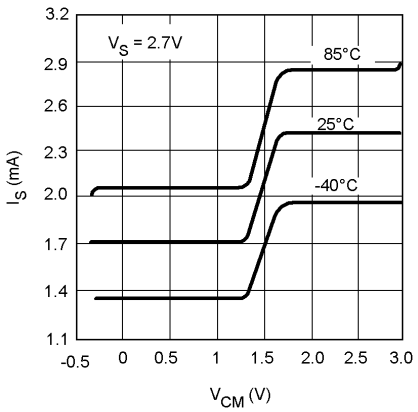



图 5-8. $I_S$ 与 $V_{CM}$ 间的关系（旧裸片）

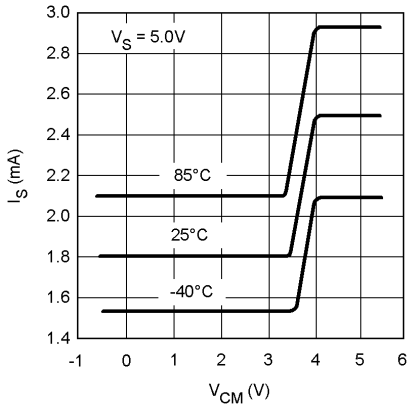



图 5-9. $I_S$ 与 $V_{CM}$ 间的关系（旧裸片）

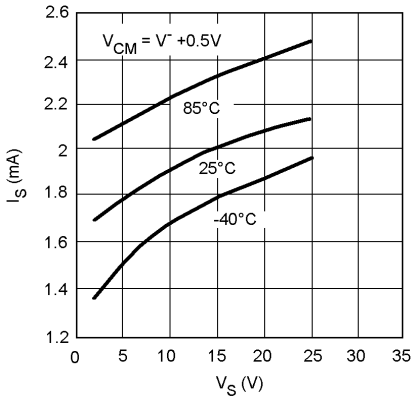



图 5-10. $I_S$ 与 $V_S$ 间的关系（旧裸片）

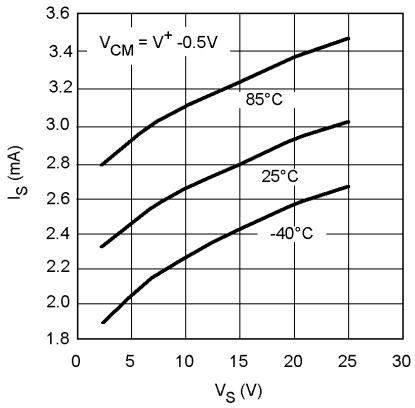



图 5-11. $I_S$ 与 $V_S$ 间的关系（旧裸片）

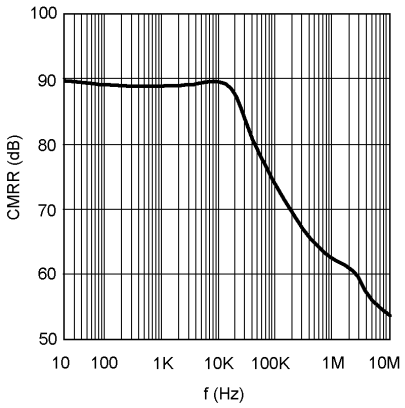



图 5-12. CMRR 与频率间的关系（旧裸片）


Copyright © 2026 Texas Instruments Incorporated

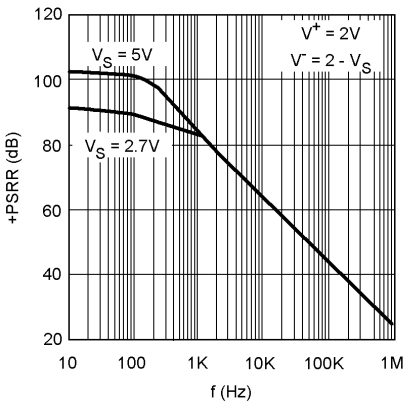



图 5-13. +PSRR 与频率间的关系（旧裸片）

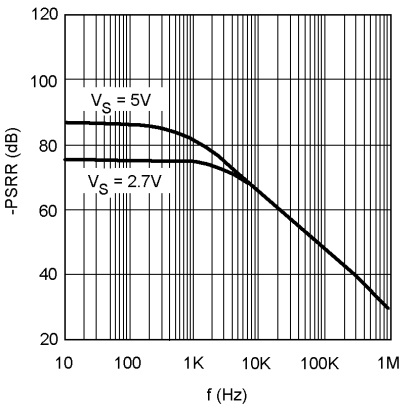



图 5-14. -PSRR 与频率间的关系（旧裸片）

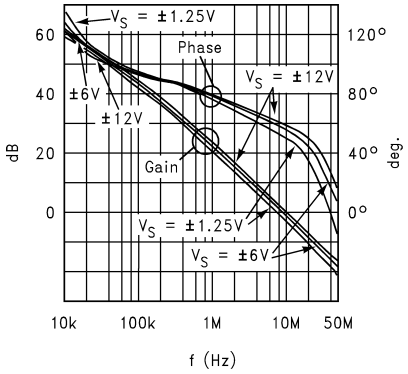



图 5-15. 不同电源下的开环增益/相位（旧裸片）

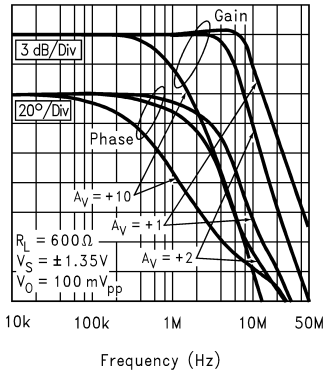



图 5-16. 不同增益下的闭环频率响应

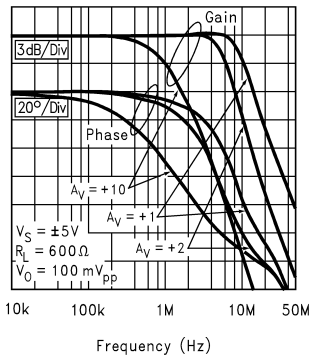



图 5-17. 不同增益下的闭环频率响应

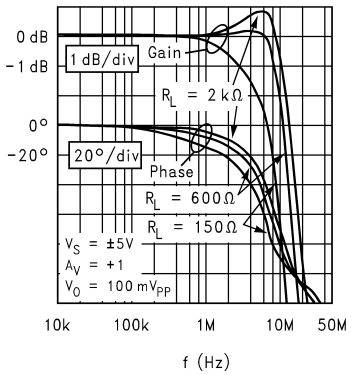



图 5-18. 不同 $R_L$ 下的闭环频率响应（旧裸片）

Copyright © 2026 Texas Instruments Incorporated

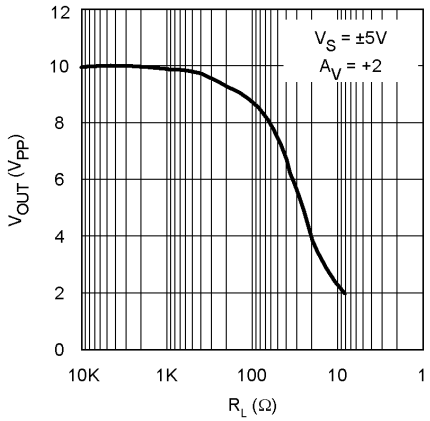



图 5-19. 最大输出摆幅与负载间的关系（失真度为 1%）（旧裸片）

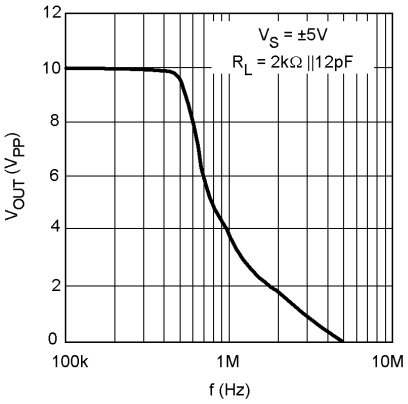



图 5-20. 最大输出摆幅与频率间的关系（失真度为 1%）（旧裸片）

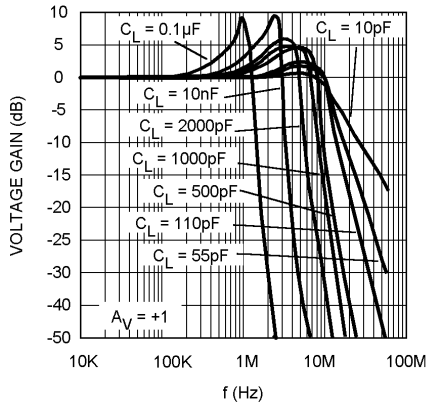



图 5-21. 不同 $C_L$ 下的闭环微小信号频率响应（旧裸片）

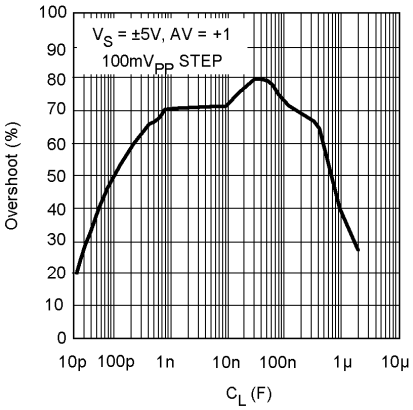



图 5-22. 过冲与电容负载间的关系（旧裸片）

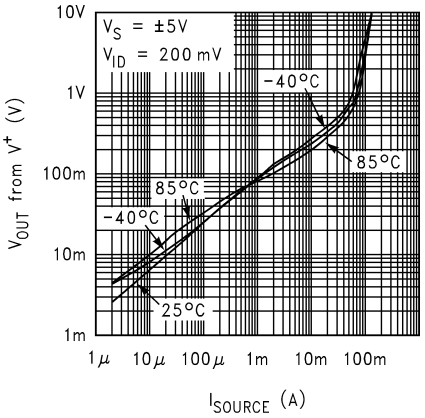



图 5-23. $V_{OUT}$（相对于 $V^+$）与 $I_{SOURCE}$ 间的关系（旧裸片）

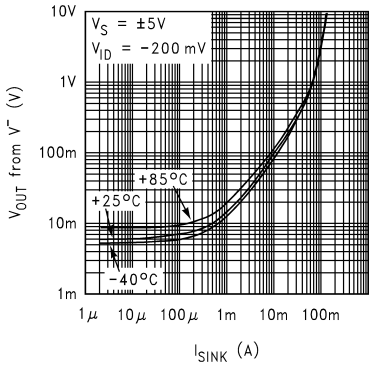



图 5-24. $V_{OUT}$（相对于 $V^-$）与 $I_{SINK}$ 间的关系（旧裸片）


Copyright © 2026 Texas Instruments Incorporated

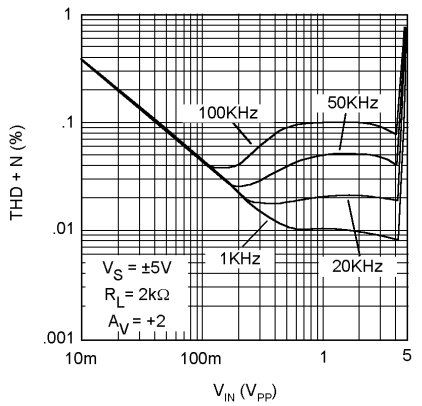



图 5-25. 不同频率下的 THD+N 与输入振幅间的关系（旧裸片）

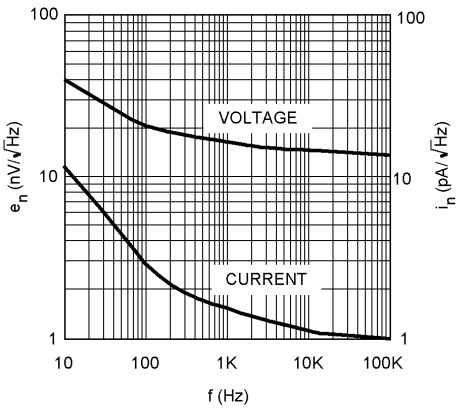



图 5-26. 输入参考噪声密度（旧裸片）

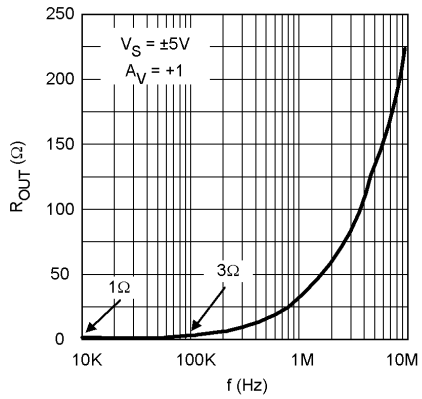
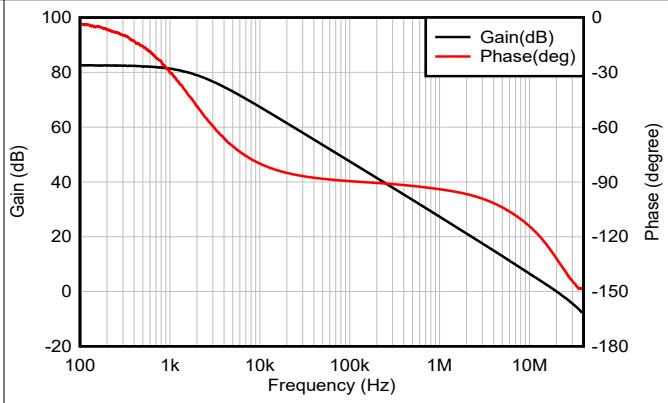



图 5-27. 闭环输出阻抗与频率间的关系（旧裸片）




$C_L$ = 20 pF

图 5-28. 开环增益和相位与频率间的关系（新裸片）

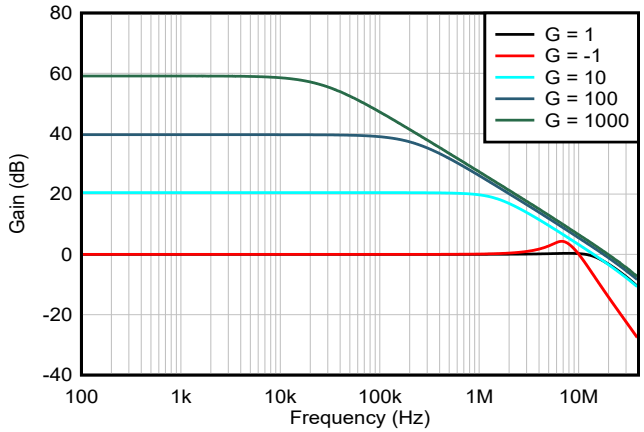



图 5-29. 闭环增益与频率间的关系（新裸片）

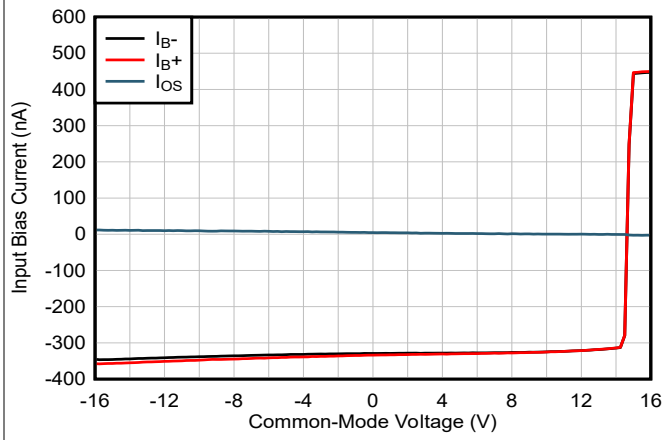



图 5-30. 输入偏置电流和偏移电流与共模电压间的关系（新裸片）

Copyright © 2026 Texas Instruments Incorporated

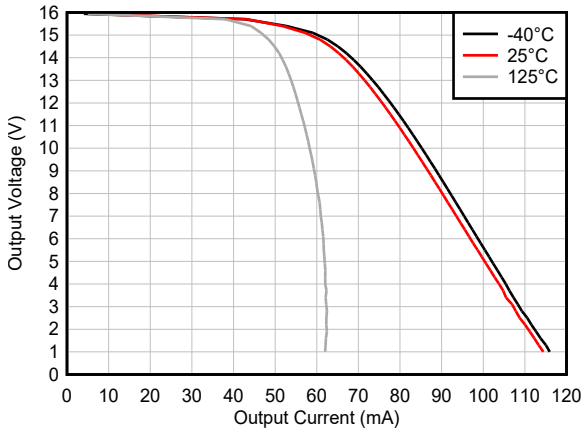



图 5-31. 输出电压摆幅与输出电流（拉电流）间的关系（新裸片）

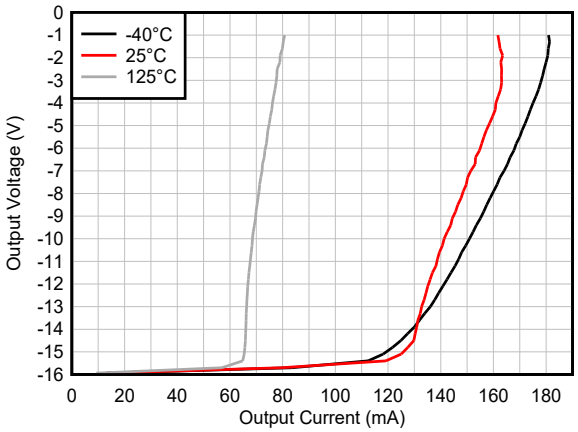



图 5-32. 输出电压摆幅与输出电流（灌电流）间的关系（新裸片）

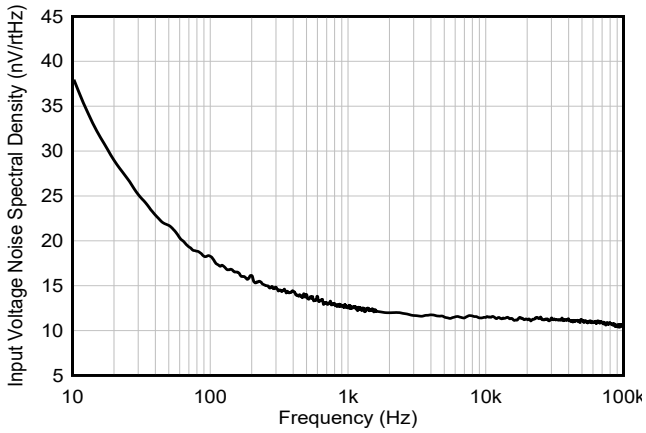



图 5-33. 输入电压噪声频谱密度与频率间的关系（新裸片）

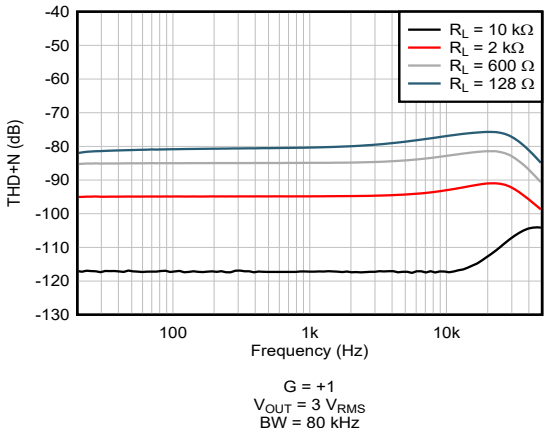



图 5-34. THD+N 比与频率间的关系（新裸片）

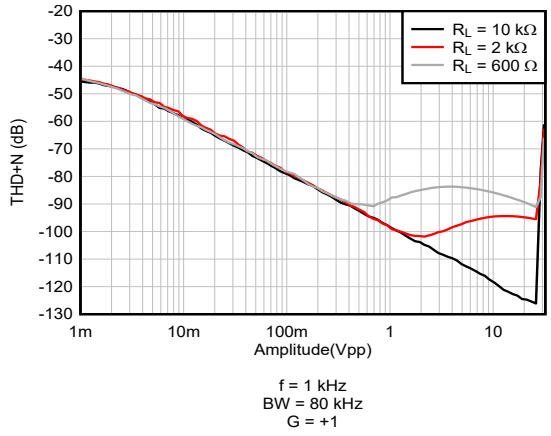



图 5-35. THD+N 与输出振幅间的关系（新裸片）

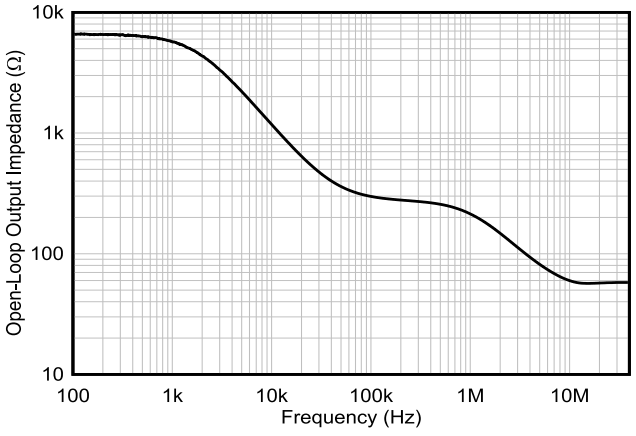



图 5-36. 开环输出阻抗与频率间的关系（新裸片）


Copyright © 2026 Texas Instruments Incorporated

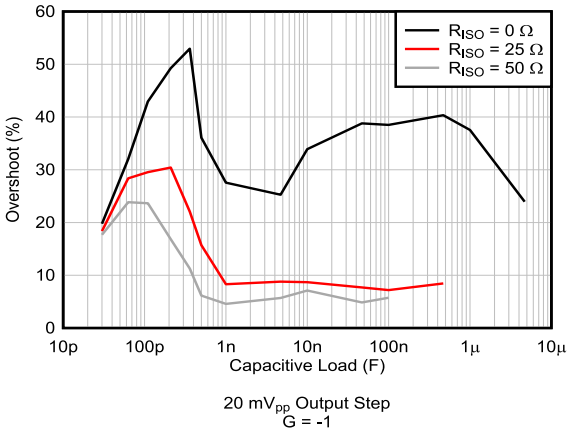



**图 5-37. 小信号过冲与电容负载间的关系（新裸片）**

## 5.7 旧裸片与新裸片的比较

截至本数据表修订版 G 发布时，德州仪器 (TI) 已将 LM8272 的裸片制造转移到了一座现代制造厂。本文档中将两个不同的裸片称为“旧”（前一个制造基地）和“新”裸片。裸片原点可以与发货信息中的“裸片源来源”(CSO) 参数分开。旧裸片 CSO 为“GF6”，而新裸片 CSO 为“TID”。旧裸片信息包含在发货信息中。旧裸片 CSO 为“GF6”，而新裸片 CSO 为“TID”。本数据表中保留了旧裸片信息，用于进行比较，但所有新制造工艺都转移到了新裸片上。

Copyright © 2026 Texas Instruments Incorporated

# 6 应用和实施

**备注**

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

## 6.1 驱动电容负载：

LM8272 专门设计用于驱动无限电容负载而不发生振荡。此外，该器件的输出电流处理能力使其即使在驱动大电容负载时也能保持良好的压摆特性。这些特性的组合是 TFT 平板缓冲器、模数转换器输入放大器等应用的绝佳选择。

然而，与大多数运算放大器一样，在运算放大器和容性负载之间添加一个串联隔离电阻器可以改善趋稳时间和过冲性能。

为了保持可接受的相位裕度，无限容性负载驱动 (UCLD) 器件会在较大的容性负载下降低增益带宽积。在没有很大电容负载的情况下，LM8272 的额定增益带宽积为 24MHz，但当达到传统放大器开始出现不稳定的负载条件时，此值可以开始减小。这种折衷可扩展输出驱动能力。LM8272 采用宽增益带宽积设计，可确保为很多具有更高容性负载的通用应用留出余量。

## 6.2 输出短路电流与消耗问题：

LM8272 输出级旨在提供最大输出电流能力。尽管在所有工作电压下都能容忍输出对地或对任一电源的瞬时短路，但持续时间较长的短路情况可能导致结温升至超过器件的绝对最大额定值，尤其是在较高电源电压条件下。电源电压低于 6V 时，器件可无限期承受输出短路状态。

当运算放大器连接负载时，器件的功率耗散包括由流入器件的电源电流引起的静态功耗，以及由负载电流引起的功率耗散。负载部分的功耗本身可包括一个平均值（由直流负载电流引起）和一个交流分量。如果存在输出电压偏移，或者输出交流平均电流非零，或者运算放大器工作在单电源应用中且输出维持在线性工作范围内的某点，则会有直流负载电流流过。因此：

$$P_{tolal} = P_Q + P_{DC} + P_{AC} \quad (1)$$

$$P_Q = I_S \times V_S \text{ (Op Amp Quiescent Power Dissipation)} \quad (2)$$

$$P_{DC} = I_O \times [V_r - V_o] \text{(DC Load Power)} \quad (3)$$

$P_{AC}$ = 请参阅下方的表 6-1 （交流负载功耗）

其中：

- $I_S$：电源电流
- $V_S$：总电源电压 ($V^+$ - $V^-$)
- $V_O$：平均输出电压
- $V_r$：对于拉电流为 $V^+$，对于灌电流为 $V^-$

下方的表 6-1 显示了运算放大器在标准正弦波、三角波和方波波形下耗散的负载功耗的最大交流分量：

**表 6-1. 标准波形下输出级功率耗散的归一化交流功率**

| $P_{AC}$ (W.Ω/V²) | | |
|---|---|---|
| 正弦波 | 三角波 | 方波 |
| $50.7 \times 10^{-3}$ | $46.9 \times 10^{-3}$ | $62.5 \times 10^{-3}$ |


Copyright © 2026 Texas Instruments Incorporated

表格条目已归一化至 $V_S^2/R_L$。要计算功率耗散的交流负载电流分量，只需将输出波形对应的表格条目乘以因子 $V_S^2/R_L$ 即可。例如，在 ±12V 电源、600Ω 负载以及三角波形条件下，输出级的功率耗散计算如下：

$$P_{AC} = \left[46.9 \times 10^{-3}\right] \times \left[\frac{24^2}{600}\right] = 45.0\text{mW} \quad (4)$$

### 6.3 其他应用提示：

在大多数应用中，必须使用电源去耦合。与大多数速度相对较高且输出电流较大的运算放大器一样，最佳结果是通过对每条电源线使用两个电容器进行去耦合来实现的：一个放置在非常靠近电源引脚位置的小值陶瓷电容器（约 0.01μF），再加上一个大值钽或铝电容器 (> 4.7μF)。如有必要，这个大电容器可以被多个器件共用。小陶瓷电容器在高频率下维持低电源阻抗，而大电容器则充当电荷“桶”，用于应对运算放大器输出端的快速负载电流尖峰。这些电容器的组合将提供电源去耦功能，并有助于在任何负载下确保运算放大器不发生振荡。

### 6.4 LM8272 优势：

与其他轨到轨输入和输出器件相比，LM8272 具有多项优势，例如：

- 改善了交越失真
- 在整个输出电压摆幅范围内以及接近任一电源轨时，电源电流几乎保持恒定。
- 在所有工作电源和负载条件下，单位增益频率 ($f_u$) 和相位裕度 ($Phi_m$) 几乎保持恒定。
- 在输入过载条件下无输出相位反转。

Copyright © 2026 Texas Instruments Incorporated

## 6.5 电过应力

设计人员常常会问到有关运算放大器承受电气过应力 (EOS) 的能力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

相对于典型电路的等效内部 ESD 电路，深入理解这一基础 ESD 电路及其与电气过应力事件的相关性会很有帮助。图 6-1 展示了 LM8272 中包含的 ESD 电路（用虚线区域指示）。ESD 保护电路涉及从输入和输出引脚连接并路由回内部供电线路的数个导流二极管，其中二极管在吸收器件或电源 ESD 单元（运算放大器的内在部分）处相接。该保护电路在电路正常工作时处于未运行状态。

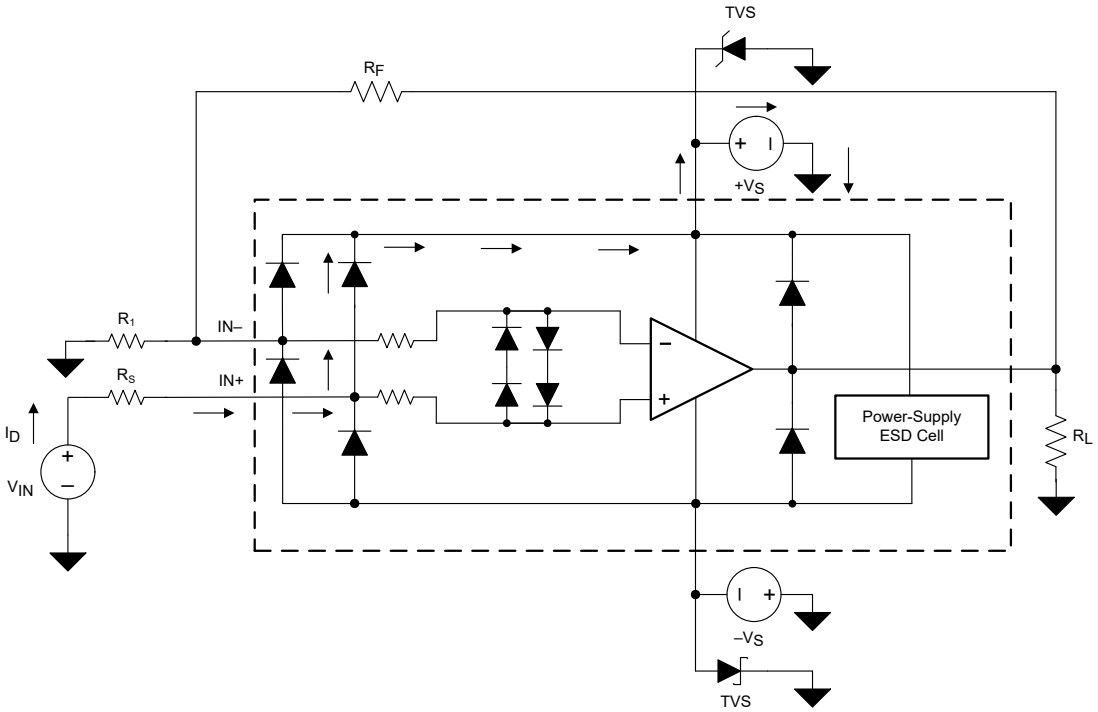



**图 6-1. 与典型电路应用相关的等效内部 ESD 电路**


Copyright © 2026 Texas Instruments Incorporated

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路设计在运算放大器核心周围，旨在为其提供电流路径，以防止造成损坏。保护电路吸收的能量将以热量形式耗散。

当两个或更多个放大器器件终端上产生 ESD 电压时，电流将流经一个或多个导流二极管。根据电流所选路径，该路径上的吸收器件可能激活。吸收器件具有触发器或阈值电压，该电压高于 LM8272 的正常工作电压，但低于器件击穿电压。超出该阈值后，吸收器件会迅速激活并将电源轨两端电压稳定在安全水平。

当运算放大器接入某个电路（如图 6-1 中所示）时，ESD 保护元件将保持未激活状态并且不会参与应用电路的运行。不过，如果施加的电压超出指定终端的工作电压范围，可能会引起一些问题。如果出现这种情况，部分内部 ESD 保护电路可能处于导通状态并传导电流。此类电流将流经导流二极管路径，但很少涉及吸收器件。

图 6-1 给出了一个具体示例，其中输入电压 $V_{IN}$ 高于正电源电压 ($+V_S$) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 $+V_S$ 能够吸收电流，那么上面的一个输入钳位二极管就会导通，并将电流传导至 $+V_S$。越来越高的 $V_{IN}$ 会带来过高的电流。因此，数据表规范建议将应用的输入电流限制为 10mA。

如果电源无法吸收电流，$V_{IN}$ 会开始将电流拉至运算放大器，然后作为正电源电压源进行接管。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题是，如果在电源 $+V_S$ 或 $-V_S$ 为 0V 时向输入施加一个输入信号，放大器将如何响应。同样，此问题取决于电源在 0V 或低于输入信号幅值时的特性。如果电源呈现高阻抗状态，输入源通过电流驱动二极管提供运算放大器电流。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，可在电源终端处外接齐纳二极管。选择齐纳电压可确保二极管不会在正常运行过程中导通。不过，齐纳电压必须足够低，以便齐纳二极管在电源终端电压上升至超过安全工作电源电压水平时导通。

LM8272 输入端子由背对背二极管提供保护，不会因差分电压过大而受损；请参阅图 6-1。在多数电路应用中，输入保护电路并不产生实际影响。但在低增益或 G = 1 的电路中，快速变化的输入信号可能会导致这些二极管发生正向偏置，因为放大器的输出无法足够快地响应该输入变化。在某些比较器应用中，也可以正向偏置这些二极管。如果输入信号的变化速度足以实现上述正向偏置，则输入信号电流应限制在 10mA 或更低。如果未对输入信号电流进行限定，可使用输入串联电阻限制输入信号电流。该输入串联电阻会降低 LM8272 的低噪声性能。图 6-1 展示了实现限流反馈电阻器的示例配置。

Copyright © 2026 Texas Instruments Incorporated

# 7 器件和文档支持

## 7.1 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

## 7.2 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

## 7.3 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 7.4 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

# 8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

| Changes from Revision F (August 2015) to Revision G (November 2026) | Page |
|---|---|
| • 添加了信号输入引脚规格 | 4 |
| • 更新了脚注 | 4 |
| • 添加了第二行 | 4 |
| • 将电源电压最小值从 2.5V 更改成了 2.7V | 4 |
| • 删除了输入偏置电流典型值 | 6 |
| • 将输入偏置电流最大值从 ±2.8 µA 更改成了 ±2.7 µA | 6 |
| • 添加了输入偏置电流达到最大值 ±2 µA 时的最高室温测试条件 | 6 |
| • 将输入偏移电流典型值从 30nA 更改成了 20nA，并将最大值从 275nA 更改成了 250nA | 6 |
| • 将电源抑制比典型值从 3.5 µV/V 更改成了 109dB | 6 |
| • 添加了电源抑制比最小值 74dB | 6 |
| • 添加了开环电压增益最小值 60dB | 6 |
| • 添加了新裸片的典型特性图 | 7 |
| • 添加了新旧裸片比较主题 | 13 |
| • 删除了以下章节：*方框图*、*工作说明中的 A) 输入级*、*B) 输出级*、*C) 接近 $V^-$ 时的输出电压摆幅*，以及*输出电压摆幅的估算* | 14 |
| • 更新了*驱动电容负载*部分 | 14 |
| • 添加了*电气过应力*部分 | 16 |

| Changes from Revision E (August 2014) to Revision F (August 2015) | Page |
|---|---|
| • 将 GBWP 从 15MHz 更改成了 24MHz | 1 |
| • 将转换率从 15V/µs 更改成了 35V/µs | 1 |
| • 将每通道电源电流从 0.95mA 更改成了 1.35mA | 1 |


Copyright © 2026 Texas Instruments Incorporated

- 将输出短路电流从 ±130mA 更改成了 ±125mA.....1
- 将输入电压噪声从 15nV/ √Hz 更改成了 12nV/ √Hz.....1
- 将输入电流噪声从 1.4pA/ √Hz 更改成了 1pA/ √Hz.....1
- 将工作电源电压范围从 2.5V 更改成了 2.7V.....1
- 将 *引脚功能*表中的引脚 5 从 -IN B 更改为 +IN B 非反相输入 B.....3
- 将 *引脚功能*表中的引脚 6 从 +IN B 更改为 -IN B 反相输入 B.....3
- 将存储温度范围移到了*绝对最大额定值* 中.....4
- 将*处理额定值*更改为： *节 5.2*.....4

**Changes from Revision D (March 2013) to Revision E (August 2014)** **Page**

- 更改了数据表的结构和组织形式。添加、更新或重命名了以下章节：器件信息表；应用与实施；电源相关建议；机械、封装和订购信息。.....1
- 删除了 $T_J$ = 25°C.....6

**Changes from Revision C (March 2013) to Revision D (March 2013)** **Page**

- 将美国国家通用数据表的版面布局更改为 TI 格式.....15

## 9 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| LM8272MMX/NOPB | Active | Production | VSSOP (DGK) \| 8 | 3500 \| LARGE T&R | Yes | SN | Level-1-260C-UNLIM | -40 to 85 | A60 |
| LM8272MMX/NOPB.B | Active | Production | VSSOP (DGK) \| 8 | 3500 \| LARGE T&R | Yes | SN | Level-1-260C-UNLIM | -40 to 85 | A60 |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

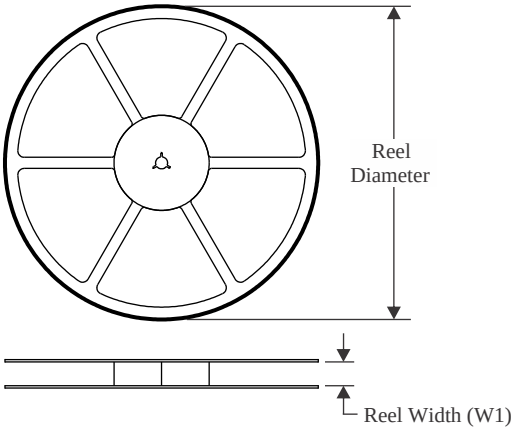
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

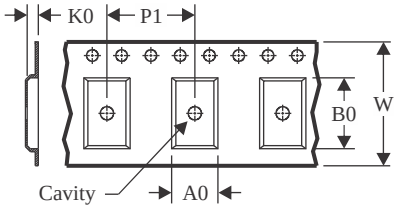
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

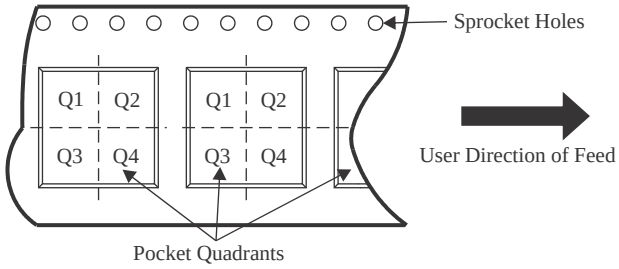



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

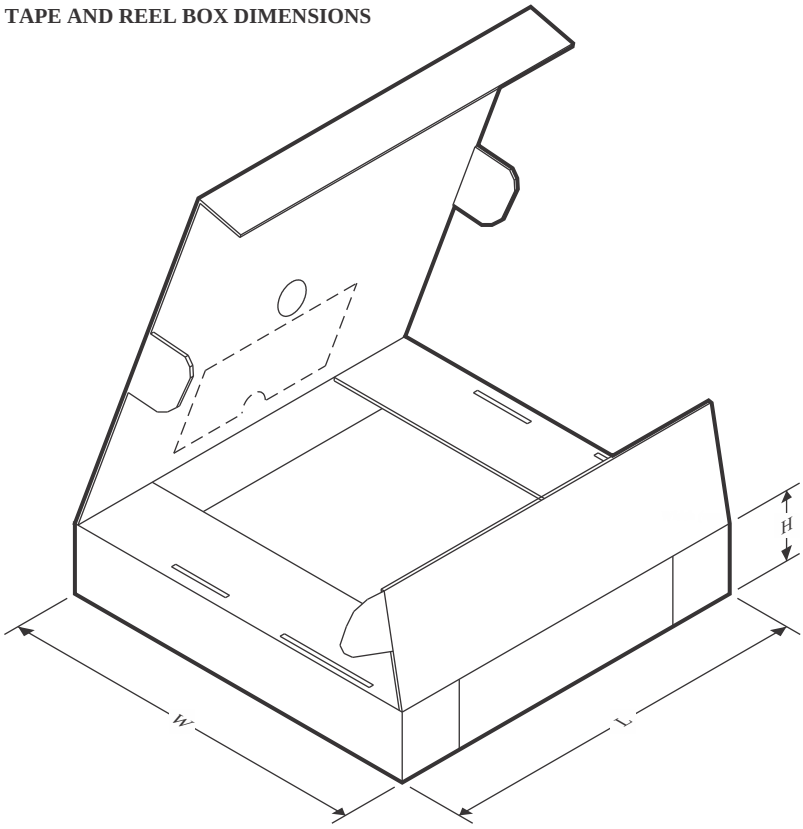
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| LM8272MMX/NOPB | VSSOP | DGK | 8 | 3500 | 330.0 | 12.4 | 5.3 | 3.4 | 1.4 | 8.0 | 12.0 | Q1 |
| LM8272MMX/NOPB | VSSOP | DGK | 8 | 3500 | 330.0 | 12.4 | 5.25 | 3.35 | 1.25 | 8.0 | 12.0 | Q1 |

TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

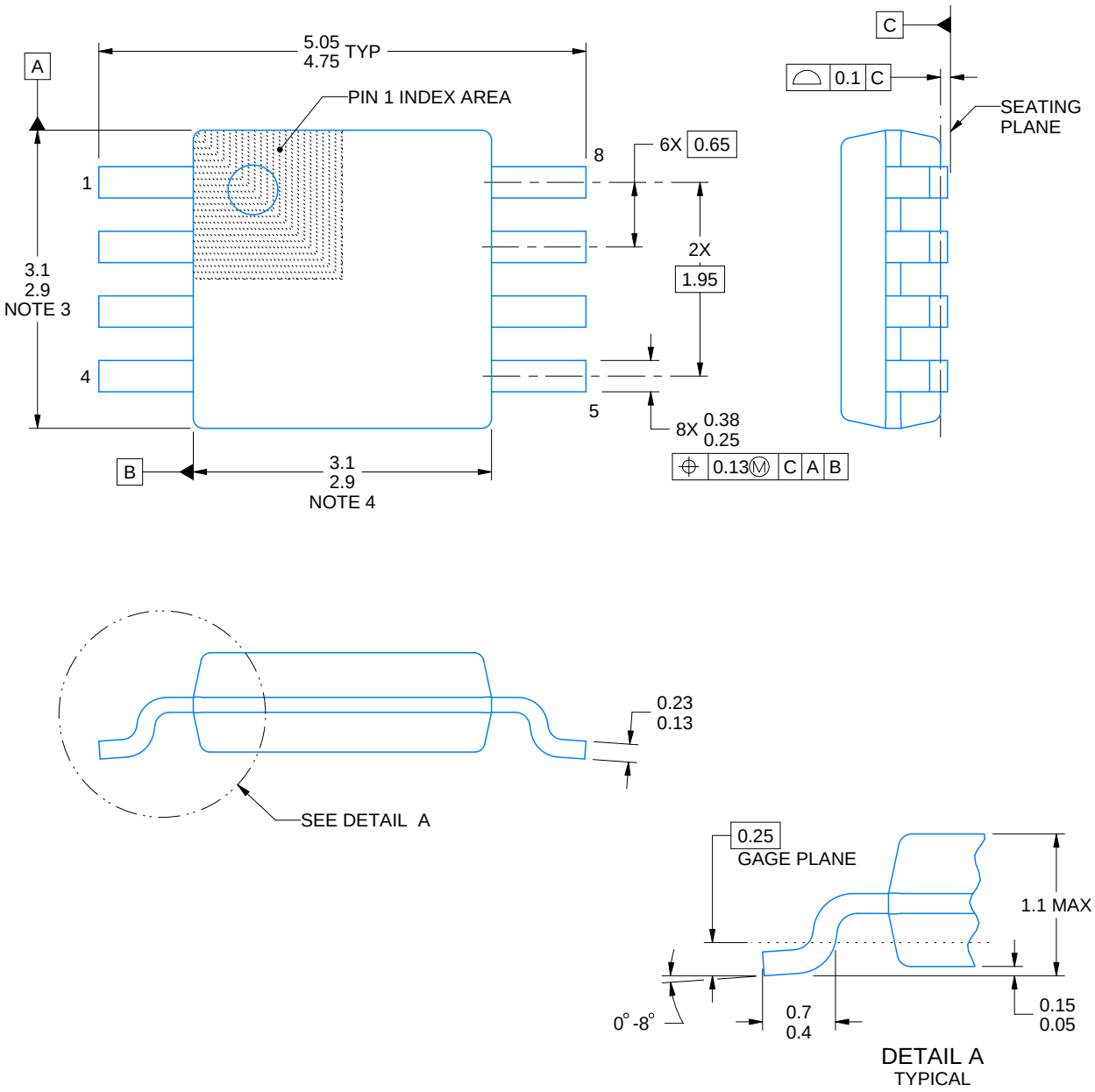
| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| LM8272MMX/NOPB | VSSOP | DGK | 8 | 3500 | 367.0 | 367.0 | 35.0 |
| LM8272MMX/NOPB | VSSOP | DGK | 8 | 3500 | 366.0 | 364.0 | 50.0 |

# PACKAGE OUTLINE

## DGK0008A

## VSSOP - 1.1 mm max height

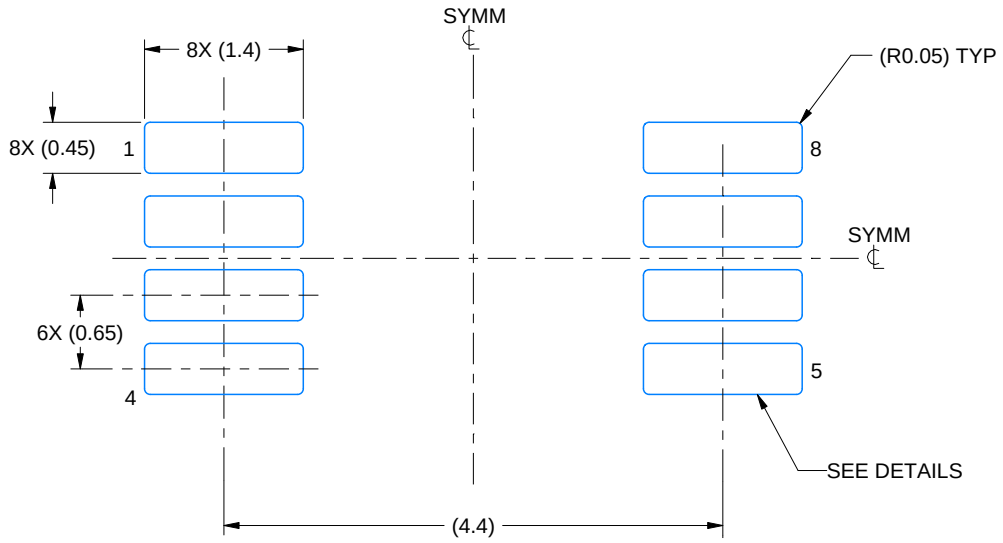
SMALL OUTLINE PACKAGE



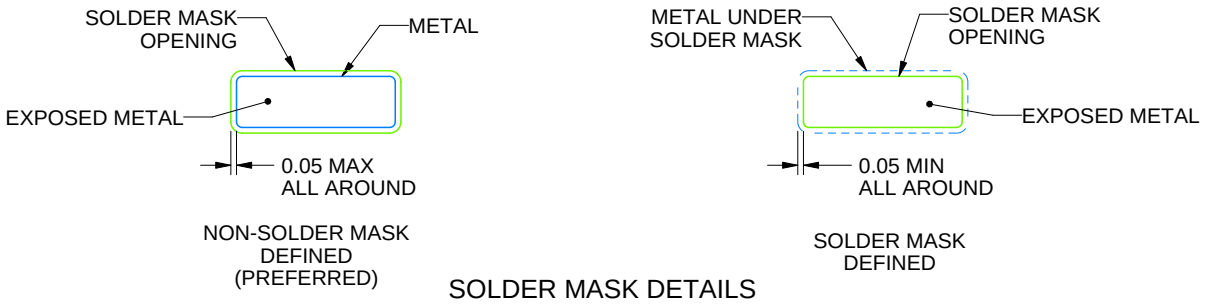

PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

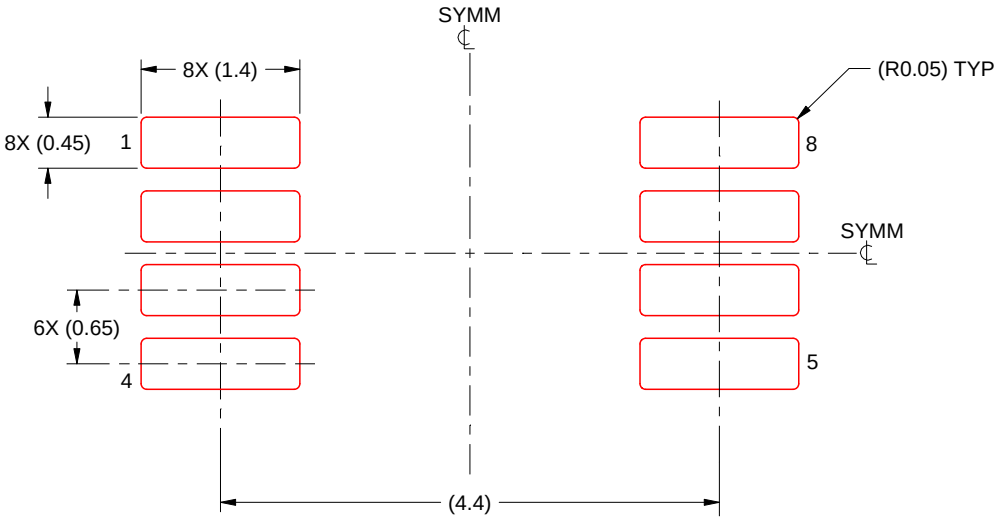



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.




SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

# 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月