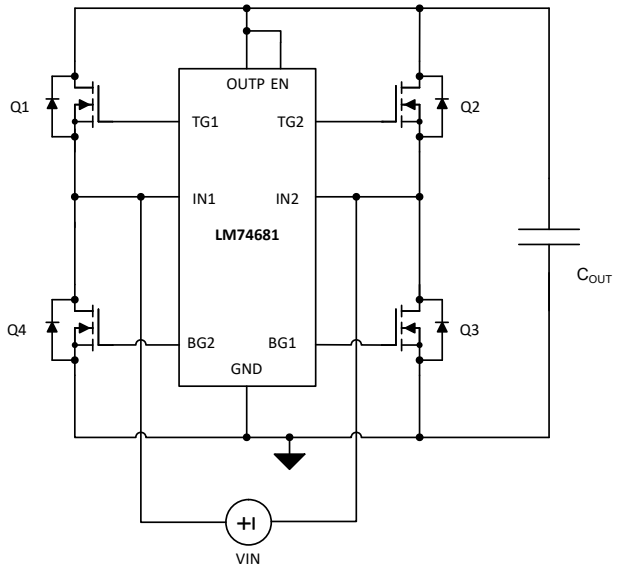
LM74681 适用于 PoE 供电应用的 100V 理想二极管桥接控制器

1 特性

- 输入工作电压范围：30V 至 90V
  - 绝对最大值为 100V
- 4 个集成式栅极驱动控制
- 165 µ A 栅极上拉强度
- 100mA 栅极下拉强度
- 在检测和分类阶段 ($V_{IN1-IN2}$ < 23V) 提供 0.27 µ A 超低静态电流
- 适用于电源 ORing 应用的线性栅极调节控制
  - V_{TG_REG} = 11mV
- 使能引脚，供用户控制器件的导通/关断功能
- -40°C 至 125°C 的工作结温范围
- 小尺寸：3mm × 3mm WSON-12
  - 符合 IPC-9592 间距规则

2 应用

- PoE 供电设备 (48V)
- 视频监控：IP 摄像机
- 极性无关型电源输入



典型应用原理图

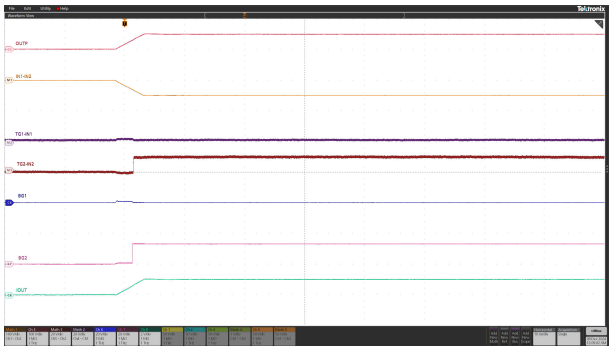
3 说明

LM74681 是一款 100V 理想二极管桥接控制器。可驱动 MOSFET 桥，为以太网供电 (PoE) 应用提供高效、低损耗的桥接整流解决方案。此器件支持以太网供电的供电设备 (PD) 从 RJ-45 数据线对、备用线对或两者的任意组合接收电力，不受电压极性的限制。内置电荷泵支持使用 N 沟道 MOSFET，比同等功率等级的 P 沟道 MOSFET 更小、更具成本效益。LM74681 与 N 沟道 MOSFET 电桥组合使用，可在 2 线对和 4 线对 PoE PD 系统中替代传统二极管桥接整流器。发生电源故障或短路时，快速关断特性可减少反向电流尖峰。该器件还具有 0.27µA 超低静态电流特性，可确保在 PoE PD 检测和分类阶段不会发生数据损坏。器件的额定工作结温范围为 –40°C 至 +125°C。

封装信息

器件型号	封装(1)	封装尺寸(2)
LM74681	DRR（WSON，12）	3mm × 3mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



– 48V 直流输入、Vin 斜升启动

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 4
5.5 电气特性 5
5.6 开关特性 5
5.7 典型特性 7
6 参数测量信息 9
7 详细说明 10
7.1 概述 10
7.2 功能方框图 10
7.3 特性说明 11
7.4 器件功能模式 12
8 应用和实施 13
8.1 应用信息 13
8.2 典型应用 13
8.3 用于 IEEE 802.3bt 5-8 级 (45W-90W) 系统的供电设备 15
8.4 电源相关建议 16
8.5 布局 17
9 器件和文档支持 19
9.1 接收文档更新通知 19
9.2 支持资源 19
9.3 商标 19
9.4 静电放电警告 19
9.5 术语表 19
10 修订历史记录 19
11 机械、封装和可订购信息 19

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

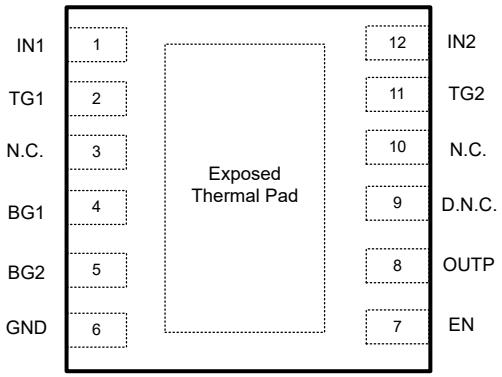


图 4-1. DRR 封装，12 引脚 WSON（顶视图）

表 4-1. 引脚功能

引脚		I/O(1)	说明
编号	名称		
1	IN1	I	桥接整流器输入 1。连接到顶部 MOSFET Q1 源极和底部 MOSFET Q4 漏极。
2	TG1	O	顶部 MOSFET 栅极驱动 1。
3	N.C.	—	无连接。
4	BG1	O	底部 MOSFET 栅极驱动 1。
5	BG2	O	底部 MOSFET 栅极驱动 2。
6	GND	G	器件接地。连接到底部 MOSFET Q3 和 Q4 源极和输出接地。
7	EN	I	使能引脚。可连接到 OUTP 以实现常开运行。
8	OUTP	I	桥接整流器输出。连接到顶部 MOSFET Q1 和 Q2 漏极。在 OUTP 和 GND 之间靠近 IC 的位置连接至少 0.1μF 的电容。
9	D.N.C.	—	无连接。请勿外接。
10	N.C.	—	无连接。
11	TG2	O	顶部 MOSFET 栅极驱动 2。
12	IN2	I	桥接整流器输入 2。连接到顶部 MOSFET Q2 源极和底部 MOSFET Q3 漏极。

(1) I = 输入，O = 输出，G = GND

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
输入引脚	OUTP 至 GND	-0.3	100	V
	IN1、IN2 至 GND	-2	OUTP+2	
	EN 到 GND	-0.3	OUTP	
	IN1-IN2	-100	100	
输出引脚	BG1、BG2 至 GND	-0.3	15	V
	TG1 连接到 IN1、TG2 连接到 IN2	-0.3	15	
工作结温(2)		-40	150	°C
贮存温度，T_{stg}		-40	150	°C

(1) 应力超出“绝对最大额定值”下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 高结温会缩短工作寿命。结温高于 125°C 时，工作寿命会缩短。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JS-002(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	标称值	最大值	单位
输入引脚	OUTP 至 GND	30		90	V
	EN 到 GND	0		OUTP	
输入到输出引脚	OUTP 至 INx	-90			V
外部 MOSFET 最大 V_{GS} 额定值	GATE 引脚至 SOURCE 引脚	15			V
T_J	工作结温范围(2)	-40		150	°C

(1) 建议运行条件是器件可正常运行的条件。有关规格和测试条件，请参阅节 5.5。
(2) 高结温会缩短工作寿命。结温高于 125°C 时，工作寿命会缩短。

5.4 热性能信息

热指标(1)		LM7468x DRR (WSON) 12 引脚	单位
$R_{\theta JA}$	结至环境热阻	60.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	48	°C/W
$R_{\theta JB}$	结至电路板热阻	31.5	°C/W
Ψ_{JT}	结至顶部特征参数	1.2	°C/W
Ψ_{JB}	结至电路板特征参数	31.4	°C/W

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息（续）

热指标(1)		LM7468x DRR (WSON) 12 引脚	单位
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	7.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅“半导体和 IC 封装热指标”应用报告 (SPRA953)。

5.5 电气特性

T_J = –40°C 至 +125°C；典型值在 T_J = 25°C，OUTP = 48V，$V_{(EN)}$ = OUTP，C_{OUT}：1µF，在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源电压						
V_{OUTP}	OUTP 电压范围		30		90	V
V_{OUT_UVLOR}			24.9	27.6	29.5	V
V_{OUT_UVLOF}			24	26.7	28.5	V
$V_{OUT_UVLO_Hyst}$				0.9		V
I_Q	工作静态电流	V_{EN} = 3.3V，V_{OUTP} = 48V, I_{GND}		270	450	µA
I_{SHDN}	关断电源电流	V_{EN} = 0V，V_{OUTP} = 48V		12.8	15	µA
	UVLO 关断电流（检测阶段）	2.7V ≤ V_{OUTP} ≤ 10.1V		0.27	3.8	µA
	UVLO 关断电流（分类阶段）	10.2V ≤ V_{OUTP} ≤ 23V		0.27	3.8	µA
使能输入						
V_{EN_IL}	使能输入低阈值		0.413	0.7	0.96	V
V_{EN_IH}	使能输入高阈值		0.631	0.9	1.15	
V_{EN_Hys}	使能迟滞			0.2		V
I_{EN}	使能引脚漏电流	$V_{(EN)}$ = 48V		87	241	nA
V_{IN} 至 V_{OUTP}						
V_{FWD}	正向导通阈值		169	195	226	mV
V_{REV}	反向电流阻断阈值		-17	-11	-5	mV
V_{TG_REG}	顶部栅极驱动调节电压		7	11	16	mV
$V_{TG_REG_SINK}$	顶部调节灌电流		5	10	16	µA
V_{TG_FC}	完全导通阈值			56		mV
栅极驱动						
V_{TGx} – V_{INx}	顶部栅极驱动电压		8.7	10	11.1	V
V_{BGx} – V_{GND}	底部栅极驱动电压		11.96	13	13.85	V
I_{TGx}	峰值拉电流	V_{INx} – V_{GND} = 100mV，V_{TGx} – V_{INx} = 5V	124	165	210	µA
	峰值灌电流	V_{INx} – V_{GND} = -50mV，V_{TGx} – V_{INx} = 5V		100		mA
I_{BGx}	峰值拉电流	V_{BGx} – V_{GND} = 5V	2.3	3.7	5	mA
	峰值灌电流	V_{BGx} – V_{GND} = 5V		80		mA

5.6 开关特性

T_J = –40°C 至 +125°C；典型值在 T_J = 25°C，OUTP = 48V，$V_{(EN)}$ = OUTP，C_{OUT}：1µF，在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
EN_{TDLY}	使能（从低到高）到 TGx 导通延迟			170	265	µs

Copyright © 2025 Texas Instruments Incorporated

5.6 开关特性（续）

T_J = –40°C 至 +125°C；典型值在 T_J = 25°C，OUTP = 48V，$V_{(EN)}$ = OUTP，C_{OUT}：1µF，在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
EN_{TDLY}	使能（从低到高）到 BGx 导通延迟			6	9.5	µs
$t_{Reverse\ delay}$	反向电压检测到 TGx 关断延迟	$V_{(IN)}$ – $V_{(OUTP)}$ = 100mV 至 –100mV		2	3	µs
$t_{Forward\ recovery}$	正向电压检测到 TGx 导通延迟	$V_{(IN)}$ – $V_{(OUTP)}$ = -100mV 至 700mV		5	9.1	µs

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性

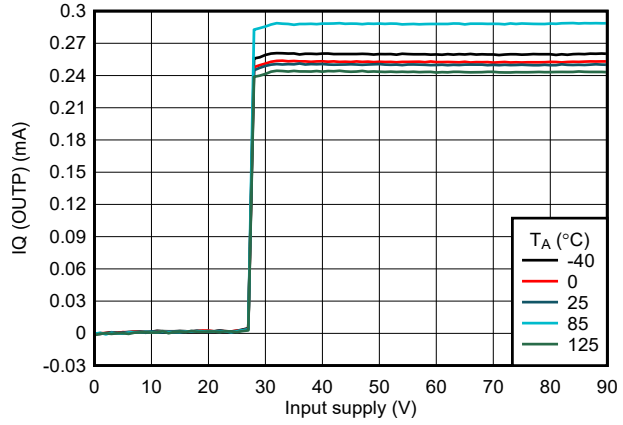


图 5-1. I_Q 与电源电压间的关系

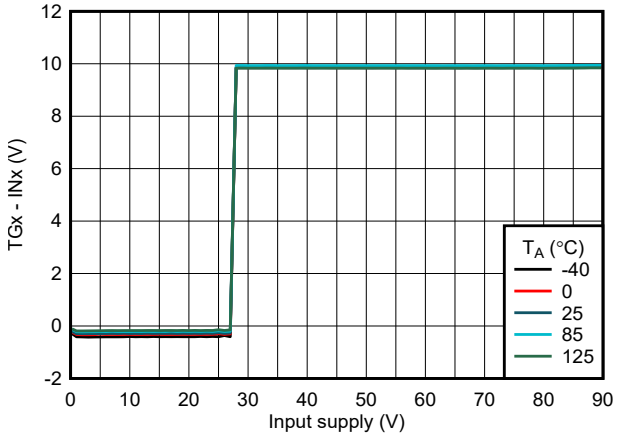


图 5-2. 顶部栅极驱动电压与电源电压间的关系

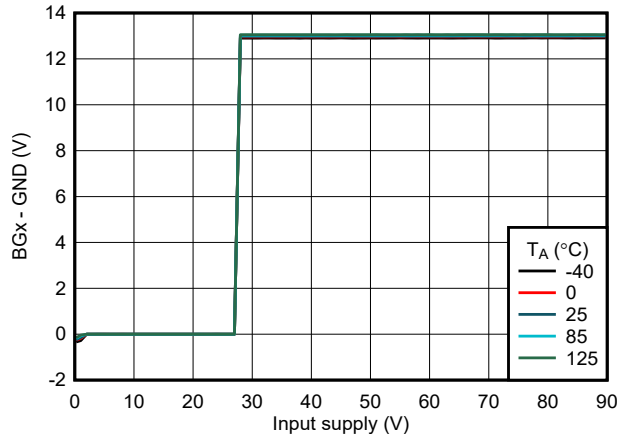


图 5-3. 底部栅极驱动电压与电源电压间的关系

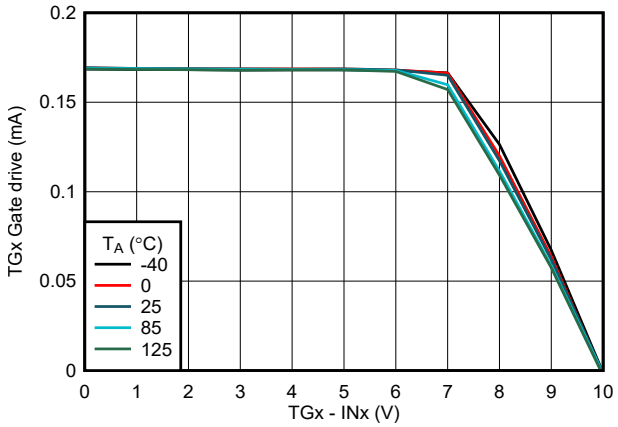


图 5-4. 顶部栅极驱动拉电流与栅极驱动电压间的关系

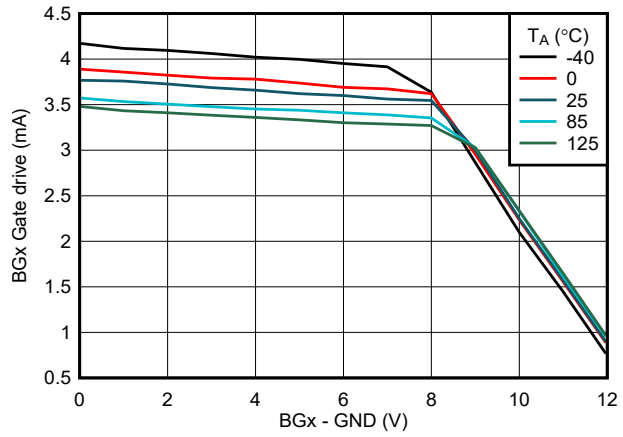


图 5-5. 底侧栅极驱动拉电流与栅极驱动电压间的关系

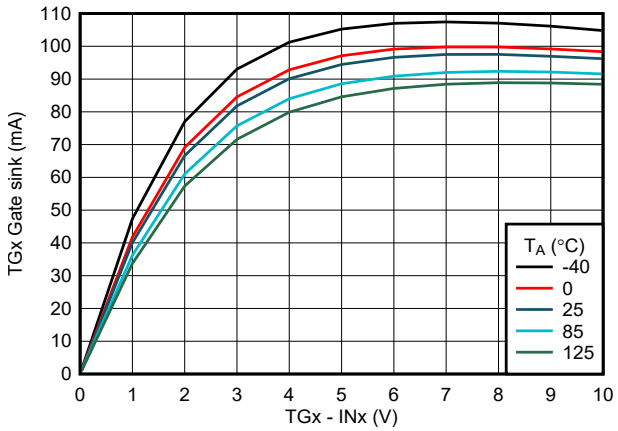


图 5-6. 顶部栅极驱动灌电流与栅极驱动电压间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

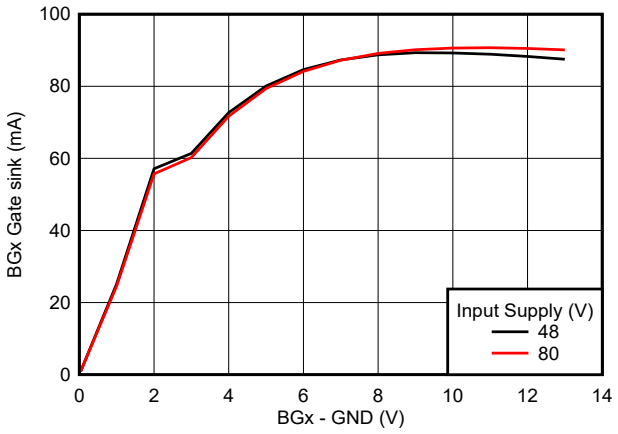


图 5-7. 底部栅极驱动灌电流与栅极驱动电压间的关系

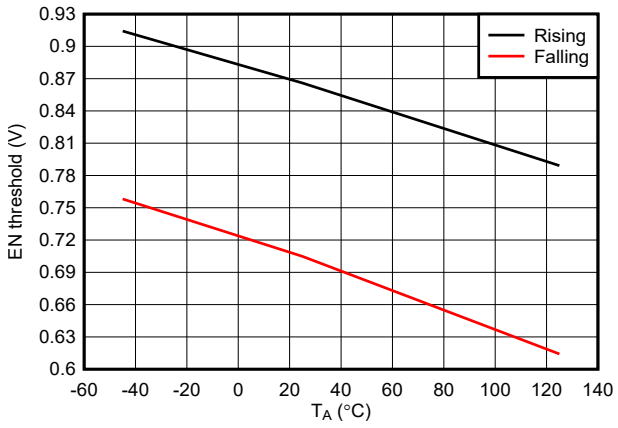


图 5-8. 启用阈值与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

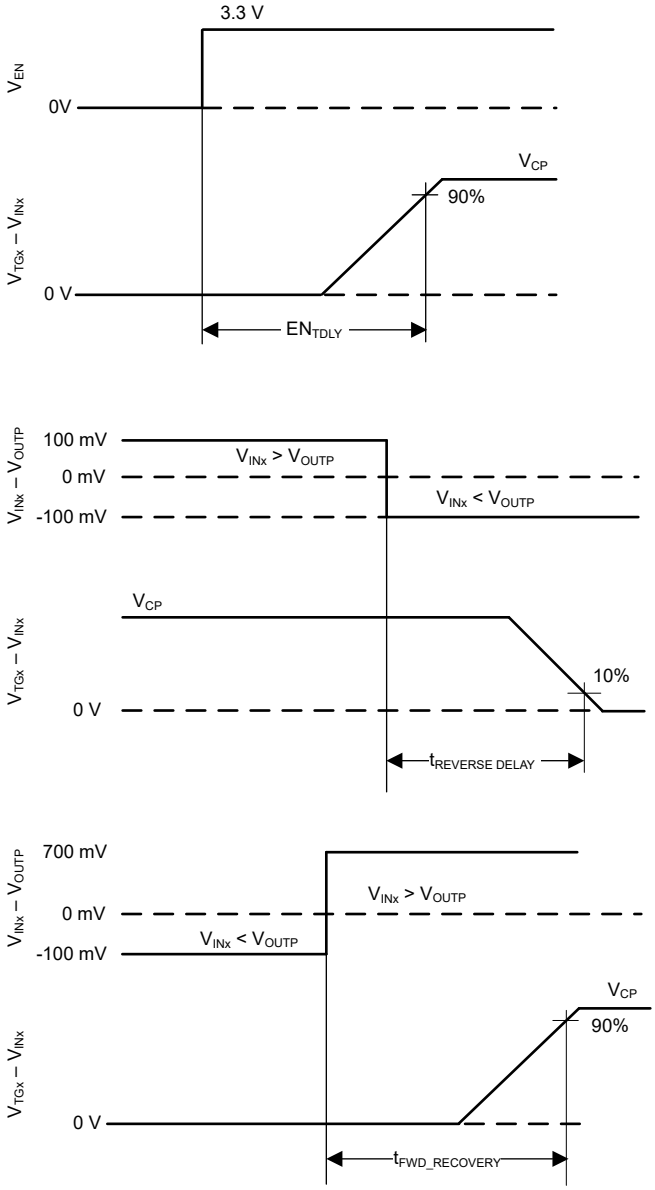


图 6-1. 时序波形

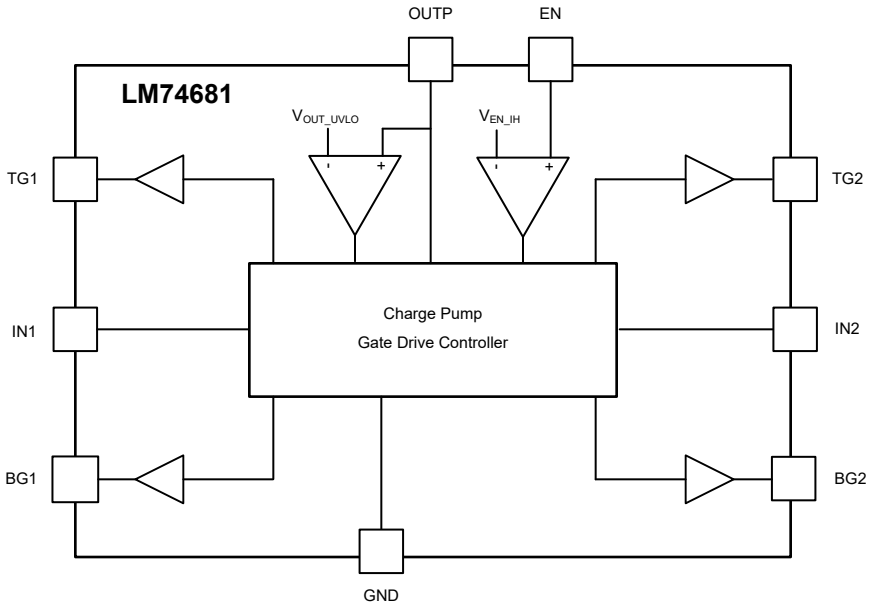
7 详细说明

7.1 概述

LM74681 是一款理想的二极管桥接控制器，专为满足 PoE PD 应用中的输入整流要求而设计。一种很常见的应用是符合 IEEE 802.3 标准的供电设备。此类设备要求其 RJ-45 输入接口能够接受任意极性的电压（即对输入极性无依赖）。传统的二极管桥由于两个导通二极管产生的正向压降，效率较低。与标准二极管电桥相比，基于肖特基二极管的管桥整流器正向压降更低，但可能不适用于高温应用。肖特基二极管桥会因温度产生漏电流。这些漏电流与电压之间存在相关性，可能导致测得的检测特征无效。此外，这些漏电流还会通过未通电的分支和未使用的电桥进行反馈，从而违反 IEEE 802.3 标准。理想二极管桥接电路通常采用分立式元件实现，例如 P 沟道和 N 沟道 MOSFET 的组合。这些桥接方案存在以下问题：静态电流较高；抗瞬态能力较差；漏电流随温度的变化范围较大。

LM74681 通过集成外部 MOSFET 桥的栅极控制，为 PoE PD 应用实现了低损耗整流解决方案。此器件可处理高达 100V 的瞬态电压，可以满足 48V PoE 供电应用中的电压瞬态要求。LM74681 具有线性 ORing 栅极控制机制，可阻止供电设备中的电流反馈到以太网电缆中。该器件还内置欠压锁定 (UVLO) 特性，在 PoE PD 检测阶段 (VIN < 10.5V) 和分类阶段 (VIN < 20.5V)，提供超低静态电流。

7.2 功能方框图



Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 输入和输出电压

LM74681 支持具有宽输入电压范围的电源，允许与极性无关型电源连接至其 IN1 和 IN2 引脚。设计上，LM74681 可在 90V 至 -90V 的电压范围内使用 IN1 和 IN2 工作。LM74681 器件具有 OUTP UVLO 特性，当 OUTP 电压低于 V_{OUTP_UVLO} 时，消耗约为 0.27µA 的超低静态电流。此功能可确保以太网供电 (PoE) 的供电设备 (PD) 在检测和分类阶段不会发生数据损坏。

OUTP 引脚用于为 LM74681 的内部电路供电，启用时通常消耗 I_Q，禁用时消耗 I_{SHDN}。如果 OUTP 引脚电压大于 V_{OUTP_UVLO} 上升阈值，则 LM74681 会根据 EN 引脚电压在关断模式或导通模式下运行。LM74681 支持在正常运行中 OUTP 电压高达 90V，并能承受高达 100V 的瞬态电压，从而确保防止浪涌。

7.3.2 电荷泵

内部电荷泵提供驱动外部 N 沟道 MOSFET 的栅极。EN 引脚电压高于指定的输入高电平阈值 V_{EN_IH}.时，电荷泵启动。如果 EN 引脚被拉至低电平，则电荷泵保持禁用状态。通过启用和禁用电荷泵，可以按照系统要求优化 LM74681 的工作静态电流。

7.3.3 栅极驱动器

栅极驱动器用于通过设置 GATE 引脚至 SOURCE 引脚的电压，控制外部 N 沟道 MOSFET 的工作模式。顶部的 FET（Q1 和 Q2）由栅极驱动信号 TG1 和 TG2 控制；底部的 FET（Q3 和 Q4）由栅极驱动信号 BG1 和 BG2 控制。

内部电荷泵为顶部栅极驱动器供电。根据每个 MOSFET 的 DRAIN 引脚至 SOURCE 引脚的电压，LM74681 定义了三种工作模式：正向调节模式、完全导通模式和反向电流保护模式。这些模式的详细说明参见 节 7.4.1.1、节 7.4.1.2 和 节 7.4.2。图 7-1 展示了这些工作模式如何根据 DRAIN 引脚至 SOURCE 引脚的电压变化。当 DRAIN 引脚至 SOURCE 引脚的电压等于 V_{TG_REG} 时，会达到正向调节模式和导通模式之间的阈值。当 DRAIN 引脚至 SOURCE 引脚的电压等于 V_{REV} 时，会达到正向调节模式和反向电流保护模式之间的阈值。

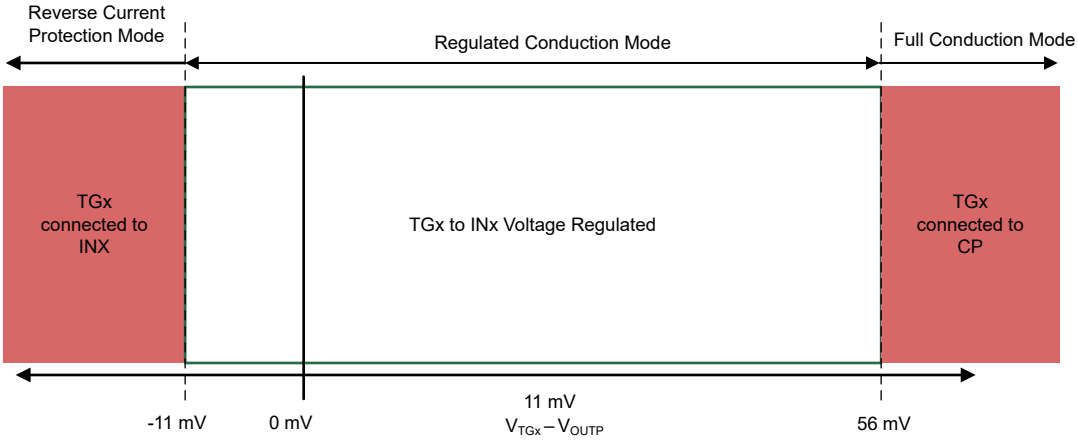


图 7-1. 栅极驱动器模式转换

LM74681 的底部栅极驱动器直接由 IN1 或 IN2 电压供电，并以下两种模式下运行：正向完全导通模式和反向电流阻断模式。这些栅极驱动器由以下逻辑控制，以确保实现高效的电力流动和反向电流保护。

- 当 IN1 电压高于 GND+2V 时，BG1 被启用并进入完全导通状态；当 IN1 电压低于 IN2 时，BG1 被禁用以阻断反向电流。
- 同样地，当 IN2 电压高于 GND+2V 时，BG2 被启用；当 IN2 电压低于 IN1 时，BG2 被禁用。

Copyright © 2025 Texas Instruments Incorporated

7.3.4 启用

该使能引脚允许通过外部信号启用或禁用栅极驱动器。如果 EN 引脚电压大于上升阈值，则栅极驱动器和电荷泵将按照节 7.3.3 和节 7.3.2 中的说明运行。如果使能引脚电压低于输入低电平阈值，则将禁用电荷泵和栅极驱动器，从而将 LM74681 置于关断模式。如果不需要使能控制，EN 引脚直接连接到 OUTP 引脚。

7.4 器件功能模式

7.4.1 导通模式

当顶部栅极驱动器启用时，进入导通模式。在这种模式下，根据由 LM74681 驱动的 FET 的源漏电压，可以划分为两个不同的工作区域。节 7.4.1.1 和节 7.4.1.2 说明了这些模式。

7.4.1.1 稳压导通模式

为了使 LM74681 在稳压导通模式下运行其 TG1 和 TG2，必须按照节 7.3.3 部分中的说明启用栅极驱动器，并且外部 MOSFET 从源极到漏极的电流必须在指定范围内，从而使 INx 引脚到 OUTP 引脚的压降为 V_{REV} 至 V_{TG_FC}。在正向调节模式下，通过调节源极到漏极的电压，INx 引脚到 OUTP 引脚的电压可调节至 V_{TG_REG}。该闭环调节方案可在极轻负载时支持 MOSFET 平稳关断，并确保零直流反向电流。

7.4.1.2 完全导通模式

为了使 LM74681 在完全导通模式下运行顶部栅极 TG1 和 TG2，必须按照节 7.3.3 部分所述启用栅极驱动器，并且外部 MOSFET 从源极到漏极的电流必须足够大，从而使 INx 到 OUTP 的压降大于 V_{TG_FC}。如果满足这些条件，GATE 引脚将在内部连接到电荷泵，从而使 INx 到 OUTP 的电压等于 V_{TGx} – V_{INx}。通过将内部电荷泵连接到 GATE，可更大限度地减小外部 MOSFET 的 $R_{DS(ON)}$，从而在正向电流较大时降低外部 MOSFET 的功率损耗。

7.4.2 反向电流保护模式

为了使 LM74681 在反向电流保护模式下运行，必须按照节 7.3.3 部分中的说明启用栅极驱动器，并且外部 MOSFET 的电流必须从漏极流向源极。当 INx 引脚到 OUTP 引脚的电压通常小于 V_{REV} 时，将进入反向电流保护模式，FET 栅极在内部连接到源极。连接 TGx 引脚和 INx 引脚会禁用外部 MOSFET。MOSFET 的体二极管可阻止任何反向电流从漏极流向源极。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

LM74681 在二极管桥配置中驱动四个外部 N 沟道 MOSFET，非常适合对任何极性的电源进行整流。使用 MOSFET 代替传统二极管，该器件更大限度地减少了导通损耗，提高了热性能和整体系统效率。LM74681 的 OUTP UVLO 特性非常适合以太网供电 (PoE) 应用。图 8-1 中显示了 48V POE PD 应用的原理图，其中 LM74681 驱动二极管桥配置中的高侧 MOSFET Q1、Q2 和低侧 MOSFET Q3、Q4。

8.2 典型应用

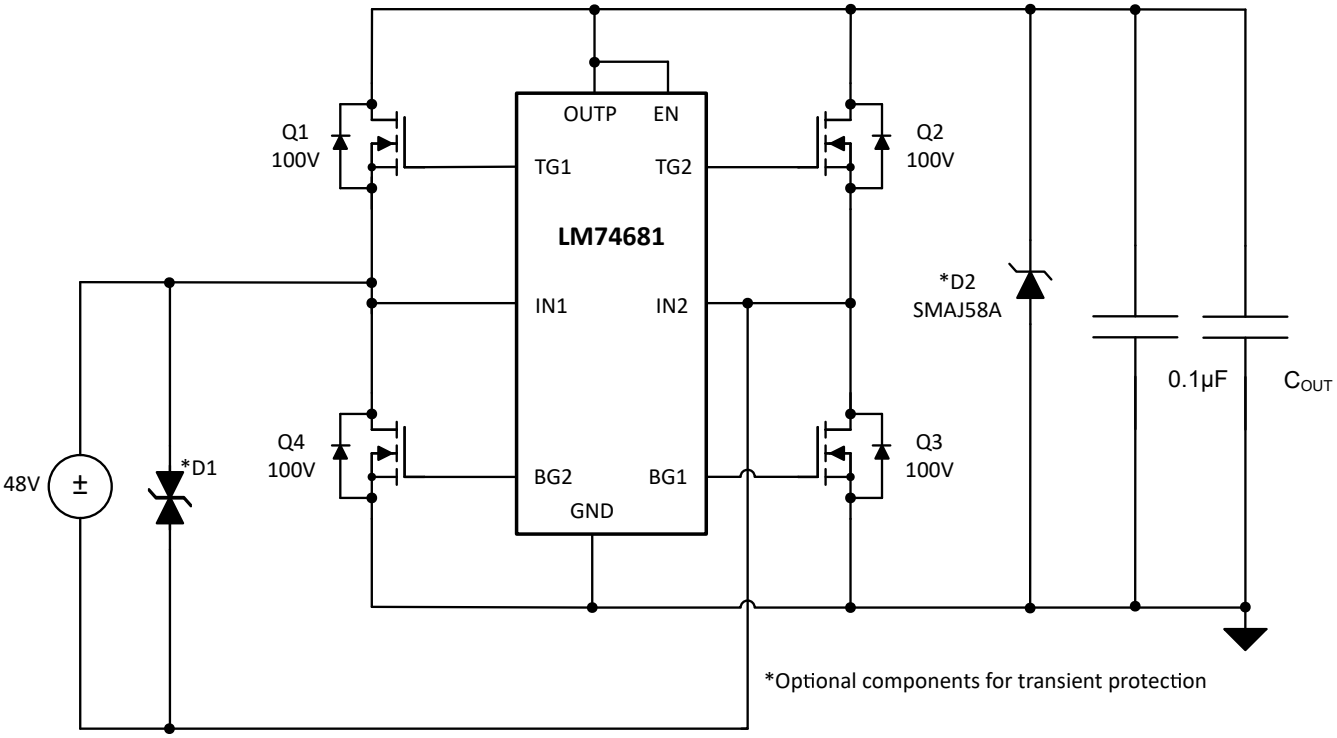


图 8-1. 典型应用电路

8.2.1 设计要求

提供了一个设计示例，表 8-1 中列出了系统设计参数。

表 8-1. 设计参数

设计参数	示例值
应用	PoE PD 输入符合 IEEE 802.3at 标准
输入电压范围	44V 至 57V
输入功率	30W

Copyright © 2025 Texas Instruments Incorporated

8.2.2 详细设计过程

8.2.2.1 设计注意事项

- 输入工作电压范围（包括线路瞬变电压）
- 最大负载电流
- 输出电容

8.2.2.2 MOSFET 选择

MOSFET 的关键电气参数包括：最大持续漏极电流 I_D、最大漏源电压 $V_{DS(MAX)}$、最大栅源电压 $V_{GS(MAX)}$ 以及漏源导通电阻 $R_{DS(ON)}$。

MOSFET 的 $V_{DS(MAX)}$ 额定值必须足够高，以便承受应用中的最高差分电压，包含故障条件下可能出现的瞬态电压。对于 48V PoE 应用，建议使用额定电压为 100V 的 MOSFET。LM74681 支持最大栅源电压为 13.8V，因此，应选择最低 $V_{GS(MAX)}$ 额定值为 15V 的 MOSFET。对于 V_{GS} 额定值较低的 MOSFET，可使用齐纳二极管将电压钳位在安全水平。

MOSFET 的 I_D 额定值需要高于最大持续负载电流，以确保在满负载条件下能够可靠运行。此外，还需考虑 MOSFET 的热阻，以确保结温 (T_J) 在预期最大功率耗散条件下（包括初始浪涌阶段，当输出电容器通过 MOSFET 体二极管充电时）保持在安全范围内。

为了减少 MOSFET 的导通损耗，应尽可能降低 $R_{DS(ON)}$，但单纯根据低 $R_{DS(ON)}$ 选择 MOSFET 并非总能如愿。更高的 $R_{DS(ON)}$ 将在更低反向电流级别为 LM74681 反向比较器提供更高电压信息。随着 $R_{DS(ON)}$ 的增加，反向电流检测效果更好。一开始可以选择 $R_{DS(ON)}$ 在最大电流下产生的正向压降小于 30mV 的 MOSFET。通常，当 V_{GS} 低于 4.5V 时，$R_{DS(ON)}$ 会大幅增加；当 V_{GS} 接近 MOSFET V_{th} 时，$R_{DS(ON)}$ 最高。为了在轻负载条件下实现稳定的调节，建议在 V_{GS} 接近 4.5V（即远高于 MOSFET 栅极阈值电压）时运行 MOSFET。建议选择栅极阈值电压 V_{th} 在 2.5V 至 3.5V 之间的 MOSFET。选择较低 V_{th} MOSFET 也会缩短导通时间。

选择了 PSMN040-100MSE N 沟道 MOSFET，因为其满足 48V PoE PD 桥接整流器的设计要求，其额定值如下：

- $V_{DS(MAX)}$：100V
- $V_{GS(MAX)}$：±20V
- $R_{DS(ON)}$：典型值为 29.4mΩ，最大值为 36.6mΩ（V_{GS} 为 10V 条件下）

8.2.2.3 输出电容

建议在 OUTP 和 GND 引脚之间放置一个最小值为 0.1μF 的陶瓷电容器，并尽量靠近 LM74681，以实现去耦作用。可能需要额外安装输出电容器 C_{OUT}，

- 下游直流/直流转换器输入电容要求
- 确保经整流的输出电压在负载瞬态期间保持稳定
- 确保输出电压顺畅，将纹波减少到可接受的水平

8.2.3 应用曲线

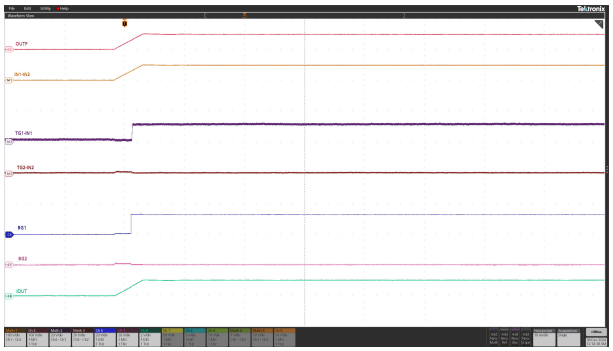


图 8-2. +48V 直流输入、Vin 斜升启动

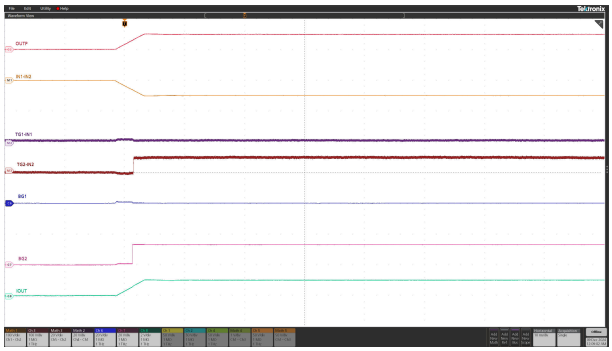


图 8-3. -48V 直流输入、Vin 斜升启动

Copyright © 2025 Texas Instruments Incorporated

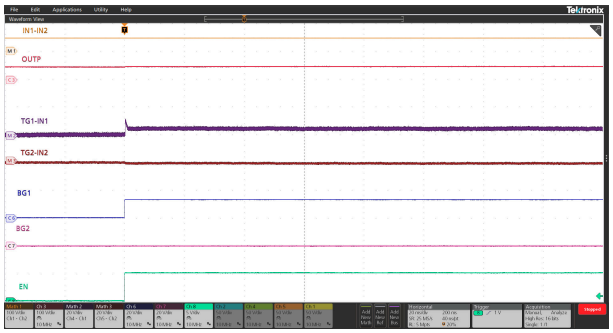


图 8-4. 48V 直流输入、EN 切换到高电平启动

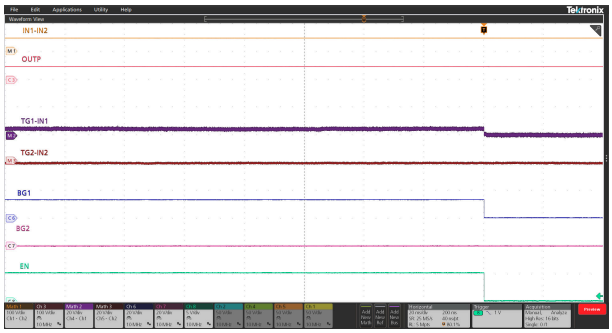


图 8-5. 48V 直流输入、EN 切换到低电平关断

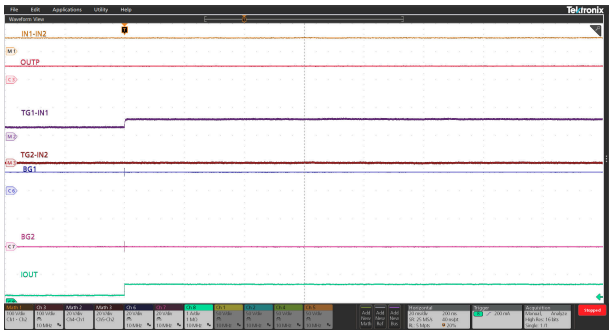


图 8-6. 负载从 10W 阶跃上升至 30W

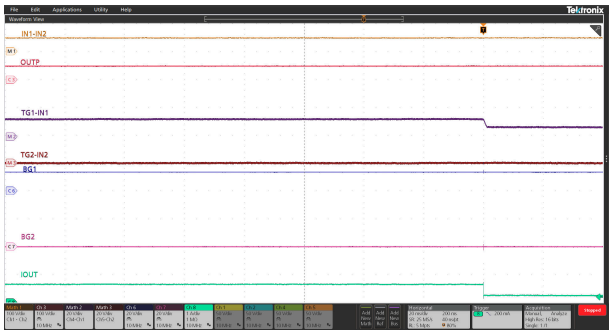


图 8-7. 负载从 30W 阶跃下降至 10W

8.3 用于 IEEE 802.3bt 5-8 级 (45W-90W) 系统的供电设备

对于需要超过 30W 功率的 PoE PD 应用，IEEE 802.3bt 标准建议使用 4 线对电缆以实现高效的电力输送。为此，可使用两个 LM74681 控制器分别驱动两个连接到公共输出端且基于 N 沟道 MOSFET 的独立全桥整流器。每个 LM74681 都驱动一个全桥整流器，从而通过 4 线对电缆提供的两个独立的 2 线对电源路径实现功率整流。这种方案可实现符合 IEEE 802.3bt 标准的更高电力输送能力，同时保持高效率。

LM74681 的线性 ORing 栅极控制机制可以主动驱动 MOSFET 栅极，从而支持正向导通和反向电流阻断。此功能可以防止两条电源路径之间出现回流，并避免电流流回以太网电缆。通过将传统二极管替换为低 $R_{DS(ON)}$ 的 MOSFET，LM74681 减少了导通损耗和热量生成，这点对于高功率 PoE 系统尤其重要。两个全桥的整流输出在 PD 输入端组合，实现无缝电力输送。对于需要符合 IEEE 802.3bt 标准的高功率等级 PoE PD 系统，这种架构可实现高效、可靠的运行。

Copyright © 2025 Texas Instruments Incorporated

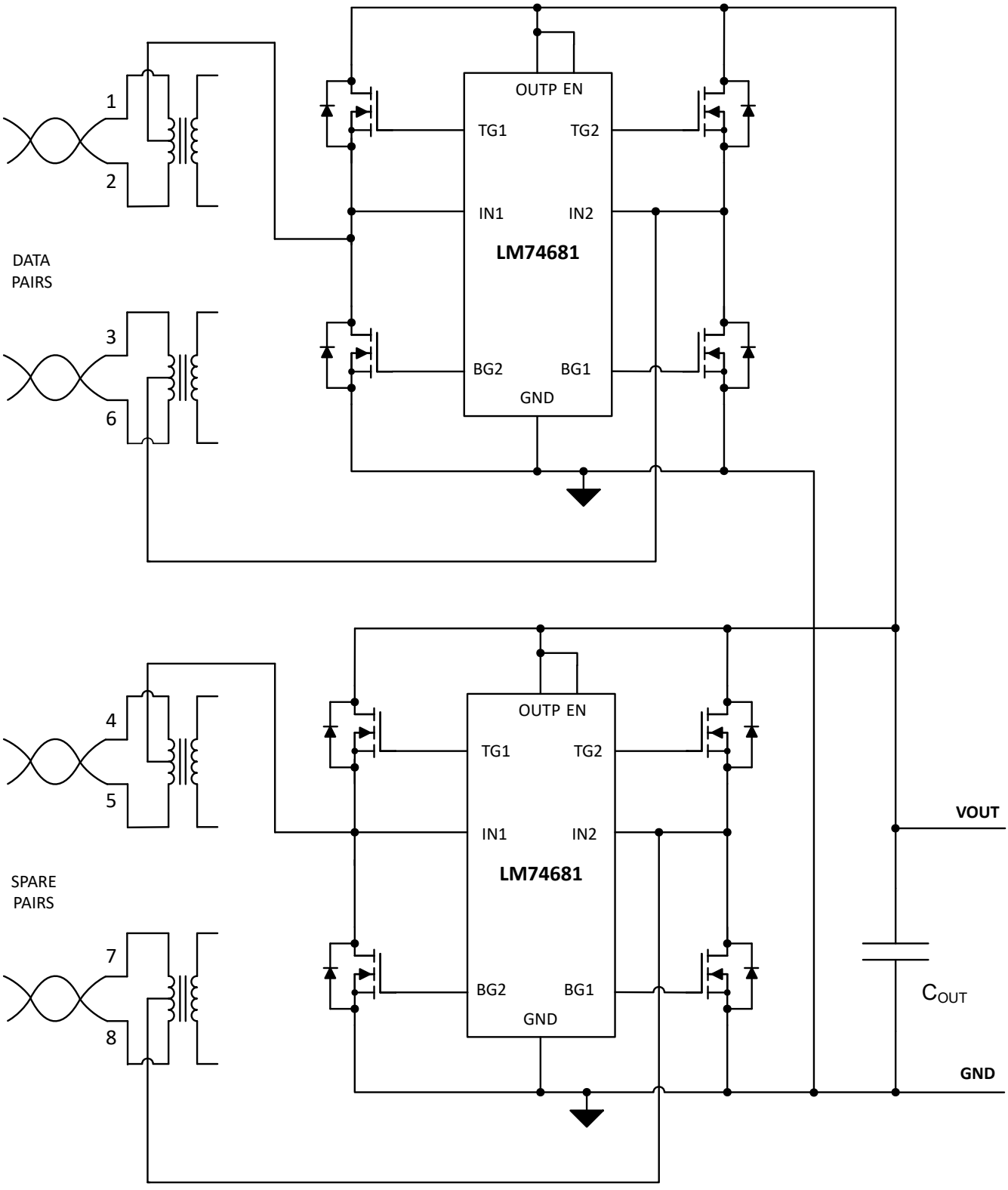


图 8-8. 典型 PoE PD 高功率应用

8.4 电源相关建议

Copyright © 2025 Texas Instruments Incorporated

8.4.1 瞬态保护

LM74681 不需要输入或输出端安装 TVS 即可运行。但是当雷击、开关浪涌电流或电力干扰引起的瞬态电压超过 MOSFET 和控制器的额定值，可能造成器件损坏时，可能需要安装 TVS 对瞬态电压进行钳位。TVS 二极管通过将瞬态电压钳位到安全水平来防止发生此类事件。在 48V PoE PD 应用中，建议使用反向关断电压高于最大输入直流电压且钳位电压低于 MOSFET 最大额定值的单向 TVS，例如 SMAJ58A。建议尽量将 TVS 靠近 LM74681 放置。在稳压良好且瞬态风险极小的应用中，可能不需要 TVS 二极管。

8.5 布局

8.5.1 布局指南

- 将去耦电容器靠近 OUTP 引脚和 IC GND 引脚放置。
- 对于顶部 MOSFET，将 LM74681 的 INx、TGx 和 OUTP 引脚连接到靠近 MOSFET 的 SOURCE、GATE 和 DRAIN 引脚的位置。
- 大电流路径会通过 MOSFET，因此务必为 MOSFET 的源极和漏极使用粗而短的布线，以便更大限度地降低电阻损耗。
- 必须用较短的布线将 LM74681 的 TGx 引脚和 BGx 引脚分别连接到 MOSFET 栅极。
- 将瞬态抑制元件放置在靠近 LM74681 的位置。
- 使用替代布局方案也许能够获得可接受的性能；不过，节 8.5.2 中显示的布局可用作指南，且效果良好。

Copyright © 2025 Texas Instruments Incorporated

8.5.2 布局示例

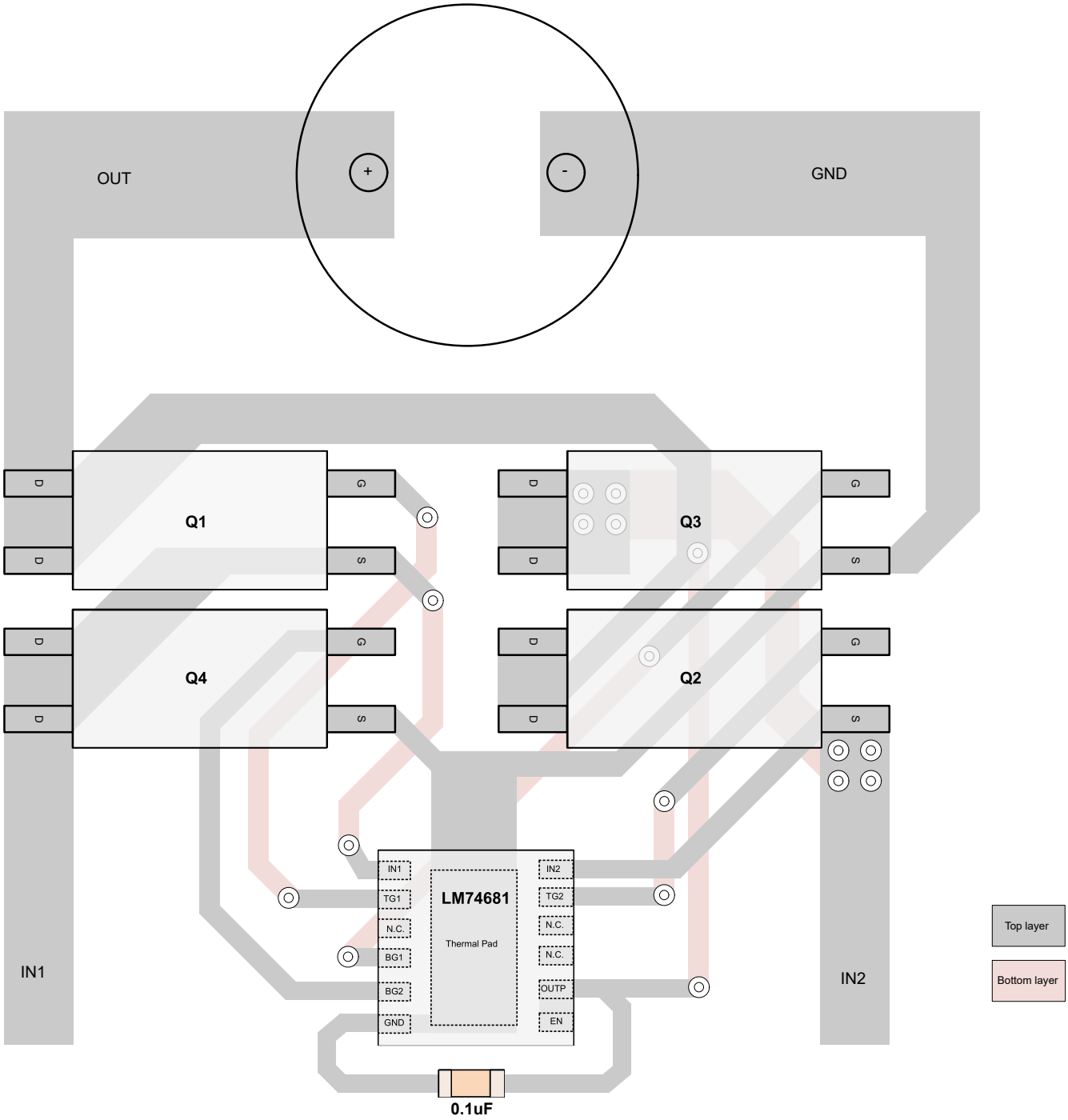


图 8-9. LM74681 示例布局

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2024	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM74681DRRR	Active	Production	WSON (DRR) | 12	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	L74681
LM74681DRRR.A	Active	Production	WSON (DRR) | 12	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	L74681

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

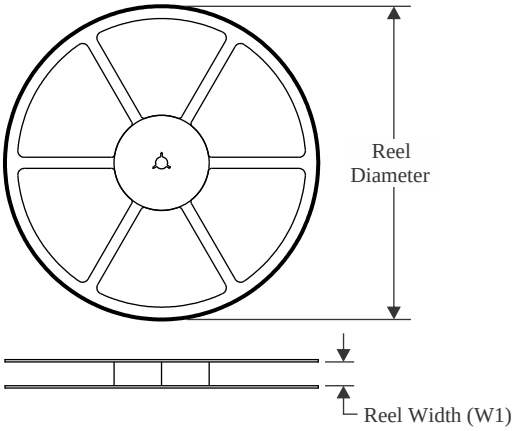
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

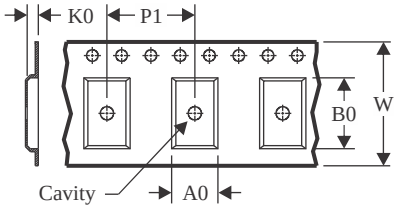
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

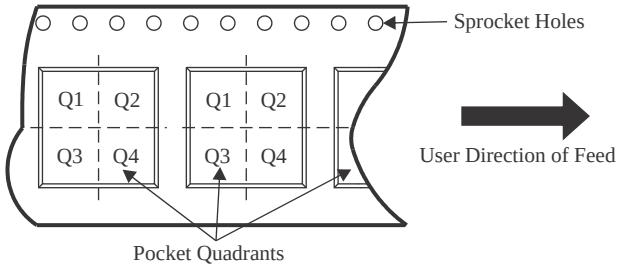


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

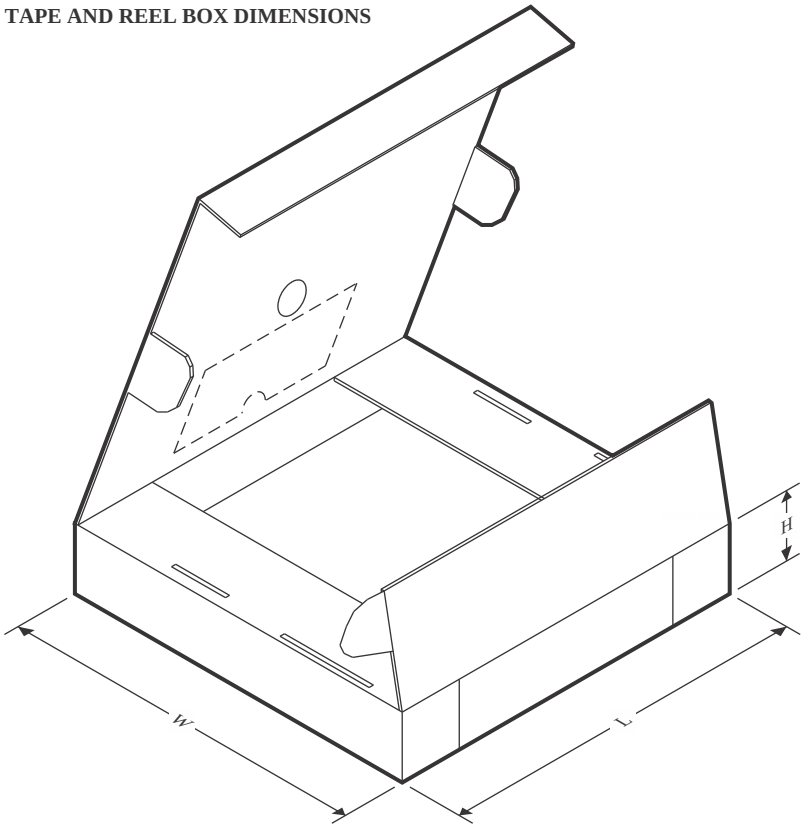
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM74681DRRR	WSON	DRR	12	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM74681DRRR	WSON	DRR	12	5000	360.0	360.0	36.0

GENERIC PACKAGE VIEW

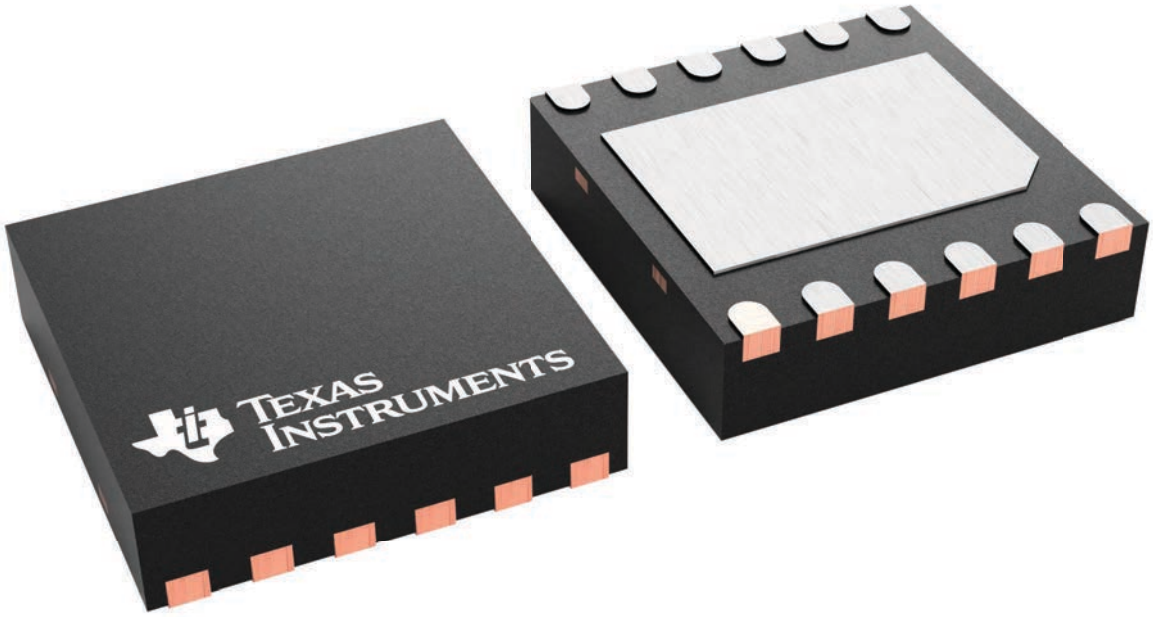
DRR 12

WSON - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



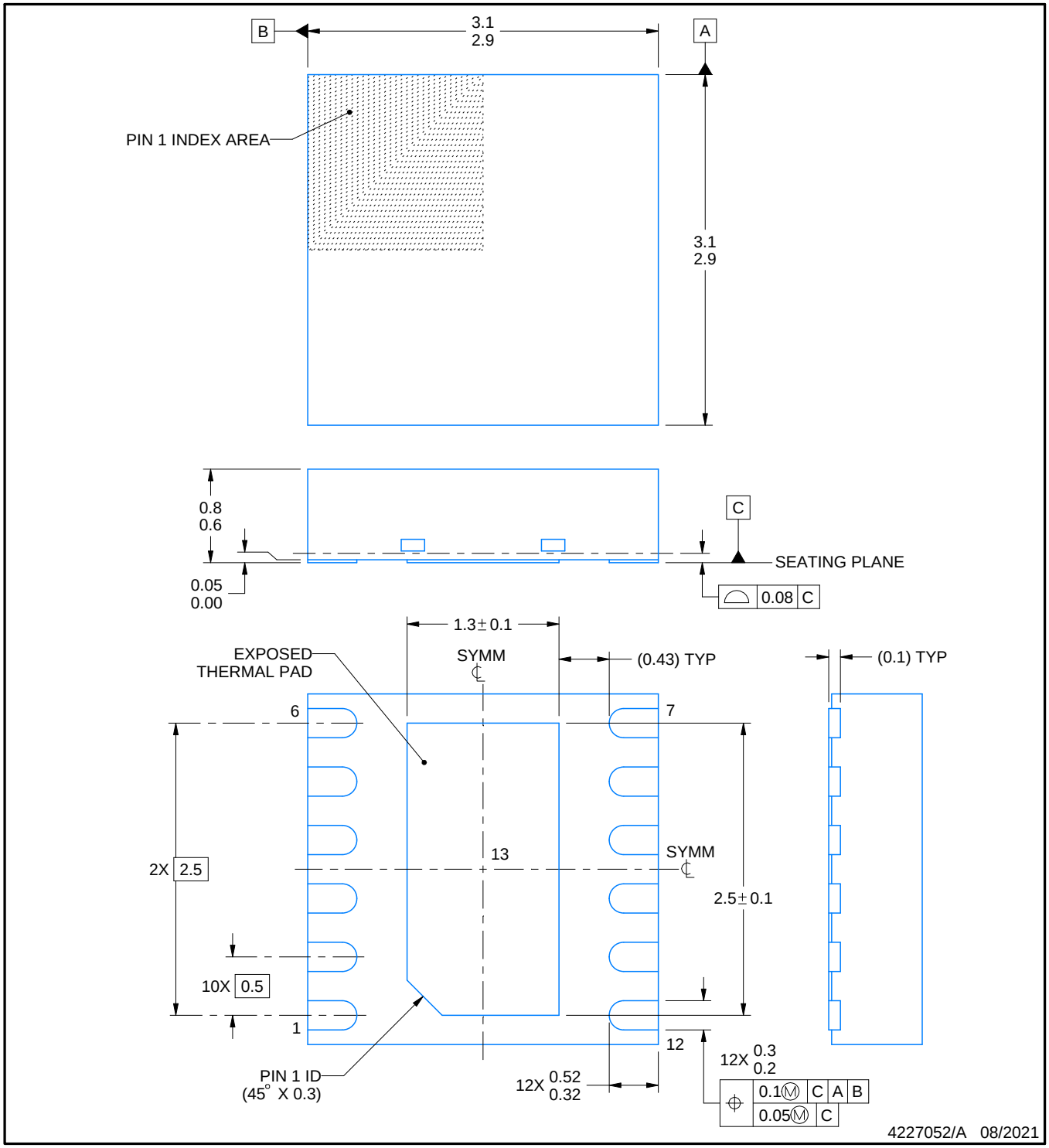
4223490/B

PACKAGE OUTLINE

DRR0012G

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

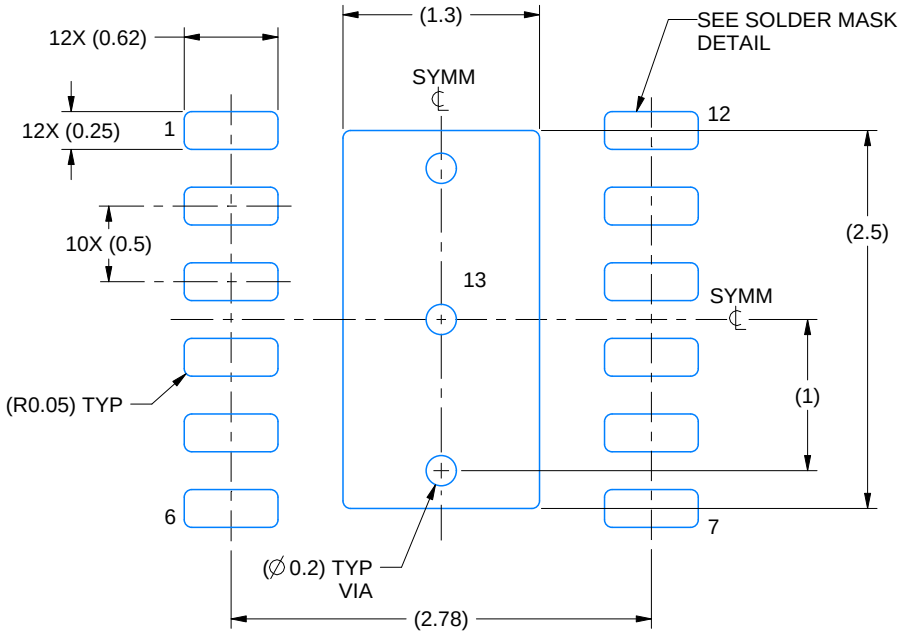
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

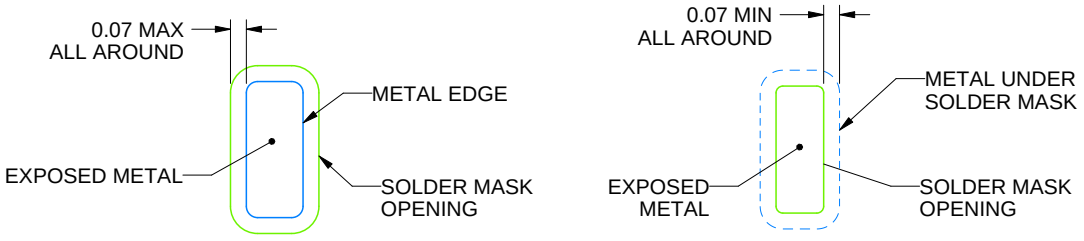
DRR0012G

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4227052/A 08/2021

NOTES: (continued)

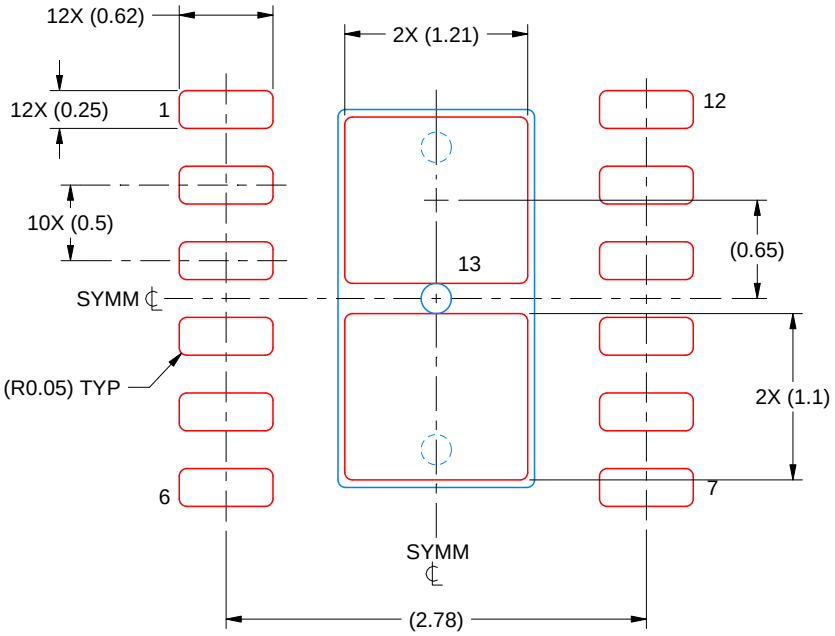
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRR0012G

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 13
82% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227052/A 08/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月