

LM7301 采用 SOT-23 封装的低功耗、4MHz GBW、 轨到轨输入/输出运算放大器

1 特性

- $V_S = 5V$ 时 (典型值, 除非另有说明)
- 小巧、节省空间、5 引脚 SOT-23 封装
- 大于轨到轨输入 CMVR: $-0.1V$ 至 $5.1V$
- 轨到轨输出摆幅: $0.07V$ 至 $4.93V$
- 宽增益带宽: $4.5MHz$
- 低电源电流: $0.56mA$
- 宽电源电压范围: $2.7V$ 至 $32V$
- 高 PSRR: $104dB$
- 高 CMRR: $93dB$
- 出色增益: $97dB$

2 应用

- 便携式仪表
- 信号调节放大器/ADC 缓冲器
- 有源滤波器
- 调制解调器
- PCMCIA 卡

3 说明

LM7301 可以在各种应用中提供高性能。LM7301 具有更大的轨到轨输入范围、完全轨到轨输出摆幅、大容量负载驱动能力以及低失真。

该器件的 $4.5MHz$ 增益带宽仅使用 $0.56mA$ 电源电流, 支持高功率器件电池寿命消耗无法被人接受的新型便携式应用。

LM7301 可由超过两个电源轨的电压驱动, 从而消除了超过共模电压范围的问题。轨到轨输出摆幅功能可提供尽可能最大的输出动态范围。这在低电源电压下运行时尤其重要。

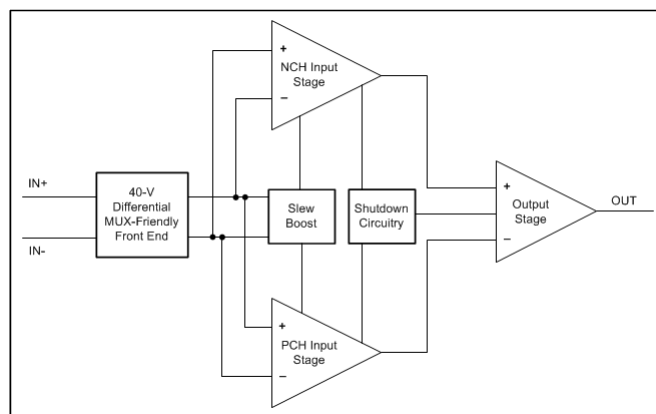
LM7301 由 $2.7V$ 至 $32V$ 的电源供电, 非常适合低功耗系统中的各种应用。

将放大器放置在信号源处可以减小电路板尺寸并简化信号布线。LM7301 可轻松安装在低高度 PCMCIA 卡上。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值)
LM7301	SOIC (8)	$4.90mm \times 3.91mm$
	SOT-23 (5)	$2.90mm \times 1.60mm$

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。



功能方框图



内容

1 特性	1	5.9 新旧芯片比较	11
2 应用	1	5.10 压摆率	11
3 说明	1	6 电源相关建议	14
4 引脚配置和功能	3	7 布局	14
5 规格	4	7.1 布局指南	14
5.1 绝对最大额定值.....	4	7.2 布局示例	14
5.2 ESD 等级.....	4	8 器件和文档支持	15
5.3 建议运行条件.....	4	8.1 支持资源.....	15
5.4 热性能信息.....	4	8.2 商标.....	15
5.5 电气特性：2.7V 至 32V 直流.....	5	8.3 静电放电警告.....	15
5.6 电气特性：AC.....	6	8.4 术语表.....	15
5.7 电气特性：30-V DC.....	6	9 修订历史记录	16
5.8 典型特性.....	8	10 机械、封装和可订购信息	16

4 引脚配置和功能

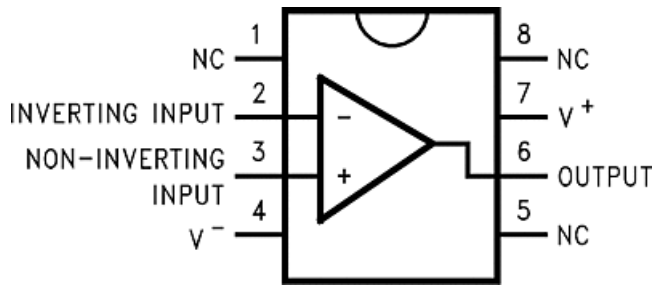


图 4-1. D 封装 8 引脚 SOIC 顶视图

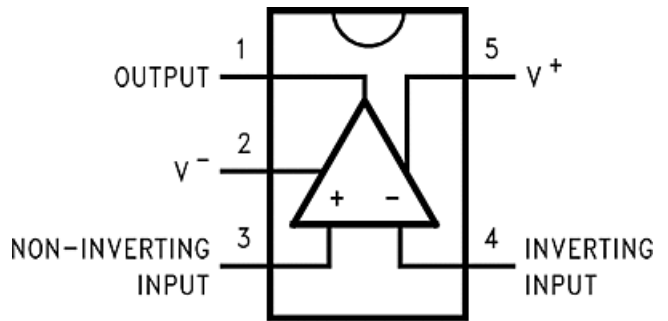


图 4-2. DBV 封装 5 引脚 SOT-23 顶视图

引脚功能

名称	引脚		I/O	说明
	SOIC	SOT-23		
- IN	2	4	I	反相输入电压
+IN	3	3	I	非反相输入电压
N/C	1、5、8	—	—	无连接
OUT	6	1	O	输出
V-	4	2	I	负电源
V+	7	5	I	正电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）^{(1) (2)}

	最小值	最大值	单位
差分输入电压		15	V
输入输出引脚电压	(V ⁺) + 0.3	(V ⁻) - 0.3	V
电源电压 (V ⁺ - V ⁻)		35	V
输入引脚处的电流		±10	mA
输出引脚处的电流 ⁽²⁾		±20	mA
电源引脚处的电流		25	mA
结温, T _J ⁽³⁾		150	°C
贮存温度, T _{stg}	-65	150	°C

- (1) 应力超出绝对最大额定值中列出的值时可能会对器件造成永久损坏。这些列出的值仅为应力等级，并不表示器件在这些条件下以及在建议工作条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 如果需要军事应用/航天专用器件，请联系德州仪器 (TI) 销售办事处/分销商，获取供货和技术规格信息。

5.2 ESD 等级

	值	单位	
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2500	V

- (1) JEDEC 文档 JEP155 指出：2500V HBM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

	最小值	标称值	最大值	单位
电源电压	2.7		32	V
工作温度 ⁽³⁾	-40		85	°C
封装热阻 (R _{θJA}) ⁽³⁾	5 引脚 SOT-23		325	°C/W
	8 引脚 SOIC		165	°C/W

5.4 热性能信息

热指标 ⁽¹⁾	LM7301		单位
	DBV (SOT-23)	D (SOIC)	
	5 引脚	8 引脚	
R _{θJA} 结至环境热阻	169	120	°C/W
R _{θJC(top)} 结至外壳 (顶部) 热阻	122	65	°C/W
R _{θJB} 结至电路板热阻	30	61	°C/W
ψ _{JT} 结至顶部特征参数	17	16	°C/W
ψ _{JB} 结至电路板特征参数	29	60	°C/W
R _{θJC(bot)} 结至外壳 (底部) 热阻	不适用	不适用	°C/W

- (1) 有关新旧热指标的更多信息，请参阅 TI 应用报告“[半导体和 IC 封装热指标](#)”。

5.5 电气特性：2.7V 至 32V 直流

除非另有规定，否则所有限值均基于以下条件： $T_J = 25^\circ\text{C}$ 、 $V^+ = 5\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{\text{CM}} = V_O = V^+/2$ 以及 $V^+/2$ 时的 $R_L > 1\text{M}\Omega$ ，除非另有说明限值适用于特定温度。(5) (4) (6)

参数	测试条件		最小值	典型值	最大值	单位
V_{OS} 输入偏移电压	$T_A = 25^\circ\text{C}$			0.03	6	mV
	$T_A = T_J$				8	
TCV_{OS} 输入失调电压平均漂移	$T_A = T_J$			2		$\mu\text{V}/^\circ\text{C}$
I_B 输入偏置电流	$V_{\text{CM}} = 0\text{V}$	$T_A = 25^\circ\text{C}$		0.01	200	nA
		$T_A = T_J$			250	
	$V_{\text{CM}} = 5\text{V}$	$T_A = 25^\circ\text{C}$		0.01	-75	
		$T_A = T_J$			-85	
I_{OS} 输入失调电流	$V_{\text{CM}} = 0\text{V}$	$T_A = 25^\circ\text{C}$		0.01	70	nA
		$T_A = T_J$			80	
	$V_{\text{CM}} = 5\text{V}$	$T_A = 25^\circ\text{C}$		0.01	55	
		$T_A = T_J$			65	
R_{IN} 输入电阻, CM	$0\text{V} \leq V_{\text{CM}} \leq 5\text{V}$			540		G Ω
CMRR 共模抑制比	$0\text{V} \leq V_{\text{CM}} \leq 5\text{V}$	$T_A = 25^\circ\text{C}$	70	88		dB
		$T_A = T_J$	67			
	$0\text{V} \leq V_{\text{CM}} \leq 3.5\text{V}$			93		
PSRR 电源抑制比	$2.7\text{V} \leq V^+ \leq 30\text{V}$	$T_A = 25^\circ\text{C}$	87	104		dB
		$T_A = T_J$	84			
V_{CM} 输入共模电压范围	$\text{CMRR} \geq 65\text{dB}$			5.1		V
				-0.1		
A_V 大信号电压增益	$R_L = 10\text{k}\Omega$ $V_O = 4V_{\text{PP}}$	$T_A = 25^\circ\text{C}$	14	71		V/mV
		$T_A = T_J$	10			
V_O 输出摆幅	$R_L = 10\text{k}\Omega$	$T_A = 25^\circ\text{C}$		0.07	0.12	V
				4.93		
		$T_A = T_J$	4.88	0.15		
	$R_L = 2\text{k}\Omega$	$T_A = 25^\circ\text{C}$		0.14	0.2	
				0.22		
		$T_A = T_J$	4.80	4.87		
I_{SC} 输出短路电流	拉电流	$T_A = 25^\circ\text{C}$	8	75	mA	
		$T_A = T_J$	5.5			
	灌电流	$T_A = 25^\circ\text{C}$	6	75		
		$T_A = T_J$	5			
I_S 电源电流	$T_A = 25^\circ\text{C}$			0.56	1.1	mA
	$T_A = T_J$				1.24	

5.6 电气特性：AC

$T_A = 25^\circ\text{C}$, $V^+ = 2.2\text{V}$ 至 30V , $V^- = 0\text{V}$, $V_{\text{CM}} = V_O = V^+/2$ 以及 $R_L > 1\text{M}\Omega$ 至 $V^+/2$ ⁽⁶⁾

参数	测试条件	典型值 ⁽⁴⁾	单位
SR	压摆率 ⁽¹⁾	$V_S \pm 6\text{V}$ 时的 $\pm 4\text{V}$ 步长	21 V/ μs
GBW	增益带宽积	$f = 100\text{kHz}$, $R_L = 10\text{k}\Omega$	4 MHz
e_n	输入基准电压噪声	$f = 1\text{kHz}$	36 nV/ $\sqrt{\text{Hz}}$
i_n	输入基准电流噪声	$f = 1\text{kHz}$	0.24 pA/ $\sqrt{\text{Hz}}$
T.H.D.	总谐波失真	$f = 10\text{kHz}$	0.006%

(1) 有关更多详细信息，请参阅节 5.10。

5.7 电气特性：30-V DC

除非另有规定，否则所有限值均基于以下条件： $T_J = 25^\circ\text{C}$ 、 $V^+ = 30\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{\text{CM}} = V_O = V^+/2$ 以及 $V^+/2$ 时 $R_L > 1\text{M}\Omega$ ，除非另有说明限值适用于特定温度⁽⁶⁾

参数	测试条件	最小值	典型值	最大值	单位	
V_{OS}	输入偏移电压		0.04	6	mV	
				8		
TCV_{OS}	输入失调电压平均漂移	$T_A = T_J$	2		$\mu\text{V}/^\circ\text{C}$	
I_B	$V_{\text{CM}} = 0\text{V}$	$T_A = 25^\circ\text{C}$	0.01	300	nA	
		$T_A = T_J$		500		
	$V_{\text{CM}} = 30\text{V}$	$T_A = 25^\circ\text{C}$	-100	-0.01		
		$T_A = T_J$	-200			
I_{OS}	$V_{\text{CM}} = 0\text{V}$	$T_A = 25^\circ\text{C}$	0.01	90	nA	
		$T_A = T_J$		190		
	$V_{\text{CM}} = 30\text{V}$	$T_A = 25^\circ\text{C}$	0.01	65		
		$T_A = T_J$		135		
R_{IN}	输入电阻	$0\text{V} \leq V_{\text{CM}} \leq 30\text{V}$	540		G Ω	
CMRR	$0\text{V} \leq V_{\text{CM}} \leq 30\text{V}$	$T_A = 25^\circ\text{C}$	80	104	dB	
		$T_A = T_J$	78			
	$0\text{V} \leq V_{\text{CM}} \leq 27\text{V}$	$T_A = 25^\circ\text{C}$	90	115		
		$T_A = T_J$	88			
PSRR	电源抑制比	$T_A = 25^\circ\text{C}$	87	104	dB	
		$T_A = T_J$	84			
V_{CM}	输入共模电压范围	CMRR > 80dB	30.1		V	
			-0.1			
A_V	大信号电压增益	$R_L = 10\text{k}\Omega$ $V_O = 28\text{V}_{\text{PP}}$	$T_A = 25^\circ\text{C}$	30	105	V/mV
			$T_A = T_J$	20		
V_O	输出摆幅	$R_L = 10\text{k}\Omega$	$T_A = 25^\circ\text{C}$	0.16	0.275	V
			$T_A = T_J$		0.375	
			$T_A = 25^\circ\text{C}$	29.75	29.8	
			$T_A = T_J$	28.65		
I_{SC}	输出短路电流	拉电流 ⁽³⁾	$T_A = 25^\circ\text{C}$	8.8	75	mA
			$T_A = T_J$	6.5		
		灌电流 ⁽³⁾	$T_A = 25^\circ\text{C}$	8.2	75	
			$T_A = T_J$	6		

除非另有规定，否则所有限值均基于以下条件： $T_J = 25^\circ\text{C}$ 、 $V^+ = 30\text{V}$ 、 $V^- = 0\text{V}$ 、 $V_{\text{CM}} = V_O = V^+/2$ 以及 $V^+/2$ 时 $R_L > 1\text{M}\Omega$ ，除非另有说明限值适用于特定温度⁽⁶⁾

参数		测试条件	最小值	典型值	最大值	单位
I _s	电源电流	T _A = 25°C		0.56	1.3	mA
		T _A = T _J			1.35	

- (1) 绝对最大额定值表示超过之后可能对器件造成损坏的限值。运行条件额定值表示器件可正常运行的条件，但无法确保器件的具体性能。有关可确保的规范和测试条件，请参阅“电气特性”。
- (2) 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。
- (3) 最大功耗是与 $T_{J(\text{MAX})}$ 、 $R_{\theta \text{JA}}$ 和 T_A 相关的函数。任何环境温度下允许的最大功耗为 $P_D = (T_{J(\text{MAX})} - T_A) / R_{\theta \text{JA}}$ 。所有数字均适用于直接焊接到 PC 板的封装。
- (4) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值会随时间推移而变化，而且还会受具体应用和配置的影响。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
- (5) 所有限值均根据测试或统计分析保证。
- (6) 电气表值仅适用于所示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 $T_J = T_A$ 。在 $T_J > T_A$ 的内部自发热条件下，某些参数性能规格 (如电气表中所示) 未加保证。

5.8 典型特性

$T_A = 25^\circ\text{C}$ 、 $R_L = 1\text{M}\Omega$ ，除非另有说明

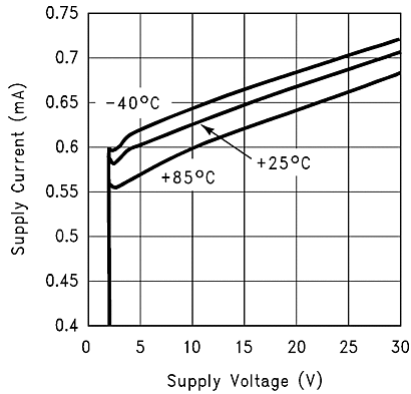


图 5-1. 电源电流与电源电压间的关系

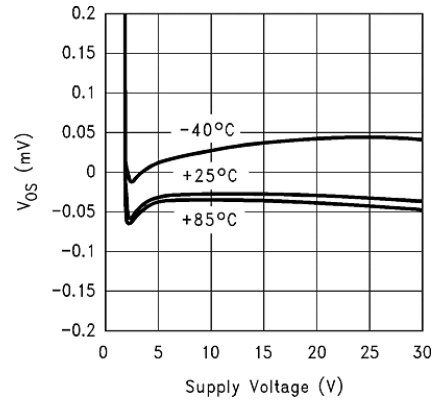


图 5-2. V_{OS} 与电源电压间的关系

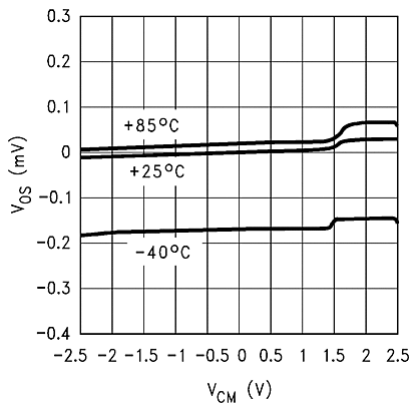


图 5-3. V_{OS} 与 V_{CM} 间的关系 $V_S = \pm 2.5\text{V}$

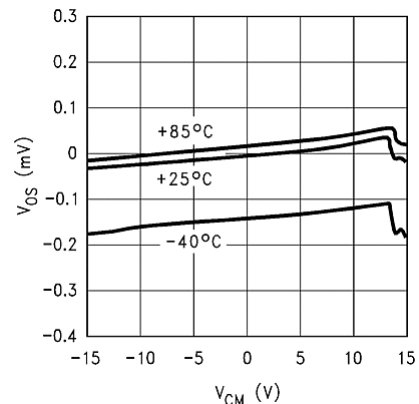


图 5-4. V_{OS} 与 V_{CM} 间的关系 $V_S = \pm 15\text{V}$

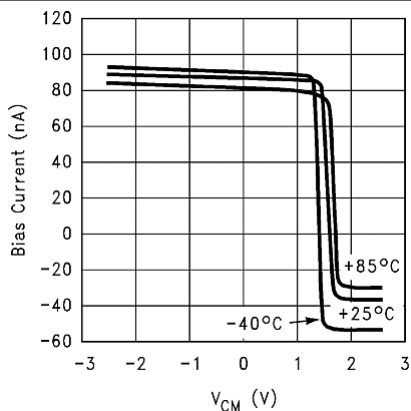


图 5-5. 反相输入偏置电流与共模电压间的关系 $V_S = \pm 2.5\text{V}$ ，旧芯片

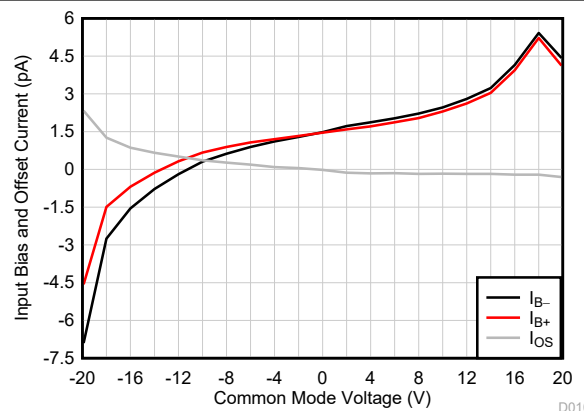


图 5-6. 输入偏置电流与共模电压间的关系 $V_S = \pm 20\text{V}$ ，新芯片

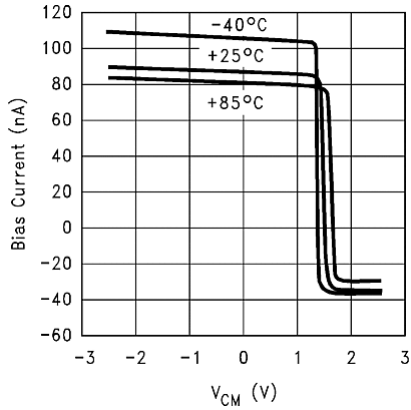


图 5-7. 非反相输入偏置电流与共模电压间的关系 $V_S = \pm 2.5V$, 旧芯片

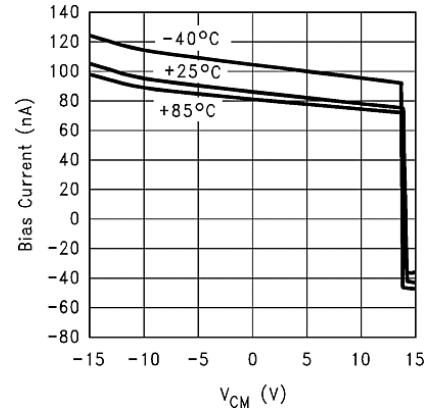


图 5-8. 非反相输入偏置电流与共模电压间的关系 $V_S = \pm 15V$

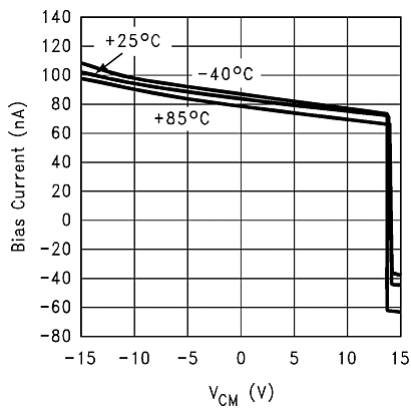


图 5-9. 反相输入偏置电流与共模电压间的关系 $V_S = \pm 15V$

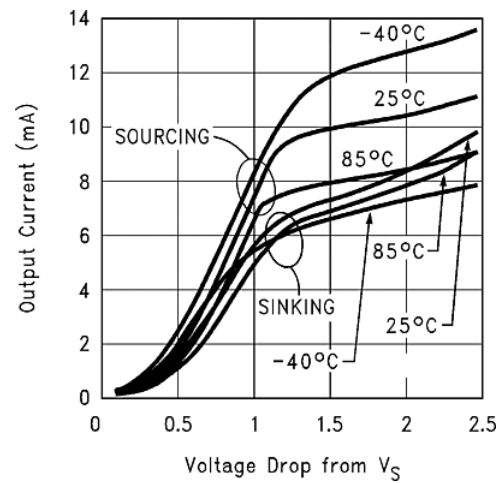


图 5-10. V_O 与 I_O 间的关系 $V_S = \pm 2.5V$

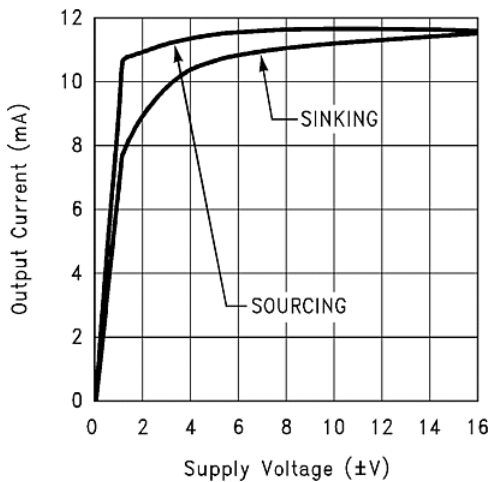


图 5-11. 短路电流与电源电压间的关系

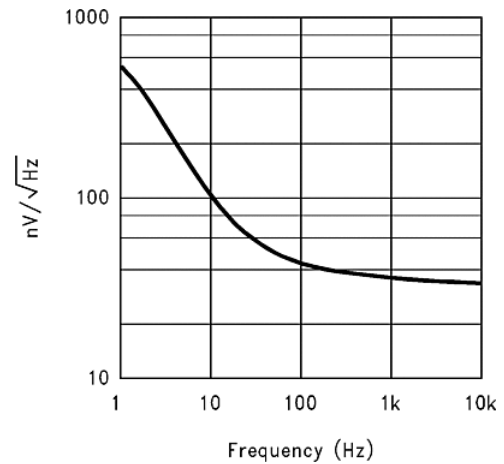


图 5-12. 电压噪声与频率间的关系

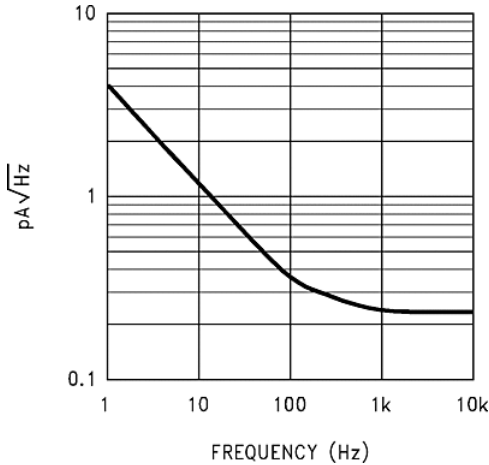


图 5-13. 电流噪声与频率间的关系

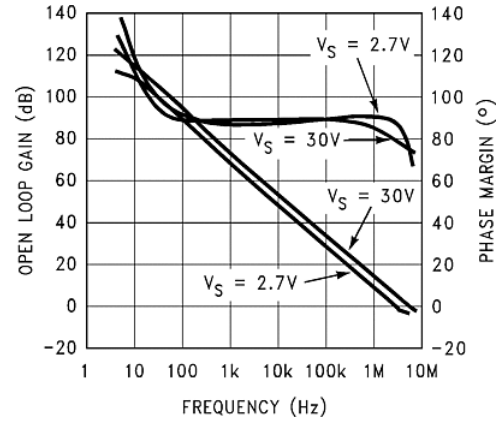


图 5-14. 增益和相位

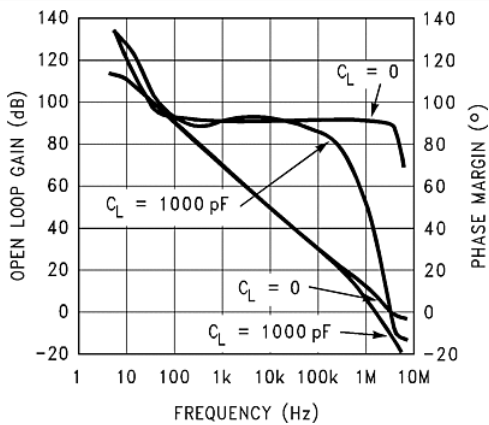


图 5-15. 增益和相位, 2.7V 电源

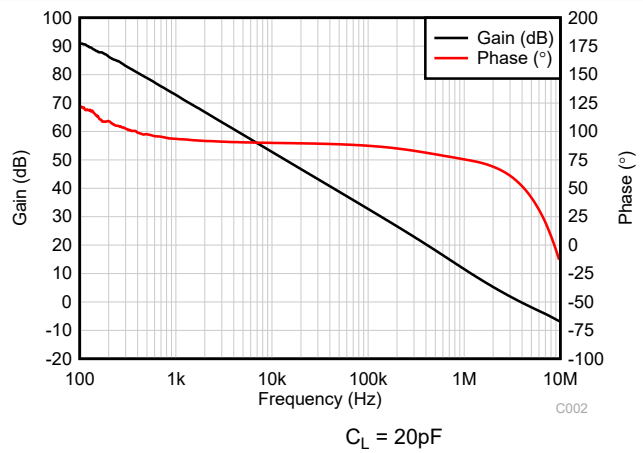


图 5-16. 开环增益和相位与频率间的关系 $V_S = \pm 20V$ $R_L = 10\Omega$, 新芯片

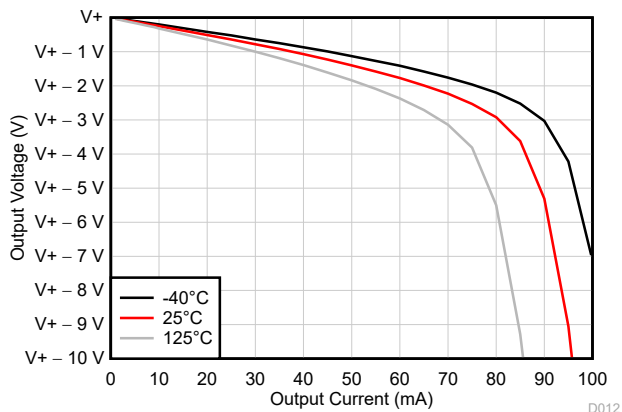


图 5-17. 输出电压摆幅与输出电流 (拉电流) 间的关系 $V_S = \pm 20V$, 新芯片

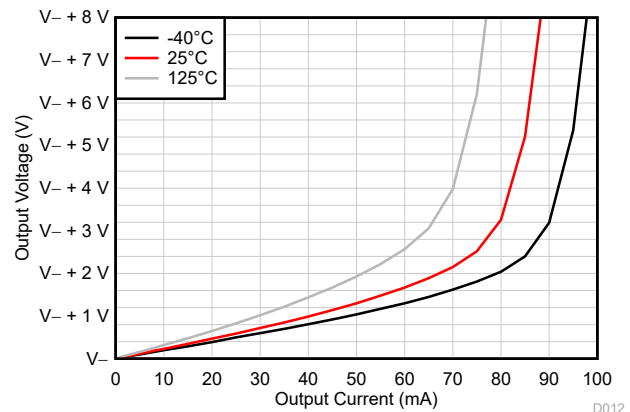


图 5-18. 输出电压摆幅与输出电流 (灌电流) 间的关系 $V_S = \pm 20V$, 新芯片

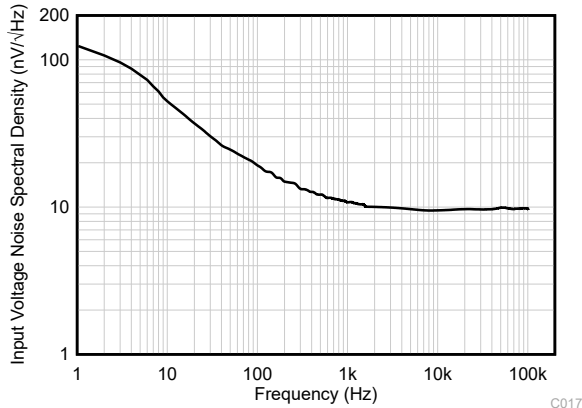


图 5-19. 输入电压噪声频谱密度与频率间的关系
 $V_S = \pm 20V$, 新芯片

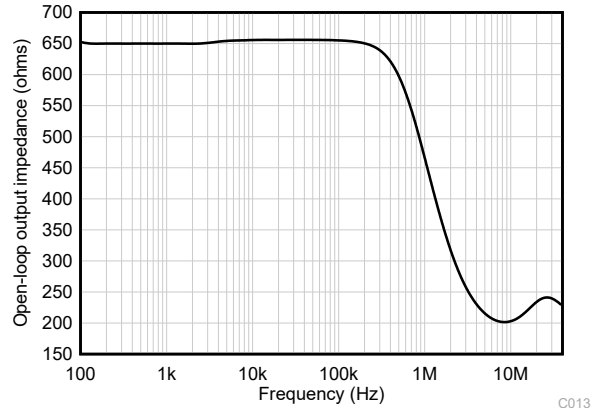


图 5-20. 开环输出阻抗与频率间的关系 $V_S = \pm 20V$, 新芯片

5.9 新旧芯片比较

截至本数据表修订版 J 发布时，德州仪器 (TI) 已将 LM7301 的裸片制造转移到了一个现代制造厂。本文档中将两个不同的芯片称为“旧”（前一个制造基地）和“新”芯片。芯片原点可以与发货信息中的“芯片源来源” (CSO) 参数分开。旧芯片 CSO 为“GF6”，而新芯片 CSO 为“RFB”。本数据表中保留了旧芯片信息，用于进行比较，但所有新制造工艺都转移到了新芯片上。

说明	旧芯片	新芯片
最低电源电压	2.2V	2.7V
输入偏置电流 (典型值)	90nA	10pA
输入之间的电流 (输入和反相输入之间的差分输入电压 = 2V)	230μA (输入端之间有两个二极管及 2.5kΩ 电阻)	< 100pA
输出电压压摆率架构	标准转换架构	压摆增强架构，会影响高于 100kHz (0.8Vp) 的信号失真

5.10 压摆率

输出变化率在很大程度上取决于输入差分电压。最大输出变化率称作压摆率。图 5-21 展示了一个运算放大器的通用简化方框图，其中包含米勒补偿电容器 C_M 以及输出变化率与输入差分电压 (V_{ID}) 间关系的测量数据。使用压摆升压架构时，补偿电容器 C_M 称为米勒电容器，由 3 个分立区域以不同的电流 充电 I_{C_M} ，其中输出变化率为

$$\frac{dV_{out}}{dt} \approx \frac{I_{C_M}}{C_M}。注意 I_{C_M} = I_{gm_max} + I_{boost}。$$

- 小信号输出变化率 (线性区域) : $\frac{dV_{out}}{dt} \approx \frac{I_{gm}}{C_M}$; $I_{boost} = 0$ mA 和 $I_{gm} < I_{gm_max}$
 - 注意 V_{ID} 和 之间的关系 I_{gm} 在这个区域中为线性。请参见图 5-21 中的绿色区域。通常，小信号小于 100mV。对于该器件，小信号区域约为 20mV 及以下。
- 中等输入差分电压 (非线性区域) : $Natural_SR \approx \frac{I_{gm_max}}{C_M}$; $I_{boost} = 0$ mA 和 $I_{gm} = I_{gm_max}$
 - 在时存在上升斜率 I_{gm} approaches I_{gm_Max} 。请参见图 5-21 中的蓝色区域。对于此器件，自然压摆率为 0.5V/μs，并且当输入信号为 20mV 至 150mV 时，会达到此压摆率。
- 大输入差分电压 (非线性区域) : $Boosted_SR \approx \frac{I_{gm_max} + I_{boost}}{C_M}$ 。

- 压摆增强电路被激活并产生额外电流 I_{boost} 有助于迅速为补偿电容器充电。请参见图 5-21 中的红色区域。对于该器件，升压转换速率为 $30\text{V}/\mu\text{s}$ ，适用于大于 150mV 的输入信号。从技术上讲，增强压摆率从大约 150mV 增加到 1V ，对于大于 1V 的输入信号，可以实现最大压摆增强。

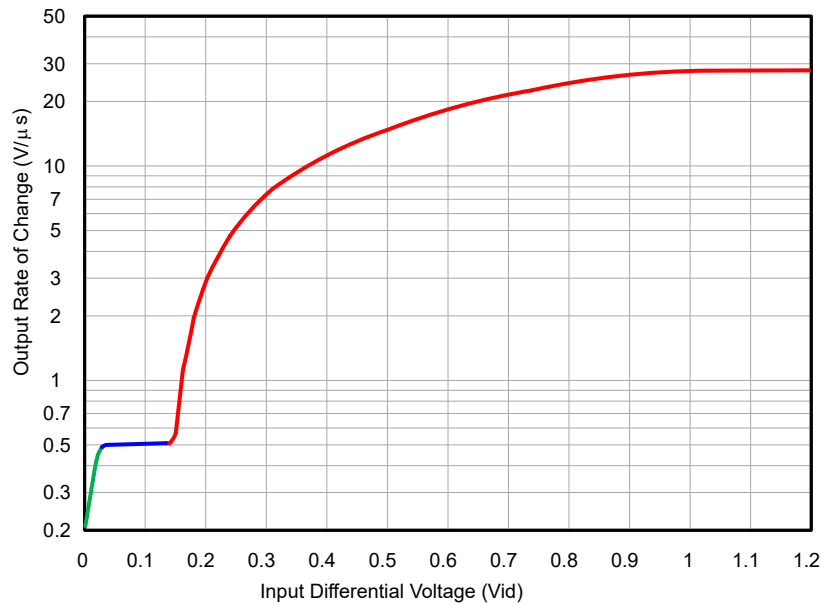
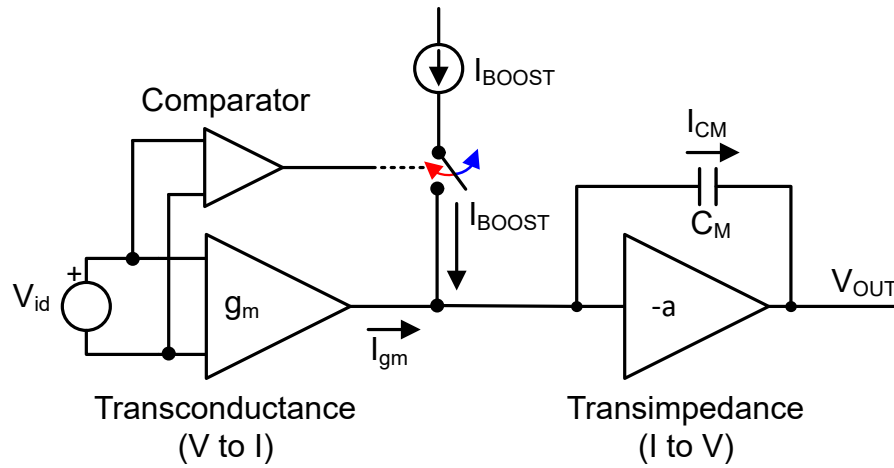


图 5-21. 运算放大器的通用简化方框图，其中包含米勒补偿电容器以及输出变化率与输入差分电压间关系的测量数据

下面的图 5-22 显示了新器件与旧器件的输出变化率与输入差分电压之间的比较关系。

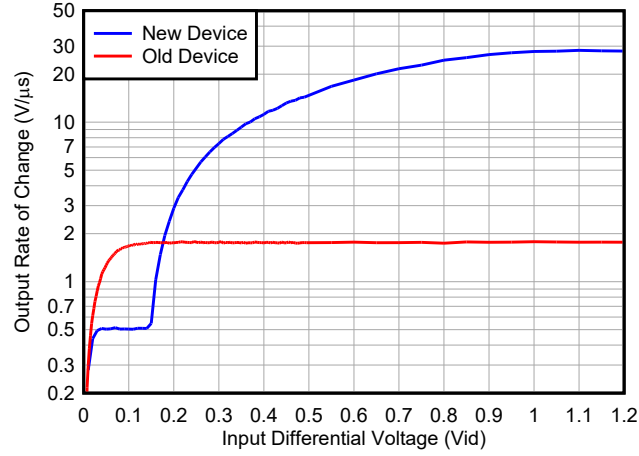


图 5-22. 新器件与旧器件的输出变化率同输入差分电压之间的关系比较。

6 电源相关建议

LM7301 的额定工作电压范围是 2.7V 至 32V ($\pm 1.35\text{V}$ 至 $\pm 16\text{V}$)。作为一款轨到轨输入和输出器件，可满足电源电压范围内的任何工作电压条件。

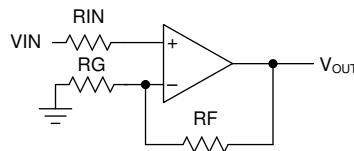
将 $0.1\ \mu\text{F}$ 旁路电容器置于电源引脚附近，可减少从高噪声电源或高阻抗电源中耦合进来的误差。

7 布局

7.1 布局指南

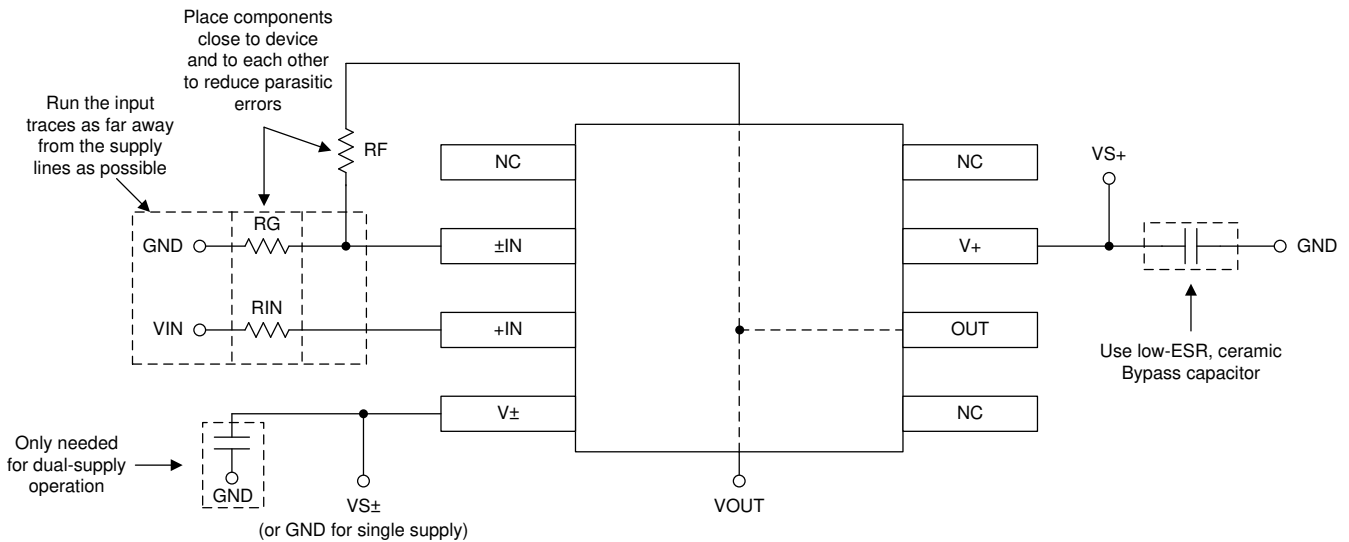
为了实现器件的最佳运行性能，TI 建议使用良好的印刷电路板 (PCB) 布局规范。应当在每个电源引脚和接地端之间连接低损耗 $0.1\ \mu\text{F}$ 旁路电容器，并尽量靠近器件放置。对于单电源应用，V+ 到接地端之间适合安装一个旁路电容器。

7.2 布局示例



Copyright © 2016, Texas Instruments Incorporated

图 7-1. 原理图表示



Copyright © 2016, Texas Instruments Incorporated

图 7-2. 同相配置的运算放大器电路板布局

8 器件和文档支持

8.1 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.2 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.3 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.4 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision I (April 2016) to Revision J (January 2026)	Page
• 将大于轨到轨输入 CMVR 值从 -0.25V 更新为 -0.1V，从 5.2V 更新为 5.1V。.....	1
• 将宽增益带宽从 4MHz 更新到 4.5MHz。.....	1
• 将低电源电流从 0.6mA 更新为 0.56mA。.....	1
• 将宽电源范围值从 1.8V 更新为 2.7V。.....	1
• 将增益带宽从 4MHz 更新为 4.5MHz.....	1
• 将电源电流从 0.6mA 更新为 0.56mA.....	1
• 将电源范围值从 1.8V 更新为 2.7V.....	1
• 删除了“增益和相位”图和“增益和相位，2.7V 电源”图.....	1
• 将电源最小值从 1.8V 更新为 2.7V。.....	4
• 将 5V 直流更新为 2.7V 至 32V 直流。.....	5
• 将 25°C 下的输入典型偏置电流更新为 0.01nA。.....	5
• 将 25°C 的典型输入偏置电流更新为 0.01nA。.....	5
• 将输入偏移电流从 39MΩ 更新为 540GΩ。.....	5
• 将 25°C 的典型输出短路电流更新为 75mA。.....	5
• 将 25°C 的典型电源电流从 0.6mA 更新为 0.56mA。.....	5
• 将电源抑制比范围从 2.2V 更新至 2.7V。.....	5
• 将压摆率值从 1.25V/μs 更改为 21V/μs.....	6
• 删除了电气特性 2.2V 直流.....	6
• 将 25°C 下的输入典型偏置电流更新为 0.01nA。.....	6
• 将 25°C 的典型输入偏置电流更新为 0.01nA。.....	6
• 将输入偏移电流从 200MΩ 更新为 540GΩ。.....	6
• 更新了 25°C 时 75mA 的输出短路电流典型值。.....	6
• 将 25°C 的典型电源电流从 0.72mA 更新为 0.56mA。.....	6
• 将电源抑制比范围从 2.2V 更新至 2.7V。.....	6
• 添加了输入偏置电流与共模电压间的关系 $V_S=\pm 20V$ ，新芯片图.....	8
• 添加了开环增益和相位与频率间的关系 $V_S=\pm 20V R_L=10\Omega$ ，新芯片图.....	8
• 添加了输出电压摆幅与输出电流（灌电流）间的关系 $V_S=\pm 20V$ ，新芯片图.....	8
• 添加了输出电压摆幅与输出电流（拉电流）间的关系 $V_S=\pm 20V$ ，新芯片图.....	8
• 添加了输入电压噪声频谱密度与频率间的关系 $V_S=\pm 20V$ ，新芯片图.....	8
• 添加了开环输出阻抗与频率间的关系 $V_S=\pm 20V$ ，新芯片图.....	8
• 添加了新旧芯片比较.....	11
• 删除了详细说明以及应用和实施部分。.....	11

Changes from Revision H (March 2013) to Revision I (April 2016)	Page
• 添加了 ESD 等级表、特性说明部分、器件功能模式、应用和实现部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分.....	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM7301IM/NOPB	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	LM73 01IM
LM7301IM5/NOPB	Active	Production	SOT-23 (DBV) 5	1000 SMALL T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	A04A
LM7301IM5/NOPB.A	Active	Production	SOT-23 (DBV) 5	1000 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	A04A
LM7301IM5X/NOPB	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	A04A
LM7301IM5X/NOPB.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	A04A
LM7301IM5X/NOPBG4	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	A04A
LM7301IM5X/NOPBG4.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	A04A
LM7301IMX/NOPB	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LM73 01IM
LM7301IMX/NOPB.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LM73 01IM

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM7301IM5/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LM7301IM5X/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LM7301IM5X/NOPBG4	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LM7301IMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM7301IM5/NOPB	SOT-23	DBV	5	1000	208.0	191.0	35.0
LM7301IM5X/NOPB	SOT-23	DBV	5	3000	208.0	191.0	35.0
LM7301IM5X/NOPBG4	SOT-23	DBV	5	3000	210.0	185.0	35.0
LM7301IMX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月