

LF412C 双 FET 输入运算放大器

1 特性

- 低输入偏置电流： $\pm 10\text{pA}$ (典型值)
- 低输入噪声电流： $2\text{fA}/\sqrt{\text{Hz}}$ (典型值)
- 低电源电流： 0.560mA (典型值)
- 高输入阻抗
- 内部修整后的偏移电压
- 宽增益带宽： 4.5MHz (典型值)
- 高压摆率：典型值 $21\text{V}/\mu\text{s}$ ($V_{\text{ID}} = 1\text{V}$ 时的新裸片性能)

2 应用

- TFT-LCD 平板 V_{COM} 驱动器
- 模数转换器缓冲器
- 高侧或低侧检测
- 耳机放大器

3 说明

此器件是一款低成本 FET 输入运算放大器，具有极低的输入偏移电压和指定的最大输入偏移电压温漂。此运算放大器需要低电源电流，但保持较大的增益带宽积。此外，输入级提供极低的输入偏置和偏移电流。

LF412C 可用于高速集成器、数模转换器、采样保持电路以及许多其他电路等应用。

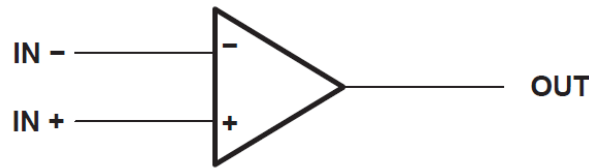
LF412C 的工作温度范围是 0°C 至 70°C 。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
LF412CD	D (SOIC, 8)	4.90mm × 3.90mm
LF412CP	P (PDIP, 8)	9.81mm × 6.35mm

(1) 有关更多信息，请参阅节 8。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



符号 (每个放大器)



内容

1 特性	1	5.6 新旧芯片比较	8
2 应用	1	6 器件和文档支持	9
3 说明	1	6.1 接收文档更新通知.....	9
4 引脚配置和功能	3	6.2 支持资源.....	9
5 规格	4	6.3 商标.....	9
5.1 绝对最大额定值.....	4	6.4 静电放电警告.....	9
5.2 建议运行条件.....	4	6.5 术语表.....	9
5.3 电气特性.....	4	7 修订历史记录	9
5.4 工作特性.....	5	8 机械、封装和可订购信息	10
5.5 典型特性.....	6		

4 引脚配置和功能

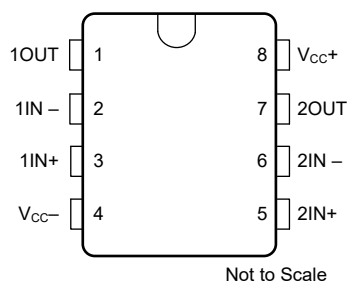


图 4-1. D 或封装
顶视图

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
1OUT	1	O	输出，通道 1
1IN -	2	I	反相输入，通道 1
1IN +	3	I	同相输入，通道 1
V _{CC} -	4	—	正（最高）电源
V _{CC} +	5	—	负（最低）电源
2OUT	6	O	输出，通道 2
2IN -	7	I	反相输入，通道 2
2IN +	8	I	同相输入，通道 2

(1) I = 输入，O = 输出

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V_{CC+}	电源电压，正极		18	V
V_{CC-}	电源电压，负极		-18	V
V_{ID}	差动输入电压 ⁽³⁾		± 30	V
V_I	输入电压 ⁽²⁾		± 15	V
	输出短路的持续时间	无限		
	持续总功率耗散		500	mW
T_A	工作温度范围	0	70	°C
T_{stg}	贮存温度	-65	150	°C
	10 秒内距离外壳 1.6mm (1/16 英寸) 的引线温度		260	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 除非另有说明，否则绝对最大负输入电压等于负电源电压。
- (3) 必须限制温度和电源电压，从而确保不超过额定功耗。

5.2 建议运行条件

		最小值	最大值	单位
V_{CC+}	电源电压，正极	3.5	18	V
V_{CC-}	电源电压，负极	-3.5	-18	V

5.3 电气特性

在自然通风条件下的工作温度范围内测得， $V_{CC\pm} = \pm 15V$ （除非另有规定）

参数	测试条件	T_A ⁽¹⁾	最小值	典型值	最大值	单位
V_{IO}	输入偏移电压	$V_{IC} = 0$ $R_S = 10k\Omega$	25°C	± 0.125	3	mV
a_{VIO}	输入失调电压的平均温度系数	$V_{IC} = 0$ $R_S = 10k\Omega$	完整范围	± 0.3	20 ⁽²⁾	$\mu V/^\circ C$
I_{IO}	输入失调电流 ⁽³⁾	$V_{IC} = 0$	25°C	± 10	100	pA
			70°C		4	nA
I_{IB}	输入偏置电流 ⁽³⁾	$V_{IC} = 0$	25°C	± 10	200	pA
			70°C		8	nA
V_{ICR}	共模输入电压范围		± 11	- 11.5 至 14.5		V
V_{OM}	最大峰值输出电压摆幅	$R_L = 10k\Omega$		± 12 ± 14.950		V
A_{VD}	大信号差分电压	$V_O = \pm 10V$, $R_L = 2k\Omega$	25°C	88	130	dB
			完整范围	83.5		
r_{ID}	差动输入电阻		25°C	540		G Ω
r_{ICM}	共模输入电阻			6		T Ω
CMRR	共模抑制比	$V_{IC} = V_{ICRmin}$, $R_S \leq 10k\Omega$		70	100	dB
k_{SVR}	电源电压抑制比 ⁽⁴⁾			70	100	dB

5.3 电气特性 (续)

在自然通风条件下的工作温度范围内测得, $V_{CC\pm} = \pm 15V$ (除非另有规定)

参数		测试条件	T_A ⁽¹⁾	最小值	典型值	最大值	单位
I_{CC}	电源电流 (每个放大器)				0.560	3.4	mA

- (1) 完整范围为 $0^{\circ}C$ 至 $70^{\circ}C$ 。
- (2) 对于 V_{IO} , 至少 90% 的器件符合此限制。
- (3) FET 输入运算放大器的输入偏置电流是正常的结反向电流, 此电流对温度敏感。必须使用脉冲技术来保持结温尽可能接近环境温度。
- (4) 通过同时增大或减小电源量级来测量电源电压抑制比。

5.4 工作特性

$V_{CC\pm} = \pm 15V$, $T_A = 25^{\circ}C$

参数		测试条件		最小值	典型值	最大值	单位
V_{O1}/V_{O2}	串扰衰减	$f = 1kHz$			120		dB
SR	压摆率	$R_L = 2k\Omega$, $C_L = 100pF$	$V_{ID} = 1V$		21		V/ μs
			$V_{ID} = 100mV$		0.5		
B_1	单位增益带宽				4.5		MHz
V_n	等效输入噪声电压	$f = 1kHz$,	$R_S = 20\Omega$		18		nV/ $\sqrt{Hz}$
I_n	等效输入噪声电流	$f = 1kHz$			2		fA/ $\sqrt{Hz}$

5.5 典型特性

高温和低温下的数据仅适用器件在自然通风条件下的额定工作温度范围内。

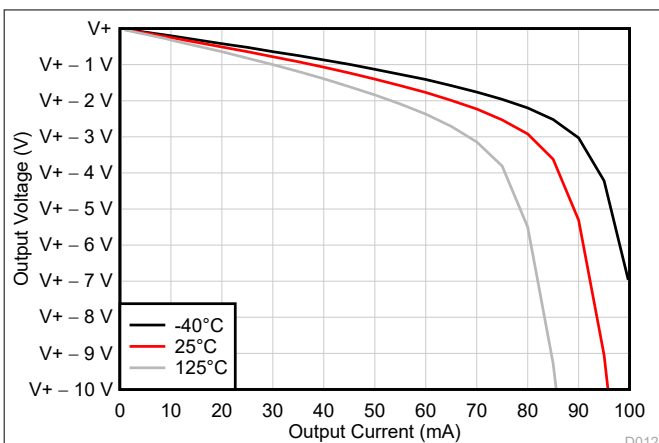


图 5-1. 输出电压摆幅与输出电流 (拉电流) 间的关系 (新裸片)

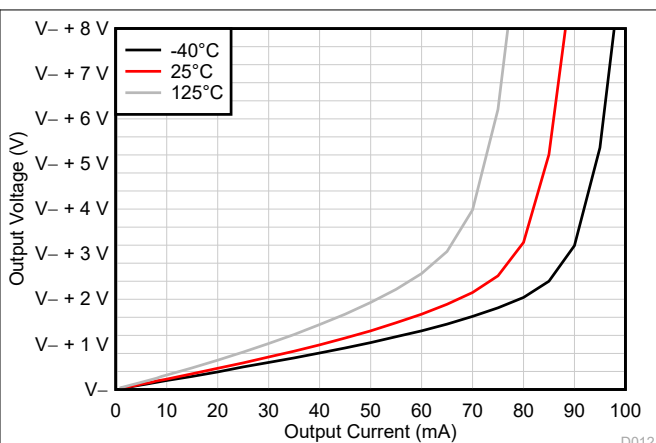


图 5-2. 输出电压摆幅与输出电流 (灌电流) 间的关系 (新裸片)

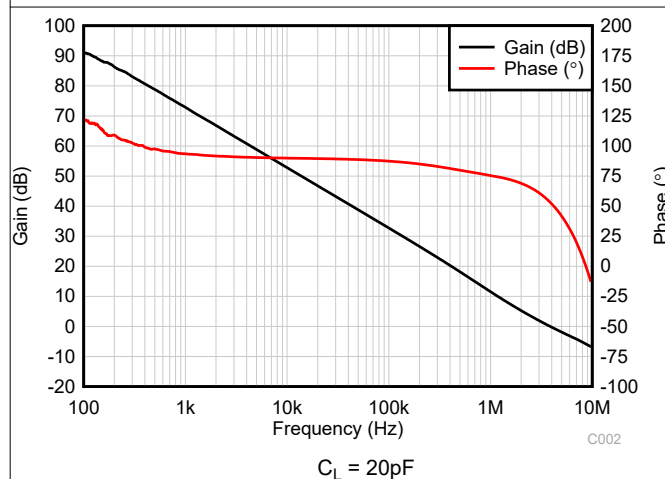


图 5-3. 开环增益和相位与频率间的关系 (新裸片)

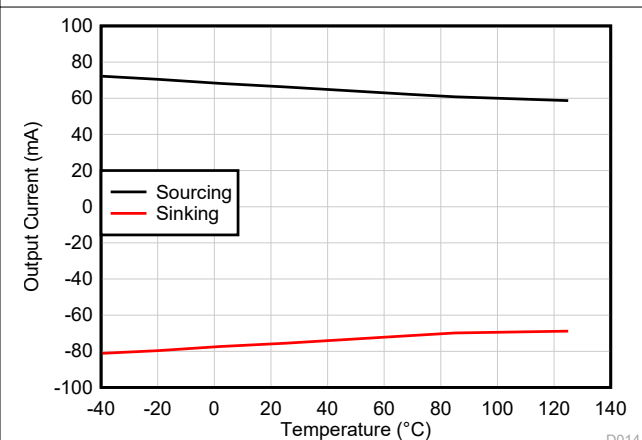


图 5-4. 短路电流与温度之间的关系 (新裸片)

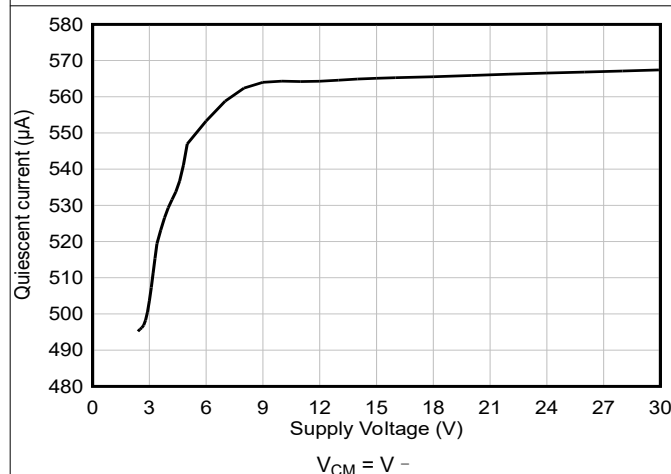


图 5-5. 静态电流与电源电压间的关系 (新裸片)

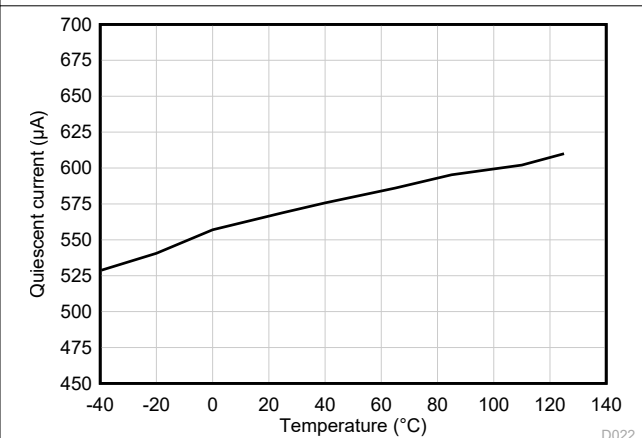


图 5-6. 静态电流与温度间的关系 (新裸片)

5.5 典型特性 (续)

高温和低温下的数据仅适用器件在自然通风条件下的额定工作温度范围内。

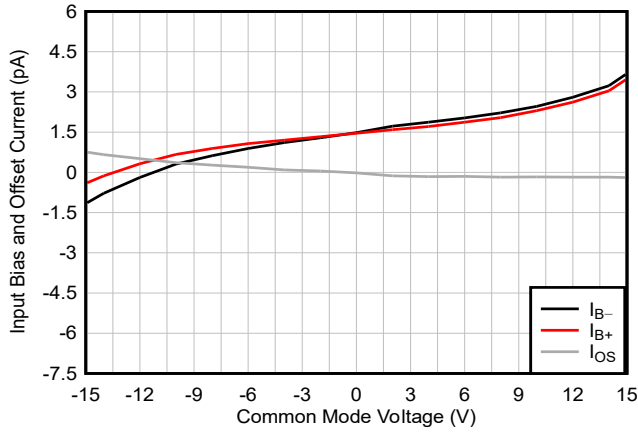


图 5-7. 输入偏置电流与共模电压间的关系 (新裸片)

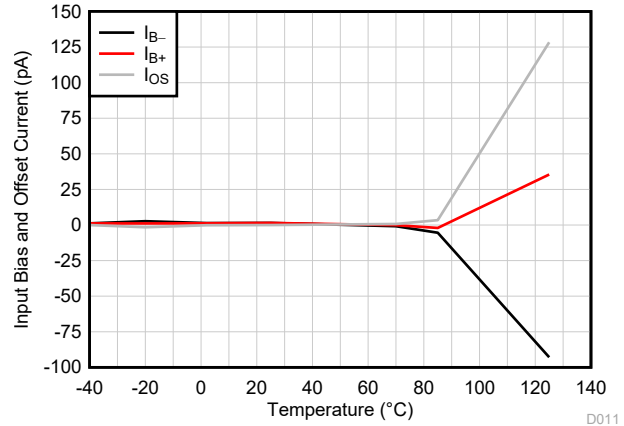


图 5-8. 输入偏置电流与温度之间的关系 (新裸片)

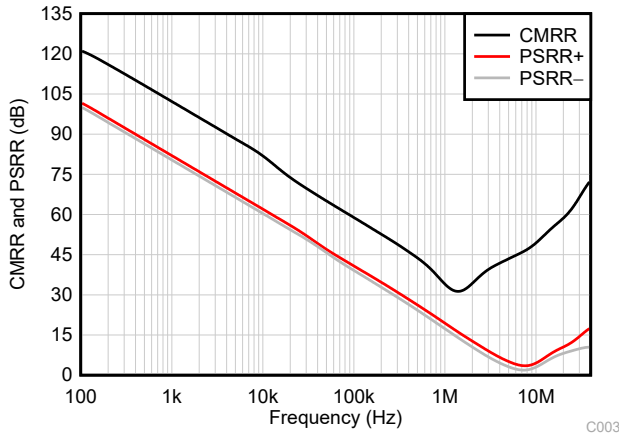


图 5-9. CMRR 和 PSRR 与频率间的关系 (新裸片)

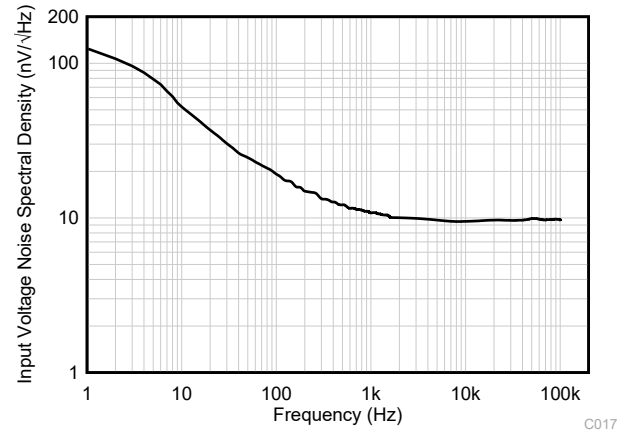


图 5-10. 输入电压噪声频谱密度与频率间的关系 (新裸片)

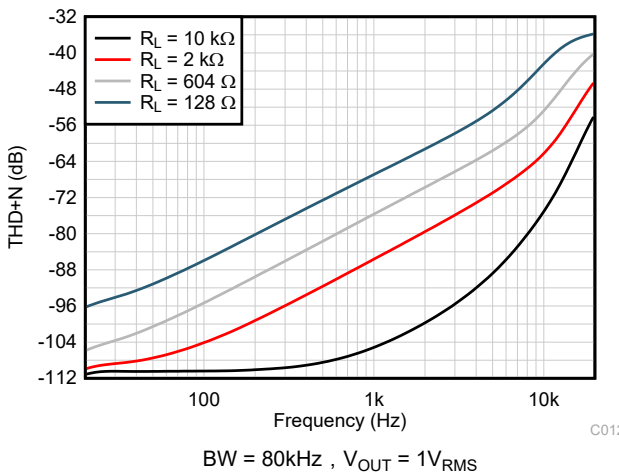


图 5-11. THD+N 比与频率间的关系 (新裸片)

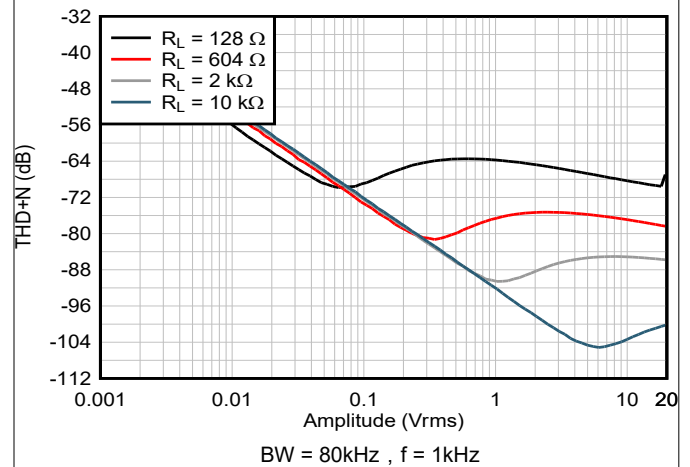


图 5-12. THD+N 与输出振幅间的关系 (新裸片)

5.6 新旧芯片比较

截至本数据表修订版 C 发布时，德州仪器 (TI) 已将 LF412 的裸片制造转移到了一个现代制造厂。本文档中将两个不同的芯片称为“旧”（前一个制造基地）和“新”芯片。芯片原点可以与发货信息中的“芯片源来源” (CSO) 参数分开。旧裸片 CSO 为“SHE”，而新裸片 CSO 为“RFB”。旧芯片信息包含在发货信息中。本数据表中保留了旧裸片信息，用于进行比较，但所有新制造工艺都转移到了新裸片上。

6 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

6.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

6.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

6.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

6.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

6.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

7 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (August 1994) to Revision C (August 2026)	Page
• 通篇将所有 <i>JFET</i> 更改至 <i>FET</i>	1
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 根据最新 TI 文档和翻译标准更新了数据表文本和格式.....	1
• 将低输入偏置电流从 50pA 更新为 ±10pA.....	1
• 将低输入噪声电流从 0.01pA/√Hz 更新为 2fA/√Hz	1
• 将低电源电流从 4.5mA 更新为 0.560mA.....	1
• 将宽增益带宽从 3MHz 更新为 4.5MHz.....	1
• 将高压摆率从 13V/μs 更新为 21V/μs.....	1
• 添加了 <i>应用</i> 部分.....	1
• 将“器件信息”表更改为“封装信息”表.....	1
• 删除了“.....高速”和“.....和快速压摆率.....”	1
• 将“.....匹配的高压 JFET 输入.....”更改至“.....输入级.....”	1
• 添加了 <i>引脚配置和功能</i> 部分.....	3
• 添加了脚注.....	4
• 将电源电压更新为电源电压（正）和电源电压（负）	4
• 将电源电压更新为电源电压（正）和电源电压（负）	4
• 将差动输入电压最大值从 30V 更新为 ±30.....	4
• 删除了差动输入电压最小值.....	4

• 将电源电压更新为电源电压 (正) 和电源电压 (负)	4
• 将输入偏移电压典型值从 1mV 更改至 $\pm 0.125\text{mV}$	4
• 将输入偏移电压的平均温度系数从 $10\ \mu\text{V}/^\circ\text{C}$ 更改至 $\pm 0.3\ \mu\text{V}/^\circ\text{C}$	4
• 将输入偏移电流典型值从 25pA 更改至 $\pm 10\text{pA}$	4
• 将输入偏置电流典型值从 50pA 更改至 $\pm 10\text{pA}$	4
• 将最大峰值输出电压摆幅典型值从 $\pm 13.5\text{V}$ 更改至 $\pm 14.950\text{V}$	4
• 将 25°C 时的大信号差动电压摆幅最小值从 25V/mV 更改至 88dB，将整个范围的值从 15V/mV 更改至 83.5dB.	4
• 将 25°C 时的大信号差动电压摆幅典型值从 200V/mV 更新至 130dB	4
• 删除了整个范围内的大信号差动电压摆幅典型值	4
• 删除了输入电阻	4
• 添加了差动和共模输入电阻	4
• 将总电源电流更改至电源电流 (每个放大器)	4
• 将压摆率典型值从 13V/ μs 更改至 21V/ μs	5
• 添加了 $V_{\text{ID}} = 100\text{mV}$ 时的压摆率典型值	5
• 将单位增益带宽典型值从 3MHz 更改至 4.5MHz	5
• 删除了单位增益带宽最小值	5
• 将等效输入噪声电压典型值从 18nV/ $\sqrt{\text{Hz}}$ 更改至 10.8nV/ $\sqrt{\text{Hz}}$	5
• 将等效输入噪声电压典型值从 0.01pA/ $\sqrt{\text{Hz}}$ 更改至 2fA/ $\sqrt{\text{Hz}}$	5
• 添加了 典型特性部分	6
• 添加了 新旧裸片比较 一节	8

8 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LF412 MWC	Active	Production	WAFERSALE (YS) 0	1 NOT REQUIRED	-	Call TI	Level-1-NA-UNLIM	-40 to 85	
LF412CD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	LF412C
LF412CDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LF412C
LF412CDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LF412C
LF412CDR1G4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LF412C
LF412CDR1G4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LF412C
LF412CDRE4	Active	Production	SOIC (D) 8	2500 LARGE T&R	-	Call TI	Call TI	0 to 70	
LF412CDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	-	Call TI	Call TI	0 to 70	
LF412CP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	LF412CP
LF412CP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	LF412CP

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

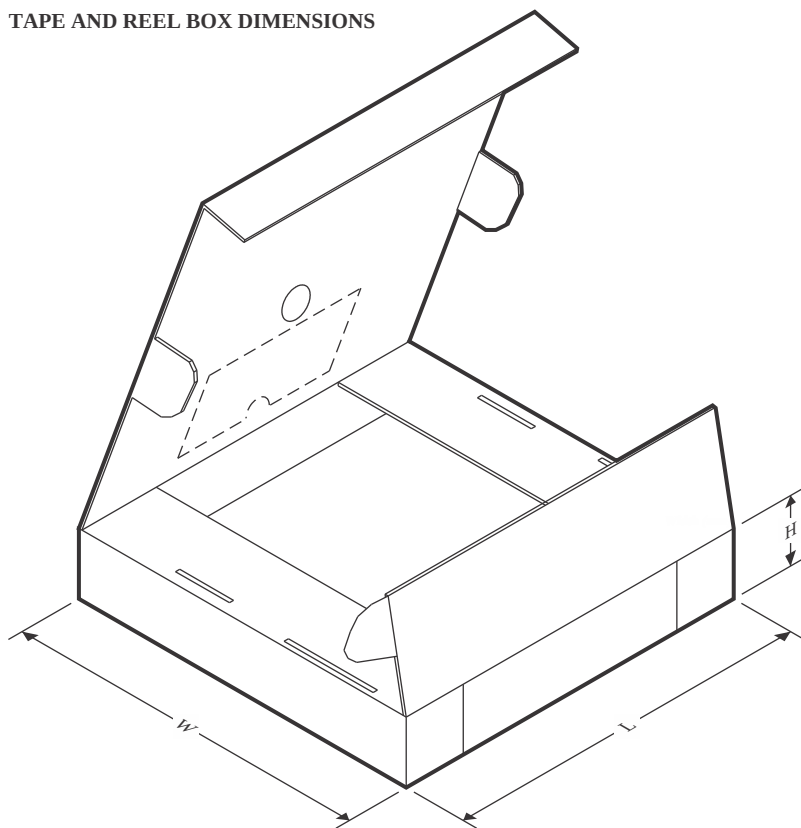
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LF412CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LF412CDR1G4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LF412CDR	SOIC	D	8	2500	353.0	353.0	32.0
LF412CDR1G4	SOIC	D	8	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
LF412CP	P	PDIP	8	50	506	13.97	11230	4.32
LF412CP.A	P	PDIP	8	50	506	13.97	11230	4.32



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

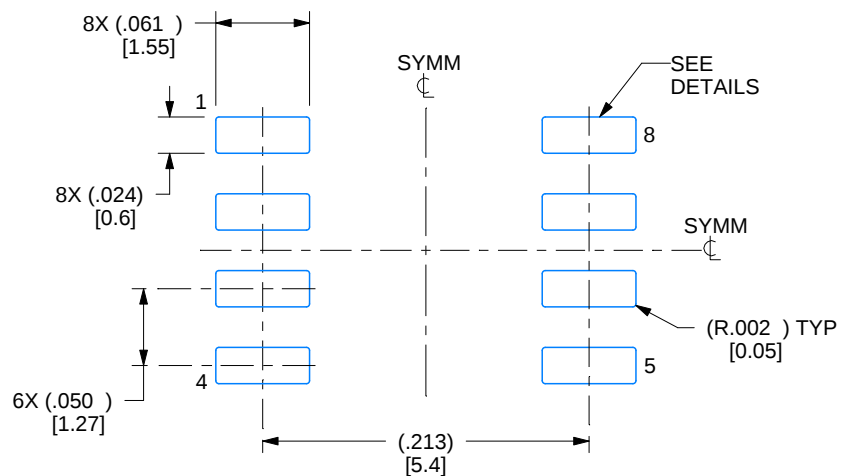


1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

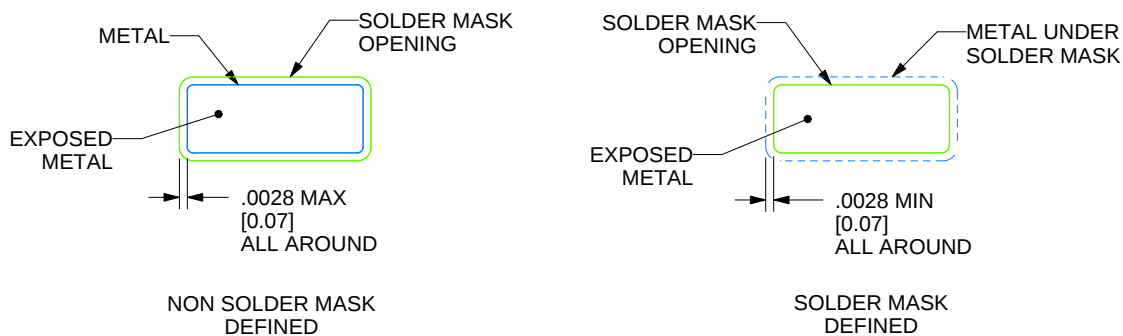
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

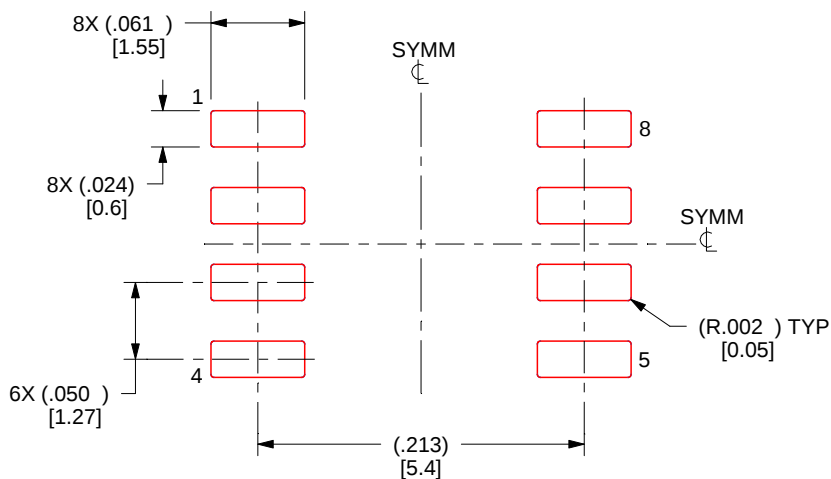
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

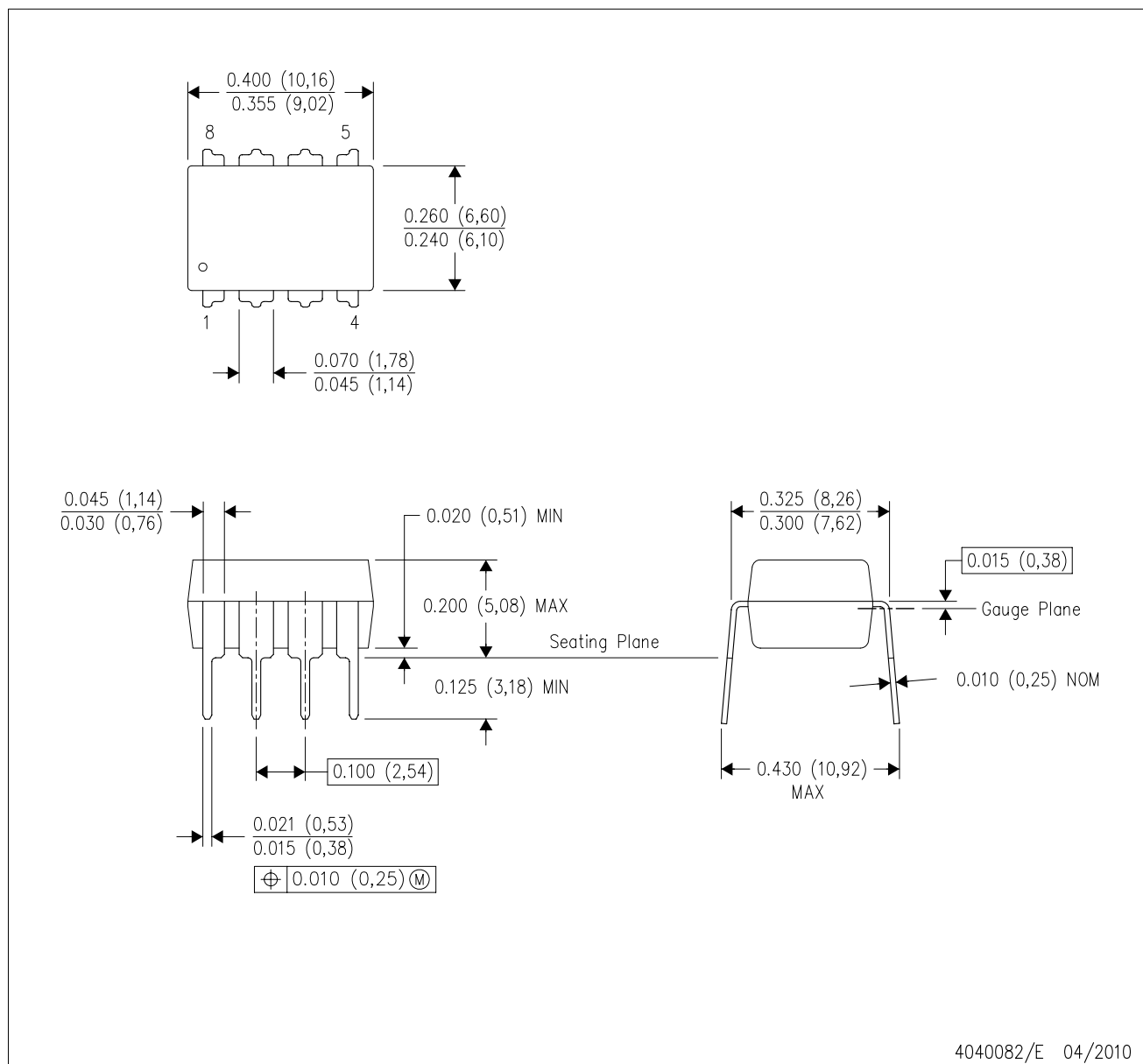
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月