

ISOW7721 具有集成式低辐射低噪声直流/直流转换器的双通道数字隔离器

1 特性

- 100Mbps 数据速率
- 低发射、低噪声的集成式直流/直流转换器
 - 辐射经过优化，符合 CISPR 32 和 EN 55032 B 类标准，在 2 层电路板上的裕度 >5dB
 - 25MHz 的低频电源转换器可实现低噪声性能
 - 低输出波纹：24mV
- 高效率输出功率
 - 最大负载时的效率：46%
 - 输出功率最高可达 0.55W
 - V_{ISOOUT} 精度为 $\pm 5\%$
 - 5V 至 5V：最大可用负载电流 = 110mA
 - 5V 至 3.3V：最大可用负载电流 = 140mA
 - 3.3V 至 3.3V：最大可用负载电流 = 60mA
- 支持多 ISOW7721 链，可将系统功率输出提高至 1W 以上和 200mA 以上
- 用于通道隔离器和电源转换器的独立电源
 - 逻辑电源 (V_{IO})：1.71V 至 5.5V
 - 电源转换器电源 (V_{DD})：3V 至 5.5V
- 优异的电磁兼容性 (EMC)
 - 系统级 ESD、EFT 和浪涌抗扰性
 - 在整个隔离栅具有 $\pm 8kV$ IEC 61000-4-2 接触放电保护
- 高 CMTI：100kV/ μs (典型值)
- 安全相关认证：
 - 符合 DIN EN IEC 60747-17 (VDE 0884-17) 标准的 VDE 增强型绝缘
 - UL 1577 组件认证计划
 - IEC 62368-1、IEC 61010-1、IEC 60601-1 和 GB 4943.1 认证
- 扩展温度范围：-40°C 至 +125°C
- 20 引脚宽体 SOIC 封装

2 应用

- 工厂自动化
- 电机控制
- 电网基础设施
- 医疗设备
- 测试和测量

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	封装尺寸 (标称值)
ISOW7721 ISOW7721F	DFM (20)	12.83mm × 10.30mm	12.83mm × 7.50mm

- (1) 有关更多信息，请参阅[机械、封装和可订购信息](#)。
 (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



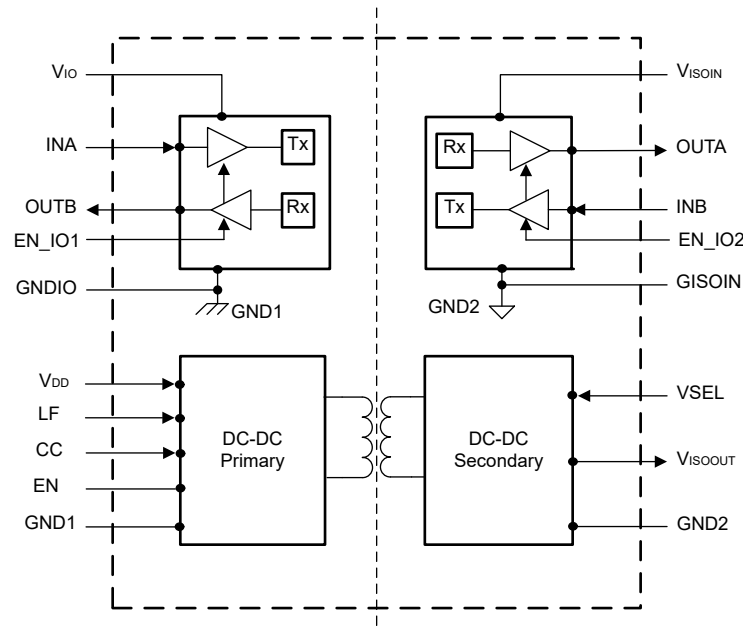
3 说明

ISOW7721 器件是具有低辐射集成式高效电源转换器的电隔离双通道数字隔离器。集成式直流/直流转换器提供高达 550mW 的隔离式电源，无需在空间受限的隔离设计中单独使用隔离式电源。如果需要额外的电源，ISOW7721 支持多器件链，通过在系统使用两个器件将集成电源输出增加至 >1W。

电源转换器可在 -40°C 至 $+125^{\circ}\text{C}$ 的宽工作环境温度范围内高效运行。该器件提供改进的发射性能，简化了电路板设计，并提供了铁氧体磁珠以进一步衰减发射。ISOW7721 旨在提供增强的保护功能，包括限制浪涌电流的软启动、过压和欠压锁定、过载和短路保护以及热关断。

ISOW7721 在隔离 CMOS 或 LVCMOS 数字 I/O 时，可提供高电磁抗扰度。该信号隔离通道具有逻辑输入和输出缓冲器，由双电容二氧化硅 (SiO_2) 绝缘栅隔开，而电源隔离使用片上变压器，采用薄膜聚合物作为绝缘材料进行隔离。ISOW7721 具有 1 个正向通道和 1 个反向通道。如果输入信号丢失，不具有 F 后缀的 ISOW7721 器件默认输出高电平，而具有 F 后缀的 ISOW7721F 器件默认输出低电平。ISOW7721 通过将 V_{IO} 和 V_{DD} 一起连接到 PCB 上，可在 3V 至 5.5V 的单一电源下运行。如果需要较低的逻辑电平，这些器件支持 1.71V 至 5.5V 的逻辑电源 (V_{IO})，可以独立于 3V 至 5.5V 的电源转换器电源 (V_{DD})。 V_{ISOIN} 和 V_{ISOOUT} 需在电路板上相连，二者之间可接入铁氧体磁珠，或经由 LDO 供电。

这些器件有助于防止数据总线（例如，UART、RS-485、RS-232 和 CAN）或者其他电路上的噪声电流进入本地接地以及干扰或损坏敏感电路。凭借出色的芯片设计和布线技术，该器件的电磁兼容性得到了显著增强，可缓解系统级 ESD、EFT 和浪涌问题并符合辐射标准。该器件采用 20 引脚小外形尺寸集成电路宽体 (SOIC-WB) DFM 封装。



ISOW7721 简化原理图

内容

1 特性	1	5.21 开关特性 - 2.5V 电源.....	19
2 应用	1	5.22 开关特性 - 1.8V 电源.....	20
3 说明	2	5.23 绝缘特性曲线.....	21
4 引脚配置和功能	4	5.24 典型特性.....	22
5 规格	6	6 参数测量信息	27
5.1 绝对最大额定值.....	6	7 详细说明	29
5.2 ESD 等级.....	6	7.1 概述.....	29
5.3 建议运行条件.....	7	7.2 功能方框图.....	30
5.4 热性能信息.....	8	7.3 特性说明.....	31
5.5 功率等级.....	8	7.4 器件功能模式.....	34
5.6 绝缘规格.....	9	8 应用和实施	36
5.7 安全相关认证.....	10	8.1 应用信息.....	36
5.8 安全限值.....	10	8.2 典型应用.....	36
5.9 电气特性 - 电源转换器.....	11	8.3 电源相关建议.....	39
5.10 电源电流特性 - 电源转换器.....	12	8.4 布局.....	40
5.11 电气特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 5V$	13	9 修订历史记录	41
5.12 电源电流特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 5V$	13	10 器件和文档支持	42
5.13 电气特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 3.3V$	14	10.1 器件支持.....	42
5.14 电源电流特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 3.3V$	14	10.2 文档支持.....	42
5.15 电气特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 2.5V$	15	10.3 接收文档更新通知.....	42
5.16 电源电流特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 2.5V$	15	10.4 支持资源.....	42
5.17 电气特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 1.8V$	16	10.5 商标.....	42
5.18 电源电流特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 1.8V$	16	10.6 静电放电警告.....	42
5.19 开关特性 - 5V 电源.....	17	10.7 术语表.....	42
5.20 开关特性 - 3.3V 电源.....	18	11 机械、封装和可订购信息	43

4 引脚配置和功能

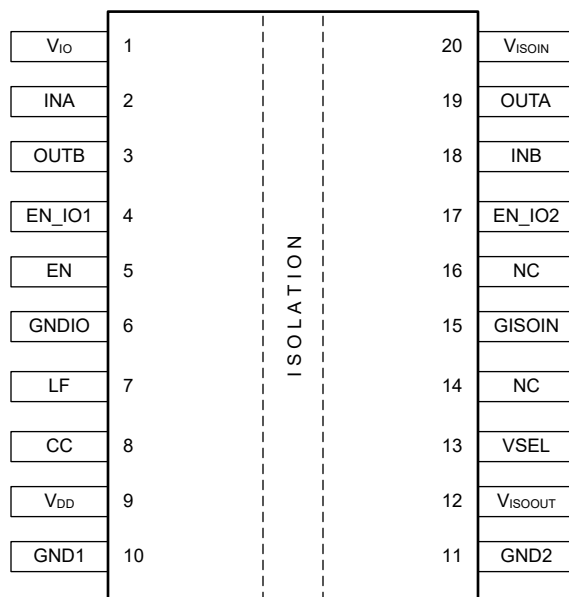


图 4-1. ISOW7721 DFM 封装 20 引脚 SOIC 顶视图

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号 ISOW7721		
EN_IO1	4	I	输出使能 1：当 EN_IO1 为高电平或开路时，使能 1 侧的通道输出引脚。当 EN_IO1 为低电平时，1 侧的通道输出引脚处于高阻抗状态，禁用 1 侧的通道输入引脚发送器。
EN_IO2	17	I	输出使能 2：当 EN_IO2 为高电平或开路时，使能 2 侧的通道输出引脚。当 EN_IO2 为低电平时，2 侧的通道输出引脚处于高阻抗状态，禁用 2 侧的通道输入引脚发送器。
GNDIO	6	—	V _{IO} 的接地连接。GND1 和 GNDIO 需在电路板上短接。
GISOIN	15	—	V _{ISOIN} 的接地连接。GND2 和 GISOIN 引脚可以在电路板上短接或通过铁氧体磁珠连接。有关更多信息，请参阅 布局部分 。
GND1	10	—	V _{DD} 的接地连接。GND1 和 GNDIO 需在电路板上短接。
GND2	11	—	V _{ISOOUT} 的接地连接。GND2 和 GISOIN 引脚可以在电路板上短接或通过铁氧体磁珠连接。有关更多信息，请参阅 布局部分 。
INA	2	I	输入通道 A
INB	18	I	输入通道 B
CC	8	I/O	多器件初级侧/次级侧同步引脚。 当 LF 设置为 GND1 时，CC 为输出，用于同步到另一个 ISOW7721。当 LF 设置为 V _{DD} 时，CC 为输入。将初级侧器件的 CC 引脚连接到所有次级侧器件。如果未使用 CC，则保持其悬空。 有关更多信息，请参阅 多器件级联以增加功率输出 。
LF	7	I	多器件初级侧/次级侧控制逻辑。 用作初级侧器件时，将 LF 连接到 GND1；用作次级侧器件时，连接到 V _{DD} 。在不进行电源转换器级联时，如果用作独立器件，将 LF 连接到 GND1。 有关更多信息，请参阅 多器件级联以增加功率输出 。
OUTA	19	O	输出通道 A
OUTB	3	O	输出通道 B

表 4-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号 ISOW7721		
EN	5	I/O	电源转换器使能输入引脚：用于使能和禁用集成式 DC-DC 电源转换器。可直接连接到微控制器，或通过串联限流电阻器连接以用作使能输入引脚。当 EN 为高电平（达到 V_{IO} 电压电平）时，使能 DC-DC 电源转换器；当 EN 为低电平（GND1 电压电平）时禁用。 有关更多信息，请参阅 节 7.3.3
VSEL	13	I	V_{ISOOUT} 选择引脚。当 VSEL 短接至 V_{ISOOUT} 时， $V_{ISOOUT} = 5V$ 。当 VSEL 短接至 GND2 时， $V_{ISOOUT} = 3.3V$ 。有关更多信息，请参阅 器件功能模式 。
V_{IO}	1	—	1 侧逻辑电源。
V_{DD}	9	—	1 侧 DC-DC 转换器电源。
V_{ISOIN}	20	—	隔离通道的 2 侧电源电压。 V_{ISOIN} 和 V_{ISOOUT} 引脚可以在电路板上短接或通过铁氧体磁珠连接。有关更多信息，请参阅 应用和实施 。
V_{ISOOUT}	12	—	隔离式电源转换器输出电压。 V_{ISOIN} 和 V_{ISOOUT} 引脚可以在电路板上短接或通过铁氧体磁珠连接。有关更多信息，请参阅 应用和实施 。

(1) I = 输入；O = 输出；I/O = 输入或输出

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾ ⁽²⁾

		最小值	最大值	单位
V_{DD}	电源转换器电源电压	-0.5	6	V
V_{ISOIN}	隔离式电源电压, 次级侧隔离通道的输入电源	-0.5	6	V
V_{ISOOUT}	隔离式电源电压, 电源转换器输出 VSEL 短接至 GND2	-0.5	4	V
V_{ISOOUT}	隔离式电源电压, 电源转换器输出 VSEL 短接至 V_{ISOOUT}	-0.5	6	V
V_{IO}	初级侧逻辑电源电压	-0.5	6	V
V_{LF}	LF 处的电压	-0.5	6	V
V	INx、OUTx、EN_IOx 处的电压 ⁽³⁾	-0.5	$V_{SI} + 0.5$	V
	EN/FLT 处的电压	-0.5	$V_{SI} + 0.5$	V
	VSEL 处的电压	-0.5	$V_{ISOOUT} + 0.5$	V
I_O	通过数据通道的最大输出电流	-15	15	mA
T_J	结温	-40	150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。

(2) V_{DD} 、 V_{ISOIN} 、 V_{ISOOUT} 和 V_{IO} 以本地接地引脚 (GND1 或 GND2) 为基准。除差分 I/O 总线电压外的所有电压值都是峰值电压值。

(3) V_{SI} = 输入侧电源; 不能超过 6V。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾ HBM ESD 分类等级 2	±3000	V
		充电器件模型 (CDM), 符合 AEC Q100 - 011 CDM ESD 分类等级 C6	±1500	
		根据 IEC 61000-4-2 进行接触放电 ⁽²⁾ 隔离栅耐受测试	±8000	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

(2) 在隔离栅上施加 IEC ESD 冲击并将两侧的所有引脚都连在一起构成一个双端子器件。

5.3 建议运行条件

在建议运行条件下测得，典型值在 $V_{DD} = V_{IO} = 3.3V$ 且 $T_A = 25^\circ C$ ， $GND1 = GNDIO$ ， $GND2 = GISOIN$ 的条件下测得（除非另有说明）

			最小值	标称值	最大值	单位
电源转换器						
V_{DD}	电源转换器电源电压	3.3V 工作电压	2.97	3.3	3.63	V
		5V 工作电压	4.5	5	5.5	V
$V_{DD(UVLO+)}$	电源转换器电源上升时的正阈值	电源转换器电源上升时的正阈值		2.7	2.95	V
$V_{DD(UVLO-)}$	电源转换器电源下降时的正阈值	电源转换器电源下降时的正阈值	2.40	2.55		V
$V_{DD(HYS)}$	电源转换器电源电压迟滞	电源转换器电源电压迟滞	0.15			V
通道隔离						
V_{IO} 、 V_{ISOIN} ⁽³⁾	通道逻辑电源电压	1.8V 工作电压	1.71		1.89	V
		2.5V、3.3V 和 5V 工作电压	2.25		5.5	V
$V_{IO(UVLO+)}$	逻辑电源电压的上升阈值			1.55	1.7	V
$V_{IO(UVLO-)}$	逻辑电源电压的下降阈值		1.0	1.41		V
$V_{IO(HYS)}$	逻辑电源电压迟滞		75			mV
I_{OH}	高电平输出电流 ⁽¹⁾	$V_{ISOIN} = 5V$	-4			mA
		$V_{ISOIN} = 3.3V$	-2			mA
		$V_{ISOIN} = 2.5V$	-1			mA
		$V_{ISOIN} = 1.8V$	-1			mA
I_{OL}	低电平输出电流 ⁽¹⁾	$V_{ISOIN} = 5V$			4	mA
		$V_{ISOIN} = 3.3V$			2	mA
		$V_{ISOIN} = 2.5V$			1	mA
		$V_{ISOIN} = 1.8V$			1	mA
V_{IH}	高电平输入电压 ⁽²⁾		$0.7 \times V_{SI}$		V_{SI}	V
V_{IL}	低电平输入电压		0		$0.3 \times V_{SI}$	V
DR	数据速率				100	Mbps
t_{PWRUP}	通道隔离器在加电或 EN/FLT 为高电平后就绪	$V_{ISOIN} > V_{IO(UVLO+)}$		5		ms
T_A	环境温度		-40		125	$^\circ C$

(1) 此电流用于数据输出通道。

(2) V_{SI} = 输入侧电源； V_{SO} = 输出侧电源

(3) $1.89V < V_{SI} < 2.25V$ 和 $1.05V < V_{SI} < 1.71V$ 时，通道输出为不确定状态

5.4 热性能信息

热指标 ⁽¹⁾		ISOW7721	单位
		DFM (SOIC)	
		20 引脚	
$R_{\theta JA}$	结至环境热阻	68.5	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	24.6	°C/W
$R_{\theta JB}$	结至电路板热阻	53.7	°C/W
Ψ_{JT}	结至顶部特征参数	17.1	°C/W
Ψ_{JB}	结至电路板特征参数	50.9	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#)。

5.5 功率等级

参数		测试条件	最小值	典型值	最大值	单位
P_D	最大功耗 (两侧)	$V_{DD} = 5.5V$, $V_{IO} = 5.5V$, $V_{ISOOUT} = 5V$, $I_{ISOOUT} = 110mA$, $T_J = 150^\circ C$, $T_A \leq 80^\circ C$, $C_L = 15pF$, 输入 50MHz 50% 占空比方波			1.48	W
P_{D1}	最大功耗 (1 侧)				0.74	W
P_{D2}	最大功耗 (2 侧)				0.74	W

5.6 绝缘规格

参数		测试条件	值	单位
常规				
CLR	外部间隙 ⁽¹⁾	端子间的最短空间距离	>8	mm
CPG	外部爬电距离 ⁽¹⁾	端子间的最短封装表面距离	>8	mm
DTI	绝缘穿透距离	最小内部间隙 (内部间隙 - 电容式信号隔离)	> 17	μm
		最小内部间隙 (内部间隙 - 变压器电源隔离)	>120	
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11) ; IEC 60112	>600	V
	材料组	符合 IEC 60664-1	I	
	过压类别 (符合 IEC 60664-1)	额定市电电压 ≤ 300V _{RMS}	I-IV	
		额定市电电压 ≤ 600V _{RMS}	I-IV	
		额定市电电压 ≤ 1000V _{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) ⁽²⁾				
V _{IORM}	最大重复峰值隔离电压	交流电压 (双极)	1500	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压; 时间依赖型电介质击穿 (TDDb) 测试	1000	V _{RMS}
		直流电压	1500	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} ; t = 60s (鉴定测试) ; V _{TEST} = 1.2 × V _{IOTM} ; t = 1s (100% 生产测试)	7071	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ⁽³⁾	测试方法符合 IEC 62368-1, 1.2/50μs 波形	10000	V _{PK}
q _{pd}	视在电荷 ⁽⁴⁾	方法 a, 输入/输出安全测试子组 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60s , V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10s	≤5	pC
		方法 a, 环境测试子组 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60s ; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10s	≤5	
		常规测试 (100% 生产测试) , V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1s , 方法 b1 : V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1s 或 方法 b2 : V _{pd(m)} = V _{ini} , t _m = t _{ini}	≤5	
C _{IO}	势垒电容, 输入至输出 ⁽⁵⁾	V _{IO} = 0.4 × sin (2 π ft) , f = 1MHz	3.5	pF
R _{IO}	绝缘电阻 ⁽⁵⁾	V _{IO} = 500V , T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500V , 100°C ≤ T _A ≤ 125°C	>10 ¹¹	
		V _{IO} = 500V , T _S = 150°C	>10 ⁹	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V _{ISO(UL)}	可承受的隔离电压	V _{TEST} = V _{ISO(UL)} = 5000V _{RMS} , t = 60s (鉴定测试) , V _{TEST} = 1.2 × V _{ISO(UL)} = 6000V _{RMS} , t = 1s (100% 生产测试)	5000	V _{RMS}

- (1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙, 从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下, 印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
- (2) ISOW7721 仅适用于安全额定值范围内的安全电气绝缘。应借助合适的保护电路来确保符合安全等级。
- (3) 在空气或油中执行测试, 以确定隔离栅的固有浪涌抗扰度。
- (4) 视在电荷是局部放电 (pd) 引起的电气放电。
- (5) 将隔离栅每一侧的所有引脚都连在一起, 构成一个双端子器件。

5.7 安全相关认证

VDE	CSA	UL	CQC	TUV
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	根据 IEC 62368-1、IEC 61010-1 和 IEC 60601-1 进行了认证	在 UL 1577 组件认证计划下进行了认证	根据 GB 4943.1 进行了认证	根据 EN 61010-1 和 EN 62368-1 进行了认证
证书编号：40040142	主合同编号：220991	文件编号：E181974	证书编号： CQC21001297517	客户端 ID 编号：77311

5.8 安全限值

安全限制旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	最小值	典型值	最大值	单位
I _S	安全输入、输出或电源电流 ⁽¹⁾	R _{θJA} = 68.5°C/W, V _I = 5.5V, T _J = 150°C, T _A = 25°C			332	mA
		R _{θJA} = 68.5°C/W, V _I = 3.6V, T _J = 150°C, T _A = 25°C			507	
P _S	安全输入、输出或总功率 ⁽¹⁾	R _{θJA} = 68.5°C/W, T _J = 150°C, T _A = 25°C			1825	mW
T _S	最高安全温度 ⁽¹⁾				150	°C

- (1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随着环境温度 T_A 的变化而变化。

热性能信息表中的结至空气热阻 R_{θJA} 是安装在引线式表面贴装封装高 K 测试板上的器件热阻。可使用这些公式计算各参数值：

T_J = T_A + R_{θJA} × P, 其中, P 为器件所耗功率。

T_{J(max)} = T_S = T_A + R_{θJA} × P_S, 其中 T_{J(max)} 为允许的最大结温。

P_S = I_S × V_I, 其中 V_I 为最大输入电压。

5.9 电气特性 - 电源转换器

$V_{DD} = 5V \pm 10\%$ 或 $3.3V \pm 10\%$, V_{ISOIN} 由外部供电, $GND1 = GNDIO$, $GND2 = GISOIN$ (在建议运行条件下测得, 除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
$V_{DD} = 5V$, $V_{ISOOUT} = 5V$, $V_{SEL} = V_{ISOOUT}$						
V_{ISOOUT}	隔离式电源电压	外部 $I_{ISOOUT} = 0mA$ 至 $55mA$	4.75	5	5.25	V
V_{ISOOUT}	隔离式电源电压	外部 $I_{ISOOUT} = 0mA$ 至 $110mA$	4.5	5	5.25	V
$V_{ISOOUT(LINE)}$	直流线路调整	$I_{ISOOUT} = 55mA$, $V_{DD} = 4.5V$ 至 $5.5V$		2		mV/V
$V_{ISOOUT(LOAD)}$	直流负载调整	$I_{ISOOUT} = 0$ 至 $110mA$		1%		
EFF	最大负载电流时的效率 ⁽¹⁾	$I_{ISOOUT} = 110mA$, $C_{LOAD} = 0.01\mu F \parallel 10\mu F$; $V_I = V_{DD}$ (ISOW772x); $V_O = 0V$ (带有 F 后缀的 ISOW772x)。		46%		
$V_{ISOOUT(RIP)}$	隔离式电源上的输出纹波 (pk-pk)	20MHz 带宽, $C_{LOAD} = 0.01\mu F \parallel 20\mu F$, $I_{ISOOUT} = 110mA$		24		mV
I_{ISOOUT_SC}	短路条件下 V_{ISOOUT} 上来自 V_{DD} 电源的直流电流	V_{ISOOUT} 短接至 $GND2$		250		mA
$V_{DD} = 5V$, $V_{ISOOUT} = 3.3V$, $V_{SEL} = GND2$						
V_{ISOOUT}	隔离式电源电压	外部 $I_{ISOOUT} = 0mA$ 至 $70mA$	3.135	3.3	3.465	V
V_{ISOOUT}	隔离式电源电压	外部 $I_{ISOOUT} = 0mA$ 至 $140mA$	3.135	3.3	3.465	V
$V_{ISOOUT(LINE)}$	直流线路调整	$I_{ISOOUT} = 70mA$, $V_{DD} = 4.5V$ 至 $5.5V$		2		mV/V
$V_{ISOOUT(LOAD)}$	直流负载调整	$I_{ISOOUT} = 0$ 至 $140mA$		1%		
EFF	最大负载电流时的效率 ⁽¹⁾	$I_{ISOOUT} = 140mA$, $C_{LOAD} = 0.01\mu F \parallel 10\mu F$; $V_I = V_{DD}$ (ISOW772x); $V_O = 0V$ (带有 F 后缀的 ISOW772x)。		36%		
$V_{ISOOUT(RIP)}$	隔离式电源上的输出纹波 (pk-pk)	20MHz 带宽, $C_{LOAD} = 0.01\mu F \parallel 20\mu F$, $I_{ISOOUT} = 110mA$		30		mV
I_{ISOOUT_SC}	短路条件下 V_{ISOOUT} 上来自 V_{DD} 电源的直流电流	V_{ISOOUT} 短接至 $GND2$		250		mA
$V_{DD} = 3.3V$, $V_{ISOOUT} = 3.3V$, $V_{SEL} = GND2$						
V_{ISOOUT}	隔离式电源电压	外部 $I_{ISOOUT} = 0mA$ 至 $30mA$	3.135	3.3	3.465	V
V_{ISOOUT}	隔离式电源电压	外部 $I_{ISOOUT} = 0mA$ 至 $60mA$	3.135	3.3	3.465	V
$V_{ISOOUT(LINE)}$	直流线路调整	$I_{ISOOUT} = 30mA$, $V_{DD} = 3.0V$ 至 $3.6V$		2		mV/V
$V_{ISOOUT(LOAD)}$	直流负载调整	$I_{ISOOUT} = 0$ 至 $60mA$		1%		
EFF	最大负载电流时的效率 ⁽¹⁾	$I_{ISOOUT} = 60mA$, $C_{LOAD} = 0.01\mu F \parallel 10\mu F$; $V_I = V_{DD}$ (ISOW772x); $V_O = 0V$ (带有 F 后缀的 ISOW772x)。		43%		
$V_{ISOOUT(RIP)}$	隔离式电源上的输出纹波 (pk-pk)	20MHz 带宽, $C_{LOAD} = 0.01\mu F \parallel 20\mu F$, $I_{ISOOUT} = 60mA$		14		mV
I_{ISOOUT_SC}	短路条件下 V_{ISOOUT} 上来自 V_{DD} 电源的直流电流	V_{ISOOUT} 短接至 $GND2$		185		mA

(1) 电源转换器 I_{LOAD} = 为次级侧供电所需的电流。 I_{LOAD} 不考虑通道隔离器电流。有关详细信息, 请参阅“电源电流特性通道隔离器”部分。

5.10 电源电流特性 - 电源转换器

$V_{DD} = 5V \pm 10\%$ 或 $3.3V \pm 10\%$, $GND1 = GNDIO$, $GND2 = GISOIN$ (在建议运行条件下测得, 除非另有说明)。

参数	测试条件	电源电流	最小值	典型值	最大值	单位
禁用电源转换器						
电源转换器电源电流	EN/FLT = GND1, $V_{ISOOUT} = \text{无 } I_{LOAD}$	I_{DD}	0.28	0.45		mA
逻辑电源电流	EN/FLT = GND1	I_{IO}	0.27	0.57		mA
使能电源转换器						
电源转换器电源电流输入	$V_{DD} = 5V$, $V_{SEL} = V_{ISOOUT}$	$I_{LOAD} = 55mA$	I_{DD}	115	171	mA
	$V_{DD} = 5V$, $V_{SEL} = V_{ISOOUT}$	$I_{LOAD} = 110mA$		225	316	mA
	$V_{DD} = 5V$, $V_{SEL} = GND2$	$I_{LOAD} = 70mA$		127	169	mA
	$V_{DD} = 5V$, $V_{SEL} = GND2$	$I_{LOAD} = 140mA$		250	310	mA
	$V_{DD} = 3.3V$, $V_{SEL} = GND2$	$I_{LOAD} = 30mA$		74	112	mA
	$V_{DD} = 3.3V$, $V_{SEL} = GND2$	$I_{LOAD} = 60mA$		143	216	mA
电源转换器输出电流 ⁽¹⁾	$V_{DD} = 5V$	$V_{SEL} = V_{ISOOUT}$	I_{ISOOUT}	110		mA
	$V_{DD} = 5V$	$V_{SEL} = GND2$		140		mA
	$V_{DD} = 3.3V$	$V_{SEL} = GND2$		60		mA

(1) I_{LOAD} 不考虑通道隔离器电流。有关详细信息, 请参阅“电源电流特性通道隔离器”部分。

5.11 电气特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 5V$

V_{IO} 、 $V_{ISOIN} = 5V \pm 10\%$ ，GND1 = GNDIO，GND2 = GISOIN (在建议运行条件下测得，除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
通道隔离					
V_{ITH}	输入引脚上升阈值			$0.7 \times V_{SI}$	V
V_{ITL}	输入引脚下降阈值			$0.3 \times V_{SI}$	V
$V_{I(HYS)}$	输入引脚阈值迟滞 (INx)			$0.1 \times V_{SI}$	V
I_{IL}	低电平输入电流	$V_{IL} = 0$ (在 INx 处)		-25	μA
I_{IH}	高电平输入电流	$V_{IH} = V_{SI}$ ⁽¹⁾ (在 INx 处)		25	μA
V_{OH}	高电平输出电压	$I_O = -4 \text{ mA}$ ，请参阅 开关特性测试电路和电压波形	V_{SO} ⁽¹⁾ - 0.4		V
V_{OL}	低电平输出电压	$I_O = 4 \text{ mA}$ ，请参阅 开关特性测试电路和电压波形		0.4	V
CMTI	共模瞬态抗扰度	$V_I = V_{SI}$ 或 0V， $V_{CM} = 1000V$ ；请参阅 共模瞬态抗扰度测试电路	85	100	kV/ μs

(1) V_{SI} = 输入侧电源； V_{SO} = 输出侧电源

5.12 电源电流特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 5V$

V_{IO} 、 $V_{ISOIN} = 5V \pm 10\%$ ；GND1 = GNDIO，GND2 = GISOIN (在建议运行条件下测得，除非另有说明)

参数	测试条件	电源电流	最小值	典型值	最大值	单位
ISOW7721 通道电源电流						
电源电流 - 禁用	$EN_IO1 = EN_IO2 = 0V$ ； $V_I = V_{CCI}$ ⁽¹⁾ (ISOW7721)； $V_I = 0V$ (带有后缀 F 的 ISOW7721)	I_{DD_IO}	3.5	6		mA
		I_{ISOIN}	3.5	5		mA
		I_{DD_IO}	3.5	6		mA
		I_{ISOIN}	3.5	5		mA
通道电源电流 - 直流信号	$EN_IO1 = EN_IO2 = V_{CCI}$ ； $V_I = V_{CCI}$ (ISOW7721)； $V_I = 0V$ (带有后缀 F 的 ISOW7721)	I_{DD_IO}	3.5	6		mA
		I_{ISOIN}	3.5	5		mA
	$EN_IO1 = EN_IO2 = V_{CCI}$ ； $V_I = 0V$ (ISOW7721)； $V_I = V_{CCI}$ (带有后缀 F 的 ISOW7721)	I_{DD_IO}	4.5	7		mA
		I_{ISOIN}	5	7		mA
通道电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关； $C_L = 15pF$	1Mbps	I_{DD_IO}	4	6.5	mA
			I_{ISOIN}	4	6	mA
		10Mbps	I_{DD_IO}	4.8	7	mA
			I_{ISOIN}	4.9	6.7	mA
		100Mbps	I_{DD_IO}	11.6	14.6	mA
			I_{ISOIN}	11.8	14.3	mA

(1) $V_{CCI} = V_{IO}$ 或 V_{ISOIN}

5.13 电气特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 3.3V$

V_{IO} 、 $V_{ISOIN} = 3.3V \pm 10\%$ ，GND1 = GNDIO，GND2 = GISOIN (在建议运行条件下测得，除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
通道隔离					
V_{ITH}	输入引脚上升阈值			$0.7 \times V_{SI}$	V
V_{ITL}	输入引脚下降阈值			$0.3 \times V_{SI}$	V
$V_{I(HYS)}$	输入引脚阈值迟滞 (INx)			$0.1 \times V_{SI}$	V
I_{IL}	低电平输入电流	$V_{IL} = 0$ (在 INx 处)		-25	μA
I_{IH}	高电平输入电流	$V_{IH} = V_{SI}$ ⁽¹⁾ (在 INx 处)		25	μA
V_{OH}	高电平输出电压	$I_O = -4$ mA，请参阅 开关特性测试电路和电压波形	V_{SO} ⁽¹⁾ - 0.3		V
V_{OL}	低电平输出电压	$I_O = 4$ mA，请参阅 开关特性测试电路和电压波形		0.3	V
CMTI	共模瞬态抗扰度	$V_I = V_{SI}$ 或 0V， $V_{CM} = 1000V$ ；请参阅 共模瞬态抗扰度测试电路	85	100	kV/ μs

(1) V_{SI} = 输入侧电源； V_{SO} = 输出侧电源

5.14 电源电流特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 3.3V$

V_{IO} 、 $V_{ISOIN} = 3.3V \pm 10\%$ ，GND1 = GNDIO，GND2 = GISOIN (在建议运行条件下测得，除非另有说明)

参数	测试条件	电源电流	最小值	典型值	最大值	单位
ISOW7721 通道电源电流						
电源电流 - 禁用	$EN_{IO1} = EN_{IO2} = 0V$ ； $V_I = V_{CCI}$ ⁽¹⁾ (ISOW7721)； $V_I = 0V$ (带有后缀 F 的 ISOW7721)	I_{DD_IO}	3.5	6		mA
		I_{ISOIN}	3.5	5		mA
		I_{DD_IO}	3.5	6		mA
		I_{ISOIN}	3.5	5		mA
通道电源电流 - 直流信号	$EN_{IO1} = EN_{IO2} = V_{CCI}$ ； $V_I = V_{CCI}$ (ISOW7721)； $V_I = 0V$ (带有后缀 F 的 ISOW7721)	I_{DD_IO}	3.5	6		mA
		I_{ISOIN}	3.5	5		mA
	$EN_{IO1} = EN_{IO2} = V_{CCI}$ ； $V_I = 0V$ (ISOW7721)； $V_I = V_{CCI}$ (带有后缀 F 的 ISOW7721)	I_{DD_IO}	4.5	7		mA
		I_{ISOIN}	5	7		mA
通道电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关； $C_L = 15pF$	1Mbps	I_{DD_IO}	4	6.5	mA
			I_{ISOIN}	4	6	mA
		10Mbps	I_{DD_IO}	4.4	6.7	mA
			I_{ISOIN}	4.6	6.4	mA
		100Mbps	I_{DD_IO}	8.6	11.7	mA
			I_{ISOIN}	8.7	11.4	mA

(1) $V_{CCI} = V_{IO}$ 或 V_{ISOIN}

5.15 电气特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 2.5V$

V_{IO} 、 $V_{ISOIN} = 2.5V \pm 10\%$ ，GND1 = GNDIO，GND2 = GISOIN (在建议运行条件下测得，除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
通道隔离					
V_{ITH}	输入引脚上升阈值			$0.7 \times V_{SI}$	V
V_{ITL}	输入引脚下降阈值			$0.3 \times V_{SI}$	V
$V_{I(HYS)}$	输入引脚阈值迟滞 (INx)			$0.1 \times V_{SI}$	V
I_{IL}	低电平输入电流	$V_{IL} = 0$ (在 INx 处)		-25	μA
I_{IH}	高电平输入电流	$V_{IH} = V_{SI}$ ⁽¹⁾ (在 INx 处)		25	μA
V_{OH}	高电平输出电压	$I_O = -4$ mA，请参阅 开关特性测试电路和电压波形	V_{SO} ⁽¹⁾ - 0.1		V
V_{OL}	低电平输出电压	$I_O = 4$ mA，请参阅 开关特性测试电路和电压波形		0.1	V
CMTI	共模瞬态抗扰度	$V_I = V_{SI}$ 或 0V， $V_{CM} = 1000V$ ；请参阅 共模瞬态抗扰度测试电路	85	100	kV/ μs

(1) V_{SI} = 输入侧电源； V_{SO} = 输出侧电源

5.16 电源电流特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 2.5V$

V_{IO} 、 $V_{ISOIN} = 2.5V \pm 10\%$ ；GND1 = GNDIO，GND2 = GISOIN (在建议运行条件下测得，除非另有说明)

参数	测试条件	电源电流	最小值	典型值	最大值	单位
ISOW7721 通道电源电流						
电源电流 - 禁用	$EN_{IO1} = EN_{IO2} = 0V$ ； $V_I = V_{CCI}$ ⁽¹⁾ (ISOW7721)； $V_I = 0V$ (带有后缀 F 的 ISOW7721)	I_{DD_IO}	3.5	6		mA
		I_{ISOIN}	3.5	5		mA
		I_{DD_IO}	3.5	6		mA
		I_{ISOIN}	3.5	5		mA
通道电源电流 - 直流信号	$EN_{IO1} = EN_{IO2} = V_{CCI}$ ； $V_I = V_{CCI}$ (ISOW7721)； $V_I = 0V$ (带有后缀 F 的 ISOW7721)	I_{DD_IO}	3.5	6		mA
		I_{ISOIN}	3.5	5		mA
	$EN_{IO1} = EN_{IO2} = V_{CCI}$ ； $V_I = 0V$ (ISOW7721)； $V_I = V_{CCI}$ (带有后缀 F 的 ISOW7721)	I_{DD_IO}	4.5	7		mA
		I_{ISOIN}	5	7		mA
通道电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关； $C_L = 15pF$	1Mbps	I_{DD_IO}	4	6	mA
			I_{ISOIN}	4	6	mA
		10Mbps	I_{DD_IO}	4.3	6.5	mA
			I_{ISOIN}	4.4	6.1	mA
		100Mbps	I_{DD_IO}	7.2	10	mA
			I_{ISOIN}	7.4	9.7	mA

(1) $V_{CCI} = V_{IO}$ 或 V_{ISOIN}

5.17 电气特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 1.8V$

V_{IO} 、 $V_{ISOIN} = 1.8V \pm 5\%$ ，GND1 = GNDIO，GND2 = GISOIN (在建议运行条件下测得，除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
通道隔离					
V_{ITH}	输入引脚上升阈值			$0.7 \times V_{SI}$	V
V_{ITL}	输入引脚下降阈值			$0.3 \times V_{SI}$	V
$V_{I(HYS)}$	输入引脚阈值迟滞 (INx)			$0.1 \times V_{SI}$	V
I_{IL}	低电平输入电流	$V_{IL} = 0$ (在 INx 处)		-25	μA
I_{IH}	高电平输入电流	$V_{IH} = V_{SI}$ ⁽¹⁾ (在 INx 处)		25	μA
V_{OH}	高电平输出电压	$I_O = -4 \text{ mA}$ ，请参阅 开关特性测试电路和电压波形	V_{SO} ⁽¹⁾ - 0.1		V
V_{OL}	低电平输出电压	$I_O = 4 \text{ mA}$ ，请参阅 开关特性测试电路和电压波形		0.1	V
CMTI	共模瞬态抗扰度	$V_I = V_{SI}$ 或 0V， $V_{CM} = 1000V$ ；请参阅 共模瞬态抗扰度测试电路	85	100	kV/ μs

(1) V_{SI} = 输入侧电源； V_{SO} = 输出侧电源

5.18 电源电流特性通道隔离器 - V_{IO} 、 $V_{ISOIN} = 1.8V$

V_{IO} 、 $V_{ISOIN} = 1.8V \pm 5\%$ ；GND1 = GNDIO，GND2 = GISOIN (在建议运行条件下测得，除非另有说明)

参数	测试条件	电源电流	最小值	典型值	最大值	单位
ISOW7721 通道电源电流						
电源电流 - 禁用	$EN_{IO1} = EN_{IO2} = 0V$ ； $V_I = V_{CCI}$ ⁽¹⁾ (ISOW7721)； $V_I = 0V$ (带有后缀 F 的 ISOW7721)	I_{DD_IO}	3.5	6		mA
		I_{ISOIN}	3.5	5		mA
	$EN_{IO1} = EN_{IO2} = 0V$ ； $V_I = 0V$ (ISOW7721)； $V_I = V_{CCI}$ (带有后缀 F 的 ISOW7721)	I_{DD_IO}	3.5	6		mA
		I_{ISOIN}	3.5	5		mA
通道电源电流 - 直流信号	$EN_{IO1} = EN_{IO2} = V_{CCI}$ ； $V_I = V_{CCI}$ (ISOW7721)； $V_I = 0V$ (带有后缀 F 的 ISOW7721)	I_{DD_IO}	3.5	6		mA
		I_{ISOIN}	3.5	5		mA
	$EN_{IO1} = EN_{IO2} = V_{CCI}$ ； $V_I = 0V$ (ISOW7721)； $V_I = V_{CCI}$ (带有后缀 F 的 ISOW7721)	I_{DD_IO}	4.5	7		mA
		I_{ISOIN}	5	6		mA
通道电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关； $C_L = 15pF$	1Mbps	I_{DD_IO}	4	6	mA
			I_{ISOIN}	3.5	5	mA
		10Mbps	I_{DD_IO}	4.3	6.5	mA
			I_{ISOIN}	4.4	6.1	mA
		100Mbps	I_{DD_IO}	6.7	9.1	mA
			I_{ISOIN}	6.9	8.8	mA

(1) $V_{CCI} = V_{IO}$ 或 V_{ISOIN}

5.19 开关特性 - 5V 电源

$V_{ISOIN} = 5V \pm 10\%$, $V_{IO} = 5V \pm 10\%$, GND1 = GNDIO, GND2 = GISOIN (在建议运行条件下测得, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
t_{PLH} , t_{PHL}	传播延迟时间	7.6	10.7	15.7	ns
PWD	脉宽失真 ⁽¹⁾ $ t_{PHL} - t_{PLH} $		0.9	5	ns
$ENIO_t_{PLH}$, $ENIO_t_{PHL}$	ENIO 传播延迟时间 (相反侧)		210	473.8	ns
$t_{sk(o)}$	通道间输出偏斜时间 ⁽²⁾			4	ns
$t_{sk(pp)}$	器件间偏斜时间 ⁽³⁾			5.5	ns
t_r	输出信号上升时间		2.5	3.6	ns
t_f	输出信号下降时间		2.4	3.5	ns
t_{PHZ}	通道禁用传播延迟, 高电平至高阻抗输出		217	286	ns
t_{PLZ}	通道禁用传播延迟, 低电平至高阻抗输出		217	286	ns
t_{PZH}	通道使能传播延迟, 高阻抗至高电平输出, 适用于 ISOW7721		237	333	ns
	通道使能传播延迟, 高阻抗至高电平输出, 适用于带有后级 F 的 ISOW7721		237	333	ns
t_{PZL}	通道使能传播延迟, 高阻抗至低电平输出, 适用于 ISOW7721		237	333	ns
	通道使能传播延迟, 高阻抗至低电平输出, 适用于带有后级 F 的 ISOW7721		237	333	ns
t_{DO}	输入功率损耗的默认输出延时时间		0.1	0.3	μs
t_{ie}	时间间隔误差		0.7		ns

(1) 也称为脉冲偏斜。

(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜: 所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。

(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度: 在相同电源电压、温度、输入信号和负载下工作, 同时在相同方向上开关。

5.20 开关特性 - 3.3V 电源

$V_{ISOIN} = 3.3V \pm 10\%$, $V_{IO} = 3.3V \pm 10\%$, GND1 = GNDIO , GND2 = GISOIN (在建议运行条件下测得, 除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH} 、 t_{PHL}	传播延迟时间	请参阅 开关特性测试电路和电压波形	6	11	16.2	ns
PWD	脉宽失真 ⁽¹⁾ $ t_{PHL} - t_{PLH} $			0.6	4.7	ns
$ENIO_t_{PLH}$ 、 $ENIO_t_{PHL}$	ENIO 传播延迟时间 (相反侧)	请参阅 启用/禁用传播延时时间测试电路和波形		220	474	ns
$t_{sk(o)}$	通道间输出偏斜时间 ⁽²⁾	同向通道			4.1	ns
$t_{sk(pp)}$	器件间偏斜时间 ⁽³⁾				4.5	ns
t_r	输出信号上升时间	请参阅 开关特性测试电路和电压波形		1.8	2.7	ns
t_f	输出信号下降时间			1.6	2.4	ns
t_{PHZ}	通道禁用传播延迟, 高电平至高阻抗输出	请参阅 启用/禁用传播延时时间测试电路和波形		230	300.4	ns
t_{PLZ}	通道禁用传播延迟, 低电平至高阻抗输出			230	299.6	ns
t_{pZH}	通道使能传播延迟, 高阻抗至高电平输出, 适用于 ISOW7721			226	318.9	ns
	通道使能传播延迟, 高阻抗至高电平输出, 适用于带有后级 F 的 ISOW7721			226	319.1	ns
t_{pZL}	通道使能传播延迟, 高阻抗至低电平输出, 适用于 ISOW7721			225	317.9	ns
	通道使能传播延迟, 高阻抗至低电平输出, 适用于带有后级 F 的 ISOW7721			225	317.6	ns
t_{DO}	输入功率损耗的默认输出延时时间	从 V_{IO} 或 V_{ISOIN} 以 10mV/ns 降至低于 1.6V 时开始测量。请参阅 默认输出延时时间测试电路和电压波形		0.1	0.3	μs
t_{ie}	时间间隔误差	100Mbps 时的 PRBS 数据为 $2^{16} - 1$		0.65		ns

(1) 也称为脉冲偏斜。

(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜: 所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。

(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度: 在相同电源电压、温度、输入信号和负载下工作, 同时在相同方向上开关。

5.21 开关特性 - 2.5V 电源

$V_{ISOIN} = 2.5V \pm 10\%$, $V_{IO} = 2.5V \pm 10\%$, GND1 = GNDIO , GND2 = GISOIN (在建议运行条件下测得, 除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH} 、 t_{PHL}	传播延迟时间	请参阅 开关特性测试电路和电压波形	7.5	12	18	ns
PWD	脉宽失真 ⁽¹⁾ $ t_{PHL} - t_{PLH} $			0.36	5.1	ns
$ENIO_t_{PLH}$ 、 $ENIO_t_{PHL}$	ENIO 传播延迟时间 (相反侧)	请参阅 启用/禁用传播延时时间测试电路和波形		225	478	ns
$t_{sk(o)}$	通道间输出偏斜时间 ⁽²⁾	同向通道			4.1	ns
$t_{sk(pp)}$	器件间偏斜时间 ⁽³⁾				6	ns
t_r	输出信号上升时间	请参阅 开关特性测试电路和电压波形		2	3.26	ns
t_f	输出信号下降时间			1.8	3.2	ns
t_{PHZ}	通道禁用传播延迟, 高电平至高阻抗输出	请参阅 启用/禁用传播延时时间测试电路和波形		237	326	ns
t_{PLZ}	通道禁用传播延迟, 低电平至高阻抗输出			236	325	ns
t_{pZH}	通道使能传播延迟, 高阻抗至高电平输出, 适用于 ISOW7721			228	360	ns
	通道使能传播延迟, 高阻抗至高电平输出, 适用于带有后级 F 的 ISOW7721			228	360	ns
t_{pZL}	通道使能传播延迟, 高阻抗至低电平输出, 适用于 ISOW7721			227	350	ns
	通道使能传播延迟, 高阻抗至低电平输出, 适用于带有后级 F 的 ISOW7721			227	350	ns
t_{DO}	输入功率损耗的默认输出延时时间	从 V_{IO} 或 V_{ISOIN} 以 10mV/ns 降至低于 1.6V 时开始测量。请参阅 默认输出延时时间测试电路和电压波形		0.1	0.3	μs
t_{ie}	时间间隔误差	100Mbps 时的 PRBS 数据为 $2^{16} - 1$		0.7		ns

(1) 也称为脉冲偏斜。

(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜: 所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。

(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度: 在相同电源电压、温度、输入信号和负载下工作, 同时在相同方向上开关。

5.22 开关特性 - 1.8V 电源

$V_{ISOIN} = 1.8V \pm 5\%$, $V_{IO} = 1.8V \pm 5\%$, GND1 = GNDIO, GND2 = GISOIN (在建议运行条件下测得, 除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH} 、 t_{PHL}	传播延迟时间	请参阅 开关特性测试电路和电压波形	7.5	15	21.5	ns
PWD	脉宽失真 ⁽¹⁾ $ t_{PHL} - t_{PLH} $			0	5.8	ns
$ENIO_t_{PLH}$ 、 $ENIO_t_{PHL}$	ENIO 传播延迟时间 (相反侧)	请参阅 启用/禁用传播延时时间测试电路和波形		243	475	ns
$t_{sk(o)}$	通道间输出偏斜时间 ⁽²⁾	同向通道			4.1	ns
$t_{sk(pp)}$	器件间偏斜时间 ⁽³⁾				8.6	ns
t_r	输出信号上升时间	请参阅 开关特性测试电路和电压波形		1.9	3	ns
t_f	输出信号下降时间			1.8	3	ns
t_{PHZ}	通道禁用传播延迟, 高电平至高阻抗输出	请参阅 启用/禁用传播延时时间测试电路和波形		260	410	ns
t_{PLZ}	通道禁用传播延迟, 低电平至高阻抗输出			260	406	ns
t_{pZH}	通道使能传播延迟, 高阻抗至高电平输出, 适用于 ISOW7721			240	444	ns
	通道使能传播延迟, 高阻抗至高电平输出, 适用于带有后级 F 的 ISOW7721			240	444	ns
t_{pZL}	通道使能传播延迟, 高阻抗至低电平输出, 适用于 ISOW7721			237	439	ns
	通道使能传播延迟, 高阻抗至低电平输出, 适用于带有后级 F 的 ISOW7721			237	439	ns
t_{DO}	输入功率损耗的默认输出延时时间	从 V_{IO} 或 V_{ISOIN} 以 10mV/ns 降至低于 1.6V 时开始测量。请参阅 默认输出延时时间测试电路和电压波形		0.1	0.3	μs
t_{ie}	时间间隔误差	100Mbps 时的 PRBS 数据为 $2^{16} - 1$		0.7		ns

(1) 也称为脉冲偏斜。

(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜: 所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。

(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度: 在相同电源电压、温度、输入信号和负载下工作, 同时在相同方向上开关。

5.23 绝缘特性曲线

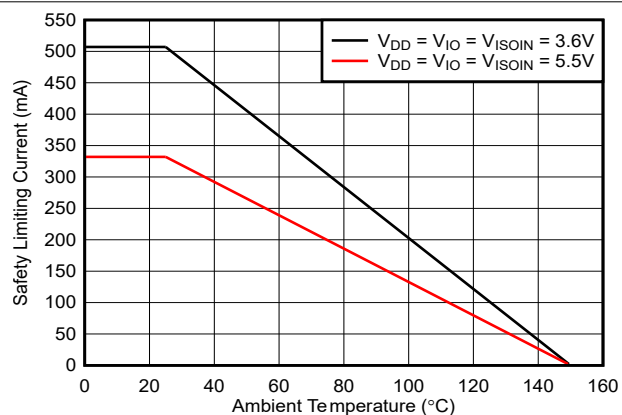


图 5-1. DFM-20 封装安全限制电流的热降额曲线

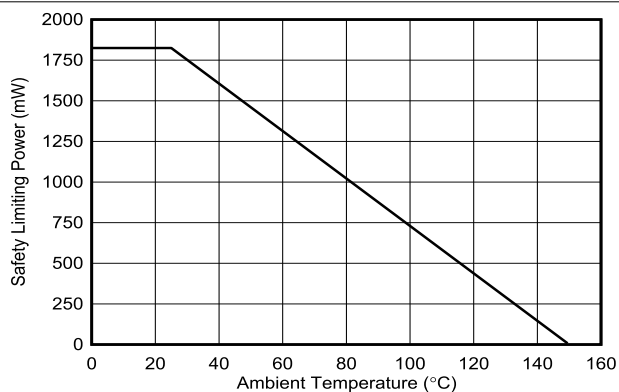


图 5-2. DFM-20 封装安全限制功率的热降额曲线

5.24 典型特性

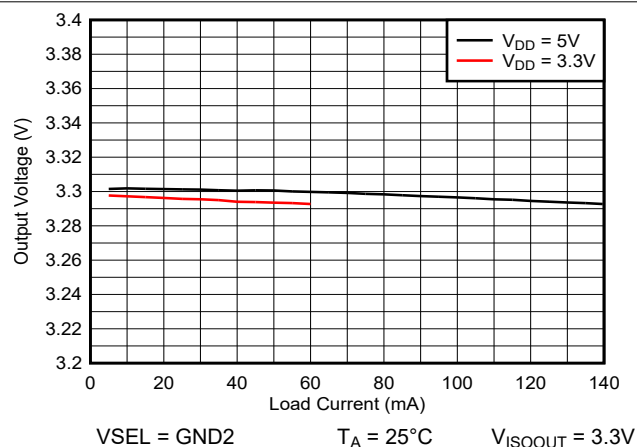


图 5-3. 隔离式电源电压 (V_{ISOOUT}) 与负载电流 (I_{ISOOUT}) 间的关系

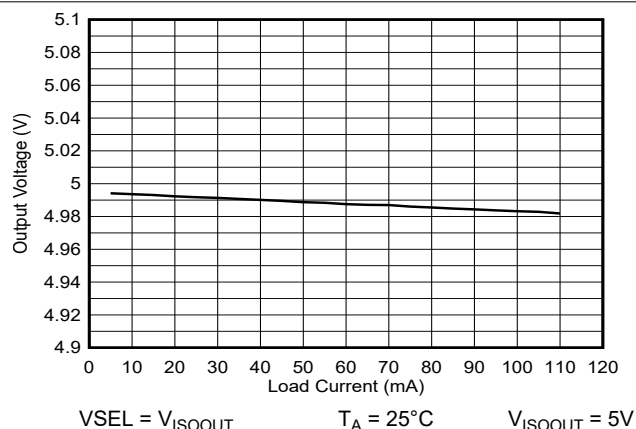


图 5-4. 隔离式电源电压 (V_{ISOOUT}) 与负载电流 (I_{ISOOUT}) 间的关系

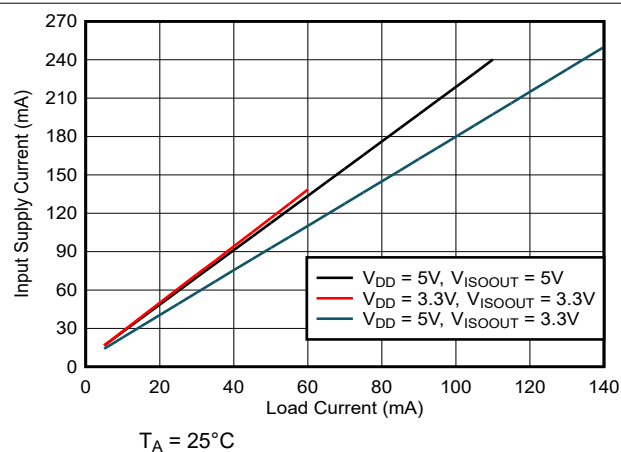


图 5-5. 输入电流 (I_{DD}) 与负载电流 (I_{ISOOUT}) 间的关系

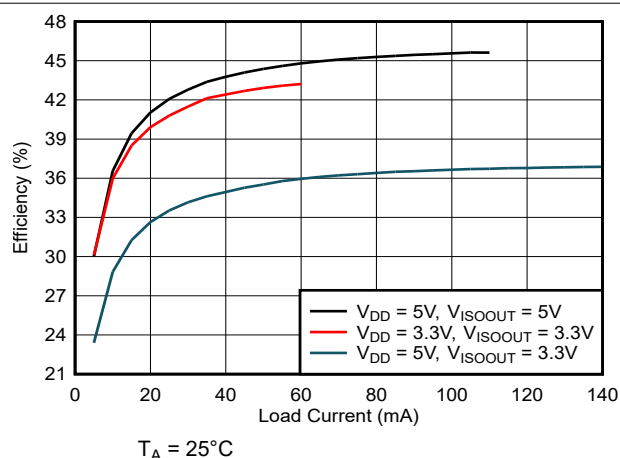


图 5-6. 效率与负载电流 (I_{ISOOUT}) 间的关系

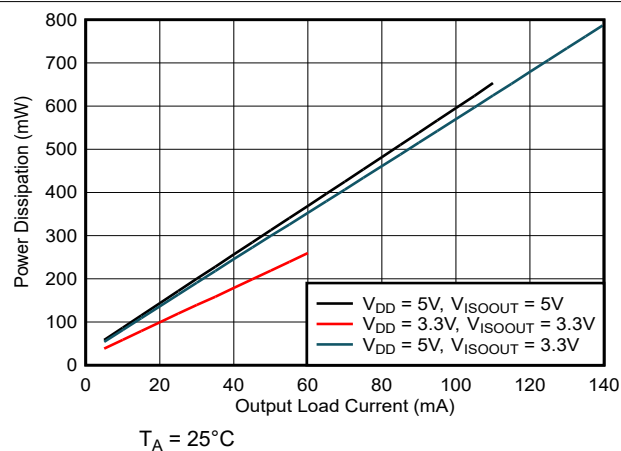


图 5-7. 功率损耗与负载电流 (I_{ISOOUT}) 间的关系

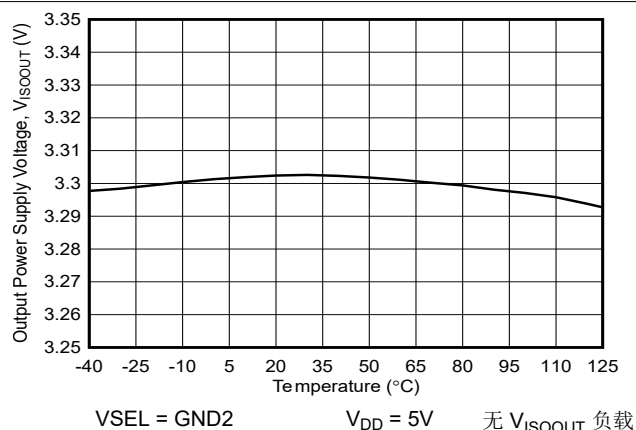


图 5-8. 3.3V 隔离式电源电压 (V_{ISOOUT}) 与自然通风条件下的温度间的关系

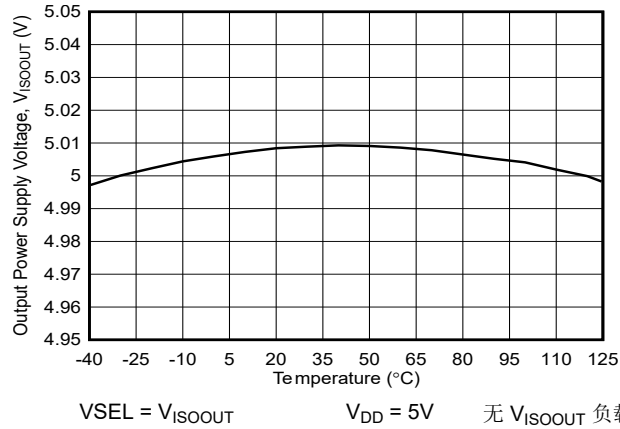


图 5-9. 5V 隔离式电源电压 (V_{ISOOUT}) 与自然通风条件下的温度间的关系

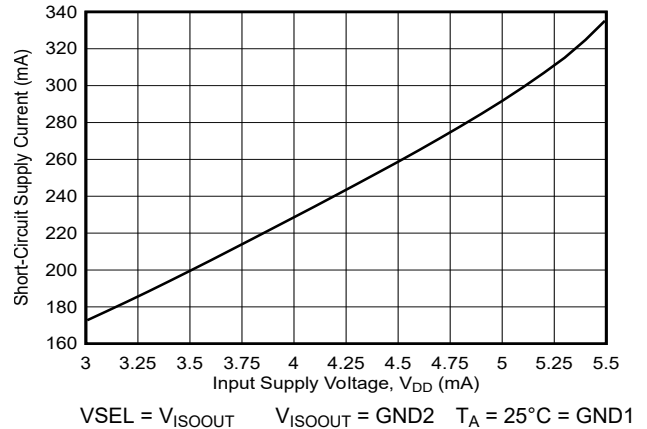


图 5-10. 短路电源电流 (I_{CC}) 与电源电压 (V_{CC}) 间的关系

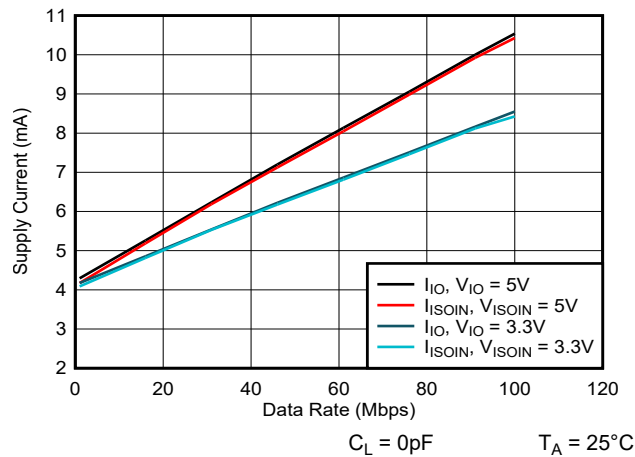


图 5-11. ISOW7721 通道电源电流与 $C_L = 15\text{pF}$ 时的数据速率间的关系

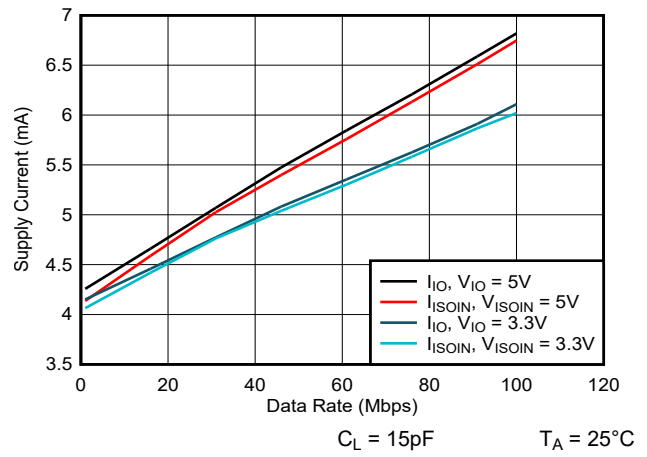


图 5-12. ISOW7721 通道电源电流与 $C_L = 0\text{pF}$ 时的数据速率间的关系

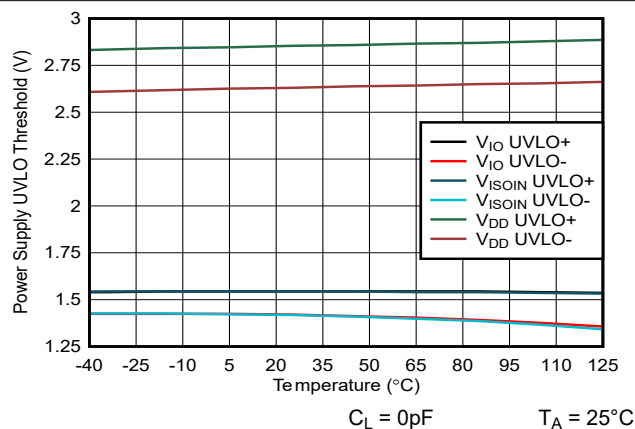


图 5-13. 电源欠压阈值与自然通风条件下的温度间的关系

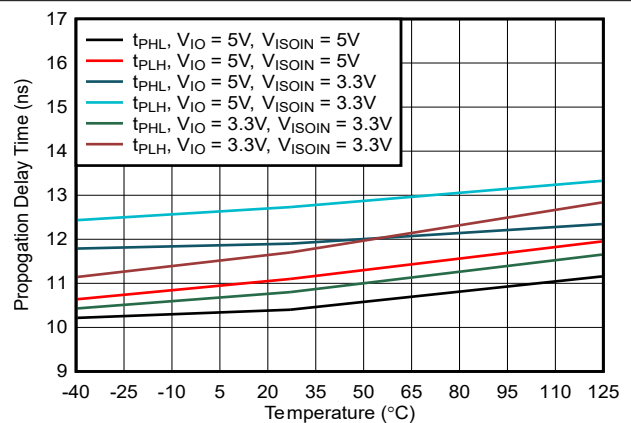


图 5-14. 传播延迟时间与自然通风条件下的温度间的关系

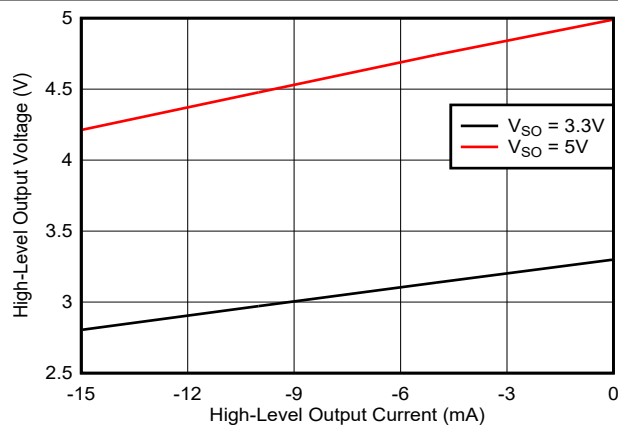


图 5-15. 高电平输出电压与高电平输出电流间的关系

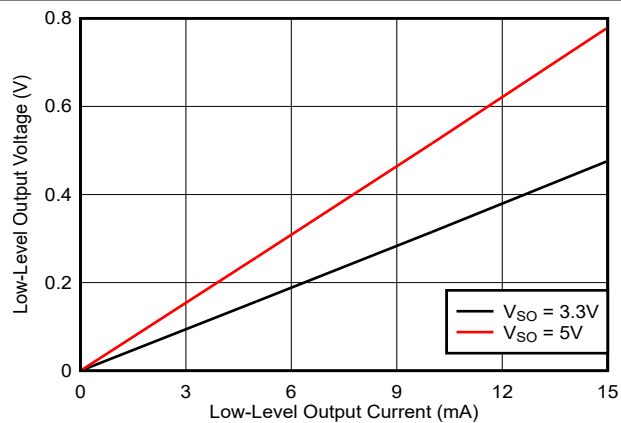


图 5-16. 低电平输出电压与低电平输出电流间的关系

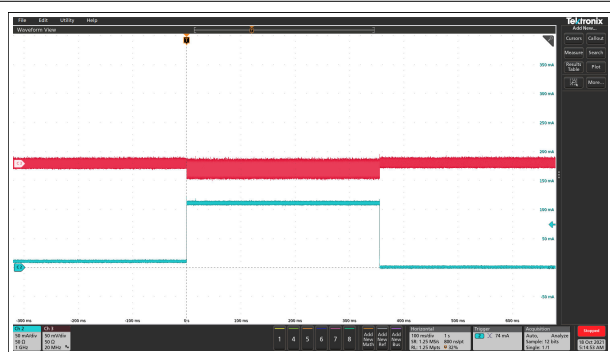
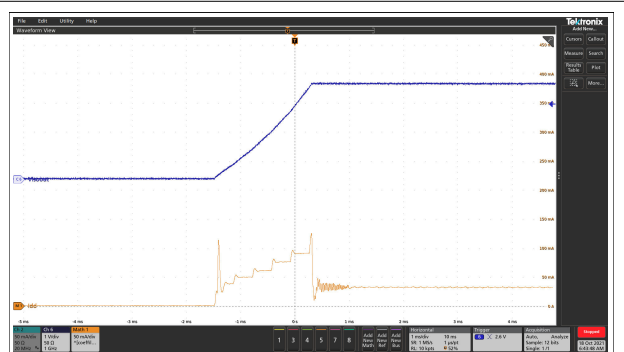
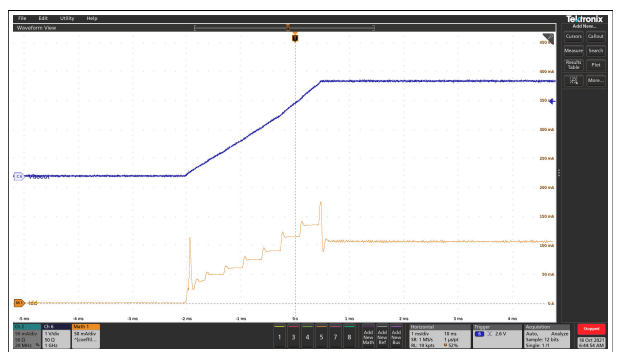
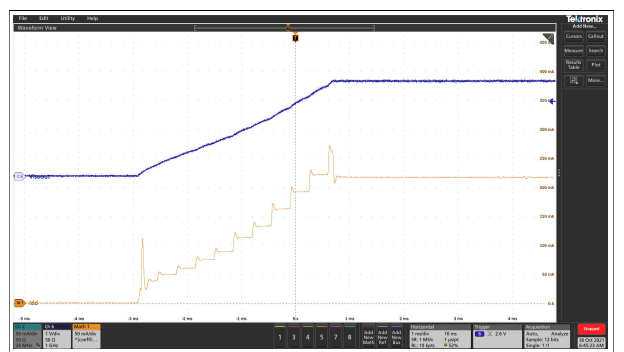
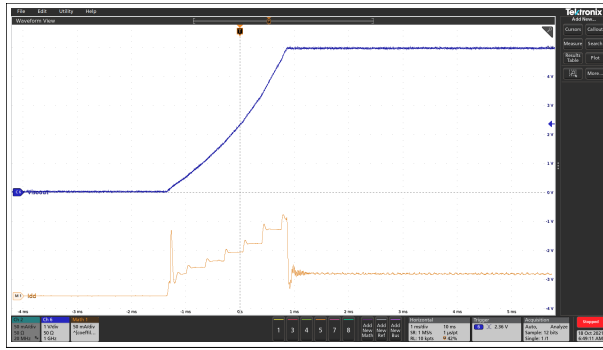


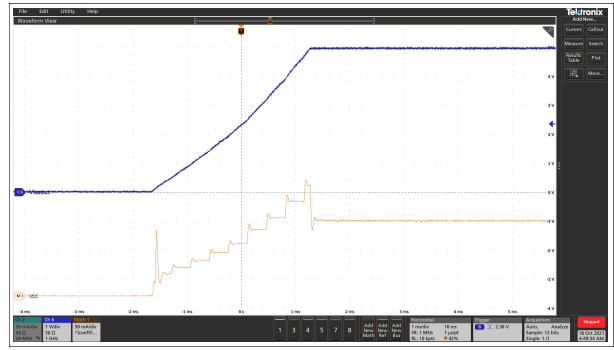
图 5-17. 10mA 至 110mA 负载瞬态响应

图 5-18. $V_{ISOOUT} = 3.3V$ 时 10mA 负载处的软启动图 5-19. $V_{ISOOUT} = 3.3V$ 时 50mA 负载处的软启动图 5-20. $V_{ISOOUT} = 3.3V$ 时 110mA 负载处的软启动



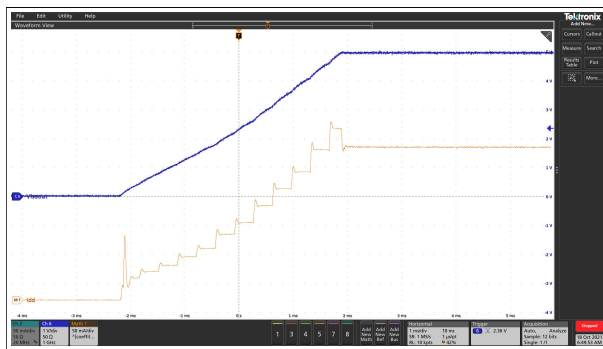
$V_{DD} = 5V$ $V_{ISOOUT} = 5V$ V_{ISOOUT} 上的 $10\mu F$ 电容器

图 5-21. $V_{ISOOUT} = 5V$ 时 10mA 负载处的软启动



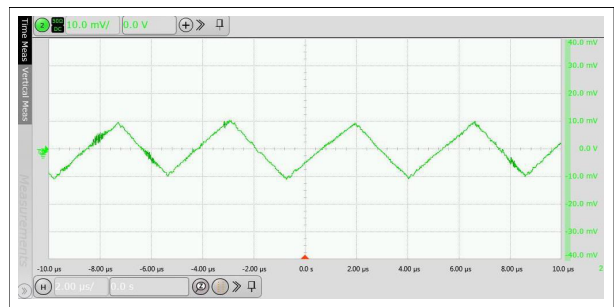
$V_{DD} = 5V$ $V_{ISOOUT} = 5V$ V_{ISOOUT} 上的 $10\mu F$ 电容器

图 5-22. $V_{ISOOUT} = 5V$ 时 50mA 负载处的软启动



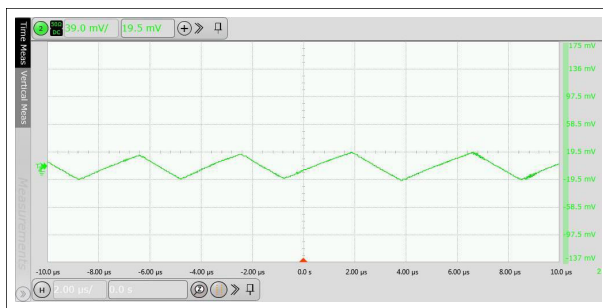
$V_{DD} = 5V$ $V_{ISOOUT} = 5V$ V_{ISOOUT} 上的 $10\mu F$ 电容器

图 5-23. $V_{ISOOUT} = 5V$ 时 110mA 负载处的软启动



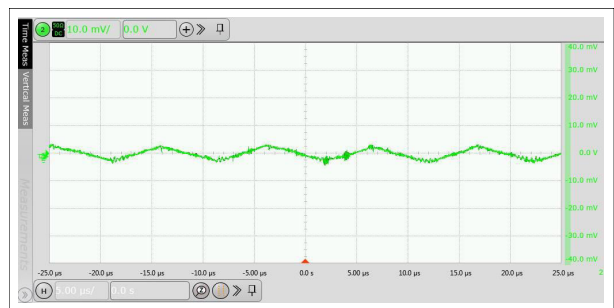
$V_{DD} = 3.3V$ $V_{ISOOUT} = 3.3V$ V_{ISOOUT} 上的 $10\mu F$ 电容器

图 5-24. 3.3V 下使用 $10\mu F$ 电容器和 60mA 负载时的 V_{ISOOUT} 纹波电压



$V_{DD} = 5V$ $V_{ISOOUT} = 5V$ V_{ISOOUT} 上的 $10\mu F$ 电容器

图 5-25. 5V 下使用 $10\mu F$ 电容器和 110mA 负载时的 V_{ISOOUT} 纹波电压



$V_{DD} = 3.3V$ $V_{ISOOUT} = 3.3V$ V_{ISOOUT} 上的 $100\mu F$ 电容器

图 5-26. 3.3V 下使用 $100\mu F$ 电容器和 60mA 负载时的 V_{ISOOUT} 纹波电压

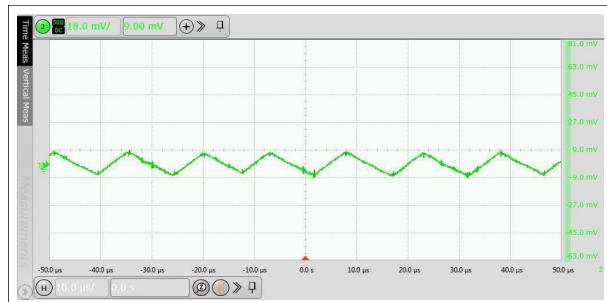
 $V_{DD} = 5V$ $V_{ISOOUT} = 5V$ V_{ISOOUT} 上的
100 μF 电容器

图 5-27. 5V 下使用 100 μF 电容器和 110mA 负载时的
 V_{ISOOUT} 纹波电压

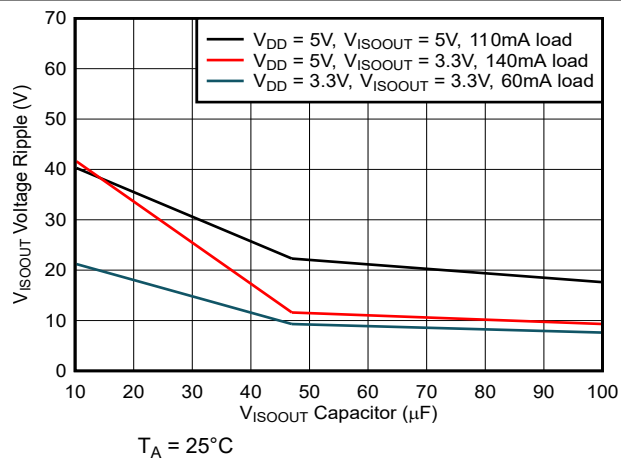
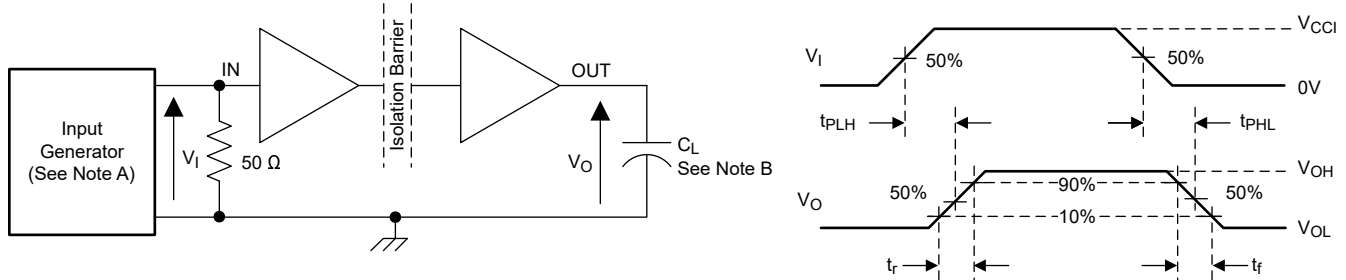


图 5-28. V_{ISOOUT} 纹波电压与负载电容器间的关系

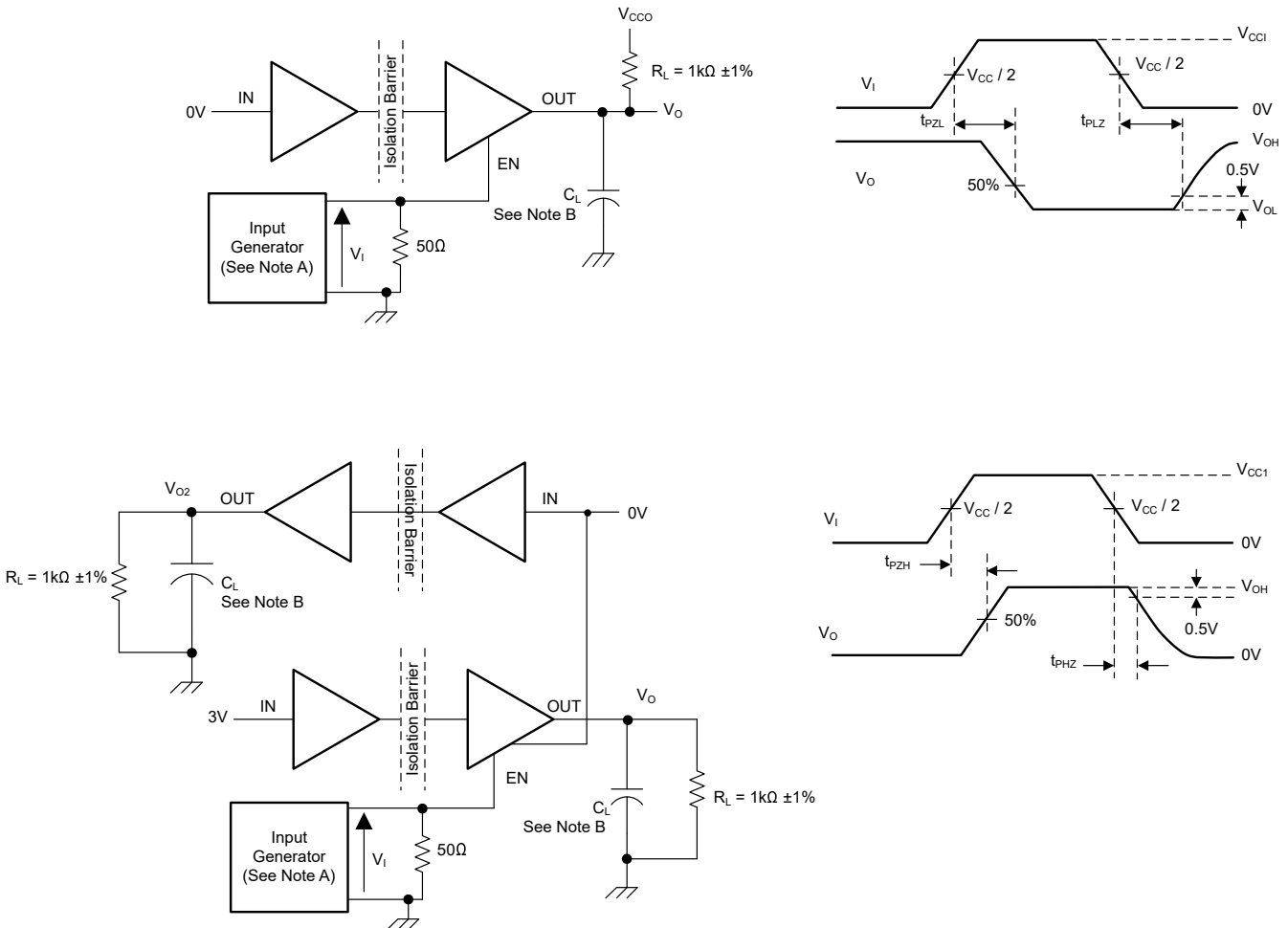
6 参数测量信息

在下面的图中， V_{CCI} 和 V_{CCO} 分别指电源 V_{IO} 和 V_{ISOIN} 。



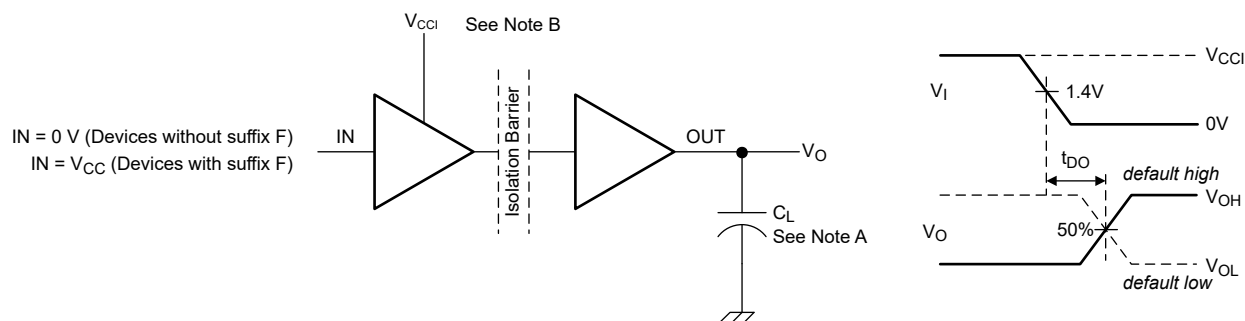
- A. $C_L = 15\text{pF}$ ，输入脉冲由具有以下特性的发生器提供： $\text{PRR} \leq 50\text{kHz}$ ，50% 占空比， $t_r \leq 3\text{ns}$ ， $t_f \leq 3\text{ns}$ ， $Z_O = 50\Omega$ 。输入端需要 50Ω 电阻器来端接输入发生器信号。实际应用中并不需要 50Ω 电阻器。
- B. $C_L = 15\text{pF}$ 并包含 $\pm 20\%$ 范围内的仪表和设备电容。

图 6-1. 开关特性测试电路和电压波形



- A. 输入脉冲由具有以下特性的发生器提供： $\text{PRR} \leq 50\text{kHz}$ ，50% 占空比， $t_r \leq 3\text{ns}$ ， $t_f \leq 3\text{ns}$ ， $Z_O = 50\Omega$ 。输入端需要 50Ω 电阻器来端接输入发生器信号。实际应用中并不需要 50Ω 电阻器。
- B. $C_L = 15\text{pF}$ 并包含 $\pm 20\%$ 范围内的仪表和设备电容。

图 6-2. 启用/禁用传播延时时间测试电路和波形



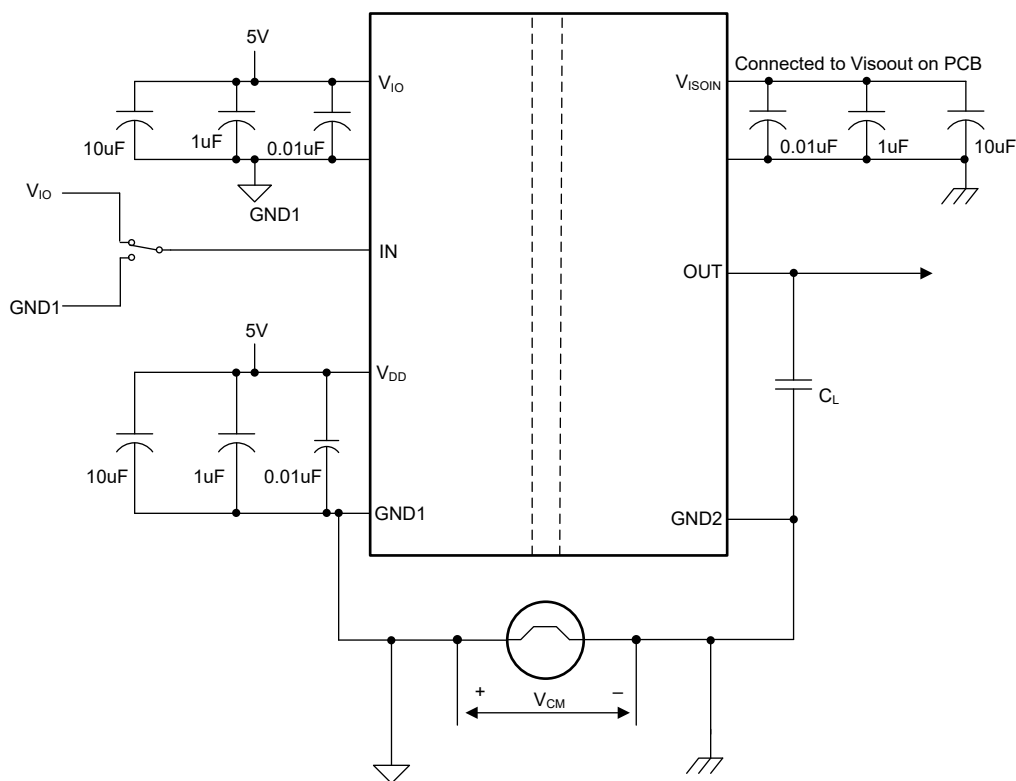
备注

A. $C_L = 15\text{pF}$ 并包含 $\pm 20\%$ 范围内的仪表和设备电容。

备注

B. 电源电压斜升速率 = 10mV/ns 。

图 6-3. 默认输出延时时间测试电路和电压波形



备注

$C_L = 15\text{pF}$ 并包含 $\pm 20\%$ 范围内的仪表和设备电容。

备注

通过/失败标准：输出必须保持稳定。

图 6-4. 共模瞬态抗扰度测试电路

7 详细说明

7.1 概述

ISOW7721 系列器件具有低噪声、低辐射隔离式 DC-DC 转换器和两个高速隔离式数据通道。节 7.2 展示了 ISOW7721 器件的功能方框图。

7.1.1 电源隔离

集成隔离式直流/直流转换器采用先进的电路和片上布局技术，可减少辐射发射，实现高达 46% 的典型效率。集成式变压器采用薄膜聚合物作为绝缘栅。可以使用 V_{SEL} 引脚将电源转换器的输出电压控制为 3.3V 或 5V。可以使用 EN 引脚关闭 DC-DC 转换器以节省功耗。输出电压 V_{ISOOUT} 会被监控，而反馈信息会通过专用的隔离式通道传输至初级侧。 V_{ISOOUT} 需要连接到 V_{ISOIN} 以验证反馈通道是否正确通电，从而调节 DC-DC 转换器。这可通过直接连接引脚或通过始终保持加电状态的 LDO 来实现。建议在 V_{ISOOUT} 和 V_{ISOIN} 之间使用铁氧体磁珠，以进一步减少发射。请参阅节 8.2 部分。随即会相应地调整初级侧开关级的占空比。电源转换器的快速反馈控制环路可在负载瞬变过程中提供低过冲和下冲。 V_{IO} 、 V_{DD} 和 V_{ISOIN} 电源集成了带磁滞功能的欠压闭锁 (UVLO) 功能，可在有噪声条件下提供稳健的失效防护系统性能。集成的软启动机制提供可控的浪涌电流，并避免上电期间输出端出现任何过冲。

7.1.2 信号隔离

集成的信号隔离通道采用开关键控 (OOK) 调制方案，以跨越基于二氧化硅的隔离栅传输数字数据。发送器通过跨越隔离栅发送高频载波来表示一种状态，通过不发送信号来表示另一种状态。接收器在信号调节完成后对信号进行解调并通过缓冲器级产生输出。信号隔离通道采用了先进的电路技术，可最大限度地提高 CMTI 性能，并最大限度地减少高频载波和 IO 缓冲器开关产生的辐射。图 7-1 显示了典型信号隔离通道的功能方框图。为了使电源转换器的任何噪声耦合远离信号路径，电源转换器的 1 侧电源 (V_{DD}) 和信号路径 (V_{IO}) 保持分开。同样在 2 侧，电源转换器输出 (V_{ISOOUT}) 需要从外部连接到 PCB 上的 V_{ISOIN} 。通过在 V_{ISOOUT} 和 V_{ISOIN} 之间以及在 GND2 引脚之间放置一个铁氧体磁珠，可以进一步改善发射。更多详细信息，请参阅布局指南部分。

7.2 功能方框图

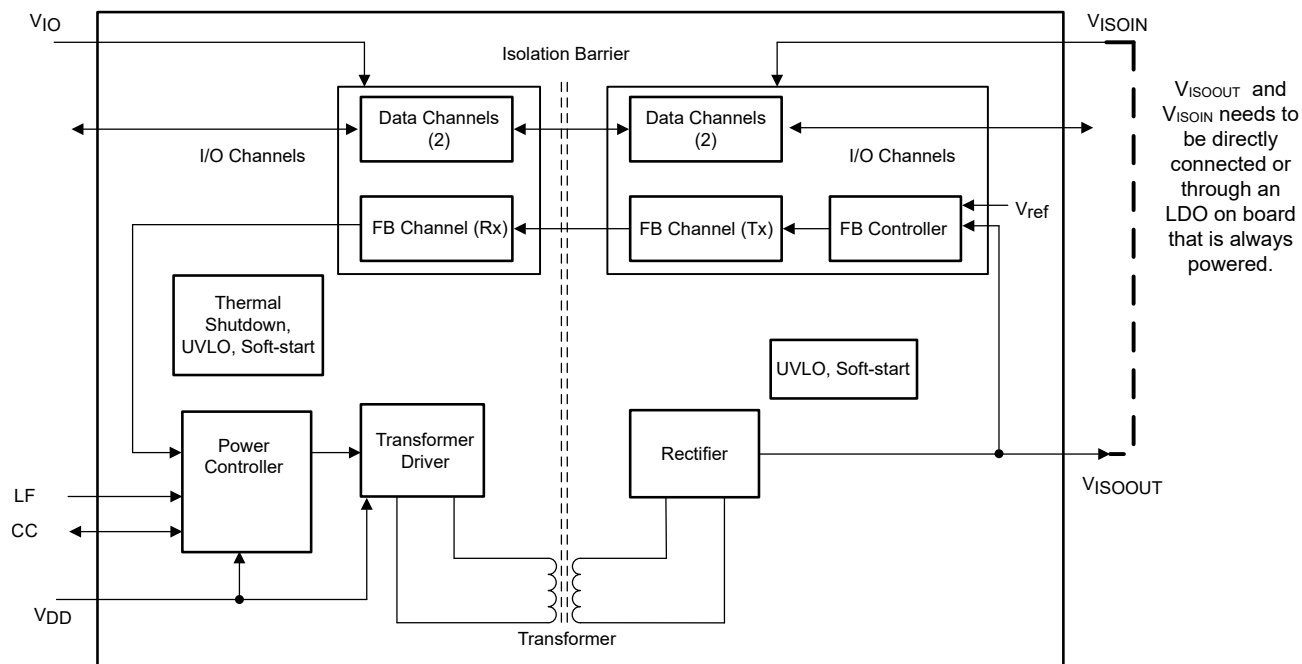


图 7-1. 方框图

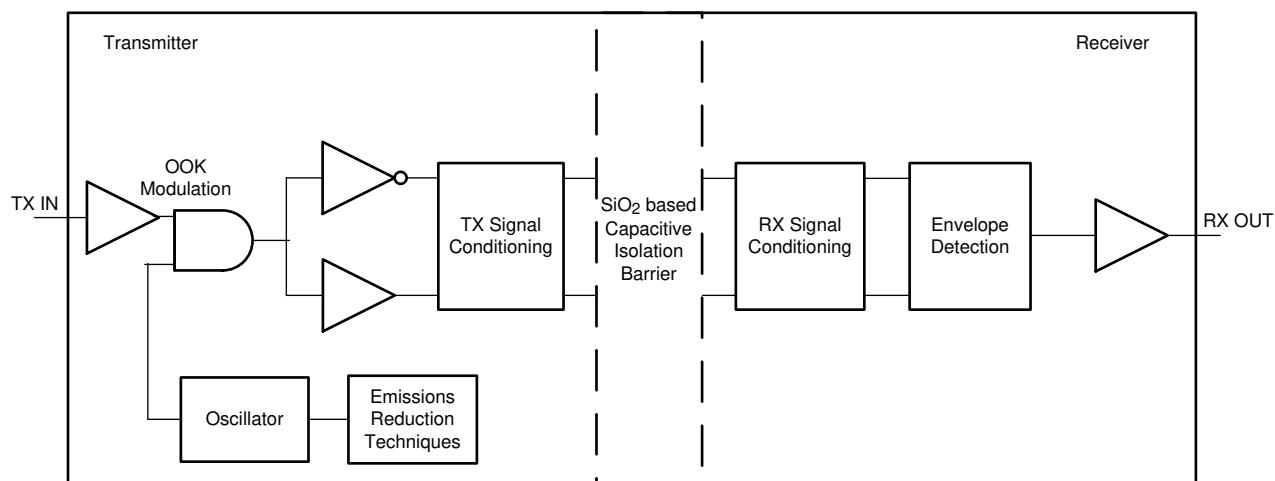


图 7-2. 电容数据通道的概念方框图

图 7-3 展示了 OOK 方案工作原理的概念细节。

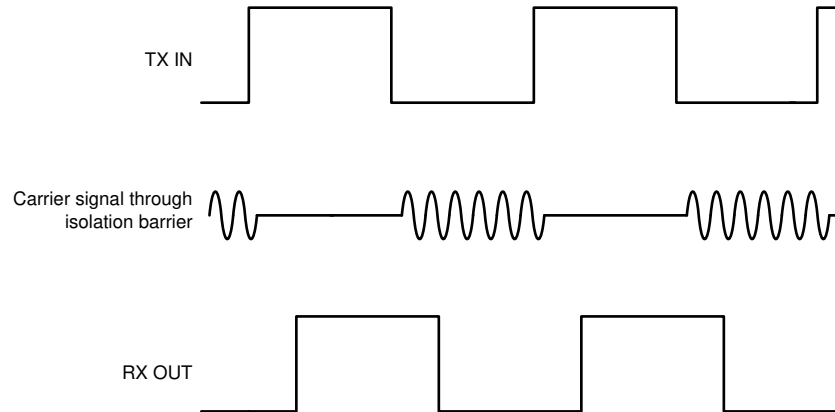


图 7-3. 基于开关键控 (OOK) 的调制方案

7.3 特性说明

器件特性 展示了器件特性概览。

表 7-1. 器件特性

器件型号 ⁽¹⁾	通道方向	最大数据速率	默认输出状态	隔离额定值 ⁽²⁾
ISOW7721	1 个正向, 1 个反向	100Mbps	高	5kV _{RMS} /7071V _{PK}
带有后缀 F 的 ISOW7721			低	

(1) F 后缀是可订购器件型号的一部分。请参阅 节 11 部分，以了解完整的可订购器件型号。

(2) 详细的隔离额定值，请参阅 节 5.7 表。

7.3.1 电磁兼容性 (EMC) 注意事项

ISOW7721 采用内部振荡器降低辐射方案和先进的内部布局方案，从而最大限度地减小系统级辐射发射。

恶劣工业环境中的很多应用都对静电放电 (ESD)、电气快速瞬变 (EFT)、浪涌和电磁辐射等干扰非常敏感。IEC 61000-4-x 和 CISPR 32 等国际标准对这些电磁干扰进行了规定。尽管系统级性能和可靠性在很大程度上取决于应用电路板设计和布局，但 ISOW7721 包含很多芯片级设计改进，可增强整体系统稳健性。其中的一些改进包括：

- 输入和输出信号引脚以及芯片间接合焊盘具有可靠的 ESD 保护单元。
- ESD 单元与电源和接地引脚之间采用低电阻连接。
- 高压隔离电容器具有增强性能，能够更好地耐受 ESD、EFT 和浪涌事件。
- 片上去耦电容器更大，可通过低阻抗路径旁路不良的高能信号。
- PMOS 和 NMOS 器件通过防护环互相隔离，从而避免触发寄生 SCR。
- 通过提供纯差分内部运行，减少隔离栅上的共模电流。
- 电源路径和信号路径分开，以最大限度地减少内部高频耦合，结合使用铁氧体磁珠的外部滤波旋钮，从而进一步减少辐射
- 将电源转换器开关频率降低至 25MHz，从而降低发射频谱中高频分量的强度

7.3.2 上电和断电行为

ISOW7721 在 V_{IO} 、 V_{DD} 和 V_{ISOIN} 电源上具有内置的 UVLO 功能，并且具有正向和负向阈值及磁滞。需要同时具备电源转换器电源 (V_{DD}) 和逻辑电源 (V_{IO})，器件才能正常工作。如果其中任何一个低于 UVLO，则会同时禁用信号路径和电源转换器。

当 V_{DD} 电压在上电期间超过正向 UVLO 阈值时，直流/直流转换器会进行初始化，同时电源转换器占空比会以受控的方式增加。此软启动方案会限制从 V_{DD} 电源获取的初级峰值电流，并以受控方式为 V_{ISOOUT} 输出充电，从而避免出现过冲。隔离式数据通道的输出会处于不确定状态，直到 V_{IO} 和 V_{DD} 电压超过正向 UVLO 阈值。当次级侧

V_{ISOOUT} 引脚上的电压超过 $UVLO$ 正向阈值时，反馈数据通道开始向初级控制器提供反馈。调节环路会接管，而隔离式数据通道会进入相应输入通道定义的正常状态或默认状态。设计中必须考虑留出足够的时间裕度（通常为 10ms 并使用 10 μ F 负载电容），以便在系统功能考虑有效的数据通道前完成此上电序列。

当 V_{IO} 或 V_{DD} 电源丢失时，初级侧 DC-DC 转换器会在达到 $UVLO$ 阈值下限时关断。然后， V_{ISOOUT} 电容器会根据外部负载情况进行放电。 V_{ISOIN} 一侧的隔离式数据输出会短暂返回默认状态，这时 V_{ISOIN} 会放电至零。

7.3.3 保护特性

ISOW7721 具有多种保护特性，形成了稳健的系统级设计。

- V_{ISOOUT} 上具有过压钳位特性：如果 V_{ISOOUT} 上的电压升高，当 $VSEL = V_{ISOOUT}$ 时，则将其钳制在 6V；当 $VSEL = GND2$ 时，则钳制在 4V。为了确保器件可靠性，建议 V_{ISOOUT} 低于过压钳位电压。
- 当 V_{DD} 上出现高于 7V 的电压时，会发生过压锁定。器件进入低功耗状态，EN 引脚变为低电平。
- 器件具有输出过载和短路保护功能。当电源转换器无法提供过载情况下所需的电流时，输出电压开始下降。当 V_{ISOOUT} 对地短路时，转换器的占空比会受到限制，这有助于避免造成任何损坏。
- 器件还集成了热保护功能，有助于防止在隔离式输出出现过载和短路情况时损坏器件。在这些情况下，器件温度开始升高。当温度超过 165°C 时，热关断激活，而初级控制器关断，从而切断提供给 V_{ISOOUT} 负载的能源，使器件降温。当结温降至 150°C 以下时，器件开始正常工作。如果过载或输出短路情况依然存在，此保护周期会重复。设计时应小心谨慎，尽量避免器件结温达到这么高的值。

7.3.4 多器件级联以增加功率输出

ISOW7721 支持将多个 ISOW7721 器件以菊花链方式级联，以实现大于 110mA 的负载电流，如图 7-4 所示。可使用下方公式估算满足目标负载电流所需的 ISOW7721 器件数量。

$$\text{Number of device} = \text{ceil} \left[\frac{\text{Target load current} - \text{Maximum available load current}}{0.8 \text{ Maximum available load current}} + 1 \right] \quad (1)$$

示例：

使用 ISOW7721 设计多设备级联方案，以在 $V_{DD} = 5V$ 且 $VSEL = 5V$ 时驱动 680mA 负载。

根据第 1 页，当 $V_{DD} = 5V$ 且 $VSEL = 5V$ 时，最大可用负载电流为 100mA。

$$\text{Number of device} = \text{ceil} \left[\frac{680 - 110}{0.8 (110)} + 1 \right] = 8 \quad (2)$$

由上述计算可知，驱动 680mA 负载需要 8 个 ISOW7721。

请按照以下步骤配置多器件级联。

1. 将 LF 设置为 GND1，使该器件成为菊花链中的主器件（一个菊花链中只允许有一个主器件）。主器件的 CC 引脚配置为输出
2. 将 LF 设置为 V_{DD} ，使其他器件成为从器件（可根据系统电流需求使用多个从器件）。从器件的 CC 引脚配置为输入。
3. 更改 LF 引脚上的电压后，需要断电重启才能使器件进入所需角色。在多器件级联操作期间，请确保所有器件均已通电，以防止未通电器件的 $VISOOUT$ 引脚暴露于过压条件下。未通电器件可能导致 $VSEL$ 被设置为 GND，从而使 $VISOOUT$ 的最大额定值变为 4V。如果该 $VISOOUT$ 引脚长时间被另一个 5V $VISOOUT$ 引脚驱动，可能导致器件损坏。
4. 将主器件的 CC 引脚连接至从器件的 CC 引脚（可使用多个从器件），这会使主器件能够与从器件保持同步。
5. 将所有主器件和从器件的 $VISOOUT$ 引脚和 $VISOIN$ 引脚连接在一起。
6. 将所有主器件和从器件的 $GISOOUT$ 引脚连接在一起。
7. 将所有主器件和从器件的 V_{DD} 引脚连接在一起。
8. 所有 $VSEL$ 引脚必须设置为相同的逻辑状态。

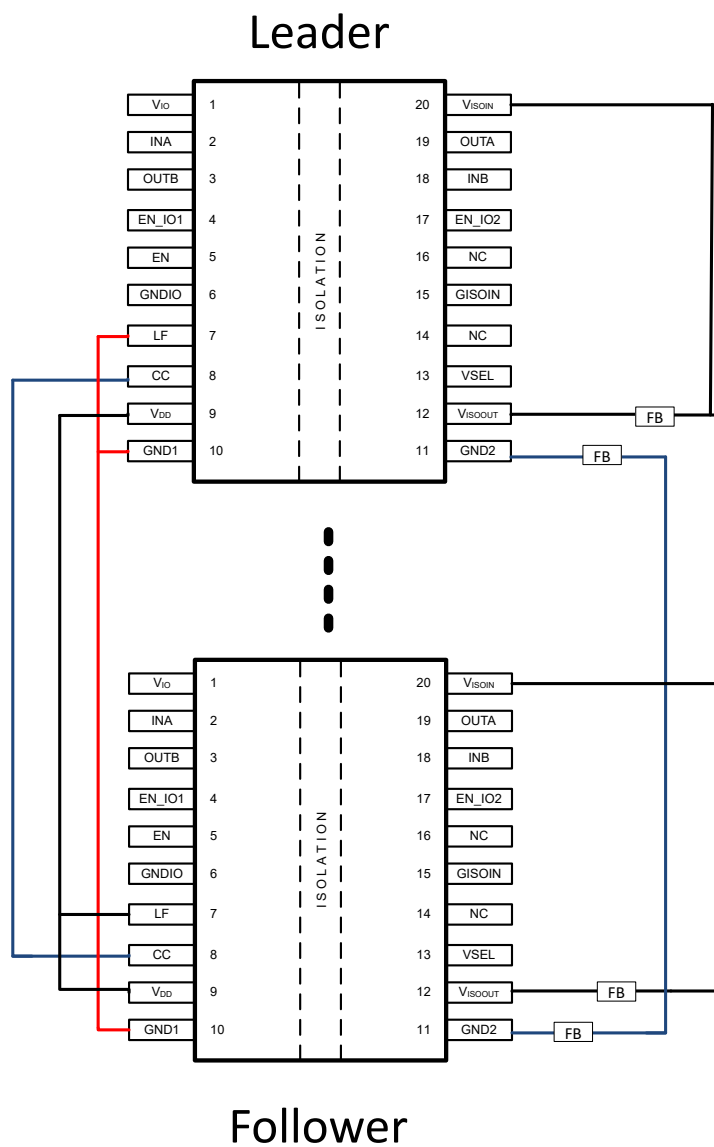


图 7-4. 多器件级联

7.4 器件功能模式

表 7-2 列出了这些器件的电源配置。

表 7-2. 电源配置功能表

V _{DD}	V _{IO}	VSEL	V _{ISOOUT} ⁽²⁾
< V _{DD(UVLO+)}	> V _{IO(UVLO+)}	X	OFF
> V _{DD(UVLO+)}	< V _{IO(UVLO+)}	X	OFF
5V	1.71V 至 5.5V	高电平 (短接至 V _{ISOOUT})	5V
5V 或 3.3V	1.71V 至 5.5V	低电平 (短接至 GND2) ⁽¹⁾	3.3V

(1) VSEL 引脚具有内部弱下拉电阻。因此，在有噪声的系统场景中，当 V_{ISOOUT} = 3.3V 时，VSEL 引脚必须强连接至 GND2 引脚。

(2) V_{ISOOUT} 短接至 PCB 上的 V_{ISOIN}，GND2 和 GISOIN 引脚相互短接，EN = 高电平

表 7-3 列出了这些器件的通道隔离器功能模式。

表 7-3. 通道隔离器功能表

通道输入电源 (V _{CCI}) ⁽¹⁾	通道输出电源 (V _{CCO}) ⁽¹⁾	输入 (IN _x)	IO 使能 (EN_IO _x)	输出 (OUT _x)	注释
PU	PU	H	H 或 开路	H	正常运行：通道输出假定输入的逻辑状态。
		L	H 或开路	L	
		开路	H 或开路	默认值	默认模式 ⁽²⁾ : IN _x 断开时，相应通道输出进入默认逻辑状态。
		X	L	Z 和默认值	输出使能值较低会导致同一侧的输出为高阻抗，而另一侧的输出为失效防护默认状态。
PD	PU	X	H 或开路	默认值	默认模式 ⁽²⁾ : V _{CCI} 未上电时，通道输出根据所选默认选项假定逻辑状态。V _{CCI} 从未上电转换为上电时，通道输出假定输入的逻辑状态。V _{CCI} 从上电转换为未上电时，通道输出假定所选默认状态。

(1) V_{CCI} = 输入侧 V_{IO} 或 V_{ISOIN}；V_{CCO} = 输出侧 V_{IO} 或 V_{ISOIN}；PU = 加电 (V_{IO} > 1.7V，V_{ISOIN} > 1.7V)；PD = 断电 (V_{IO} < 1V，V_{ISOIN} < 1V)；X = 不相关；H = 高电平；L = 低电平。

(2) 在默认情况下，ISOW7721 输出高电平，而带有 F 后缀的器件输出低电平。

7.4.1 器件 I/O 原理图

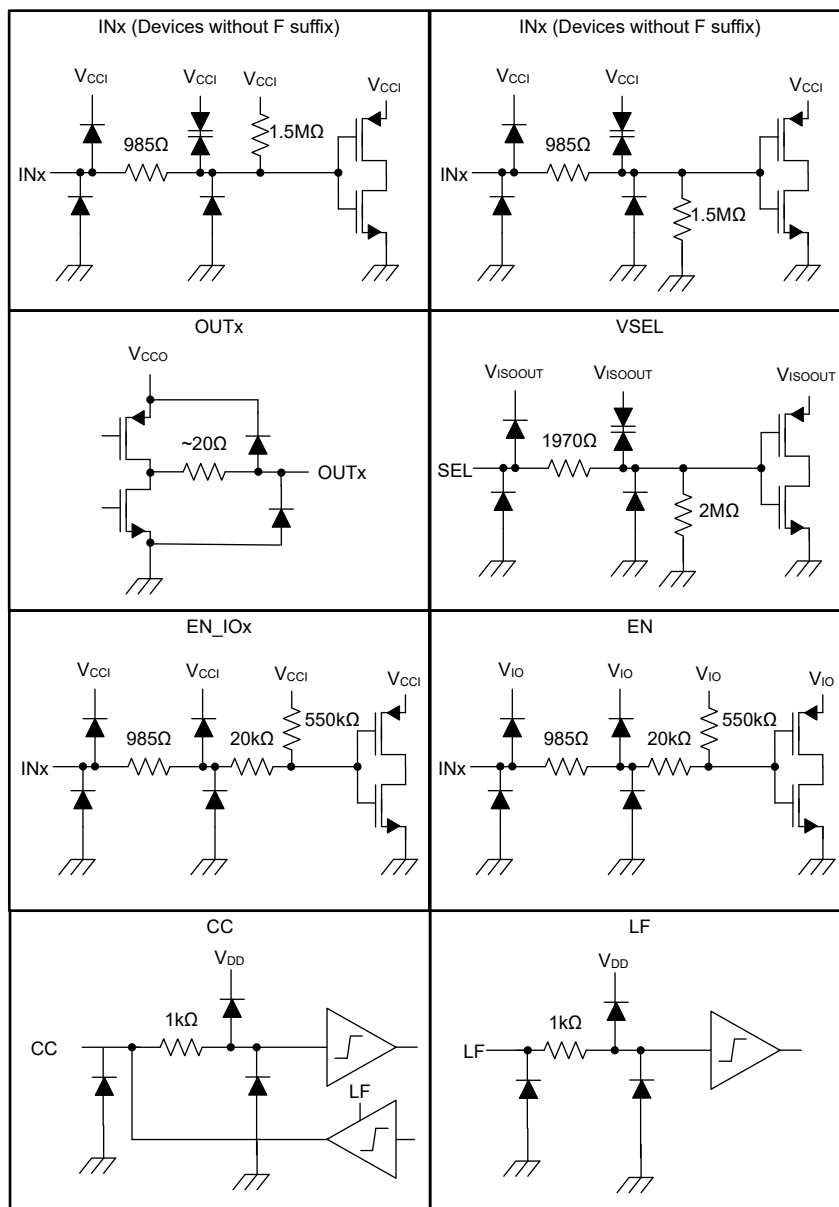


图 7-5. 器件 I/O 原理图

8 应用和实例

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

该器件是一款具有集成式 DC-DC 转换器的高性能双通道数字隔离器。数字隔离器通常需要两个相互隔离的电源来为器件的两侧供电。该器件具有集成式直流/直流转换器，因此隔离式电源会在器件内部生成，可用于为器件的隔离侧和隔离侧的外设供电，从而节省布板空间。该器件采用单端 CMOS 逻辑开关技术。使用数字隔离器进行设计时，请注意由于采用的是单端设计结构，数字隔离器不符合任何特定的接口标准，并仅用于隔离单端 CMOS 或 TTL 数字信号线。不管接口类型或标准如何，隔离器通常都放在数据控制器（微控制器或 UART）和数据转换器或数据线收发器之间。

该器件专为布板空间有限但又希望具有高集成度的应用而设计。该器件还设计用于为满足所需隔离规范而采用体积庞大且价格昂贵的电源变压器的超高电压应用。

8.2 典型应用



有关分步设计过程、电路原理图、物料清单、印刷电路板 (PCB) 文件、模拟结果和测试结果，请参阅 [TI 设计 TIDA-01333 采用 ISOW7841 的 8 通道隔离式高电压模拟输入模块参考设计](#)。

图 8-1 展示了 SPI 隔离的典型原理图。

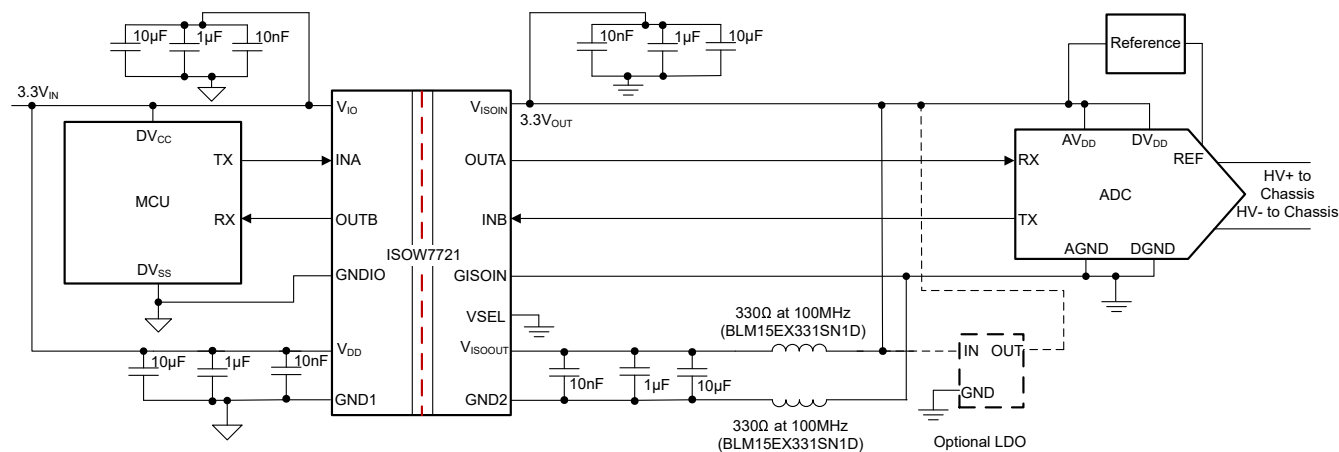


图 8-1. 采用 ISOW7721 的 ADC 检测应用的隔离式电源和 UART

8.2.1 设计要求

若要使用此器件进行设计，请使用表 8-1 中列出的参数。

表 8-1. 设计参数

参数	值
V_{DD} 输入电压	3V 至 5.5V
V_{IO} 输入电压	1.71V 至 5.5V
V_{ISOIN} 输入电压	1.71V 至 5.5V
V_{DD} 解耦电容器	10 μ F + 1 μ F + 0.01 μ F + 可选附加电容
V_{IO} 解耦电容器	0.1 μ F + 可选附加电容
V_{ISOIN} 解耦电容器	0.1 μ F + 可选附加电容
V_{ISOOUT} 解耦电容器	10 μ F + 1 μ F + 0.01 μ F + 可选附加电容
V_{ISOOUT} 至 V_{ISOIN} 串联电感器	BLM15ELX9331SN1D
GND2 至 V_{ISOIN} 串联电感器	BLM15ELX9331SN1D
V_{IO} 串联电感器	BLM15ELX9331SN1D
V_{DD} 串联电感器	BLM15ELX9331SN1D

流过 ISOW7721 V_{DD} 和 V_{ISOOUT} 电源的电流很大，因此通常去耦电容器越大，器件的噪声和纹波性能就越出色。尽管 10 μ F 的电容器就足够了，但强烈建议在 V_{DD} 和 V_{ISOOUT} 引脚与相应接地端之间使用更大的去耦电容器（例如 47 μ F），以实现更佳性能。

8.2.2 详细设计过程

这些器件需要采用特定方式放置外部旁路电容器和铁氧体磁珠才能实现高性能运行。这些低 ESR 陶瓷旁路电容器必须尽可能靠近焊盘放置。

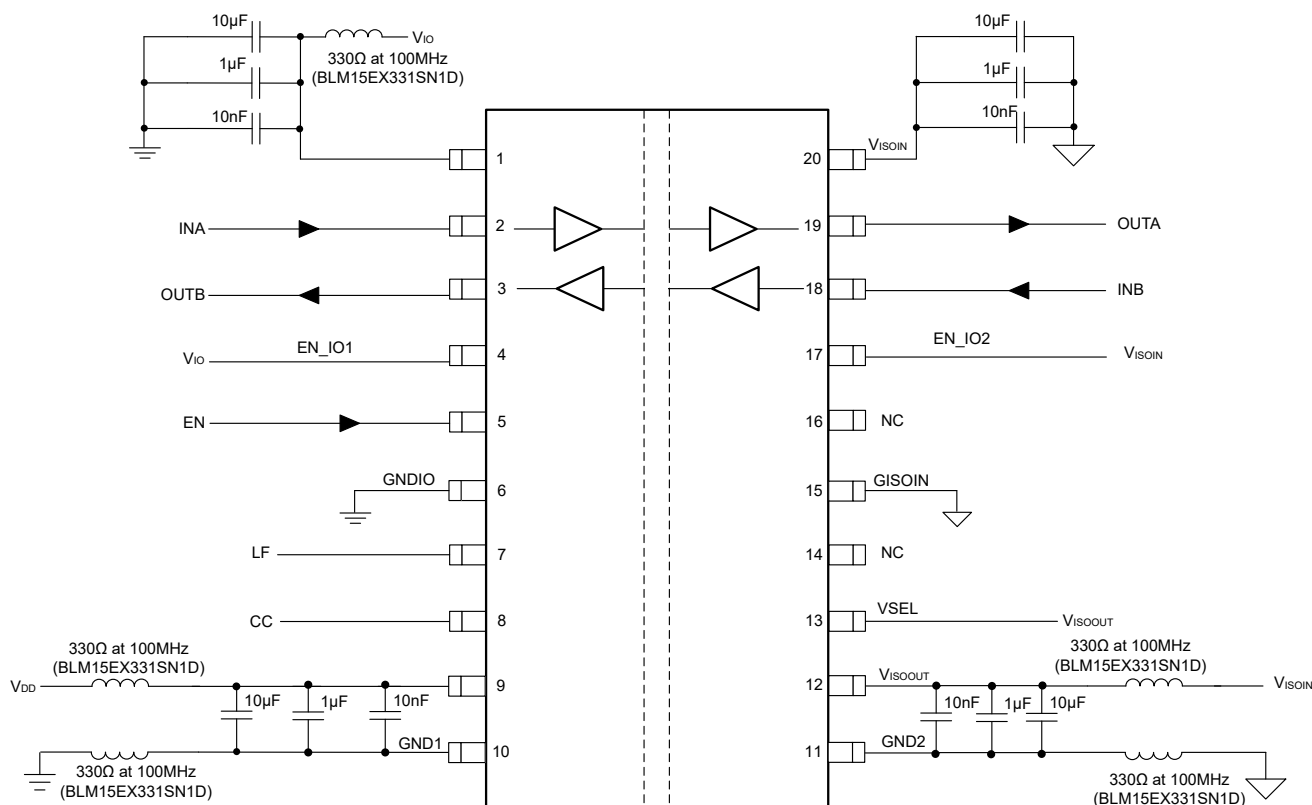


图 8-2. 典型 ISOW7721 电路组装

8.2.3 应用曲线

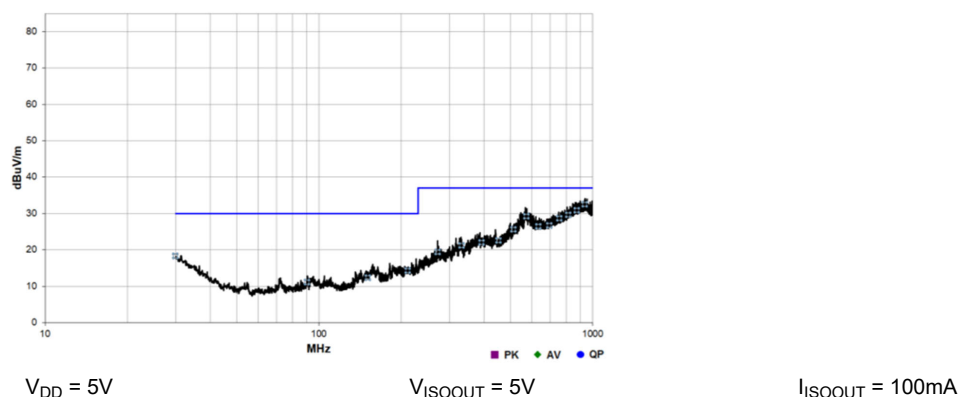


图 8-3. ISOW77xx 辐射发射与 CISPR32B 线 (蓝色)

8.2.3.1 绝缘寿命

绝缘寿命预测数据是使用业界通用的时间依赖性电介质击穿 (TDDB) 测试方法收集的。在该测试中，隔离栅两侧的所有引脚都连在一起，构成了一个双端子器件并在两侧之间施加高电压；对于 TDDB 测试设置，请参阅图 8-4。绝缘击穿数据是在开关频率为 60Hz 以及各种高电压条件下在整个温度范围内收集的。对于增强型绝缘，VDE 标准要求使用故障率小于 1 ppm 的 TDDB 预测线。尽管额定工作隔离电压条件下的预期最短绝缘寿命为 20 年，但是 VDE 增强认证要求工作电压具有额外 20% 的安全裕度，寿命具有额外 50% 的安全裕度，也就是说在工作电压高于额定值 20% 的条件下，所需的最短绝缘寿命为 30 年。

图 8-5 展示了隔离栅在其整个寿命期间承受高压应力的固有能力和根据 TDDb 数据，固有绝缘能力为 $1,000V_{RMS}$ ，寿命大于 100 年。

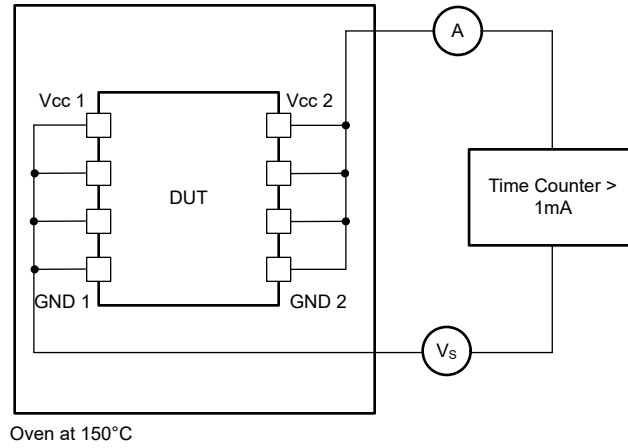


图 8-4. 绝缘寿命测量的测试设置

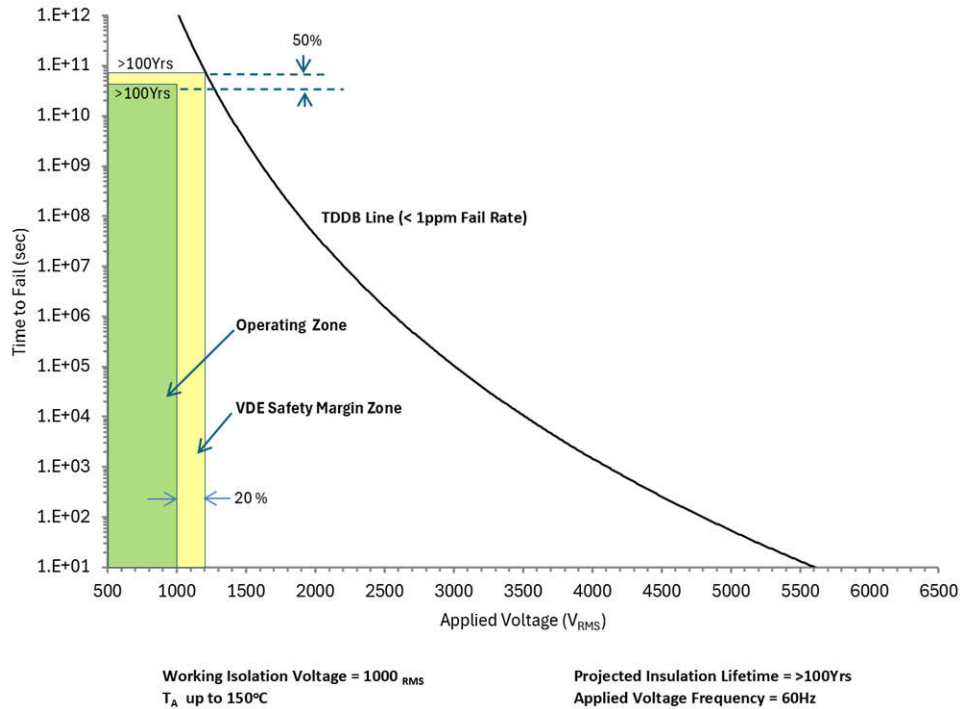


图 8-5. 绝缘寿命预测数据

8.3 电源相关建议

为了有助于确保在各种数据速率和电源电压条件下可靠运行，必须尽可能靠近电源引脚放置足够的去耦电容器。 V_{ISOOUT} 需要连接到 V_{ISOIN} 以验证反馈通道是否正确通电，从而调节 DC-DC 转换器。如果未连接 V_{ISOOUT} 和 V_{ISOIN} ，DC-DC 转换器会开环运行， V_{ISOOUT} 电压会漂移，直到过压钳位钳制在 6V。有两种方法可以连接 V_{ISOOUT} 和 V_{ISOIN} ：

1. 直接使用铁氧体磁珠连接 V_{ISOOUT} 和 V_{ISOIN} 。建议在 V_{ISOOUT} 和 V_{ISOIN} 之间使用铁氧体磁珠，以进一步减少发射。

- 通过始终保持加电状态的 LDO，使用铁氧体磁珠连接 V_{ISOOUT} 和 V_{ISOIN} 。如果 LDO 具有 EN 引脚，则始终将 EN 保持高电平。

输入电源 (V_{IO} 和 V_{DD}) 必须具有适当的电流额定值，以便支持最终应用所需的最大数据速率下的输出负载和开关。如需更多信息，请参阅节 8.2 部分。

对于 110mA 的输出负载电流，输入电流限制大于 600mA；对于较低的输出负载电流，输入电流限制可以成比例地降低。

8.4 布局

8.4.1 布局指南

低成本的双层 PCB 必须足以实现良好的 EMC 性能：

- 在顶层布置高速走线可避免使用过孔（及其引入的电感），并在隔离器与数据链路的发送器和接收器电路之间实现可靠互连。
- 通过在高速信号层旁边放置一个实心接地层，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。
- 靠近接地层放置电源层会额外产生大约 100pF/in^2 的高频旁路电容。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

如果需要额外的电源电压层或信号层，请在堆叠中添加另一个电源层或接地层系统，以使这些层保持对称。这样可使栈保持机械稳定并防止其翘曲。此外，每个电源系统的电源和接地层可以放置得更靠近彼此，从而显著增大高频旁路电容。

该器件没有散热焊盘来散热，因此会通过相应的 GND 引脚进行散热。验证两个 GND 引脚上都存在足够的覆铜，以防器件的内部结温上升到不可接受的水平。

图 8-6 显示了器件旁路电容器的推荐布置和布线。为满足应用 EMC 要求，必须遵循以下指南：

- 10nF 高频旁路电容器必须靠近 V_{DD} 和 V_{ISOOUT} 引脚放置，距离器件引脚的距离小于 1mm。这对于优化辐射发射性能至关重要。验证这些电容器尺寸为 0402，以使电容器产生最少的电感 (ESL)。
- 在电源转换器输入端 (V_{DD}) 和输出端 (V_{ISOOUT}) 电源引脚上必须放置至少 $10\mu\text{F}$ 的大容量电容器。
- V_{DD} 和 GND1 上的布线必须对称，一直到连接旁路电容器。同样， V_{ISOOUT} 和 GND2 上的布线须保持对称。
- 将两个 0402 型铁氧体磁珠（器件型号：BLM15EX331SN1）放置在 V_{ISOOUT} 和 GND2 路径上，以使电源转换器输出的任何高频噪声在进入 PCB 上的其他元件之前都会产生高阻抗。
- 在电源转换器输出端子 V_{ISOOUT} 引脚 12 和 GND2 引脚 11 的 4mm 范围内，不得有任何金属布线或接地覆铜。VSEL 引脚也处于 V_{ISOOUT} 域中，并且必须短接至引脚 11 或引脚 12 才能选择输出电压。
- 对于低辐射发射设计，强烈建议尽可能遵循 EVM 的布局指南。

8.4.1.1 PCB 材料

对于运行速度低于 150Mbps（或上升和下降时间大于 1ns）且布线长度达 10 英寸的数字电路板，请使用标准 FR-4 UL94V-0 印刷电路板。该 PCB 在高频下具有较低的电介质损耗、较低的吸湿性、较高的强度和刚度以及自熄性可燃性特征，因而优于较便宜的替代产品。

8.4.2 布局示例

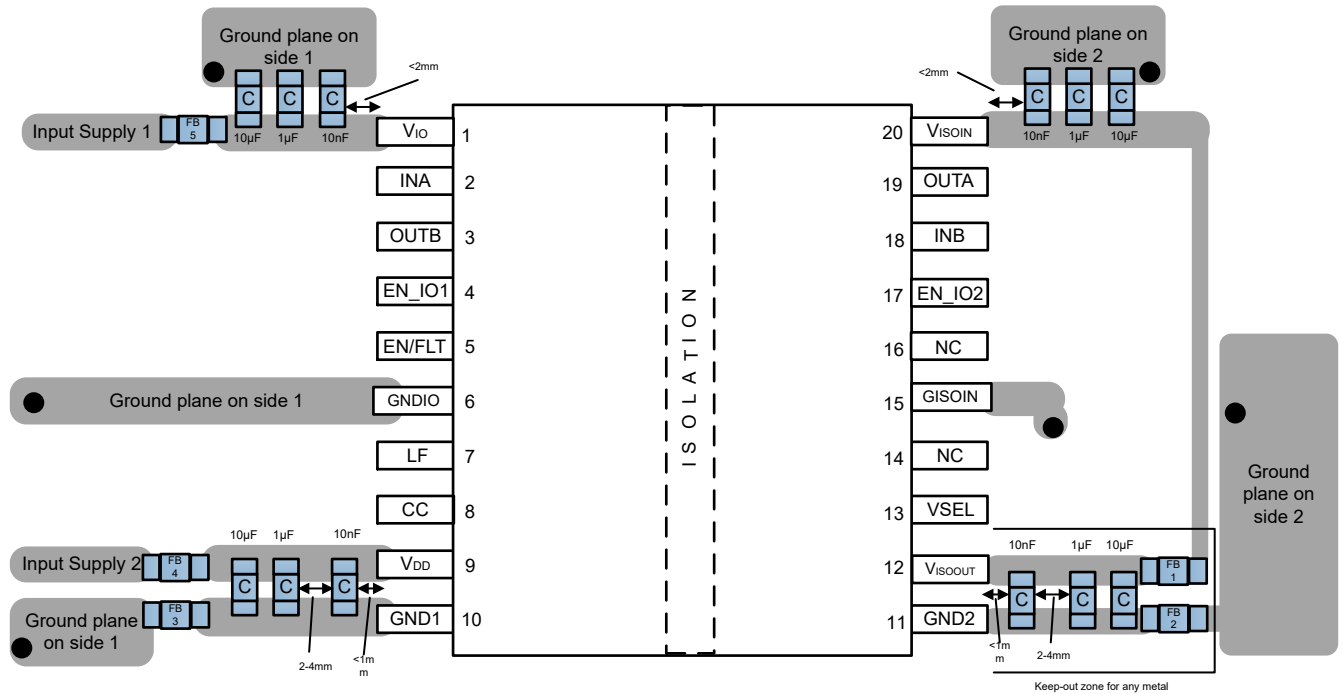


图 8-6. 布局示例

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (September 2021) to Revision A (August 2026)	Page
• 更新了 特性 部分中的功能安全认证信息.....	1
• 将器件状态更新为“量产数据”。.....	2
• 删除了 功率等级表上方重复的测试条件.....	8
• 根据新标准 DIN EN IEC 60747-17 (VDE 0884-17) 更新了 绝缘规格表.....	9
• 更新了 安全相关认证表，添加了证书编号并更正了标准名称.....	10
• 更新了 绝缘寿命部分和 绝缘寿命预测数据图.....	38

10 器件和文档支持

10.1 器件支持

10.1.1 开发支持

有关开发支持的信息，请参阅：

- 采用 [ISOW7841](#) 的 8 通道隔离式高电压模拟输入模块参考设计
- 具有集成信号和电源的隔离式 [RS-485](#) 参考设计
- 具有集成信号和电源的隔离式 [RS-232](#) 参考设计

10.2 文档支持

10.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[数字隔离器设计指南](#)
- 德州仪器 (TI)，[隔离相关术语](#)

10.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com.cn](#) 上的器件产品文件夹。点击右上角的 [提醒我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

TI 术语表

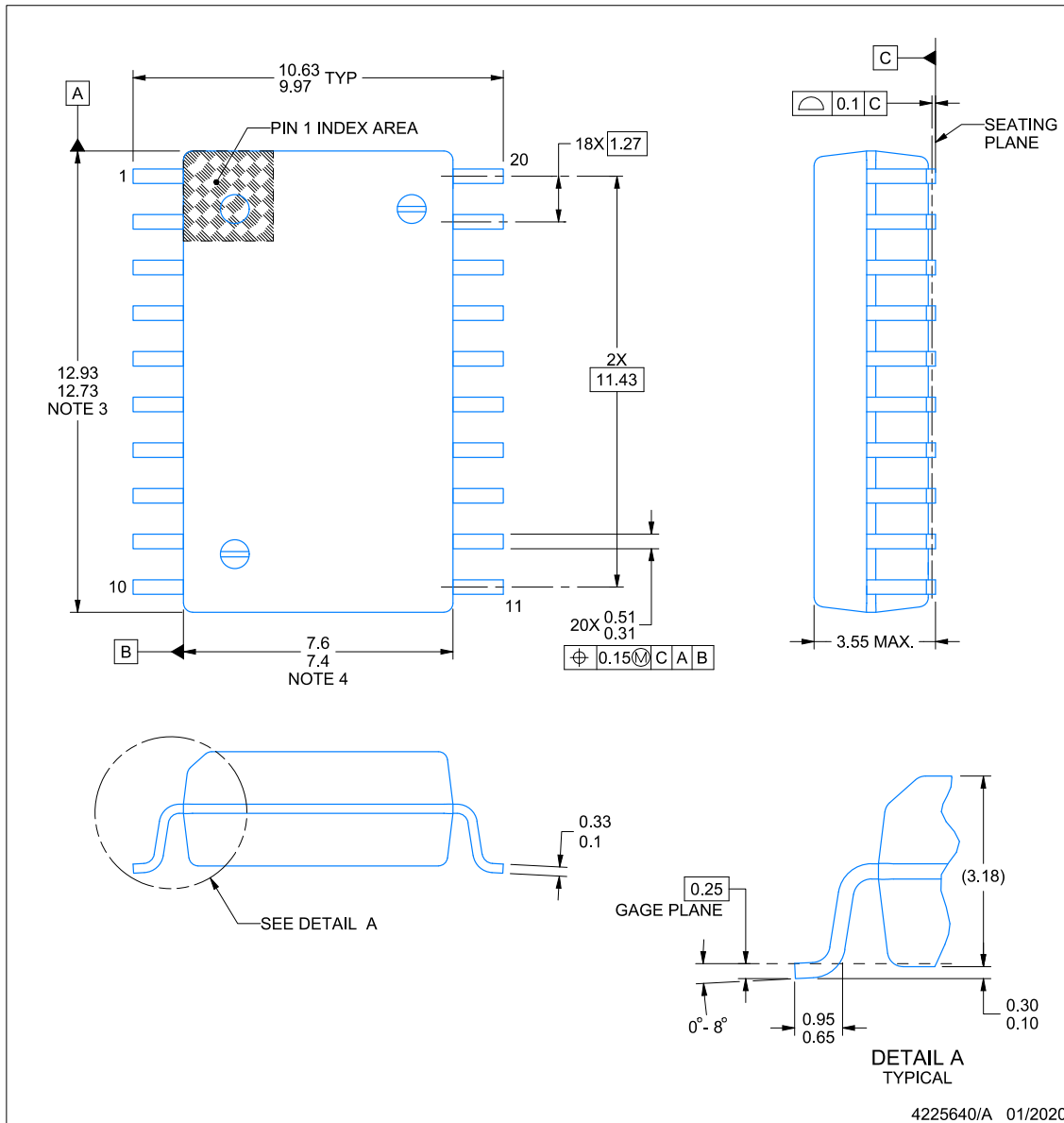
本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGE OUTLINE**DFM0020A****SOIC - 3.55 mm max height**

SMALL OUTLINE PACKAGE

**NOTES:**

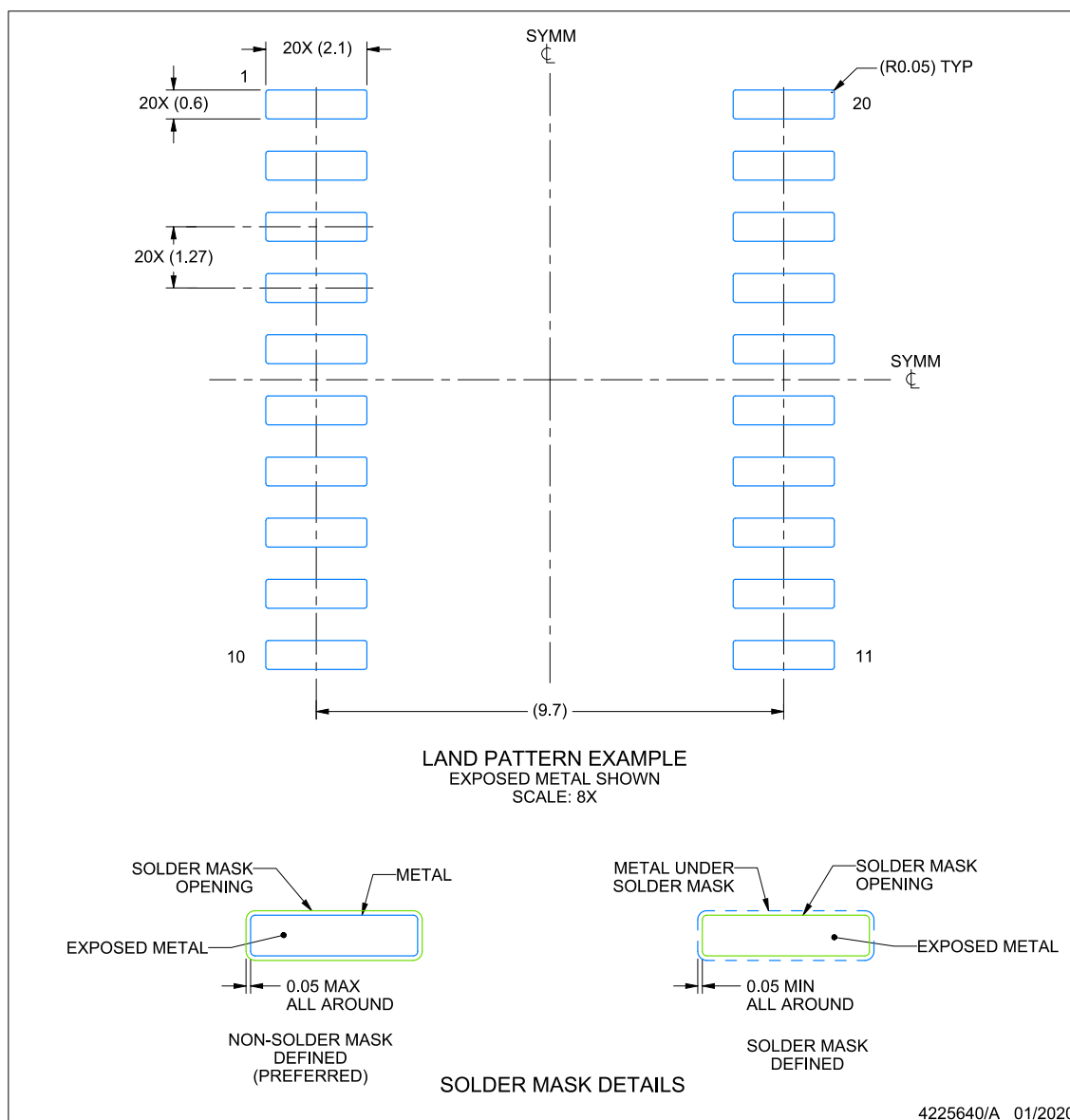
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013

EXAMPLE BOARD LAYOUT

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE

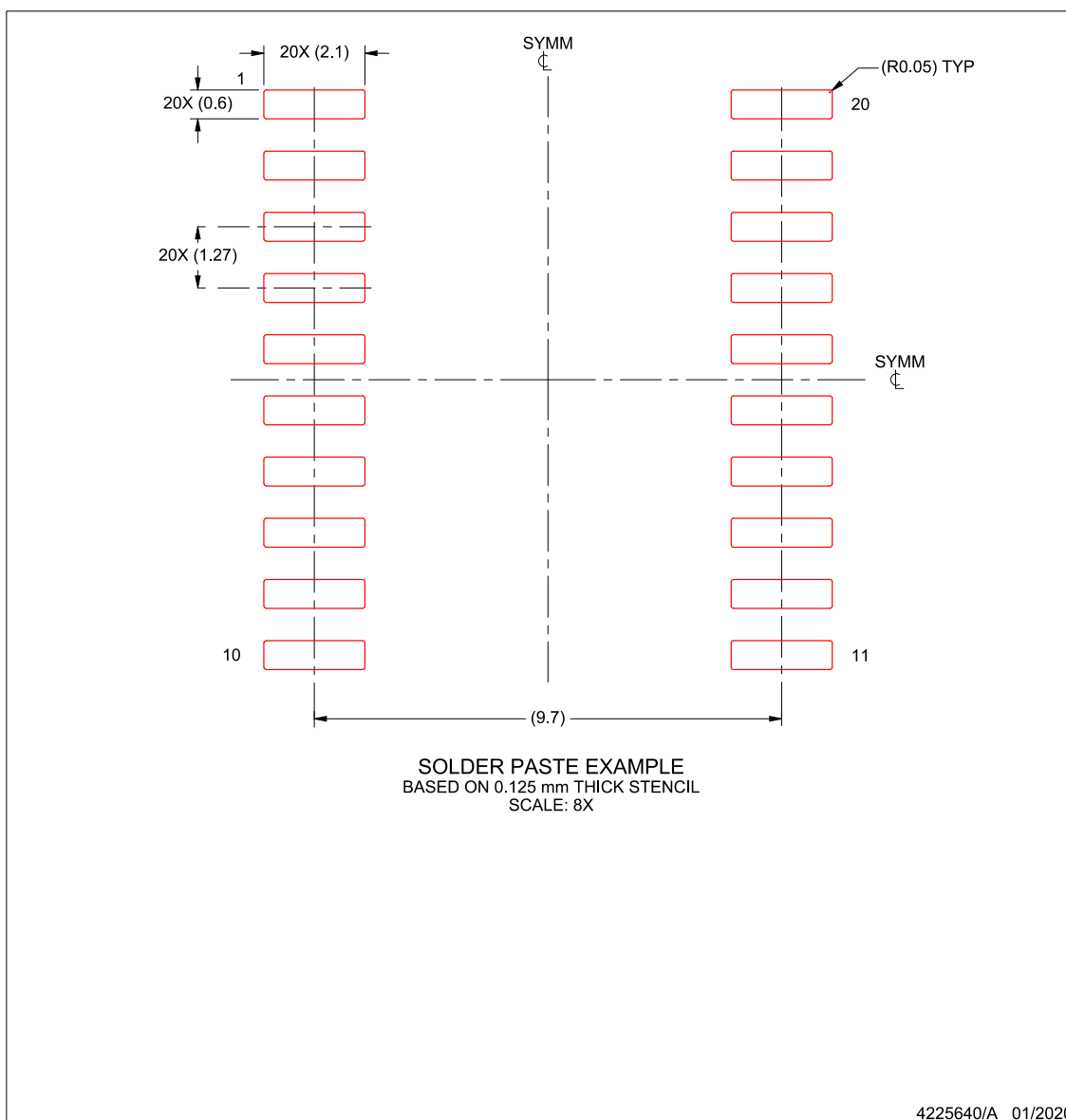


NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN**DFM0020A****SOIC - 3.55 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOW7721DFMR	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7721
ISOW7721DFMR.A	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7721
ISOW7721FDFMR	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7721F
ISOW7721FDFMR.A	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7721F

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISOW7721DFMR	SOIC	DFM	20	850	330.0	24.4	10.85	13.4	4.0	16.0	24.0	Q1
ISOW7721FDFMR	SOIC	DFM	20	850	330.0	24.4	10.85	13.4	4.0	16.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

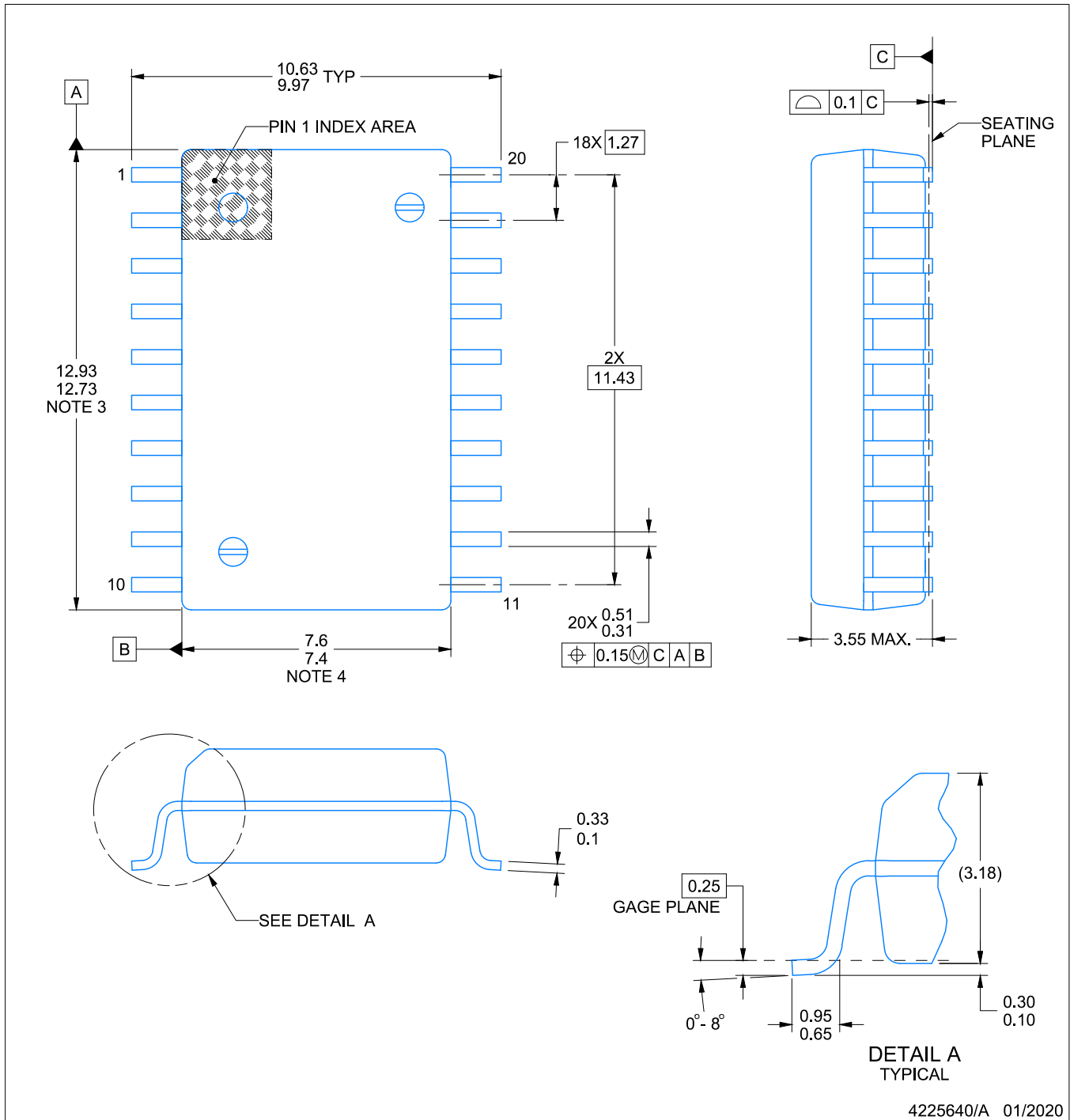
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISOW7721DFMR	SOIC	DFM	20	850	350.0	350.0	43.0
ISOW7721FDFMR	SOIC	DFM	20	850	350.0	350.0	43.0

PACKAGE OUTLINE

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



NOTES:

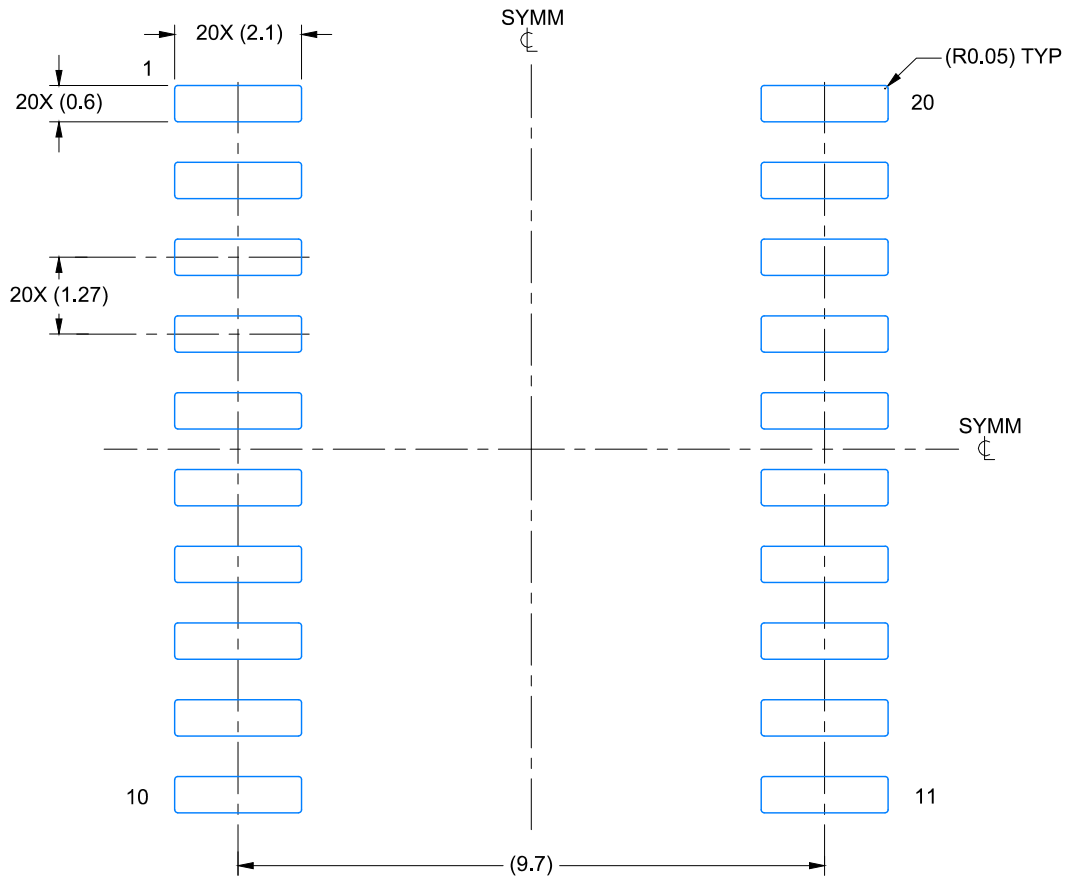
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013

EXAMPLE BOARD LAYOUT

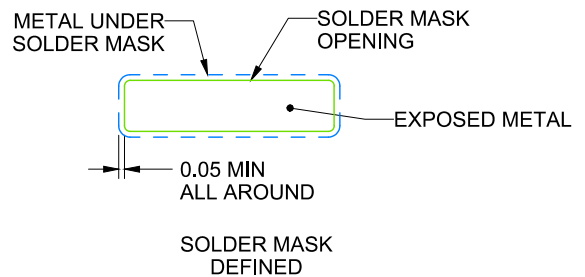
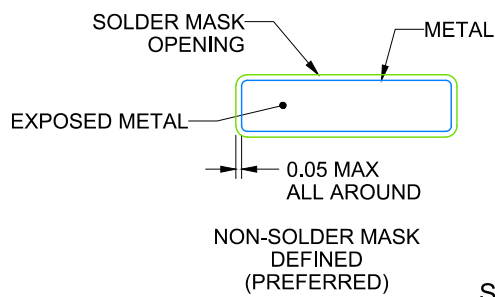
DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X



SOLDER MASK DETAILS

4225640/A 01/2020

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

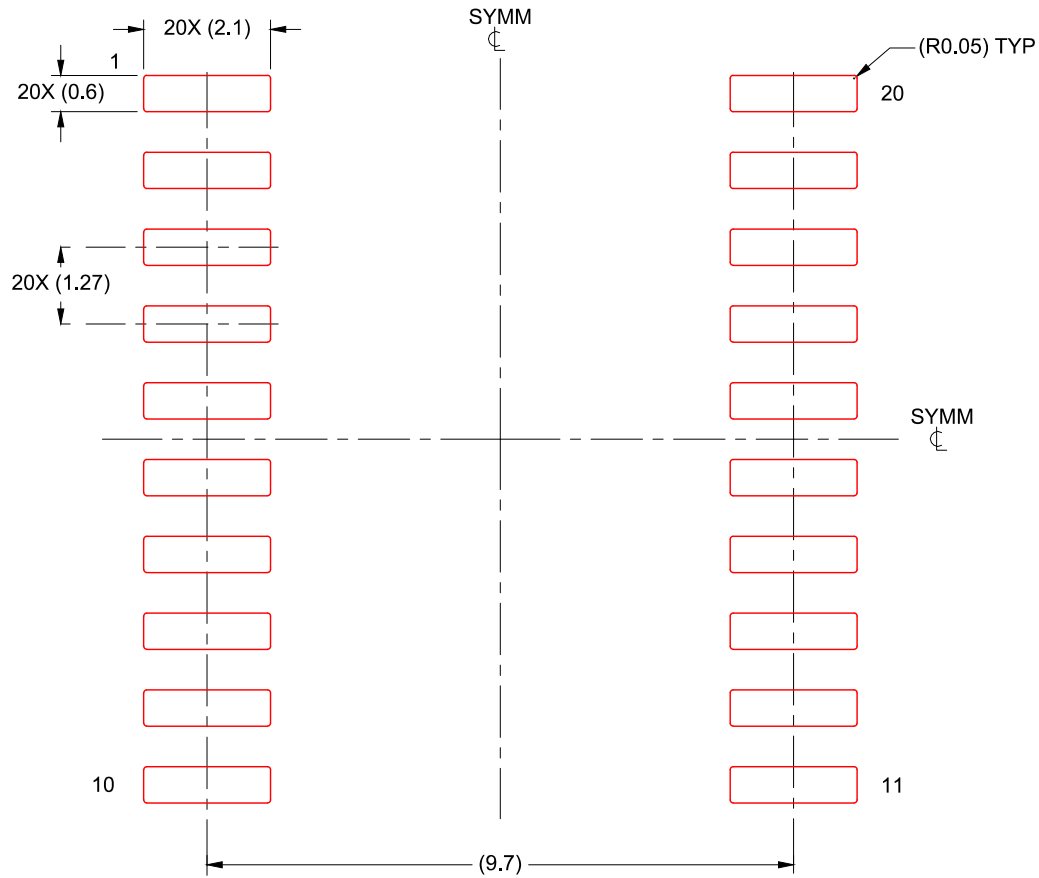
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

4225640/A 01/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月