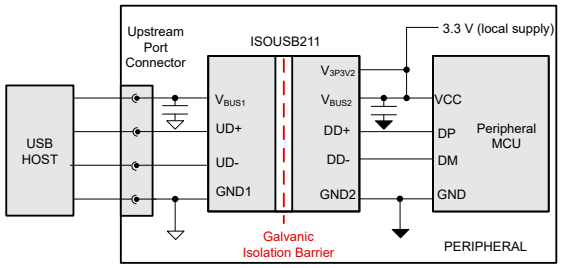
ISOUSB211 高速/全速/低速隔离式 USB 转发器

1 特性

- 符合 USB 2.0 要求
- 支持低速 (1.5Mbps)、全速 (12Mbps) 和高速 (480Mbps) 信号传输
- 不需要外部晶体或时钟输入
- 自动速度和连接检测
- 支持 L1（睡眠）和 L2（挂起）低功耗状态
- 可编程均衡，用于补偿高速模式中的板迹线损耗
- 下游端 CDP 广播
- 对侧电源正常指示
- 支持 USB On-the-Go (OTG) 和 Type C® 双角色端口 (DRP) 设计的自动角色交换
- 高 CMTI：100kV/μs
- 在整个隔离栅具有 ±8kV IEC 61000-4-2 接触放电保护
- V_{BUS} 电压范围：4.25V 至 5.5V
  - 3.3V 和 1.8V 内部 LDO
- 符合 CISPR32 B 类辐射限制
- 环境温度范围：–40°C 至 125°C
- 小尺寸 28-SSOP 封装
- 安全相关认证：
  - 符合 DIN EN IEC 60747-17 (VDE 0884-17) 标准的 8000V_{PK} V_{IOTM} 和 2121V_{PK} V_{IORM}（增强型）
  - 符合 UL 1577 标准且长达 1 分钟的 5700V_{RMS} 隔离
  - IEC 62368-1、IEC 60601-1 和 IEC 61010-1 认证
  - CQC、TUV 和 CSA 认证

2 应用

- USB 集线器、主机、外设和电缆隔离
- 医疗
- 工厂自动化
- 电机驱动器
- 电网基础设施
- 电力输送
- USB 音频



应用示意图

3 说明

ISOUSB211 是一款兼容 USB 2.0 的电气隔离式中继器，支持低速 (1.5Mbps)、全速 (12Mbps) 和高速 (480Mbps) 信号传输速率。该器件支持自动连接和速度检测、上拉/下拉反射以及链路电源管理，因而能够实现插入式 USB 集线器、主机、外设和电缆隔离。该器件还支持自动角色交换。如果连接断开后在上行端口上检测到新的连接，上行和下行端口定义将会调换。此功能使器件能够支持 USB On-The-Go (OTG) 和 Type-C 双角色端口 (DRP) 实现。ISOUSB211 内置可编程的均衡功能，能够消除电路板布线导致的信号损失，从而帮助满足 USB2.0 高速 TX 和 RX 眼图模板的要求。该器件采用二氧化硅 (SiO_2) 绝缘隔栅，可承受高达 5700V_{RMS} 的电压和 1500V_{RMS} 的工作电压。与隔离式电源一起使用，此器件可抵御高电压冲击，并防止总线的噪声电流进入本地接地。ISOUSB211 器件可用于增强型隔离。该器件支持 –40°C 至 125°C 的宽环境温度范围，并采用 小尺寸 SSOP-28 (28-DP) 封装。

封装信息

器件型号	封装(1)	封装尺寸(2)
ISOUSB211	SSOP (28) DP	10.30mm × 7.50mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

器件信息

器件型号	特性	等级
ISOUSB211 (1)	保护级别	增强型
	浪涌隔离电压	12800V_{PK}
	隔离额定值	5700V_{RMS}
	隔离工作电压	1500V_{RMS}/ 2121V_{PK}

(1) 增强型隔离选项。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....5
5.4 热性能信息.....6
5.5 功率等级.....6
5.6 绝缘规格.....7
5.7 安全相关认证.....8
5.8 安全限值.....8
5.9 电气特性.....9
5.10 开关特性.....13
5.11 绝缘特性曲线.....15
5.12 典型特性.....15
6 参数测量信息.....16
6.1 测试电路.....16
7 详细说明.....18
7.1 概述.....18
7.2 功能方框图.....18
7.3 特性说明.....19
7.4 器件功能模式.....21
8 应用和实现.....22
8.1 典型应用.....22
8.2 散热注意事项.....27
8.3 电源相关建议.....30
8.4 布局.....30
9 器件和文档支持.....32
9.1 文档支持.....32
9.2 接收文档更新通知.....32
9.3 支持资源.....32
9.4 商标.....32
9.5 静电放电警告.....32
9.6 术语表.....32
10 修订历史记录.....32
11 机械、封装和可订购信息.....33
11.1 卷带包装信息.....40

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

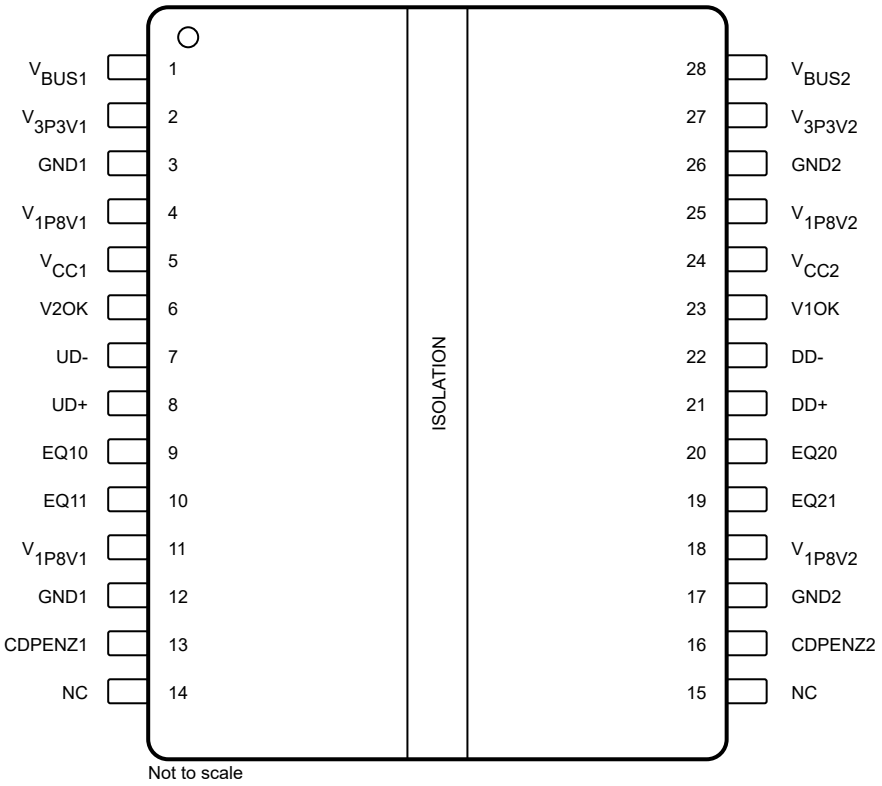


图 4-1. DP 封装 28 引脚 SSOP 顶视图

表 4-1. 引脚功能 - 28 引脚

引脚		类型 (1)	说明
编号	名称		
1	V_{BUS1}	—	1 侧的输入电源。如果存在 4.25V 至 5.5V (例如 USB 电源总线) 电源，则将电源连接到 V_{BUS1}。在这种情况下，内部 LDO 会生成 V_{3P3V1}。否则，将 V_{BUS1} 和 V_{3P3V1} 连接到外部 3.3V 电源。
2	V_{3P3V1}	—	1 侧的电源。如果 V_{BUS1} 上连接了一个 4.25V 至 5.5V 电源，则在 V_{3P3V1} 与 GND1 之间连接一个旁路电容器。在这种情况下，内部 LDO 会生成 V_{3P3V1}。否则，将 V_{BUS1} 和 V_{3P3V1} 连接到外部 3.3V 电源。
3	GND1	—	接地 1。隔离器 1 侧的接地基准。
4	V_{1P8V1}	—	1 侧的电源。如果 V_{CC1} 上连接了一个 2.4V 至 5.5V 电源，则在 V_{1P8V1} 与 GND1 之间连接一个旁路电容器。在这种情况下，内部 LDO 会生成 V_{1P8V1}。否则，将 V_{CC1} 和 V_{1P8V1} 连接到外部 1.8V 电源。
5	V_{CC1}	—	1 侧的输入电源。如果存在 2.4V 至 5.5V (例如 USB 电源总线，或源自 USB 电源总线的直流/直流电源) 电源，则将电源连接到 V_{CC1}。在这种情况下，内部 LDO 会生成 V_{1P8V1}。否则，将 V_{CC1} 和 V_{1P8V1} 连接到外部 1.8V 电源。
6	V2OK	O	该引脚上的高电平表示 2 侧已加电。
7	UD-	I/O	上行端口 D-。
8	UD+	I/O	上行端口 D+。
9	EQ10	I	1 侧的均衡设置，LSB。逻辑输入。
10	EQ11	I	1 侧的均衡设置，MSB。逻辑输入。
11	V_{1P8V1}	—	将引脚 11 连接到引脚 4，并引脚 11 附近放置本地旁路电容器。
12	GND1	—	接地 1。隔离器 1 侧的接地基准。
13	CDPENZ1	I	低电平有效信号。在 UD+/UD- 引脚上启用 CDP 广播。
14	NC	—	保持悬空或连接至 V_{3P3V1}。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能 - 28 引脚（续）

引脚		类型 (1)	说明
编号	名称		
15	NC	—	保持悬空或连接至 V_{3P3V2}。
16	CDPENZ2	I	低电平有效信号。在 DD+/DD- 引脚上启用 CDP 广播。
17	GND2	—	接地 2。隔离器 2 侧的接地基准。
18	V_{1P8V2}	—	将引脚 18 连接到引脚 25，并引脚 18 附近放置本地旁路电容器。
19	EQ21	I	2 侧的均衡设置，MSB。逻辑输入。
20	EQ20	I	2 侧的均衡设置，LSB。逻辑输入。
21	DD+	I/O	下行端口 D+。
22	DD-	I/O	下行端口 D-。
23	V1OK	O	该引脚上的高电平表示 1 侧已加电。
24	V_{CC2}	—	2 侧的输入电源。如果存在 2.4V 至 5.5V（例如 USB 电源总线，或源自 USB 电源总线的直流/直流电源）电源，则将电源连接到 V_{CC2}。在这种情况下，内部 LDO 会生成 V_{1P8V2}。否则，将 V_{CC2} 和 V_{1P8V2} 连接到外部 1.8V 电源。
25	V_{1P8V2}	—	1 侧的电源。如果 V_{CC2} 上连接了一个 2.4V 至 5.5V 电源，则在 V_{1P8V2} 与 GND2 之间连接一个旁路电容器。在这种情况下，内部 LDO 会生成 V_{1P8V2}。否则，将 V_{CC2} 和 V_{1P8V2} 连接到外部 1.8V 电源。
26	GND2	—	接地 2。隔离器 2 侧的接地基准。
27	V_{3P3V2}	—	2 侧的电源。如果 V_{BUS2} 上连接了一个 4.25V 至 5.5V 电源，则在 V_{3P3V2} 与 GND1 之间连接一个旁路电容器。在这种情况下，内部 LDO 会生成 V_{3P3V2}。否则，将 V_{BUS2} 和 V_{3P3V2} 连接到外部 3.3V 电源。
28	V_{BUS2}	—	2 侧的输入电源。如果存在 4.25V 至 5.5V（例如 USB 电源总线）电源，则将电源连接到 V_{BUS2}。在这种情况下，内部 LDO 会生成 V_{3P3V2}。否则，将 V_{BUS2} 和 V_{3P3V2} 连接到外部 3.3V 电源。

(1) I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

		最小值	最大值	单位
V_{BUS1}、V_{BUS2}	V_{BUS} 电源电压	-0.3	6	V
V_{CC1}、V_{CC2}	V_{CC} 电源电压	-0.3	6	V
V_{3P3V1}、V_{3P3V2}	3.3V 输入电源电压	-0.3	4.25	V
V_{1P8V1}、V_{1P8V2}	1.8V 输入电源电压	-0.3	2.1	V
V_{DPDM}	总线引脚（UD+、UD-、DD+、DD-）上的电压总共 1000 次短路事件、累计持续时间为 1000 小时	-0.3	6	V
V_{IO}	IO 电压范围（V*OK、EQ*、CDPENZ*）	-0.3	V_{3P3Vx}+0.3(3)	V
I_O	输出引脚上的输出电流 (V*OK)	-10	10	mA
T_J	结温		150	°C
T_{STG}	贮存温度	-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件能够在该等条件下或在任何超出*建议运行条件*的其他条件下正常运行。如果在*建议运行条件*以外，但在*绝对最大额定值*范围以内使用，器件可能无法完全正常运行，这可能会影响器件的可靠性、功能与性能，并且可能缩短器件寿命。
(2) 所有电压值均是以本地接地端子（GND1 或 GND2）为基准的峰值电压值。
(3) 最大电压不得超过 4.25V。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(1)	±500	V

(1) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{BUSx}	V_{BUS} 输入电压（包括任何纹波）	4.25	5	5.5	V
V_{3P3Vx}	3.3V 输入电源电压（包括任何纹波）	3.0	3.3	3.6	V
V_{CCx}	内部 1.8V LDO 的输入电压（包括任何纹波）	2.4	3	5.5	V
V_{1P8Vx}	1.8 输入电源电压（包括任何纹波）	1.71	1.8	1.94	V
T_A	自然通风条件下的工作温度范围	-40		125	°C
T_J	结温	-55		150	°C

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		ISOUSB211 DP (SSOP) 28 引脚	单位
$R_{\Theta JA}$	结至环境热阻	44.2	°C/W
$R_{\Theta JC(top)}$	结至外壳（顶部）热阻	13.9	°C/W
$R_{\Theta JB}$	结至电路板热阻	19.0	°C/W
ψ_{JT}	结至顶部特征参数	3.3	°C/W
ψ_{JB}	结至电路板特征参数	18.4	°C/W
$R_{\Theta JC(bot)}$	结至外壳（底部）热阻	-	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

5.5 功率等级

参数		测试条件	最小值	典型值	最大值	单位
ISOUSB211						
P_D	最大功耗（两侧）	V_{BUS1} = V_{BUS2} = V_{CC1} = V_{CC2} = 5.5V、T_J = 150°C、R_L = 50Ω（在 DD- 和 DD+ 至 GNDx 上均如此），在 UD- 和 UD+ 上输入 240MHz、50% 占空比、0mV 至 400mV 摆幅的差分信号			1232	mW
P_{D1}	最大功耗（1 侧）	V_{BUS1} = V_{BUS2} = V_{CC1} = V_{CC2} = 5.5V、T_J = 150°C、R_L = 50Ω（在 DD- 和 DD+ 至 GNDx 上均如此），在 UD- 和 UD+ 上输入 240MHz、50% 占空比、0mV 至 400mV 摆幅的差分信号			616	mW
P_{D2}	最大功耗（2 侧）	V_{BUS1} = V_{BUS2} = V_{CC1} = V_{CC2} = 5.5V、T_J = 150°C、R_L = 50Ω（在 DD- 和 DD+ 至 GNDx 上均如此），在 UD- 和 UD+ 上输入 240MHz、50% 占空比、0mV 至 400mV 摆幅的差分信号			616	mW

Copyright © 2025 Texas Instruments Incorporated

5.6 绝缘规格

参数		测试条件	规格 DP-28	单位
IEC 60664-1				
CLR	外部间隙(1)	1 侧到 2 侧的空间距离	>8.15	mm
CPG	外部爬电距离(1)	1 侧到 2 侧的封装表面距离	>8.15	mm
DTI	绝缘穿透距离	最小内部间隙	>21	μm
CTI	相对漏电起痕指数	IEC 60112；UL 746A	>600	V
	材料组	符合 IEC 60664-1	I	
	过压类别	额定市电电压 ≤ 600V_{RMS}	I-IV	
		额定市电电压 ≤ 1000V_{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)(2)				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	2121	V_{PK}
V_{IOWM}	最大隔离工作电压	交流电压（正弦波）；时间依赖型电介质击穿 (TDDB) 测试；	1500	V_{RMS}
		直流电压	2121	V_{DC}
V_{IOSM}	最大浪涌隔离电压(3)	在油中测试（鉴定测试）1.2/50μs 方波，符合 IEC 62368-1	12800	V_{PK}
q_{pd}	视在电荷(4)	方法 a：I/O 安全测试子组 2/3 后，V_{ini} = V_{IOTM}，t_{ini} = 60s；$V_{pd(m)}$ = 1.2 × V_{IORM}，t_m = 10s	≤ 5	pC
		方法 a：环境测试子组 1 后，V_{ini} = V_{IOTM}，t_{ini} = 60s；$V_{pd(m)}$ = 1.6 × V_{IORM}，t_m = 10s	≤ 5	
		方法 b：常规测试（100% 生产测试）； Vini = 1.2 x V_{IOTM}，tini = 1s； Vpd(m) = 1.875 x VIORM，tm = 1s（方法 b1）或 Vpd(m) = Vini，tm = tini（方法 b2）	≤ 5	
C_{IO}	势垒电容，输入至输出(5)	V_{IO} = 0.4 × sin (2 pft)，f = 1MHz	1.2	pF
R_{IO}	隔离电阻，输入至输出(5)	V_{IO} = 500V，T_A = 25°C	> 10^{12}	Ω
		V_{IO} = 500V，100°C ≤ T_A ≤ 125°C	> 10^{11}	
		V_{IO} = 500V，T_S = 150°C	> 10^9	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V_{ISO}	可承受的隔离电压	V_{TEST} = V_{ISO}，t = 60s（鉴定测试）；V_{TEST} = 1.2 × V_{ISO}，t = 1s（100% 生产测试）	5700	V_{RMS}

(1) 电路板设计过程中必须谨慎小心，确保印刷电路板 (PCB) 上隔离器的安装焊盘不会缩短爬电距离和间隙。插入坡口、肋或两者都有助于增加 PCB 上的爬电距离。
(2) ISOUSB211 仅适用于安全额定值范围内的安全电气绝缘。应借助合适的保护电路来确保符合安全等级。
(3) 在油中进行测试，以确定隔离栅的固有浪涌抗扰度。
(4) 视在电荷是局部放电 (pd) 引起的电气放电。
(5) 将隔离层每一侧的所有引脚都连在一起，构成一个双引脚器件。

Copyright © 2025 Texas Instruments Incorporated

5.7 安全相关认证

VDE	CSA	UL	CQC	TUV
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	根据 IEC 61010-1、IEC 62368-1 和 IEC 60601-1 进行了认证	在 UL 1577 组件认证计划下进行了认证	根据 GB 4943.1 进行了认证	根据 EN 61010-1 和 EN 62368-1 进行了认证
证书编号：40040142	主合同：220991	文件编号：E181974	证书：CQC15001121716	客户端 ID：77311

5.8 安全限值

安全限制(1)旨在更大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	最小值	典型值	最大值	单位
DP-28 封装						
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 44.2°C/W，V_I = 5.5V，T_J = 150°C，T_A = 25°C			514	mA
		$R_{\theta JA}$ = 44.2°C/W，V_I = 3.6V，T_J = 150°C，T_A = 25°C			785	mA
		$R_{\theta JA}$ = 44.2°C/W，V_I = 1.94V，T_J = 150°C，T_A = 25°C			1457	mA
P_S	安全输入、输出或总功率	$R_{\theta JA}$ = 44.2°C/W，T_J = 150°C，T_A = 25°C			2828	mW
T_S	最高安全温度				150	°C

(1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。
表中的结至空气热阻 $R_{\theta JA}$ 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。可使用以下公式计算各参数值：
$T_J = T_A + R_{\theta JA} \times P$，其中，P 为器件所耗功率。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$，其中，$T_{J(max)}$ 为允许的最大结温。
$P_S = I_S \times V_I$，其中，V_I 为最大输入电压。

Copyright © 2025 Texas Instruments Incorporated

5.9 电气特性

在建议的工作条件下测得（除非另有说明）。所有典型值均在 T_A = 25°C、V_{BUSx} = 5V、V_{3P3Vx} = 3.3V、V_{1P8Vx} = 1.8V 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
电源特性						
I_{VBUSx} 或 I_{V3P3Vx}	V_{BUS} 或 V_{3P3V} 电流消耗 - 高速 (HS) 模式	接收侧 HS 有效（240MHz 信号速率）、EQxx = 00、R_L = 45Ω 接地（D+ 和 D- 上）		11.0	13.5	mA
		发送侧 HS 有效（240MHz 信号速率）、EQxx = 00、R_L= 45Ω 接地（D+ 和 D- 上）		10.5	13.5	mA
		HS 空闲状态、EQxx = 00、R_L= 45Ω 接地（D+ 和 D- 上）		10.5	13.5	mA
I_{VBUSx} 或 I_{V3P3Vx}	V_{BUS} 或 V_{3P3V} 电流消耗 - 全速 (FS) 和低速 (LS) 模式	接收侧 FS 有效（6MHz 信号速率），图 7-9，C_L= 50pF		12	15.3	mA
		发送侧 FS 有效（6MHz 信号速率），图 7-9，C_L= 50pF		9.5	13	mA
		接收侧 LS 有效（750kHz 信号速率），图 7-10，C_L= 450pF		11	13.5	mA
		发送侧 LS 有效（750kHz 信号速率），图 7-10，C_L= 450pF		9.5	13	mA
		FS/LS 空闲状态（US 侧或 DS 侧）		7.4	11	mA
I_{VBUSx} 或 I_{V3P3Vx}	V_{BUS} 或 V_{3P3V} 电流消耗 - L1 睡眠模式	上行侧		7.5	9.8	mA
		下行侧		7.3	9.5	mA
I_{VBUSx} 或 I_{V3P3Vx}	V_{BUS} 或 V_{3P3V} 电流消耗 - L2 暂停模式	上行侧		1.07	1.55	mA
		下行侧		5.6	7.5	mA
I_{VBUSx} 或 I_{V3P3Vx}	V_{BUS} 或 V_{3P3V} 电流消耗 - 未连接	上行侧		6.2	8.5	mA
		下行侧		6.2	8.9	mA
I_{VCCx} 或 I_{V1P8Vx}	I_{VCCx} 或 I_{V1P8Vx} 电流消耗 - 高速 (HS) 模式	接收侧 HS 有效（240MHz 信号速率）、EQxx = 00、R_L = 45Ω 接地（D+ 和 D- 上）		80	96	mA
		发送侧 HS 有效（240MHz 信号速率）、EQxx = 00、R_L = 45Ω 接地（D+ 和 D- 上）		85	96	mA
		HS 空闲状态、EQxx = 00、R_L = 45Ω 接地（D+ 和 D- 上）。		77	90	mA
I_{VCCx} 或 I_{V1P8Vx}	I_{VCCx} 或 I_{V1P8Vx} 电流消耗 - 全速 (FS) 和低速 (LS) 模式	接收侧 FS 有效（6MHz 信号速率），图 7-9，C_L= 50pF		0.4	0.55	mA
		发送侧 FS 有效（6MHz 信号速率），图 7-9，C_L= 50pF		0.4	0.55	mA
		接收侧 LS 有效（750kHz 信号速率），图 7-10，C_L= 450pF		0.4	0.55	mA
		发送侧 LS 有效（750kHz 信号速率），图 7-10，C_L= 450pF		0.4	0.55	mA
		FS/LS 空闲状态		0.4	0.55	mA
I_{VCCx} 或 I_{V1P8Vx}	I_{VCCx} 或 I_{V1P8Vx} 电流消耗 - L1 睡眠模式	上行侧		0.4	0.55	mA
		下行侧		0.4	0.55	mA
I_{VCCx} 或 I_{V1P8Vx}	I_{VCCx} 或 I_{V1P8Vx} 电流消耗 - L2 暂停模式	上行侧		0.4	0.55	mA
		下行侧		0.4	0.55	mA

Copyright © 2025 Texas Instruments Incorporated

在建议的工作条件下测得（除非另有说明）。所有典型值均在 T_A = 25°C、V_{BUSx} = 5V、V_{3P3Vx} = 3.3V、V_{1P8Vx} = 1.8V 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
I_{VCCx} 或 I_{V1P8Vx}	I_{VCCx} 或 I_{V1P8Vx} 电流消耗 - 未连接	上行侧		0.4	0.55	mA
		下行侧		0.4	0.55	mA
$UV+_{(VBUSx)}$ (1)	电源电压升高时的欠压阈值，V_{BUS}				4.0	V
$UV-_{(VBUSx)}$ (1)	电源电压下降时的欠压阈值，V_{BUS}		3.6			V
$UVHYS_{(VBUSx)}$ (1)	欠压阈值迟滞，V_{BUS}			0.08		V
$UV+_{(V3P3Vx)}$	电源电压升高时的欠压阈值，V_{3P3V}				2.95	V
$UV-_{(V3P3Vx)}$	电源电压下降时的欠压阈值，V_{3P3V}		1.95			V
$UVHYS_{(V3P3Vx)}$	欠压阈值迟滞，V_{3P3V}			0.11		V
$UV+_{(VCCx)}$ (2)	电源电压升高时的欠压阈值，V_{CC}				2.35	V
$UV-_{(VCCx)}$ (2)	电源电压下降时的欠压阈值，V_{CC}		2			V
$UVHYS_{(VCCx)}$ (2)	欠压阈值迟滞，V_{CC}			0.07		V
$UV+_{(V1P8Vx)}$	电源电压升高时的欠压阈值，V_{1P8V}				1.66	V
$UV-_{(V1P8Vx)}$	电源电压下降时的欠压阈值，V_{1P8V}		1.25			V
$UVHYS_{(V1P8Vx)}$	欠压阈值迟滞，V_{1P8V}			0.05		V
数字输入						
V_{IH}	高电平输入电压		0.7 x V_{3PV3x}			V
V_{IL}	低电平输入电压				0.3 x V_{3PV3x}	V
V_{IHYS}	输入转换阈值迟滞		0.3			V
I_{IH}	高电平输入电流				1	µA
I_{IL}	低电平输入电流				10	µA
数字输出（V1OK、V2OK）						
V_{OH}	高电平输出电压	I_O = -3mA（对于 3.0V ≤ V_{3P3Vx} ≤ 3.6V）	V_{3P3Vx} - 0.2			V
V_{OL}	低电平输出电压	I_O = 3mA（对于 3.0V ≤ V_{3P3Vx} ≤ 3.6V）			0.2	V
UDx、DDx、输入电容和端接						
Z_{INP_xDx}	接地阻抗，无上拉/下拉	Vin=3.6V，V_{3P3Vx}=3.0V，T_J < 125℃，USB 2.0 规范第 7.1.6 节	300			kΩ
C_{IO_xDx}	接地电容	在 240MHz 且驱动器为高阻态时使用 VNA 测得			10	pF
R_{PUI}	上行端口上的总线上拉电阻（空闲）	USB 2.0 规范第 7.1.5 节	0.9	1.1	1.575	kΩ
R_{PUR}	上行端口上的总线上拉电阻（接收）	USB 2.0 规范第 7.1.5 节	1.5	2.2	3	kΩ
R_{PD}	下行端口上的总线下拉电阻	USB 2.0 规范第 7.1.5 节	14.25	19	24.8	kΩ
V_{TERM}	上行端口上拉电阻的端接电压 (RPU)	USB 2.0 规范第 7.1.5 节，在断开外部负载且上行端口上启用上拉电阻的情况下在 D+ 或 D- 上测得。	3		3.6	V
V_{HSTERM}	高速端接电压	USB 2.0 规范第 7.1.6.2 节，高速空闲状态下的输出电压	-10		10	mV
Z_{HSTERM}	驱动器输出电阻（也用作高速端接）	（VOH= 0mV 到 600mV）USB 2.0 规范第 7.1.1.1 节和图 7-5	40.5	45	49.5	Ω
UDX、DDx、输入电平 LS/FS						
V_{IH}	高电平（驱动）	USB 2.0 规范第 7.1.4 节（在连接器处测量）	2			V

Copyright © 2025 Texas Instruments Incorporated

在建议的工作条件下测得（除非另有说明）。所有典型值均在 T_A = 25°C、V_{BUSx} = 5V、V_{3P3Vx} = 3.3V、V_{1P8Vx} = 1.8V 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
V_{IHZ}	高电平（悬空）	USB 2.0 规范第 7.1.4 节（下行端口下拉电阻器和上行端口上拉电阻器启用）。	2.7		3.6	V
V_{IL}	低	USB 2.0 规范第 7.1.4 节			0.8	V
V_{DI}	差分输入灵敏度	|(xD+)-(xD-)|；USB 2.0 规范图 7-19；（在连接器处测量）	0.2			V
V_{CM}	共模范围	包括 VDI 范围；USB 2.0 规范图 7-19；（在连接器处测量）	0.8		2.5	V
UDX、DDx、输出电平 LS/FS						
V_{OL}	低	USB 2.0 规范第 7.1.1 节，在 RL 为 0.9kΩ 且连接到 3.6V 条件下测得	0		0.3	V
V_{OH}	高电平（驱动）	USB 2.0 规范第 7.1.1 节，在 RL 为 14.25kΩ 且接地条件下测得	2.8		3.6	V
V_{OSE1}	SE1	USB 2.0 规范第 7.1.1 节	0.8			V
Z_{FSTERM}	驱动器串联输出电阻	USB 2.0 规范第 7.1.1 节和图 7-4，在 VOL 或 VOH 期间测得	28		44	Ω
V_{CRS}	输出信号交叉电压	USB 2.0 规范第 7.1.1 节的图 7-8、7-9 和 7-10；不包括从空闲状态的第一次转换	1.3		2	V
UDX、DDx、输入电平 HS						
V_{HSSQ}	高速静噪/无静噪检测阈值	USB 2.0 规范第 7.1.7.2 节，在 240MHz 且振幅增大、V_{CM} = -50mV 至 500mV 条件下测得	100	116	150	mV
V_{HSDSC}	高速断开检测阈值 $_{HSDC}$ 典型值	USB 2.0 规范第 7.1.7.2 节，在 V_{CM} = -50mV 至 500mV 下测得	525	575	625	mV
V_{CHIRP_TH}	线性调频脉冲检测阈值	线性调频脉冲检测阈值，在 V_{CM} = -50mV 至 500mV 下测得	70	215	365	mV
V_{HSRX}	高速差分输入信号电平数据灵敏度	240MHz 时的峰峰值			100	mV
V_{HSCM}	高速数据信号共模电压范围	USB 2.0 规范第 7.1.4.2 节	-50	200	500	mV
UDx、DDx、输出电平 HS						
V_{HSOH}	高速数据信号高电平	USB 2.0 规范第 7.1.7.2 节，EQxx = 00，测试负载：D+ 和 D- 上的 45Ω 接地电阻	360	400	440	mV
V_{HSOL}	高速数据信号低电平	USB 2.0 规范第 7.1.7.2 节，EQxx = 00，测试负载：D+ 和 D- 上的 45Ω 接地电阻	-10		10	mV
V_{HSOI}	高速数据信号空闲、驱动器关闭且端接打开（测量的单端）	USB 2.0 规范第 7.1.7.2 节，EQxx = 00，测试负载：D+ 和 D- 上的 45Ω 接地电阻	-10		10	mV
V_{CHIRPJ}	线性调频脉冲 J 电平（差分电压）	USB 2.0 规范第 7.1.7.2 节，EQxx = 00，测试负载：D+ 和 D- 上的 45Ω 接地电阻，D+ 上存在 2.2kΩ 上拉电阻并连接到 3.3V	700	850	1100	mV
V_{CHIRPK}	线性调频脉冲 K 电平（差分电压）	USB 2.0 规范第 7.1.7.2 节，EQxx = 00，测试负载：D+ 和 D- 上的 45Ω 接地电阻，D+ 上存在 2.2kΩ 上拉电阻并连接到 3.3V	-900	-750	-500	mV
$U2_TX_{CM}$	高速 TX 直流共模	测试负载：D+ 和 D- 上的 45Ω 接地电阻	-50	200	500	mV

Copyright © 2025 Texas Instruments Incorporated

在建议的工作条件下测得（除非另有说明）。所有典型值均在 T_A = 25°C、V_{BUSx} = 5V、V_{3P3Vx} = 3.3V、V_{1P8Vx} = 1.8V 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
均衡和预加重						
EQ_{HS}	高速 RX 均衡	EQ1=低电平，EQ0=低电平，240MHz	-0.24	0.46	0.75	dB
EQ_{HS}	高速 RX 均衡	EQ1=低电平，EQ0=悬空，240MHz	0.27	0.98	1.5	dB
EQ_{HS}	高速 RX 均衡	EQ1=低电平，EQ0=高电平，240MHz	0.70	1.50	2.2	dB
EQ_{HS}	高速 RX 均衡	EQ1=悬空，EQ0=低电平，240MHz	1.04	2.00	2.81	dB
EQ_{HS}	高速 RX 均衡	EQ1=悬空，EQ0=悬空，240MHz	1.45	2.68	3.8	dB
EQ_{HS}	高速 RX 均衡	EQ1=悬空，EQ0=高电平，240MHz	1.73	3.09	4.4	dB
EQ_{HS}	高速 RX 均衡	EQ1=高电平，EQ0=低电平，240MHz	2.00	3.46	4.7	dB
EQ_{HS}	高速 RX 均衡	EQ1=高电平，EQ0=悬空，240MHz	2.25	3.80	5.1	dB
EQ_{HS}	高速 RX 均衡	EQ1=高电平，EQ0=高电平，240MHz	2.25	3.80	5.1	dB
PE_{HS}	高速 TX 预加重	EQ1=低电平，EQ0=低电平，240MHz	0.25	0.48	0.75	dB
PE_{HS}	高速 TX 预加重	EQ1=低电平，EQ0=悬空，240MHz	0.62	0.9	1.2	dB
PE_{HS}	高速 TX 预加重	EQ1=低电平，EQ0=高电平，240MHz	0.89	1.36	1.5	dB
PE_{HS}	高速 TX 预加重	EQ1=悬空，EQ0=低电平，240MHz	1.4	1.7	2.0	dB
PE_{HS}	高速 TX 预加重	EQ1=悬空，EQ0=悬空，240MHz	1.7	2.1	2.5	dB
PE_{HS}	高速 TX 预加重	EQ1=悬空，EQ0=高电平，240MHz	2.1	2.5	2.9	dB
PE_{HS}	高速 TX 预加重	EQ1=高电平，EQ0=低电平，240MHz	2.7	3.2	3.7	dB
PE_{HS}	高速 TX 预加重	EQ1=高电平，EQ0=悬空，240MHz	3.4	4.0	4.6	dB
PE_{HS}	高速 TX 预加重	EQ1=高电平，EQ0=高电平，240MHz	3.4	4.0	4.6	dB
CDP						
V_{DM_SRC}	VDM_SRC 电压	负载电流范围为 0 至 250uA	0.5		0.7	V
I_{DP_SINK}	IDP_SINK (D+)	D+ 电压 = 0V 至 0.7V	25		175	μA
V_{DAT_REF+}	VDAT_REF 比较器上升阈值		300		400	mV
V_{DAT_REF-}	VDAT_REF 比较器下降阈值		275		385	mV
热关断						
TSD+	热关断开启温度		160	170	180	°C
TSD-	热关断关闭温度		150	160	170	°C
TSD_{HYS}	热关断迟滞			10		°C

(1) 如果 V_{BUSx} 引脚在外部连接到相应的 V_{3P3Vx} 引脚，则 V_{BUSx} 上的 UVLO 阈值由 $UV+_{(V3P3Vx)}$、$UV-_{(V3P3Vx)}$ 和 $UVHYS_{(V3P3Vx)}$ 控制
(2) 如果 V_{CCx} 引脚在外部连接到相应的 V_{1P8Vx} 引脚，则 V_{CCx} 上的 UVLO 阈值由 $UV+_{(V1P8Vx)}$、$UV-_{(V1P8Vx)}$ 和 $UVHYS_{(V1P8Vx)}$ 控制

Copyright © 2025 Texas Instruments Incorporated

5.10 开关特性

在建议的工作条件下测得（除非另有说明）。所有典型值均在 T_A = 25°C、V_{BUSx} = 5V、V_{3P3Vx} = 3.3V、V_{1P8Vx} = 1.8V 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
上电时序						
T_{PWRUP}	1 侧和 2 侧上提供有效电源后，器件上电并识别 USB 信号所需的时间。	所有外部电源都在 5µs 的上电时间内一起斜升。		3.6	8	ms
UDx、DDx、HS 驱动器开关特性						
T_{HSR}	上升时间 (10% - 90%)	USB 2.0 规范第 7.1.2 节，D+ 和 D- 上存在 45Ω 接地负载，EQxx = 00	310	370	510	ps
T_{HSF}	下降时间 (10% - 90%)	USB 2.0 规范第 7.1.2 节，D+ 和 D- 上存在 45Ω 接地负载，EQxx = 00	310	370	510	ps
UDx、DDx、FS 驱动器开关特性						
T_{FR}	上升时间 (10% - 90%)	USB 2.0 规范图 7-8、7-9，C_L = 50pF	4		20	ns
T_{FF}	下降时间 (10% - 90%)	USB 2.0 规范图 7-8、7-9，C_L = 50pF	4		20	ns
T_{FRFM}	差分上升和下降时间匹配 (T_{FR}/T_{FM})	USB 2.0 规范第 7.1.2 节，不包括从空闲状态到其他状态的第一次转换，图 7-9，C_L = 50pF	90		111.1	%
UDx、DDx、LS 驱动器开关特性						
T_{LR}	上升时间 (10% - 90%)	USB 2.0 规范图 7-8 和 7-10，C_L 范围为 50pF 至 600pF。	75		300	ns
T_{LF}	下降时间 (10% - 90%)	USB 2.0 规范图 7-8 和 7-10，C_L 范围为 50pF 至 600pF。	75		300	ns
T_{LRFM}	上升和下降时间匹配 (TLR/TFM)，不包括从空闲状态到其他状态的第一次转换。	USB 2.0 规范图 7-8 和 7-10，C_L 范围为 50pF 至 600pF。	80		125	%
中继器时序 - 连接、断开、复位、L1、L2						
$T_{FILTCONN}$	FS 或 LS 连接检测上的去抖滤波器		45	70	80	µs
T_{DDIS}	在 LS/FS L0 模式下检测下行侧端口断开的时间。		2		7	µs
T_{DETRST}	在 LS/FS L0 模式下检测上行端口上复位所需的时间		0		7	µs
T_{2SUSP}	当总线持续处于空闲状态时，上行侧检测到暂停 (L2) 且电流消耗小于 2.5mA 所需的时间		3		10	ms
$t_{DRESUMEL1}$	检测到上行侧恢复和下行端口反映恢复/从睡眠/L1 状态驱动恢复所需的最长时间。				1	µs
$t_{DRESUMEL2}$	检测到上行侧恢复和下行端口反映恢复/从暂停/L2 状态驱动恢复所需的最长时间。				130	µs
$t_{DWAKEL1}$	处于睡眠/L1 状态时检测和传播远程唤醒所需的最长时间。				5	µs
$t_{DWAKEL2}$	处于暂停/L2 状态时确保可检测到远程唤醒的远程唤醒最大脉冲宽度。				900	µs
$t_{DRSMPROP}$	处于暂停/L2 状态时检测到远程唤醒后，从上行和下行驱动恢复的最短持续时间。		1			ms
CMTI	共模瞬态抗扰度	峰峰值共模噪声，V_{CMPKPK} = 1200V，（xD+、xD-）设置为 (V_{3P3Vx}, 0)、(0, V_{3P3Vx}) 或 (0,0)。参阅 图 6-3	50	100		kV/µs

在建议的工作条件下测得（除非另有说明）。所有典型值均在 T_A = 25°C、V_{BUSx} = 5V、V_{3P3Vx} = 3.3V、V_{1P8Vx} = 1.8V 条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
中继器时序 - LS、FS						
T_{LSDD}	低速差分数据传播延迟	USB 2.0 规范第 7.1.14 节。图 7-52(C)。			358	ns
T_{LSOP}	SOP 后的 LS 数据位宽失真	USB 2.0 规范第 7.1.14 节。图 7-52(C)。	-40		25	ns
T_{LSJP}	LS 中继器附加抖动 - 成对转换	USB 2.0 规范第 7.1.14 节。图 7-52(C)。	-5		5	ns
T_{LSJN}	LS 中继器附加抖动 - 下一个转换	USB 2.0 规范第 7.1.14 节。图 7-52(C)。	-7.0		7.0	ns
T_{LST}	LS 差分转换期间 SE0 间隔的最小宽度 - 由中继器滤除	USB 2.0 规范第 7.1.4 节。	210			ns
T_{LEOPD}	相对于 T_{LSDD} 的中继器 EOP 延迟	USB 2.0 规范第 7.1.14 节。图 7-53(C)。	0		200	ns
T_{LESK}	LS EOP 期间中继器导致的 SE0 偏斜	USB 2.0 规范第 7.1.14 节。图 7-53(C)。	-100		100	ns
T_{FSDD}	全速差分数据传播延迟	USB 2.0 规范第 7.1.14 节。图 7-52(C)。			70	ns
T_{FSOP}	SOP 后的 FS 数据位宽失真	USB 2.0 规范第 7.1.14 节。图 7-52(C)。	-10		10	ns
T_{FSJP}	FS 中继器附加抖动 - 成对转换	USB 2.0 规范第 7.1.14 节。图 7-52(C)。	-2		2	ns
T_{FSJN}	FS 中继器附加抖动 - 下一个转换	USB 2.0 规范第 7.1.14 节。图 7-52(C)。	-6.0		6.0	ns
T_{FST}	FS 差分转换期间 SE0 间隔的最小宽度 - 由中继器滤除	USB 2.0 规范第 7.1.4 节。	14			ns
T_{FEOPD}	相对于 T_{FSDD} 的中继器 EOP 延迟	USB 2.0 规范第 7.1.14 节。图 7-53(C)。	0		17	ns
T_{FESK}	FS EOP 期间中继器导致的 SE0 偏斜	USB 2.0 规范第 7.1.14 节。图 7-53(C)。	-15		15	ns
中继器时序 - HS						
T_{HSSOPT}	高速起始包截断	USB 2.0 规范第 7.1.10 节。		6	8	UI
T_{HSEOPD}	高速结束包 Dribble	USB 2.0 规范第 7.1.13 节。		7	8	UI
T_{HSPD}	高速传播延迟	USB 2.0 规范第 7.1.14 节。	2	3	4	ns
T_{HSTJ}	中继器的高速总附加抖动（输出抖动 - 输入抖动）（包括所有完整的 SOP 位），EQxx=00				120	ps
T_{HSRJ}	中继器的高速附加随机抖动（输出抖动 - 输入抖动）（包括所有完整的 SOP 位），EQxx=00				35	ps
T_{HSDJ}	中继器的高速附加确定性抖动（输出抖动 - 输入抖动）（包括所有完整的 SOP 位），EQxx=00。				82	ps
T_{HSDIS}	连续无转换的时间窗口，在此期间对 HS 断开检测器输出进行采样		36		82	ns
T_{FILT}	在复位握手期间，集线器或器件必须持续检测（过滤）线性调频脉冲 J 或线性调频脉冲 K 的时间	USB 2.0 规范第 7.1.7.5 节。	2.5			µs
CDP 时序						
$T_{VDMSRCEN}$	在 D+ 上检测到 VDPSRC 连接后，在 D- 上启用 VDMSRC 所需的时间				0.1	ms
$T_{VDMSRCDIS}$	在 D+ 上检测到 VDPSRC 断开后，在 D- 上禁用 VDMSRC 所需的时间				0.1	ms
$T_{CON_IDPSINK_DIS}$	检测到连接后在 D+ 上禁用 IDP_Sink 所需的时间				0.1	ms

Copyright © 2025 Texas Instruments Incorporated

5.11 绝缘特性曲线

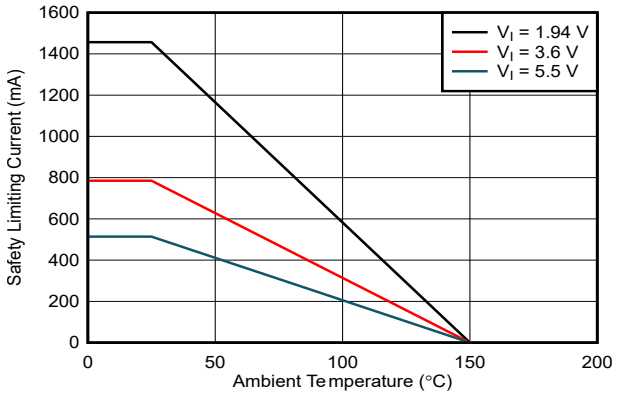


图 5-1. DP-28 封装根据 VDE 标准限制电流的热降额曲线

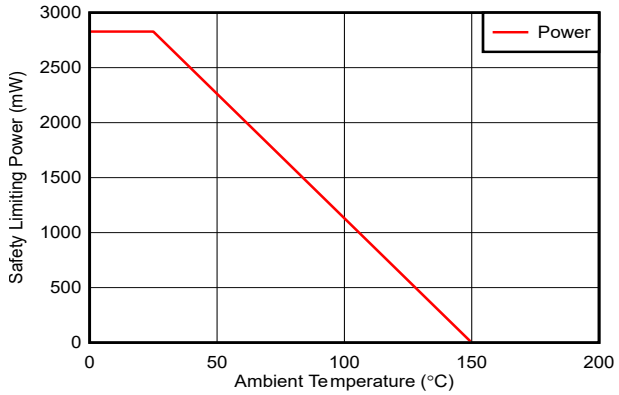


图 5-2. DP-28 封装根据 VDE 标准限制功率的热降额曲线

5.12 典型特性

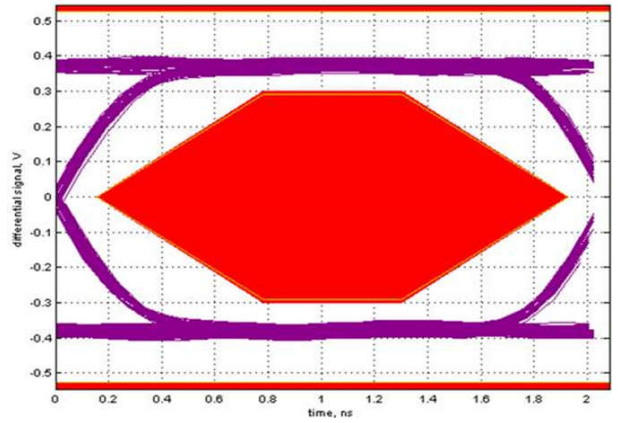


图 5-3. 通过 ISOUSB211 实现的典型高速 (480Mbps) 眼图

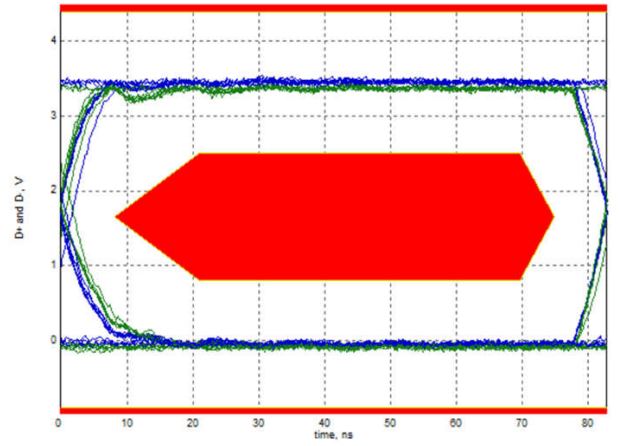


图 5-4. 通过 ISOUSB211 实现的典型全速 (12Mbps) 眼图

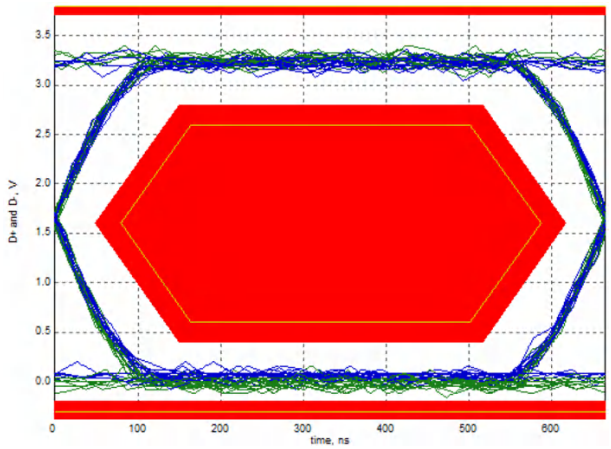


图 5-5. 通过 ISOUSB211 实现的典型低速 (1.5Mbps) 眼图

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

6.1 测试电路

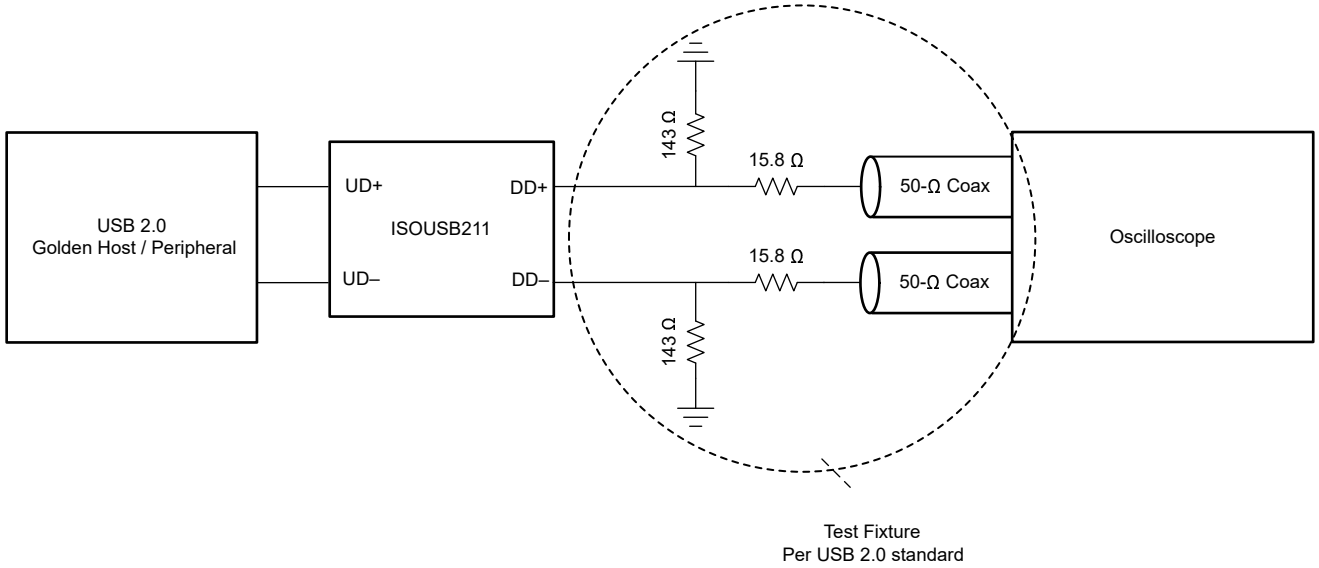


图 6-1. HS 的上行和下行数据包参数和眼图测量

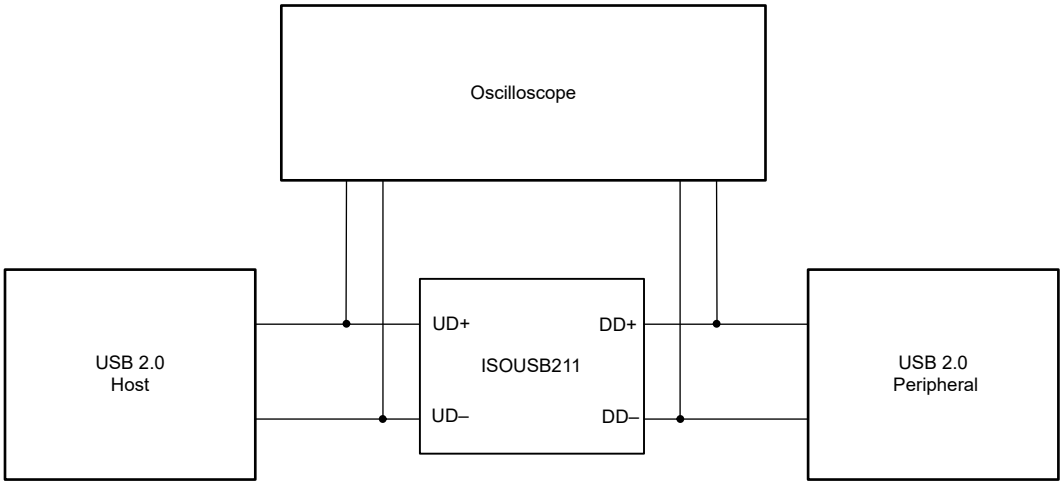


图 6-2. LS、FS 的上行和下行数据包参数和眼图测量

Copyright © 2025 Texas Instruments Incorporated

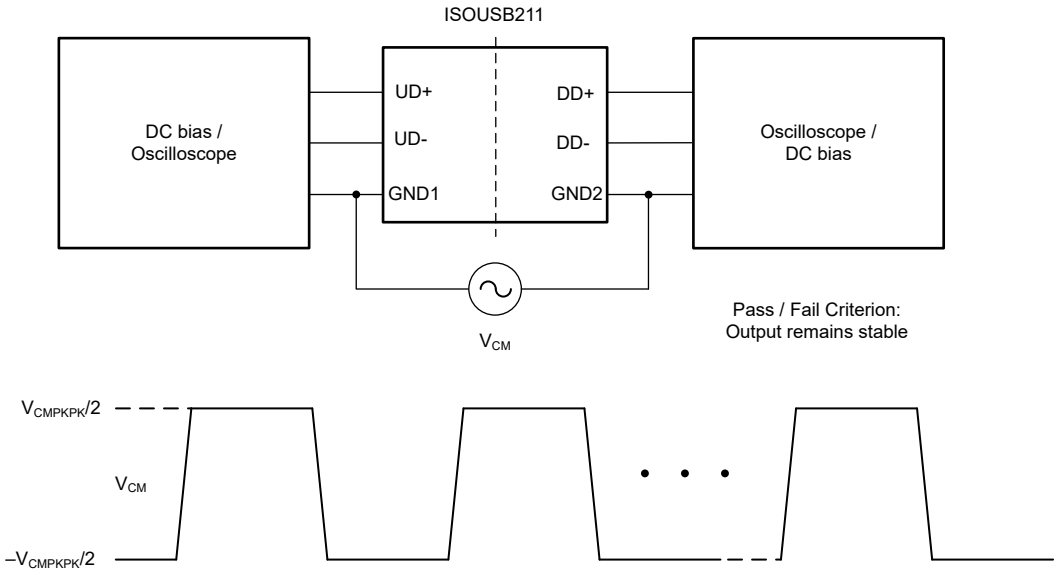


图 6-3. 共模瞬态抗扰度测试电路

7 详细说明

7.1 概述

ISOUSB211 是一款兼容 USB2.0 的电气隔离式中继器，支持低速 (1.5Mbps)、全速 (12Mbps) 和高速 (480Mbps) 信号传输速率。该器件支持自动速度和连接检测、上拉/下拉反射以及链路电源管理，因而能够实现插入式 USB 集线器、主机、外设和电缆隔离。大多数微控制器都集成了 USB PHY，因此只提供 D+ 和 D- 总线作为外部引脚。ISOUSB211 可以将这些引脚与 USB 总线隔离，无需微控制器的任何其他干预。该器件还支持自动角色交换。如果连接断开后在上行端口上检测到新的连接，上行和下行端口定义将会调换。ISOUSB211 内置可编程的均衡功能，能够消除电路板布线导致的信号损失，从而帮助满足 USB2.0 高速 TX 和 RX 眼图模板的要求。该器件还会根据 USB2.0 标准的要求，自动检测是否已进入高速 (HS) 测试模式，以支持 HS 合规性测试。

ISOUSB211 提供增强型隔离选项，隔离耐受电压为 5700V_{RMS} ，浪涌测试电压为 12.8kV_{PK}。该器件可以完全采用 4.25V 至 5.5V 电源（USB VBUS 电源）或者采用 1 侧和 2 侧上的本地 3.3V 和 1.8V 电源（如果有）工作。这种电源电压灵活性允许根据系统中可用的电源轨来优化热性能。

7.2 功能方框图

图 7-1 展示了 ISOUSB211 的简化功能方框图。该器件包含以下部分：

1. 发送和接收电路以及上拉和下拉电阻器，符合 USB 标准。
2. 数字逻辑，用于处理双向通信和各种状态转换。
3. 内部 LDO，用于分别从 V_{BUSx} 和 V_{CCx} 电源生成 V_{3P3Vx} 和 V_{1P8Vx}。
4. 电隔离。

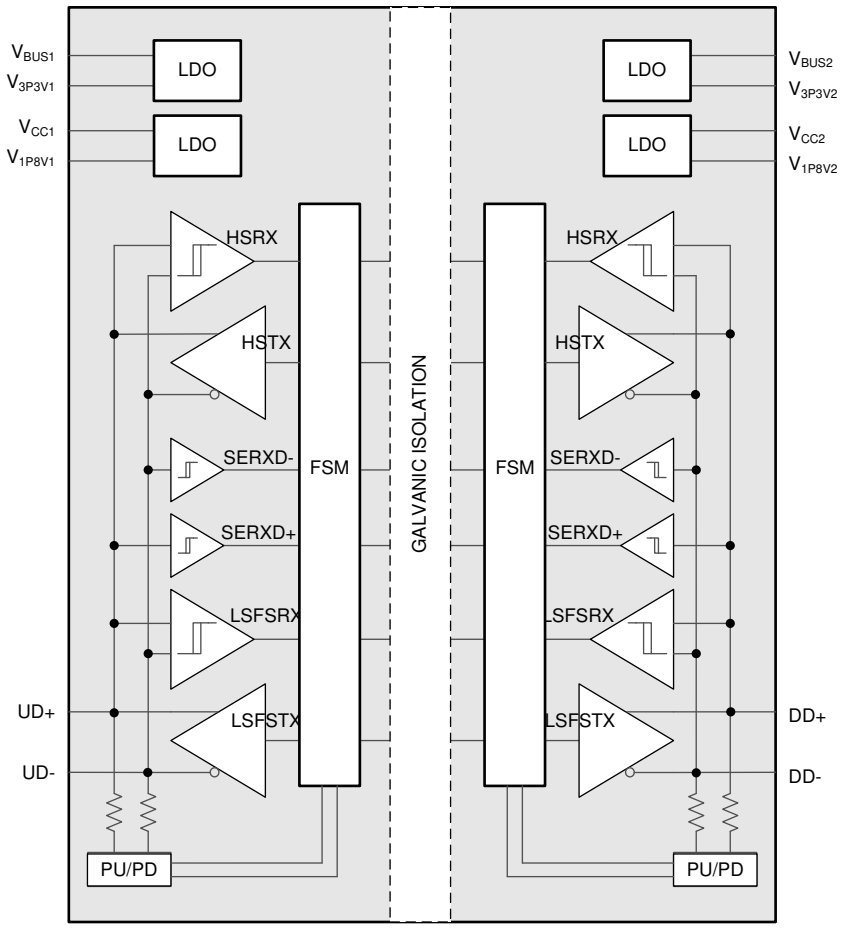


图 7-1. ISOUSB211 简化功能方框图

Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 电源选项

ISOUSB211 可以通过在 V_{BUSx} 引脚上连接一个 4.25V 至 5.5V 电源来供电，这时内部 LDO 会生成 V_{3P3Vx} 电压。此选项适用于 USB 连接器一侧，该侧提供 5V VBUS 电源。或者，V_{BUSx} 和 V_{3P3Vx} 引脚可以短接在一起，并且可以在这两个引脚上连接一个外部 3.3V 电源。第二个选项适用于微控制器一侧，该侧可能不会持续提供 5V 电源。

ISOUSB211 还需要 1.8V 电源才能运行。V_{CCx} 引脚上可以连接 2.4V 至 5.5V 电源，这时内部 LDO 会生成 V_{1P8Vx} 电源。在更简单的实现中，V_{CCX} 可以连接到连接器一侧的 USB VBUS，以及微控制器一侧的 3.3V 本地电源。在该实现中，ISOUSB 的内部 LDO 上存在功率损耗，这限制了 ISOUSB211 支持的最高环境温度。

要降低 ISOUSB211 的内部功率损耗，可将 1.8V 外部电源连接到短接在一起的 V_{CCX} 和 V_{1P8Vx} 引脚上，这时会绕过 ISOUSB211 的内部 1.8V LDO。在该实现中，部分功率损耗会转移到外部 1.8V 电源上，ISOUSB211 实现了整体更高的环境温度运行。如果 1.8V 外部电源是 LDO，则会降低 ISOUSB211 的内部功率损耗，但总体而言，不会降低系统的电流消耗或功率损耗。或者，如果 1.8V 外部电源是直流/直流（降压）转换器，则可以降低系统功耗和 ISOUSB211 功率损耗。

第三种选项是在 VCCx 引脚与 VBUS 和 3.3V 本地电源之间连接外部电阻器。由于 V_{CCx} 引脚可以在低至 2.4V 的电压下工作，因此可以连接这些电阻器。这些电阻器会降低电压并耗散功率，并且可用于与外部 1.8V LDO 类似的用途，即降低 ISOUSB211 的内部功率耗散并支持在更高的环境温度下运行。

有关如何根据系统所需的最高环境温度优化 ISOUSB211 内部功率损耗的更多详细信息，以及有关外部电阻器、LDO 和降压转换器的建议，请参阅散热注意事项部分。

7.3.2 上电

在 ISOUSB211 两侧的所有电源均超过各自的 UVLO 阈值之前，该器件会忽略上行和下行两侧总线上的所有活动。在电源超过 UVLO 阈值后，该器件将随时响应总线上的活动。当 1 侧的电源上电时，2 侧上会通过 V1OK 变为高电平来指示此情况。同样，V2OK 为高电平表示 2 侧已完全上电。

7.3.3 对称操作、双角色端口和角色交换

ISOUSB211 支持对称操作。通常，UD+ 和 UD- 是上行端口并连接到主机或集线器。DD+ 和 DD- 是下行端口并连接到外设。但是，也可以将 UD+ 和 UD- 连接到外设，将 DD+ 和 DD- 连接到主机或集线器。只要先检测到连接，任何一侧（D+ 或 D- 上拉至 3.3 V）都将成为下行侧。此功能支持实现双角色端口（例如，Type-C 双角色端口）和角色交换（例如，OTG 主机协商协议 - HNP）。有关详细信息，请参阅*如何实现隔离式 USB 2.0 高速 Type-C® DRP* 应用手册。本文档的其余部分中将 DD+/DD- 视为下行端口并将 UD+/UD- 视为上行端口，但如果此分配角色调换，所述的各种操作和功能同样适用。

7.3.4 连接和速度检测

当没有外设连接到 ISOUSB211 的下行侧时，DD+ 和 DD- 引脚上的内部 15kΩ 下拉电阻器会将总线拉至零，从而形成 SE0 状态。当 DD+ 或 DD- 线路被拉高至 V_{IH} 阈值以上时，在大于 $T_{FILTCONN}$ 的时间段内，ISOUSB211 器件会将此视为连接。ISOUSB211 器件会配置上行侧的内部上拉电阻，以便与在下行侧检测到的上拉电阻相匹配。检测到连接后，ISOUSB211 器件会等待上行侧的主机/集线器置位复位。根据复位开始时是 DD+ 还是 DD- 被拉高，会设置 ISOUSB211 中继器的速度。设置后，中继器的速度只能在断电或断开事件后更改。

连接到 ISOUSB211 器件的高速 (HS) 器件确实根据 USB2.0 标准中的规定使用线性调频脉冲信号来执行高速握手。随后是来自主机的线性调频脉冲信号。ISOUSB211 器件会跨越隔离栅反射这些线性调频脉冲信号，包括将 HS 空闲 (SE0) 状态从下行侧反射到上行侧以及从上行侧反射到下行侧。成功完成 HS 握手后，ISOUSB211 速度便会设置为高速。设置为高速后，中继器的速度只能在以下情况中更改：断电或 HS 断开事件后，或者外设或主机/集线器在复位后不执行 HS 握手时。

Copyright © 2025 Texas Instruments Incorporated

7.3.5 断开检测

在全速 (FS) 和低速 (LS) 模式下，当主机/集线器未在驱动上行侧的任何信号时，并且下行总线处于 SE0 状态（DD+ 和 DD- 都低于 V_{IL} 阈值）的时间周期超过 T_{DDIS} 时，则指示外设断开。在 FS 和 LS 模式下检测到断开时，ISOUSB211 器件会从上行侧移除上拉电阻，从而使上行 UD+ 和 UD- 线路放电至零。然后，ISOUSB211 会等待下一个连接事件发生。

当处于高速 (HS) 模式时，如果 ISOUSB211 检测到持续时间为 $T_{HSDIS)}$ 的无转换周期，则器件会使用 HS 断开检测器对 DD+ 和 DD- 线路进行采样。如果 T_{HSDIS} 期间 V_{HSDSC} 上存在输入差分电压，则中继器会从下行和上行端子移除 HS 端接并转换到断开状态。然后，ISOUSB211 会等待下一个连接事件发生。

7.3.6 复位

ISOUSB211 器件会在上行侧检测复位置位（持续时间较长的 SE0 状态）并将其发送到下行侧。在 HS 状态下，延长的 HS 空闲状态可以是复位的开始或进入 L2 电源管理状态。ISOUSB211 能够区分两者，因此要么继续在下行侧驱动 HS 空闲（与复位相同），要么转换到 L2 暂停状态。

7.3.7 LS/FS 消息流量

ISOUSB211 器件会监控上行侧和下行侧的总线状态。通信方向由哪一侧先从 LS/FS 空闲状态转换到其他状态（J 到 K 转换）来设置。之后，数据跨越隔离层以数字方式传输，并在另一侧进行重构。数据传输会继续，直到出现结束包 (EOP) 或长时间空闲。此时，ISOUSB211 器件会将 LS/FS 发送器置于三态，并等待从 LS/FS 空闲状态到其他状态的下一次转换。

7.3.8 HS 消息流量

ISOUSB211 器件会监控上行侧和下行侧的总线状态。通信方向由哪一侧先从 HS 空闲状态转换为其他状态来设置。HS 静噪检测器检测从 HS 空闲状态到有效 HS 数据的转换。之后，数据跨越隔离层以数字方式传输，并在另一侧进行重构。数据传输会持续进行，直到总线返回到 HS 空闲状态，这也由 HS 静噪检测器指示。此时，ISOUSB211 器件会将 HS 发送器置于三态，并等待从 HS 空闲状态到其他状态的下次转换。

7.3.9 均衡和预加重

ISOUSB211 内置可编程的接收均衡和发送预加重功能，能够消除电路板布线导致的信号损失，从而帮助满足 USB2.0 高速 TX 和 RX 眼图模板的要求。这些设置由 1 侧上的 EQ11 和 EQ10 以及 2 侧上的 EQ21 和 EQ20 控制。EQxx 引脚可以接地、连接到 3.3V 电源或保持悬空，从而一起产生 9 种不同的均衡电平。EQ11 和 EQ10 可根据 D+/D- 电路板布线长度以及 1 侧的相应通道损耗估算进行选择；类似地，EQ21 和 EQ20 则根据 2 侧进行选择。对于 480Mbps 信号，FR4 中典型 45Ω 布线的插入损耗约为 0.15dB/英寸。通过观察连接器上的发射眼图，可以进一步调整 EQ 设置。如果布线长度非常短，则可能无需均衡，并且 EQxx 引脚可以接地。

不建议在上电后动态更改 EQxx 设置，因为 ISOUSB211 仅在上电时对 EQxx 引脚进行采样。

7.3.10 L2 电源管理状态（暂停）和恢复

ISOUSB211 器件支持低功耗暂停状态，在 USB 2.0 链路电源管理工程变更通知 (ECN) 中也称为 L2 状态。如果总线保持在 LS/FS/HS 空闲状态超过 3ms，则会检测到暂停模式。当检测到从 LS 和 FS 空闲状态进入暂停状态时，ISOUSB211 会继续处于 LS 或 FS 空闲状态，同时降低内部功耗。如果检测到从 HS 空闲状态进入暂停状态，ISOSUB211 会检测到 DS 端口转换至 FS 空闲状态 (FS J)，并会将此反射到上行侧，同时禁用所有高速电路以降低功耗。转换至 L2 低功耗模式的操作会在 10ms 内完成。

当从 ISOUSB211 上行侧的主机收到恢复信号时，或者先从 ISOUSB211 下行侧的外设收到远程唤醒信号，再从上行侧的主机/集线器收到恢复信号时，便会从 L2 退出。恢复或唤醒的开始分别由主机或器件通过“K”状态发出信号。由主机通过驱动 SE0 的两个低速位时间并随后进入“J”状态来发出恢复结束信号。如果端口在进入低功耗状态之前以高速运行，则由主机通过转换到高速空闲状态来发出恢复结束信号。 ISOUSB211 能够适当地复制上行和下行的恢复和唤醒信号。在收到恢复/唤醒信号后，器件会返回 LS、FS 或 HS 空闲状态，具体取决于进入 L2 状态前所处的状态。

Copyright © 2025 Texas Instruments Incorporated

7.3.11 L1 电源管理状态（睡眠）和恢复

ISOUSB211 器件支持 USB 2.0 链路电源管理 ECN 中定义的额外 L1 或睡眠低功耗状态。当检测到从 LS 和 FS 空闲状态进入 L1 时，ISOUSB211 会继续处于 LS 或 FS 空闲状态，同时降低内部功耗。如果检测到从 HS 空闲状态进入 L1，ISOSUB211 会禁用所有高速电路以降低功耗。转换至 L1 低功耗模式的操作会在 50 µs 内完成。

当从 ISOUSB211 上行侧的主机收到恢复信号时，或者先从 ISOUSB211 下行侧的外设收到远程唤醒信号，再从上行侧的主机/集线器收到恢复信号时，便会从 L1 退出。恢复或唤醒的开始分别由主机或器件通过“K”状态发出信号。由主机通过驱动 SE0 的两个低速位时间并随后进入“J”状态来发出恢复结束信号。如果端口在进入低功耗状态之前以高速运行，则由主机通过转换到高速空闲状态来发出恢复结束信号。 ISOUSB211 能够适当地复制上行和下行的 K 信号。在收到恢复/唤醒信号后，器件会返回 LS、FS 或 HS 空闲状态，具体取决于进入 L1 状态前所处的状态。

7.3.12 HS 测试模式支持

USB2.0 标准需要测试模式支持，其中主机/集线器或外设应根据收到的命令进入高速测试模式。ISOUSB211 能够自动检测测试模式进入以启用 HS 合规性测试。

7.3.13 CDP 广播

ISOUSB211 器件支持根据电池充电器标准 BC 1.2 在下行和上行侧进行 CDP 广播。CDP 广播在隔离主机或集线器时很有用，可用于向连接的外设指示该端口能够在 VBUS 上提供 1.5A 的电流。CDP 广播可通过将下行侧 CDPENZx 引脚接地（低电平有效）来启用。

7.4 器件功能模式

功能表 列出了 ISOUSB211 器件的功能模式。

表 7-1. 功能表

1 侧电源 V_{BUS1}、V_{3P3V1} V_{CC1}、V_{1P8V1} (1)	总线 1（UD+、UD-）	2 侧电源 V_{BUS2}、V_{3P3V2} V_{CC2}、V_{1P8V2}	总线 2（DD+、DD-）	注释
供电	有效	供电	有效	当两侧均通电时，总线的状态会正确地从上行侧反射到下行侧以及从下行侧反射到上行侧。
供电	15kΩ PD	供电	15kΩ PD	上行和下行均呈现断开状态
供电	15kΩ PD	未供电	Z	如果一侧未通电，该侧的总线处于高阻抗状态。
未供电	Z	供电	15kΩ PD	
未供电	Z	未供电	不确定	

(1) 供电 = (($V_{BUSx} \geq UV+_{(VBUSx)}$) || ($V_{BUSx} = V_{3P3Vx} \geq UV+_{(V3P3Vx)}$)) & (($V_{CCx} \geq UV+_{(VCCx)}$) || ($V_{CCx} = V_{1P8Vx} \geq UV+_{(V1P8Vx)}$))；未供电 = (($V_{BUSx} < UV-_{(VBUSx)}$) & ($V_{3P3Vx} < UV-_{(V3P3Vx)}$)) || (($V_{CCx} < UV-_{(VCCx)}$) & ($V_{1P8Vx} < UV-_{(V1P8Vx)}$))；X = 不相关；H = 高电平；L = 低电平；Z = 高阻抗

Copyright © 2025 Texas Instruments Incorporated

8 应用和实现

备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

8.1 典型应用

8.1.1 隔离式主机或集线器

图 8-1 展示了一个使用 ISOUSB211 隔离主机或集线器的应用。在此示例中，在微控制器侧，V_{3P3V1} 和 V_{BUS1} 一起连接到一个外部 3.3V 电源。V_{1P8V1} 电源是使用内部 1.8V LDO 通过为 V_{CC1} 提供 3.3V 电源来生成的。在连接器侧，来自 USB 连接器的 VBUS 连接至 V_{BUS2}，而 V_{3P3V2} 电源由内部 3.3V LDO 生成。V_{CC2} 和 V_{1P8V2} 一起连接到源自 VBUS 的 1.8V 外部电源。 请参阅“散热注意事项”，了解根据需要优化 ISOUSB211 内部功耗的选项。

去耦电容器根据电源建议部分中提供的建议放置在 ISOUSB211 旁边。隔离式直流/直流转换器（例如 SN6505）使用 3.3V 本地电源为 VBUS 供电。请注意，对于主机或集线器，USB 标准要求在 VBUS 上放置一个 120μF 的电容器，以便在连接下游外设时能够提供浪涌电流。此外，建议在 VBUS 引脚附近使用 100nF 电容器来处理瞬态电流。

可以在 D+ 和 D- 线路上放置具有低电容和低动态电阻的 ESD 二极管，例如 PESD5V0C1USF。可以选择在连接器的 VBUS 引脚与 ISOUSB211 的 V_{BUS} 引脚之间放置一个直流电阻小于 100mΩ 的铁氧体磁珠（如图所示），从而抑制 ESD 等瞬变。

如果使用的隔离式电源能够在 VBUS 上提供大于 1.5A 的电流，则可以根据电池充电器规范 BC 1.2 将该端口配置为 CDP 端口。为实现此配置，ISOUSB211 的 CDPENZ2 引脚必须按图中所示接地。在这种情况下，ISOUSB211 会对来自所连外设的 BC 1.2 信号做出响应，向外设表明该端口能够在 VBUS 上提供 1.5A 的电流。

Copyright © 2025 Texas Instruments Incorporated

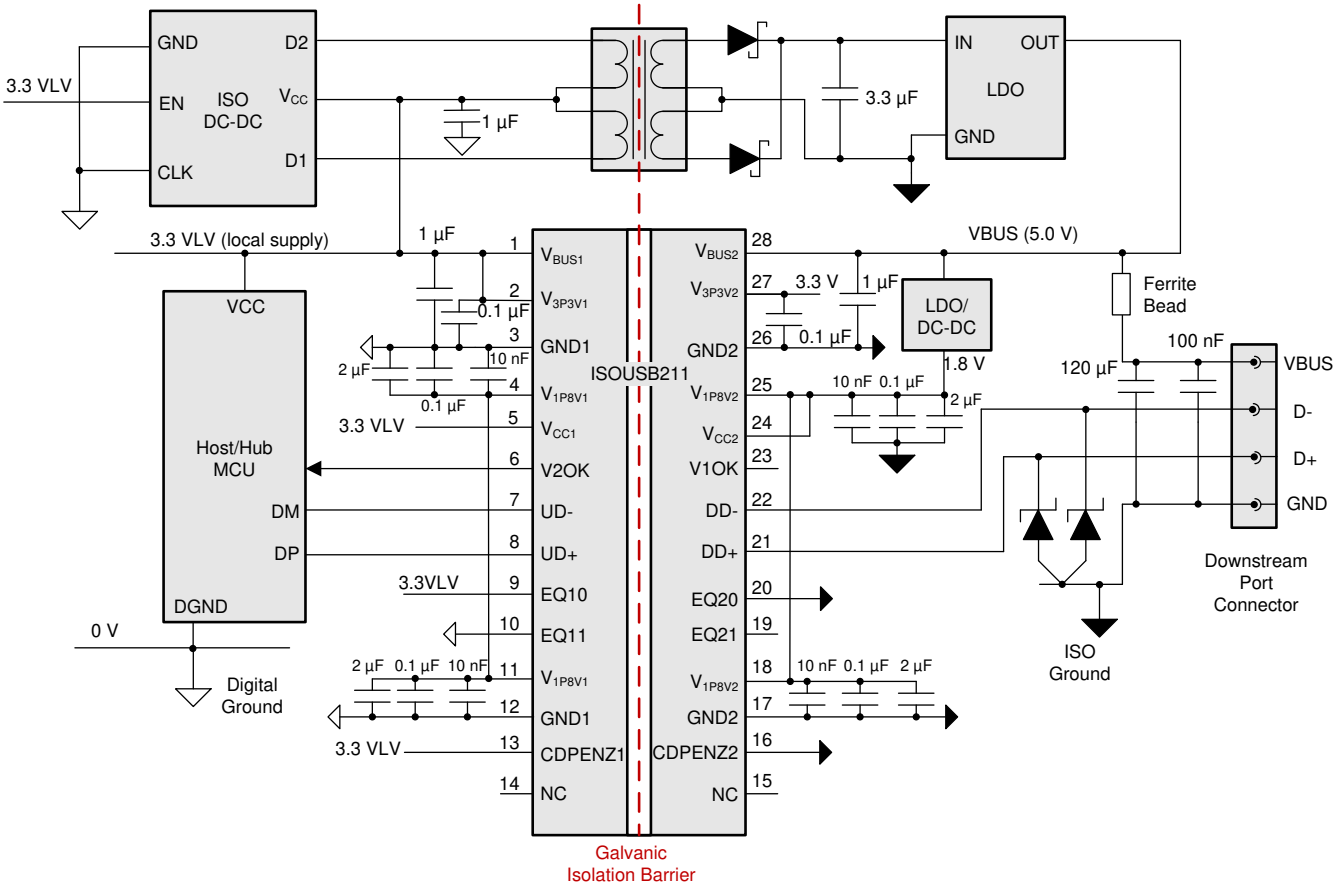


图 8-1. 采用 ISOUSB211 的隔离式主机或集线器

8.1.2 隔离式外设 - 自供电

图 8-2 展示了一个采用 ISOUSB211 隔离自供电外设的应用。在此示例中，在微控制器侧，V_{3P3V2} 和 V_{BUS2} 一起连接到一个外部 3.3V 电源。V_{1P8V2} 电源是使用内部 1.8V LDO 通过为 V_{CC1} 提供 3.3V 电源来生成的。在连接器侧，来自 USB 连接器的 VBUS 连接至 V_{BUS1}，而 V_{3P3V1} 电源由内部 3.3V LDO 生成。V_{CC1} 和 V_{1P8V1} 一起连接到源自 VBUS 的 1.8V 外部电源。 请参阅“散热注意事项”，了解根据需要优化 ISOUSB211 内部功耗的选项。

去耦电容器根据电源建议部分中提供的建议放置在 ISOUSB211 旁边。请注意，USB 标准要求，对于外设，VBUS 上的总电容值必须小于 10 µ F。但是，建议在 VBUS 上总共使用至少 5µF 的电容。建议在 VBUS 引脚附近使用 100nF 电容器来处理瞬态电流。

可以在 D+ 和 D- 线路上放置具有低电容和低动态电阻的 ESD 二极管，例如 PESD5V0C1USF。可以选择在连接器的 VBUS 引脚与 ISOUSB211 的 V_{BUS} 引脚之间放置一个直流电阻小于 100m Ω 的铁氧体磁珠（如图所示），从而抑制 ESD 等瞬变。

Copyright © 2025 Texas Instruments Incorporated

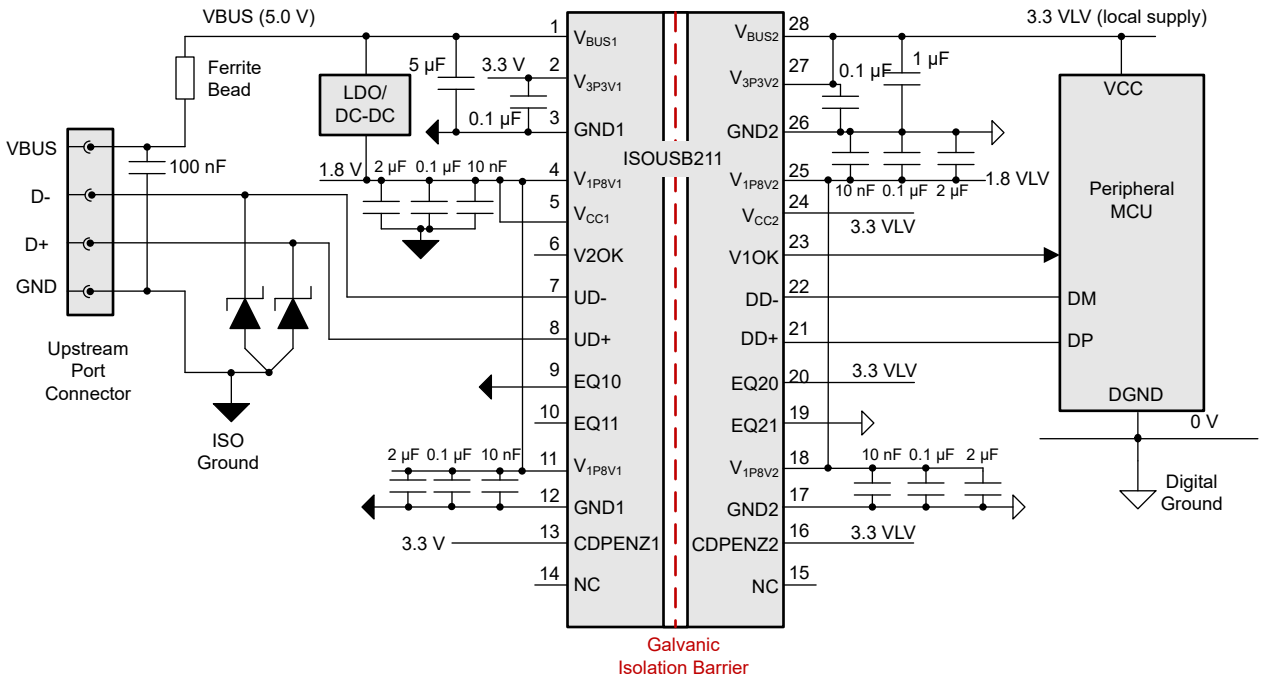


图 8-2. 采用 ISOUSB211 的隔离式自供电外设

8.1.3 隔离式外设 - 总线供电

图 8-3 展示了一个采用 ISOUSB211 隔离自供电外设的应用。在此示例中，隔离式直流/直流转换器（例如 SN6505）用于产生一个 3.3V 本地电源，同时从 USB VBUS 获取电源。在微控制器侧，V_{3P3V2} 和 V_{BUS2} 一起连接到一个外部 3.3V 电源。V_{1P8V2} 电源是使用内部 1.8V LDO 通过将 3.3V 本地电源连接到 V_{CC1} 来生成的。在连接器侧，来自 USB 连接器的 VBUS 连接至 V_{BUS1}，而 V_{3P3V1} 电源由内部 3.3V LDO 生成。V_{CC1} 和 V_{1P8V1} 一起连接到源自 VBUS 的 1.8V 外部电源。 请参阅“散热注意事项”，了解根据需要优化 ISOUSB211 内部功耗的选项。

去耦电容器根据电源建议部分中提供的建议放置在 ISOUSB211 旁边。请注意，USB 标准要求，对于外设，VBUS 上的总电容值（包括通过隔离式直流/直流转换器从次级侧反射的任何去耦电容）必须小于 10 µF。但是，建议在 VBUS 上总共使用至少 5µF 的电容。建议在 VBUS 连接器附近使用 100nF 电容器来处理瞬态电流。

可以在 D+ 和 D- 线路上放置具有低电容和低动态电阻的 ESD 二极管，例如 PESD5V0C1USF。可以选择在连接器的 VBUS 引脚与 ISOUSB211 的 V_{BUS} 引脚之间放置一个直流电阻小于 100mΩ 的铁氧体磁珠（如图所示），从而抑制 ESD 等瞬变。

Copyright © 2025 Texas Instruments Incorporated

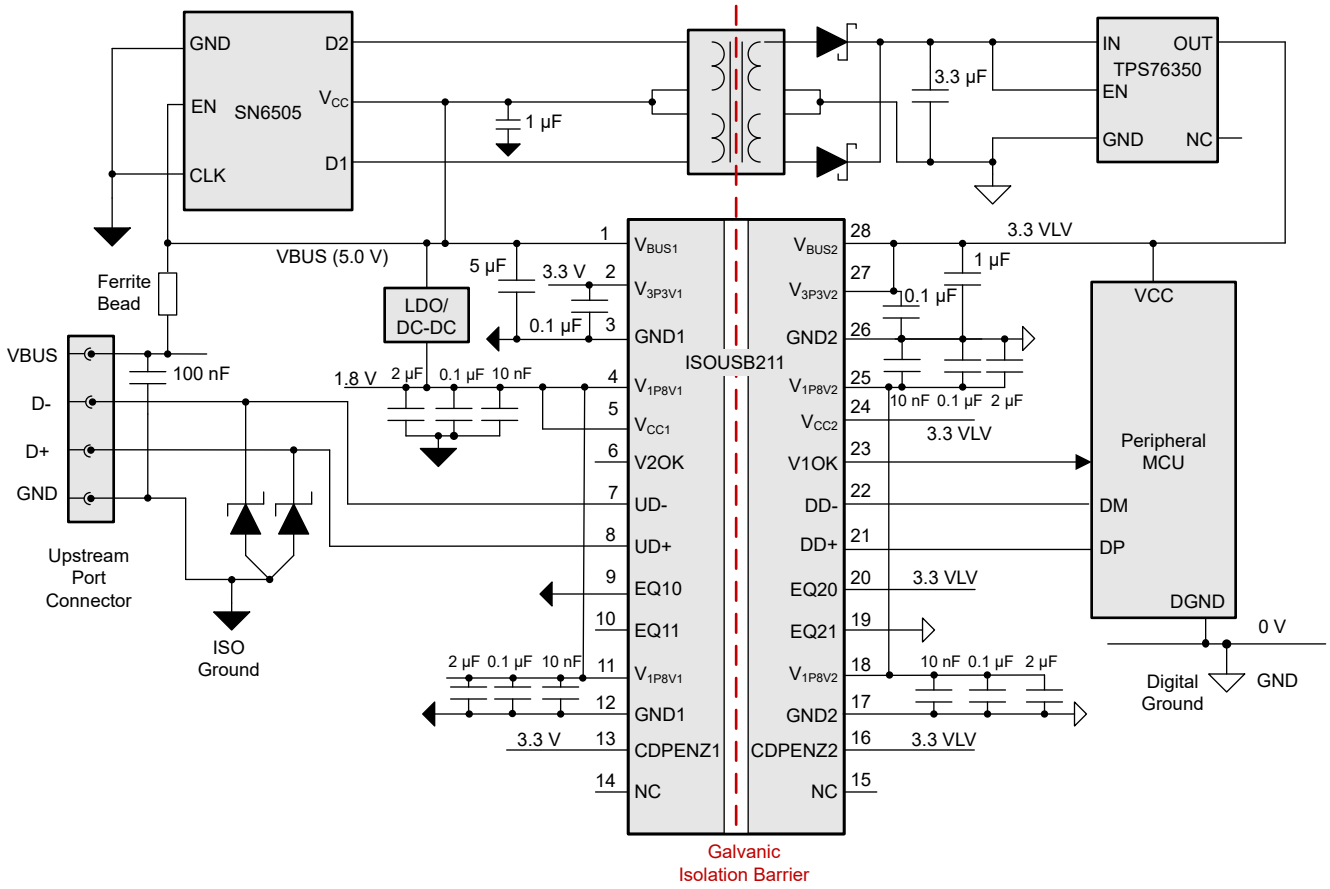


图 8-3. 采用 ISOUSB211 的隔离式总线供电外设

8.1.4 应用曲线

8.1.4.1 绝缘寿命

绝缘寿命预测数据是使用业界通用的时间依赖性电介质击穿 (TDDB) 测试方法收集的。在该测试中，隔离栅两侧的所有引脚都连在一起，构成了一个双端子器件并在两侧之间施加高电压；对于 TDDB 测试设置，请参阅图 8-4。绝缘击穿数据是在开关频率为 60 Hz 以及各种高电压条件下在整个温度范围内收集的。对于增强型绝缘，VDE 标准要求使用故障率小于 1ppm 的 TDDB 预测线。尽管额定工作隔离电压条件下的预期最短绝缘寿命为 20 年，但是 VDE 增强认证要求工作电压具有额外 20% 的安全裕度，寿命具有额外 50% 的安全裕度，也就是说在工作电压高于额定值 20% 的条件下，所需的最短绝缘寿命为 30 年。

图 8-5 展示了隔离栅在其整个寿命期间承受高压应力的固有能力。根据 TDDB 数据，固有绝缘能力为 1500V_{RMS}，寿命为 169 年。其他因素，比如封装尺寸、污染等级、材料组等，均可能会进一步限制元件的工作电压。DP-28 封装的工作电压上限值可达 1500V_{RMS}。较低工作电压所对应的绝缘寿命远远超过 169 年。

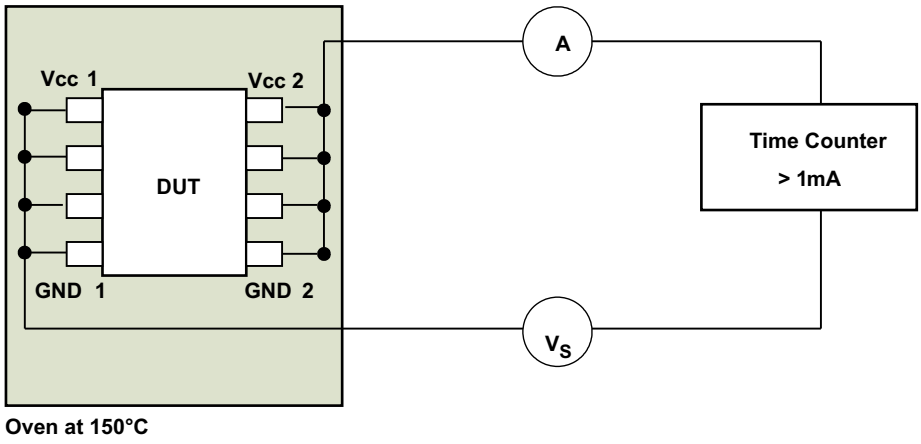


图 8-4. 绝缘寿命测量的测试设置

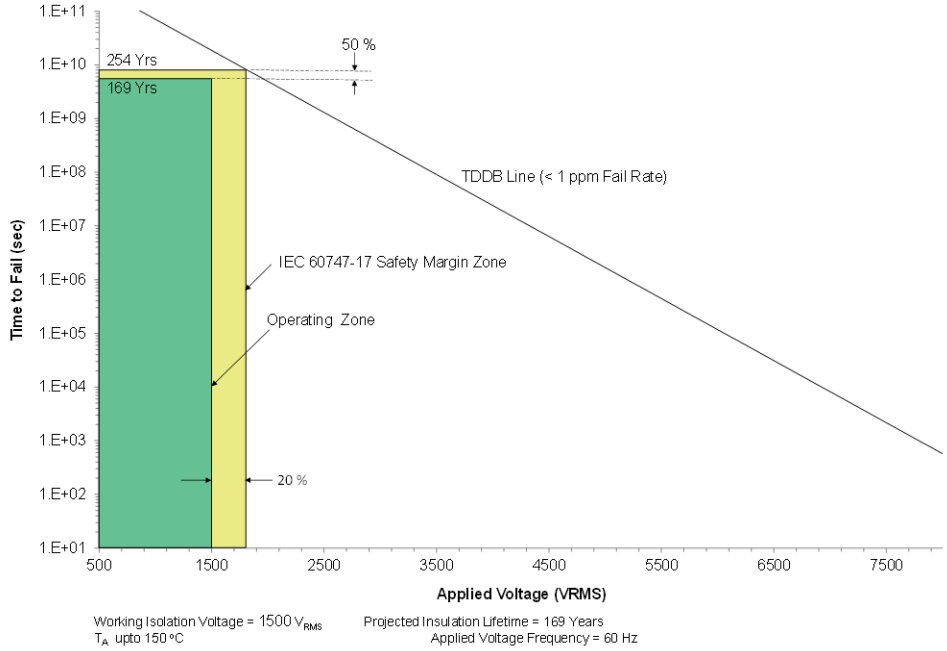


图 8-5. 绝缘寿命预测数据

8.1.5 符合 USB 2.0 HS 眼图规范

USB 2.0 标准规定了连接器上必须满足的 TX 和 RX 眼图模板。在连接器上实现的眼图水平张开是由微控制器的性能、ISOUSB211 的附加抖动以及 D+/D- 电路板布线插入损耗引起的符号间干扰相结合而成。为了获得最佳性能，建议尽量缩短从 MCU 到 ISOUSB211 以及从 ISOUSB211 到连接器的 D+/D- 电路板布线长度。必须避免 D+/D- 线路上的过孔和残桩。

ISOUSB211 内置可编程的接收均衡和发送预加重功能，能够消除电路板布线导致的信号损失，从而帮助满足 USB2.0 高速 TX 和 RX 眼图的要求。EQ11 和 EQ10 可根据 D+/D- 电路板布线长度以及 1 侧的相应通道损耗估算进行选择；类似地，EQ21 和 EQ20 则根据 2 侧进行选择。EQxx 引脚可以接地、连接到 3.3V 电源或保持悬空，从而一起产生 9 种不同的均衡电平。

对于 480Mbps 信号，FR4 中典型 45Ω 布线的插入损耗约为 0.15dB/英寸。该数字可用于估算所需的均衡/预加重以及相应的 EQ 设置。通过观察连接器上的发射眼图并选择可提供最佳眼图张开度的设置，可以进一步调整 EQxx

Copyright © 2025 Texas Instruments Incorporated

设置。选择正确的发送路径设置也会使接收路径实现最佳性能。有关详细信息，请参阅*使用高速 USB 隔离器上的均衡器设置补偿通道损耗*应用手册。如果布线长度非常短，则可能无需均衡，并且 EQxx 引脚可以接地。

8.2 散热注意事项

ISOUSB211 提供了包括内部 LDO 在内的多种不同电源输入选项，可用于优化 HS 模式下的热性能。如果使用外部稳压器提供 3.3V 和 1.8V 电源，ISOUSB 芯片内部的功耗会更低。采用“热性能信息”表格中定义的结至空气热阻时，内部功率损耗可用于确定给定环境温度条件下的结温。结温不得超过 150°C。该部分介绍了 ISOUSB211 的多种不同电源配置，并说明了如何在每种情况下计算 ISOUSB211 的内部功耗以及内部温升。

为了获得最佳的热性能，请将小型接地平面连接到 GNDx 引脚，并通过多个过孔将这些平面连接到接地层，如布局示例 所示。

8.2.1 V_{BUS}/V_{3P3V} 电源

如果 VBUS 连接到 5.0V 外部电源，并且 V3P3V 通过内部 LDO 生成，则功耗为 $V_{BUSx} \times I_{VBUSx}$。

如果 VBUSx 和 V3P3Vx 短接在一起并连接到一个外部 3.3 V 电源，则该电源产生的功耗为 $V_{3P3Vx} \times I_{3P3Vx}$。

8.2.2 V_{CCx}/V_{1P8Vx} 电源

如果 V_{CCx} 连接到外部 2.4V 至 5.0V 电源，并且 V_{1P8Vx} 通过内部 1.8V LDO 生成，则功耗为 $V_{CCx} \times I_{VCCx}$。

如果 V_{CCX} 和 V_{1P8Vx} 短接在一起并连接到外部 1.8V 电源，则该电源产生的功耗为 $V_{1P8Vx} \times I_{1P8Vx}$。

8.2.3 示例配置 1

在图 8-6 所示的应用示例中，ISOUSB211 由连接器侧的 USB VBUS 和微控制器侧的本地 3.3V 数字电源供电。不使用任何其他外部稳压器和电源。

在这种情况下，ISOUSB211 内部两侧的总功耗合计为：

$V_{BUS1} \times I_{VBUS1} + V_{BUS1} \times I_{VCC1} + V_{3P3V2} \times I_{3P3V2} + V_{3P3V2} \times I_{VCC2}$

假设 VBUS1 的最大值是 5.25V，并且 3.3V 本地电源的最大值是 3.5V，则内部功耗计算如下：

5.25V × 13.5mA + 5.25V × 96mA + 3.5V × 13.5mA + 3.5V × 96mA = 960mW。

由于结至空气热阻为 44.2°C/W，此功率损耗会导致 42.5°C 的内部温升。此配置可支持高达 107°C 的环境温度。

此配置提供了最简单的实现，但支持的环境温度低于其他配置。

Copyright © 2025 Texas Instruments Incorporated

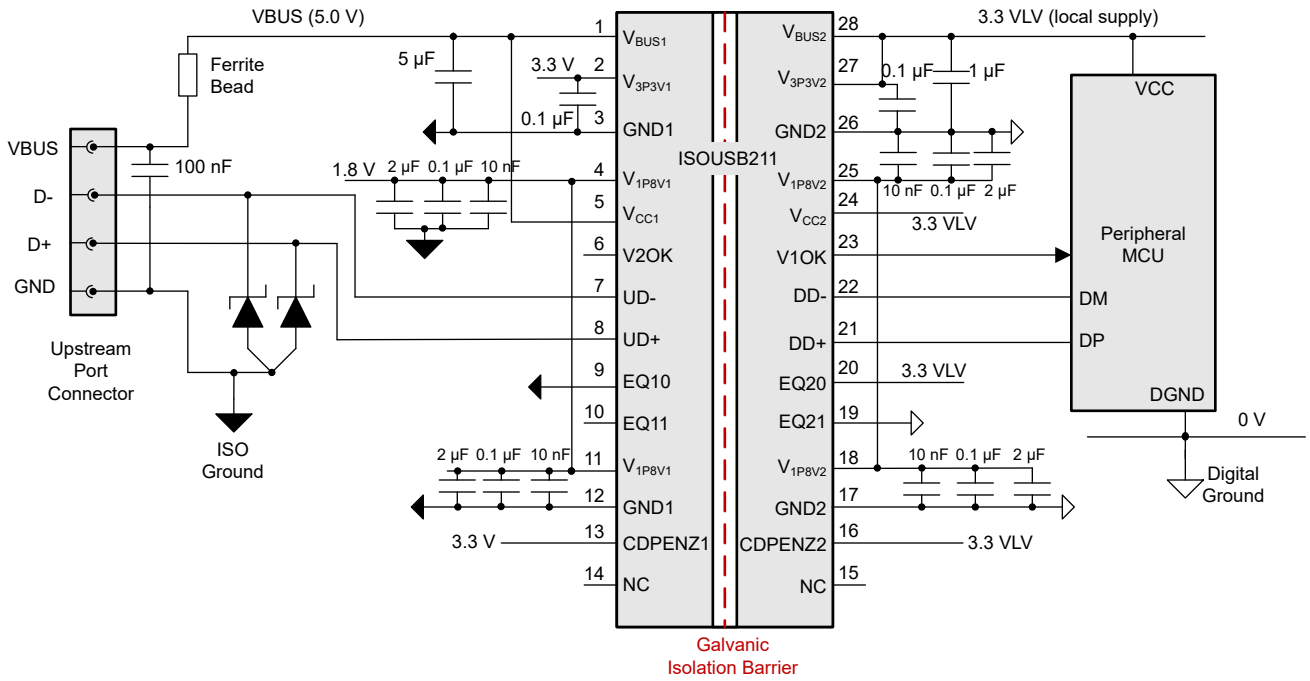


图 8-6. 不搭配外部 1.8V 稳压器使用 ISOUSB211

8.2.4 示例配置 2

在图 8-7 所示的应用示例中，ISOUSB211 由连接器侧的 USB VBUS 和微控制器侧的本地 3.3V 数字电源供电来生成 V_{3P3Vx}。外部 LDO 或直流/直流降压转换器用于在两侧生成 V_{1P8Vx}。

在这种情况下，两侧的总功耗合计为：

$V_{BUS1} \times I_{VBUS1} + V_{1P8V1} \times I_{1P8V1} + V_{3P3V2} \times I_{3P3V2} + V_{1P8V2} \times I_{1P8V2}$

假设 VBUS 的最大值是 5.25V，并且外部 1.8V 电源的最大值是 1.89V，则内部功耗计算如下：

5.25V × 13.5mA + 1.89V×96mA + 3.5V × 13.5mA + 1.89V × 96mA = 481mW。

由于结至空气热阻为 44.2°C/W，此功率损耗会导致 22°C 的内部温升。此配置可支持高达 128°C 的环境温度。

TLV741P 和 TLV62568 分别是此应用中可使用的低成本 LDO 和降压转换器示例。这两个选项都可降低 ISOUSB211 中的功率损耗。但是，降压转换器还降低了系统级的功耗，以及从 VBUS 和本地 3.3V 电源汲取的电流。

此配置使用外部稳压器，可实现最低功耗和在最高环境温度下运行。

Copyright © 2025 Texas Instruments Incorporated

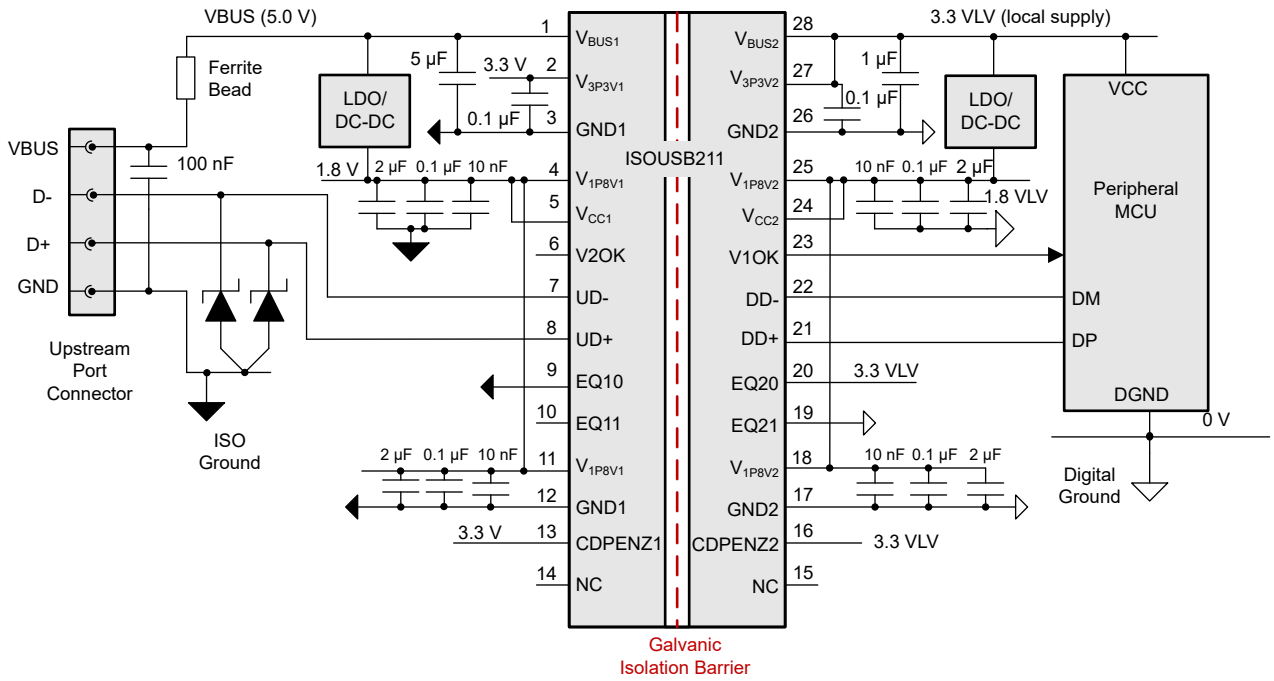


图 8-7. 搭配外部稳压器提供的 1.8V 电源使用 ISOUSB211

8.2.5 示例配置 3

在图 8-8 所示的应用示例中，ISOUSB211 由连接器侧的 USB VBUS 和微控制器侧的本地 3.3V 数字电源供电来生成 V_{3P3Vx}。内部 LDO 用于在两侧生成 V_{1P8Vx}，就和示例配置 1 中一样。不过，V_{CC1} 和 V_{CC2} 并不像示例配置 1 中那样直接连接到 VBUS 和 3.3V VLV，而是分别通过电阻 R1（20Ω，250mW）和 R2（5Ω，50mW）进行连接。

外部电阻器会降低电压并耗散功率，有助于降低 ISOUSB211 内的功率损耗以及相应的温升。在决定这些电阻值时均牢记 V_{CCx} 电压可能低至 2.4V。V_{CCx} 引脚上需要额外的 1 µF 电容。

在这种情况下，IC 内部两侧的总功耗合计为：

$V_{BUS1} \times I_{VBUS1} + V_{BUS1} \times I_{VCC1} - 20\ \Omega \times I_{VCC1} \times I_{VCC1} + V_{3P3V2} \times I_{3P3V2} + V_{3P3V2} \times I_{VCC2} - 5\ \Omega \times I_{VCC2} \times I_{VCC2}$

假设 VBUS 的最大值是 5.25V，并且 3.3V 本地电源的最大值是 3.5V，则内部功耗计算如下：

5.25V × 13.5mA + 5.25V × 96mA - 20Ω × 96mA × 96mA + 3.5V × 13.5mA + 3.5V × 96mA - 5Ω × 96mA × 96mA = 728mW。

由于结至空气热阻为 44.2°C/W，此功率损耗会导致 33°C 的内部温升。此配置可支持高达 117°C 的环境温度。

此配置在示例配置 1 和示例配置 2 之间提供了一个中间途径，能够实现更低的温升和更高的环境温度运行，同时只需增加两个电阻器和两个电容器。

Copyright © 2025 Texas Instruments Incorporated

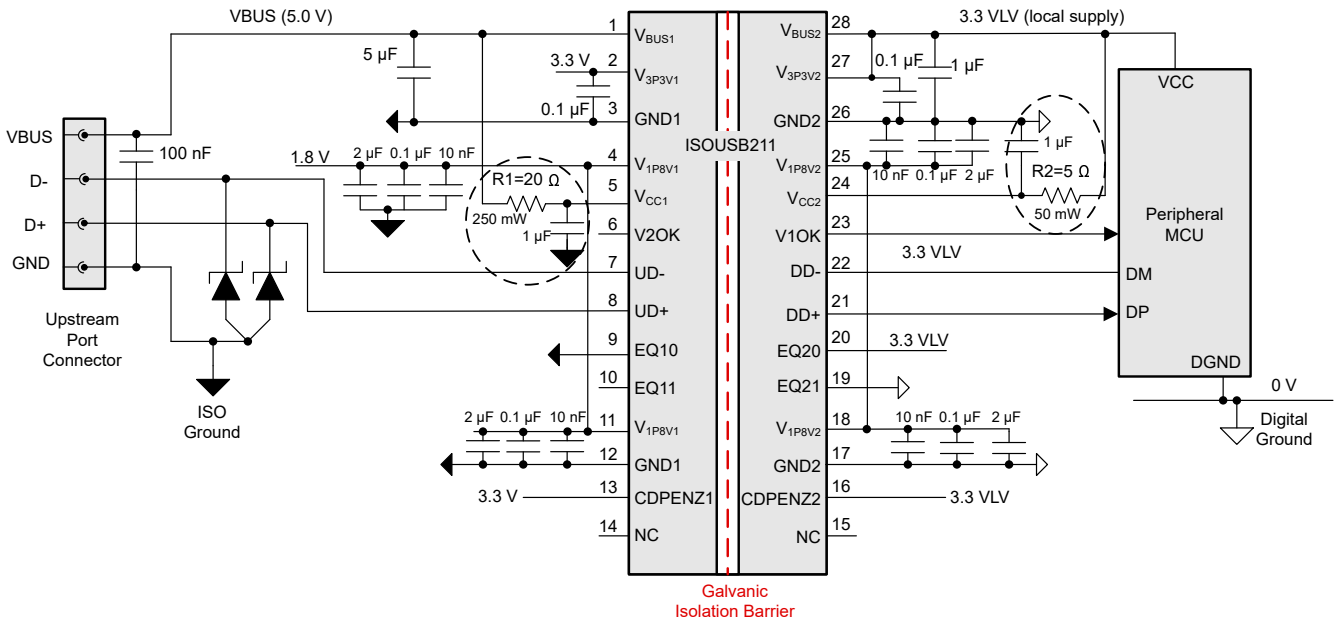


图 8-8. 搭配与 V_{CCx} 引脚串联的电阻器使用 ISOUSB211

8.3 电源相关建议

建议在靠近 V_{3P3Vx} 引脚的地方放置 0.1µF 电容器并连接到 GNDx。建议在靠近 V_{BUSx} 引脚的地方放置 1µF 电容器并连接到 GNDx。建议分别在 V_{1P8Vx} 与 GNDx 之间、引脚 4 和 3 之间、引脚 25 和 26 之间、引脚 11 和 12 之间，以及引脚 25 和 26 之间放置 2µF、0.1µF 和 10nF 电容器，并尽可能靠近器件。值越小的电容器越要靠近 IC 放置。如果 V_{CCx} 引脚按照示例配置 3 中所示通过电阻器连接，则建议在 V_{CCx}（引脚 5、24）与 GNDx（引脚 3、26）之间尽可能靠近器件放置 1µF 电容器，并且 V_{1P8Vx} 引脚上的电容器具有更高的优先级。

这些去耦电容器建议与 3.3V 和 1.8V 电源是从外部提供还是使用内部 LDO 生成无关。

有关去耦电容器的建议放置方式，请参阅节 8.4.1.1 部分。建议使用小尺寸电容器 (0402/0201)，以便可以将它们放置在靠近电源引脚和顶层上相应接地引脚的位置，而无需使用过孔。当考虑放置在靠近 IC 的位置时，V_{1P8Vx} 电源上的电容器具有更高的优先级。

在隔离主机/集线器或总线供电的外设时，需要使用隔离式电源，并可借助 TI 的 SN6505B 等变压器驱动器生成隔离式电源。*适用于隔离式电源的 SN6505A 低噪声 1A 变压器驱动器 数据表*中提供了此类设计、详细的电源设计以及变压器选择建议。如果在隔离主机/集线器时启用了 CDP 功能，则隔离式电源必须能够在 VBUS 上提供 1.5A 电流。

8.4 布局

8.4.1 布局指南

三层就足以实现低 EMI PCB 设计。层堆叠必须符合以下顺序（从上到下）：高速信号层、接地层、可选电源层和低频信号层。

- 在顶层布置高速走线可避免使用过孔（及其引入的电感），并在隔离器与数据链路的发送器和接收器电路之间实现可靠互连。
- 为了获得最佳性能，建议尽量缩短从 MCU 到 ISOUSB211 以及从 ISOUSB211 到连接器的 D+/D- 电路板布线长度。必须避免 D+/D- 线路上的过孔和残桩。为实现高速运行，务必避免 D+/D- 线路上的过孔和残桩。
- 通过在高速信号层正下方放置一个实心接地层，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。D+ 和 D- 布线必须设计为 90Ω 差分阻抗并尽可能靠近 45Ω 单端阻抗。
- 在接地平面旁边放置电源平面后，会额外产生大约 100pF/in^2 的高频旁路电容。
- 去耦电容器必须放置在顶层，并且电容器与相应电源引脚和接地引脚之间的布线必须在顶层完成。去耦电容器与相应电源引脚和接地引脚之间的布线路径上不得有任何过孔。

Copyright © 2025 Texas Instruments Incorporated

- ESD 结构必须放置在顶层，靠近连接器，并且就在 D+/D- 布线上，而没有过孔。如果可能，必须在顶层进行 ESD 结构的接地布线，否则必须通过多个过孔与接地层建立牢固连接。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。
- 可将一个小平面（例如 2mm x 2mm）连接到顶层的 GND 引脚以提高热性能。通过多个过孔将此层连接到第二层的接地层。有关详细信息，请参阅“布局示例”。

8.4.1.1 布局示例

本部分中的布局示例显示了去耦电容器和 ESD 保护二极管的建议放置方式。建议在 D+/D- 信号布线下方使用连续的接地层。建议使用小尺寸电容器 (0402/0201)，以便可以将它们放置在非常靠近电源引脚和相应接地引脚的位置并使用顶层进行连接。去耦电容器与相应电源引脚和接地引脚之间的布线路径上不得有任何过孔。当考虑放置在靠近 IC 的位置时，V_{1P8Vx} 电源上的电容器具有更高的优先级。ESD 保护二极管必须靠近连接器放置，并与接地层牢固连接。V_{1P8V1} 的引脚 4 和 11 与 V_{1P8V2} 的引脚 18 和 25 连接在一起，但此连接是在去耦电容器之后。如果 PCB 中有 2 层以上，则此连接应在内层或底层（例如，第 3 层或第 4 层）中实现，以免中断 D+/D- 布线下的接地层。所示的示例适用于隔离式主机或集线器，但类似的注意事项也适用于隔离式外设。VBUS 上的 120 µ F 电容器仅适用于主机或集线器，不得应用于外设。可以选择在 VBUS 布线上的 100nF（和 120 µ F）电容器之后放置一个直流电阻小于 100mΩ 的铁氧体磁珠，从而防止 ESD 等瞬变影响电路的其余部分。

为了获得最佳性能，建议尽量缩短从 MCU 到 ISOUSB211 以及从 ISOUSB211 到连接器的 D+/D- 电路板布线长度。必须避免 D+/D- 线路上的过孔和残桩。为实现高速运行，务必避免 D+/D- 线路上的过孔和残桩。

可将一个小平面（例如 2mm x 2mm）连接到顶层的 GND 引脚以提高热性能。通过多个过孔将此层连接到第二层的接地层。

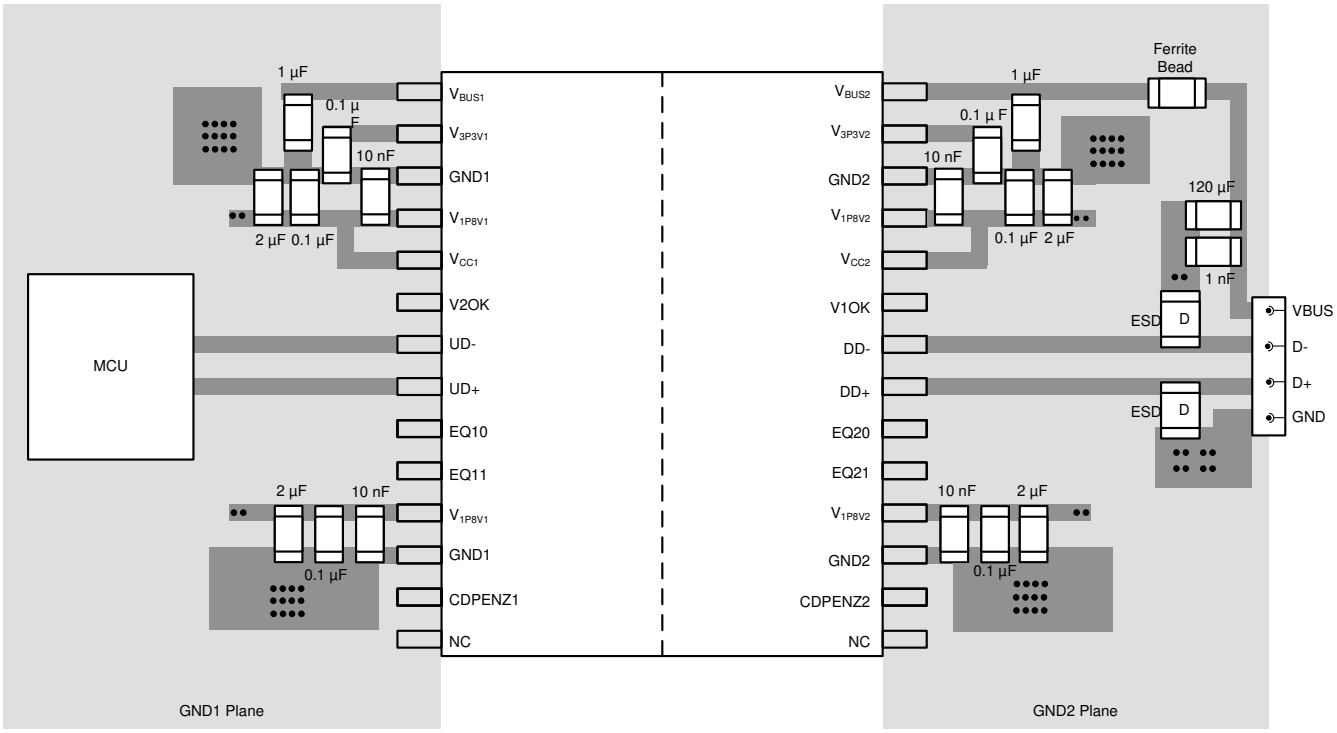


图 8-9. ISOUSB211 布局示例

8.4.1.2 PCB 材料

对于运行速度低于 500 Mbps（或上升和下降时间大于 1 ns）且迹线长度达 10 英寸的数字电路板，请使用标准 FR-4 UL94V-0 印刷电路板。该 PCB 在高频下具有较低的电介质损耗、较低的吸湿性、较高的强度和刚度以及自熄性可燃性特征，因而优于成本更低的替代产品。

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*数字隔离器设计指南* 应用手册。
- 德州仪器 (TI)，*隔离相关术语* 应用手册。

9.2 接收文档更新通知

若要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。单击右上角的*提醒我*进行注册，即可每周接收产品信息更改摘要。 有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (January 2023) to Revision D (April 2025)	Page
• 通篇更新了表格、图和交叉参考的编号格式	1
• 通篇进行了更新以改正拼写错误	1
• 间隙和爬电距离从：8mm 更改为了 8.15mm	7
• 删除了“认证等级”行，此信息可从证书中获取。	8
• 更新了绝缘寿命预测数据图。	25
• 将 DP0028A-C01 封装外形图更改为了 DP0028A-C02 封装外形图	33

Changes from Revision B (September 2022) to Revision C (January 2023)	Page
• 从数据表中删除了“基本”选项	1

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision A (March 2022) to Revision B (September 2022)	Page
• 将器件状态更新为“量产数据”	1

Changes from Revision * (November 2021) to Revision A (March 2022)	Page
• 将 T_A 最大值更新为 125°C	5
• 更新了“散热注意事项”部分。	27

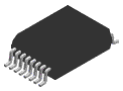
11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

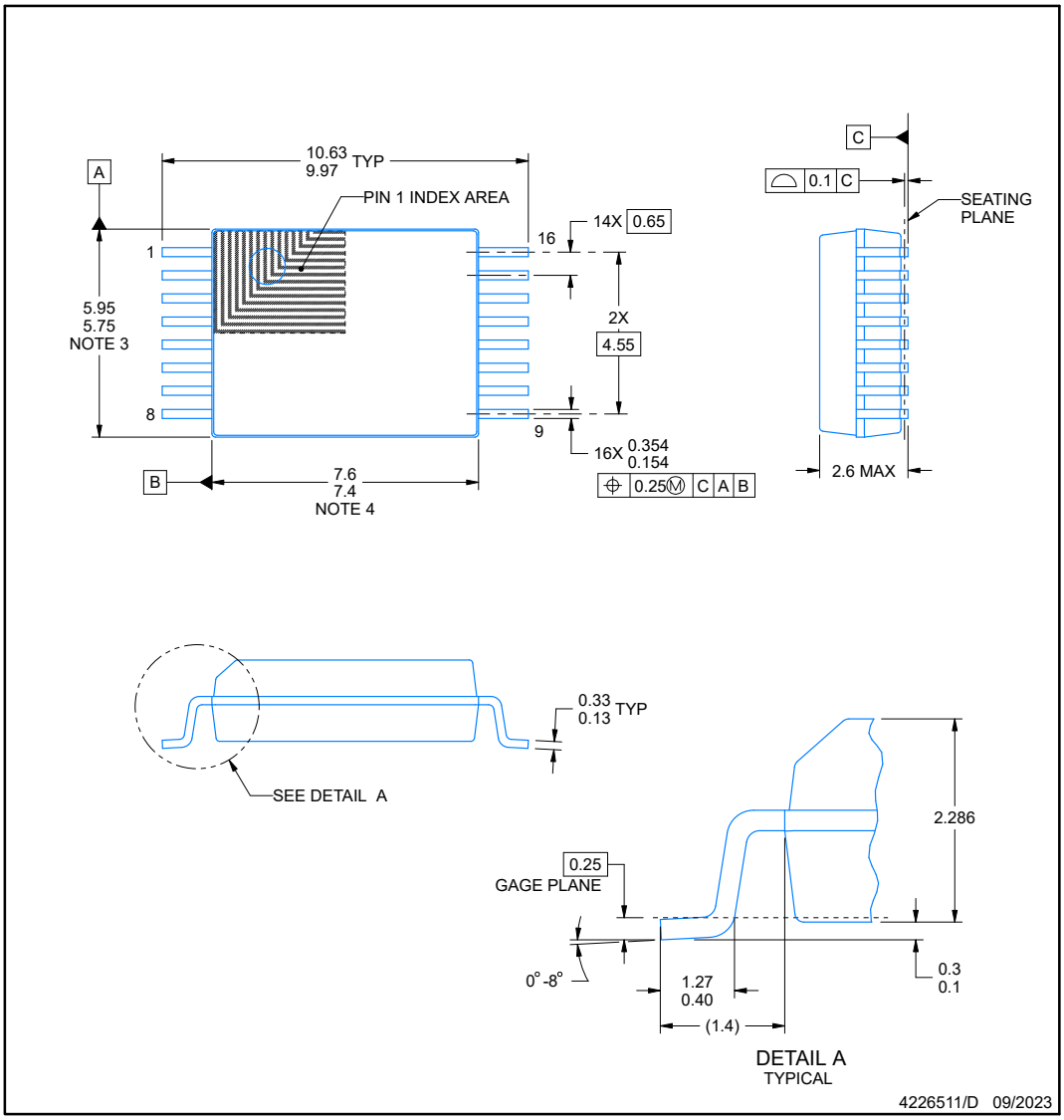
PACKAGE OUTLINE

DWX0016A



SSOP - 2.6 mm max height

SMALL OUTLINE PACKAGE



NOTES:

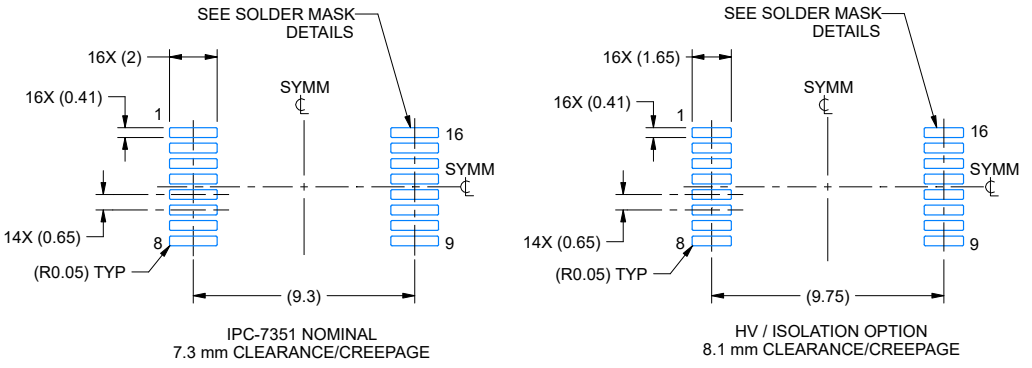
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

Copyright © 2025 Texas Instruments Incorporated

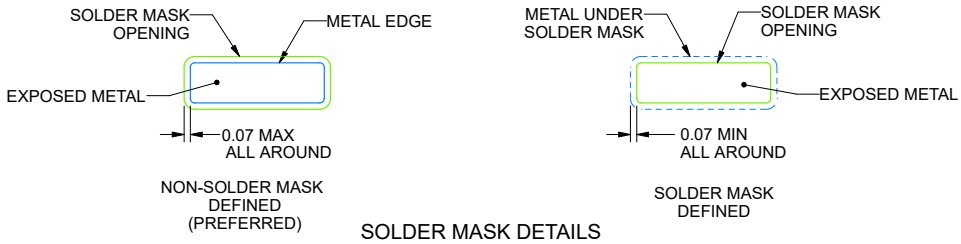
EXAMPLE BOARD LAYOUT

DWX0016A — **SSOP - 2.6 mm max height**

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLES
EXPOSED METAL SHOWN
SCALE: 4X



SOLDER MASK DETAILS

4226511/D 09/2023

NOTES: (continued)

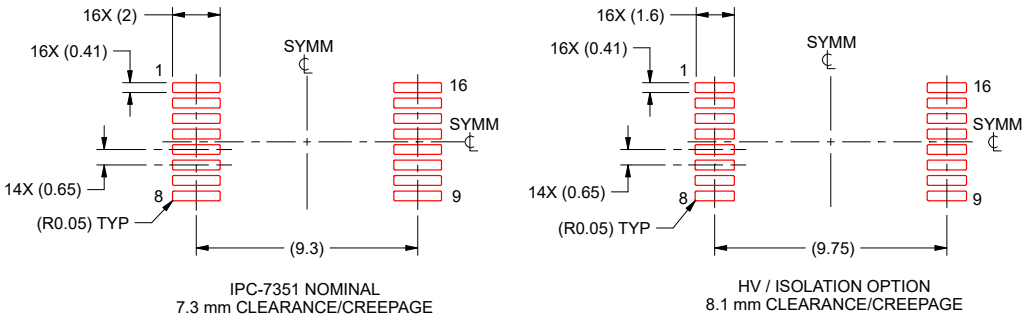
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DWX0016A — **SSOP - 2.6 mm max height**

SMALL OUTLINE PACKAGE



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

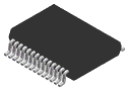
SOLDER PASTE EXAMPLES
BASED ON 0.125 mm THICK STENCIL
SCALE: 4X

4226511/D 09/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

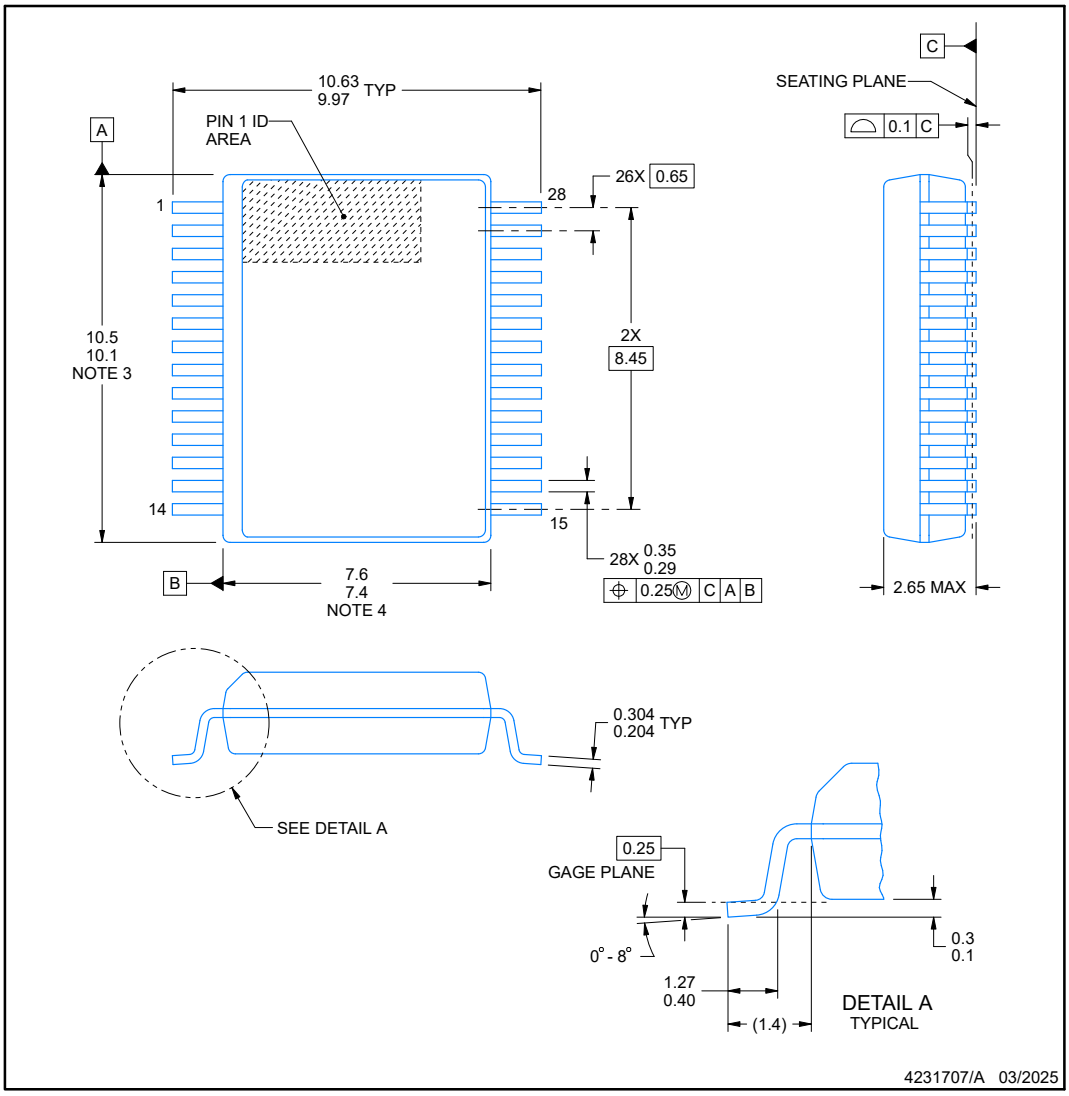


PACKAGE OUTLINE

DP0028A-C02

SSOP - 2.65 mm max height

SHRINK SMALL-OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.

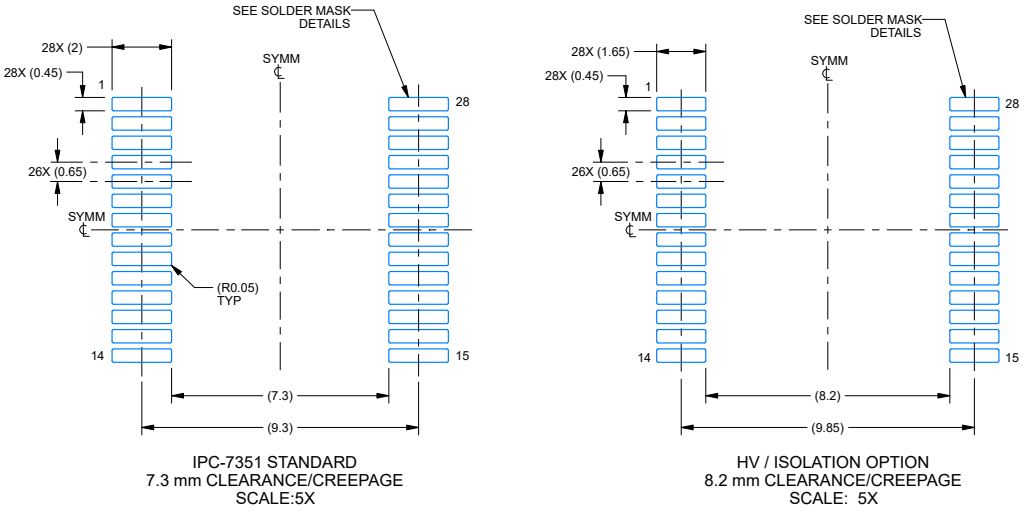
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

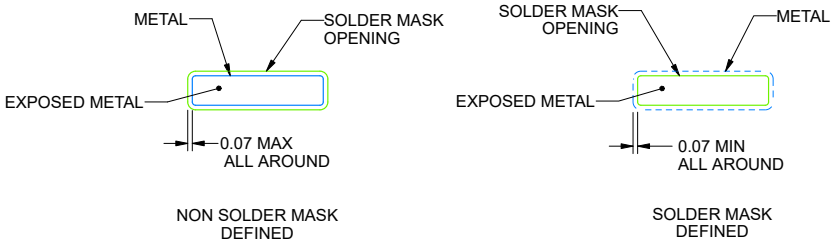
DP0028A-C02

SSOP - 2.65 mm max height

SHRINK SMALL-OUTLINE PACKAGE



LAND PATTERN EXAMPLES
EXPOSED METAL SHOWN



SOLDER MASK DETAILS

4231707/A 03/2025

NOTES: (continued)

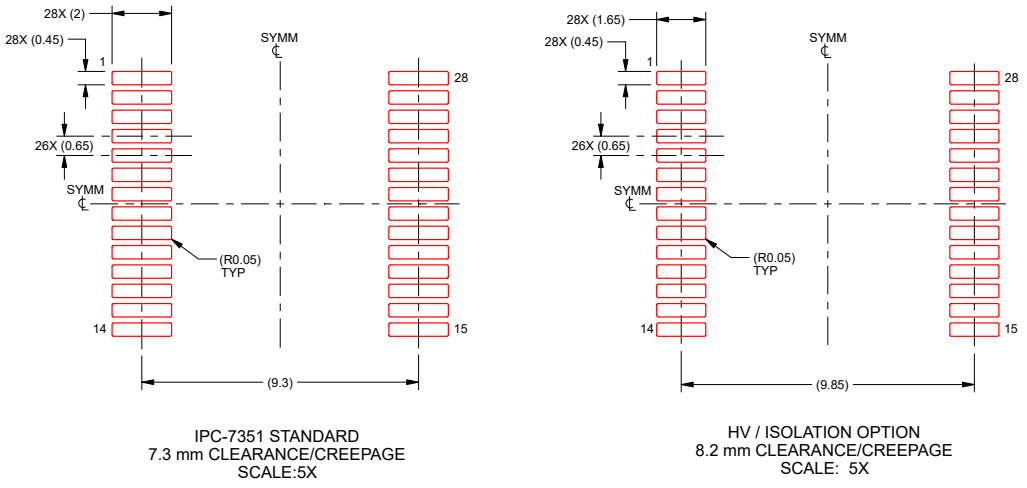
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DP0028A-C02 — **SSOP - 2.65 mm max height**

SHRINK SMALL-OUTLINE PACKAGE



IPC-7351 STANDARD
7.3 mm CLEARANCE/CREEPAGE
SCALE:5X

HV / ISOLATION OPTION
8.2 mm CLEARANCE/CREEPAGE
SCALE: 5X

SOLDER PASTE EXAMPLES
BASED ON 0.125 mm THICK STENCIL

4231707/A 03/2025

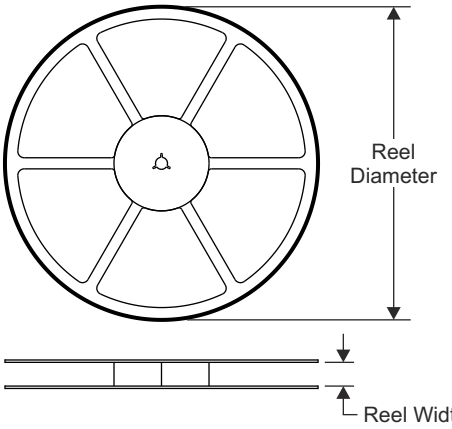
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

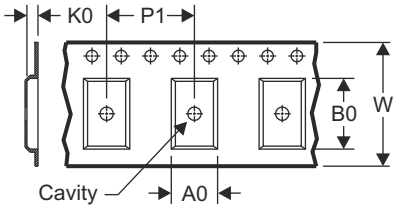
Copyright © 2025 Texas Instruments Incorporated

11.1 卷带包装信息

REEL DIMENSIONS

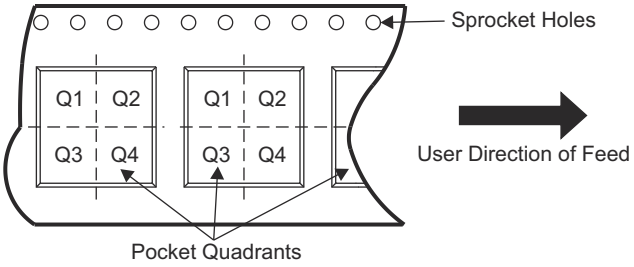


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

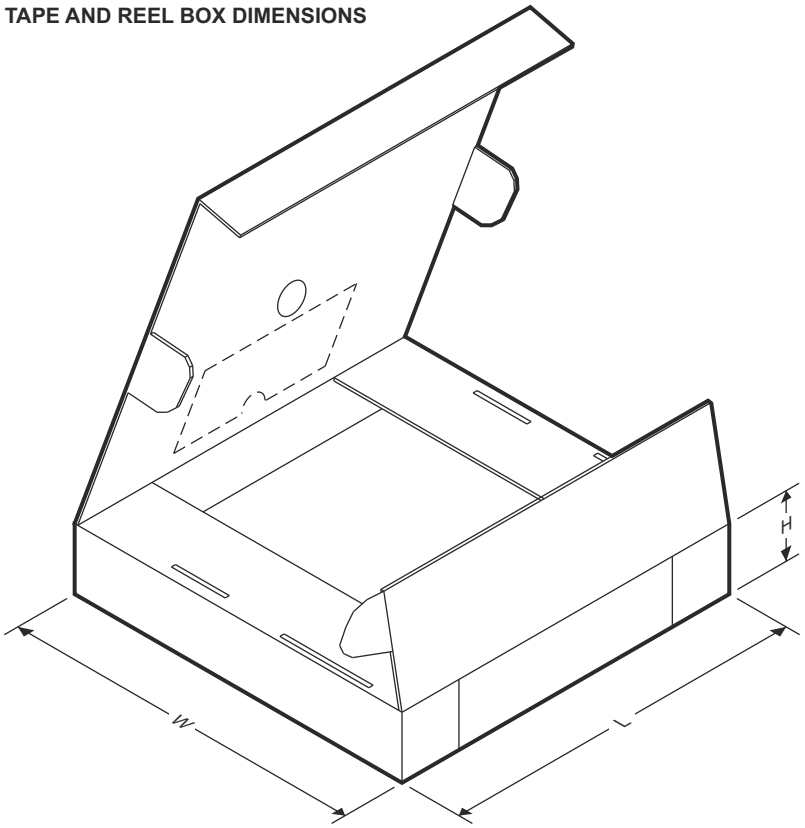
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
ISOUSB211DPR	SSOP	DP	28	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
ISOUSB211DPR	SSOP	DP	28	2000	350.0	350.0	43.0

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOUSB211DPR	Active	Production	SSOP (DP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOUSB211
ISOUSB211DPR.A	Active	Production	SSOP (DP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOUSB211

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISOUSB211 :

- Automotive : ISOUSB211-Q1

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月