

ISO7831x 高性能、8,000V_{PK} 增强型三通道数字隔离器

1 特性

- 信令速率：最高 100Mbps
- 宽电源电压范围：2.25V 至 5.5V
- 2.25V 至 5.5V 电平转换
- 宽温度范围：-55°C 至 125°C
- 低功耗，每通道电流典型值为 1.7mA (1Mbps 时)
- 低传播延迟：典型值为 11ns (5V 电源)
- 出色的 CMTI (最小值)：±100kV/μs
- 优异的电磁兼容性 (EMC)
- 系统级 ESD、EFT 和浪涌抗扰性
- 低辐射
- 隔离栅寿命：> 40 年
- SOIC-16 宽体 (DW) 和超宽体 (DWW) 封装选项
- 安全相关认证：
 - 符合 DIN EN IEC 60747-17 (VDE 0884-17) 的 8000V_{PK} 增强型隔离
 - 符合 UL 1577 标准且长达 1 分钟的 5.7kV_{RMS} 隔离
 - IEC 61010-1、IEC 62368-1、IEC 60601-1 和 GB 4943.1 认证

2 应用

- 工业自动化
- 电机控制
- 电源
- 光伏逆变器
- 医疗设备
- 混合动力电动汽车

3 说明

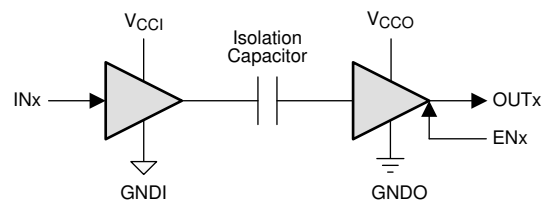
ISO7831x 器件是一款高性能三通道数字隔离器，隔离电压为 8,000V_{PK}。该器件已通过符合 VDE、CSA、TUV 和 CQC 标准的增强型隔离认证。在隔离 CMOS 或者 LVCMOS 数字 I/O 时，该隔离器可提供高电磁抗扰度和低辐射，且具有低功耗特性。

每条隔离通道的逻辑输入和输出缓冲器均由二氧化硅 (SiO₂) 绝缘栅相隔离。该器件配有使能引脚，可用于将各自输出置于高阻态以适用于多主驱动应用中，并降低功耗。ISO7831x 器件具有两条正向通道和一条反向通道。如果出现输入功率或信号丢失，ISO7831 器件默认输出 **高电平**，ISO7831F 器件默认输出 **低电平**。有关更多详细信息，请参阅 [节 7.4](#)。

与隔离式电源结合使用时，该器件有助于防止数据总线或者其他电路中的噪声电流进入本地接地端，进而干扰或损坏敏感电路。凭借出色的芯片设计和布局技术，ISO7831x 的电磁兼容性得到了显著增强，可缓解系统级 ESD、EFT 和浪涌问题并符合辐射标准。ISO7831x 可采用 16 引脚 SOIC 宽体 (DW) 和超宽体 (DWW) 封装。

封装信息

器件型号	封装	封装尺寸
ISO7831 ISO7831F	DW (16、SOIC)	10.30mm × 7.50mm
	DWW (16、SOIC)	10.30mm × 14.0mm



Copyright © 2016, Texas Instruments Incorporated

V_{CCI} 和 GNDI 分别是输入通道的电源和接地连接引脚。

V_{CCO} 和 GNDO 分别是输出通道的电源和接地连接引脚。

简化版原理图



内容

1 特性	1	5.18 绝缘特性曲线.....	13
2 应用	1	5.19 典型特性.....	15
3 说明	1	6 参数测量信息	16
4 引脚配置和功能	3	7 详细说明	18
引脚功能.....	3	7.1 概述.....	18
5 规格	4	7.2 功能方框图.....	18
5.1 绝对最大额定值.....	4	7.3 特性说明.....	19
5.2 ESD 等级.....	4	7.4 器件功能模式.....	20
5.3 建议运行条件.....	4	8 应用和实施	21
5.4 热性能信息.....	5	8.1 应用信息.....	21
5.5 额定功率.....	5	8.2 典型应用.....	21
5.6 绝缘规格.....	6	8.3 电源相关建议.....	23
5.7 安全相关认证.....	7	8.4 布局.....	23
5.8 安全限值.....	7	9 器件和文档支持	25
5.9 电气特性 - 5V 电源.....	8	9.1 文档支持.....	25
5.10 电源电流特性 - 5V 电源.....	8	9.2 接收文档更新通知.....	25
5.11 电气特性 - 3.3V 电源.....	9	9.3 支持资源.....	25
5.12 电源电流特性 - 3.3V 电源.....	9	9.4 商标.....	25
5.13 电气特性 - 2.5V 电源.....	10	9.5 静电放电警告.....	25
5.14 电源电流特性 - 2.5V 电源.....	10	9.6 术语表.....	25
5.15 开关特性 - 5V 电源.....	11	10 修订历史记录	25
5.16 开关特性 - 3.3V 电源.....	11	11 机械、封装和可订购信息	26
5.17 开关特性 - 2.5V 电源.....	12		

4 引脚配置和功能

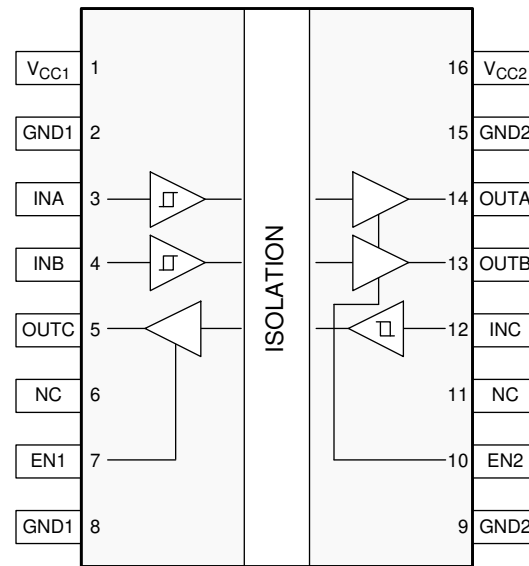


图 4-1. DW 和 DWW 封装 16 引脚 SOIC 顶视图

引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
EN1	7	I	输出使能 1。EN1 为高电平或开路时，启用侧 1 的输出引脚，EN1 为低电平时，处于高阻抗状态。
EN2	10	I	输出使能 2。EN2 为高电平或开路时，启用侧 2 的输出引脚，EN2 为低电平时，处于高阻抗状态。
GND1	2、8	—	V _{CC1} 的接地连接
GND2	9、15	—	V _{CC2} 的接地连接
INA	3	I	输入，通道 A
INB	4	I	输入，通道 B
INC	12	I	输入，通道 C
OUTA	14	O	输出，通道 A
OUTB	13	O	输出，通道 B
OUTC	5	O	输出，通道 C
NC	6、11	—	未连接
V _{CC1}	1	—	电源，侧 1
V _{CC2}	16	—	电源，侧 2

(1) I = 输入，O = 输出

5 规格

5.1 绝对最大额定值

请参阅 (1)

		最小值	最大值	单位
V_{CC1} V_{CC2}	电源电压 ⁽²⁾	-0.5	6	V
V	INx、OUTx、ENx 处的电压	-0.5	$V_{CCx} + 0.5$ ⁽³⁾	V
I_O	输出电流	-15	15	mA
T_J	结温	-55	150	°C
T_{stg}	贮存温度	-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 差分 I/O 总线电压以外的所有电压值均为相对于本地接地端子 (GND1 或 GND2) 的峰值电压值。
- (3) 最大电压不得超过 6V。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±6000
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1500

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

		最小值	标称值	最大值	单位
V_{CC1} 、 V_{CC2}	电源电压	2.25		5.5	V
I_{OH}	高电平输出电流	V_{CCO} ⁽¹⁾ = 5V	-4		mA
		V_{CCO} ⁽¹⁾ = 3.3V	-2		
		V_{CCO} ⁽¹⁾ = 2.5V	-1		
I_{OL}	低电平输出电流	V_{CCO} ⁽¹⁾ = 5V		4	mA
		V_{CCO} ⁽¹⁾ = 3.3V		2	
		V_{CCO} ⁽¹⁾ = 2.5V		1	
V_{IH}	高电平输入电压	$0.7 \times V_{CCI}$ ⁽¹⁾		V_{CCI} ⁽¹⁾	V
V_{IL}	低电平输入电压	0		$0.3 \times V_{CCI}$ ⁽¹⁾	V
DR	信令速率	0		100	Mbps
T_A	环境温度	-55	25	125	°C

- (1) V_{CCI} = 输入侧 V_{CC} ； V_{CCO} = 输出侧 V_{CC} 。

5.4 热性能信息

热指标 ⁽¹⁾		ISO7831		单位
		DW (SOIC)	DWW (SOIC)	
		16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	81.1	83.4	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	43.8	45.2	°C/W
$R_{\theta JB}$	结至电路板热阻	45.7	54.1	°C/W
ψ_{JT}	结至顶部特征参数	17.0	17.6	°C/W
ψ_{JB}	结至电路板特征参数	45.2	53.3	°C/W
$R_{\theta JC(bottom)}$	结至外壳 (底部) 热阻	—	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用手册。

5.5 额定功率

参数	测试条件	最小值	典型值	最大值	单位
P_D	最大功耗			150	mW
P_{D1}	最大功耗 (侧 1)			50	mW
P_{D2}	最大功耗 (侧 2)			100	mW

5.6 绝缘规格

参数	测试条件	规格		单位
		DW	DWW	
CLR 外部间隙 ⁽¹⁾	端子间的最短空间距离	>8	>14.5	mm
	端子间的最短空间距离 (典型值)		15.0	mm
CPG 外部爬电距离 ⁽¹⁾	端子间的最短封装表面距离	>8	>14.5	mm
	端子间的最短封装表面距离 (典型值)		15.0	mm
DTI 绝缘穿透距离	最小内部间隙	>21	>21	μm
CTI 相对漏电起痕指数	DIN EN 60112 (VDE 0303-11); IEC 60112; UL 746A	>600	>600	V
材料组		I	I	
过压类别 (符合 IEC 60664-1)	额定市电电压 ≤ 600V _{RMS}	I - IV	I - IV	
	额定市电电压 ≤ 1000V _{RMS}	I - III	I - IV	
DIN EN IEC 60747-17 (VDE 0884-17) ⁽²⁾				
V _{IORM} 最大重复峰值隔离电压		2121	2828	V _{PK}
V _{IOWM} 最大隔离工作电压	交流电压 (正弦波); 时间依赖型电介质击穿 (TDDB) 测试; 请参阅图 5-2 和图 5-1	1500	2000	V _{RMS}
	直流电压	2121	2828	V _{DC}
V _{IOTM} 最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60s (鉴定测试); V _{TEST} = 1.2 × V _{IOTM} , t = 1s (100% 生产测试)	8000	8000	V _{PK}
V _{IMP} 最大脉冲电压 ⁽³⁾	在空气中测试, 符合 IEC 62368-1 标准的 1.2/50 μs 波形	9800	9800	V _{PK}
V _{IOSM} 最大浪涌隔离电压 ⁽⁴⁾	V _{IOSM} ≥ 1.3 × V _{IMP} ; 在油中测试 (鉴定测试), 1.2/50μs 波形, 符合 IEC 62368-1	12800	12800	V _{PK}
q _{pd} 视在电荷 ⁽⁵⁾	方法 a: 输入/输出安全测试子组 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60s; V _{pd(m)} = 1.2 × V _{IOTM} = 2,545V _{PK} (DW) 和 3,394V _{PK} (DWW), t _m = 10s	≤5	≤5	pC
	方法 a: 环境测试子组 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60s; V _{pd(m)} = 1.6 × V _{IORM} = 3,394V _{PK} (DW) 和 4,525V _{PK} (DWW), t _m = 10s	≤5	≤5	
	方法 b: 常规测试 (100% 生产测试); V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1s; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1s (方法 b1) 或 V _{pd(m)} = V _{ini} , t _m = t _{ini} (方法 b2)	≤5	≤5	
C _{IO} 势垒电容, 输入至输出 ⁽⁶⁾	V _{IO} = 0.4 × sin(2πft), f = 1MHz	2	2	pF
R _{IO} 隔离电阻, 输入至输出 ⁽⁶⁾	V _{IO} = 500V, T _A = 25°C	>10 ¹²	>10 ¹²	Ω
	V _{IO} = 500V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	>10 ¹¹	
	V _{IO} = 500V, T _S = 150°C	>10 ⁹	>10 ⁹	
污染等级		2	2	
气候类别		55/125/21	55/125/21	
UL 1577				
V _{ISO} 可承受的隔离电压	V _{TEST} = V _{ISO} = 5,700V _{RMS} , t = 60s (鉴定测试), V _{TEST} = 1.2 × V _{ISO} = 6,840V _{RMS} , t = 1s (100% 生产测试)	5700	5700	V _{RMS}

- (1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙, 从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下, 印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
- (2) 此耦合器仅适用于安全额定值范围内的安全电气绝缘。应借助合适的保护电路来确保符合安全等级。
- (3) 在空气中进行测试, 以确定封装的浪涌抗扰度。
- (4) 在油中进行测试, 以确定隔离栅的固有浪涌抗扰度。
- (5) 视在电荷是局部放电 (pd) 引起的电气放电。
- (6) 将隔离栅每一侧的所有引脚都连在一起, 构成一个双端子器件。

5.7 安全相关认证

VDE	CSA	UL	CQC	TUV
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	根据 IEC 62368-1 和 IEC 60601-1 进行了认证	根据 UL 1577 组件认证计划进行了认证	根据 GB 4943.1 进行了认证	根据 EN 61010-1 和 EN 62368-1 进行了认证
证书编号：40040142	主合同编号：220991	文件编号：E181974	证书编号： CQC15001121716	客户端 ID 编号：77311

5.8 安全限值

安全限制旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。I/O 发生故障时会导致低电阻接地或连接到电源，如果没有限流电路，则会因为功耗过大而导致芯片过热并损坏隔离栅，甚至可能导致辅助系统出现故障。

参数	测试条件	最小值	典型值	最大值	单位
DW 封装					
I _S 安全输入、输出或电源电流	R _{θJA} = 81.1°C/W, V _I = 5.5 V, T _J = 150°C, T _A = 25°C, 请参阅图 5-3			280	mA
	R _{θJA} = 81.1°C/W, V _I = 3.6 V, T _J = 150°C, T _A = 25°C, 请参阅图 5-3			428	
	R _{θJA} = 81.1°C/W, V _I = 2.75V, T _J = 150°C, T _A = 25°C, 请参阅图 5-3			560	
P _S 安全输入、输出或总功率	R _{θJA} = 81.1°C/W, T _J = 150°C, T _A = 25°C, 请参阅图 5-5			1541	mW
T _S 最高安全温度				150	°C
DWW 封装					
I _S 安全输入、输出或电源电流	R _{θJA} = 83.4°C/W, V _I = 5.5 V, T _J = 150°C, T _A = 25°C, 请参阅图 5-4			273	mA
	R _{θJA} = 83.4°C/W, V _I = 3.6 V, T _J = 150°C, T _A = 25°C, 请参阅图 5-4			416	
	R _{θJA} = 83.4°C/W, V _I = 2.75 V, T _J = 150°C, T _A = 25°C, 请参阅图 5-4			545	
P _S 安全输入、输出或总功率	R _{θJA} = 83.4°C/W, T _J = 150°C, T _A = 25°C, 请参阅图 5-6			1499	mW
T _S 最高安全温度				150	°C

最高安全温度指为器件指定的最高结温。结温取决于应用硬件中所安装器件的功耗和结至空气热阻。节 5.4 表中的假定结至空气热阻所属器件安装在引线式表面贴装封装对应的高 K 测试板上。功耗为建议的最大输入电压与电流之积。因此，结温是环境温度加上功耗与结至空气热阻之积。

5.9 电气特性 - 5V 电源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$ (在推荐的运行条件下测得, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
V_{OH} 高电平输出电压	$I_{OH} = -4mA$; 请参阅图 6-1	$V_{CCO}^{(1)} - 0.4$	$V_{CCO} - 0.2$		V
V_{OL} 低电平输出电压	$I_{OL} = 4mA$; 请参阅图 6-1		0.2	0.4	V
$V_{I(HYS)}$ 输入阈值电压迟滞		$0.1 \times V_{CCI}^{(1)}$			V
I_{IH} 高电平输入电流	在 INx 或 ENx 处, $V_{IH} = V_{CCI}$			10	μA
I_{IL} 低电平输入电流	在 INx 或 ENx 处, $V_{IL} = 0V$	-10			μA
CMTI 共模瞬态抗扰度	$V_I = V_{CCI}$ 或 $0V$, $V_{CM} = 1500V$; 请参阅图 6-4	100			$kV/\mu s$
C_i 输入电容 ⁽²⁾	$V_I = V_{CC} / 2 + 0.4 \times \sin(2\pi ft)$, $f = 1MHz$, $V_{CC} = 5V$		2		pF

(1) V_{CCI} = 输入侧 V_{CC} ; V_{CCO} = 输出侧 V_{CC} 。

(2) 输入引脚到接地端的测量结果。

5.10 电源电流特性 - 5V 电源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$ (在推荐的运行条件下测得, 除非另有说明)

参数	测试条件	电源电流	最小值	典型值	最大值	单位
电源电流 - 禁用	$EN1 = EN2 = 0V$; $V_I = 0V$ (带有后缀 F 的器件); $V_I = V_{CCI}$ (不带后缀 F 的器件)	I_{CC1}		1	1.6	mA
		I_{CC2}		0.8	1.3	
	$EN2 = 0V$; $V_I = V_{CCI}$ (带有后缀 F 的器件); $V_I = 0V$ (不带后缀 F 的器件)	I_{CC1}		3.3	4.8	
		I_{CC2}		2	2.9	
电源电流 - 直流信号	$V_I = 0V$ (带有后缀 F 的器件); $V_I = V_{CCI}$ (不带后缀 F 的器件)	I_{CC1}		1.4	2.3	
		I_{CC2}		1.7	2.6	
	$V_I = V_{CCI}$ (带有后缀 F 的器件); $V_I = 0V$ (不带后缀 F 的器件)	I_{CC1}		3.8	5.6	
		I_{CC2}		3	4.3	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关; $C_L = 15pF$	1Mbps	I_{CC1}	2.6	4	
			I_{CC2}	2.4	3.6	
		10Mbps	I_{CC1}	3.2	4.5	
			I_{CC2}	3.4	4.6	
		100Mbps	I_{CC1}	8.7	10.5	
			I_{CC2}	13.2	15.8	

5.11 电气特性 - 3.3V 电源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (在推荐的运行条件下测得, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
V_{OH} 高电平输出电压	$I_{OH} = -2mA$; 请参阅图 6-1	$V_{CCO}^{(1)} - 0.4$	$V_{CCO} - 0.2$		V
V_{OL} 低电平输出电压	$I_{OL} = 2mA$; 请参阅图 6-1		0.2	0.4	V
$V_{I(HYS)}$ 输入阈值电压迟滞		$0.1 \times V_{CCI}^{(1)}$			V
I_{IH} 高电平输入电流	在 INx 或 ENx 处, $V_{IH} = V_{CCI}$			10	μA
I_{IL} 低电平输入电流	在 INx 或 ENx 处, $V_{IL} = 0V$	-10			μA
CMTI 共模瞬态抗扰度	$V_I = V_{CCI}$ 或 $0V$, $V_{CM} = 1500V$; 请参阅图 6-4	100			kV/ μs

(1) V_{CCI} = 输入侧 V_{CC} ; V_{CCO} = 输出侧 V_{CC} 。

5.12 电源电流特性 - 3.3V 电源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (在推荐的运行条件下测得, 除非另有说明)

参数	测试条件	电源电流	最小值	典型值	最大值	单位
电源电流 - 禁用	$EN1 = EN2 = 0V$; $V_I = 0V$ (带有后缀 F 的器件); $V_I = V_{CCI}$ (不带后缀 F 的器件)	I_{CC1}		1	1.6	mA
		I_{CC2}		0.8	1.3	
	$EN1 = EN2 = 0V$; $V_I = V_{CCI}$ (带有后缀 F 的器件); $V_I = 0V$ (不带后缀 F 的器件)	I_{CC1}		3.3	4.8	
		I_{CC2}		1.9	2.9	
电源电流 - 直流信号	$V_I = 0V$ (带有后缀 F 的器件); $V_I = V_{CCI}$ (不带后缀 F 的器件)	I_{CC1}		1.4	2.3	
		I_{CC2}		1.7	2.6	
	$V_I = V_{CCI}$ (带有后缀 F 的器件); $V_I = 0V$ (不带后缀 F 的器件)	I_{CC1}		3.8	5.6	
		I_{CC2}		2.9	4.3	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关; $C_L = 15pF$	1Mbps	I_{CC1}	2.6	4	
			I_{CC2}	2.4	3.5	
		10Mbps	I_{CC1}	3	4.3	
			I_{CC2}	3.1	4.3	
		100Mbps	I_{CC1}	6.9	8.3	
			I_{CC2}	10.1	12.2	

5.13 电气特性 - 2.5V 电源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (在推荐的运行条件下测得, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
V_{OH} 高电平输出电压	$I_{OH} = -1mA$; 请参阅图 6-1	$V_{CCO}^{(1)} - 0.4$	$V_{CCO} - 0.2$		V
V_{OL} 低电平输出电压	$I_{OL} = 1mA$; 请参阅图 6-1		0.2	0.4	V
$V_{I(HYS)}$ 输入阈值电压迟滞		$0.1 \times V_{CCI}^{(1)}$			V
I_{IH} 高电平输入电流	在 INx 或 ENx 处, $V_{IH} = V_{CCI}$			10	μA
I_{IL} 低电平输入电流	在 INx 或 ENx 处, $V_{IL} = 0V$	-10			μA
CMTI 共模瞬态抗扰度	$V_I = V_{CCI}$ 或 $0V$, $V_{CM} = 1500V$; 请参阅图 6-4	100			$kV/\mu s$

(1) V_{CCI} = 输入侧 V_{CC} ; V_{CCO} = 输出侧 V_{CC} 。

5.14 电源电流特性 - 2.5V 电源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (在推荐的运行条件下测得, 除非另有说明)

参数	测试条件	电源电流	最小值	典型值	最大值	单位
电源电流 - 禁用	$EN1 = EN2 = 0V$; $V_I = 0V$ (带有后缀 F 的器件); $V_I = V_{CCI}$ (不带后缀 F 的器件)	I_{CC1}		0.9	1.6	mA
		I_{CC2}		0.8	1.3	
	$EN1 = EN2 = 0V$; $V_I = V_{CCI}$ (带有后缀 F 的器件); $V_I = 0V$ (不带后缀 F 的器件)	I_{CC1}		3.3	4.8	
		I_{CC2}		1.9	2.9	
电源电流 - 直流信号	$V_I = 0V$ (带有后缀 F 的器件); $V_I = V_{CCI}$ (不带后缀 F 的器件)	I_{CC1}		1.4	2.3	
		I_{CC2}		1.7	2.6	
	$V_I = V_{CCI}$ (带有后缀 F 的器件); $V_I = 0V$ (不带后缀 F 的器件)	I_{CC1}		3.8	5.6	
		I_{CC2}		2.9	4.3	
电源电流 - 交流信号	所有通道均通过方波时钟输入实现开关; $C_L = 15pF$	1Mbps	I_{CC1}	2.6	4	
			I_{CC2}	2.3	3.5	
		10Mbps	I_{CC1}	2.9	4.3	
			I_{CC2}	2.9	4.1	
		100Mbps	I_{CC1}	5.8	7.2	
			I_{CC2}	8.2	10	

5.15 开关特性 - 5V 电源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$ (在推荐的运行条件下测得, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
t_{PLH} 、 t_{PHL} 传播延迟时间	请参阅 图 6-1	6	11	16	ns
PWD 脉宽失真 ⁽¹⁾ $ t_{PHL} - t_{PLH} $			0.55	4.1	ns
$t_{sk(o)}$ 通道间输出偏斜时间 ⁽²⁾	同向通道			2.5	ns
$t_{sk(pp)}$ 器件间偏斜时间 ⁽³⁾				4.5	ns
t_r 输出信号上升时间	请参阅 图 6-1		1.7	3.9	ns
t_f 输出信号下降时间			1.9	3.9	ns
t_{PHZ} 禁用传播延时, 高电平至高阻抗输出	请参阅 图 6-2		12	20	ns
t_{PLZ} 禁用传播延时, 低电平至高阻抗输出			12	20	ns
t_{PZH} 启用传播延时, 高阻抗至高电平输出, 适用于 ISO7831			10	20	ns
t_{PZH} 启用传播延时, 高阻抗至高电平输出, 适用于 ISO7831F			2	2.5	μs
t_{PZL} 启用传播延时, 高阻抗至低电平输出, 适用于 ISO7831			2	2.5	μs
t_{PZL} 启用传播延时, 高阻抗至低电平输出, 适用于 ISO7831F			10	20	ns
t_{DO} 输入功率损耗的默认输出延时时间	从 V_{CC} 低于 1.7V 之时开始测量。请参阅 图 6-3		0.2	9	μs
t_{ie} 时间间隔误差	100Mbps 时的 PRBS 数据为 $2^{16} - 1$		0.90		ns

(1) 也称为脉冲偏斜。

(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜: 所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。

(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度: 在相同电源电压、温度、输入信号和负载下工作, 同时在相同方向上开关。

5.16 开关特性 - 3.3V 电源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (在推荐的运行条件下测得, 除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
t_{PLH} 、 t_{PHL} 传播延迟时间	请参阅 图 6-1	6	10.8	16	ns
PWD 脉宽失真 ⁽¹⁾ $ t_{PHL} - t_{PLH} $			0.7	4.2	ns
$t_{sk(o)}$ 通道间输出偏斜时间 ⁽²⁾	同向通道			2.2	ns
$t_{sk(pp)}$ 器件间偏斜时间 ⁽³⁾				4.5	ns
t_r 输出信号上升时间	请参阅 图 6-1		0.8	3	ns
t_f 输出信号下降时间			0.8	3	ns
t_{PHZ} 禁用传播延时, 高电平至高阻抗输出	请参阅 图 6-2		17	32	ns
t_{PLZ} 禁用传播延时, 低电平至高阻抗输出			17	32	ns
t_{PZH} 启用传播延时, 高阻抗至高电平输出, 适用于 ISO7831			17	32	ns
t_{PZH} 启用传播延时, 高阻抗至高电平输出, 适用于 ISO7831F			2	2.5	μs
t_{PZL} 启用传播延时, 高阻抗至低电平输出, 适用于 ISO7831			2	2.5	μs
t_{PZL} 启用传播延时, 高阻抗至低电平输出, 适用于 ISO7831F			17	32	ns
t_{DO} 输入功率损耗的默认输出延时时间	从 V_{CC} 低于 1.7V 之时开始测量。请参阅 图 6-3		0.2	9	μs
t_{ie} 时间间隔误差	100Mbps 时的 PRBS 数据为 $2^{16} - 1$		0.91		ns

(1) 也称为脉冲偏斜。

(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜: 所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。

(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度: 在相同电源电压、温度、输入信号和负载下工作, 同时在相同方向上开关。

5.17 开关特性 - 2.5V 电源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (在推荐的运行条件下测得, 除非另有说明)

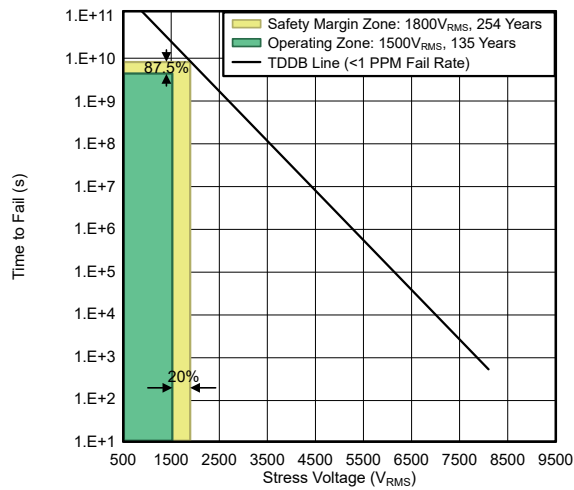
参数		测试条件	最小值	典型值	最大值	单位
t_{PLH} 、 t_{PHL}	传播延迟时间	请参阅 图 6-1	7.5	11.7	17.5	ns
PWD	脉宽失真 ⁽¹⁾ $ t_{PHL} - t_{PLH} $			0.66	4.2	ns
$t_{sk(o)}$	通道间输出偏斜时间 ⁽²⁾	同向通道			2.2	ns
$t_{sk(pp)}$	器件间偏斜时间 ⁽³⁾				4.5	ns
t_r	输出信号上升时间	请参阅 图 6-1		1	3.5	ns
t_f	输出信号下降时间			1.2	3.5	ns
t_{PHZ}	禁用传播延时, 高电平至高阻抗输出	请参阅 图 6-2		22	45	ns
t_{PLZ}	禁用传播延时, 低电平至高阻抗输出			22	45	ns
t_{PZH}	启用传播延时, 高阻抗至高电平输出, 适用于 ISO7831			18	45	ns
	启用传播延时, 高阻抗至高电平输出, 适用于 ISO7831F			2	2.5	μs
t_{PZL}	启用传播延时, 高阻抗至低电平输出, 适用于 ISO7831			2	2.5	μs
	启用传播延时, 高阻抗至低电平输出, 适用于 ISO7831F			18	45	ns
t_{DO}	输入功率损耗的默认输出延时时间	从 V_{CC} 低于 1.7V 之时开始测量。请参阅 图 6-3		0.2	9	μs
t_{ie}	时间间隔误差	100Mbps 时的 PRBS 数据为 $2^{16} - 1$		0.91		ns

(1) 也称为脉冲偏斜。

(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜: 所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。

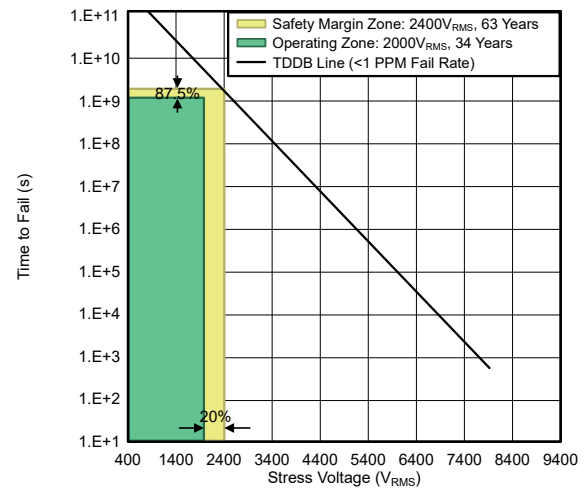
(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度: 在相同电源电压、温度、输入信号和负载下工作, 同时在相同方向上开关。

5.18 绝缘特性曲线



T_A 高达 150°C 工作寿命 = 135 年
应力电压频率 = 60Hz
隔离工作电压 = $1,500V_{\text{RMS}}$

图 5-1. 用于 DW 封装器件的增强型隔离电容器寿命预测



T_A 高达 150°C 工作寿命 = 34 年
应力电压频率 = 60Hz
隔离工作电压 = $2000V_{\text{RMS}}$

图 5-2. 用于 DWW 封装器件的增强型隔离电容器寿命预测

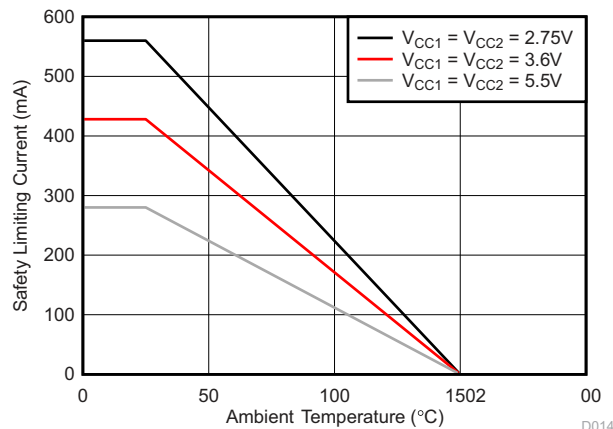


图 5-3. DW 封装安全限制电流的热降额曲线

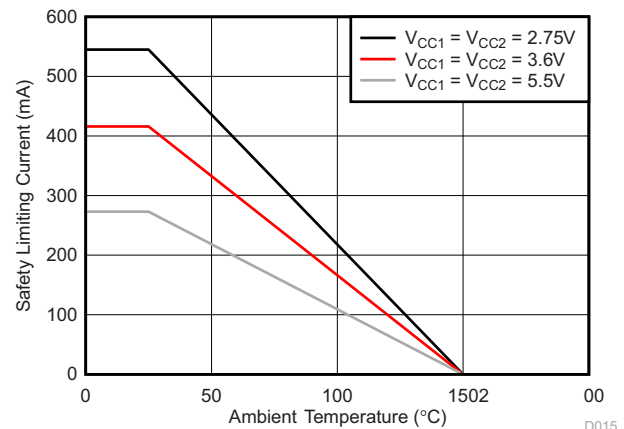


图 5-4. DWW 封装安全限制电流的热降额曲线

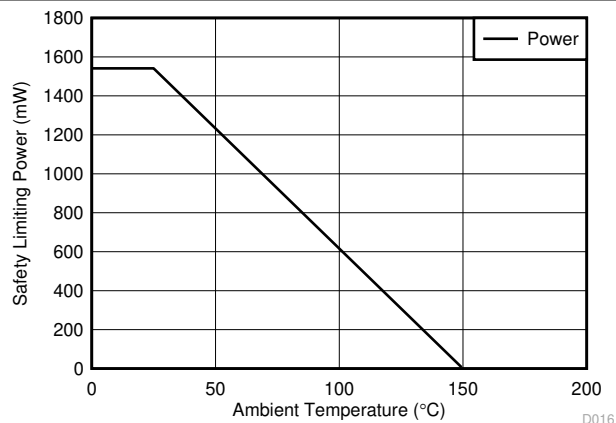


图 5-5. DW 封装安全限制功率的热降额曲线

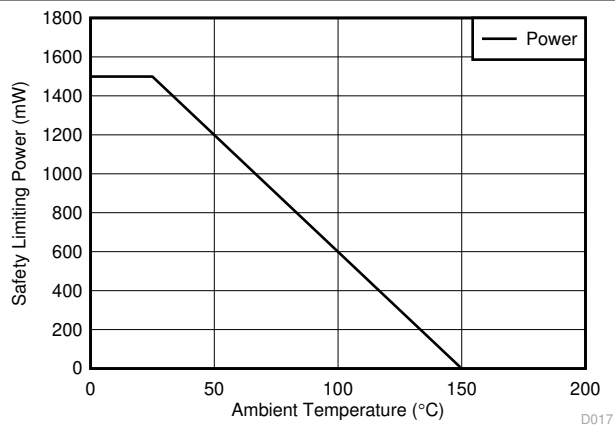


图 5-6. DWW 封装安全限制功率的热降额曲线

5.19 典型特性

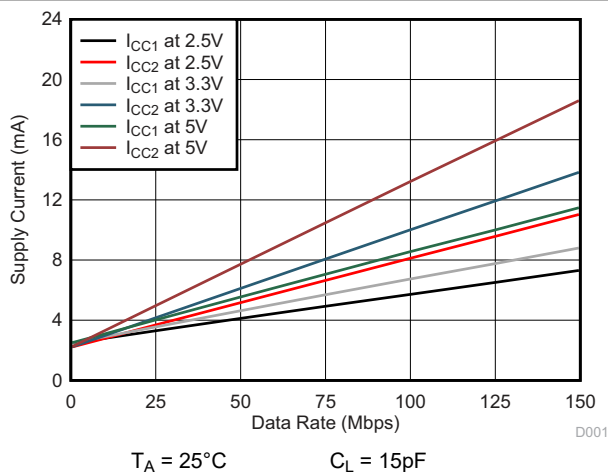


图 5-7. 电源电流与数据速率之间的关系 (15pF 负载)

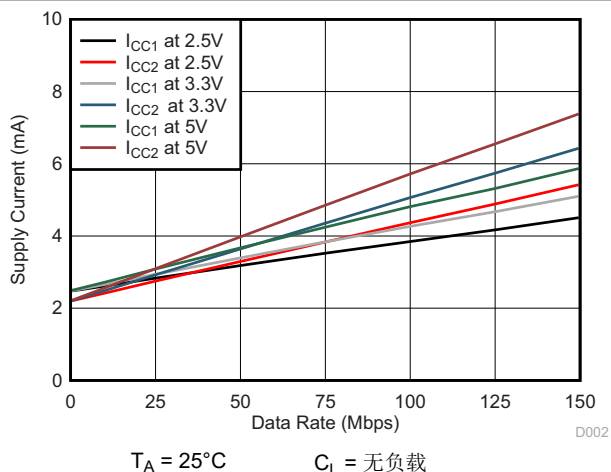


图 5-8. 电源电流与数据速率之间的关系 (无负载)

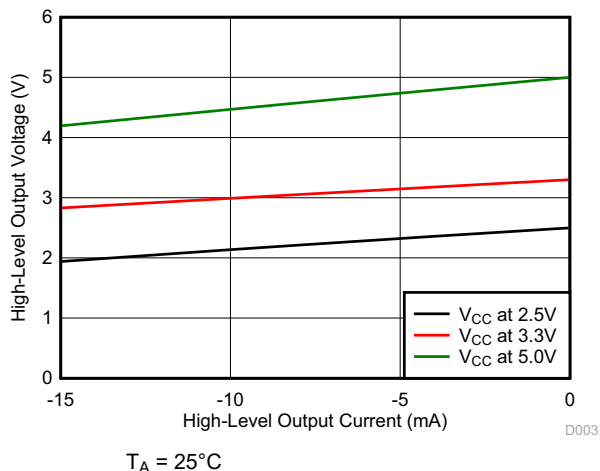


图 5-9. 高电平输出电压与高电平输出电流间的关系

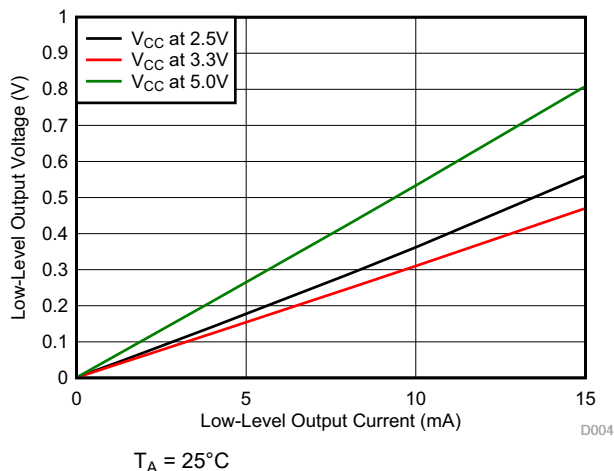


图 5-10. 低电平输出电压与低电平输出电流间的关系

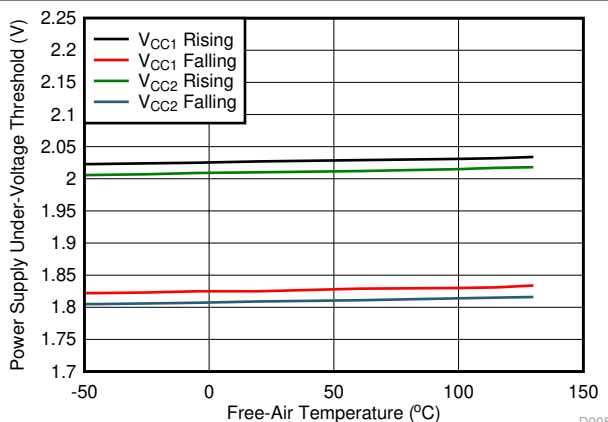


图 5-11. 电源欠压阈值与自然通风条件下的温度间的关系

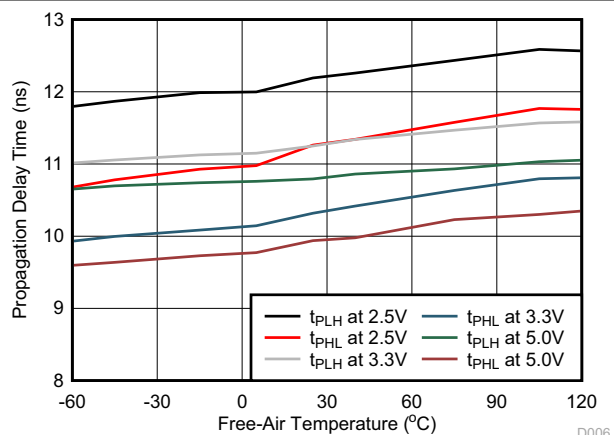
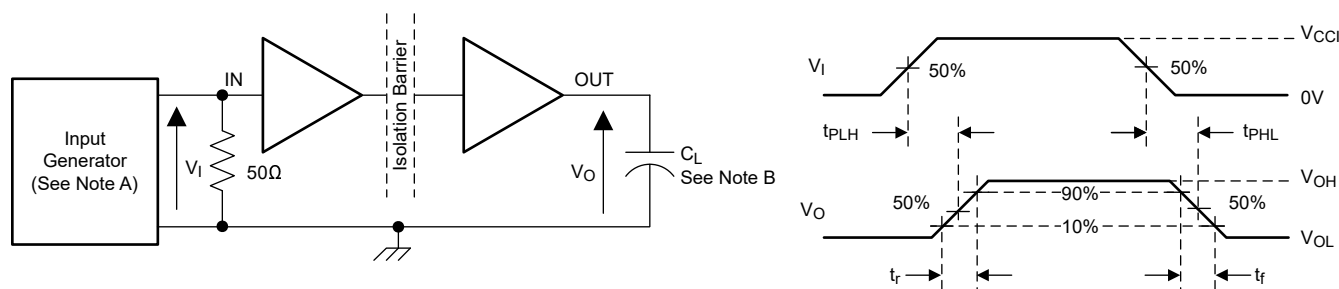


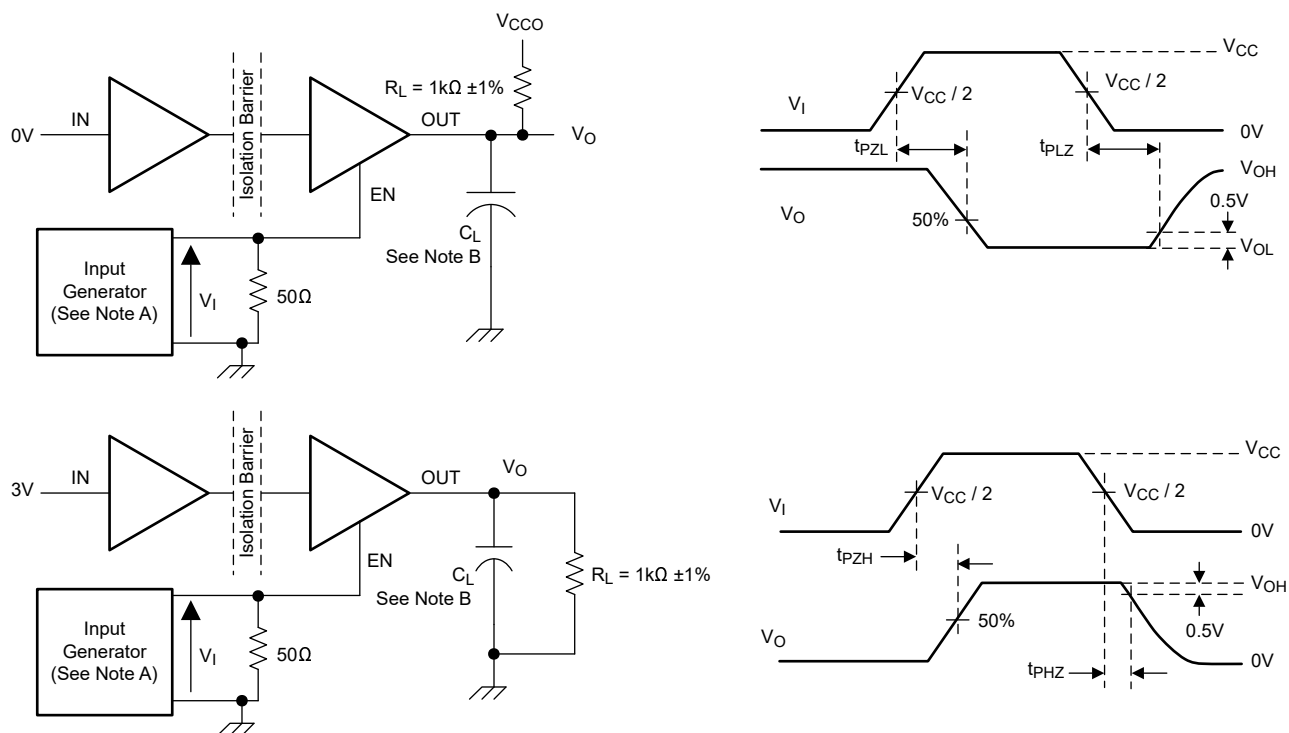
图 5-12. 传播延迟时间与自然通风条件下的温度间的关系

6 参数测量信息



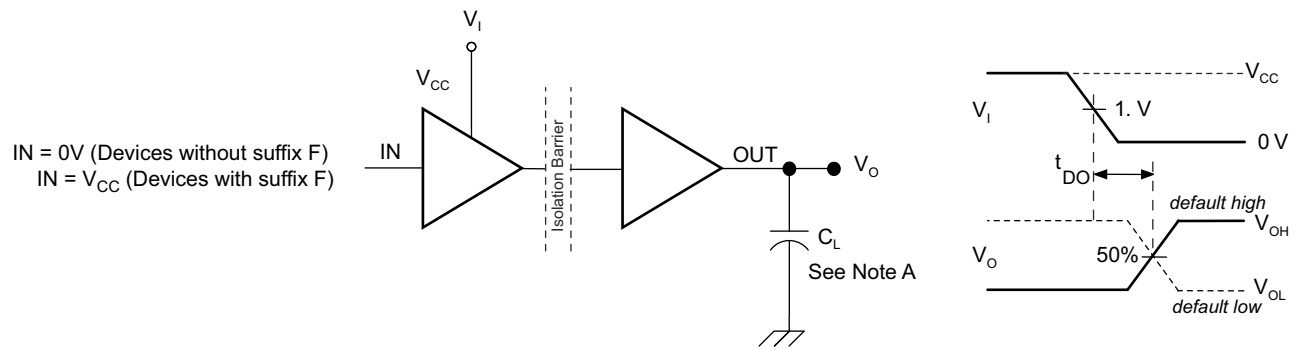
- A. 输入脉冲由具有以下特性的发生器提供：PRR $\leq 50\text{kHz}$ ，50% 占空比， $t_r \leq 3\text{ns}$ ， $t_f \leq 3\text{ns}$ ， $Z_O = 50\Omega$ 。输入端需要 50Ω 电阻器来端接输入发生器信号。实际应用中并不需要 50Ω 电阻器。
- B. $C_L = 15\text{pF}$ 并包含 $\pm 20\%$ 范围内的仪表和设备电容。

图 6-1. 开关特性测试电路和电压波形



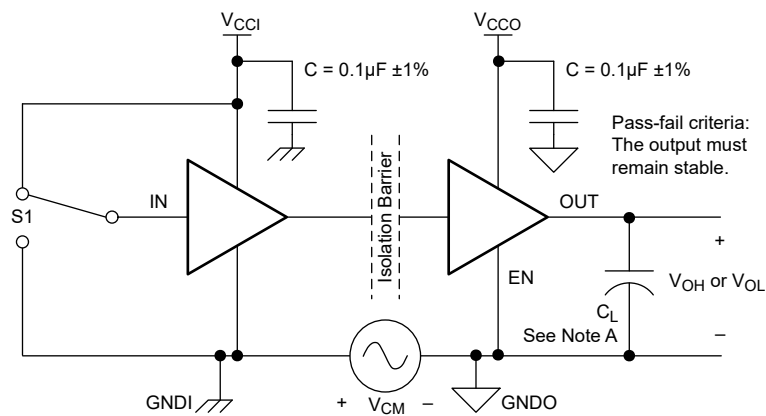
- A. 输入脉冲由具有以下特性的发生器提供：PRR $\leq 10\text{kHz}$ ，50% 占空比， $t_r \leq 3\text{ns}$ ， $t_f \leq 3\text{ns}$ ， $Z_O = 50\Omega$ 。
- B. $C_L = 15\text{pF}$ 并包含 $\pm 20\%$ 范围内的仪表和设备电容。

图 6-2. 启用/禁用传播延时时间测试电路和波形



A. $C_L = 15\text{pF}$ 并包含 $\pm 20\%$ 范围内的仪表和设备电容。

图 6-3. 默认输出延时时间测试电路和电压波形



A. $C_L = 15\text{pF}$ 并包含 $\pm 20\%$ 范围内的仪表和设备电容。

图 6-4. 共模瞬态抗扰度测试电路

7 详细说明

7.1 概述

ISO7831x 器件采用开关键控 (OOK) 调制方案，可通过基于二氧化硅的隔离栅传输数字数据。发送器通过隔离栅发送高频载波来表示一种数字状态，而不发送信号则表示另一种数字状态。接收器在高级信号调节后对信号进行解调并通过缓冲器级产生输出。如果 EN 引脚为低电平，则输出变为高阻抗。ISO7831x 器件还采用了先进的电路技术，可充分提高 CMTI 性能，并有效减少高频载波和 IO 缓冲器开关产生的辐射。图 7-1 为数字电容隔离器的概念方框图，展示了典型通道的功能方框图。

7.2 功能方框图

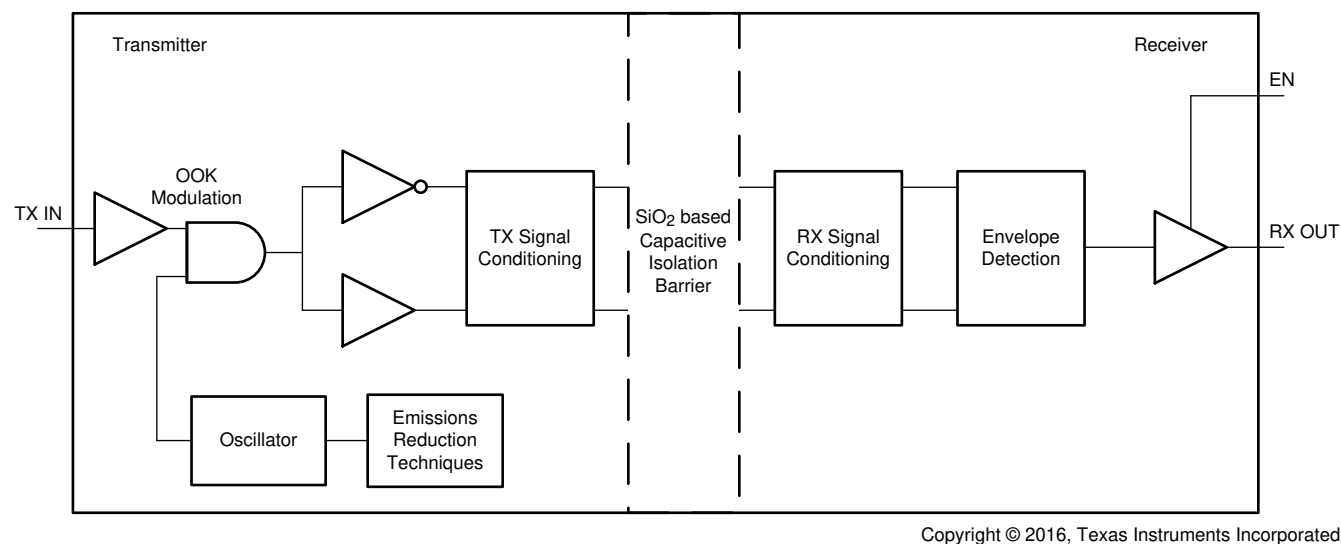


图 7-1. 数字电容隔离器的概念框图

图 7-2 所示为开关键控方案工作原理的概念细节。

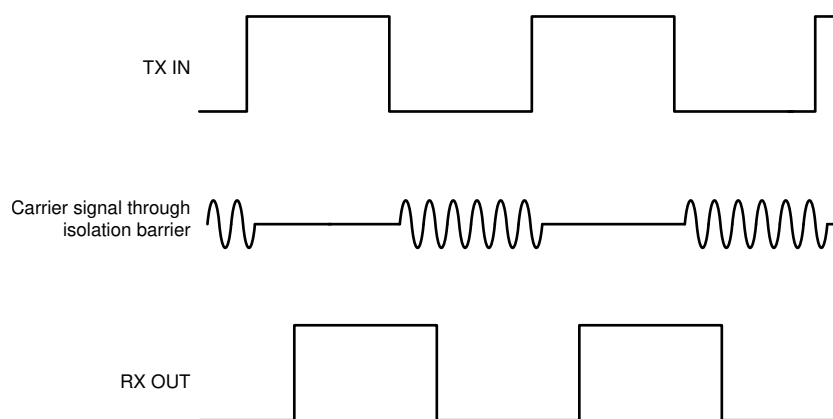


图 7-2. 基于开关键控 (OOK) 的调制方案

7.3 特性说明

表 7-1 汇总了器件特性。

表 7-1. 器件特性

器件型号	通道方向	隔离额定值	最大数据速率	默认输出
ISO7831	2 个正向、1 个反向	5,700V _{RMS} / 8,000 V _{PK} ⁽¹⁾	100Mbps	高
ISO7831F	2 个正向、1 个反向	5,700V _{RMS} / 8,000 V _{PK} ⁽¹⁾	100Mbps	低

(1) 有关详细的隔离等级，请参阅 [节 5.7](#) 一节。

7.3.1 电磁兼容性 (EMC) 注意事项

恶劣工业环境中的很多应用都对静电放电 (ESD)、电气快速瞬变 (EFT)、浪涌和电磁辐射等干扰非常敏感。IEC 61000-4-x 和 CISPR 22 等国际标准对这些电磁干扰进行了规定。尽管系统级性能与可靠性在很大程度上取决于应用电路板的设计和布局，但为了实现整体系统的稳健性，ISO7831x 器件在芯片级设计方面进行了诸多改进。其中的一些改进包括：

- 输入和输出信号引脚以及芯片间接合焊盘具有可靠的 ESD 保护单元。
- ESD 单元与电源和接地引脚之间采用低电阻连接。
- 高压隔离电容器具有增强性能，能够更好地耐受 ESD、EFT 和浪涌事件。
- 片上去耦电容器更大，可通过低阻抗路径旁路不良的高能信号。
- PMOS 和 NMOS 器件通过防护环互相隔离，从而避免触发寄生 SCR。
- 通过提供纯差分内部运行，减少隔离栅上的共模电流。

7.4 器件功能模式

表 7-2 列出了 ISO7831x 功能模式。

表 7-2. 功能表

V_{CCI}	V_{CCO}	输入 (INx) ⁽²⁾	输出使能 (ENx)	输出 (OUTx)	注释
PU	PU	H	H 或开路	H	正常运行： 通道输出假定输入的逻辑状态。
		L	H 或开路	L	
		开路	H 或开路	默认值	默认模式：INx 断开时，相应通道输出进入默认逻辑状态。ISO7831 默认为高电平，ISO7831F 默认为低电平。
X	PU	X	L	Z	输出使能值偏低，会导致输出为高阻抗
PD	PU	X	H 或开路	默认值	默认模式： V_{CCI} 未上电时，通道输出根据所选默认选项假定逻辑状态。ISO7831 默认为高电平，ISO7831F 默认为低电平。 V_{CCI} 从未上电转换为上电时，通道输出假定输入的逻辑状态。 V_{CCI} 从上电转换为未上电时，通道输出假定所选默认状态。
X	PD	X	X	不确定	V_{CCO} 未上电时，通道输出状态不确定 ⁽¹⁾ 。 V_{CCO} 从未上电转换为上电时，通道输出假定输入的逻辑状态。

- (1) 当 $1.7V < V_{CCI}$ 且 $V_{CCO} < 2.25V$ 时，输出为不确定状态。
(2) 强驱动输入信号可通过使用内部保护二极管的浮动 V_{CC} 提供微弱的电能，导致输出不确定。

7.4.1 器件 I/O 原理图

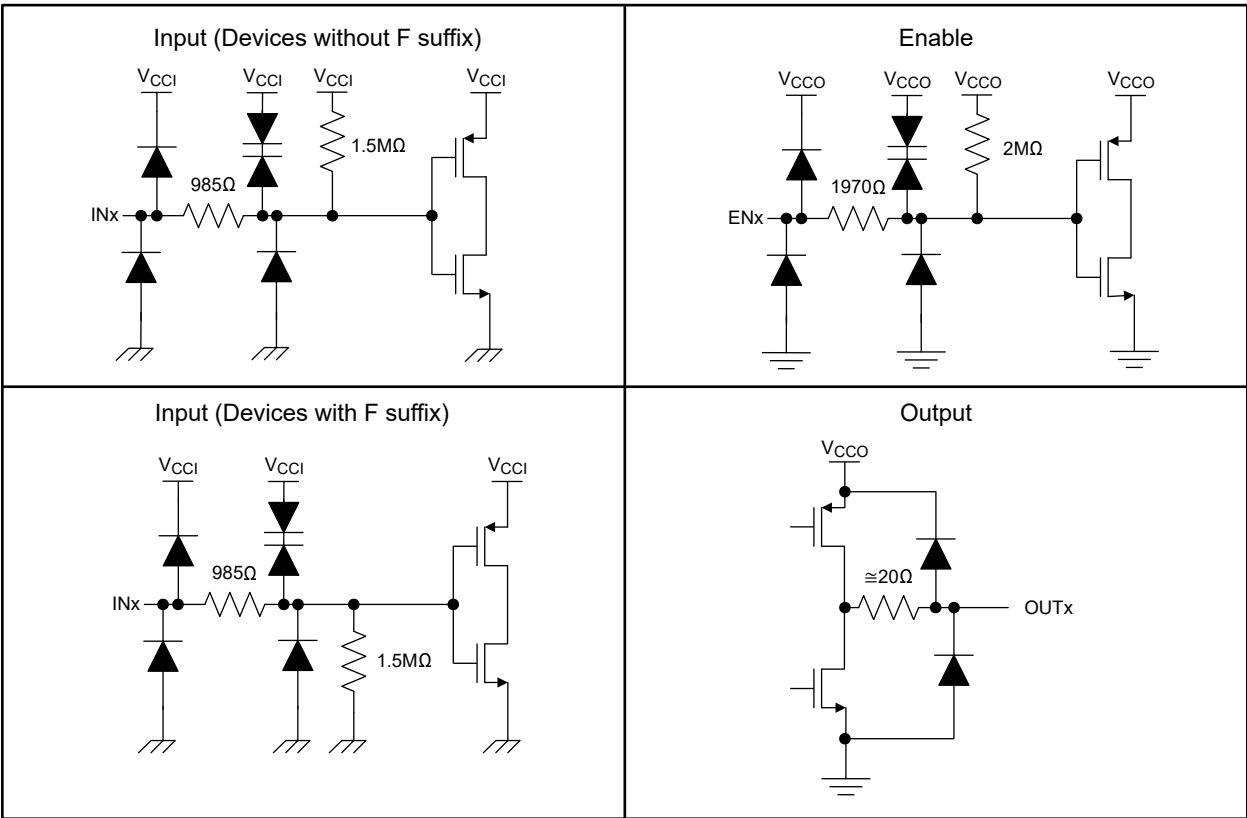


图 7-3. 器件 I/O 原理图

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

ISO7831x 器件是一款高性能三通道数字隔离器，隔离电压为 $5.7\text{kV}_{\text{RMS}}$ 。该器件每侧都配有使能引脚，可用于在多主驱动应用中将各自的输出置于高阻抗状态，也可用于降低功耗。ISO7831x 器件采用单端 CMOS 逻辑开关技术。 V_{CC1} 和 V_{CC2} 这两个电源的电源电压范围均为 2.25V 至 5.5V 。使用数字隔离器进行设计时，请注意由于采用的是单端设计结构，数字隔离器不符合任何特定的接口标准，并仅用于隔离单端 CMOS 或 TTL 数字信号线。不管接口类型或标准如何，隔离器通常都放在数据控制器（即 μC 或 UART）和数据转换器或数据线收发器之间。

8.2 典型应用

图 8-1 显示了隔离式 RS-485 接口应用电路。

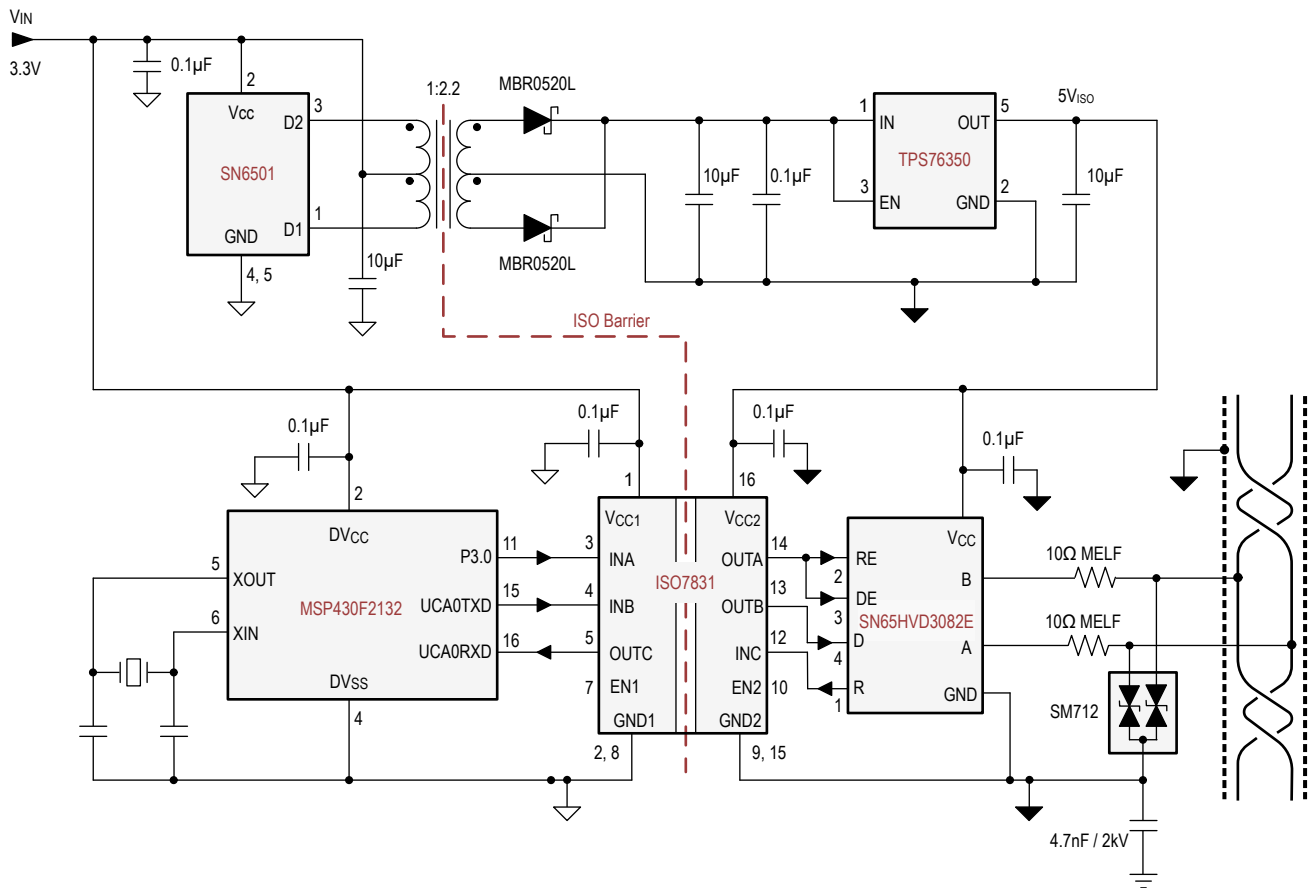


图 8-1. 隔离式 RS-485 电路

8.2.1 设计要求

对于该设计示例，请使用表 8-1 中列出的参数。

表 8-1. 设计参数

参数	值
电源电压	2.25V 至 5.5V
V _{CC1} 和 GND1 之间的去耦电容器	0.1μF
V _{CC2} 和 GND2 之间的去耦电容器	0.1μF

8.2.2 详细设计过程

不同于需要外部元件来提高性能、提供偏置或限制电流的光耦合器，ISO7831x 仅需两个外部旁路电容器即可工作。

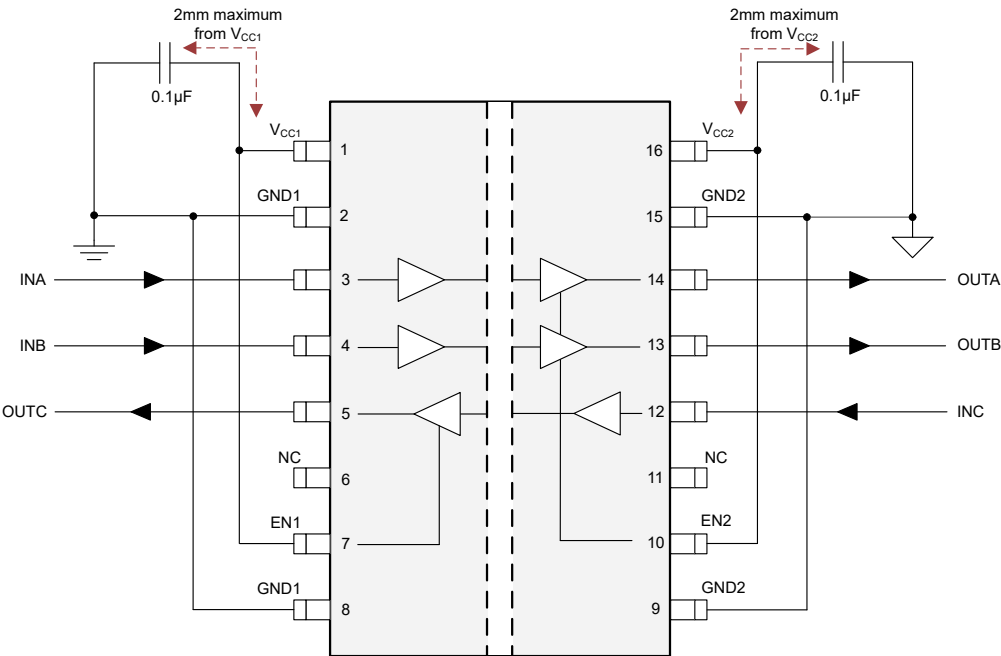


图 8-2. 典型 ISO7831 电路组装

8.2.3 应用曲线

以下为 ISO7831x 器件的典型眼图，展示了在 100Mbps 最大数据速率下的低抖动和大张开度。

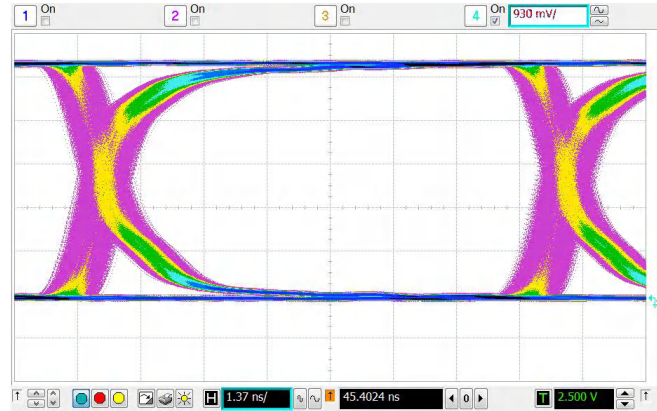


图 8-3. 眼图：100Mbps PRBS、5V 和 25°C

8.3 电源相关建议

为确保在各种数据速率和电源电压条件下可靠运行，建议将 0.1 μ F 旁路电容器放置在输入和输出电源引脚 (V_{CC1} 和 V_{CC2}) 处。该电容必须尽量靠近电源引脚放置。如果应用中只有单个初级侧电源，则可以借助德州仪器 (TI) 的 SN6501 等变压器驱动器为次级侧生成隔离式电源。对于此类应用，SN6501 数据表 (SLLSEA0) 中提供了详细的电源设计和变压器选择建议。

8.4 布局

8.4.1 布局指南

至少需要四层才能实现低 EMI PCB 设计 (请参阅图 8-4)。层堆叠必须符合以下顺序 (从上到下)：高速信号层、接地平面、电源平面和低频信号层。

- 在顶层布置高速走线可避免使用过孔 (及其引入的电感)，并在隔离器与数据链路的发送器和接收器电路之间实现可靠互连。
- 通过在高速信号层旁边放置一个实心接地层，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。
- 靠近接地层放置电源层，会额外产生大约 100pF/inch² 的高频旁路电容。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

如果需要额外的电源电压层或信号层，请在堆叠中添加另一个电源层或接地层系统，以使这些层保持对称。这样可使栈保持机械稳定并防止其翘曲。此外，每个电源系统的电源和接地层可以放置得更靠近彼此，从而显著增大高频旁路电容。

如需详细的布局建议，请参阅应用手册 数字隔离器设计指南 (SLLA284)。

8.4.1.1 PCB 材料

对于运行速度低于 150Mbps (或上升和下降时间大于 1ns) 且布线长度达 10 英寸的数字电路板，请使用标准 FR-4 UL94V-0 印刷电路板。该 PCB 在高频下具有较低的电介质损耗、较低的吸湿性、较高的强度和刚度以及自熄性可燃性特征，因而优于较便宜的替代产品。

8.4.2 布局示例

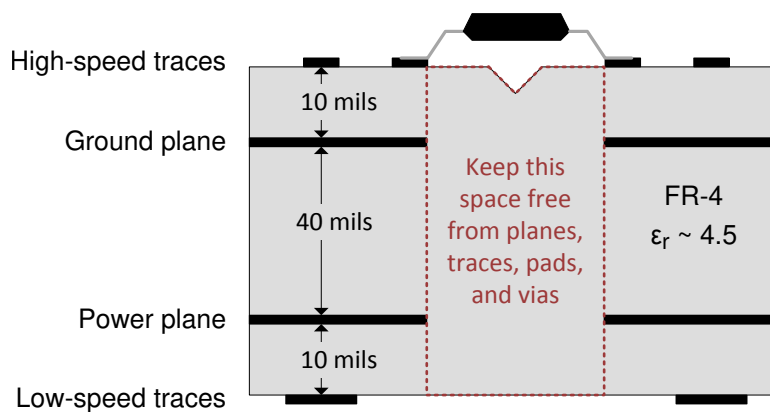


图 8-4. 原理图布局示例

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

1. 德州仪器 (TI), [数字隔离器设计指南](#) 应用手册
2. 德州仪器 (TI), [隔离相关术语](#) 应用手册
3. 德州仪器 (TI), [SN6501 隔离式电源用变压器驱动器](#), 数据表
4. 德州仪器 (TI), [采用小型 MSOP-8 封装的 SNx5HVD308xE 低功耗 RS-485 收发器](#), 数据表
5. 德州仪器 (TI), [TPS76350 低功耗 150mA 低压降线性稳压器](#), 数据表
6. 德州仪器 (TI), [MSP430F2132 混合信号微控制器](#), 数据表

9.1.1.1 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 9-1. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
ISO7831	点击此处	点击此处	点击此处	点击此处	点击此处
ISO7831F	点击此处	点击此处	点击此处	点击此处	点击此处

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (April 2016) to Revision C (July 2025)**Page**

- 在绝缘规格表中添加了 15mm (典型值) 爬电距离/间隙.....4

Changes from Revision A (September 2015) to Revision B (April 2016)**Page**

- 将 节 1 从低功耗、每通道电流典型值为 2.5mA (1Mbps 时) 更改为低功耗、每通道电流典型值为 1.7mA (1Mbps 时)1
- 将 节 1 部分中的隔离栅寿命从大于 25 年更改为大于 40 年.....1
- 将 节 1 从安全和监管批准更改为安全相关认证.....1
- 通篇更新了认证的状态.....1
- 添加了超宽体封装 (16 引脚 SOIC [DWW]) 选项.....1
- 更改了 热性能信息 表中 DW 封装的值.....5
- 将 C_{IO} 规格从 2pF 更改为 ≈ 1 pF.....6
- 向 绝缘特性 表中添加了气候类别参数.....6
- 将 节 5.7 移动到了 节 5 部分.....7
- 将 节 5.8 移动到了 节 5 部分.....7
- 在 安全限制值 表中, 更改了 DW 封装的测试条件和值.....7
- 在电气特性表中, 将输入阈值电压磁滞参数的最小值从 V_{CCO} 更改为 V_{CCI} 8
- 向电气特性表中的 CMTI 参数添加了 V_{CM} 测试条件。还将最小值从 70 更新为 100 并删除了最大值 100.....8
- 将 节 5.15 中的 t_{fs} 更改为 t_{DO} 11
- 将 节 5.16 中的 t_{fs} 更改为 t_{DO} 11
- 将 节 5.17 中的 t_{fs} 更改为 t_{DO} 12
- 在 绝缘特性曲线 部分中添加了 DW 和 DWW 封装的寿命预测图.....13
- 更改了 安全限制值 部分中的热降额曲线.....13
- 将 2.7V 更改为 1.7V、fs 高电平更改为默认高电平, 将 图 6-3 中的 fs 低电平更改为默认低电平.....16

Changes from Revision * (July 2015) to Revision A (September 2015)**Page**

- 将单页产品预览更改为生产数据表.....1

11 机械、封装和可订购信息

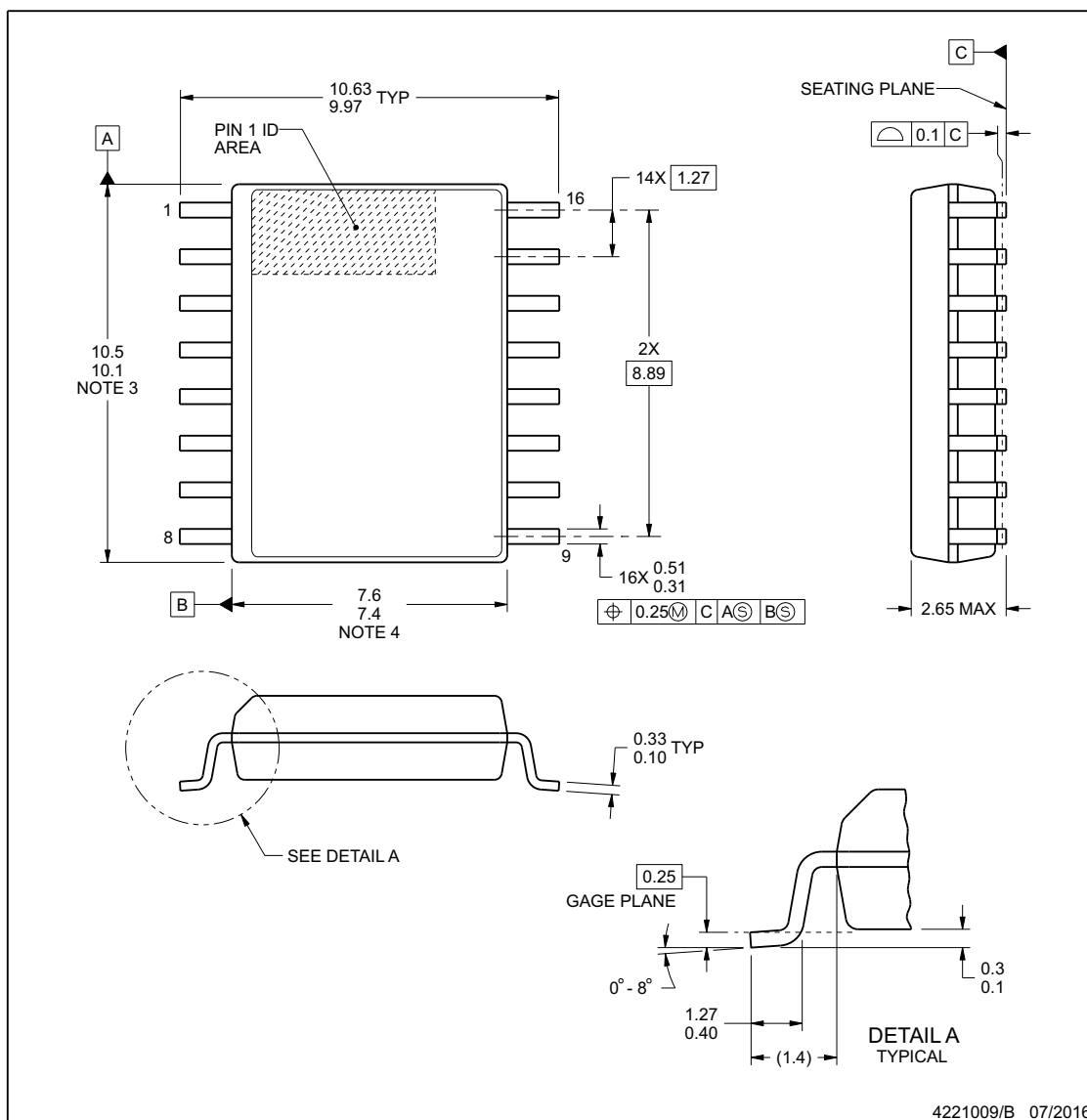
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更, 恕不另行通知, 且不会对此文档进行修订。有关此数据表的浏览器版本, 请查阅左侧的导航栏。



DW0016B

SOIC - 2.65 mm max height

SOIC

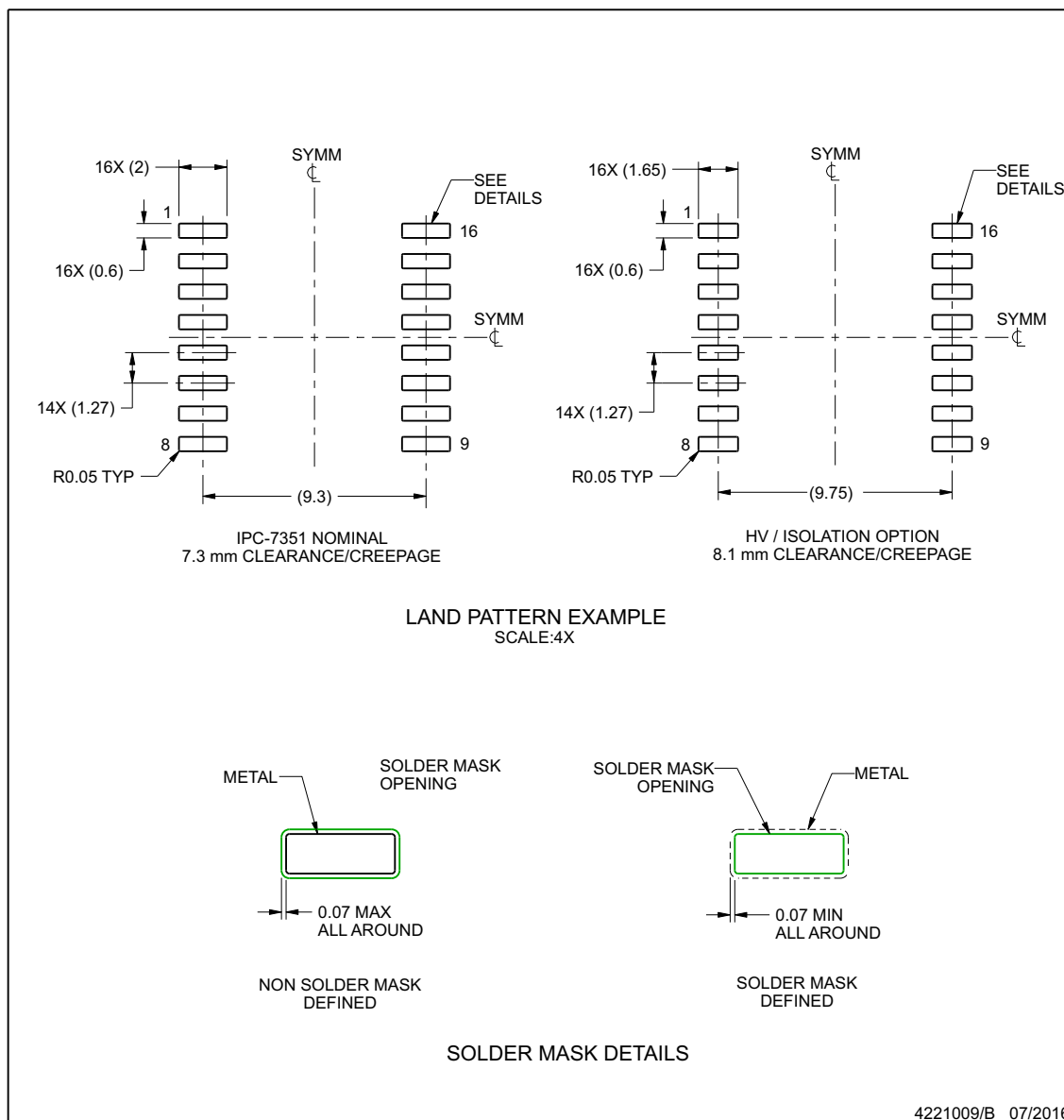


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT**DW0016B****SOIC - 2.65 mm max height**

SOIC



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

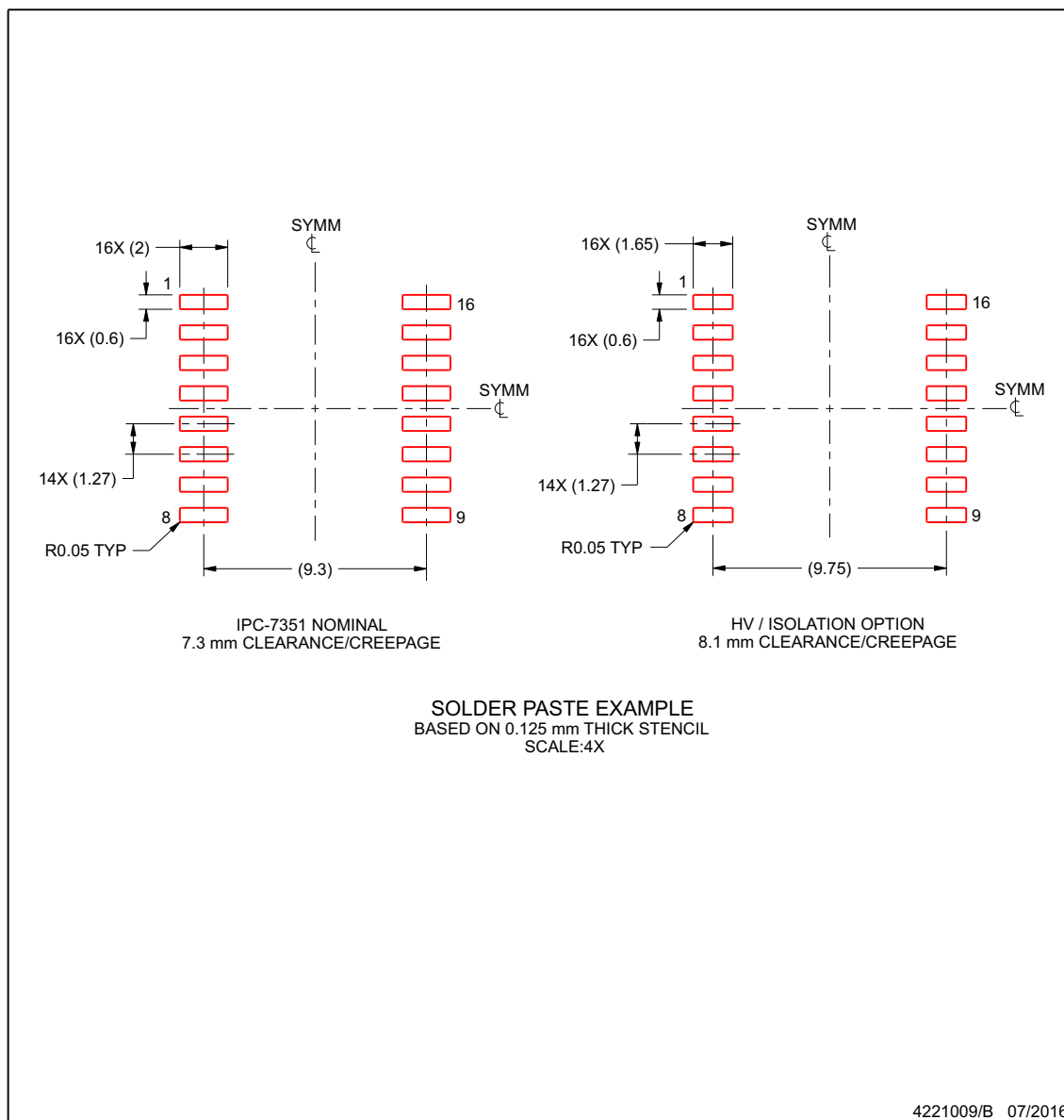
www.ti.com

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

www.ti.com

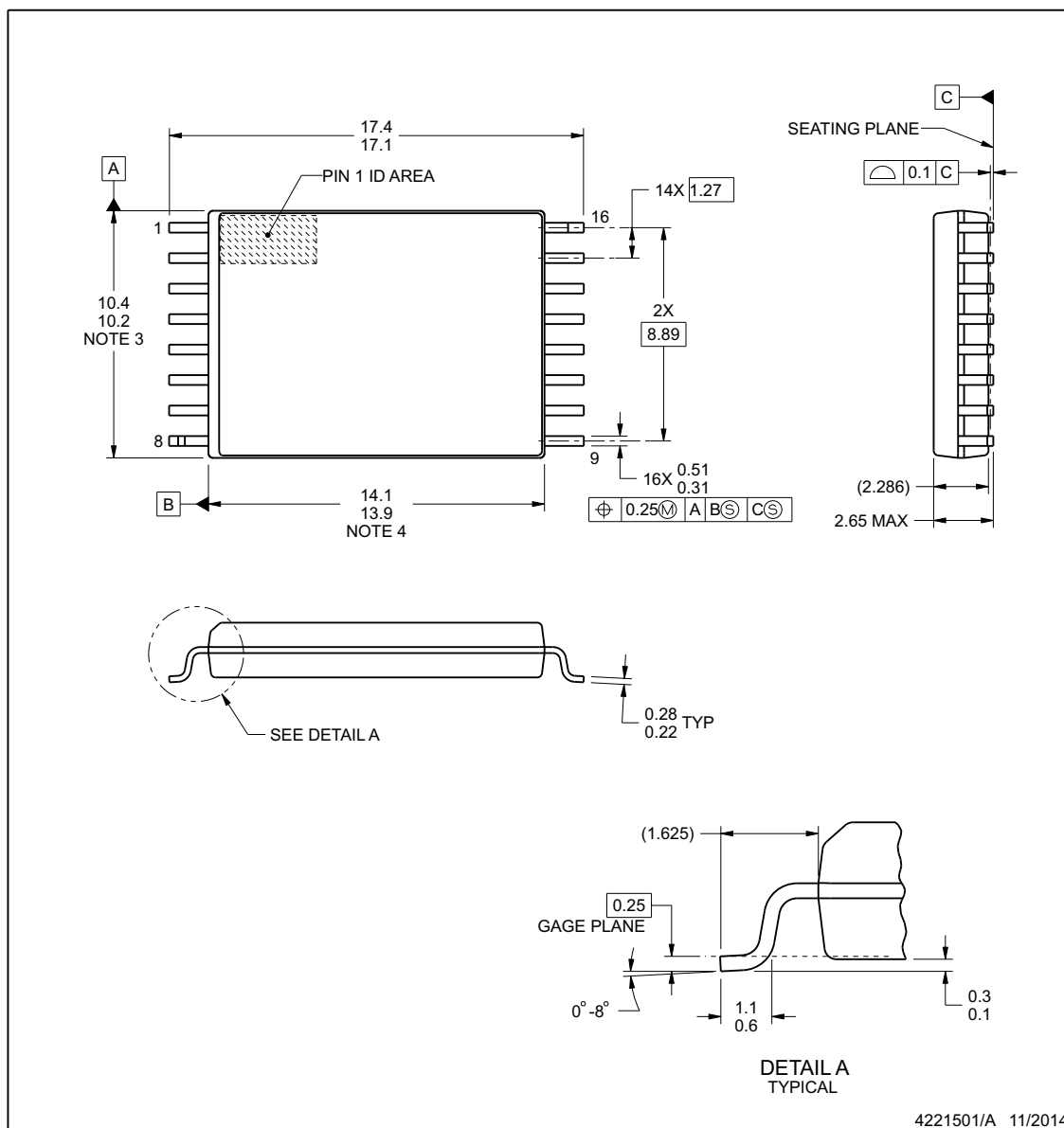


DWW0016A

PACKAGE OUTLINE

SOIC - 2.65 mm max height

PLASTIC SMALL OUTLINE



NOTES:

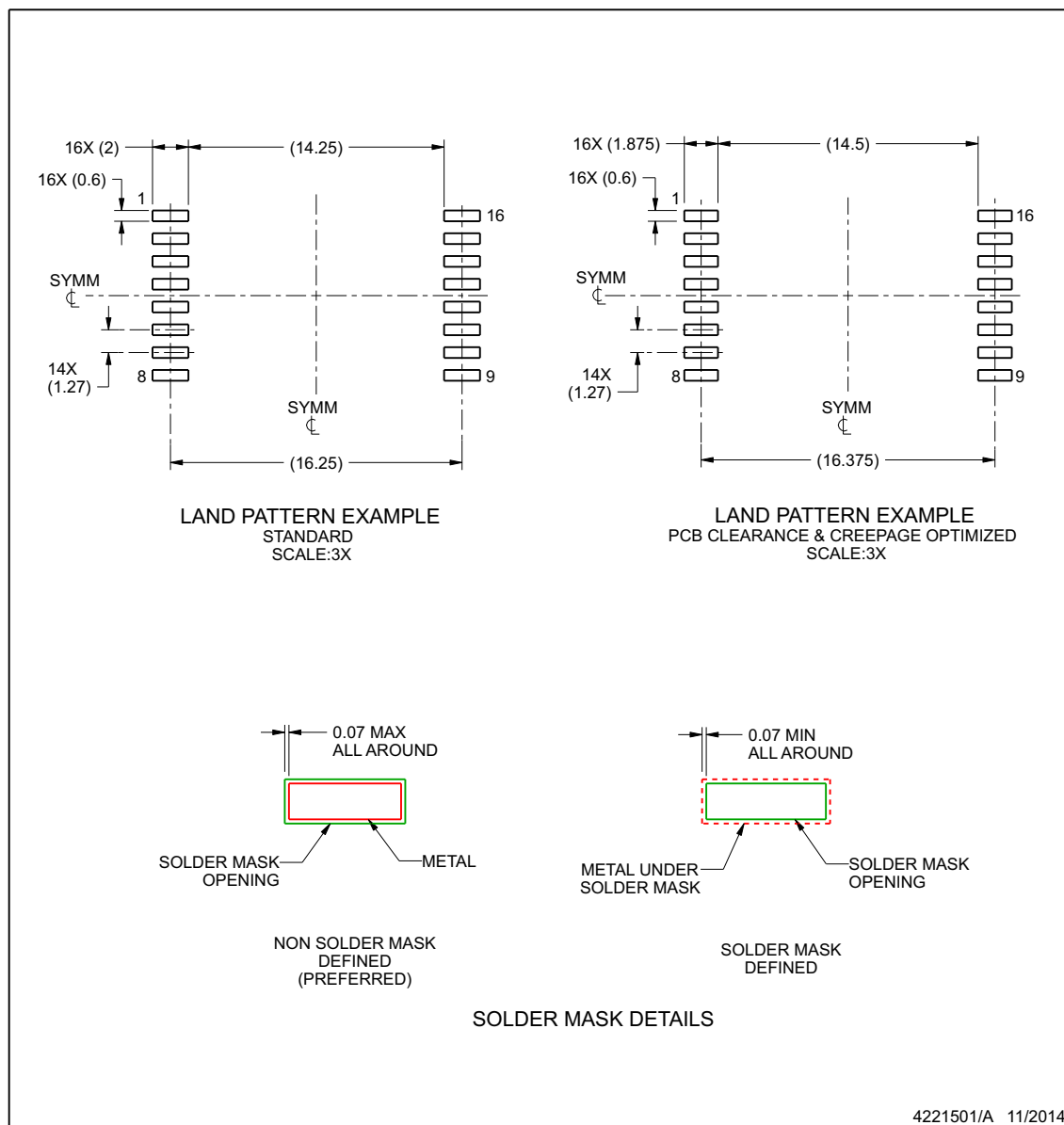
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 mm per side.
4. This dimension does not include interlead flash.

EXAMPLE BOARD LAYOUT

DWW0016A

SOIC - 2.65 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

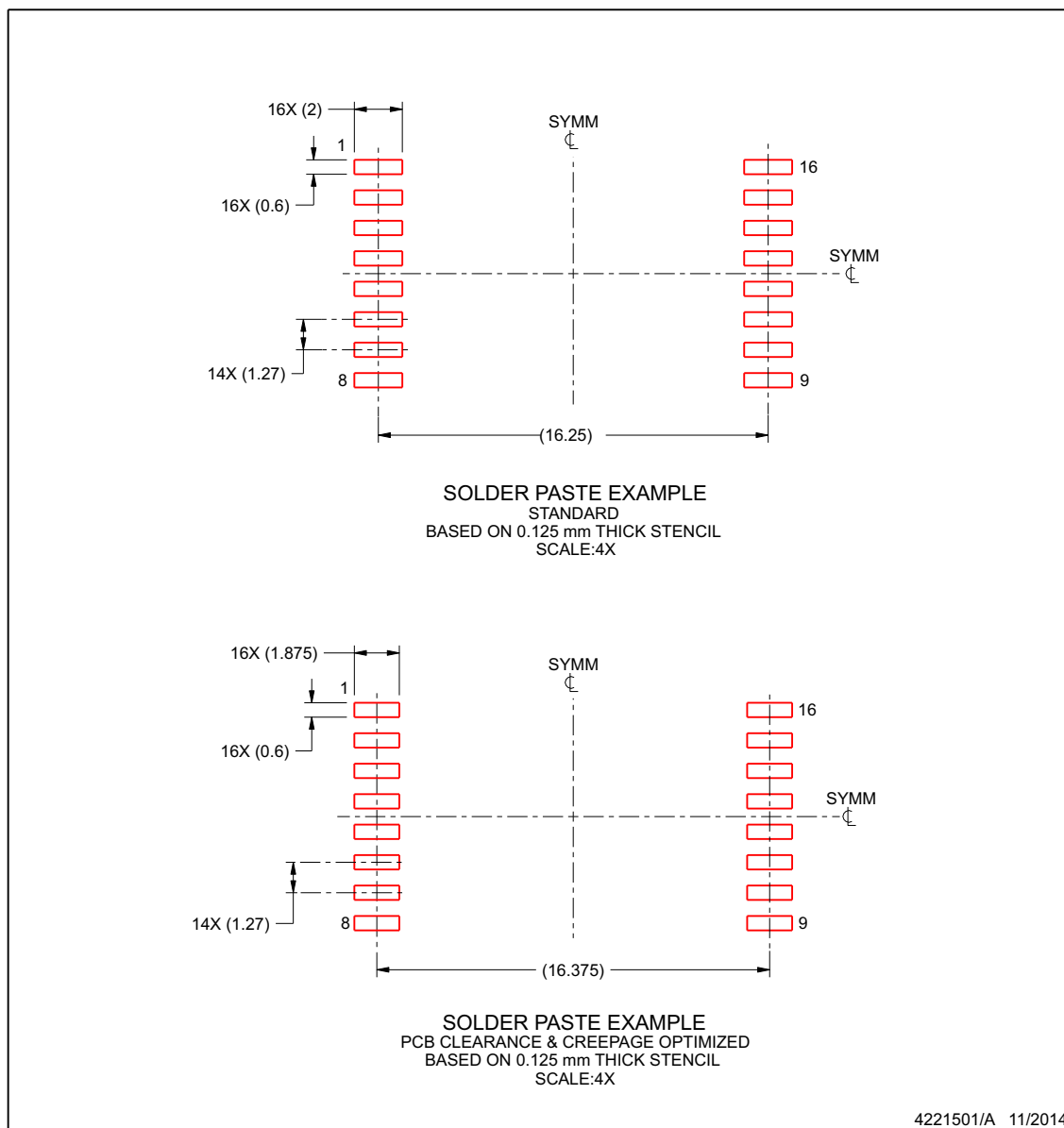
www.ti.com

EXAMPLE STENCIL DESIGN

DWW0016A

SOIC - 2.65 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

www.ti.com

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO7831DW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831
ISO7831DW.A	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831
ISO7831DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831
ISO7831DWR.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831
ISO7831DWW	Active	Production	SOIC (DWW) 16	45 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831
ISO7831DWW.A	Active	Production	SOIC (DWW) 16	45 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831
ISO7831DWWR	Active	Production	SOIC (DWW) 16	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831
ISO7831DWWR.A	Active	Production	SOIC (DWW) 16	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831
ISO7831FDW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831F
ISO7831FDW.A	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831F
ISO7831FDWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831F
ISO7831FDWR.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831F
ISO7831FDWW	Active	Production	SOIC (DWW) 16	45 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831F
ISO7831FDWW.A	Active	Production	SOIC (DWW) 16	45 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831F
ISO7831FDWWR	Active	Production	SOIC (DWW) 16	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831F
ISO7831FDWWR.A	Active	Production	SOIC (DWW) 16	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7831F

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO7831DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7831DWWR	SOIC	DWW	16	1000	330.0	24.4	18.0	10.0	3.0	20.0	24.0	Q1
ISO7831FDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7831FDWWR	SOIC	DWW	16	1000	330.0	24.4	18.0	10.0	3.0	20.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO7831DWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7831DWWR	SOIC	DWW	16	1000	350.0	350.0	43.0
ISO7831FDWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7831FDWWR	SOIC	DWW	16	1000	350.0	350.0	43.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
ISO7831DW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO7831DW.A	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO7831DWW	DWW	SOIC	16	45	507	20	5000	9
ISO7831DWW.A	DWW	SOIC	16	45	507	20	5000	9
ISO7831FDW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO7831FDW.A	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO7831FDWW	DWW	SOIC	16	45	507	20	5000	9
ISO7831FDWW.A	DWW	SOIC	16	45	507	20	5000	9

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月