TEXAS INSTRUMENTS
ISO6740-Q1, ISO6741-Q1, ISO6742-Q1
ZHCSLF7F – DECEMBER 2019 – REVISED JUNE 2024

ISO674x-Q1 EMC 性能优异的通用增强型四通道汽车级数字隔离器

1 特性

- 功能安全型
  - 可提供用于功能安全系统设计的文档：ISO6740-Q1、ISO6741-Q1、ISO6742-Q1
- 具有符合 AEC-Q100 标准的下列特性：
  - 器件温度等级 1：–40°C 至 125°C 环境工作温度范围
- 满足 VDA320 隔离要求
- 50Mbps 数据速率
- 稳健可靠的隔离栅：
  - 在 1500V_{RMS} 工作电压下具有超长的寿命
  - 隔离等级高达 5000V_{RMS}
  - 浪涌能力高达 10kV
  - CMTI 典型值为 ±150kV/μs
- 宽电源电压范围：1.71V 到 1.89V 和 2.25V 到 5.5V
- 1.71V 至 5.5V 电平转换
- 默认输出*高电平* (ISO674x-Q1) 和*低电平* (ISO674xF-Q1) 选项
- 1Mbps 时每通道电流典型值为 1.6mA
- 低传播延迟：11ns（典型值）
- 优异的电磁兼容性 (EMC)
  - 系统级 ESD、EFT 和浪涌抗扰性
  - 在整个隔离栅具有 ±8kV IEC 61000-4-2 接触放电保护
  - 低辐射
- 宽体 SOIC (DW-16) 封装
- 安全相关认证：
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 组件认证计划
  - IEC 62368-1、IEC 61010-1、IEC 60601-1
  - GB 4943.1

2 应用

- 混合动力、电动和动力总成系统 (EV/HEV)
  - 电池管理系统 (BMS)
  - 车载充电器
  - 直流/直流转换器
  - 逆变器和电机控制

3 说明

ISO674x-Q1 器件是高性能四通道数字隔离器，可提供符合 UL 1577 的高达 5000V_{RMS} 隔离额定值，专为具有此类需求的成本敏感型应用而设计。这些器件还通过了 VDE、TUV、CSA 和 CQC 认证。

在隔离 CMOS 或者 LVCMOS 数字 I/O 的同时，ISO674x-Q1 器件可提供高电磁抗扰度和低辐射，同时具备低功耗特性。每条隔离通道的逻辑输入和输出缓冲器均由 TI 的双电容二氧化硅 (SiO_2) 绝缘栅相隔离。这些器件配有使能引脚，可用于在多控制器驱动应用中将各自的输出置于高阻抗状态。 ISO6740-Q1 器件具有四条全部同向的通道， ISO6741-Q1 器件具有三条正向通道和一条反向通道，而 ISO6742-Q1 器件具有两条正向通道和两条反向通道。如果输入功率或信号出现损失，不带后缀 F 的器件默认输出*高电平*，带后缀 F 的器件默认输出*低电平*。另请参阅器件功能模式部分。

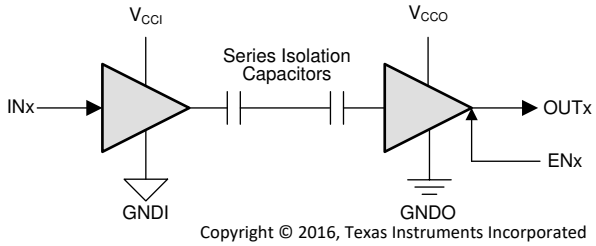
ISO674x-Q1 器件与隔离式电源结合使用，有助于防止 CAN 和 LIN 等数据总线的噪声电流损坏敏感电路。凭借出色的芯片设计和布线技术，ISO674x-Q1 器件的电磁兼容性得到了显著增强，可缓解系统级 ESD、EFT 和浪涌问题并符合辐射标准。ISO674x-Q1 系列器件采用 16 引脚 SOIC 宽体 (DW) 封装，是对前几代器件的引脚到引脚的升级。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

封装信息

器件型号	封装(1)	本体尺寸（标称值）	封装尺寸(2)
ISO6740-Q1、ISO6740F-Q1 ISO6741-Q1、ISO6741F-Q1 ISO6742-Q1、ISO6742F-Q1	DW（SOIC，16）	10.30mm × 7.50mm	10.30mm × 10.30mm
ISO6742-Q1、ISO6742F-Q1	DWW（超宽 SOIC，16）(3)	10.30mm × 14.0mm	10.30mm × 17.25mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 产品预发布。



V_{CCI} = 输入电源，V_{CCO} = 输出电源
GNDI = 输入地，GNDO = 输出接

简化原理图

Copyright © 2024 Texas Instruments Incorporated

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....4
5 规格.....6
5.1 绝对最大额定值.....6
5.2 ESD 等级.....6
5.3 建议运行条件.....7
5.4 热性能信息.....8
5.5 功率等级.....8
5.6 绝缘规格.....9
5.7 安全相关认证.....10
5.8 安全限值.....11
5.9 电气特性 - 5V 电源.....12
5.10 电源电流特性 - 5V 电源.....13
5.11 电气特性 - 3.3V 电源.....14
5.12 电源电流特性 - 3.3V 电源.....15
5.13 电气特性 - 2.5V 电源.....16
5.14 电源电流特性 - 2.5V 电源.....17
5.15 电气特征 - 1.8V 电源.....18
5.16 电源电流特征 - 1.8V 电源.....19
5.17 开关特性 - 5V 电源.....20
5.18 开关特性 - 3.3V 电源.....21
5.19 开关特性 - 2.5V 电源.....22
5.20 开关特征 - 1.8V 电源.....23
5.21 绝缘特性曲线.....23
5.22 典型特性.....24
6 参数测量信息.....26
7 详细说明.....28
7.1 概述.....28
7.2 功能方框图.....28
7.3 特性说明.....29
7.4 器件功能模式.....30
8 应用和实现.....31
8.1 应用信息.....31
8.2 典型应用.....31
8.3 电源相关建议.....35
8.4 布局.....35
9 器件和文档支持.....37
9.1 文档支持.....37
9.2 接收文档更新通知.....37
9.3 支持资源.....37
9.4 商标.....37
9.5 静电放电警告.....37
9.6 术语表.....37
10 修订历史记录.....37
11 机械、封装和可订购信息.....38

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

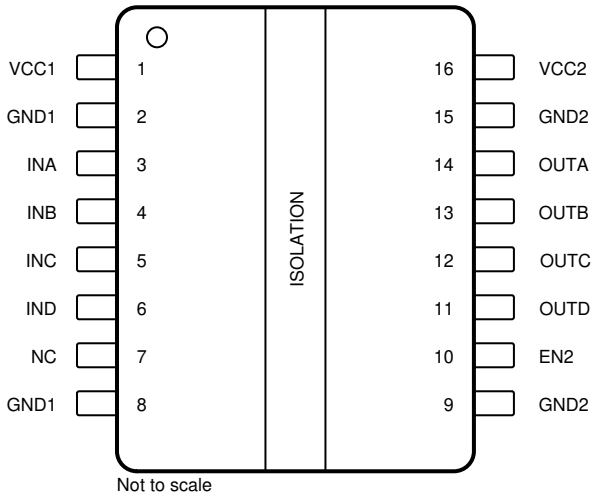


图 4-1. ISO6740-Q1 DW 封装 16 引脚 SOIC-WB 顶视图

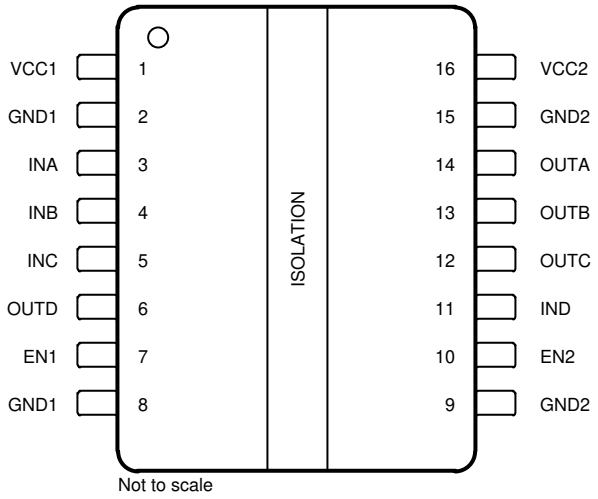


图 4-2. ISO6741-Q1 DW 封装 16 引脚 SOIC-WB 顶视图

Copyright © 2024 Texas Instruments Incorporated

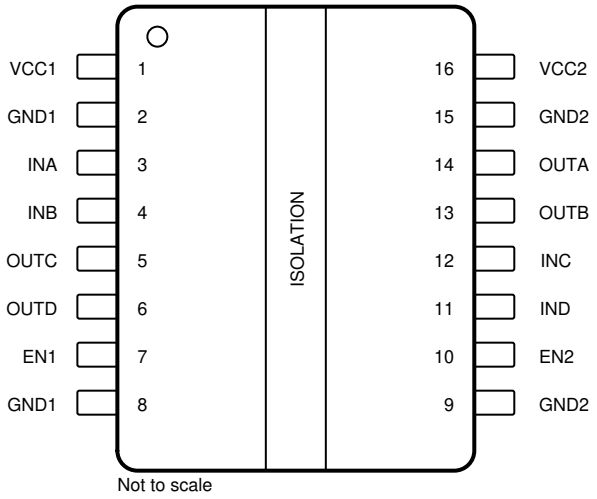


图 4-3. ISO6742-Q1 DWW 封装 16 引脚 SOIC-Extra-WB、SOIC-WB 顶视图

表 4-1. 引脚功能

引脚				类型(1)	说明
名称	ISO6740-Q1	ISO6741-Q1	ISO6742-Q1		
EN1	-	7	7	I	输出使能 1。EN1 为高电平或开路时，启用侧 1 的输出引脚，EN1 为低电平时，处于高阻抗状态。
EN2	10	10	10	I	输出使能 2。EN2 为高电平或开路时，启用侧 2 的输出引脚，EN2 为低电平时，处于高阻抗状态。
电压	2、8	2.8	2.8	—	V_{CC1} 的接地连接
GND2	9、15	9.15	9.15	—	V_{CC2} 的接地连接
INA	3	3	3	I	输入，通道 A
INB	4	4	4	I	输入，通道 B
INC	5	5	12	I	输入，通道 C
IND	6	11	11	I	输入，通道 D
NC	7	-	-		未连接
OUTA	14	14	14	O	输出，通道 A
OUTB	13	13	13	O	输出，通道 B
OUTC	12	12	5	O	输出，通道 C
OUTD	11	6	6	O	输出，通道 D
V_{CC1}	1	1	1	—	电源，侧 1
V_{CC2}	16	16	16	—	电源，侧 2

(1) I = 输入，O = 输出

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

请参阅(1)

		最小值	最大值	单位
电源电压(2)	V_{CC1} 至 GND1	-0.5	6	V
	V_{CC2} 至 GND2	-0.5	6	
输入/输出电压	INx 至 GNDx	-0.5	V_{CCX} + 0.5 (3)	V
	OUTx 至 GNDx	-0.5	V_{CCX} + 0.5 (3)	
输出电流	Io	-15	15	mA
温度	工作结温，T_J		150	°C
	贮存温度，T_{stg}	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 差分 I/O 总线电压以外的所有电压值均为相对于本地接地端子（GND1 或 GND2）的峰值电压值
(3) 最大电压不得超过 6V。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±6000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±1500	
		接触放电符合 IEC 61000-4-2 标准；隔离栅耐受测试(3) (4)	±8000	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。
(3) 在隔离栅上施加 IEC ESD 冲击并将两侧的所有引脚都连在一起来构成一个双端子器件。
(4) 在空气或油中进行测试，旨在确定器件的固有接触放电能力。

Copyright © 2024 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{CC1} (1)	电源电压，1 侧	V_{CC} = 1.8V (3)	1.71		1.89	V
V_{CC1} (1)	电源电压，1 侧	V_{CC} = 2.5V 至 5V(3)	2.25		5.5	V
V_{CC2} (1)	电源电压，2 侧	V_{CC} = 1.8V (3)	1.71		1.89	V
V_{CC2} (1)	电源电压，2 侧	V_{CC} = 2.5V 至 5V(3)	2.25		5.5	V
Vcc (UVLO+)	电源电压上升时的 UVLO 阈值			1.53	1.71	V
Vcc (UVLO-)	电源电压下降时的 UVLO 阈值		1.1	1.41		V
Vhys (UVLO)	电源电压 UVLO 迟滞		0.08	0.13		V
V_{IH}	高电平输入电压		0.7 x V_{CCI} (2)		V_{CCI}	V
V_{IL}	低电平输入电压		0		0.3 x V_{CCI}	V
I_{OH}	高电平输出电流	V_{CCO} = 5V (2)	-4			mA
		V_{CCO} = 3.3V	-2			mA
		V_{CCO} = 2.5V	-1			mA
		V_{CCO} = 1.8V	-1			mA
I_{OL}	低电平输出电流	V_{CCO} = 5V			4	mA
		V_{CCO} = 3.3V			2	mA
		V_{CCO} = 2.5V			1	mA
		V_{CCO} = 1.8V			1	mA
DR	数据速率		0		50	Mbps
T_A	环境温度		-40	25	125	°C

(1) V_{CC1} 和 V_{CC2} 可彼此独立设置
(2) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}
(3) 1.89V < V_{CC1}，V_{CC2} < 2.25V 和 1.05V < V_{CC1}，V_{CC2} < 1.71V 时，通道输出为不确定状态

Copyright © 2024 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		ISO674x-Q1 DW (SOIC) 16 引脚	ISO6742-Q1 DWW (SOIC) 16 引脚	单位
$R_{\theta JA}$	结至环境热阻	73	56.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	36.1	22	°C/W
$R_{\theta JB}$	结至电路板热阻	40.4	31	°C/W
ψ_{JT}	结至顶部特征参数	17	4.7	°C/W
ψ_{JB}	结至电路板特征参数	39.9	30.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅 *半导体和 IC 封装热指标* 应用手册。

5.5 功率等级

参数		测试条件	最小值	典型值	最大值	单位
ISO6740						
P_D	最大功耗（两侧）	V_{CC1} = V_{CC2} = 5.5V，T_J = 150°C，C_L = 15pF，输入 25MHz 50% 占空比方波			130.9	mW
P_{D1}	最大功耗（1 侧）				33	mW
P_{D2}	最大功耗（2 侧）				97.9	mW
ISO6741						
P_D	最大功耗（两侧）	V_{CC1} = V_{CC2} = 5.5V，T_J = 150°C，C_L = 15pF，输入 25MHz 50% 占空比方波			134.9	mW
P_{D1}	最大功耗（1 侧）				50.8	mW
P_{D2}	最大功耗（2 侧）				84.1	mW
ISO6742						
P_D	最大功耗（两侧）	V_{CC1} = V_{CC2} = 5.5V，T_J = 150°C，C_L = 15pF，输入 25MHz 50% 占空比方波			137.5	mW
P_{D1}	最大功耗（1 侧）				68.75	mW
P_{D2}	最大功耗（2 侧）				68.75	mW

Copyright © 2024 Texas Instruments Incorporated

5.6 绝缘规格

参数		测试条件	值		单位
			DW-16	DWW-16	
CLR	外部间隙(1)	端子间的最短空间距离	>8	>14.5	mm
CPG	外部爬电距离(1)	端子间的最短封装表面距离	>8	>14.5	mm
DTI	绝缘穿透距离	最小内部间隙	>17	>17	μm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	>600	>600	V
	材料组	符合 IEC 60664-1	I	I	
	过压类别（符合 IEC 60664-1）	额定市电电压 ≤ 600V_{RMS}	I-IV	I-IV	
		额定市电电压 ≤ 1000V_{RMS}	I-III	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) (2)					
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	2121	2121	V_{PK}
V_{IOWM}	最大工作隔离电压	交流电压；时间依赖型电介质击穿 (TDDB) 测试；请参阅图 8-8	1500	1500	V_{RMS}
		直流电压	2121	2121	V_{DC}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$，t = 60s（鉴定测试）； $V_{TEST} = 1.2 \times V_{IOTM}$，t = 1s（100% 生产测试）	7071	8000	V_{PK}
V_{IMP}	最大脉冲电压(3)	在空气中测试，1.2/50μs 方波，符合 IEC 62368-1	7692	10000	V_{PK}
V_{IOSM}	最大浪涌隔离电压(4)	$V_{IOSM} \geq 1.3 \times V_{IMP}$；在油中测试（鉴定测试） 1.2/50μs 方波，符合 IEC 62368-1	10000	13000	V_{PK}
q_{pd}	视在电荷(5)	方法 a，输入/输出安全测试子组 2/3 后， $V_{ini} = V_{IOTM}$，t_{ini} = 60s； $V_{pd(m)} = 1.2 \times V_{IORM}$，$t_m$ = 10s	≤5	≤5	pC
		方法 a，环境测试子组 1 后， $V_{ini} = V_{IOTM}$，t_{ini} = 60s； $V_{pd(m)} = 1.6 \times V_{IORM}$，$t_m$ = 10s	≤5	≤5	
		方法 b：常规测试（100% 生产测试）和预调节（类型测试）； $V_{ini} = 1.2 \times V_{IOTM}$，$t_{ini}$ = 1s； $V_{pd(m)} = 1.875 \times V_{IORM}$，$t_m$ = 1s（方法 b1）或 $V_{pd(m)} = V_{ini}$，$t_m = t_{ini}$（方法 b2）	≤5	≤5	
C_{IO}	势垒电容，输入至输出(6)	$V_{IO} = 0.4 \times \sin(2\pi ft)$，f = 1MHz	≅1	≅1	pF
R_{IO}	隔离电阻(6)	V_{IO} = 500V，T_A = 25°C	$>10^{12}$	$>10^{12}$	Ω
		V_{IO} = 500V，100°C ≤ T_A ≤ 125°C	$>10^{11}$	$>10^{11}$	
		V_{IO} = 500V，T_S = 150°C	$>10^{9}$	$>10^{9}$	
	污染等级		2	2	
	气候类别		40/125/21	40/125/21	
UL 1577					
V_{ISO}	最大耐受隔离电压	$V_{TEST} = V_{ISO}$，t = 60s（鉴定测试）， $V_{TEST} = 1.2 \times V_{ISO}$，t = 1s（100% 生产测试）	5000	5700	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上采用插入坡口和/或肋材等技术有助于提高这些规格。
(2) 此耦合器仅适用于安全额定值范围内的*安全电气绝缘*。应借助合适的保护电路来确保符合安全等级。
(3) 在空气中进行测试，以确定封装的浪涌抗扰度。
(4) 在油中进行测试，以确定隔离栅的固有浪涌抗扰度。
(5) 视在电荷是局部放电 (pd) 引起的电气放电。
(6) 将隔离栅每一侧的所有引脚都连在一起，构成一个双端子器件。

Copyright © 2024 Texas Instruments Incorporated

5.7 安全相关认证

VDE	CSA	UL	CQC	TUV
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	根据 IEC 62368-1、IEC 61010-1 和 IEC 60601 进行了认证	根据 UL 1577 组件认证计划进行了认证	根据 GB 4943.1 进行了认证	根据 EN 61010-1 和 EN 62368-1 进行了认证
最大瞬态隔离电压，$7071V_{PK}$； 最大重复峰值隔离电压，$2121V_{PK}$； 最大浪涌隔离电压，$10000V_{PK}$	符合 CSA 62368-1、IEC 62368-1、CSA 61010-1 和 IEC 61010-1 标准的 $5000V_{RMS}$ 绝缘，$1000V_{RMS}$ 基本工作电压和 $600V_{RMS}$ 增强型工作电压（污染等级 2，材料组 I），符合 CSA 60601-1 和 IEC 60601-1 标准的 $5000V_{RMS}$ 隔离，2 种适用于 $250V_{RMS}$ 的 MOPP	单一保护，$5000V_{RMS}$	增强型绝缘，海拔 ≤ 5000m，热带气候，$700V_{RMS}$ 最大工作电压	符合 EN 61010-1 和 EN 62368-1 标准的 $5000V_{RMS}$ 增强型绝缘、高达 $600V_{RMS}$ 工作电压，符合 EN 60950-1 标准的高达 $800V_{RMS}$ 工作电压
证书编号：40040142	主合同编号：220991	文件编号：E181974	证书编号：CQC21001304083	客户端 ID 编号：077311

Copyright © 2024 Texas Instruments Incorporated

5.8 安全限值

安全限制(1)旨在更大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	最小值	典型值	最大值	单位
DW-16 封装						
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 73°C/W，V_I = 5.5V，T_J = 150°C，T_A = 25°C			311.4	mA
		$R_{\theta JA}$ = 73°C/W，V_I = 3.6V，T_J = 150°C，T_A = 25°C			475.7	mA
		$R_{\theta JA}$ = 73°C/W，V_I = 2.75V，T_J = 150°C，T_A = 25°C			622	
		$R_{\theta JA}$ = 73°C/W，V_I = 1.89V，T_J = 150°C，T_A = 25°C			905.1	mA
P_S	安全输入、输出或总功率	$R_{\theta JA}$ = 73°C/W，T_J = 150°C，T_A = 25°C			1712.4	mW
T_S	最高安全温度				150	°C
DWW-16 封装						
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 56.5°C/W，V_I = 5.5V，T_J = 150°C，T_A = 25°C			402.2	mA
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 56.5°C/W，V_I = 3.6V，T_J = 150°C，T_A = 25°C			614.5	mA
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 56.5°C/W，V_I = 2.75V，T_J = 150°C，T_A = 25°C			804.5	mA
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 56.5°C/W，V_I = 1.89V，T_J = 150°C，T_A = 25°C			1170.5	mA
P_S	安全输入、输出或总功率	$R_{\theta JA}$ = 56.5°C/W，T_J = 150°C，T_A = 25°C			2212.3	mW
T_S	最高安全温度				150	°C

(1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。
表中的结至空气热阻 $R_{\theta JA}$ 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。可使用以下公式计算各参数值：
$T_J = T_A + R_{\theta JA} \times P$，其中，P 为器件所耗功率。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$，其中，$T_{J(max)}$ 为允许的最大结温。
$P_S = I_S \times V_I$，其中，V_I 为最大输入电压。

Copyright © 2024 Texas Instruments Incorporated

5.9 电气特性 - 5V 电源

V_{CC1} = V_{CC2} = 5V ±10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = -4mA；请参阅图 6-1	V_{CCO} - 0.4 (1)			V
V_{OL}	低电平输出电压	I_{OL} = 4mA；请参阅图 6-1			0.4	V
$V_{IT+(IN)}$	上升输入开关阈值				0.7 x V_{CCI} (1)	V
$V_{IT-(IN)}$	下降输入开关阈值		0.3 x V_{CCI}			V
$V_{I(HYS)}$	输入阈值电压迟滞		0.1 x V_{CCI}			V
I_{IH}	高电平输入电流	在 INx 处，V_{IH} = V_{CCI} (1)			10	μA
I_{IL}	低电平输入电流	在 INx 处，V_{IL} = 0V	-10			μA
I_{IH}	高电平输入电流	在 ENx 处，V_{IH} = V_{CCI} (1)			28	μA
I_{IL}	低电平输入电流	在 ENx 处，V_{IL} = 0V	-28			μA
CMTI	共模瞬态抗扰度	V_I = V_{CC} 或 0V，V_{CM} = 1200V；请参阅图 6-4	100	150		kV/μs
C_i	输入电容 (2)	V_I = V_{CC}/2 + 0.4×sin(2πft)，f = 2MHz，V_{CC} = 5V		2.8		pF

(1) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}
(2) 输入引脚到同侧接地端的测量结果。

Copyright © 2024 Texas Instruments Incorporated

5.10 电源电流特性 - 5V 电源

V_{CC1} = V_{CC2} = 5V ±10%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6740							
电源电流 - 直流信号 (2)	V_I = V_{CC1} (1)(ISO6740)；V_I = 0V（带后缀 F 的 ISO6740）		I_{CC1}		1.6	2.2	mA
			I_{CC2}		2.1	3.4	
	V_I = 0V (ISO6740)；V_I = V_{CC1}（带后缀 F 的 ISO6740）		I_{CC1}		5.8	8	
			I_{CC2}		2.3	3.7	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		3.7	5.1	
			I_{CC2}		2.4	3.8	
		10Mbps	I_{CC1}		3.8	5.3	
			I_{CC2}		4.8	6.4	
		50Mbps	I_{CC1}		4.4	6	
			I_{CC2}		15	17.8	
ISO6741							
电源电流 - 直流信号 (2)	V_I = V_{CCI} (1)(ISO6741)；V_I = 0V（带后缀 F 的 ISO6741）		I_{CC1}		1.9	2.8	mA
			I_{CC2}		2.2	3.5	
	V_I = 0V (ISO6741)；V_I = V_{CCI}（带后缀 F 的 ISO6741）		I_{CC1}		5.1	7.2	
			I_{CC2}		3.4	5.1	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		3.6	5.1	
			I_{CC2}		3	4.5	
		10Mbps	I_{CC1}		4.2	5.8	
			I_{CC2}		4.8	6.5	
		50Mbps	I_{CC1}		7.3	9.3	
			I_{CC2}		12.6	15.3	
ISO6742							
电源电流 - 直流信号 (2)	V_I = V_{CCI} (1)(ISO6742)；V_I = 0V（带后缀 F 的 ISO6742）		I_{CC1}、I_{CC2}		2.2	3.3	mA
	V_I = 0V (ISO6742)；V_I = V_{CCI}（带后缀 F 的 ISO6742）		I_{CC1}、I_{CC2}		4.4	6.3	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		3.4	5	
		10Mbps	I_{CC1}、I_{CC2}		4.7	6.4	
		50Mbps	I_{CC1}、I_{CC2}		10.2	12.5	

(1) V_{CCI} = 输入侧 V_{CC}
(2) ENx = V_{CCx} 且 ENx = 0V 时，电源电流有效
(3) ENx = V_{CCx} 时，电源电流有效

Copyright © 2024 Texas Instruments Incorporated

5.11 电气特性 - 3.3V 电源

V_{CC1} = V_{CC2} = 3.3V ±10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = -2mA；请参阅图 6-1	V_{CCO} - 0.2 (1)			V
V_{OL}	低电平输出电压	I_{OL} = 2mA；请参阅图 6-1			0.2	V
$V_{IT+(IN)}$	上升输入开关阈值				0.7 x V_{CCI} (1)	V
$V_{IT-(IN)}$	下降输入开关阈值		0.3 x V_{CCI}			V
$V_{I(HYS)}$	输入阈值电压迟滞		0.1 x V_{CCI}			V
I_{IH}	高电平输入电流	在 INx 处，V_{IH} = V_{CCI} (1)			10	µA
I_{IL}	低电平输入电流	在 INx 处，V_{IL} = 0V	-10			µA
I_{IH}	高电平输入电流	在 ENx 处，V_{IH} = V_{CCI} (1)			30	µA
I_{IL}	低电平输入电流	在 ENx 处，V_{IL} = 0V	-30			µA
CMTI	共模瞬态抗扰度	V_I = V_{CC} 或 0V，V_{CM} = 1200V；请参阅图 6-4	100	150		kV/µs
C_i	输入电容 (2)	V_I = V_{CC}/2 + 0.4×sin(2πft)，f = 2MHz，V_{CC} = 3.3V		2.8		pF

(1) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}
(2) 输入引脚到同侧接地端的测量结果。

Copyright © 2024 Texas Instruments Incorporated

5.12 电源电流特性 - 3.3V 电源

V_{CC1} = V_{CC2} = 3.3V ±10%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6740							
电源电流 - 直流信号 (2)	V_I = V_{CC1} (1)(ISO6740)；V_I = 0V（带后缀 F 的 ISO6740）		I_{CC1}		1.6	2.2	mA
			I_{CC2}		2.1	3.3	
	V_I = 0V (ISO6740)；V_I = V_{CC1}（带后缀 F 的 ISO6740）		I_{CC1}		5.7	8	
			I_{CC2}		2.3	3.6	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		3.7	5.1	
			I_{CC2}		2.4	3.7	
		10Mbps	I_{CC1}		3.8	5.2	
			I_{CC2}		4	5.6	
		50Mbps	I_{CC1}		4.2	5.7	
			I_{CC2}		11.2	13.8	
ISO6741							
电源电流 - 直流信号 (2)	V_I = V_{CCI} (1)(ISO6741)；V_I = 0V（带后缀 F 的 ISO6741）		I_{CC1}		1.9	2.7	mA
			I_{CC2}		2.2	3.4	
	V_I = 0V (ISO6741)；V_I = V_{CCI}（带后缀 F 的 ISO6741）		I_{CC1}		5	7.1	
			I_{CC2}		3.4	5.1	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		3.5	5	
			I_{CC2}		2.9	4.4	
		10Mbps	I_{CC1}		4	5.5	
			I_{CC2}		4.2	5.8	
		50Mbps	I_{CC1}		6.1	8	
			I_{CC2}		9.7	12.1	
ISO6742							
电源电流 - 直流信号 (2)	V_I = V_{CCI} (1)(ISO6742)；V_I = 0V（带后缀 F 的 ISO6742）		I_{CC1}、I_{CC2}		2.2	3.3	mA
	V_I = 0V (ISO6742)；V_I = V_{CCI}（带后缀 F 的 ISO6742）		I_{CC1}、I_{CC2}		4.4	6.3	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		3.4	4.9	
		10Mbps	I_{CC1}、I_{CC2}		4.2	5.9	
		50Mbps	I_{CC1}、I_{CC2}		8.2	10.3	

(1) V_{CCI} = 输入侧 V_{CC}
(2) ENx = V_{CCx} 且 ENx = 0V 时，电源电流有效
(3) ENx = V_{CCx} 时，电源电流有效

Copyright © 2024 Texas Instruments Incorporated

5.13 电气特性 - 2.5V 电源

V_{CC1} = V_{CC2} = 2.5V ±10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = -1mA；请参阅图 6-1	V_{CCO} - 0.1 (1)			V
V_{OL}	低电平输出电压	I_{OL} = 1mA；请参阅图 6-1			0.1	V
$V_{IT+(IN)}$	上升输入开关阈值				0.7 x V_{CCI} (1)	V
$V_{IT-(IN)}$	下降输入开关阈值		0.3 x V_{CCI}			V
$V_{I(HYS)}$	输入阈值电压迟滞		0.1 x V_{CCI}			V
I_{IH}	高电平输入电流	在 INx 处，V_{IH} = V_{CCI} (1)			10	µA
I_{IL}	低电平输入电流	在 INx 处，V_{IL} = 0V	-10			µA
I_{IH}	高电平输入电流	在 ENx 处，V_{IH} = V_{CCI} (1)			30	µA
I_{IL}	低电平输入电流	在 ENx 处，V_{IL} = 0V	-30			µA
CMTI	共模瞬态抗扰度	V_I = V_{CC} 或 0V，V_{CM} = 1200V；请参阅图 6-4	100	150		kV/µs
C_i	输入电容 (2)	V_I = V_{CC}/2 + 0.4×sin(2πft)，f = 2MHz，V_{CC} = 2.5V		2.8		pF

(1) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}
(2) 输入引脚到同侧接地端的测量结果。

Copyright © 2024 Texas Instruments Incorporated

5.14 电源电流特性 - 2.5V 电源

V_{CC1} = V_{CC2} = 2.5V ±10%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6740							
电源电流 - 直流信号 (2)	V_I = V_{CC1} (1)(ISO6740)；V_I = 0V（带后缀 F 的 ISO6740）		I_{CC1}		1.6	2.2	mA
			I_{CC2}		2.1	3.3	
	V_I = 0V (ISO6740)；V_I = V_{CC1}（带后缀 F 的 ISO6740）		I_{CC1}		5.7	7.9	
			I_{CC2}		2.3	3.6	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		3.7	5.1	
			I_{CC2}		2.3	3.6	
		10Mbps	I_{CC1}		3.7	5.1	
			I_{CC2}		3.5	5.1	
		50Mbps	I_{CC1}		4.1	5.6	
			I_{CC2}		9	11.2	
ISO6741							
电源电流 - 直流信号 (2)	V_I = V_{CCI} (1)(ISO6741)；V_I = 0V（带后缀 F 的 ISO6741）		I_{CC1}		1.9	2.7	mA
			I_{CC2}		2.2	3.4	
	V_I = 0V (ISO6741)；V_I = V_{CCI}（带后缀 F 的 ISO6741）		I_{CC1}		5	7.1	
			I_{CC2}		3.4	5.1	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		3.5	5	
			I_{CC2}		2.9	4.4	
		10Mbps	I_{CC1}		3.9	5.4	
			I_{CC2}		3.8	5.4	
		50Mbps	I_{CC1}		5.5	7.2	
			I_{CC2}		8.1	10.2	
ISO6742							
电源电流 - 直流信号 (2)	V_I = V_{CCI} (1)(ISO6742)；V_I = 0V（带后缀 F 的 ISO6742）		I_{CC1}、I_{CC2}		2.2	3.3	mA
	V_I = 0V (ISO6742)；V_I = V_{CCI}（带后缀 F 的 ISO6742）		I_{CC1}、I_{CC2}		4.3	6.3	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		3.3	4.8	
		10Mbps	I_{CC1}、I_{CC2}		4	5.6	
		50Mbps	I_{CC1}、I_{CC2}		7	9	

(1) V_{CCI} = 输入侧 V_{CC}
(2) ENx = V_{CCx} 且 ENx = 0V 时，电源电流有效
(3) ENx = V_{CCx} 时，电源电流有效

Copyright © 2024 Texas Instruments Incorporated

5.15 电气特征 - 1.8V 电源

V_{CC1} = V_{CC2} = 1.8V ±5%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = -1mA；请参阅图 6-1	V_{CCO} - 0.1 (1)			V
V_{OL}	低电平输出电压	I_{OL} = 1mA；请参阅图 6-1			0.1	V
$V_{IT+(IN)}$	上升输入开关阈值				0.7 x V_{CCI} (1)	V
$V_{IT-(IN)}$	下降输入开关阈值		0.3 x V_{CCI}			V
$V_{I(HYS)}$	输入阈值电压迟滞		0.1 x V_{CCI}			V
I_{IH}	高电平输入电流	在 INx 处，V_{IH} = V_{CCI} (1)			10	µA
I_{IL}	低电平输入电流	在 INx 处，V_{IL} = 0V	-10			µA
I_{IH}	高电平输入电流	在 ENx 处，V_{IH} = V_{CCI} (1)			30	µA
I_{IL}	低电平输入电流	在 ENx 处，V_{IL} = 0V	-30			µA
CMTI	共模瞬态抗扰度	V_I = V_{CC} 或 0V，V_{CM} = 1200V；请参阅图 6-4	100	150		kV/µs
C_i	输入电容 (2)	V_I = V_{CC}/2 + 0.4×sin(2πft)，f = 2MHz，V_{CC} = 1.8V		2.8		pF

(1) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}
(2) 输入引脚到同侧接地端的测量结果。

Copyright © 2024 Texas Instruments Incorporated

5.16 电源电流特征 - 1.8V 电源

V_{CC1} = V_{CC2} = 1.8V ±5%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6740							
电源电流 - 直流信号 (2)	V_I = V_{CC1} (1)(ISO6740)；V_I = 0V（带后缀 F 的 ISO6740）		I_{CC1}		1.2	1.8	mA
			I_{CC2}		2	3.4	
	V_I = 0V (ISO6740)；V_I = V_{CC1}（带后缀 F 的 ISO6740）		I_{CC1}		5.1	7.6	
			I_{CC2}		2.2	3.7	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		3.1	4.7	
			I_{CC2}		2.2	3.7	
		10Mbps	I_{CC1}		3.2	4.8	
			I_{CC2}		3.1	4.6	
		50Mbps	I_{CC1}		3.4	5.1	
			I_{CC2}		7	8.9	
ISO6741							
电源电流 - 直流信号 (2)	V_I = V_{CCI} (1)(ISO6741)；V_I = 0V（带后缀 F 的 ISO6741）		I_{CC1}		1.5	2.4	mA
			I_{CC2}		2	3.4	
	V_I = 0V (ISO6741)；V_I = V_{CCI}（带后缀 F 的 ISO6741）		I_{CC1}		4.5	6.9	
			I_{CC2}		3.2	5	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		3.1	4.7	
			I_{CC2}		2.7	4.3	
		10Mbps	I_{CC1}		3.3	5	
			I_{CC2}		3.4	5	
		50Mbps	I_{CC1}		4.5	6.3	
			I_{CC2}		6.4	8.3	
ISO6742							
电源电流 - 直流信号 (2)	V_I = V_{CCI} (1)(ISO6742)；V_I = 0V（带后缀 F 的 ISO6742）		I_{CC1}、I_{CC2}		1.9	3.1	mA
	V_I = 0V (ISO6742)；V_I = V_{CCI}（带后缀 F 的 ISO6742）		I_{CC1}、I_{CC2}		4	6.1	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		3	4.7	
		10Mbps	I_{CC1}、I_{CC2}		3.5	5.2	
		50Mbps	I_{CC1}、I_{CC2}		5.6	7.6	

(1) V_{CCI} = 输入侧 V_{CC}
(2) ENx = V_{CCx} 且 ENx = 0V 时，电源电流有效
(3) ENx = V_{CCx} 时，电源电流有效

Copyright © 2024 Texas Instruments Incorporated

5.17 开关特性 - 5V 电源

V_{CC1} = V_{CC2} = 5V ±10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟时间	（100kbps 下）请参阅图 6-1		11	18	ns
PWD	脉宽失真(1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.2	7	ns
$t_{sk(o)}$	通道间输出偏斜时间(2)	同向通道			6	ns
$t_{sk(pp)}$	器件间偏斜时间(3)				6	ns
t_r	输出信号上升时间	请参阅图 6-1		2.6	4.5	ns
t_f	输出信号下降时间			2.6	4.5	ns
t_{PHZ}	禁用传播延时，高电平至高阻抗输出	请参阅图 6-2		18.6	25.8	ns
t_{PLZ}	禁用传播延时，低电平至高阻抗输出			18.6	25.8	ns
t_{PZH}	启用传播延时，高阻抗至高电平输出，适用于 ISO674x			14.2	21.1	ns
t_{PZL}	启用传播延时，高阻抗至低电平输出，适用于 ISO674x			14.2	21.1	ns
t_{PU}	从 UVLO 至有效输出数据的时间				300	µs
t_{DO}	输入功率损耗的默认输出延时时间	从 VCC 低于 1.2V 之时开始测量。请参阅图 6-3		0.1	0.3	µs
t_{ie}	时间间隔误差	50Mbps 时的 PRBS 数据为 2^{16} – 1		1		ns

(1) 也称为脉冲偏斜。
(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。
(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

Copyright © 2024 Texas Instruments Incorporated

5.18 开关特性 - 3.3V 电源

V_{CC1} = V_{CC2} = 3.3V ±10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟时间	（100kbps 下）请参阅图 6-1		11	18	ns
PWD	脉宽失真(1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.5	7	ns
$t_{sk(o)}$	通道间输出偏斜时间(2)	同向通道			6	ns
$t_{sk(pp)}$	器件间偏斜时间(3)				7	ns
t_r	输出信号上升时间	请参阅图 6-1		1.6	3.2	ns
t_f	输出信号下降时间			1.6	3.2	ns
t_{PHZ}	禁用传播延时，高电平至高阻抗输出	请参阅图 6-2		23.2	34.4	ns
t_{PLZ}	禁用传播延时，低电平至高阻抗输出			23.2	34.4	ns
t_{PZH}	启用传播延时，高阻抗至高电平输出，适用于 ISO674x			16.6	23	ns
t_{PZL}	启用传播延时，高阻抗至低电平输出，适用于 ISO674x			16.6	23	ns
t_{PU}	从 UVLO 至有效输出数据的时间				300	µs
t_{DO}	输入功率损耗的默认输出延时时间	从 VCC 低于 1.2V 之时开始测量。请参阅图 6-3		0.1	0.3	µs
t_{ie}	时间间隔误差	50Mbps 时的 PRBS 数据为 2^{16} – 1		1		ns

(1) 也称为脉冲偏斜。
(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。
(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

Copyright © 2024 Texas Instruments Incorporated

5.19 开关特性 - 2.5V 电源

V_{CC1} = V_{CC2} = 2.5V ±10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟时间	（100kbps 下）请参阅图 6-1		12	20.5	ns
PWD	脉宽失真(1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.6	7.1	ns
$t_{sk(o)}$	通道间输出偏斜时间(2)	同向通道			6	ns
$t_{sk(pp)}$	器件间偏斜时间(3)				7	ns
t_r	输出信号上升时间	请参阅图 6-1		2	4	ns
t_f	输出信号下降时间			2	4	ns
t_{PHZ}	禁用传播延时，高电平至高阻抗输出	请参阅图 6-2		28.1	43	ns
t_{PLZ}	禁用传播延时，低电平至高阻抗输出			28.1	43	ns
t_{PZH}	启用传播延时，高阻抗至高电平输出，适用于 ISO674x			20.4	36.3	ns
t_{PZL}	启用传播延时，高阻抗至低电平输出，适用于 ISO674x			20.4	36.3	ns
t_{PU}	从 UVLO 至有效输出数据的时间				300	µs
t_{DO}	输入功率损耗的默认输出延时时间	从 VCC 低于 1.2V 之时开始测量。请参阅图 6-3		0.1	0.3	µs
t_{ie}	时间间隔误差	50Mbps 时的 PRBS 数据为 2^{16} – 1		1		ns

(1) 也称为脉冲偏斜。
(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。
(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

Copyright © 2024 Texas Instruments Incorporated

5.20 开关特征 - 1.8V 电源

V_{CC1} = V_{CC2} = 1.8V ±5%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟时间	（100kbps 下）请参阅图 6-1		15	24	ns
PWD	脉宽失真(1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.7	8.2	ns
$t_{sk(o)}$	通道间输出偏斜时间(2)	同向通道			6	ns
$t_{sk(pp)}$	器件间偏斜时间(3)				8.8	ns
t_r	输出信号上升时间	请参阅图 6-1		2.7	5.3	ns
t_f	输出信号下降时间			2.7	5.3	ns
t_{PHZ}	禁用传播延时，高电平至高阻抗输出	请参阅图 6-2		40.3	63	ns
t_{PLZ}	禁用传播延时，低电平至高阻抗输出			40.3	63	ns
t_{PZH}	启用传播延时，高阻抗至高电平输出，适用于 ISO674x			30	51.4	ns
t_{PZL}	启用传播延时，高阻抗至低电平输出，适用于 ISO674x			30	51.4	ns
t_{PU}	从 UVLO 至有效输出数据的时间				300	µs
t_{DO}	输入功率损耗的默认输出延时时间	从 VCC 低于 1.2V 之时开始测量。请参阅图 6-3		0.1	0.3	µs
t_{ie}	时间间隔误差	50Mbps 时的 PRBS 数据为 2^{16} – 1		1		ns

(1) 也称为脉冲偏斜。
(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。
(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

5.21 绝缘特性曲线

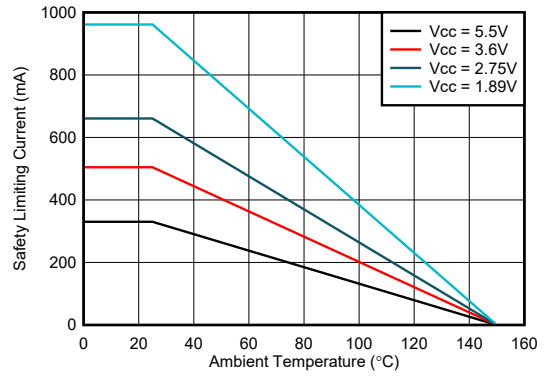


图 5-1. DW-16 封装安全限制电流的热降额曲线

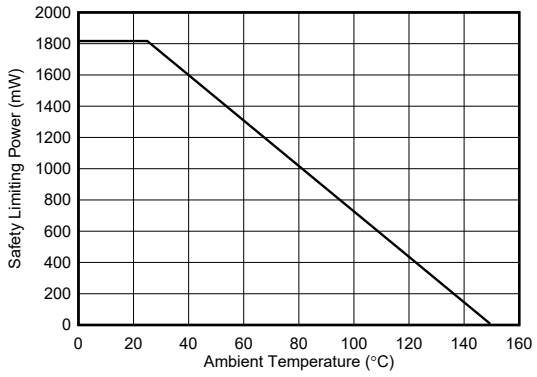


图 5-2. DW-16 封装安全限制功率的热降额曲线

5.22 典型特性

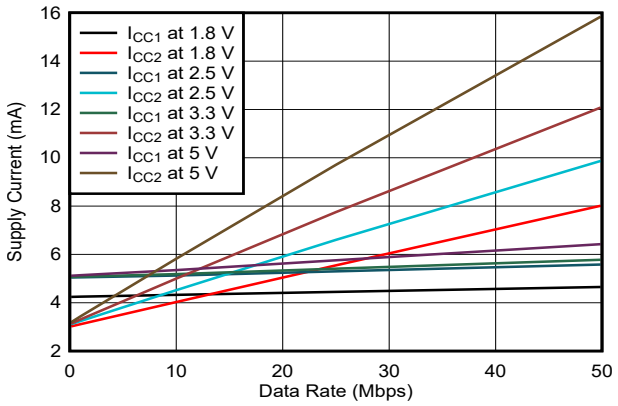


图 5-3. ISO6760-Q1 电源电流与数据速率间的关系（具有 15pF 负载）

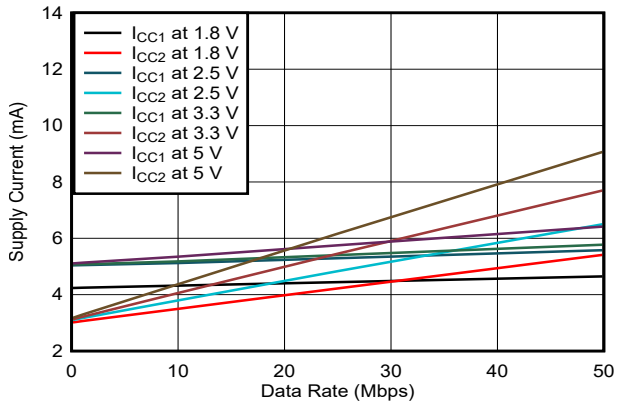


图 5-4. ISO6760-Q1 电源电流与数据速率间的关系（无负载）

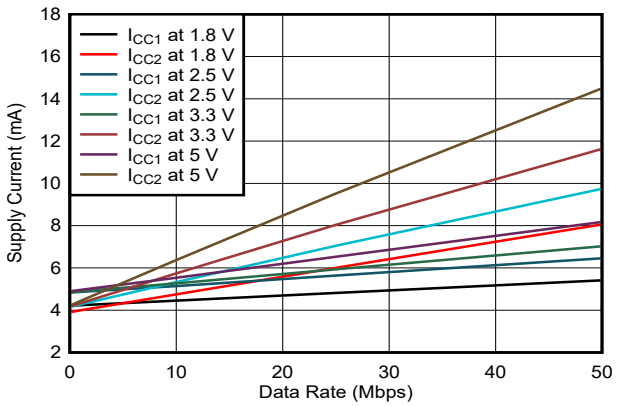


图 5-5. ISO6761-Q1 电源电流与数据速率间的关系（具有 15pF 负载）

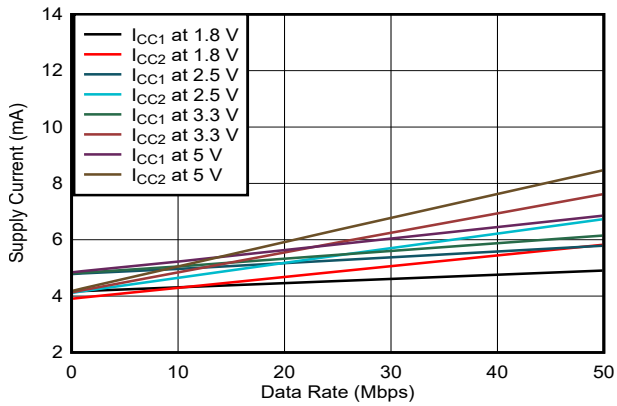


图 5-6. ISO6761-Q1 电源电流与数据速率间的关系（无负载）

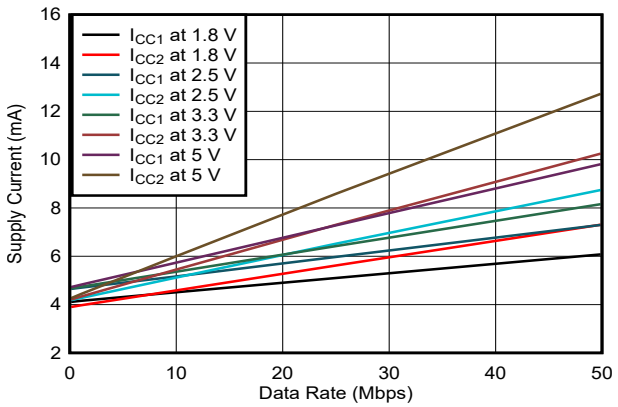


图 5-7. ISO6762-Q1 电源电流与数据速率间的关系（具有 15pF 负载）

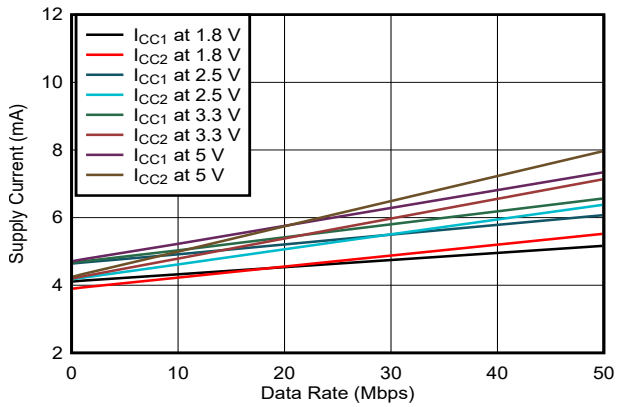
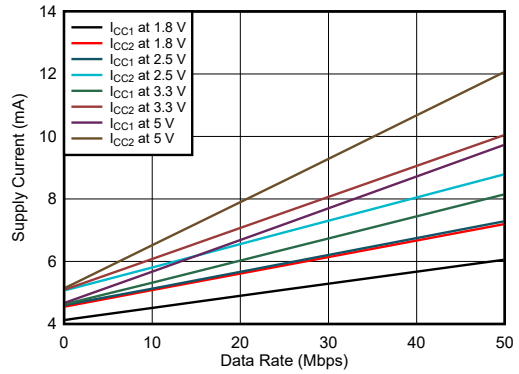


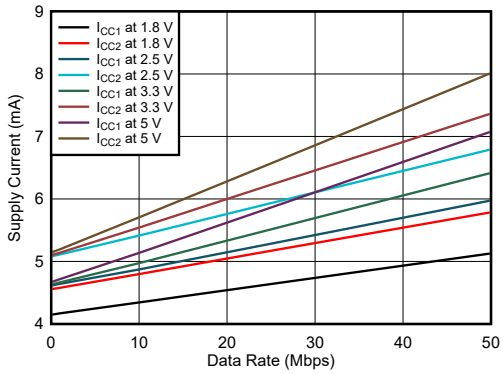
图 5-8. ISO6762-Q1 电源电流与数据速率间的关系（无负载）

Copyright © 2024 Texas Instruments Incorporated



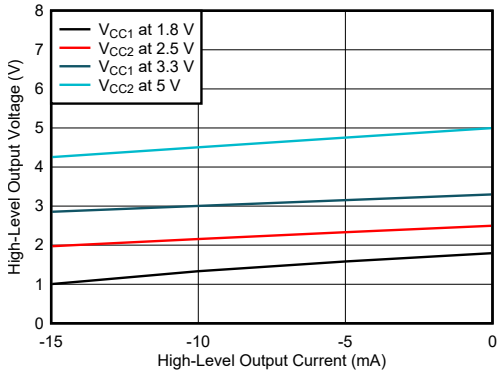
T_A = 25°C C_L = 15pF

图 5-9. ISO6763-Q1 电源电流与数据速率间的关系（具有 15pF 负载）



T_A = 25°C C_L = 无负载

图 5-10. ISO6763-Q1 电源电流与数据速率间的关系（无负载）



T_A = 25°C

图 5-11. 高电平输出电压与高电平输出电流间的关系

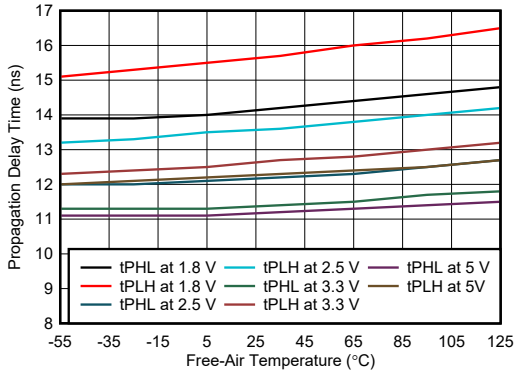


图 5-12. 传播延迟时间与自然通风条件下的温度间的关系

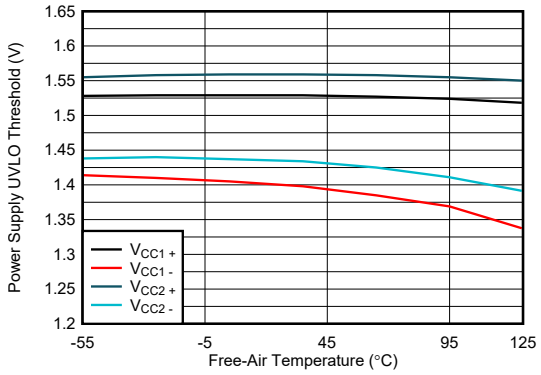
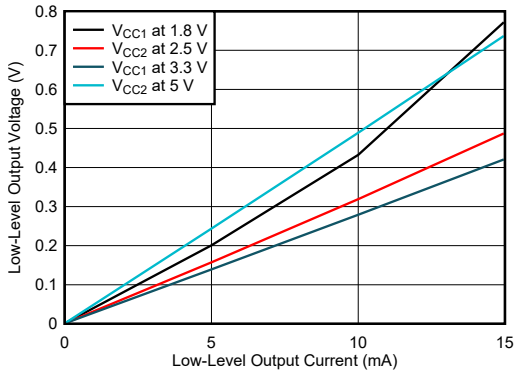


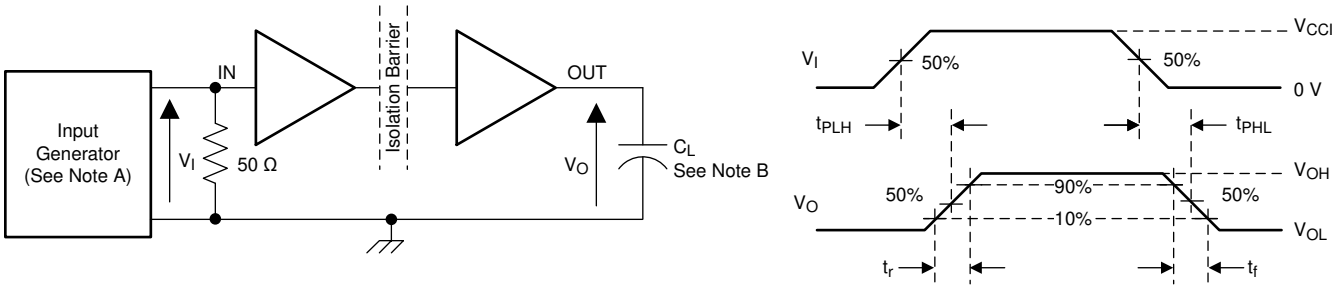
图 5-13. 电源欠压阈值与自然通风条件下的温度间的关系



T_A = 25°C

图 5-14. 低电平输出电压与低电平输出电流间的关系

6 参数测量信息

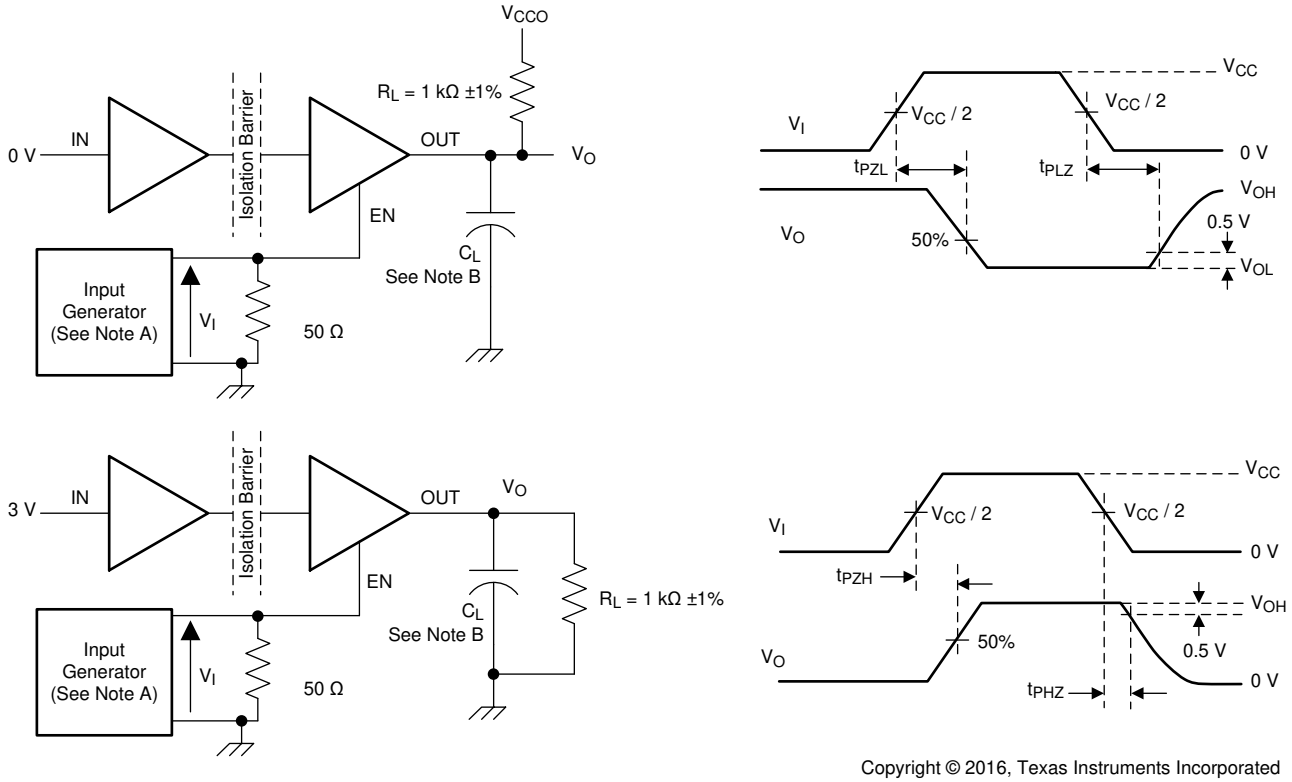


Copyright © 2016, Texas Instruments Incorporated

A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 50kHz，50% 占空比，t_r ≤ 3ns，t_f ≤ 3ns，Z_O = 50 Ω。输入端需要 50 Ω 电阻器来端接输入发生器信号。实际应用中并不需要 50 Ω。

B. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

图 6-1. 开关特性测试电路和电压波形



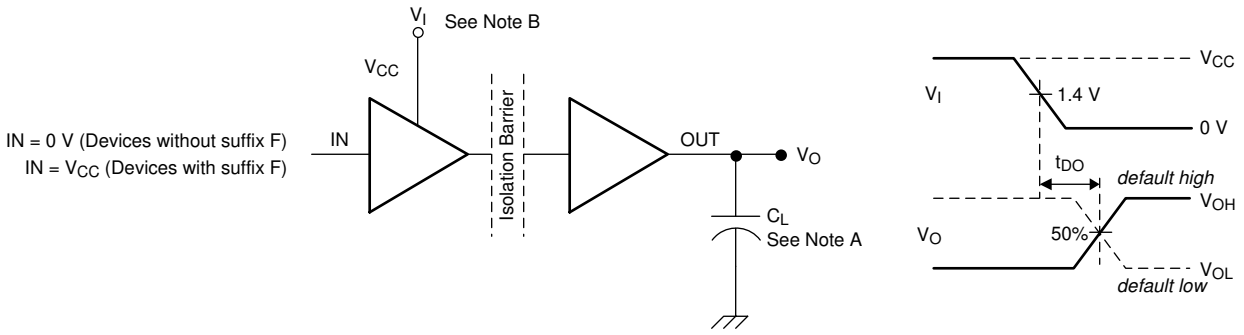
Copyright © 2016, Texas Instruments Incorporated

A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 10kHz，50% 占空比，t_r ≤ 3ns，t_f ≤ 3ns，Z_O = 50 Ω。

B. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

图 6-2. 启用/禁用传播延时时间测试电路和波形

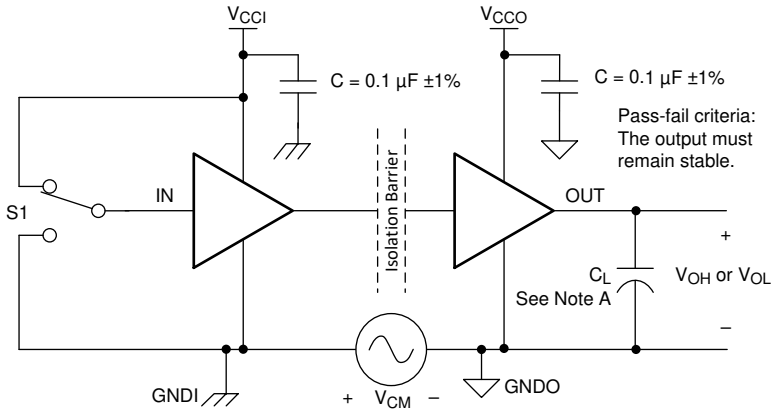
Copyright © 2024 Texas Instruments Incorporated



A. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

B. 电源电压斜升速率 = 10mV/ns

图 6-3. 默认输出延时时间测试电路和电压波形



A. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

图 6-4. 共模瞬态抗扰度测试电路

7 详细说明

7.1 概述

ISO674x-Q1 系列器件采用开关键控 (OOK) 调制方案，可通过基于二氧化硅的隔离栅传输数字数据。发送器通过隔离栅发送高频载波来表示一种数字状态，而不发送信号则表示另一种数字状态。接收器在高级信号调节后对信号进行解调并通过缓冲器级产生输出。如果 ENx 引脚为低电平，则输出变为高阻抗。ISO674x-Q1 器件还采用了先进的电路技术，可充分提高 CMTI 性能，并有效减少高频载波和 IO 缓冲器开关产生的辐射。图 7-1 为数字电容隔离器的概念方框图，展示了典型通道的功能方框图。

7.2 功能方框图

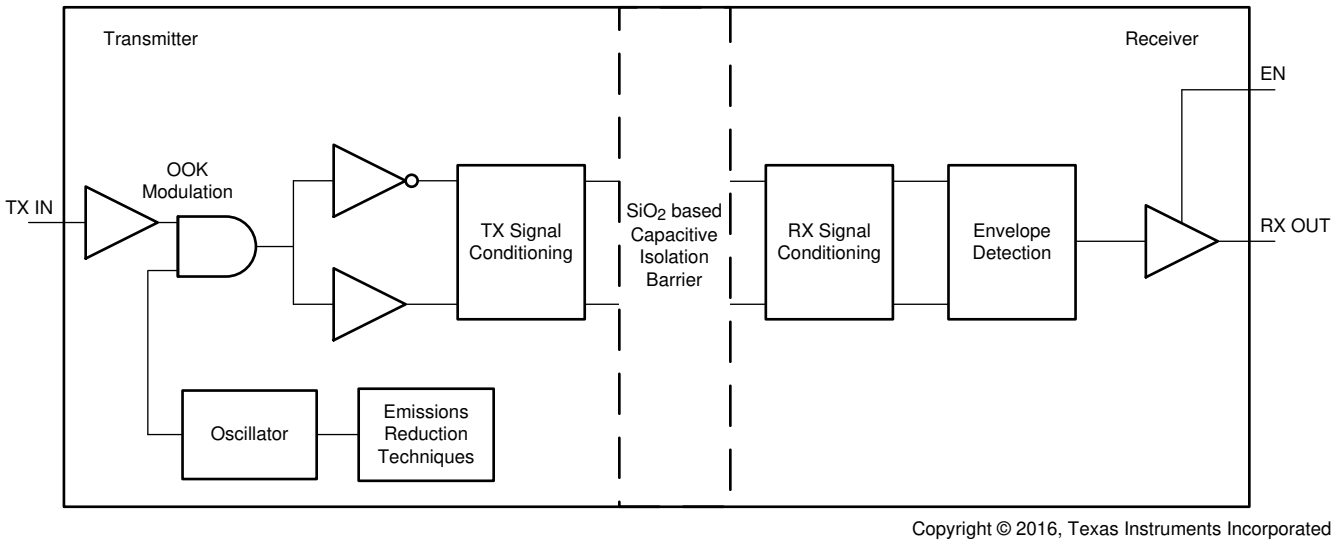


图 7-1. 数字电容隔离器的概念框图

图 7-2 所示为开关键控方案工作原理的概念细节。

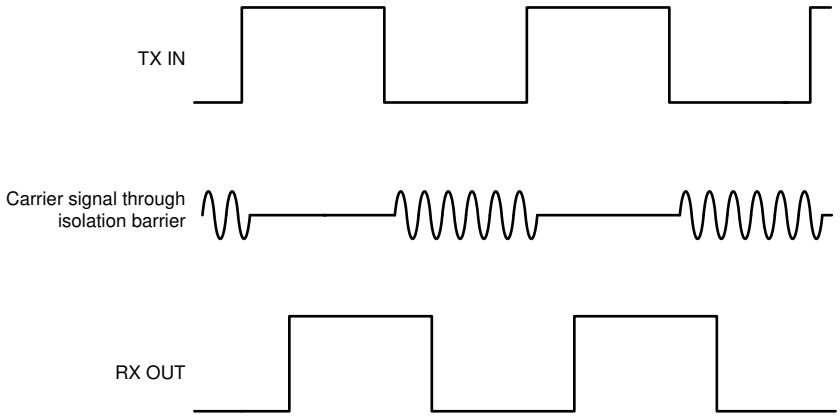


图 7-2. 基于开关键控 (OOK) 的调制方案

Copyright © 2024 Texas Instruments Incorporated

7.3 特性说明

表 7-1 汇总了器件特性。

表 7-1. 器件特性

器件型号	通道方向	最大数据速率	默认输出	封装	隔离额定值(1)
ISO6740-Q1	4 个正向，0 个反向	50Mbps	高电平	DW-16	$5000V_{RMS}/8000V_{PK}$
ISO6740F-Q1	4 个正向，0 个反向	50Mbps	低电平	DW-16	$5000V_{RMS}/8000V_{PK}$
ISO6741-Q1	3 个正向，1 个反向	50Mbps	高电平	DW-16	$5000V_{RMS}/8000V_{PK}$
ISO6741F-Q1	3 个正向，1 个反向	50Mbps	低电平	DW-16	$5000V_{RMS}/8000V_{PK}$
ISO6742-Q1	2 个正向，2 个反向	50Mbps	高电平	DW-16	$5000V_{RMS}/8000V_{PK}$
ISO6742F-Q1	2 个正向，2 个反向	50Mbps	低电平	DW-16	$5000V_{RMS}/8000V_{PK}$

(1) 有关详细的隔离额定值，请参阅 *安全相关认证* 。

7.3.1 电磁兼容性 (EMC) 注意事项

恶劣工业环境中的很多应用都对静电放电 (ESD)、电气快速瞬变 (EFT)、浪涌和电磁辐射等干扰非常敏感。IEC 61000-4-x 和 CISPR 25 等国际标准对这些电磁干扰进行了规定。尽管系统级性能和可靠性在很大程度上取决于应用板设计和布局，但 ISO674x-Q1 系列器件包含很多芯片级设计改进，可增强整体系统稳健性。其中的一些改进包括：

- 输入和输出信号引脚以及芯片间接合焊盘具有可靠的 ESD 保护单元。
- ESD 单元与电源和接地引脚之间采用低电阻连接。
- 高压隔离电容器具有增强性能，能够更好地耐受 ESD、EFT 和浪涌事件。
- 片上去耦电容器更大，可通过低阻抗路径旁路不良的高能信号。
- PMOS 和 NMOS 器件通过防护环互相隔离，从而避免触发寄生 SCR。
- 通过确保纯差分内部运行，减少隔离栅上的共模电流。

Copyright © 2024 Texas Instruments Incorporated

7.4 器件功能模式

表 7-2 列出了 ISO674x-Q1 器件的功能模式。

表 7-2. 功能表

V_{CCI} (1)	V_{CCO}	输入 (INx) (3)	输出使能 (ENx)	输出 (OUTx)	备注
PU	PU	H	H 或开路	H	正常运行：通道输出假定其输入的逻辑状态。
		L	H 或开路	L	
		Open	H 或开路	默认	默认模式：INx 断开时，相应通道输出进入其默认逻辑状态。ISO674x-Q1 默认为*高电平*，而带后缀 F 的 ISO674x-Q1 则默认为*低电平*。
X	PU	X	L	Z	输出使能值偏低，会导致输出为高阻抗。
PD	PU	X	H 或开路	默认	默认模式：V_{CCI} 未上电时，通道输出根据所选默认选项假定逻辑状态。ISO674x-Q1 默认为*高电平*，而带后缀 F 的 ISO674x-Q1 则默认为*低电平*。V_{CCI} 从未上电转换为上电时，通道输出假定输入的逻辑状态。V_{CCI} 从上电转换为未上电时，通道输出假定所选默认状态。
X	PD	X	X	不确定	V_{CCO} 未上电时，通道输出不确定(2)。V_{CCO} 从未上电转换为上电时，通道输出假定输入的逻辑状态。

(1) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}；PU = 上电 (V_{CC} ≥ 1.71V)；PD = 断电 (V_{CC} ≤ 1.05V)；X = 不相关；H = 高电平；L = 低电平；Z = 高阻抗
(2) 1.89V < V_{CCI}，V_{CCO} < 2.25V 和 1.05V < V_{CCI}，V_{CCO} < 1.71V 时，输出为不确定状态。
(3) 强驱动输入信号可通过内部保护二极管为浮动 V_{CC} 提供微弱的电能，导致输出不确定

7.4.1 器件 I/O 原理图

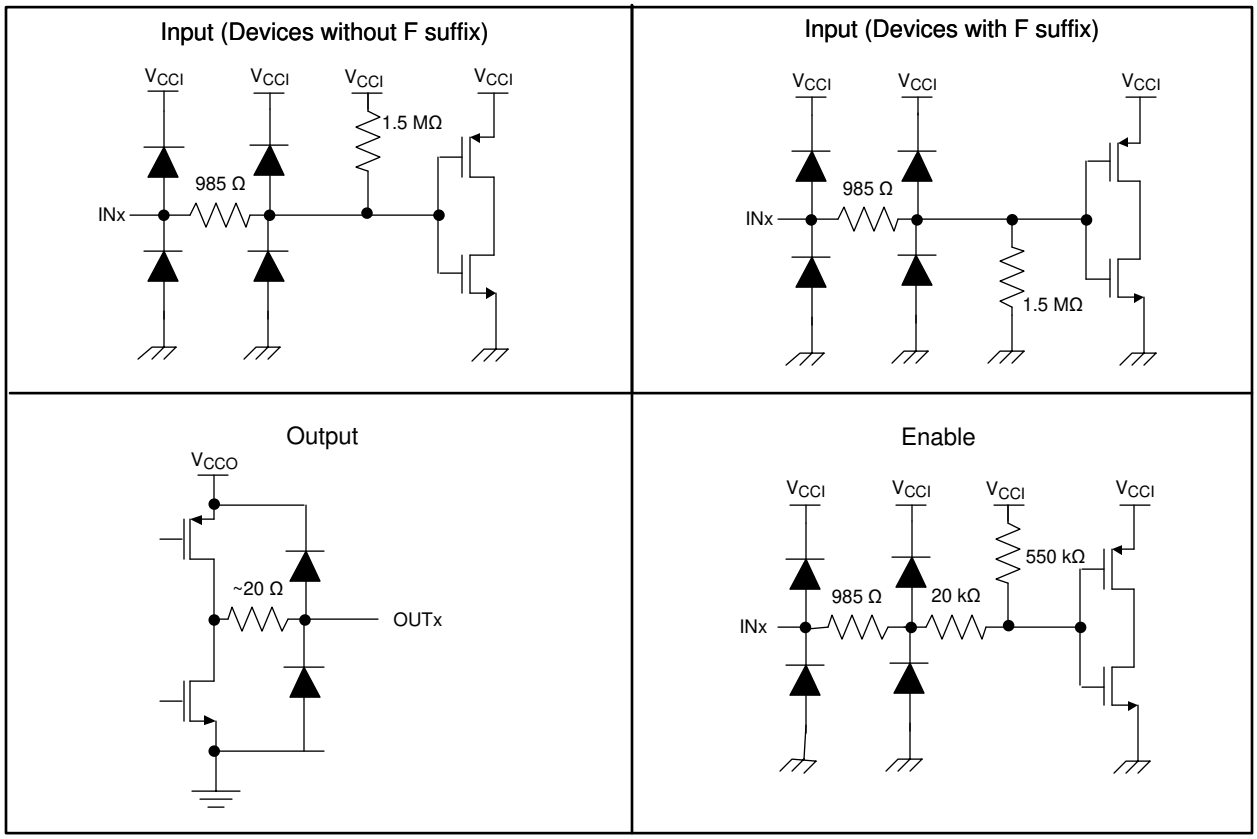


图 7-3. 器件 I/O 原理图

Copyright © 2024 Texas Instruments Incorporated

8 应用和实现

备注

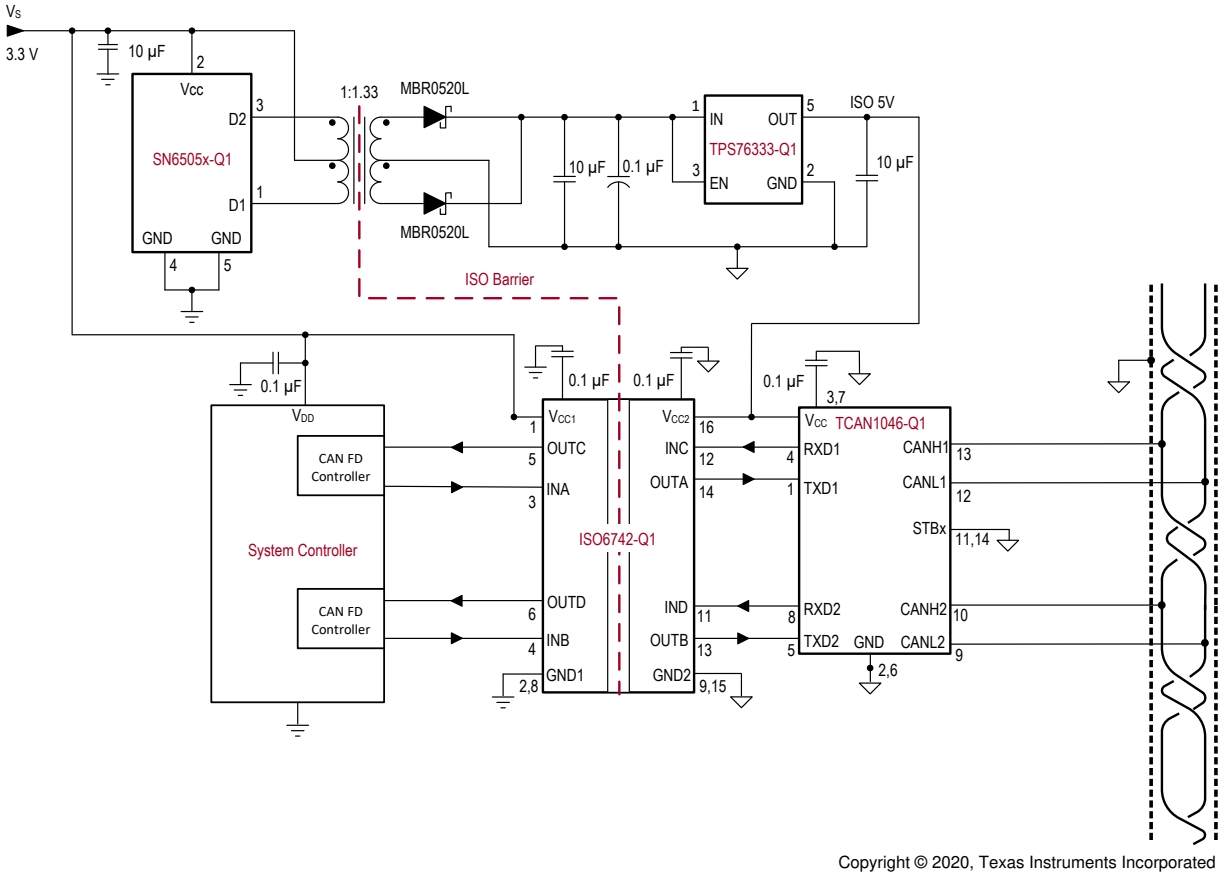
以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定元件是否适用于其应用。客户应验证并测试其设计，以确保系统功能正常。

8.1 应用信息

ISO674x-Q1 器件为高性能四通道数字隔离器，每侧均配有使能引脚，在多个主驱动应用中，可将各自输出置于高阻抗状态。ISO674x-Q1 器件采用单端 CMOS 逻辑开关技术。V_{CC1} 和 V_{CC2} 这两个电源的电源电压范围均为 1.71-5.5V。隔离栅将两侧分开，因此，在推荐工作条件下，可使用任何电压单独为每一侧供电。例如，可为 ISO674x-Q1 V_{CC1} 提供 3.3V 电压（在 1.71-5.5V 范围内），而为 V_{CC2} 提供 5V 电压（也在 1.71-5.5V 范围内）。除实现隔离之外，数字隔离器还可用作逻辑电平转换器。使用数字隔离器进行设计时，请注意由于采用的是单端设计结构，数字隔离器不符合任何特定的接口标准，并仅用于隔离单端 CMOS 或 TTL 数字信号线。不管接口类型或标准如何，隔离器通常都位于数据控制器（即 MCU 或 FPGA）和数据转换器或数据线收发器之间。

8.2 典型应用

图 8-1 显示了典型的隔离式 CAN 接口实现。



Copyright © 2020, Texas Instruments Incorporated

图 8-1. 典型隔离式 CAN 应用电路

8.2.1 设计要求

若要使用这些器件进行设计，请使用 表 8-1 中所列参数。

表 8-1. 设计参数

参数	值
电源电压：V_{CC1} 和 V_{CC2}	1.71V 到 1.89V 和 2.25V 到 5.5V
V_{CC1} 和 GND1 之间的去耦电容器	0.1μF
V_{CC2} 和 GND2 之间的去耦电容器	0.1μF

8.2.2 详细设计过程

不同于需要外部元件来提高性能、提供偏置或限制电流的光耦合器，ISO674x-Q1 系列器件仅需两个外部旁路电容器即可工作。

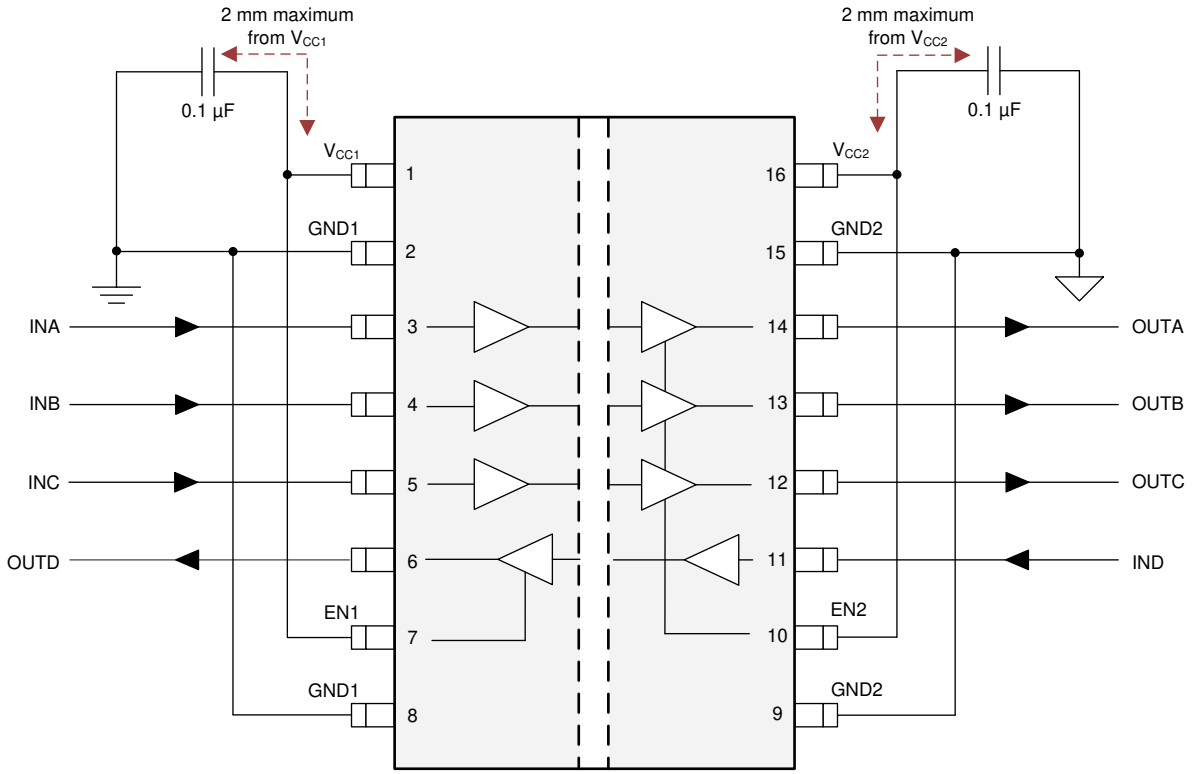


图 8-2. 典型 ISO674x-Q1 电路连接

Copyright © 2024 Texas Instruments Incorporated

8.2.3 应用曲线

下面展示了 ISO674x-Q1 系列器件在最大数据速率 50Mbps 下的低抖动和大张开度的典型眼图。

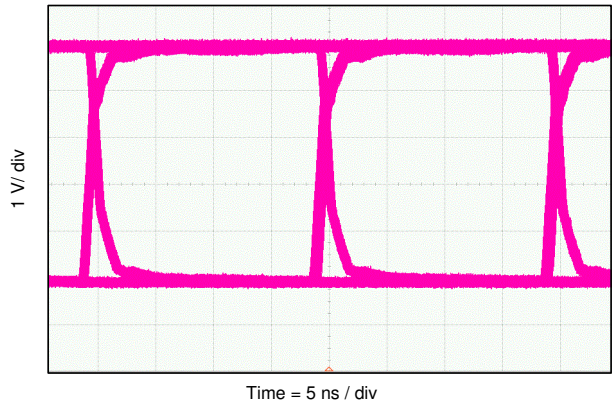


图 8-3. 眼图：50Mbps PRBS 2^{16} – 1，5V，25°C

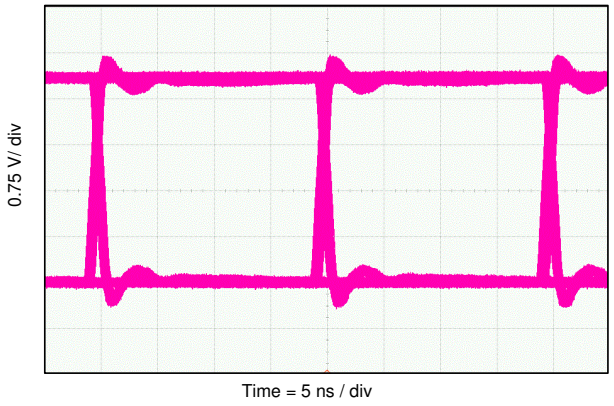


图 8-4. 眼图：50Mbps PRBS 2^{16} – 1，3.3V，25°C

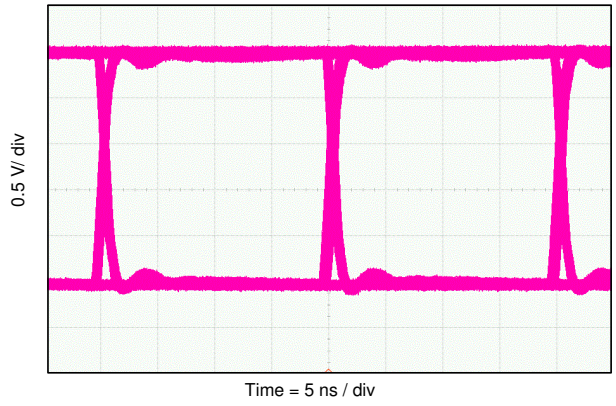


图 8-5. 眼图：50Mbps PRBS 2^{16} – 1，2.5V，25°C

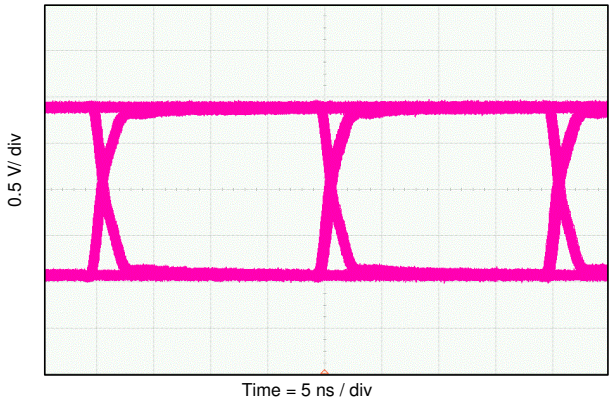


图 8-6. 眼图：50Mbps PRBS 2^{16} – 1，1.8V，25°C

8.2.3.1 绝缘寿命

绝缘寿命预测数据是使用业界通用的时间依赖性电介质击穿 (TDDB) 测试方法收集的。在该测试中，隔离栅两侧的所有引脚都连在一起，构成了一个双端子器件，并在两侧之间施加高电压；对于 TDDB 测试设置，请参阅 图 8-7。绝缘击穿数据是在开关频率为 60 Hz 以及各种高电压条件下在整个温度范围内收集的。对于增强型绝缘，VDE 标准要求使用故障率小于 1 ppm 的 TDDB 预测线。尽管额定工作隔离电压条件下的预期最短绝缘寿命为 20 年，但是 VDE 增强认证要求工作电压具有额外 20% 的安全裕度，寿命具有额外 50% 的安全裕度，也就是说在工作电压高于额定值 20% 的条件下，所需的最短绝缘寿命为 30 年。

图 8-8 所示为隔离栅在整个寿命期内承受高压应力的固有能力。根据 TDDB 数据，固有绝缘能力为 1500V_{RMS}，寿命为 36 年。其他因素，比如封装尺寸、污染等级、材料组等，可能会进一步限制元件的工作电压。DW-16 封装的工作电压上限值可达 1500V_{RMS}。较低工作电压所对应的绝缘寿命远远超过 36 年。

Copyright © 2024 Texas Instruments Incorporated

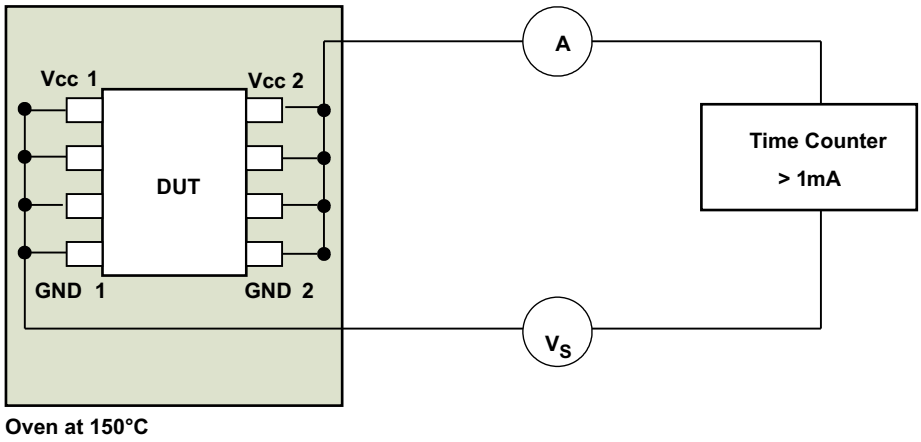


图 8-7. 绝缘寿命测量的测试设置

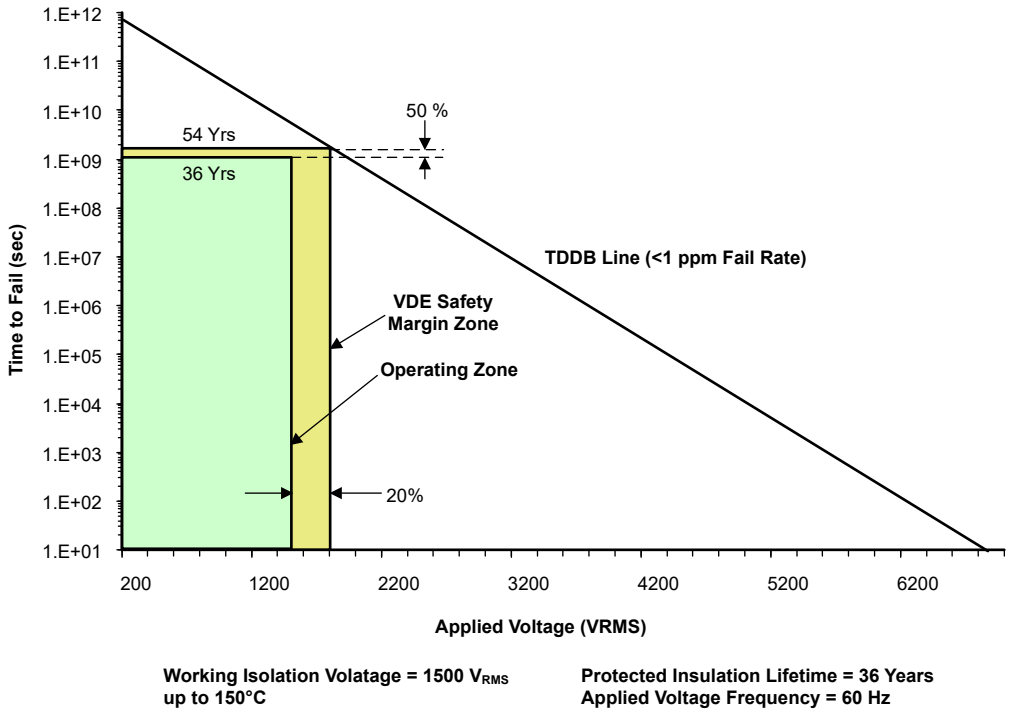


图 8-8. 绝缘寿命预测数据

Copyright © 2024 Texas Instruments Incorporated

8.3 电源相关建议

为确保在各种数据速率和电源电压条件下可靠运行，建议将 0.1 μF 旁路电容器放置在输入和输出电源引脚（V_{CC1} 和 V_{CC2}）处。电容器应尽量靠近电源引脚放置。如果应用中只有单个初级侧电源，则可借助变压器驱动器为次级侧生成隔离式电源。在汽车应用中，请使用 SN6501-Q1 或 SN6505B-Q1。对于这类应用，有关详细的电源设计和变压器选择建议，请参阅 *SN6501-Q1 隔离式电源用变压器驱动器* 或 *SN6505B-Q1 汽车类隔离式电源用低噪声 1A 420kHz 变压器驱动器* 。。

8.4 布局

8.4.1 布局指南

至少需要两层才能实现成本优化和低 EMI PCB 设计。为进一步改善 EMI，可使用四层板（请参阅 图 8-10）。四层板的层堆叠应符合以下顺序（从上到下）：高速信号层、接地平面、电源平面和低频信号层。

- 在顶层布置高速迹线可避免使用过孔（以及引入其电感），并且可实现隔离器与数据链路的发送器和接收器电路之间的可靠互连。
- 通过在高速信号层旁边放置一个实心接地平面，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。
- 在接地平面旁边放置电源平面后，会额外产生大约 100pF/inch^2 的高频旁路电容。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

如果需要额外的电源电压平面或信号层，请在堆栈中添加另一个电源平面或接地平面系统，以使其保持对称。这样可使堆栈保持机械稳定并防止其翘曲。此外，每个电源系统的电源平面和接地平面可以放置得更靠近彼此，从而显著增大高频旁路电容。

有关详细的布局建议，请参阅 *数字隔离器设计指南* 。

8.4.1.1 PCB 材料

对于运行速度低于 150Mbps（或上升和下降时间大于 1ns）且迹线长度达 10 英寸的数字电路板，请使用标准 FR-4 UL94V-0 印刷电路板。该 PCB 在高频下具有较低的电介质损耗、较低的吸湿性、较高的强度和刚度以及自熄性可燃性特征，因而优于较便宜的替代产品。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 布局示例

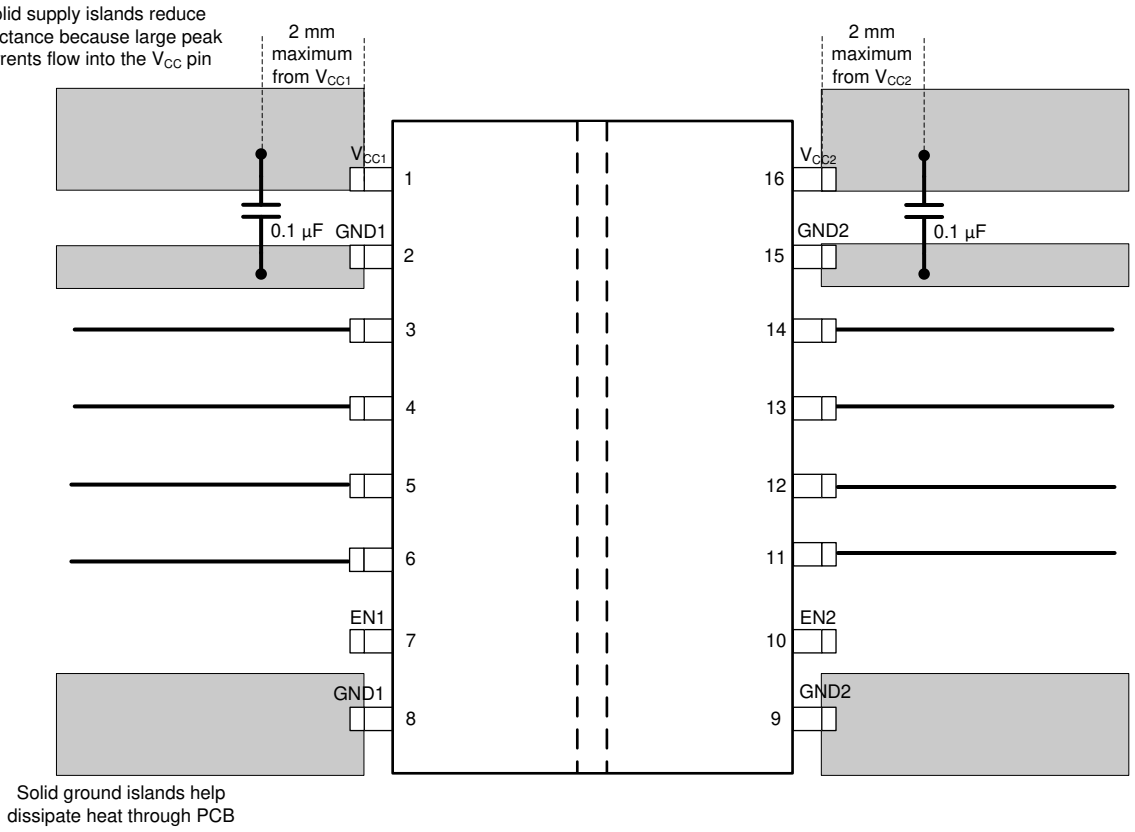


图 8-9. 布局示例

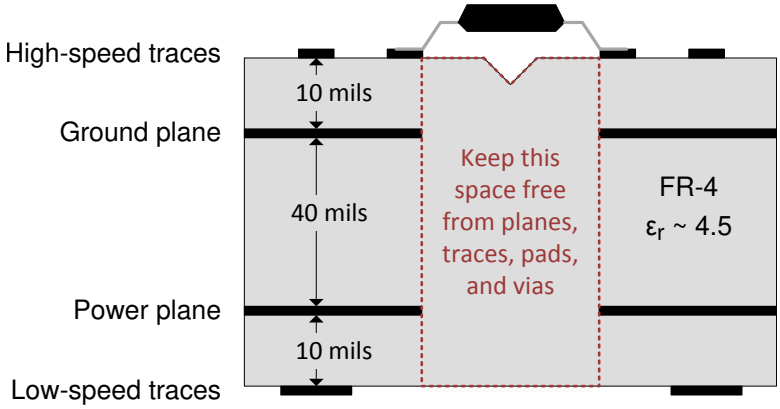


图 8-10. 原理图布局示例

Copyright © 2024 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*数字隔离器设计指南*
- 德州仪器 (TI)，*数字隔离器设计指南*
- 德州仪器 (TI)，*隔离相关术语* 应用手册
- 德州仪器 (TI)，*如何通过隔离改善工业系统的 ESD、EFT 和浪涌抗扰性* 应用手册
- 德州仪器 (TI)，*SN6505x-Q1 用于隔离式电源的低噪声 1A 变压器驱动器* 数据表
- 德州仪器 (TI)，*TCAN1044-Q1 汽车类故障保护型 CAN FD 收发器* 数据表
- 德州仪器 (TI)，*TPS763xx-Q1 低功耗 150mA 低压降线性稳压器* 数据表
- 德州仪器 (TI)，*TMS320F2803x Piccolo™ 微控制器* 数据表

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (May 2022) to Revision F (May 2024)	Page
• 更新了整个文档中的图、表和交叉参考的编号格式	1
• 添加了 ISO6742-Q1 DWW 封装的热性能信息	8
• 添加了 DWW 封装的安全限制值	11

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision D (July 2021) to Revision E (May 2022)	Page
• 将 CMTI 典型值更新为 150kV/us，并将最小值更新为 100kV/us	6

Changes from Revision C (March 2021) to Revision D (July 2021)	Page
• 更新了确保长工作寿命的工作电压	1
• 绝缘规格表 7.6 已更新：VIORM 为 2121Vpk 时，VIOWM 为 1500Vrms。	6
• 更新了安全相关认证表。	6
• 更新了开关特性表，其中包含“输入功率损耗的默认输出延时时间”行条目的测试条件。	6
• 更新了“典型应用”图以反映 5.5Viso	31
• 更新了绝缘寿命预测数据图。	33
• 将*电源相关建议*中引用的 SN6505A 更新为 SN6505B	35

Changes from Revision B (February 2021) to Revision C (March 2021)	Page
• 在规格中添加了 ISO6742-Q1 数据	6
• 更新了“典型应用”图	31

Changes from Revision A (January 2021) to Revision B (February 2021)	Page
• 将器件状态更新为“量产数据”	1

Changes from Revision * (August 2020) to Revision A (January 2021)	Page
• 向 APL 数据表添加了 ISO674x-Q1	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。 数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO6740FQDWRQ1	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6740F
ISO6740FQDWRQ1.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6740F
ISO6740QDWRQ1	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6740
ISO6740QDWRQ1.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6740
ISO6741FQDWRQ1	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6741F
ISO6741FQDWRQ1.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6741F
ISO6741QDWRQ1	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6741
ISO6741QDWRQ1.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6741
ISO6742FQDWRQ1	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6742F
ISO6742FQDWRQ1.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6742F
ISO6742FQDWWRQ1	Active	Production	SOIC (DWW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6742F
ISO6742FQDWWRQ1.A	Active	Production	SOIC (DWW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6742F
ISO6742QDWRQ1	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6742
ISO6742QDWRQ1.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6742
ISO6742QDWWRQ1	Active	Production	SOIC (DWW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6742
ISO6742QDWWRQ1.A	Active	Production	SOIC (DWW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6742

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISO6740-Q1, ISO6741-Q1, ISO6742-Q1 :

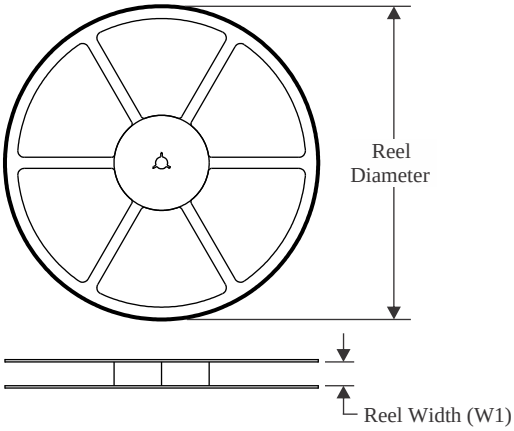
- Catalog : ISO6740, ISO6741, ISO6742

NOTE: Qualified Version Definitions:

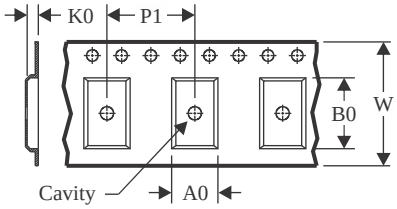
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

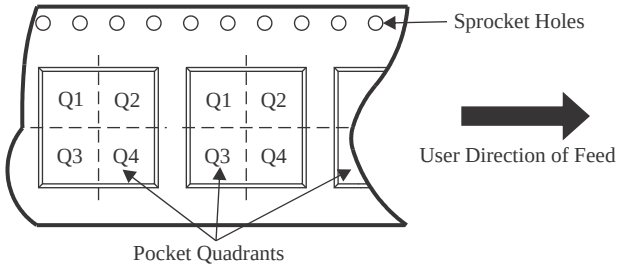


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

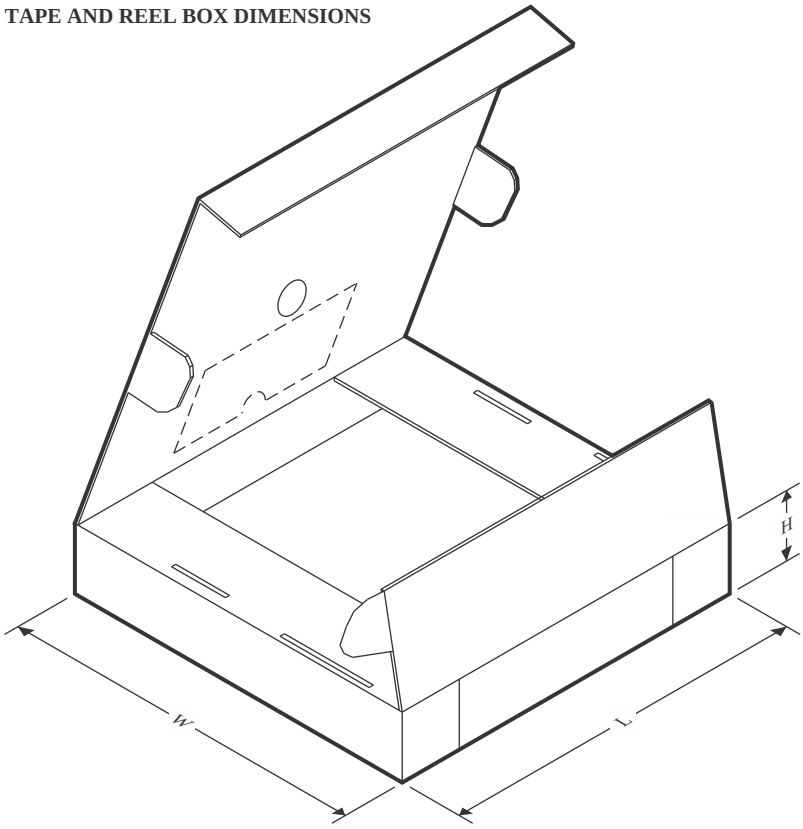
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO6740FQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6740FQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6740QDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6740QDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6741FQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6741FQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6741QDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6741QDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6742FQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6742FQDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6742FQDWWRQ1	SOIC	DWW	16	1000	330.0	24.4	18.0	10.0	3.0	20.0	24.0	Q1
ISO6742QDWRQ1	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6742QDWWRQ1	SOIC	DWW	16	1000	330.0	24.4	18.0	10.0	3.0	20.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

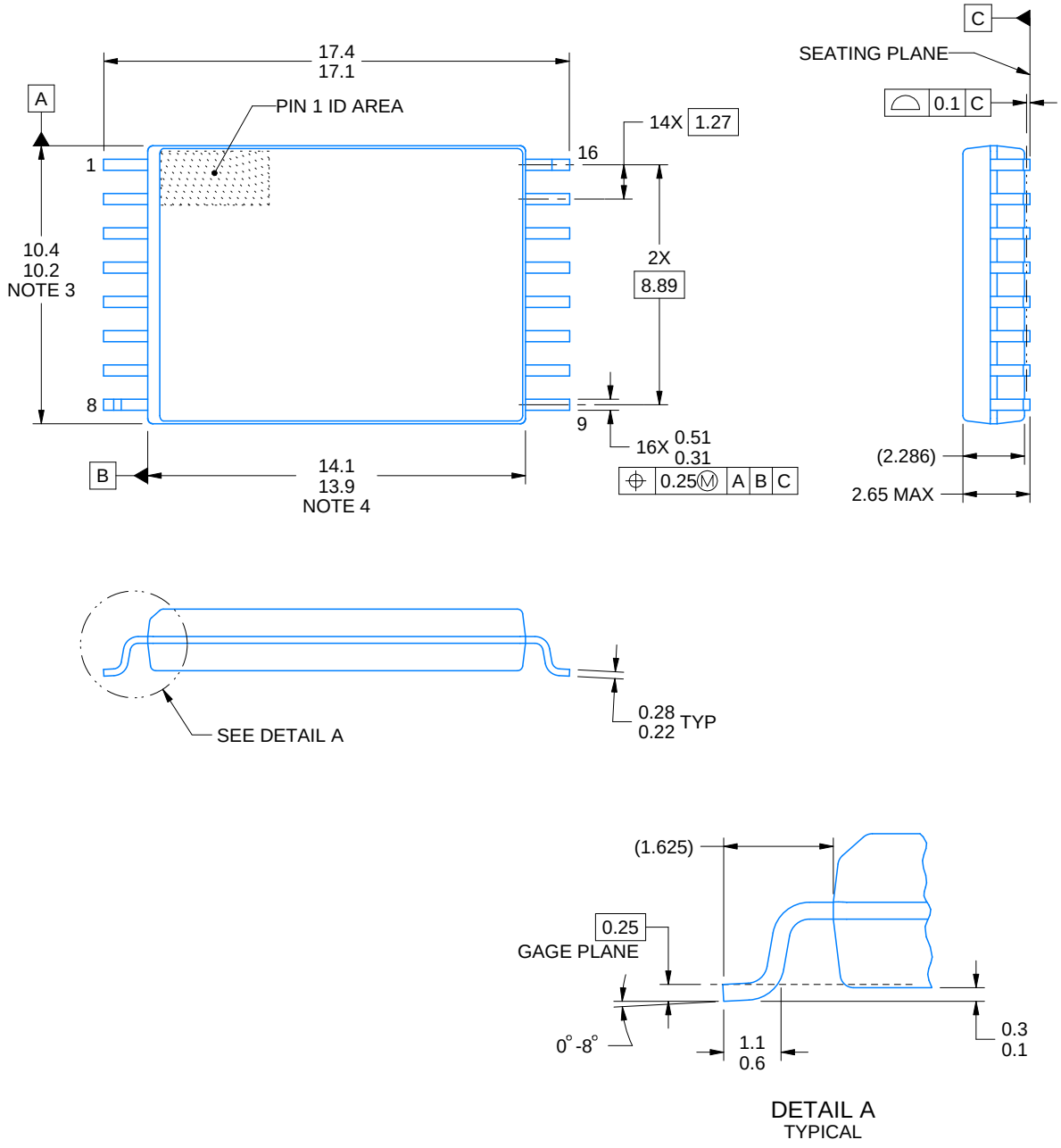
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO6740FQDWRQ1	SOIC	DW	16	2000	353.0	353.0	32.0
ISO6740FQDWRQ1	SOIC	DW	16	2000	356.0	356.0	36.0
ISO6740QDWRQ1	SOIC	DW	16	2000	353.0	353.0	32.0
ISO6740QDWRQ1	SOIC	DW	16	2000	356.0	356.0	36.0
ISO6741FQDWRQ1	SOIC	DW	16	2000	356.0	356.0	36.0
ISO6741FQDWRQ1	SOIC	DW	16	2000	353.0	353.0	32.0
ISO6741QDWRQ1	SOIC	DW	16	2000	356.0	356.0	36.0
ISO6741QDWRQ1	SOIC	DW	16	2000	353.0	353.0	32.0
ISO6742FQDWRQ1	SOIC	DW	16	2000	356.0	356.0	36.0
ISO6742FQDWRQ1	SOIC	DW	16	2000	353.0	353.0	32.0
ISO6742FQDWWRQ1	SOIC	DWW	16	1000	350.0	350.0	43.0
ISO6742QDWRQ1	SOIC	DW	16	2000	353.0	353.0	32.0
ISO6742QDWWRQ1	SOIC	DWW	16	1000	350.0	350.0	43.0

PACKAGE OUTLINE

DWW0016A

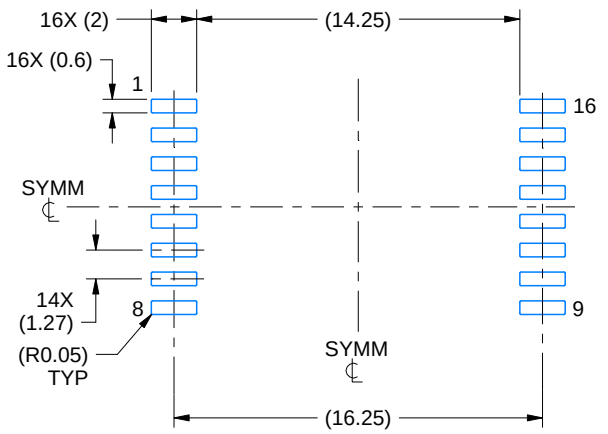
SOIC - 2.65 mm max height

PLASTIC SMALL OUTLINE

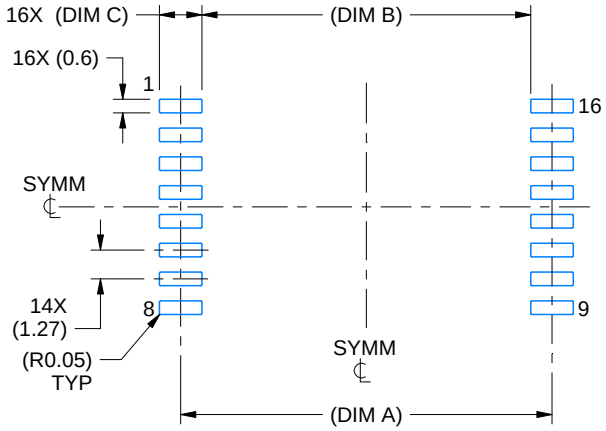


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 mm per side.
4. This dimension does not include interlead flash.

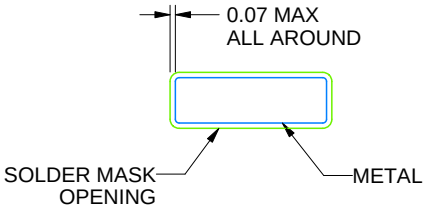


LAND PATTERN EXAMPLE
STANDARD
SCALE:3X

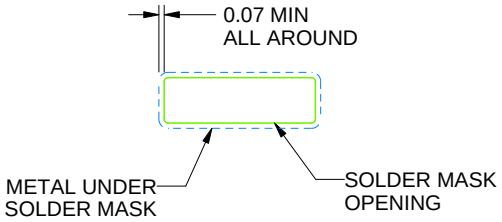


LAND PATTERN EXAMPLE
PCB CLEARANCE & CREEPAGE OPTIMIZED
SCALE:3X

OPTION	DIM A	DIM B	DIM C
01	16.375	14.5	1.875
02	16.625	15	1.625
03	16.725	15.2	1.525



NON SOLDER MASK
DEFINED
(PREFERRED)



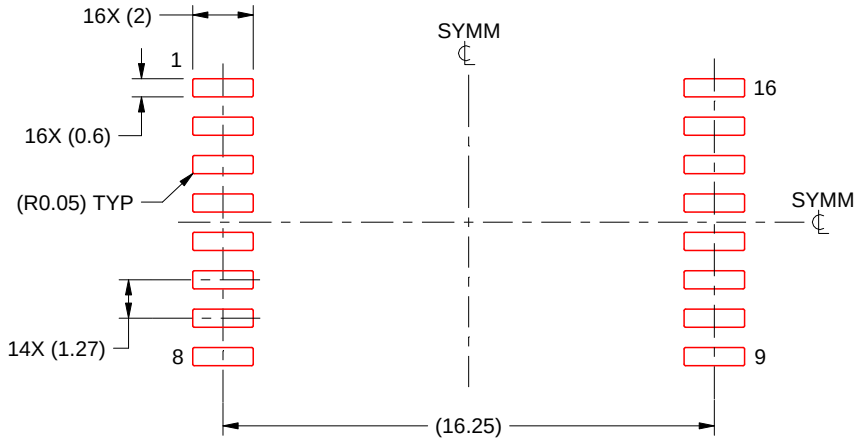
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

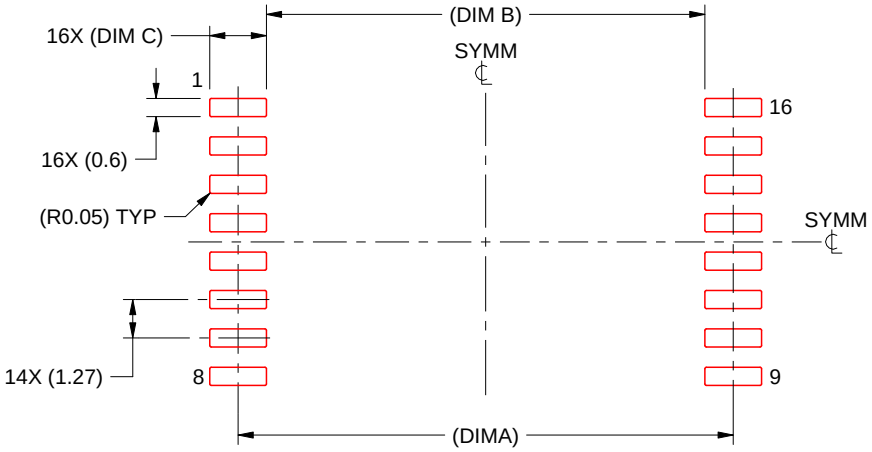
4221501/B 10/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
STANDARD
BASED ON 0.125 mm THICK STENCIL
SCALE:4X



SOLDER PASTE EXAMPLE
PCB CLEARANCE & CREEPAGE OPTIMIZED
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

OPTION	DIM A	DIM B	DIM C
01	16.375	14.5	1.875
02	16.625	15	1.625
03	16.725	15.2	1.525

4221501/B 10/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

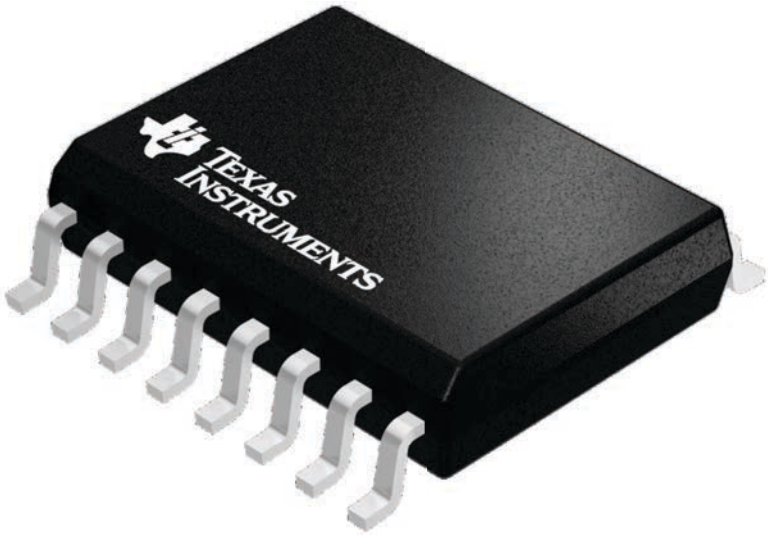
DW 16

SOIC - 2.65 mm max height

7.5 x 10.3, 1.27 mm pitch

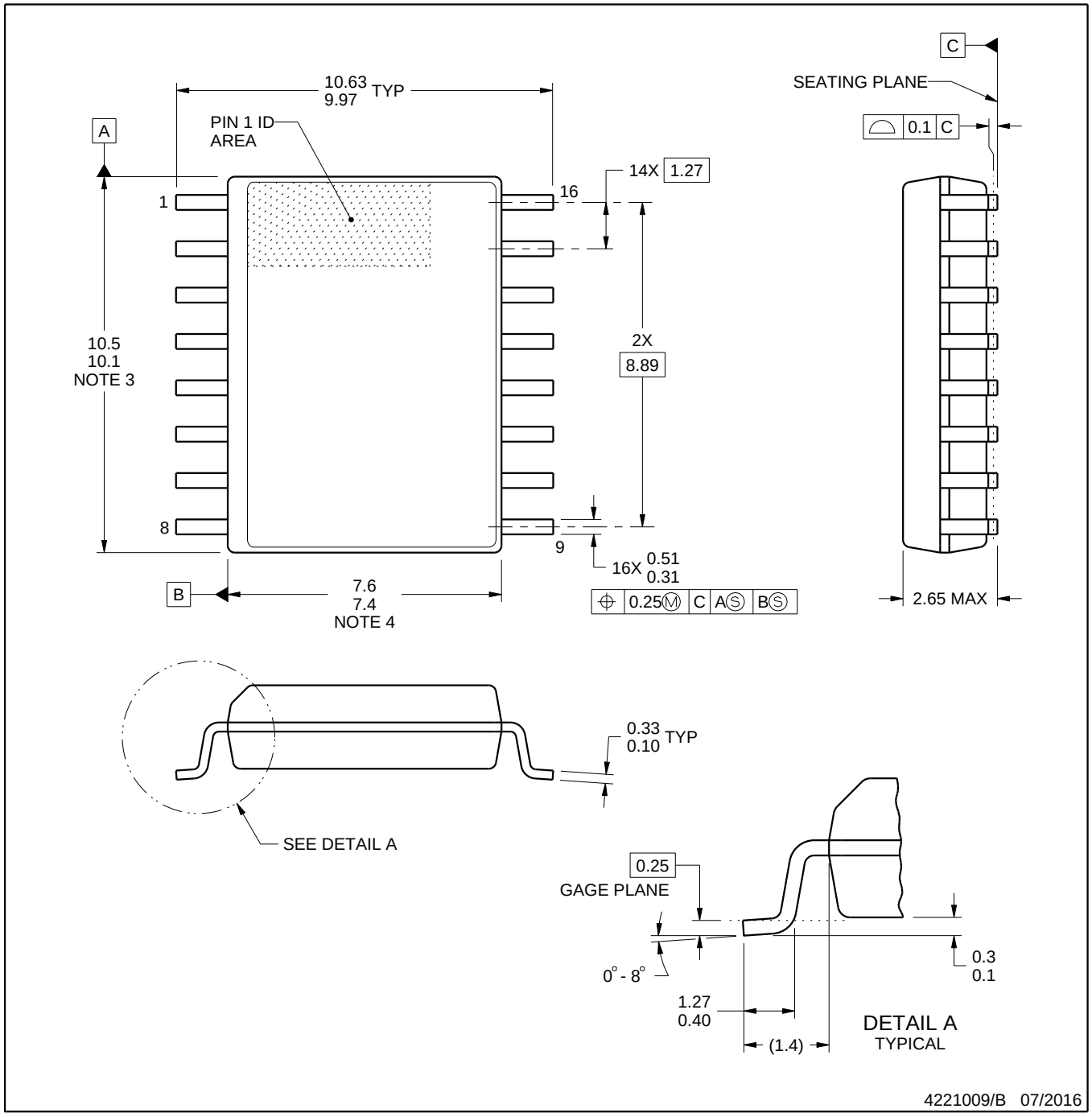
SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



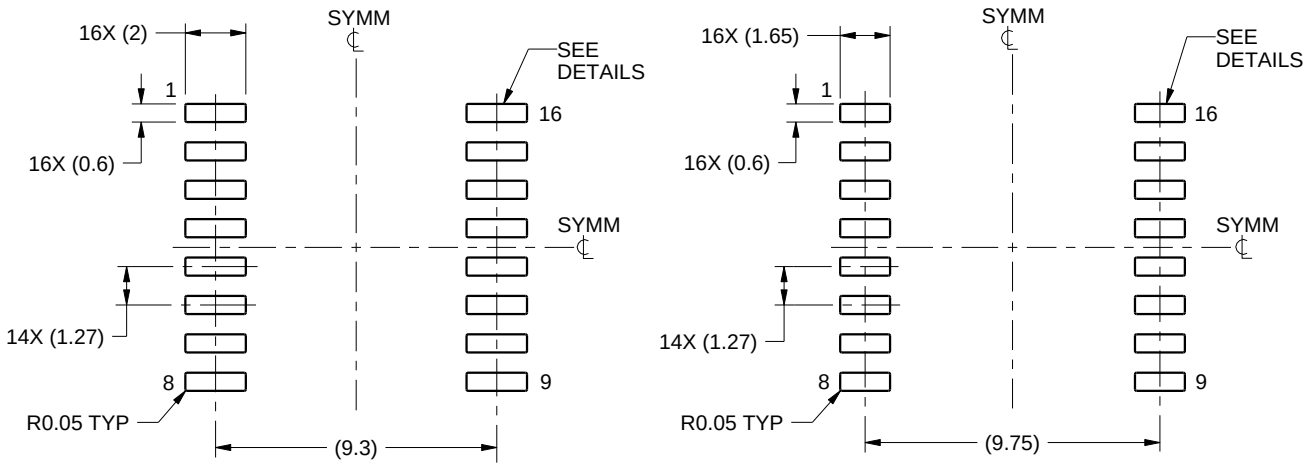
4224780/A

SOIC



NOTES:

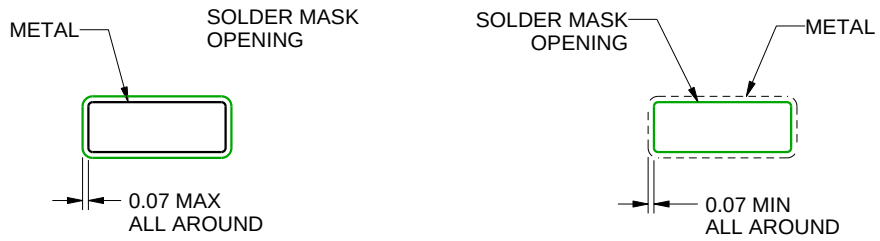
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

LAND PATTERN EXAMPLE
SCALE:4X



NON SOLDER MASK DEFINED

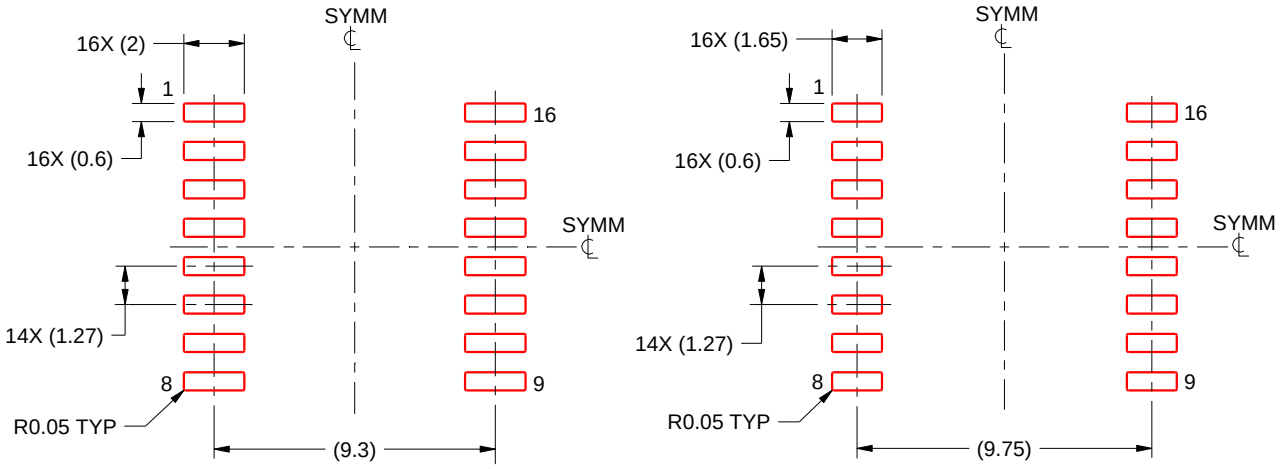
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月