

具有 70V 总线故障保护功能和灵活数据速率的 ISO1042 隔离式 CAN 收发器

1 特性

- 符合 ISO 11898-2:2016 物理层标准
- 支持高达 1Mbps 的经典 CAN 和高达 5Mbps 的 FD (灵活数据速率)
- 低环路延迟: 152ns
- 保护特性
 - 直流总线故障保护电压: $\pm 70V$
 - 总线引脚的 HBM ESD 容差: $\pm 16kV$
 - 驱动器显性超时 (TXD DTO)
 - V_{CC1} 和 V_{CC2} 欠压保护
- 共模电压范围: $\pm 30V$
- 未上电时具有理想无源高阻抗总线端子
- 高 CMTI: 100kV/ μs
- V_{CC1} 电压范围: 1.71V 至 5.5V
 - 支持连接 CAN 控制器的 1.8V、2.5V、3.3V 和 5.0V 逻辑接口
- V_{CC2} 电压范围: 4.5V 至 5.5V
- 优异的电磁兼容性 (EMC)
 - 系统级 ESD、EFT 和浪涌抗扰性
 - 低辐射
- 环境温度范围: $-40^{\circ}C$ 至 $+125^{\circ}C$
- 16-SOIC 和 8-SOIC 封装选项
- 提供汽车版本: [ISO1042-Q1](#)
- 安全相关认证:
 - 符合 DIN EN IEC 60747-17 (VDE 0884-17) 标准的 7,071V_{PK} V_{IOTM} 和 1,500V_{PK} V_{IORM} (增强型和基础型选项)
 - 符合 UL 1577 标准且长达 1 分钟的 5000V_{RMS} 隔离
 - GB 4943.1、IEC 62368-1、IEC 60601-1 和 IEC 61010-1 认证
 - CQC、TUV 和 CSA 认证

2 应用

- 交流和伺服驱动器
- 光伏逆变器
- PLC 和 DCS 通信模块
- 升降机和自动扶梯
- 工业电源
- 电池充电和管理

3 说明

ISO1042 器件是一款符合 ISO11898-2 (2016) 标准规格的电隔离控制器局域网 (CAN) 收发器。ISO1042 器件提供 $\pm 70V$ 直流总线故障保护功能和 $\pm 30V$ 共模电压范围。该器件在 CAN FD 模式下最高支持 5Mbps 数据速率, 与经典 CAN 相比可实现更快的负载传输。该器

件采用二氧化硅 (SiO₂) 绝缘隔栅, 可承受 5000V_{RMS} 的电压和 1060V_{RMS} 的工作电压。电磁兼容性得到了显著增强, 可实现系统级 ESD、EFT 和浪涌并符合辐射标准。与隔离式电源一起使用, 此器件可抵御高电压冲击, 并防止总线的噪声电流进入本地接地。ISO1042 器件可用于基础型和增强型隔离 (参阅 [增强型和基础型隔离选项](#))。ISO1042 器件支持 $-40^{\circ}C$ 至 $+125^{\circ}C$ 的宽环境温度范围, 该器件采用 SOIC-16 (DW) 封装和较小的 SOIC-8 (DWV) 封装。

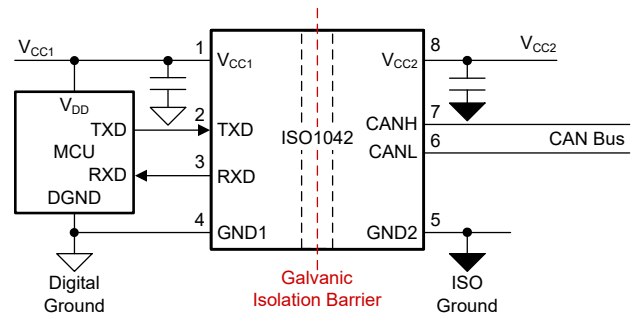
器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	封装尺寸 (标称值)
ISO1042	DWV (SOIC, 8)	5.85mm × 11.50mm	5.85mm × 7.50mm
	DW (SOIC, 16)	10.30mm × 10.30mm	10.30mm × 7.50mm

- 有关更多信息, 请参阅 [Mechanical, Packaging, and Orderable Information](#)。
- 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。

增强型和基础型隔离选项

特性	ISO1042x	ISO1042Bx
保护级别	增强型	基础型
浪涌测试电压	10000V _{PK}	6000V _{PK}
隔离额定值	5000V _{RMS}	5000V _{RMS}
工作电压	1060V _{RMS} /1500V _{PK}	1060V _{RMS} /1500V _{PK}



应用示意图



内容	
1 特性.....	1
2 应用.....	1
3 说明.....	1
4 引脚配置和功能.....	2
5 规格.....	5
5.1 绝对最大额定值.....	5
5.2 ESD 等级.....	5
5.3 瞬态抗扰度.....	5
5.4 建议运行条件.....	5
5.5 热性能信息.....	6
5.6 功率等级.....	6
5.7 绝缘规格.....	7
5.8 安全相关认证.....	8
5.9 安全限值.....	8
5.10 电气特性 - 直流规格.....	9
5.11 开关特性.....	11
5.12 绝缘特性曲线.....	12
5.13 典型特性.....	13
6 参数测量信息.....	15
6.1 测试电路.....	15
7 详细说明.....	19
7.1 概述.....	19
7.2 功能方框图.....	19
7.3 特性说明.....	19
7.4 器件功能模式.....	22
8 应用和实施.....	23
8.1 应用信息.....	23
8.2 典型应用.....	23
8.3 DeviceNet 应用.....	27
8.4 电源相关建议.....	27
8.5 布局.....	27
9 器件和文档支持.....	30
9.1 文档支持.....	30
9.2 接收文档更新通知.....	30
9.3 支持资源.....	30
9.4 商标.....	30
9.5 静电放电警告.....	30
9.6 术语表.....	30
10 修订历史记录.....	30
11 Mechanical, Packaging, and Orderable Information.....	31

4 引脚配置和功能

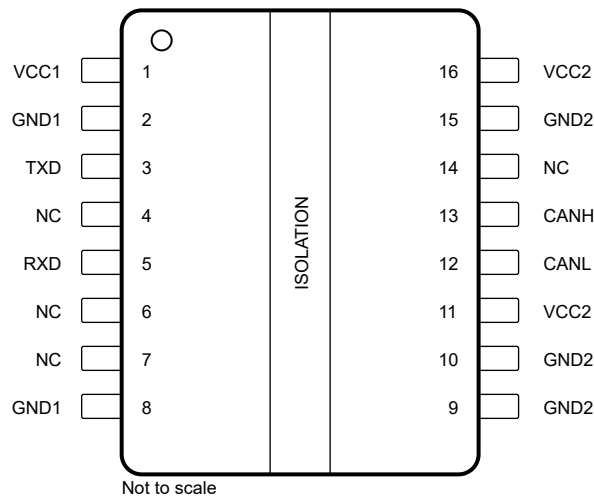


图 4-1. DW 封装 16 引脚 SOIC 顶视图

引脚		类型 ⁽¹⁾	说明
编号	名称		
1	V _{CC1}	—	数字侧电源电压，1 侧
2	GND1	—	数字侧接地连接，1 侧
3	TXD	I	CAN 发送数据输入（显性总线状态下为低电平；隐性总线状态下为高电平）
4	NC	—	未连接
5	RXD	O	CAN 接收数据输出（显性总线状态下为低电平；隐性总线状态下为高电平）
6	NC	—	未连接

引脚		类型 ⁽¹⁾	说明
编号	名称		
7	NC	—	未连接
8	GND1	—	数字侧接地连接，1 侧
9	GND2	—	收发器侧接地连接，2 侧
10			
11	V _{CC2}	—	收发器侧电源电压，2 侧。必须在外部连接到引脚 16。
12	CANL	I/O	低电平 CAN 总线
13	CANH	I/O	高电平 CAN 总线
14	NC	—	未连接
15	GND2	—	收发器侧接地连接，2 侧
16	V _{CC2}	—	收发器侧电源电压，2 侧。必须在外部连接到引脚 11。

(1) I = 输入；O = 输出；I/O = 输入或输出

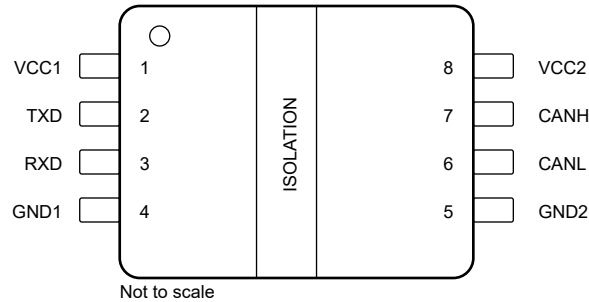


图 4-2. DWV 封装 8 引脚 SOIC 顶视图

引脚		类型 ⁽¹⁾	说明
编号	名称		
1	V _{CC1}	—	数字侧电源电压，1 侧
2	TXD	I	CAN 发送数据输入（显性总线状态下为低电平；隐性总线状态下为高电平）
3	RXD	O	CAN 接收数据输出（显性总线状态下为低电平；隐性总线状态下为高电平）
4	GND1	—	数字侧接地连接，1 侧
5	GND2	—	收发器侧接地连接，2 侧
6	CANL	I/O	低电平 CAN 总线
7	CANH	I/O	高电平 CAN 总线
8	V _{CC2}	—	收发器侧电源电压，2 侧

(1) I = 输入；O = 输出；I/O = 输入或输出

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2)

		最小值	最大值	单位
V _{CC1}	电源电压, 1 侧	-0.5	6	V
V _{CC2}	电源电压, 2 侧	-0.5	6	V
V _{IO}	逻辑输入和输出电压范围 (TXD 和 RXD)	-0.5	V _{CC1} +0.5 ⁽³⁾	V
I _O	RXD 引脚上的输出电流	-15	15	mA
V _{BUS}	总线引脚 (CANH、CANL) 上的电压	-70	70	V
V _{BUS_DIFF}	总线引脚 (CANH-CANL) 上的差分电压	-70	70	V
T _J	结温	-40	150	°C
T _{STG}	贮存温度	-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 差分 I/O 总线电压以外的所有电压值均为相对于本地接地端子 (GND1 或 GND2) 的峰值电压值。
- (3) 最大电压不得超过 6V。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	所有引脚 ⁽¹⁾	±6000	V
	人体放电模型 (HBM), 符合 ANSI/ESDA/ JEDEC JS-001 标准	CANH 和 CANL 至 GND2 ⁽¹⁾	±16000	V
	静电放电 充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101	所有引脚 ⁽²⁾	±1500	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 瞬态抗扰度

参数	测试条件	值	单位
V _{PULSE}	脉冲 1; CAN 总线端子 (CANH、CANL) 至 GND2	-100	V
	脉冲 2; CAN 总线端子 (CANH、CANL) 至 GND2	75	V
	脉冲 3a; CAN 总线端子 (CANH、CANL) 至 GND2	-150	V
	脉冲 3b; CAN 总线端子 (CANH、CANL) 至 GND2	100	V

5.4 建议运行条件

		最小值	最大值	单位
V _{CC1}	电源电压, 1 侧, 1.8V 工作电压	1.71	1.89	V
	电源电压, 1 侧, 2.5V、3.3V 和 5.5V 工作电压	2.25	5.5	V
V _{CC2}	电源电压, 2 侧	4.5	5.5	V
T _A	工作环境温度	-40	125	°C

5.5 热性能信息

热指标 ⁽¹⁾		ISO1042		单位
		DW (SOIC)	DWV (SOIC)	
		16 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	69.9	100	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	31.8	40.8	°C/W
$R_{\theta JB}$	结至电路板热阻	29.0	51.8	°C/W
Ψ_{JT}	结至顶部特征参数	13.2	16.8	°C/W
Ψ_{JB}	结至电路板特征参数	28.6	49.8	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	-	-	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

5.6 功率等级

参数		测试条件	最小值	典型值	最大值	单位
P_D	最大功耗 (两侧)	参阅图 6-3, $V_{CC1} = V_{CC2} = 5.5V$, $T_J = 150^\circ C$, $R_L = 50 \Omega$, TXD 上具有 1ms 时间周期的重复模式, 990μs 低电平时间和 10μs 高电平时间。			385	mW
P_{D1}	最大功耗 (1 侧)	参阅图 6-5, $V_{CC1} = V_{CC2} = 5.5V$, $T_J = 150^\circ C$, $R_L = 50 \Omega$, CANH-CANL 上输入 2V 峰值间 2.5MHz 50% 占空比方波			25	mW
P_{D2}	最大功耗 (2 侧)	参阅图 6-3, $V_{CC1} = V_{CC2} = 5.5V$, $T_J = 150^\circ C$, $R_L = 50 \Omega$, TXD 上具有 1ms 时间周期的重复模式, 990μs 低电平时间和 10μs 高电平时间。			360	mW

5.7 绝缘规格

参数		测试条件	规格		单位
			DW-16	DWV-8	
IEC 60664-1					
CLR	外部间隙 ⁽¹⁾	1 侧到 2 侧的空间距离	>8.15	>8.5	mm
CPG	外部爬电距离 ⁽¹⁾	1 侧到 2 侧的封装表面距离	>8.15	>8.5	mm
DTI	绝缘穿透距离	最小内部间隙	>17	>17	μm
CTI	相对漏电起痕指数	IEC 60112 ; UL 746A	>600	>600	V
	材料组	符合 IEC 60664-1	I	I	
	过压类别	额定市电电压 ≤ 600V _{RMS}	I-IV	I-IV	
		额定市电电压 ≤ 1000V _{RMS}	I-III	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) ⁽²⁾					
V _{IORM}	最大重复峰值隔离电压	交流电压 (双极)	1500	1500	V _{PK}
V _{IOWM}	最大隔离工作电压	交流电压 (正弦波) ; 时间依赖型电介质击穿 (TDDb) 测试 ;	1060	1060	V _{RMS}
		直流电压	2121	2121	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60s (鉴定测试) ; V _{TEST} = 1.2 × V _{IOTM} , t = 1s (100% 生产测试)	7071	7071	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ISO1042 ⁽³⁾	测试方法符合 IEC 62368-1, 1.2/50μs 波形	10000	10000	V _{PK}
	最大浪涌隔离电压 ISO1042B ⁽³⁾	测试方法符合 IEC 62368-1, 1.2/50μs 波形	6000	6000	V _{PK}
q _{pd}	视在电荷 ⁽⁴⁾	方法 a : I/O 安全测试子组 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60s ; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10s	≤ 5	≤ 5	pC
		方法 a : 环境测试子组 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60s ; ISO1042 : V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10s ISO1042B : V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10s	≤ 5	≤ 5	
		常规测试 (100% 生产测试) , 方法 b1 : V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1s ; ISO1042 : V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1s ISO1042B : V _{pd(m)} = 1.5 × V _{IORM} , t _m = 1s , 或 方法 b2 : V _{pd(m)} = V _{ini} , t _m = t _{ini}	≤ 5	≤ 5	
C _{IO}	势垒电容, 输入至输出 ⁽⁵⁾	V _{IO} = 0.4 × sin (2 π ft), f = 1MHz	1	1	pF
R _{IO}	隔离电阻, 输入至输出 ⁽⁵⁾	V _{IO} = 500V, T _A = 25°C	> 10 ¹²	> 10 ¹²	Ω
		V _{IO} = 500V, 100°C ≤ T _A ≤ 150°C	> 10 ¹¹	> 10 ¹¹	
		V _{IO} = 500V, T _S = 150°C	> 10 ⁹	> 10 ⁹	
	污染等级		2	2	
	气候类别		40/125/21	40/125/21	
UL 1577					
V _{ISO}	可承受的隔离电压	V _{TEST} = V _{ISO} , t = 60s (鉴定测试) ; V _{TEST} = 1.2 × V _{ISO} , t = 1s (100% 生产测试)	5000	5000	V _{RMS}

- (1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙, 从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下, 印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
- (2) ISO1042 适用于安全电气绝缘, 而 ISO1042B 仅适用于安全额定值范围内的基本电气绝缘。应借助专门设计的保护电路来确保符合安全等级。
- (3) 在空气或油中执行测试, 以确定隔离栅的固有浪涌抗扰度。

- (4) 视在电荷是局部放电 (pd) 引起的电气放电。
 (5) 将隔离层每一侧的所有引脚都连在一起，构成一个双引脚器件。

5.8 安全相关认证

VDE	CSA	UL	CQC	TUV
根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行了认证	根据 IEC 61010-1、IEC 62368-1 和 IEC 60601-1 进行了认证	在 UL 1577 组件认证计划下进行了认证	根据 GB 4943.1 进行了认证	根据 EN 61010-1 和 EN 62368-1 进行了认证
证书： 增强型：40040142 基础型：40047657	主合同编号：220991	文件编号：E181974	证书编号： CQC15001121716 (DW-16) CQC18001199096 (DWV-8)	客户端 ID 编号：77311

5.9 安全限值

安全限值⁽¹⁾旨在更大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	最小值	典型值	最大值	单位
DW-16 封装						
I _S	安全输入、输出或电源电流	R _{θJA} = 69.9°C/W, V _I = 5.5V, T _J = 150°C, T _A = 25°C, 请参阅图 5-1			325	mA
		R _{θJA} = 69.9°C/W, V _I = 3.6V, T _J = 150°C, T _A = 25°C, 请参阅图 5-1			496	
		R _{θJA} = 69.9°C/W, V _I = 2.75V, T _J = 150°C, T _A = 25°C, 请参阅图 5-1			650	
		R _{θJA} = 69.9°C/W, V _I = 1.89V, T _J = 150°C, T _A = 25°C, 请参阅图 5-1			946	
P _S	安全输入、输出或总功率	R _{θJA} = 69.9°C/W, T _J = 150°C, T _A = 25°C, 请参阅图 5-3			1788	mW
T _S	最高安全温度				150	°C
DWV-8 封装						
I _S	安全输入、输出或电源电流	R _{θJA} = 100°C/W, V _I = 5.5V, T _J = 150°C, T _A = 25°C, 请参阅图 5-2			227	mA
		R _{θJA} = 100°C/W, V _I = 3.6V, T _J = 150°C, T _A = 25°C, 请参阅图 5-2			347	
		R _{θJA} = 100°C/W, V _I = 2.75V, T _J = 150°C, T _A = 25°C, 请参阅图 5-2			454	
		R _{θJA} = 100°C/W, V _I = 1.89V, T _J = 150°C, T _A = 25°C, 请参阅图 5-2			661	
P _S	安全输入、输出或总功率	R _{θJA} = 100°C/W, T _J = 150°C, T _A = 25°C, 请参阅图 5-4			1250	mW
T _S	最高安全温度				150	°C

- (1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。
 表中的结至空气热阻 R_{θJA} 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。可使用以下公式计算各参数值：
 $T_J = T_A + R_{\theta JA} \times P$ ，其中，P 为器件所耗功率。
 $T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$ ，其中，T_{J(max)} 为允许的最大结温。
 $P_S = I_S \times V_I$ ，其中，V_I 为最大输入电压。

5.10 电气特性 - 直流规格

在建议的工作条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源特性						
I _{CC1}	电源电流，1 侧	V _{CC1} = 1.71V 至 1.89V、TXD = 0V、总线显性		2.3	3.5	mA
		V _{CC1} = 2.25V 至 5.5V、TXD = 0V、总线显性		2.4	3.5	mA
		V _{CC1} = 1.71V 至 1.89V、TXD = V _{CC1} 、总线隐性		1.2	2.1	mA
		V _{CC1} = 2.25V 至 5.5V、TXD = V _{CC1} 、总线隐性		1.3	2.1	mA
I _{CC2}	电源电流，2 侧	TXD = 0V，总线显性，R _L = 60 Ω		43	73.4	mA
		TXD = V _{CC1} ，总线隐性，R _L = 60 Ω		2.8	4.1	mA
UV _{VCC1}	上升欠压检测，1 侧				1.7	V
UV _{VCC1}	下降欠压检测，1 侧		1.0			V
V _{HYS(UVC1)}	V _{CC1} 欠压锁定上的磁滞电压		75	125		mV
UV _{VCC2}	上升欠压检测，2 侧			4.2	4.45	V
UV _{VCC2}	下降欠压检测，2 侧		3.8	4.0	4.25	V
V _{HYS(UVC2)}	V _{CC2} 欠压锁定上的磁滞电压			200		mV
TXD 端子						
V _{IH}	高电平输入电压		0.7 × V _{CC1}			V
V _{IL}	低电平输入电压				0.3 × V _{CC1}	V
I _{IH}	高电平输入漏电流	TXD = V _{CC1}			1	μA
I _{IL}	低电平输入漏电流	TXD = 0V	-20			μA
C _I	输入电容	V _{IN} = 0.4x sin(2 × π × 1E+6x t) + 2.5V，V _{CC1} = 5V		3		pF
RXD 端子						
V _{OH} - V _{CC1}	高电平输出电压	参阅图 6-4，I _O = -4mA，适用于 4.5V ≤ V _{CC1} ≤ 5.5V	-0.4	-0.2		V
		参阅图 6-4，I _O = -2mA，适用于 3.0V ≤ V _{CC1} ≤ 3.6V	-0.2	-0.07		V
		参阅图 6-4，I _O = -1mA，适用于 2.25V ≤ V _{CC1} ≤ 2.75V	-0.1	-0.04		V
		参阅图 6-4，I _O = -1mA，适用于 1.71V ≤ V _{CC1} ≤ 1.89V	-0.1	-0.045		V
V _{OL}	低电平输出电压	参阅图 6-4，I _O = 4mA，适用于 4.5V ≤ V _{CC1} ≤ 5.5V		0.2	0.4	V
		参阅图 6-4，I _O = 2mA，适用于 3.0V ≤ V _{CC1} ≤ 3.6V		0.07	0.2	V
		参阅图 6-4，I _O = 1mA，适用于 2.25V ≤ V _{CC1} ≤ 2.75V		0.035	0.1	V
		参阅图 6-4，I _O = 1mA，适用于 1.71V ≤ V _{CC1} ≤ 1.89V		0.04	0.1	V
驱动器电气特性						

在建议的工作条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
$V_{O(DOM)}$	总线输出电压 (显性) , CANH	参阅图 6-1 和图 6-2, TXD = 0V, $50\Omega \leq R_L \leq 65\Omega$, C_L = 开路	2.75		4.5	V
	总线输出电压 (显性) , CANL	参阅图 6-1 和图 6-2, TXD = 0V, $50\Omega \leq R_L \leq 65\Omega$, C_L = 开路	0.5		2.25	V
$V_{O(REC)}$	总线输出电压 (隐性) , CANH 和 CANL	参阅图 6-1 和图 6-2, TXD = V_{CC1} , R_L = 开路	2.0	$0.5 \times V_{CC2}$	3.0	V
$V_{OD(DOM)}$	差分输出电压, CANH-CANL (显性)	参阅图 6-1 和图 6-2, TXD = 0V, $45\Omega \leq R_L \leq 50\Omega$, C_L = 开路	1.4		3.0	V
	差分输出电压, CANH-CANL (显性)	参阅图 6-1 和图 6-2, TXD = 0V, $50\Omega \leq R_L \leq 65\Omega$, C_L = 开路	1.5		3.0	V
	差分输出电压, CANH-CANL (显性)	参阅图 6-1 和图 6-2, TXD = 0V, R_L = 2240Ω , C_L = 开路	1.5		5.0	V
$V_{OD(REC)}$	差分输出电压, CANH-CANL (隐性)	参阅图 6-1 和图 6-2, TXD = V_{CC1} , R_L = 60Ω , C_L = 开路	-120.0		12.0	mV
	差分输出电压, CANH-CANL (隐性)	参阅图 6-1 和图 6-2, TXD = V_{CC1} , R_L = 开路, C_L = 开路	-50.0		50.0	mV
V_{SYM_DC}	直流输出对称性 ($V_{CC2} - V_{O(CANH)} - V_{O(CANL)}$)	参阅图 6-1 和图 6-2, R_L = 60Ω , C_L = 开路, TXD = V_{CC1} 或 0V	-400.0		400.0	mV
$I_{SO(SS_DOM)}$	短路电流稳态输出电流, 显性	参阅图 6-9, V_{CANH} = -5V 至 40V, CANL = 开路, TXD = 0V	-100.0			mA
		参阅图 6-9, V_{CANL} = -5V 至 40V, CANH = 开路, TXD = 0V			100.0	mA
$I_{SO(SS_REC)}$	短路电流稳态输出电流, 隐性	参阅图 6-9, $-27V \leq V_{BUS} \leq 32V$, V_{BUS} = CANH = CANL, TXD = V_{CC1}	-5.0		5.0	mA
接收器电气特性						
V_{IT}	差分输入阈值电压	参阅图 6-4 和表 6-1, $ V_{CM} \leq 20V$	500.0		900.0	mV
	差分输入阈值电压	参阅图 6-4 和表 6-1, $20V \leq V_{CM} \leq 30V$	400.0		1000.0	
V_{HYS}	差分输入阈值的迟滞电压	请参阅图 6-4 和表 6-1		120		
V_{CM}	输入共模范围	请参阅图 6-4 和表 6-1	-30.0		30.0	V
$I_{OFF(LKG)}$	断电时的总线输入漏电流	CANH = CANL = 5V, V_{CC2} 通过 0Ω 和 $47k\Omega$ 电阻器连接到 GND			4.8	μA
C_i	对地输入电容 (CANH 或 CANL)	TXD = V_{CC1}		24.0	30	pF
C_{ID}	差分输入电容 (CANH-CANL)	TXD = V_{CC1}		12.0	15	pF
R_{ID}	差分输入电阻	TXD = V_{CC1} ; $-30V \leq V_{CM} \leq +30V$	30.0		80.0	k Ω
R_{IN}	输入电阻 (CANH 或 CANL)	TXD = V_{CC1} ; $-30V \leq V_{CM} \leq +30V$	15.0		40.0	k Ω
$R_{IN(M)}$	输入电阻匹配: $(1 - R_{IN(CANH)}/R_{IN(CANL)}) \times 100\%$	$V_{CANH} = V_{CANL} = 5V$	-2.0		2.0	%
热关断						
T_{TSD}	热关断温度			170		$^{\circ}C$
$T_{TSD_HYS_T}$	热关断迟滞			5		$^{\circ}C$

5.11 开关特性

在建议的工作条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
器件开关特性						
t _{PROP(LOOP1)}	总环路延迟，驱动器输入 TXD 至接收器 RXD，隐性状态至显性状态	参阅图 6-6，R _L = 60 Ω，C _L = 100pF，C _{L(RXD)} = 15pF；TXD 输入上升/下降时间 (10% 至 90%) = 1ns；1.71V ≤ V _{CC1} ≤ 1.89V	70	125	198.0	ns
		参阅图 6-6，R _L = 60 Ω，C _L = 100pF，C _{L(RXD)} = 15pF；TXD 输入上升/下降时间 (10% 至 90%) = 1ns；2.25V ≤ V _{CC1} ≤ 5.5V	70	122	192.0	ns
t _{PROP(LOOP2)}	总环路延迟，驱动器输入 TXD 至接收器 RXD，显性状态至隐性状态	参阅图 6-6，R _L = 60 Ω，C _L = 100pF，C _{L(RXD)} = 15pF；TXD 输入上升/下降时间 (10% 至 90%) = 1ns；1.71V ≤ V _{CC1} ≤ 1.89V	70	155	215.0	ns
		参阅图 6-6，R _L = 60 Ω，C _L = 100pF，C _{L(RXD)} = 15pF；TXD 输入上升/下降时间 (10% 至 90%) = 1ns；2.25V ≤ V _{CC1} ≤ 5.5V	70	152	215.0	ns
t _{UV_REENABLE}	发生欠压事件后重新使能所需的时间	发生 V _{CC1} 或 V _{CC2} 欠压事件后器件恢复正常运行所需的时间			300.0	μs
CMTI	共模瞬态抗扰度	V _{CM} = 1200V _{PK} ，参阅图 6-10	85	100		kV/μs
驱动器开关特性						
t _{pHR}	传播延迟时间，HIGH TXD 到驱动器隐性	参阅图 6-3，R _L = 60 Ω 且 C _L = 100pF；TXD 输入上升/下降时间 (10% 至 90%) = 1ns		76	120	ns
t _{pLD}	传播延迟时间，LOW TXD 到驱动器显性			61	120	
t _{sk(p)}	脉冲偏斜 (t _{pHR} - t _{pLD})			14		
t _R	差分输出信号上升时间			45		
t _F	差分输出信号下降时间			45		
V _{SYM}	输出对称性 (显性或隐性) (V _{O(CANH)} + V _{O(CANL)}) / V _{CC2}	参阅图 6-3 和图 8-4，R _{TERM} = 60 Ω，C _{SPLIT} = 4.7nF，C _L = 开路，R _L = 开路，TXD = 250kHz，1MHz	0.9		1.1	V/V
t _{TXD.DTO}	显性超时	参阅图 6-8，R _L = 60 Ω，C _L = 开路	1.2		3.8	ms
接收器开关特性						
t _{pRH}	传播延迟时间，总线隐性输入到 RXD 高电平输出	参阅图 6-5，C _{L(RXD)} = 15pF		75	130	ns
t _{pDL}	传播延迟时间，总线显性输入到 RXD 低电平输出			63	130	ns
t _R	输出信号上升时间 (RXD)			1.4		ns
t _F	输出信号下降时间 (RXD)			1.8		ns
FD 时序参数						
t _{BIT(BUS)}	t _{BIT(TXD)} = 500ns 时 CAN 总线输出引脚上的位时间	参阅图 6-7，R _L = 60 Ω，C _L = 100pF，C _{L(RXD)} = 15pF；TXD 输入上升/下降时间 (10% 至 90%) = 1ns	435.0		530.0	ns
	t _{BIT(TXD)} = 200ns 时 CAN 总线输出引脚上的位时间	参阅图 6-7，R _L = 60 Ω，C _L = 100pF，C _{L(RXD)} = 15pF；TXD 输入上升/下降时间 (10% 至 90%) = 1ns	155.0		210.0	ns

在建议的工作条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
$t_{\text{BIT(RXD)}}$	$t_{\text{BIT(TXD)}} = 500\text{ns}$ 时 RXD 输出引脚上的位时间	参阅图 6-7, $R_L = 60\ \Omega$, $C_L = 100\text{pF}$, $C_{\text{L(RXD)}} = 15\text{pF}$; TXD 输入上升/下降时间 (10% 至 90%) = 1ns	400		550.0	ns
	$t_{\text{BIT(TXD)}} = 200\text{ns}$ 时 RXD 输出引脚上的位时间	参阅图 6-7, $R_L = 60\ \Omega$, $C_L = 100\text{pF}$, $C_{\text{L(RXD)}} = 15\text{pF}$; TXD 输入上升/下降时间 (10% 至 90%) = 1ns	120.0		220.0	ns
Δt_{REC}	$t_{\text{BIT(TXD)}} = 500\text{ns}$ 时的接收器时序对称性	参阅图 6-7, $R_L = 60\ \Omega$, $C_L = 100\text{pF}$, $C_{\text{L(RXD)}} = 15\text{pF}$; TXD 输入上升/下降时间 (10% 至 90%) = 1ns; $\Delta t_{\text{REC}} = t_{\text{BIT(RXD)}} - t_{\text{BIT(BUS)}}$,	-65.0		40.0	ns
	$t_{\text{BIT(TXD)}} = 200\text{ns}$ 时的接收器时序对称性	参阅图 6-7, $R_L = 60\ \Omega$, $C_L = 100\text{pF}$, $C_{\text{L(RXD)}} = 15\text{pF}$; TXD 输入上升/下降时间 (10% 至 90%) = 1ns; $\Delta t_{\text{REC}} = t_{\text{BIT(RXD)}} - t_{\text{BIT(BUS)}}$	-45.0		15.0	ns

5.12 绝缘特性曲线

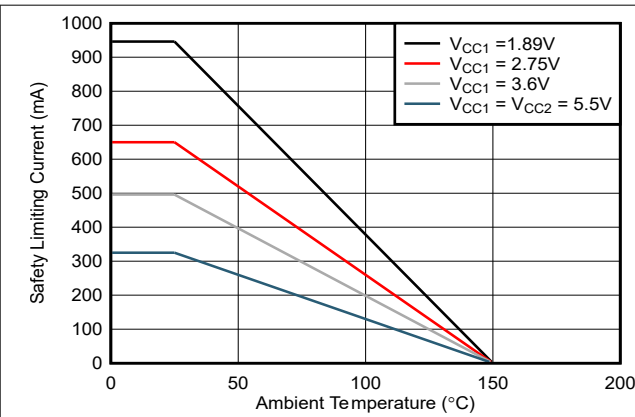


图 5-1. DW-16 封装根据 VDE 标准限制电流的热降额曲线

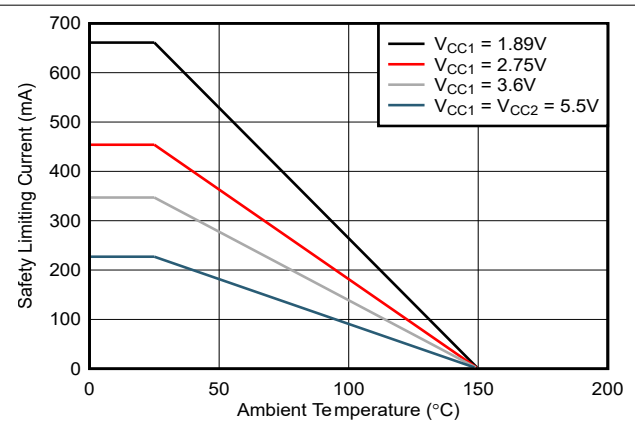


图 5-2. DWV-8 封装根据 VDE 标准限制电流的热降额曲线

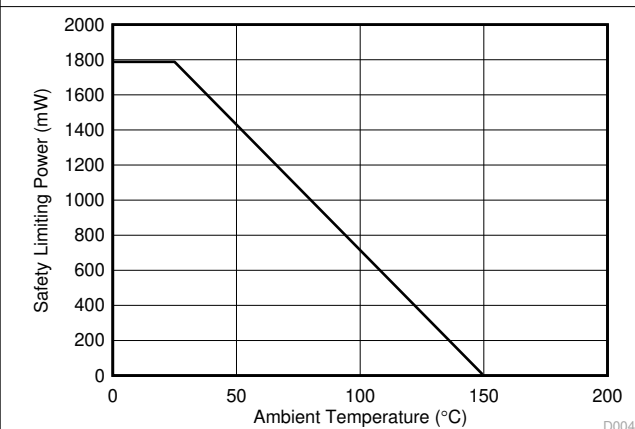


图 5-3. DW-16 封装根据 VDE 标准限制功率的热降额曲线

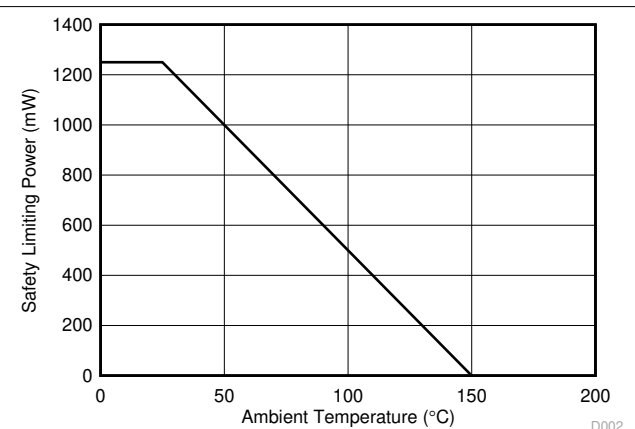


图 5-4. DWV-8 封装根据 VDE 标准限制功率的热降额曲线

5.13 典型特性

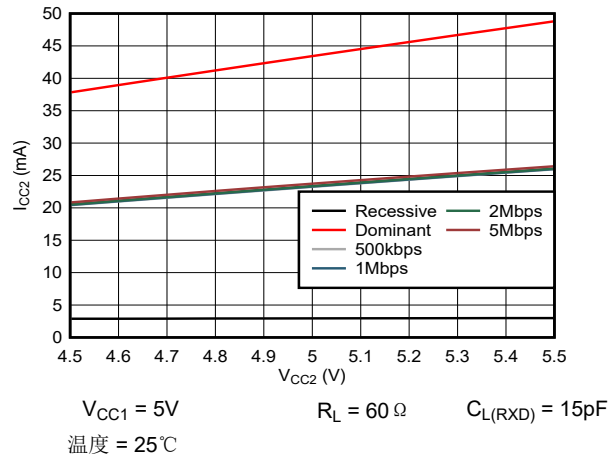


图 5-5. 隐性、显性和不同 CAN 数据速率下 I_{CC2} 与 V_{CC2} 间的关系

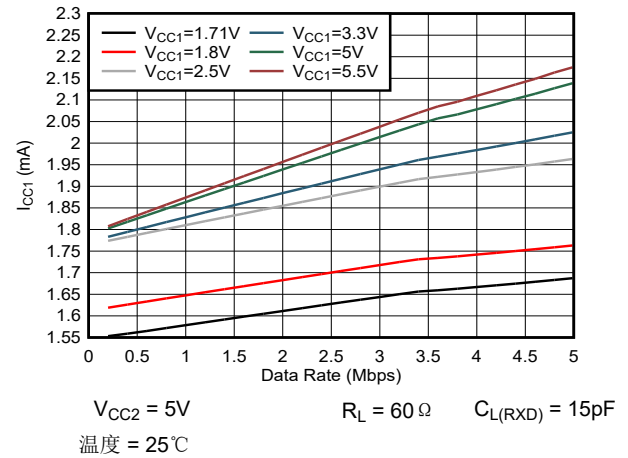


图 5-6. I_{CC1} 与数据速率间的关系

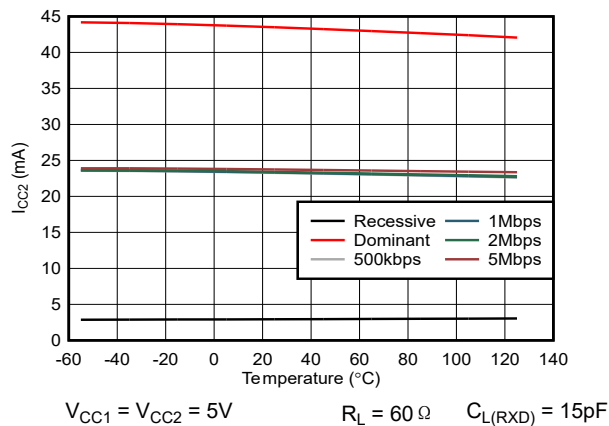


图 5-7. 隐性、显性和不同 CAN 数据速率下 I_{CC2} 与环境温度间的关系

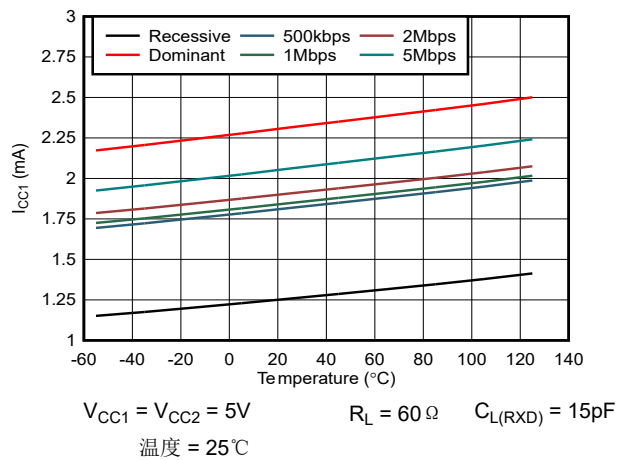


图 5-8. : 隐性、显性和不同 CAN 数据速率下 I_{CC1} 与环境温度间的关系。

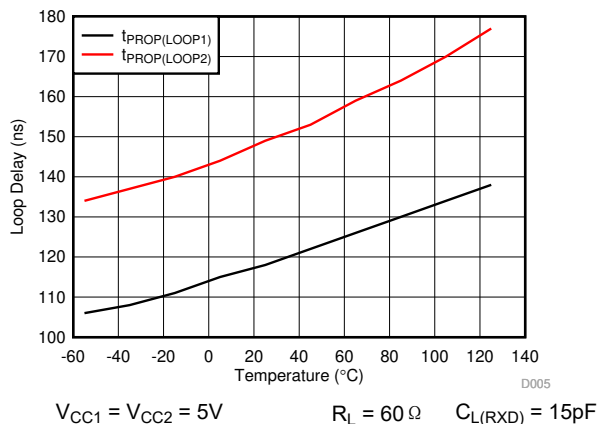


图 5-9. 环路延迟与环境温度间的关系

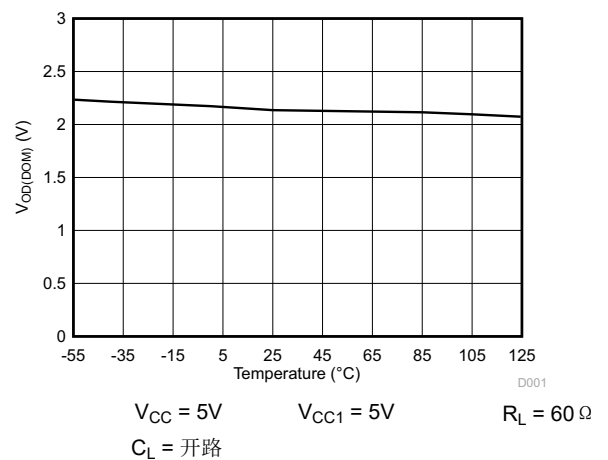
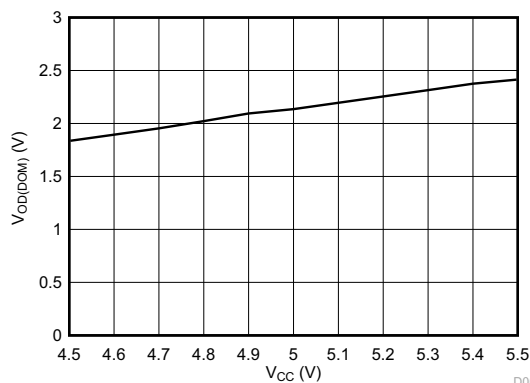


图 5-10. $V_{OD(DOM)}$ 与温度间的关系

 $V_{CC1} = 5V$ $C_L = \text{开路}$ $R_L = 60\ \Omega$

温度 = 25°C

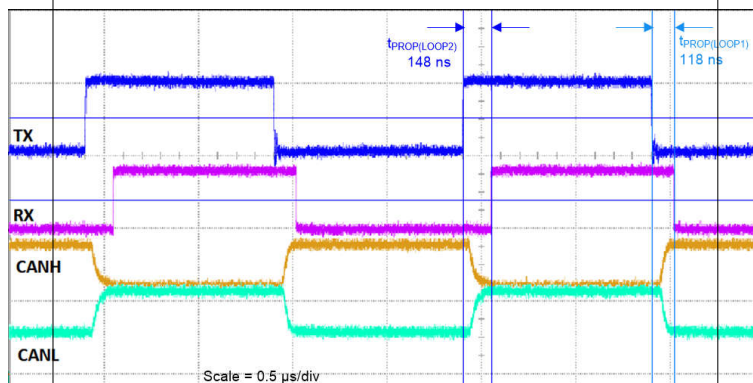
图 5-11. $V_{OD(DOM)}$ 与 V_{CC} 间的关系 $V_{CC1} = V_{CC2} = 5V$ $C_{L(RXD)} = 15pF$ $R_L = 60\ \Omega$ $C_L = 100pF$

图 5-12. 1Mbps 时的典型 TXD、RXD、CANH 和 CANL 波形

TXD = V_{CC1} $R_L = 60\ \Omega$ $V_{CC1} = V_{CC2} = 5V$ 图 5-13. V_{CC1} 上的无干扰上电 - CAN 总线保持隐性状态TXD = V_{CC1} $R_L = 60\ \Omega$ $V_{CC1} = V_{CC2} = 5V$ 图 5-14. V_{CC2} 上的无干扰上电 - CAN 总线保持隐性状态

6 参数测量信息

6.1 测试电路

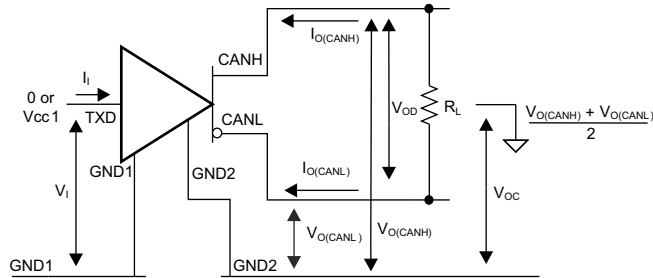


图 6-1. 驱动器电压、电流和测试定义

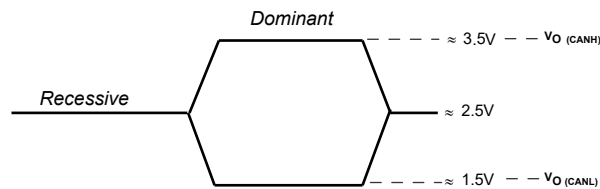
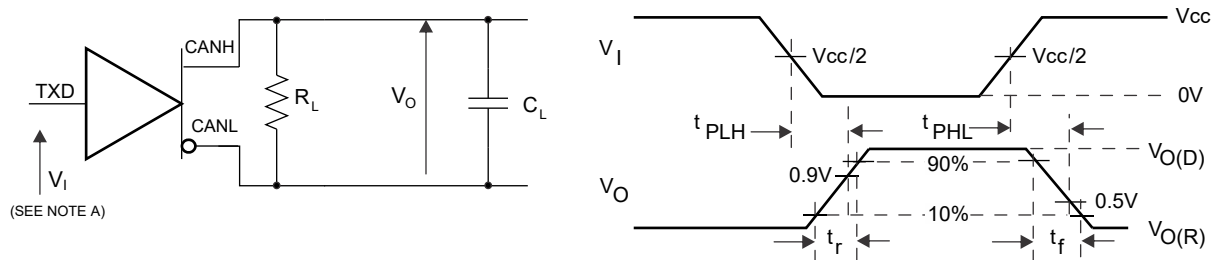


图 6-2. 总线逻辑状态电压定义



A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 125kHz，50% 占空比，tr ≤ 6ns，tf ≤ 6ns，ZO = 50 Ω。

图 6-3. 驱动器测试电路和电压波形

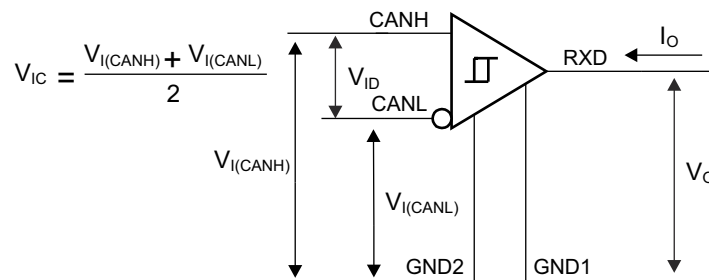
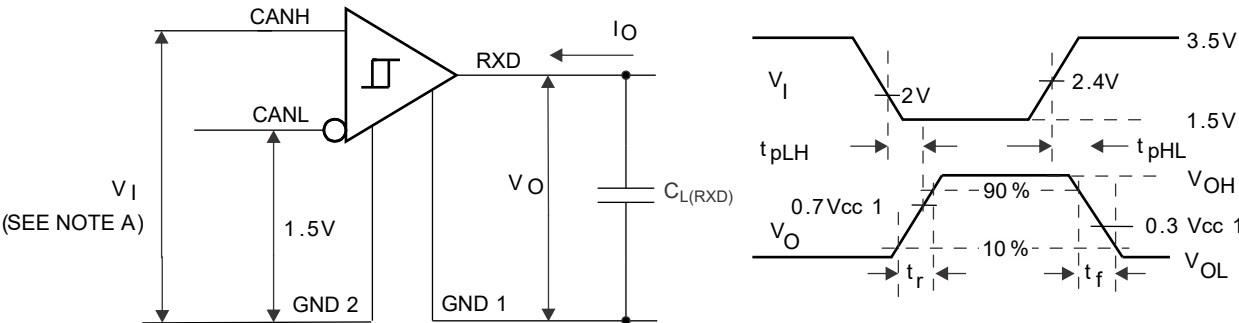


图 6-4. 接收器电压和电流定义



A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 125kHz，50% 占空比， $t_r \leq 6\text{ns}$ ， $t_f \leq 6\text{ns}$ ， $Z_O = 50\Omega$ 。

图 6-5. 接收器测试电路和电压波形

表 6-1. 接收器差分输入电压阈值测试

输入			输出	
V_{CANH}	V_{CANL}	$ V_{ID} $	RXD	
-29.5V	-30.5V	1000mV	L	V_{OL}
30.5V	29.5V	1000mV	L	
-19.55V	-20.45V	900mV	L	
20.45V	19.55V	900mV	L	
-19.75V	-20.25V	500mV	H	V_{OH}
20.25V	19.75V	500mV	H	
-29.8V	-30.2V	400mV	H	
30.2V	29.8V	400mV	H	
开路	开路	X	H	

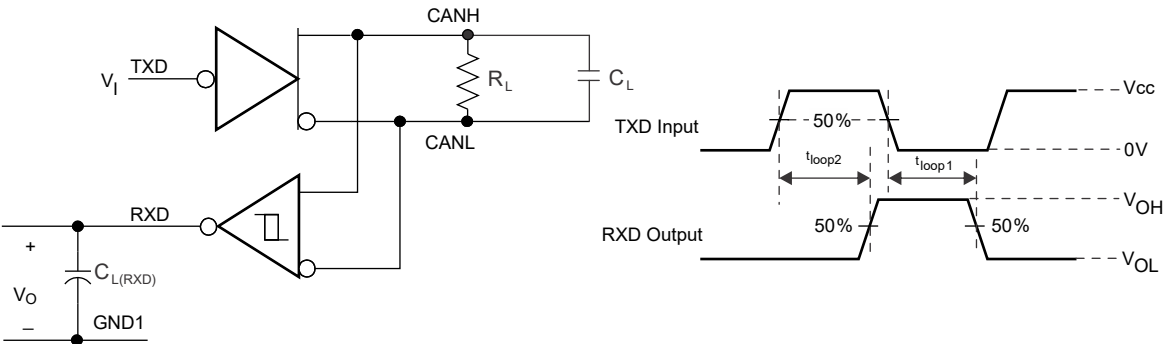


图 6-6. t_{LOOP} 测试电路和电压波形

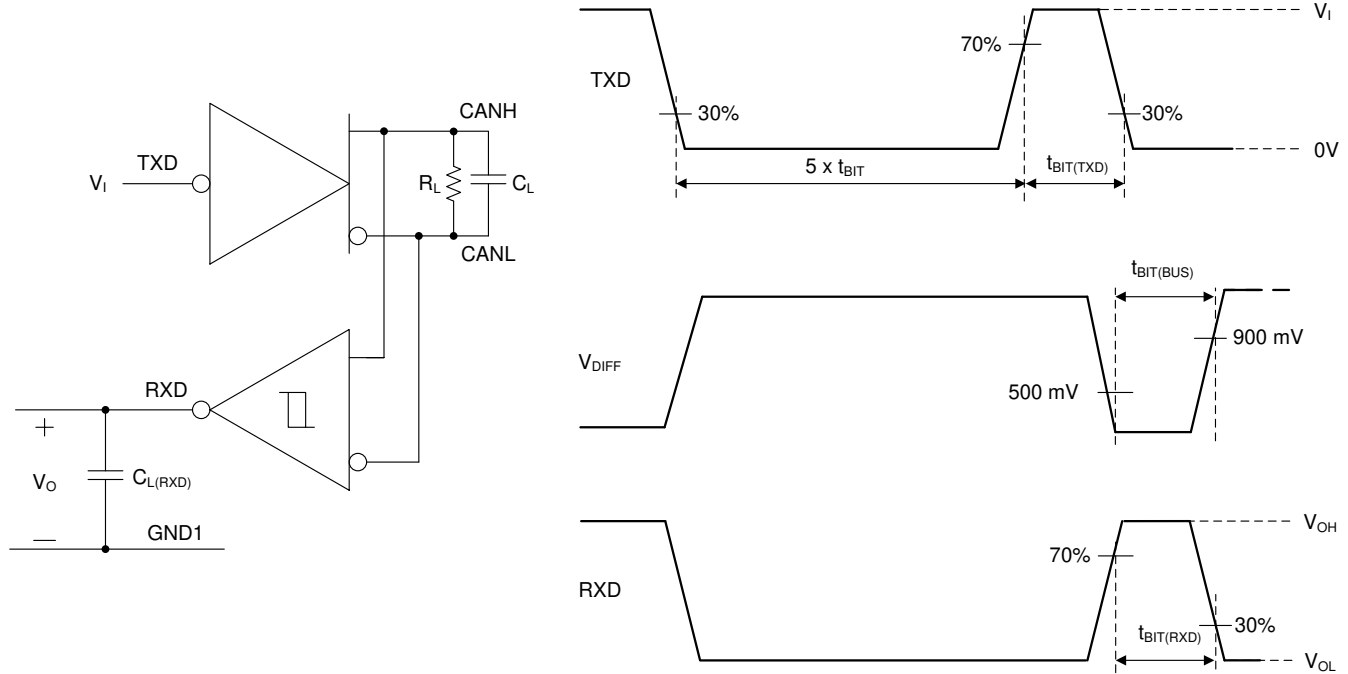
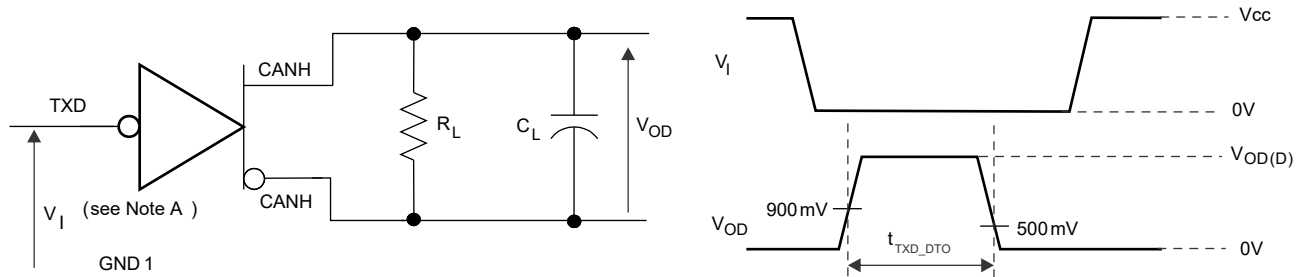


图 6-7. CAN FD 时序参数测量



A. 提供输入脉冲的发生器具有以下特性： $t_r \leq 6\text{ns}$ ， $t_f \leq 6\text{ns}$ ， $Z_0 = 50\Omega$ 。

图 6-8. 显性超时测试电路和电压波形

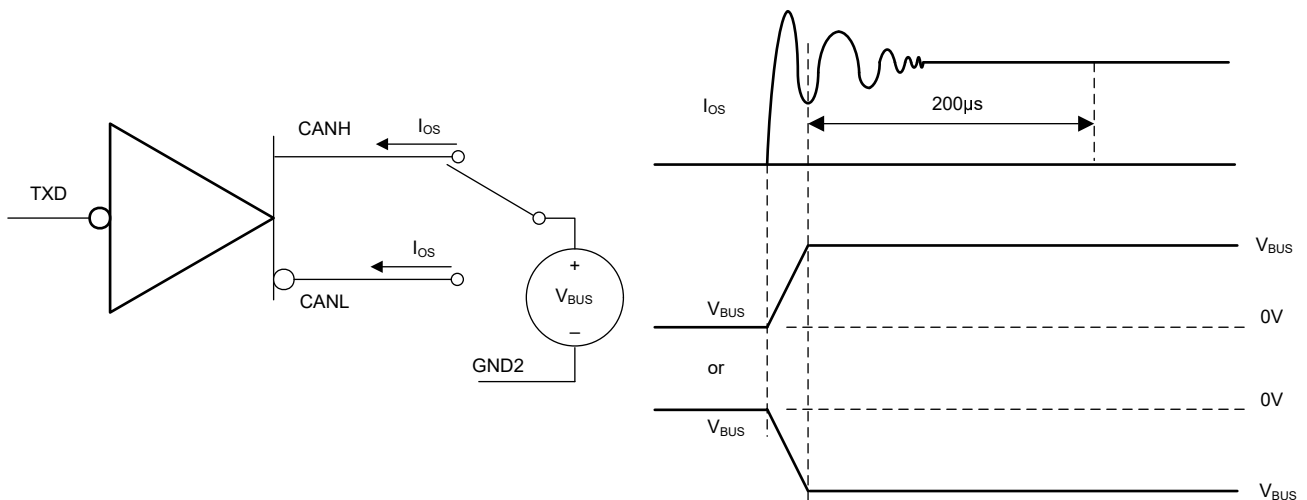


图 6-9. 驱动器短路电流测试电路和波形

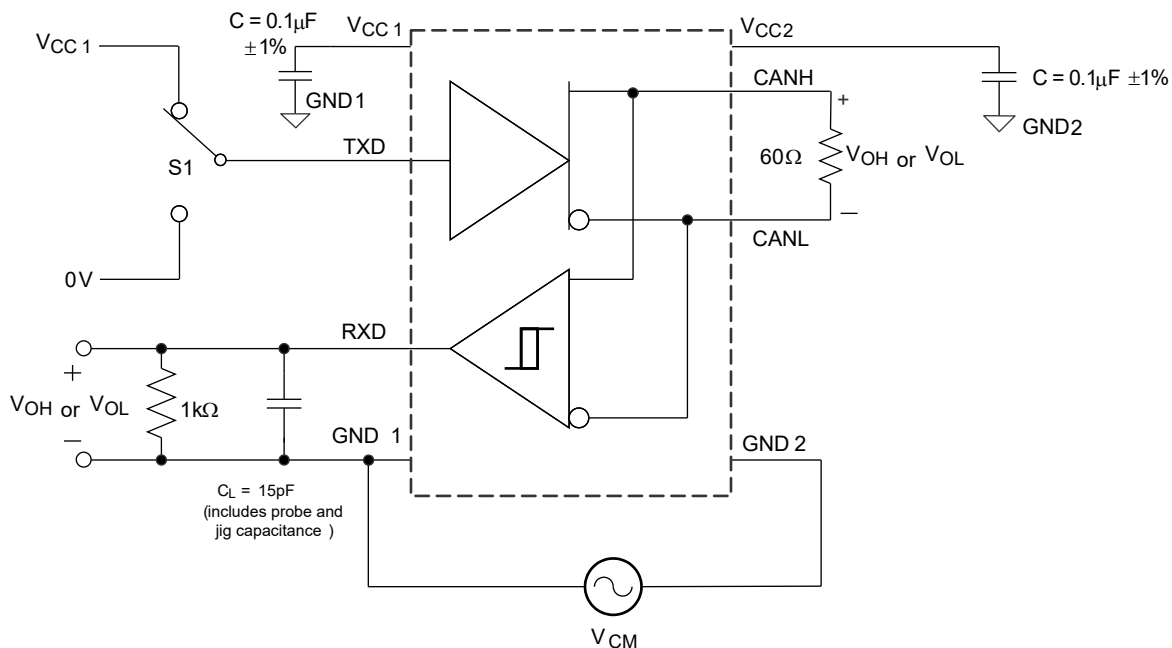


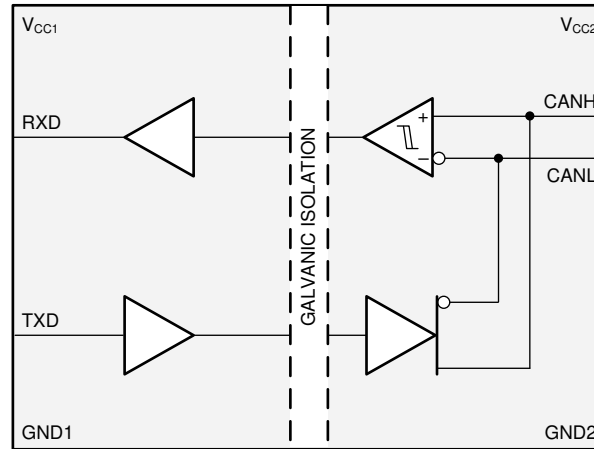
图 6-10. 共模瞬态抗扰度测试电路

7 详细说明

7.1 概述

ISO1042 器件是一个数字隔离式 CAN 收发器，提供 $\pm 70V$ 直流总线故障保护和 $\pm 30V$ 共模电压范围。该器件在 CAN FD 模式下最高支持 5Mbps 数据速率，与经典 CAN 相比可实现更快的负载传输。ISO1042 器件的隔离耐受电压为 $5000V_{RMS}$ ，提供基础型和增强型隔离，浪涌测试电压分别为 $6kV_{PK}$ 和 $10kV_{PK}$ 。该器件可由 1 侧的 1.8V、2.5V、3.3V 和 5V 电源和 2 侧的 5V 电源供电。该电源范围对于在恶劣工业环境中运行的应用尤其有利，因为 1 侧的低压电源支持连接到低压微控制器以实现省电，而 2 侧的 5V 电源则可以保持总线信号的高信噪比。

7.2 功能方框图



7.3 特性说明

7.3.1 CAN 总线状态

CAN 总线在运行期间有两种状态：显性和隐性。当总线由驱动器进行差分驱动时，总线处于显性状态，相当于逻辑低电平。当总线通过接收器的高阻内部输入电阻偏置到 $V_{CC}/2$ 共模电压时，总线处于隐性状态，相当于逻辑高电平。CAN 节点的主机微处理器使用 TXD 引脚来驱动总线，并在 RXD 引脚上接收总线数据。请参阅图 7-1 和图 7-2。

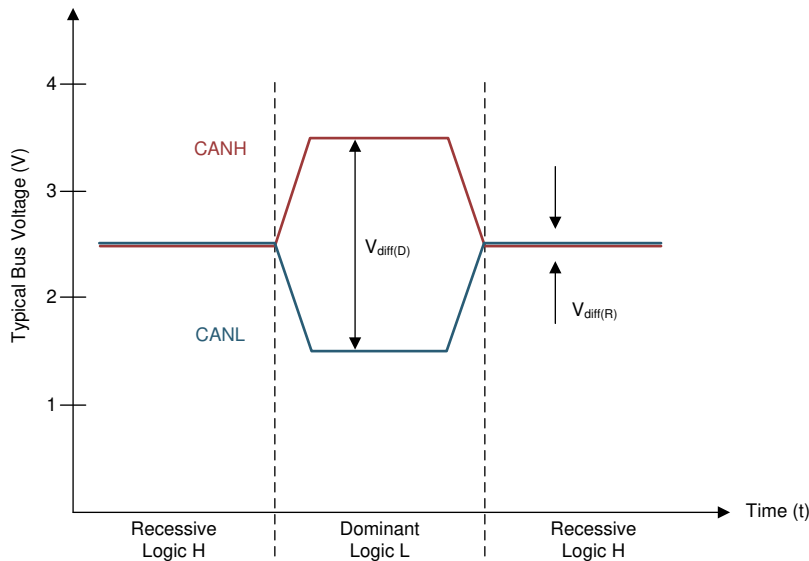


图 7-1. 总线状态 (物理位表示)

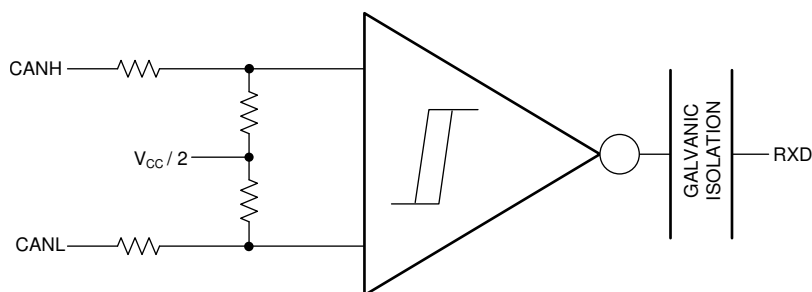


图 7-2. 简化的隐性共模偏置和接收器

7.3.2 数字输入与输出：TXD（输入）和 RXD（输出）

该器件隔离式数字输入和输出侧的 V_{CC1} 电源可由 1.8V、2.5V、3.3V 和 5V 电源供电，因此数字输入和输出兼容 1.8V、2.5V、3.3V 和 5V 逻辑电平。

备注

TXD 引脚以非常弱的强度在内部上拉至 V_{CC1} 。必须使用外部上拉电阻来确保 TXD 引脚偏置为隐性（高）电平，从而在微处理器不控制引脚且 TXD 引脚悬空时避免总线上出现问题。该器件与微处理器 CAN 控制器上的开漏 TXD 输出搭配使用时，需要特别注意 TXD 上拉强度和 CAN 位时序。必须使用足够大的外部上拉电阻，以确保微处理器的 TXD 输出为收发器上的输入保持足够的位时序输入。

7.3.3 保护特性

7.3.3.1 TXD 显性超时 (DTO)

TXD DTO 电路可防止收发器在发生硬件或软件故障（TXD 引脚保持显性状态的时间超过超时周期 t_{TXD_DTO} ）时阻塞网络通信。DTO 电路计时器从 TXD 引脚的下降沿开始计时。如果在超时周期结束前没有出现上升沿，DTO 电路将禁用 CAN 总线驱动器，从而释放总线，使网络上的其他节点能够进行通信。当 TXD 引脚出现隐性信号时，CAN 驱动器再次被激活，从而清除 TXD DTO 状态。在 TXD 显性超时期间，接收器和 RXD 引脚仍能反映 CAN 总线上的活动，并且总线端子被偏置为隐性电平。

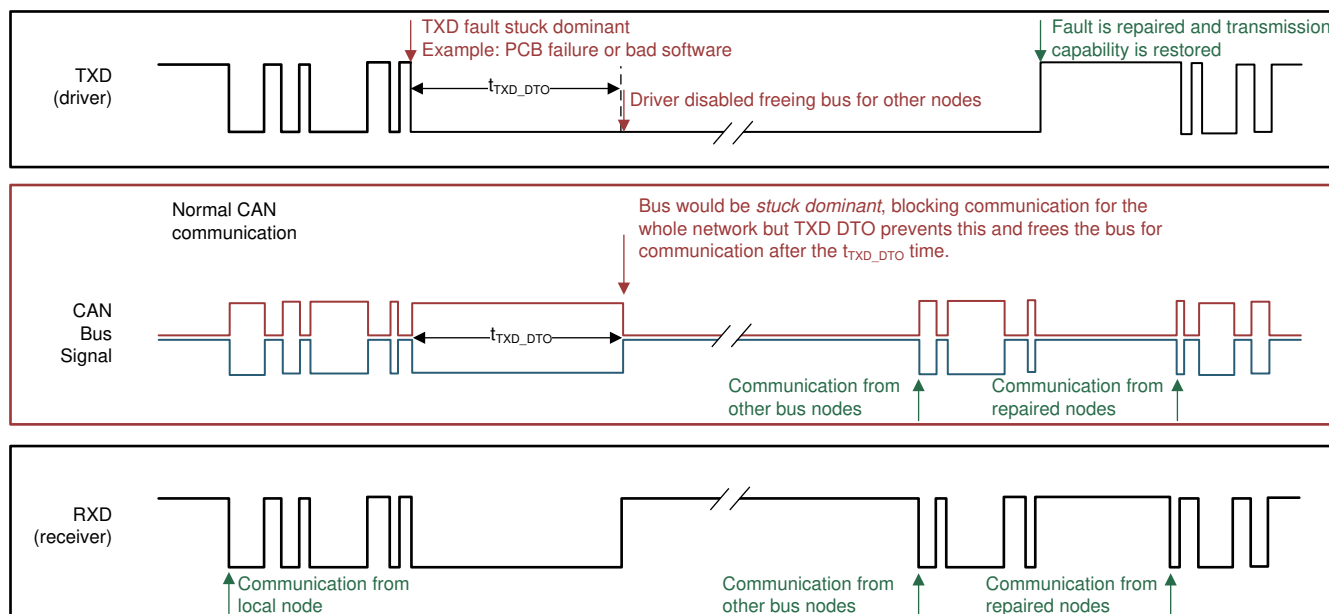


图 7-3. TXD DTO 的时序图示例

备注

TXD DTO 电路所允许的最短显性 TXD 时间 (t_{TXD_DTO}) 限制了器件的最低数据发送速率。CAN 协议允许 (TXD 上) 在最差情况下最多可有 11 个连续显性位, 其中 5 个连续显性位后面紧接一个错误帧。该条件与 t_{TXD_DTO} 最小值一同限制了最低数据速率。请用 [方程式 1](#) 计算最低数据发送速率。

$$\text{Minimum Data Rate} = 11 / t_{TXD_DTO} \quad (1)$$

7.3.3.2 热关断 (TSD)

如果该器件的结温超出热关断阈值 T_{TSD} , 该器件将关断 CAN 驱动器电路, 并阻断 TXD 到总线的传输路径。CAN 总线端子在热关断期间偏置为隐性电平, 接收器与 RXD 之间的路径保持畅通。当结温至少下降到低于器件热关断温度 (T_{TSD}) 的热关断迟滞温度 (T_{TSD_HYST}) 时, 关断条件将被清除。

7.3.3.3 欠压锁定和默认状态

电源引脚具有欠压检测功能, 可将器件置于受保护或默认模式, 从而在 V_{CC1} 或 V_{CC2} 电源引脚上发生欠压事件时保护总线。如果总线侧电源 V_{CC2} 低于大约 4V, ISO1042 器件中的电源关断电路将禁用收发器, 以防由于电源不稳定而导致误传输。在发生这种情况时, 如果 V_{CC1} 电源仍处于活动状态, 则接收器输出 (RXD) 将达到默认 HIGH (隐性) 值。[表 7-1](#) 总结了欠压锁定和失效防护行为。

表 7-1. 欠压锁定和默认状态

V_{CC1}	V_{CC2}	器件状态	总线输出	RXD
$> UV_{VCC1}$	$> UV_{VCC2}$	功能	各器件状态和 TXD	镜像总线
$< UV_{VCC1}$	$> UV_{VCC2}$	受保护	隐性	不确定
$> UV_{VCC1}$	$< UV_{VCC2}$	受保护	高阻态	隐性 (默认高电平)

备注

当欠压条件消失且电源恢复到有效电平后, 器件通常会在 300 μ s 内恢复正常运行。

7.3.3.4 悬空引脚

在关键引脚上必须使用上拉和下拉电阻, 以便在引脚悬空时将器件置于已知状态。当微处理器引脚输出悬空时, 必须通过一个电阻将 TXD 引脚上拉至 V_{CC1} 引脚, 以强制输入电平为隐性电平。

7.3.3.5 未供电设备

根据设计, 器件在未供电情况下对于 CAN 总线而言是理想无源器件或无负载。总线引脚 (CANH、CANL) 在器件未供电时具有极低的漏电流, 以免对总线施加负载, 这在网络中的某些节点未上电而其余节点仍在运行时至关重要。

7.3.3.6 CAN 总线短路电流限制

该器件具有两项保护功能, 可在 CAN 总线线路发生短路故障时限制短路电流。第一个保护功能是驱动器电流限制 (显性和隐性状态), 第二个功能是 TXD 显性状态超时, 可防止在系统故障期间显性状态的短路电流永久过高。在 CAN 通信期间, 总线会在显性与隐性状态之间切换, 因此, 可将短路电流视为这两种总线状态期间的瞬时电流或者视为这两种状态的平均电流。出于端接电阻和共模扼流器额定值中的系统电流 (电源) 和功率方面的考虑, 应使用平均短路电流。确定 CAN 帧中数据的显性位和隐性位的比率以及协议和 PHY 在特定时间强制为隐性或显性的以下因素:

- 通过设置位控制字段
- 位填充
- 帧间间隔
- TXD 显性超时 (故障情况限制)

这些因素确保总线上具有最短的隐性状态持续时间，即使数据字段包含很高的显性位百分比也如此。总线的短路电流取决于隐性位与显性位的比率以及相应的短路电流。使用[方程式 2](#) 计算平均短路电流。

$$I_{OS(AVG)} = \%Transmit \times [(\%REC_Bits \times I_{OS(SS)_REC}) + (\%DOM_Bits \times I_{OS(SS)_DOM})] + [\%Receive \times I_{OS(SS)_REC}] \quad (2)$$

其中

- $I_{OS(AVG)}$ 为平均短路电流
- $\%Transmit$ 为发送 CAN 报文的节点的百分比
- $\%Receive$ 为接收 CAN 报文的节点的百分比
- $\%REC_Bits$ 为发送的 CAN 报文中的隐性位百分比
- $\%DOM_Bits$ 为发送的 CAN 报文中的显性位百分比
- $I_{OS(SS)_REC}$ 为隐性稳态短路电流
- $I_{OS(SS)_DOM}$ 为显性稳态短路电流

备注

规划端接电阻和其他网络组件的功耗额定值时，需考虑短路电流以及可能的网络故障情况。

7.4 器件功能模式

[表 7-2](#) 和 [表 7-3](#) 列出了驱动器和接收器功能。[表 7-4](#) 列出了 ISO1042 器件的功能模式。

表 7-2. 驱动器功能表

输入	输出		驱动总线状态
	CANH ⁽¹⁾	CANL ⁽¹⁾	
L	H	L	显性
H	Z	Z	隐性

(1) H = 高电平，L = 低电平，Z = 共模（隐性）偏置到 $V_{CC}/2$ 。有关总线状态和共模偏置信息，请参阅[图 7-1](#) 和 [图 7-2](#)。

表 7-3. 接收器功能表

器件模式	CAN 差分输入 $V_{ID} = V_{CANH} - V_{CANL}$ ⁽³⁾	总线状态	RXD 引脚 ⁽¹⁾
正常	$V_{ID} \geq V_{IT(MAX)}$	显性	L
	$V_{IT(MIN)} < V_{ID} < V_{IT(MAX)}$	?	?
	$V_{ID} \leq V_{IT(MIN)}$	隐性	H
	开路 ($V_{ID} \approx 0V$)	开路	H

(1) H = 高电平，L = 低电平，? = 不确定。

表 7-4. 功能表

驱动器 ⁽¹⁾			接收器			
输入	输出		总线状态	差分输入 V _{ID} = CANH - CANL ⁽³⁾	输出 RXD	总线状态
TXD	CANH	CANL				
L ⁽²⁾	H	L	显性	V _{ID} ≥ V _{IT(MAX)}	L	显性
H	Z	Z	隐性	V _{IT(MIN)} < V _{ID} < V _{IT(MAX)}	?	?
开路	Z	Z	隐性	V _{ID} ≤ V _{IT(MIN)}	H	隐性
X	Z	Z	隐性	开路 (V _{ID} ≈ 0V)	H	隐性

(1) H = 高电平；L = 低电平；X = 不相关；? = 不确定；Z = 高阻抗

(2) 逻辑低电平脉冲，防止显性超时。

(3) 有关输入阈值，请参阅接收器电气特性部分。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

ISO1042 器件可与德州仪器 (TI) 的其他元件 (例如微控制器、变压器驱动器和线性稳压器) 搭配用于构建完全隔离式 CAN 接口。

8.2 典型应用

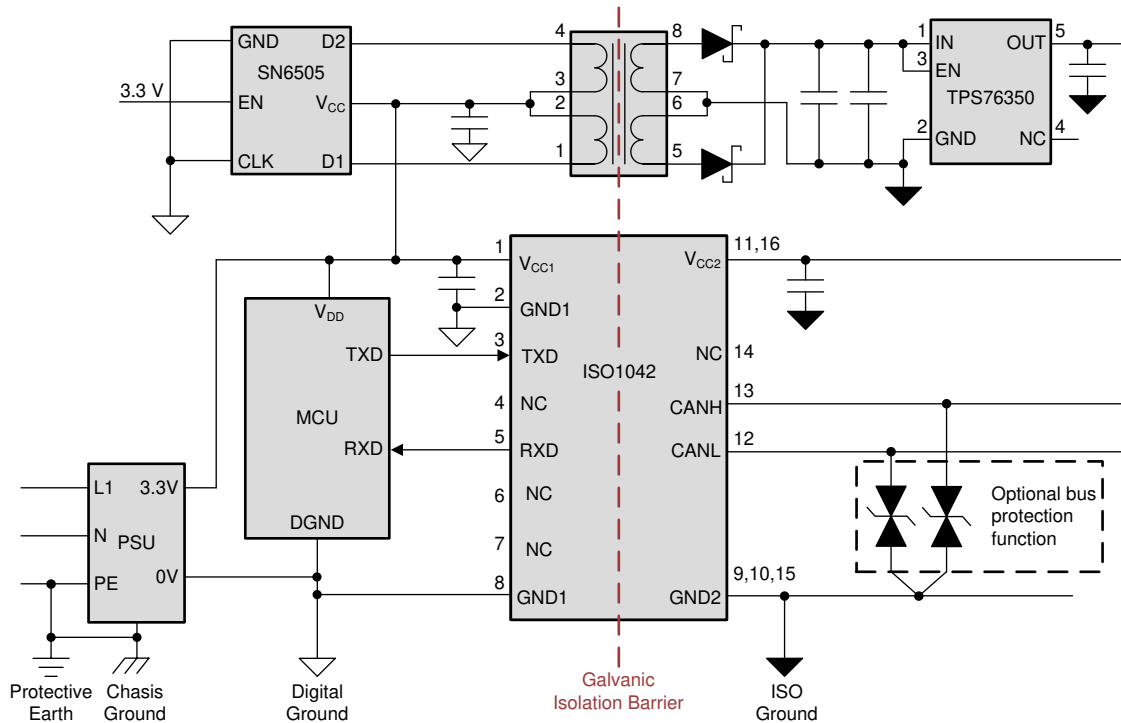


图 8-1. 采用 16-SOIC 封装 ISO1042 的应用电路

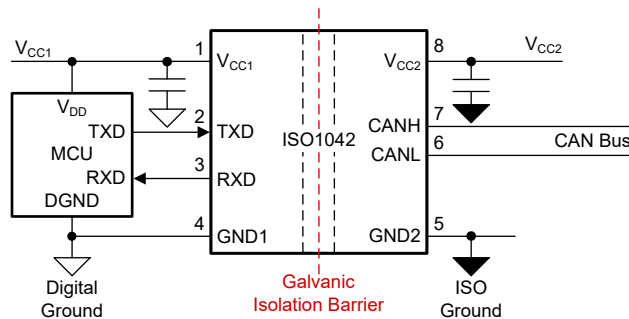


图 8-2. 采用 8-SOIC 封装 ISO1042 的应用电路

8.2.1 设计要求

不同于需要多个外部元件来提高性能、提供偏置或限制电流的光耦合器设计，ISO1042 器件只需外部旁路电容器即可工作。

8.2.2 详细设计过程

8.2.2.1 总线负载能力、长度和节点数

ISO 11898-2 标准规定最大总线长度为 40 米，最大桩线长度为 0.3 米。但是，如果设计得当，用户可以获得更长的总线电缆长度、桩线长度和更多的节点。如果节点数量较多，则需要具有高输入阻抗的收发器，例如 ISO1042 收发器。

许多 CAN 组织和标准已将 CAN 的使用范围扩展至原始 ISO 11898-2 标准之外的应用。这些组织和标准在系统层面对总线的的数据速率、电缆长度和寄生负载方面进行了权衡。这些规范的一些示例包括 ARINC825、CANopen、DeviceNet 和 NMEA2000。

ISO1042 器件经过规格设定，可在 50Ω 负载下满足 1.5V 的要求，这其中考虑了包括并联收发器在内的最坏情况。ISO1042 器件的差分输入阻抗至少为 $30k\Omega$ 。如果总线上并联了 100 个 ISO1042 收发器，则此要求等效于最坏情况下的 300Ω 差分负载。 300Ω 的收发器负载与 60Ω 并联后相当于 50Ω 负载。因此，ISO1042 器件理论上在单个总线段上支持多达 100 个收发器。但在 CAN 网络设计中，考虑到系统和电缆中的信号损失、寄生负载、网络失衡、接地偏移和信号完整性等问题，必须留有一定的裕度，因此实际的最大节点数通常会减少很多。此外，通过对系统设计和数据速率加以谨慎权衡，还可以使总线长度超过原始 ISO 11898 标准规定的 40 米。例如，CANopen 网络设计指南允许通过更改终端电阻和布线、减少节点数（少于 64 个）并显著降低数据速率，将网络扩展至 1km。

这种 CAN 网络设计灵活性是基于原始 ISO 11898-2 CAN 标准的各种扩展和附加标准的关键优势之一。利用这种灵活性需要良好的网络设计并平衡这些权衡因素。

8.2.2.2 CAN 端接

ISO11898 标准指定采用具有 120Ω 特性阻抗 (Z_0) 的单根双绞线电缆（屏蔽或非屏蔽）进行互连。电缆两端应必须用阻值等于线路特性阻抗的电阻进行端接以避免信号反射。连接节点与总线的无端接分支线（桩线）必须尽可能短，以便更最大限度地减少信号反射。端接可在节点中进行，但如果从总线上移除节点，则必须谨慎进行端接，以免将其从总线上移除。

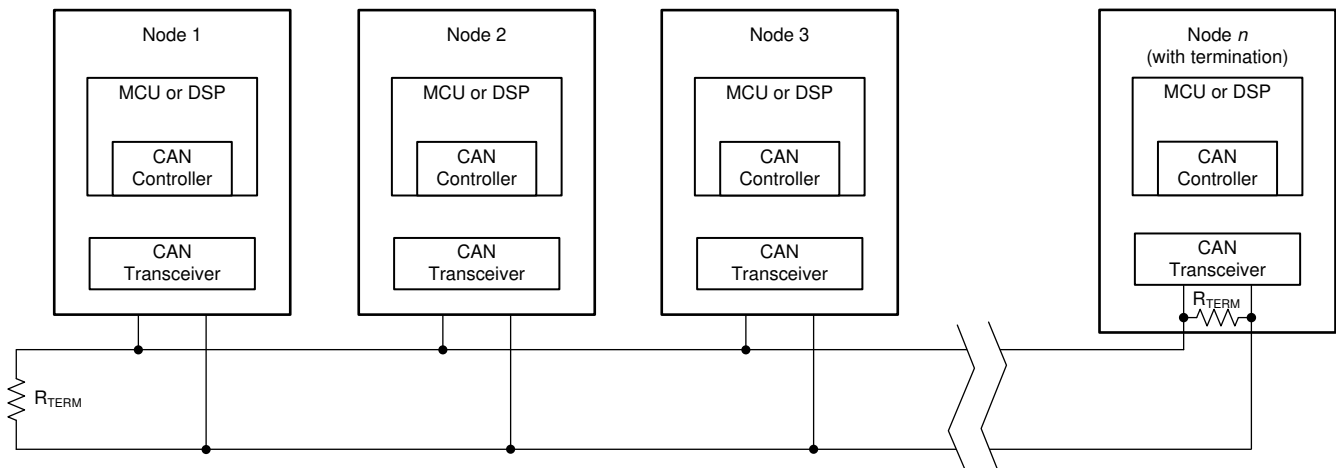


图 8-3. 典型 CAN 总线

总线末端可以采用单个 120Ω 电阻器进行端接，放在电缆上或端接节点中。如果总线的共模电压需要进行滤波和稳压，则可以采用分裂端接方式。（请参阅图 8-4）。分裂端接可消除开始和结束消息传输时出现的总线共模电压波动，从而改善网络的电磁辐射行为。

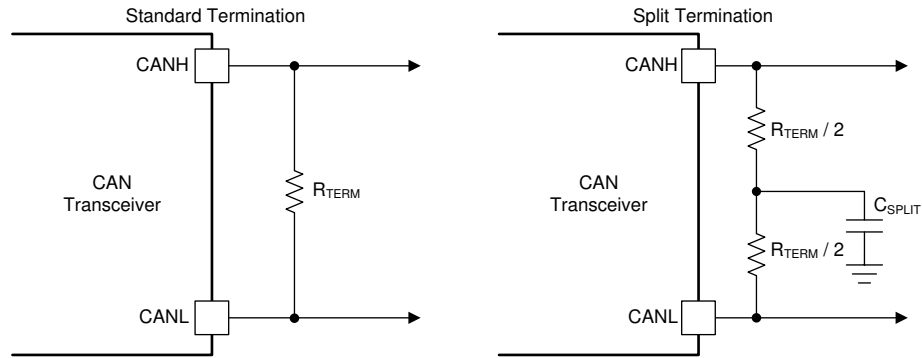


图 8-4. CAN 总线端接概念

8.2.3 应用曲线

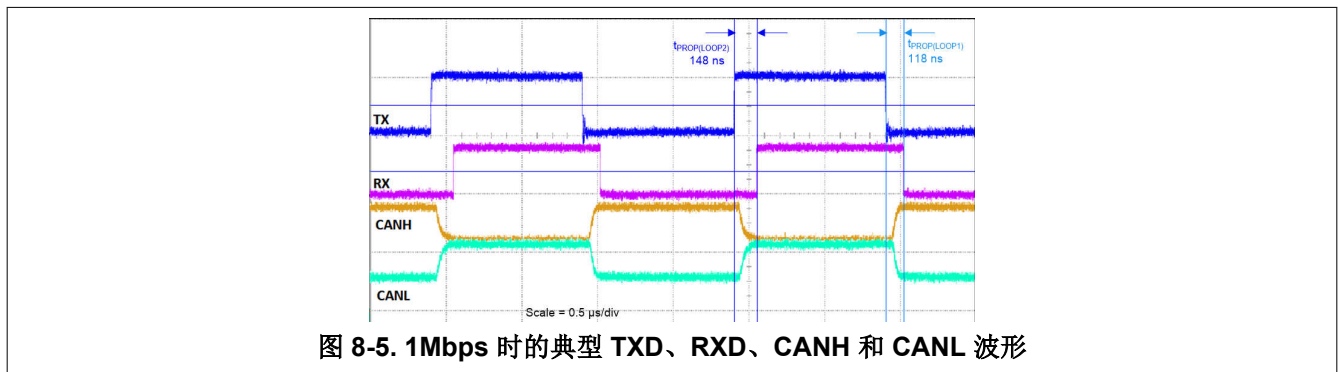


图 8-5. 1Mbps 时的典型 TXD、RXD、CANH 和 CANL 波形

8.2.3.1 绝缘寿命

绝缘寿命预测数据是使用业界通用的时间依赖性电介质击穿 (TDDb) 测试方法收集的。在该测试中，隔离栅两侧的所有引脚都连在一起，构成了一个双端子器件并在两侧之间施加高电压；对于 TDDb 测试设置，请参阅图 8-6。绝缘击穿数据是在开关频率为 60Hz 以及各种高电压条件下在整个温度范围内收集的。对于增强型绝缘，VDE 标准要求使用故障率小于 1 ppm 的 TDDb 预测线。尽管额定工作隔离电压条件下的预期最短绝缘寿命为 20 年，但是 VDE 增强认证要求工作电压具有额外 20% 的安全裕度，寿命具有额外 50% 的安全裕度，也就是说在工作电压高于额定值 20% 的条件下，所需的最短绝缘寿命为 30 年。

图 8-7 展示了隔离栅在其整个寿命期间承受高压应力的固有能力和 TDDb 数据，固有绝缘能力为 1060V_{RMS}，寿命为 275 年。其他因素，比如封装尺寸、污染等级、材料组等，均可能会进一步限制元件的工作电压。DW-16 的工作电压上限值可达 1060V_{RMS}。较低工作电压所对应的绝缘寿命远远超过 275 年。

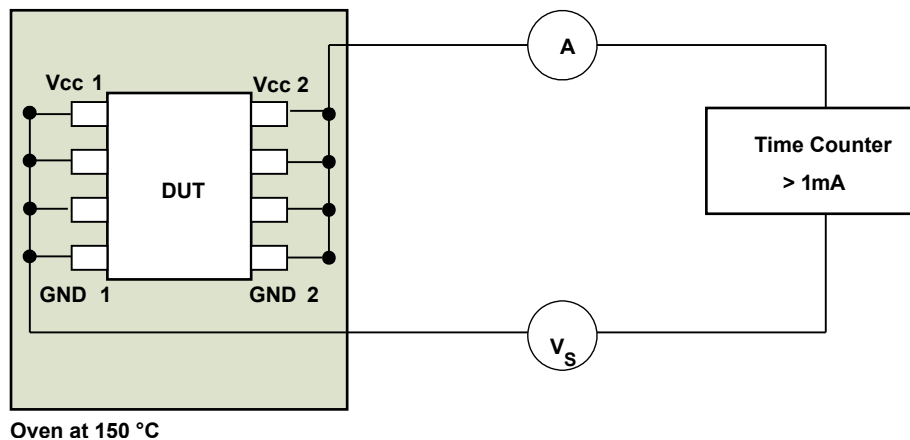


图 8-6. 绝缘寿命测量的测试设置

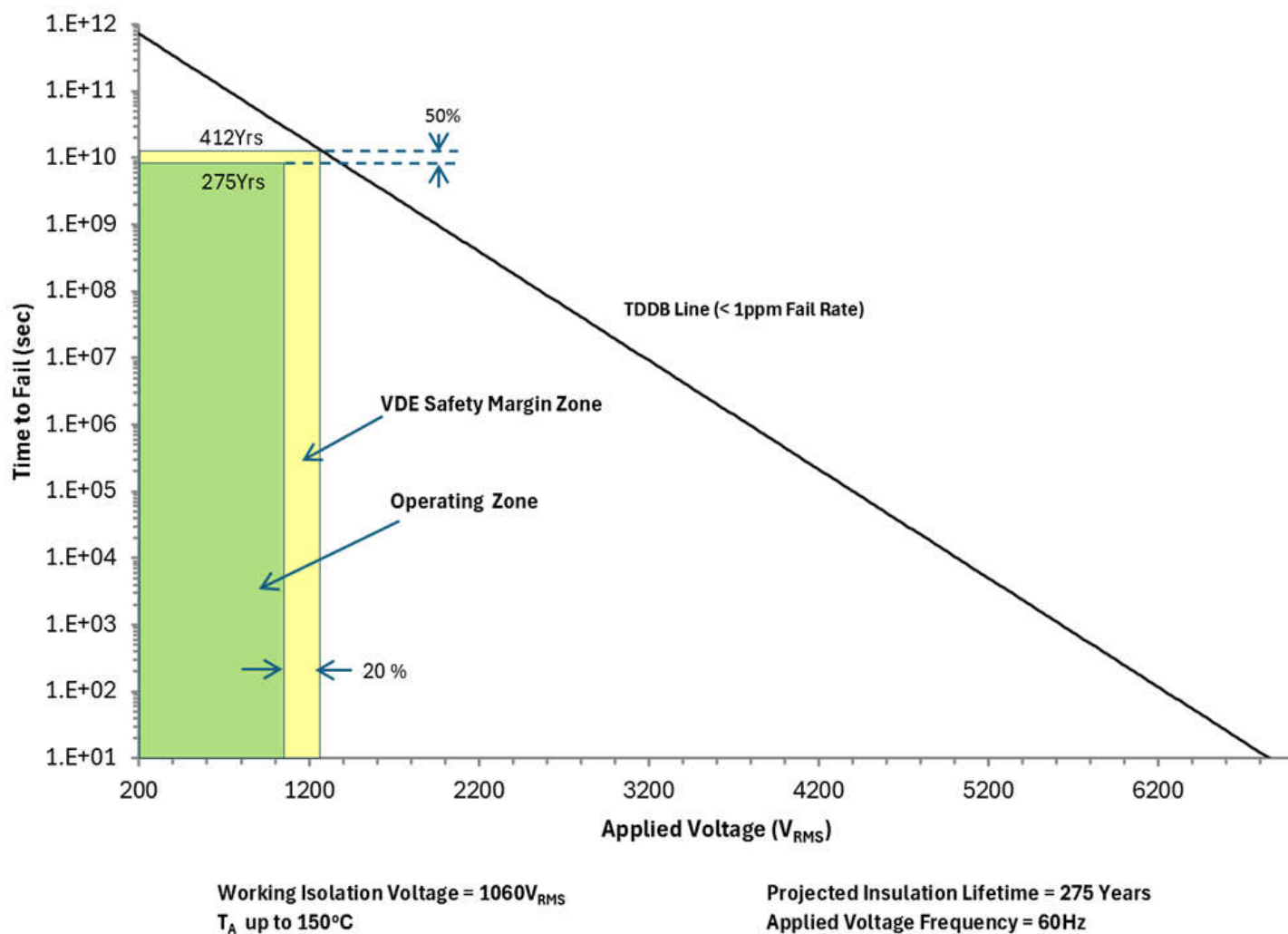


图 8-7. 绝缘寿命预测数据

8.3 DeviceNet 应用

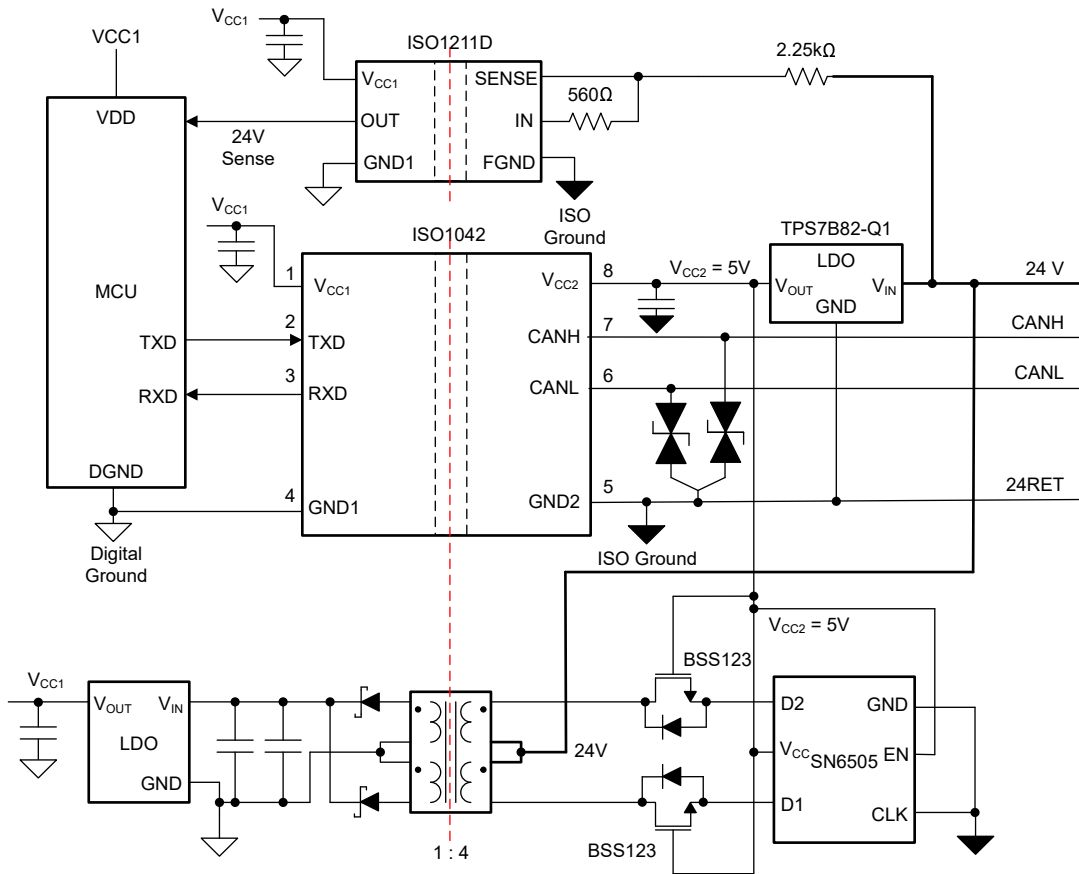


图 8-8. DeviceNet 应用中使用的 ISO1042、ISO1211 和 SN6505

图 8-8 显示了在 DeviceNet 应用中使用 ISO1042、ISO1211 和 SN6505 的应用电路。ISO1042 用于隔离 CAN 接口。ISO1211 24V 数字输入接收器用于检测是否存在 24V 场电源。SN6505 推挽式变压器驱动器用于为使用 24V 场电源的微控制器侧创建辅助隔离式电源。

8.4 电源相关建议

为确保在所有数据速率和电源电压条件下可靠运行，建议将 **0.1μF** 旁路电容器放置在输入和输出电源引脚（**V_{CC1}** 和 **V_{CC2}**）处。该电容必须尽量靠近电源引脚放置。此外，必须在 **V_{CC2}** 电源引脚附近放置一个大容量电容（通常为 **4.7 μF**）。如果应用中只有单个初级侧电源，则可以借助 TI 的 **SN6505B** 等变压器驱动器为次级侧生成隔离式电源。[适用于隔离式电源的 SN6505 低噪声 1A 变压器驱动器数据表](#) 中为此类应用提供了详细的电源设计以及变压器选择建议。

8.5 布局

8.5.1 布局指南

至少需要四层才能实现低 EMI PCB 设计 (请参阅[建议的层堆叠](#))。层堆叠必须符合以下顺序 (从上到下) : 高速信号层、接地平面、电源平面和低频信号层。

- 在顶层布置高速走线可避免使用过孔（及其引入的电感），并在隔离器与数据链路的发送器和接收器电路之间实现可靠互连。
- 通过在高速信号层旁边放置一个实心接地层，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。
- 靠近接地层放置电源层会额外产生大约 100pF/in^2 的高频旁路电容。

- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

ISO1042 旁路电容器和可选 TVS 二极管的建议布局和布线如图 8-10 和图 8-11 所示。特别是, 将 V_{CC2} 旁路电容器放置在顶层尽可能靠近器件引脚的位置, 并在不使用过孔的情况下完成与 V_{CC2} 和 G_{ND2} 引脚的连接。请注意, SOIC-16 型号需要两个 V_{CC2} 旁路电容器, 每个 V_{CC2} 引脚上各一个。

如果需要额外的电源电压层或信号层，请在堆叠中添加另一个电源层或接地层系统，以使这些层保持对称。这样可使栈保持机械稳定并防止其翘曲。此外，每个电源系统的电源和接地层可以放置得更靠近彼此，从而显著增大高频旁路电容。

有关详细的布局建议，请参阅[数字隔离器设计指南](#)。

8.5.1.1 PCB 材料

对于运行速度低于 150Mbps (或上升和下降时间大于 1ns) 且布线长度达 10 英寸的数字电路板, 请使用标准 FR-4 UL94V-0 印刷电路板。该 PCB 在高频下具有较低的电介质损耗、较低的吸湿性、较高的强度和刚度以及自熄性可燃性特征, 因而优于成本更低的替代产品。

8.5.2 布局示例

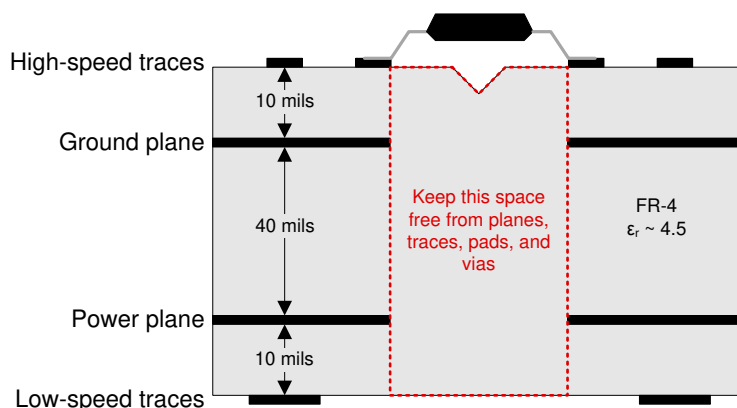


图 8-9. 建议的层堆叠

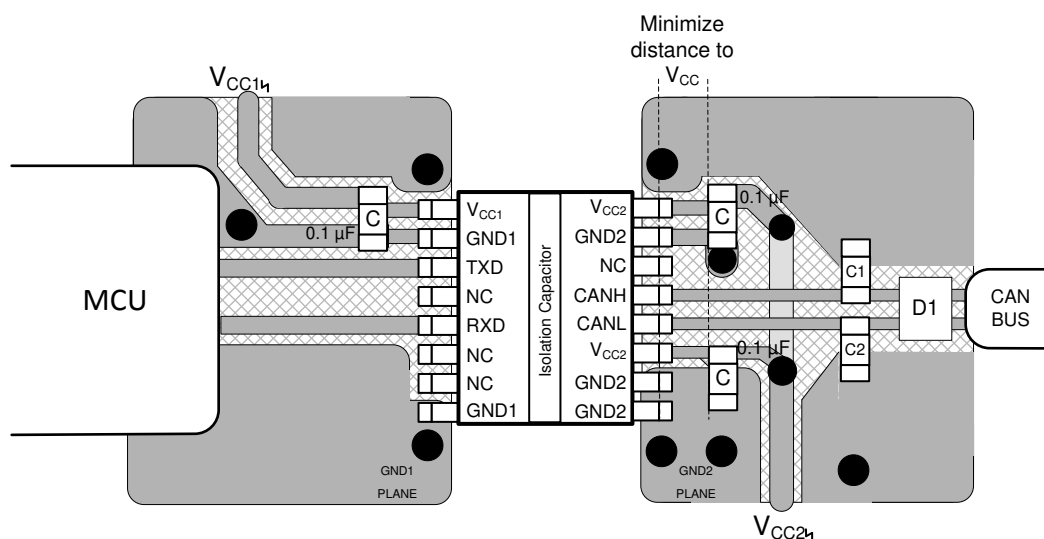


图 8-10. 16-DW 布局示例

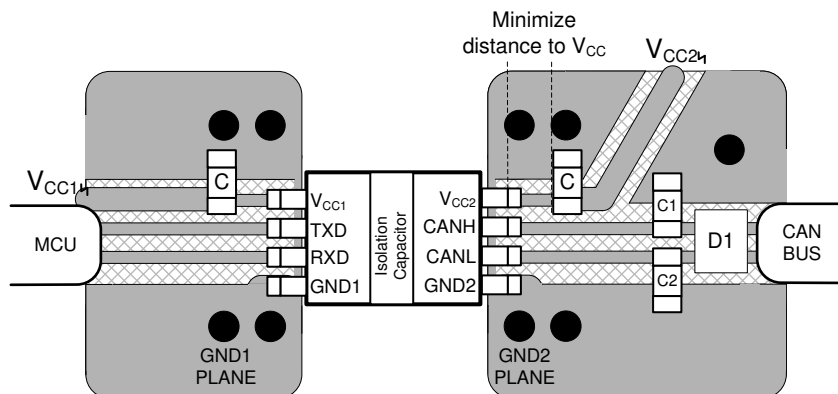


图 8-11. 8-DWV 布局示例

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [数字隔离器设计指南](#)
- 德州仪器 (TI), [ISO1042DW 隔离 CAN 收发器评估模块 用户指南](#)
- 德州仪器 (TI), [在不影响性能或占用空间的情况下隔离 CAN 系统 应用简报](#)
- 德州仪器 (TI), [隔离相关术语](#)
- 德州仪器 (TI), [高压增强型隔离：定义和测试方法 营销白皮书](#)
- 德州仪器 (TI), [如何在隔离式 CAN 系统中隔离信号和电源 应用简报](#)
- 德州仪器 (TI), [如何设计具有正确总线保护功能的隔离式 CAN 系统 应用手册](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (October 2019) to Revision F (August 2026)	Page
• 通篇更新了器件认证信息.....	1
• 将 绝缘规格 部分中的最大隔离工作电压从 1,500 更新为 2,121V _{DC}	7
• 更新了 绝缘规格 部分中 V _{IOSM} 的测试条件.....	7
• 更新了 绝缘规格 部分中的 q _{pd} 方法 b1 测试条件.....	7
• 将 绝缘规格 部分中的 ISO1042 最大浪涌隔离电压从 6,250 更新为 10,000V _{PK}	7
• 将 绝缘规格 部分中的 ISO1042B 最大浪涌隔离电压从 4,615 更新为 6,000V _{PK}	7
• 更新了 安全相关认证 部分中的证书信息.....	8
• 添加了 绝缘寿命 部分和 绝缘寿命预测数据图	25

Changes from Revision D (October 2018) to Revision E (October 2019)	Page
• 更改了新的安全认证.....	1

Changes from Revision C (September 2018) to Revision D (October 2018)	Page
• 添加了 ISO1042-Q1 链接.....	1

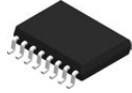
Changes from Revision B (July 2018) to Revision C (September 2018)	Page
• 初始发行版.....	1

Changes from Revision A (May 2018) to Revision B (July 2018)	Page
• 在 16-DW 布局示例中增加了 GND2 平面的尺寸，并将 NC 引脚更改为 GND2.....	28

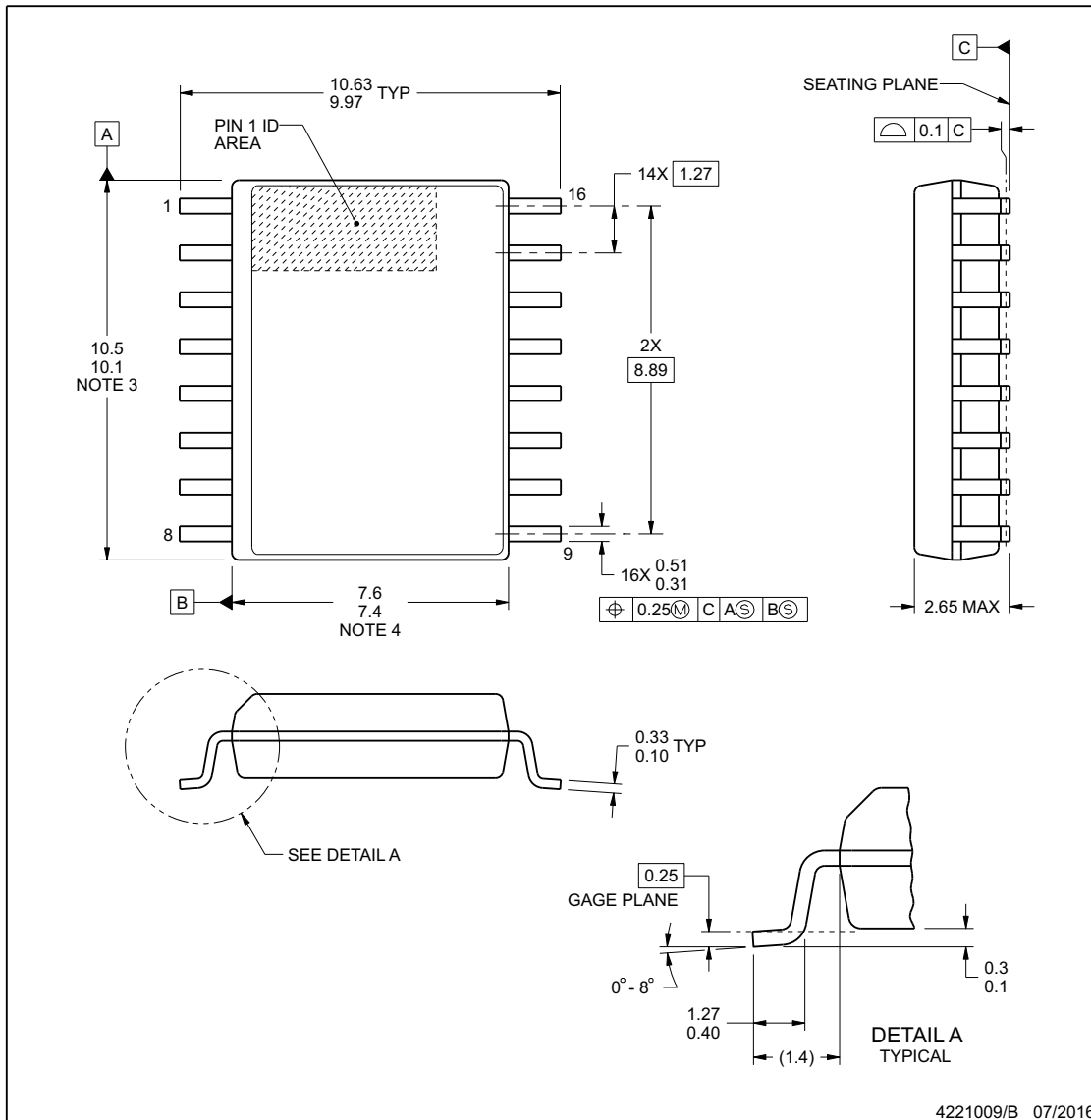
Changes from Revision * (December 2017) to Revision A (May 2018)	Page
• 将引脚 10 从 NC 更改为 GND2.....	2

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical packaging and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this datasheet, refer to the left-hand navigation.

**DW0016B**
PACKAGE OUTLINE
SOIC - 2.65 mm max height

SOIC

**NOTES:**

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

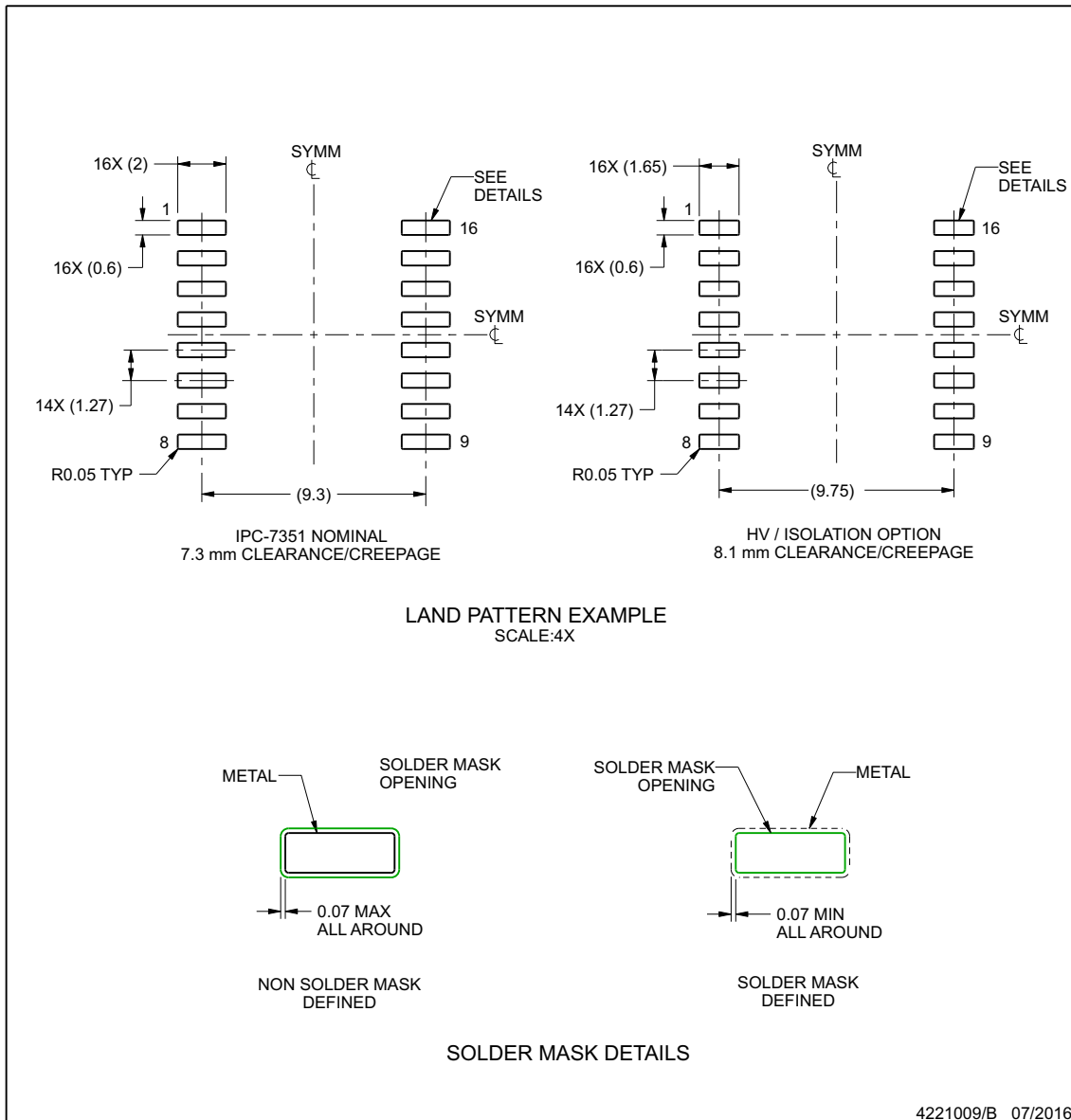
www.ti.com

EXAMPLE BOARD LAYOUT

DW0016B

SOIC - 2.65 mm max height

SOIC



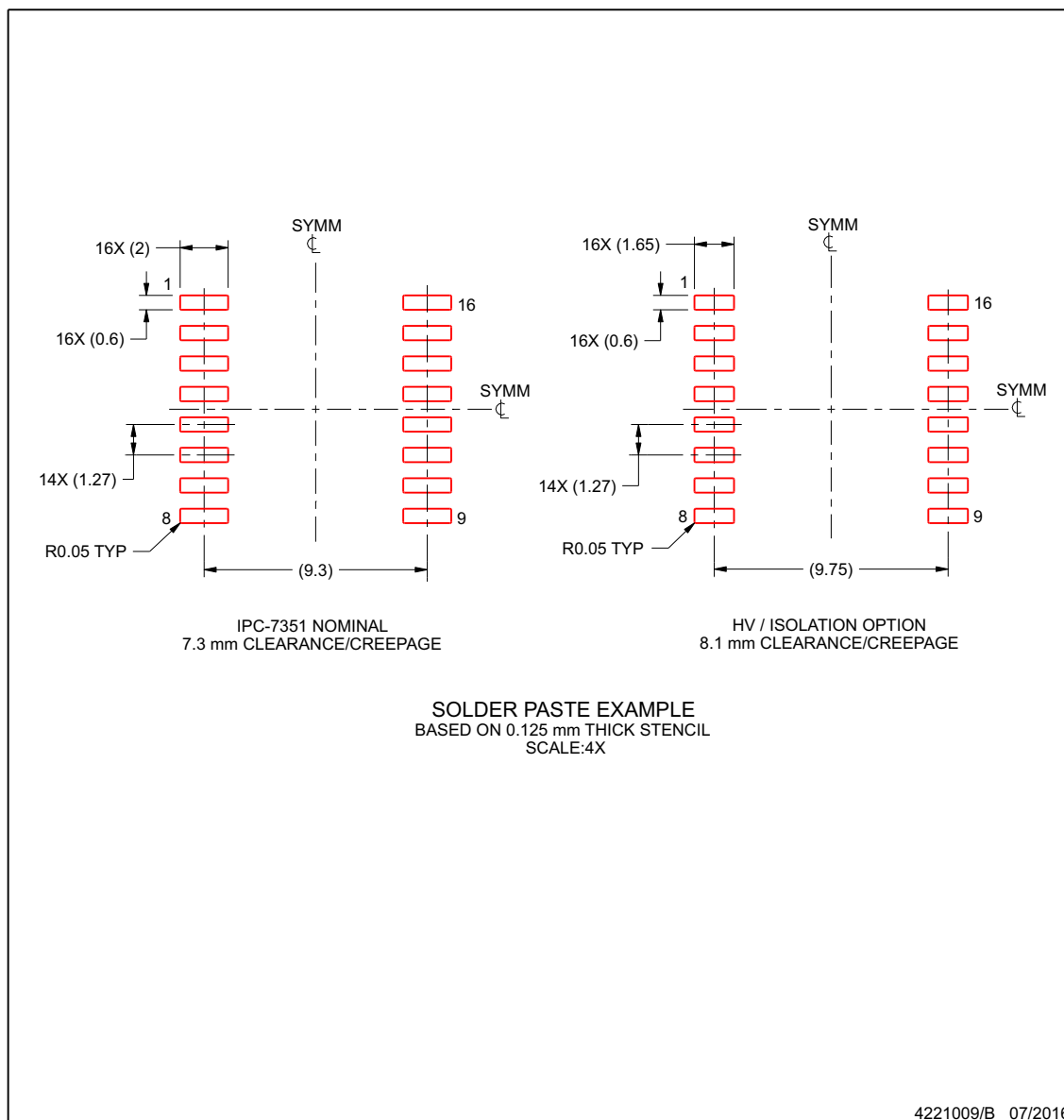
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

www.ti.com

EXAMPLE STENCIL DESIGN**DW0016B****SOIC - 2.65 mm max height**

SOIC



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

www.ti.com

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO1042BDW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042BDW.A	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042BDWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042BDWR.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042BDWV	Active	Production	SOIC (DWV) 8	64 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042BDWV.A	Active	Production	SOIC (DWV) 8	64 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042BDWVR	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042BDWVR.A	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042B
ISO1042DW	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DW.A	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWR	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWR.A	Active	Production	SOIC (DW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWV	Active	Production	SOIC (DWV) 8	64 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWV.A	Active	Production	SOIC (DWV) 8	64 TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWVR	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWVR.A	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWVRG4	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042
ISO1042DWVRG4.A	Active	Production	SOIC (DWV) 8	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO1042

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISO1042 :

- Automotive : [ISO1042-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

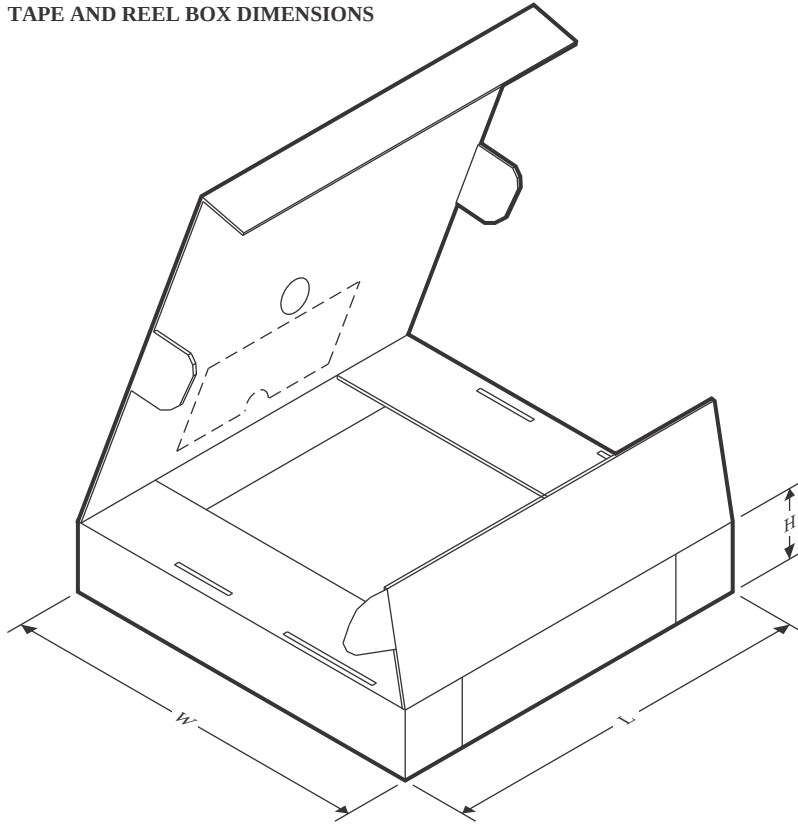
TAPE AND REEL INFORMATION



*All dimensions are nominal

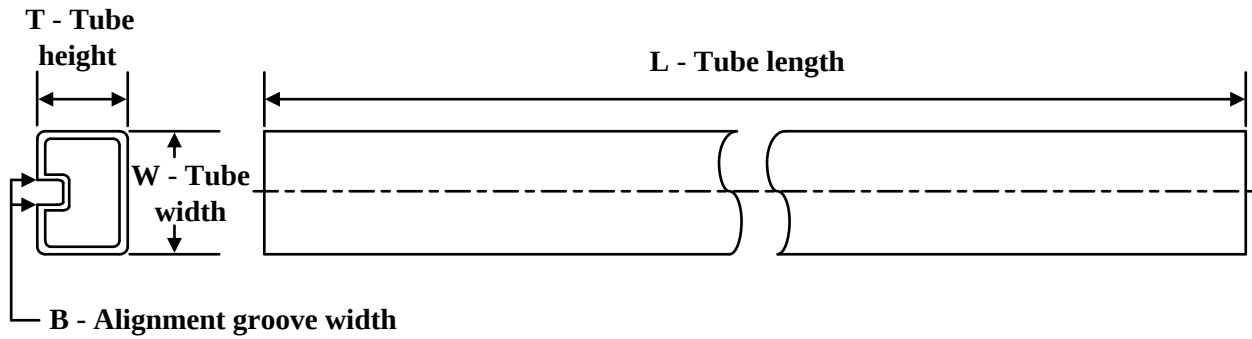
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO1042BDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO1042BDWVR	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
ISO1042DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO1042DWVR	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
ISO1042DWVRG4	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO1042BDWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO1042BDWVR	SOIC	DWV	8	1000	350.0	350.0	43.0
ISO1042DWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO1042DWVR	SOIC	DWV	8	1000	350.0	350.0	43.0
ISO1042DWVRG4	SOIC	DWV	8	1000	350.0	350.0	43.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
ISO1042BDW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1042BDW.A	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1042BDWV	DWV	SOIC	8	64	505.46	13.94	4826	6.6
ISO1042BDWV.A	DWV	SOIC	8	64	505.46	13.94	4826	6.6
ISO1042DW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1042DW.A	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO1042DWV	DWV	SOIC	8	64	505.46	13.94	4826	6.6
ISO1042DWV.A	DWV	SOIC	8	64	505.46	13.94	4826	6.6

GENERIC PACKAGE VIEW

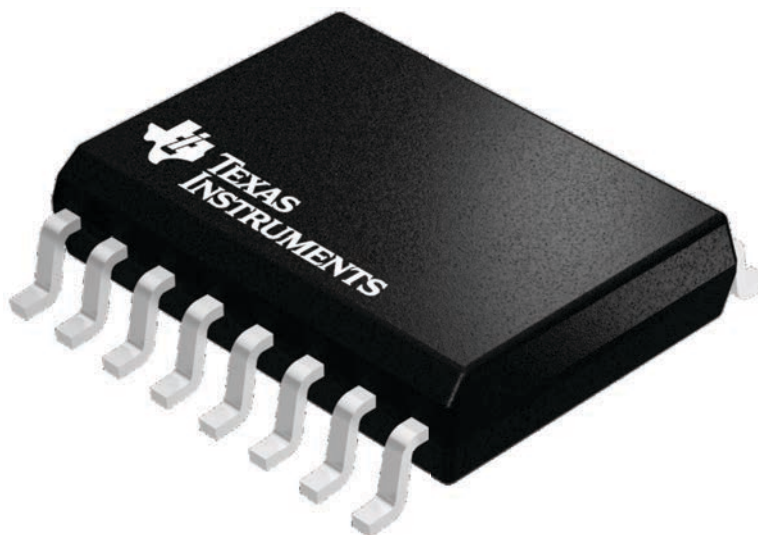
DW 16

SOIC - 2.65 mm max height

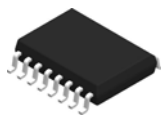
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

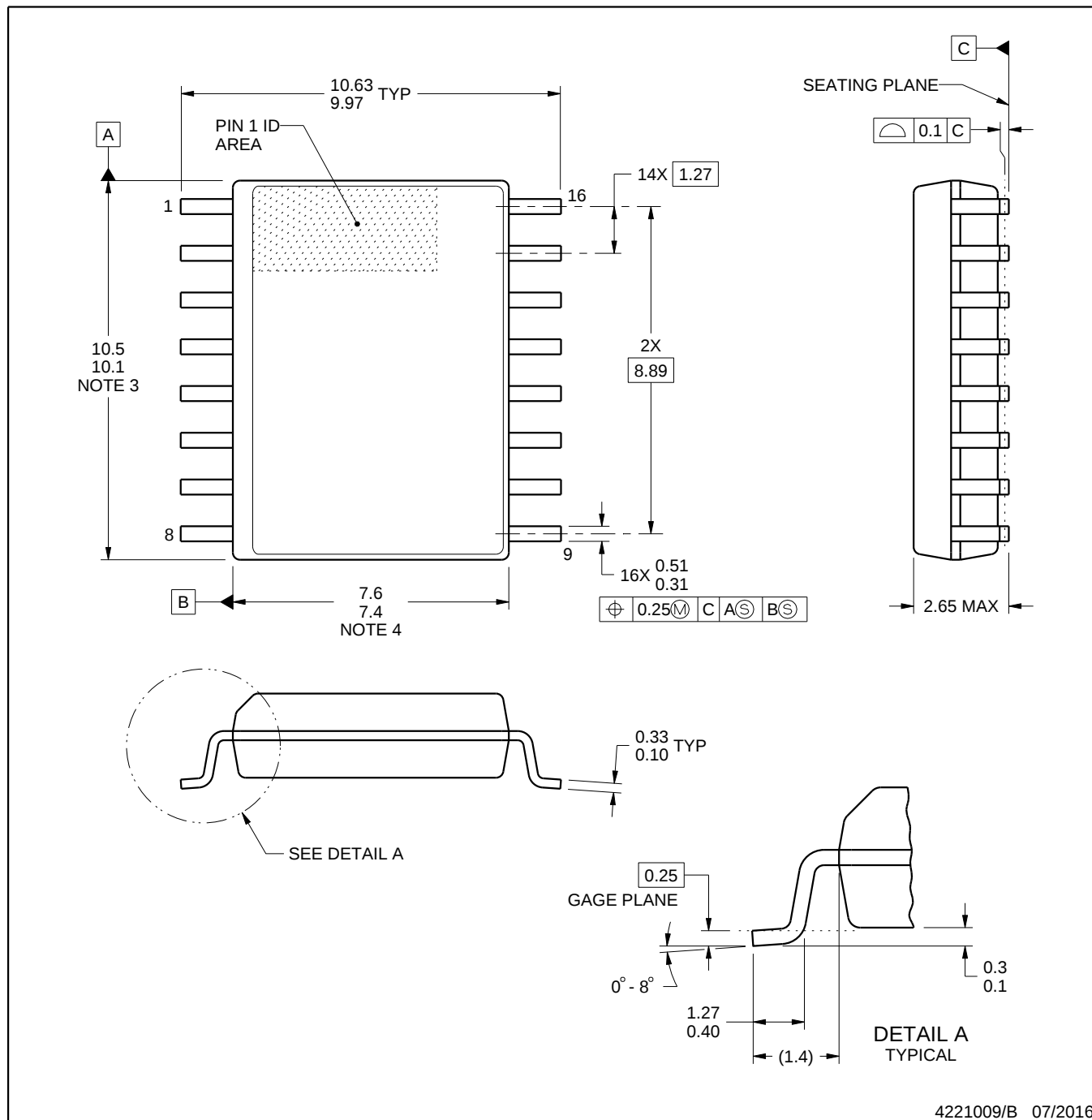


DW0016B

PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4221009/B 07/2016

NOTES:

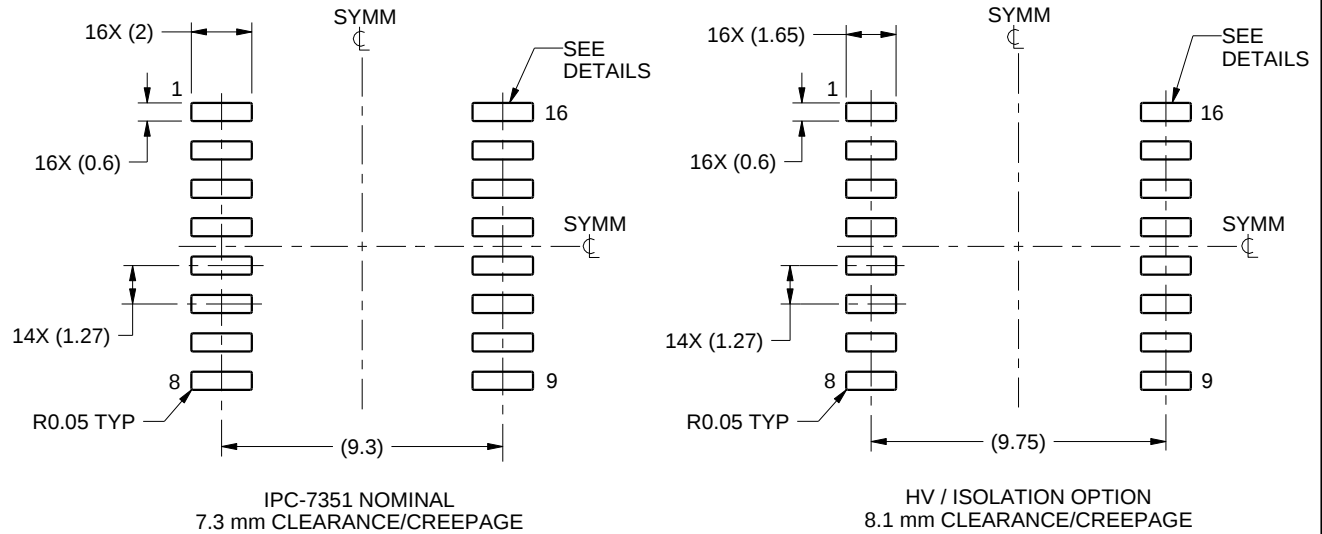
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

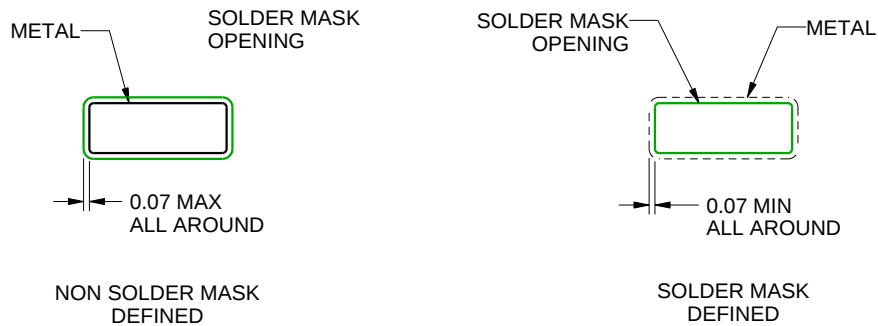
DW0016B

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:4X



SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

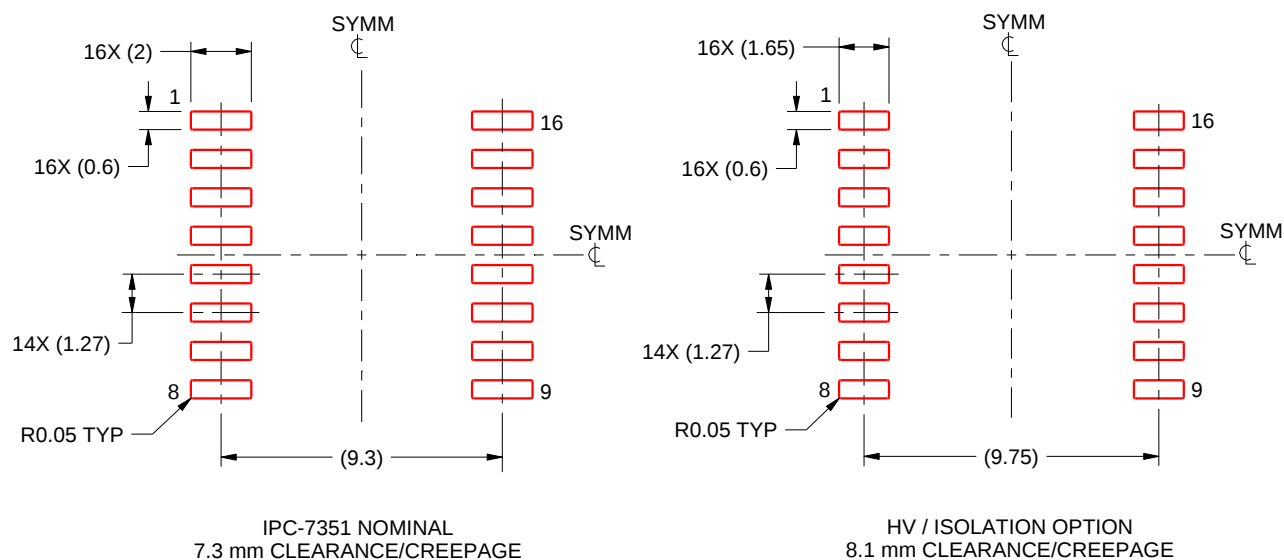
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

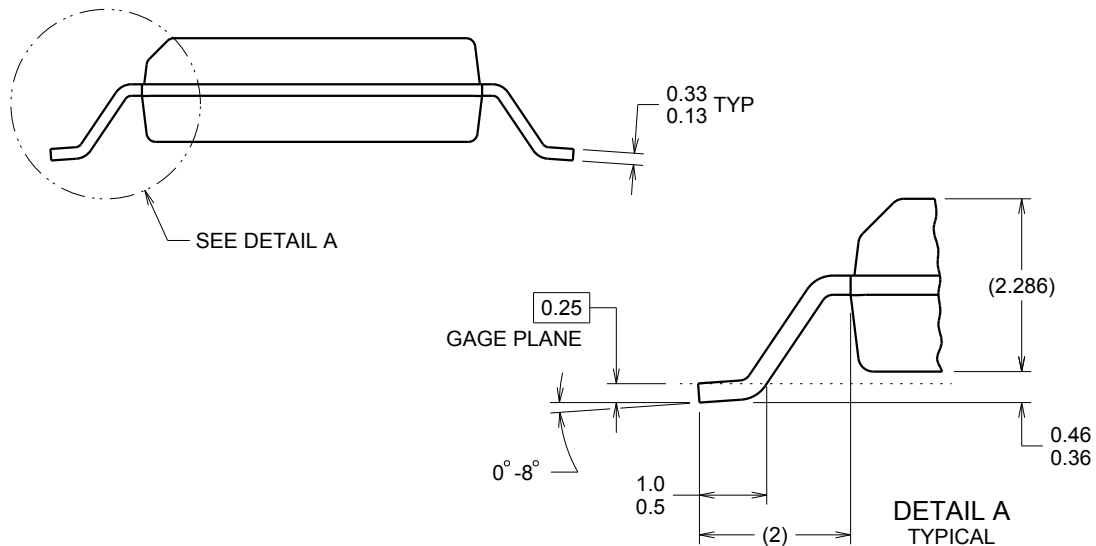
4221009/B 07/2016

NOTES: (continued)

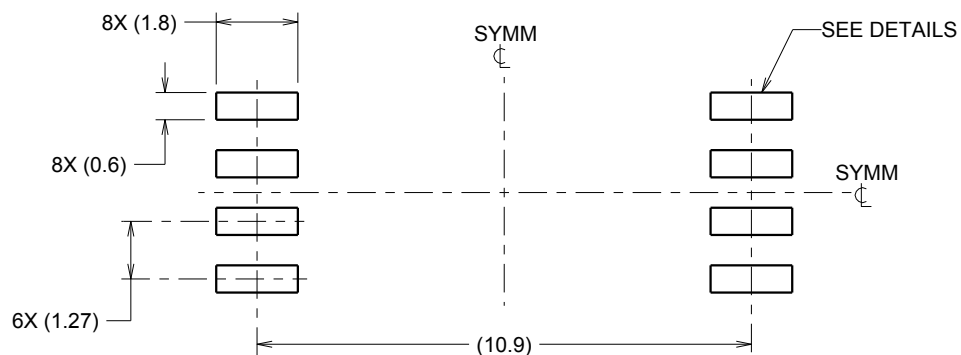
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

SOIC - 2.8 mm max height

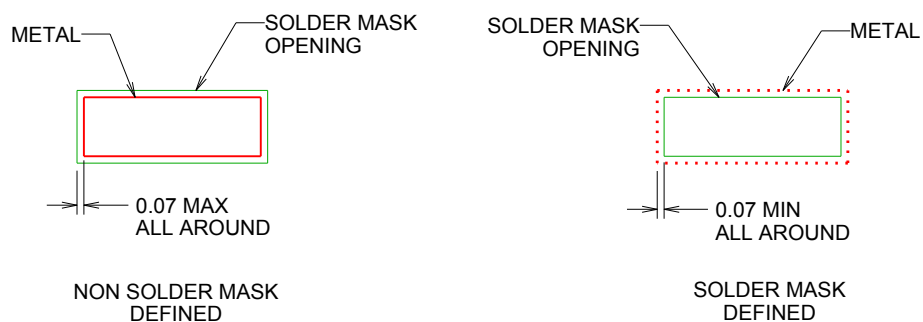
PIN 1 ID AREA
 11.5 ± 0.25 TYP
 5.95
 5.75
 NOTE 3
 1
 4
 8
 5
 6X 1.27
 2X 3.81
 8X 0.51
 0.31
 7.6
 7.4
 NOTE 4
 A
 B
 SEATING PLANE
 0.1 C
 2.8 MAX
 C
 A
 B
 S



1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X

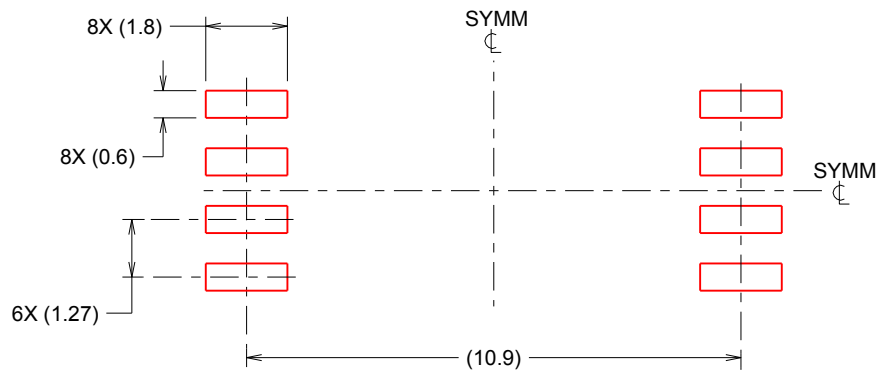


SOLDER MASK DETAILS

4218796/A 09/2013

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月