

INA2128 双路低功耗仪表放大器

1 特性

- 低失调电压：最大 50μV
- 低温漂：0.5μV/°C (最大值)
- 低输入偏置电流：
 - 5nA 最大值 (CSO : SHE)
 - 0.7nA 最大值 (CSO : TID)
- 输入电压噪声：1kHz 时为 8nV/√Hz
- 高带宽：1.3MHz (G = 1V/V)
- 高 CMR：120dB (最小值)
- 输入保护达 ±40V
- 宽电源电压范围：±2.25V 至 ±18V
- 低静态电流：每通道 700μA
- 温度范围：-40°C 至 +85°C
- 封装：16 引脚 SOIC

2 应用

- 压力变送器
- 温度变送器
- 称重计
- 心电图 (ECG)
- 模拟输入模块
- 数据采集 (DAQ)

3 说明

INA2128 是一款双路低功耗通用仪表放大器 (IA)，可提供出色的准确性。此器件采用多功能三级运算放大器设计，尺寸小巧，适用于多种应用。即使在高增益 (200kHz、G = 100) 情况下，电流反馈输入电路也可提供宽带宽。可通过单个外部电阻器在 1 到 10,000 范围内设置任意增益。内部输入保护可耐受高达 ±40V 的电压且不会造成损坏。

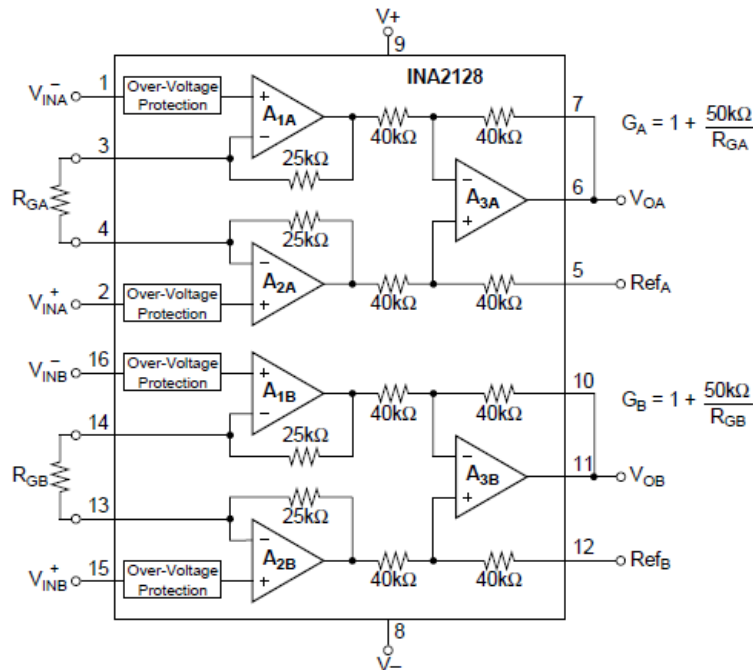
INA2128 经过激光修整，具有极低失调电压 (50μV)、温漂 (0.5μV/°C) 和高共模抑制 (G ≥ 100 时为 120dB)。该器件采用低至 ±2.25V 的电源电压，每 IA 静态电流仅 700μA，非常适合电池供电系统和多通道系统。

INA2128 采用 SOIC-16 封装，额定温度范围 -40°C 至 +85°C。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
INA2128	DW (SOIC, 16)	10.3mm × 10.3mm

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版原理图



内容

1 特性	1	6.1 应用信息	16
2 应用	1	6.2 典型应用	16
3 说明	1	7 器件和文档支持	21
4 引脚配置和功能	3	7.1 器件命名规则.....	21
5 规格	4	7.2 接收文档更新通知.....	21
5.1 绝对最大额定值.....	4	7.3 支持资源.....	21
5.2 ESD 等级.....	4	7.4 商标.....	21
5.3 建议运行条件.....	4	7.5 静电放电警告.....	21
5.4 热性能信息.....	4	7.6 术语表.....	21
5.5 电气特性.....	5	8 修订历史记录	21
5.6 典型特性.....	9	9 机械、封装和可订购信息	23
6 应用和实施	16		

4 引脚配置和功能

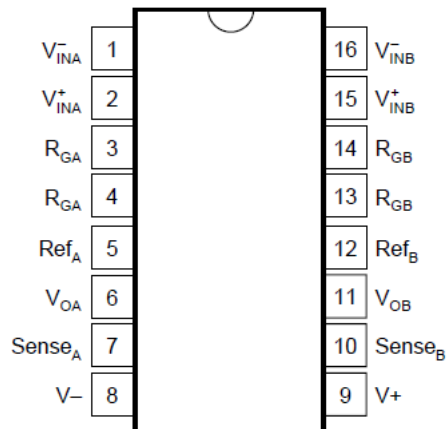


图 4-1. DW 封装，16 引脚 SOIC (俯视图)

5 规格

备注

TI 为此器件鉴定了多个制造流程。性能差异按芯片原产地 (CSO) 进行了标记。为确保系统稳健性，强烈建议针对所有流程进行设计。更多相关信息，请参阅第 8.1 节。

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

			最小值	最大值	单位
V _S	电源电压	双电源, V _S = (V ₊) - (V ₋)		±18	V
		单电源, V _S = (V ₊) - 0V		36	
	模拟输入电压			±40	V
	输出短路 ⁽²⁾		持续		
T _A	工作温度		-40	125	°C
	结温			150	°C
	引线温度 (焊接, 10s)			300	°C
T _{stg}	贮存温度		-55	125	°C

- (1) 超出绝对最大额定值范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 对 V_S/2 短路。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±50	

- (1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	典型值	最大值	单位
V _S	电源电压	单电源	4.5	30	36	V
		双电源	±2.25	±15	±18	
	V _O = 0V 时的输入共模电压范围		(V ₋) + 2		(V ₊) - 2	V
T _A	额定温度		-40		85	°C

5.4 热性能信息

热指标 ⁽¹⁾		INA12x		单位
		D (SOIC)	P (PDIP)	
		8 引脚	8 引脚	
R _{θJA}	结至环境热阻	110	46.1	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	57	34.1	°C/W
R _{θJB}	结至电路板热阻	54	23.4	°C/W
ψ _{JT}	结至顶部特征参数	11	11.3	°C/W

热指标 ⁽¹⁾		INA12x		单位
		D (SOIC)	P (PDIP)	
		8 引脚	8 引脚	
ψ_{JB}	结至电路板特征参数	53	23.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

在 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{REF} = 0\text{V}$ 、 $V_{CM} = V_S/2$ 且 $G = 1$ 时，所有芯片原产地 (CSO)，除非另有说明

参数		测试条件			最小值	典型值	最大值	单位
输入								
V _{OS}	失调电压 (RTI)	INA2128U	CSO : SHE		±10 ±100/G	±50 ±500/G	μV	
			CSO : TID		±20 ±50/G	±50 ±290/G		
		INA2128UA	CSO : SHE		±25 ±100/G	±125 ±1000/G		
			CSO : TID		±20 ±50/G	±125 ±580/G		
	失调电压漂移 (RTI)	T _A = -40°C 至 +85°C	INA2128U		±0.2 ±2/G	±0.5 ±20/G	μV/°C	
			INA2128UA		±0.2 ±5/G	±1 ±20/G		
PSRR	电源抑制比 (RTI)	V _S = ±2.25V 至 ±18V	CSO : SHE	INA2128U	±0.2 ±20/G	±1 ±100/G	μV/V	
				INA2128UA	±0.2 ±20/G	±2 ±200/G		
			CSO : TID	INA2128U	±0.1 ±1/G	±0.4 ±3.2/G		
				INA2128UA	±0.1 ±1/G	±0.8 ±6.4/G		
	长期稳定性	CSO : SHE			±0.1 ±3/G		μV/mo	
		CSO : TID			±0.2 ±3/G			
	输入阻抗	差分			10 2		GΩ pF	
		共模			100 9			
V _{CM}	共模电压 ⁽¹⁾	V _O = 0V			(V ⁻) + 2	(V ⁺) - 2	V	
	安全输入电压	R _S = 0 Ω			±40		V	
CMRR	共模抑制比	Δ R _S = 1 k Ω , V _{CM} = ±13 V , CSO : SHE	G = 1	INA2128U	80	86	dB	
				INA2128UA	73	86		
			G = 10	INA2128U	100	106		
				INA2128UA	93	106		
			G = 100	INA2128U	120	125		
				INA2128UA	110	125		
			G = 1000	INA2128U	120	130		
				INA2128UA	110	130		
		Δ R _S = 1 k Ω , V _{CM} = ±13 V , CSO : TID	G = 1	INA2128U	80	100		
				INA2128UA	73	100		
			G = 10	INA2128U	100	120		
				INA2128UA	93	120		
			G = 100	INA2128U	120	140		
				INA2128UA	110	140		
			G = 1000	INA2128U	120	145		
				INA2128UA	110	145		

5.5 电气特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $V_{\text{CM}} = V_S/2$ 且 $G = 1$ 时，所有芯片原产地 (CSO)，除非另有说明

参数		测试条件		最小值	典型值	最大值	单位
输入偏置电流							
I _B	输入偏置电流	INA2128U	CSO : SHE		±2	±5	nA
			CSO : TID		±0.15	±0.7	
		INA2128UA	CSO : SHE		±2	±10	
			CSO : TID		±0.15	±1.4	
	输入偏置电流漂移	T _A = -40°C 至 +85°C			±30		pA/°C
I _{OS}	输入失调电流	INA2128U	CSO : SHE		±1	±5	nA
			CSO : TID		±0.15	±0.7	
		INA2128UA	CSO : SHE		±1	±10	
			CSO : TID		±0.15	±1.4	
	输入失调电流漂移	T _A = -40°C 至 +85°C			±30		pA/°C
噪声							
e _N	电压噪声 (RTI)	G = 1000 , R _S = 0 Ω	f = 10Hz	CSO : SHE		10	nV/ √Hz
				CSO : TID		7	
			f = 100Hz	CSO : SHE		8	
				CSO : TID		6.9	
			f = 1kHz	CSO : SHE		8	
				CSO : TID		6.9	
			f _B = 0.1Hz 至 10Hz			0.2	μV _{PP}
	电流噪声	f = 10Hz			0.9	pA/ √Hz	
			f = 1kHz	CSO : SHE			0.3
				CSO : TID			0.17
		f _B = 0.1Hz 至 10Hz	CSO : SHE		30	pA _{PP}	
			CSO : TID		4.7		

5.5 电气特性 (续)

在 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $V_{\text{CM}} = V_S/2$ 且 $G = 1$ 时，所有芯片原产地 (CSO)，除非另有说明

参数		测试条件			最小值	典型值	最大值	单位	
增益									
	增益公式				1 + (50 kΩ / R _G)			V/V	
G	增益				1		10000	V/V	
GE	增益误差	G = 1	CSO : SHE	INA2128U	±0.01		±0.024	%	
				INA2128UA	±0.01		±0.1		
			CSO : TID	INA2128U	±0.005		±0.024		
				INA2128UA	±0.005		±0.1		
		G = 10	CSO : SHE	INA2128U	±0.02		±0.4		
				INA2128UA	±0.02		±0.5		
			CSO : TID	INA2128U	±0.025		±0.17		
				INA2128UA	±0.025		±0.21		
		G = 100	CSO : SHE	INA2128U	±0.05		±0.5		
				INA2128UA	±0.05		±0.7		
			CSO : TID	INA2128U	±0.025		±0.17		
				INA2128UA	±0.025		±0.24		
		G = 1000	CSO : SHE	INA2128U	±0.5		±1		
				INA2128UA	±0.5		±2		
			CSO : TID	INA2128U	±0.05		±1		
				INA2128UA	±0.05		±2		
	增益漂移 ⁽²⁾	T _A = -40°C 至 +85°C	CSO : SHE		±1		±10	ppm/°C	
			CSO : TID				±5		
			50k Ω 或 49.4k Ω 电阻 ⁽³⁾	CSO : SHE	±25		±100		
				CSO : TID			±50		
	增益非线性	G = 1 , V _O = ±13.6V	INA2128U		±0.0001		±0.001	FSR 百分比	
			INA2128UA		±0.0001		±0.002		
		G = 10	INA2128U		±0.0003		±0.002		
			INA2128UA		±0.0003		±0.004		
		G = 100	INA2128U		±0.0005		±0.002		
			INA2128UA		±0.0005		±0.004		
		G = 1000 ⁽⁴⁾				±0.001			
		输出							
	正输出电压	CSO : SHE			(V+) - 1.4			V	
		CSO : TID			(V+) - 0.15				
	负输出电压	CSO : SHE			(V -) + 1.4			V	
		CSO : TID			(V -) + 0.15				
C _L	负载电容	稳态工作模式			1000			pF	
I _{sc}	短路电流	持续达 V _S /2	CSO : SHE		+6/-15			mA	
			CSO : TID		+18/-18				

5.5 电气特性 (续)

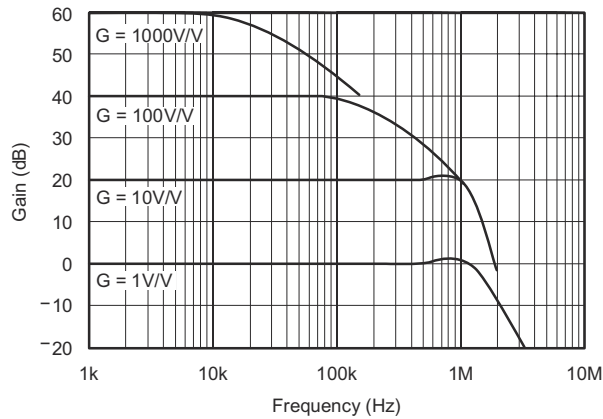
在 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $V_{\text{CM}} = V_S/2$ 且 $G = 1$ 时，所有芯片原产地 (CSO)，除非另有说明

参 数		测 试 条 件		最 小 值	典 型 值	最 大 值	单 位
频率响应							
BW	带宽， - 3dB	G = 1		1.3		MHz	
		G = 10		600			
		G = 100		200		kHz	
		G = 1000	CSO : SHE		20		
			CSO : TID		33		
SR	转换率	G = 10， V _O = ±10V		CSO : SHE		4	V/μs
				CSO : TID		1.2	
t _s	趋稳时间	达 0.01%	G = 1	CSO : SHE		7	μs
				CSO : TID		9	
			G = 10	CSO : SHE		7	μs
				CSO : TID		9	
			G = 100	CSO : SHE		9	
				CSO : TID		12	
			G = 1000		80		
	过载恢复	50% 输入过载		4		μs	
电 源							
I _Q	总静态电流	V _{IN} = 0V		±1.4		±1.5	mA

- 输入共模电压随输出电压的变化而变化；请参阅 *典型特性*。
- 通过晶圆测试确定。
- 增益公式中 $50\text{k}\Omega$ 或 $49.4\text{k}\Omega$ 项的温度系数。
- $G = 1000$ 时的非线性测量主要由噪声决定。典型非线性为 $\pm 0.001\%$ 。

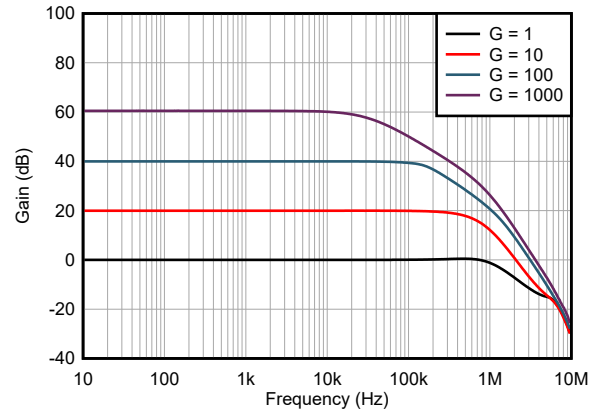
5.6 典型特性

在 $T_A = +25^{\circ}\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $G = 1$ 、 $R_L = 10\text{k}\Omega$ 以及 $V_{\text{CM}} = V_S / 2$ ，所有芯片原产地 (CSO) 的条件下测得，除非另有说明



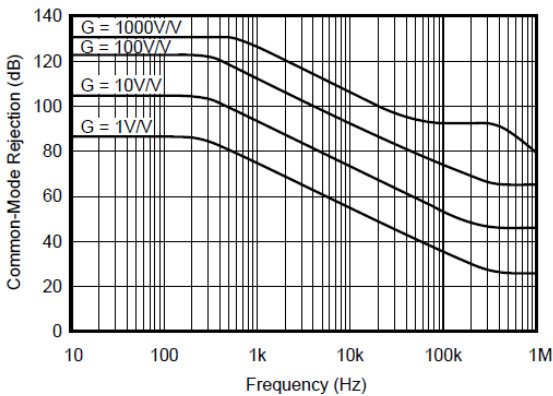
CSO : SHE

图 5-1. 增益与频率间的关系



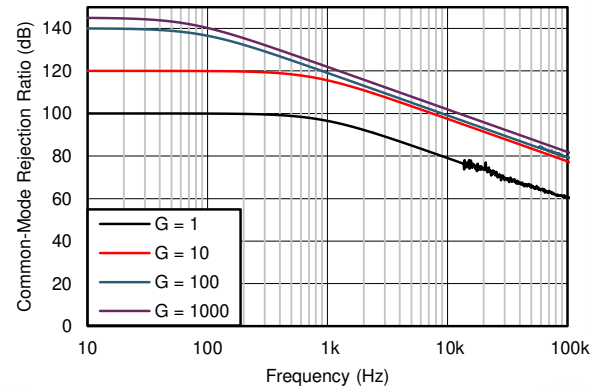
CSO : TID

图 5-2. 增益与频率间的关系



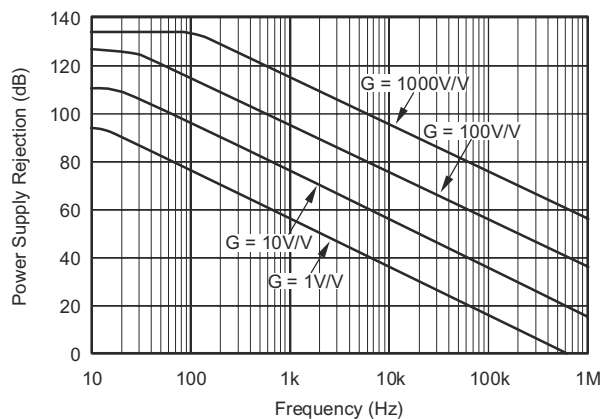
CSO : SHE

图 5-3. 共模抑制与频率间的关系



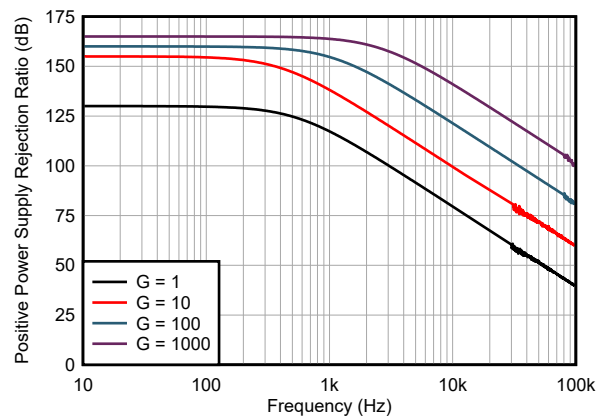
CSO : TID

图 5-4. 共模抑制与频率间的关系



CSO : SHE

图 5-5. 正电源抑制与频率间的关系

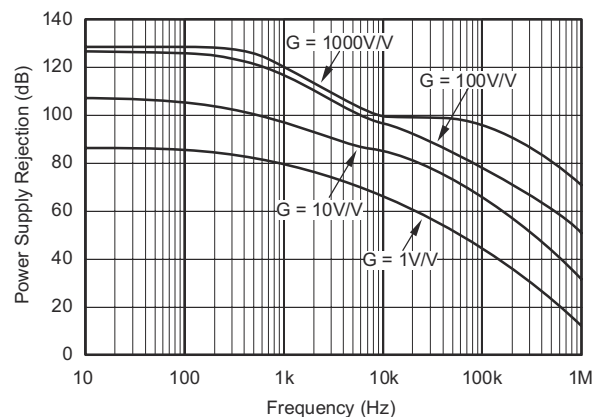


CSO : TID

图 5-6. 正电源抑制与频率间的关系

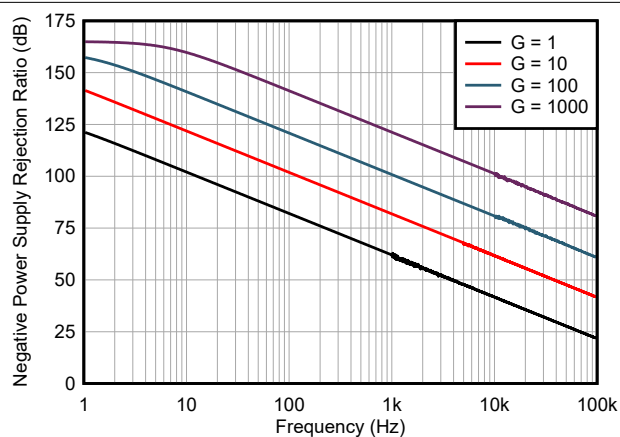
5.6 典型特性 (续)

在 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $G = 1$ 、 $R_L = 10\text{k}\Omega$ 以及 $V_{\text{CM}} = V_S / 2$ ，所有芯片原产地 (CSO) 的条件下测得，除非另有说明



CSO : SHE

图 5-7. 负电源抑制与频率间的关系



CSO : TID

图 5-8. 负电源抑制与频率间的关系

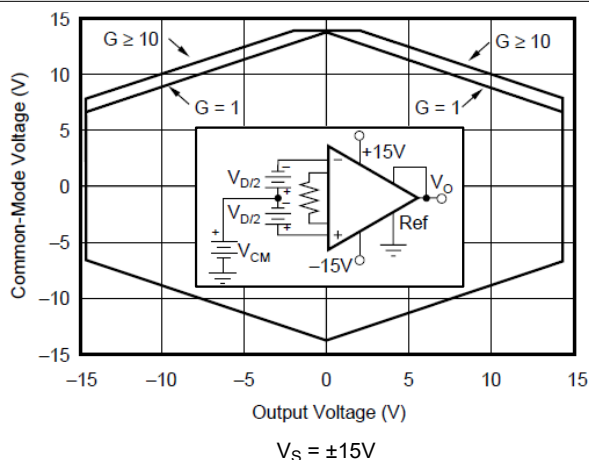


图 5-9. 输入共模范围与输出电压间的关系

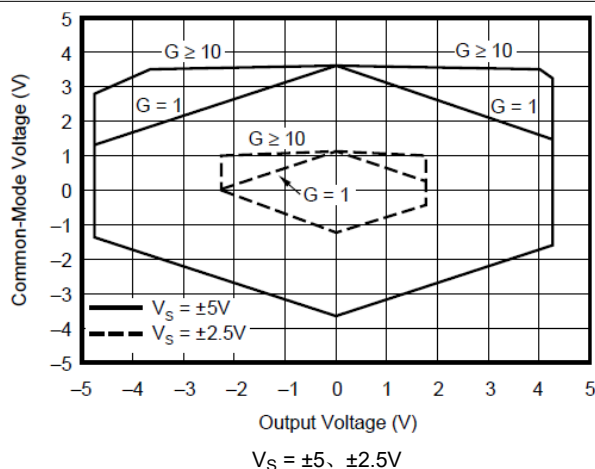


图 5-10. 输入共模范围与输出电压间的关系

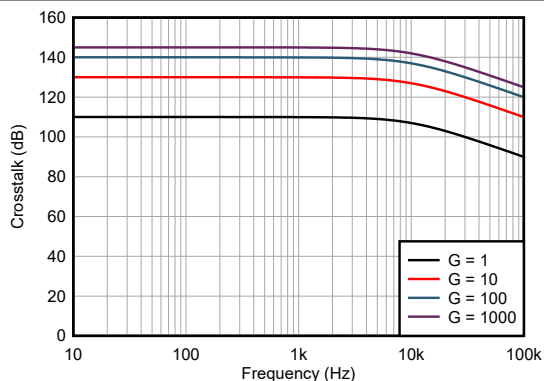
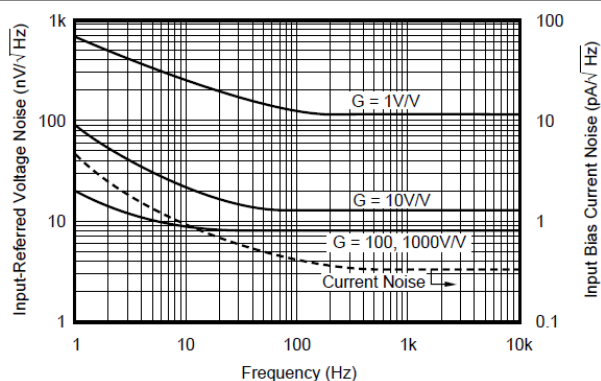


图 5-11. 串扰与频率间的关系

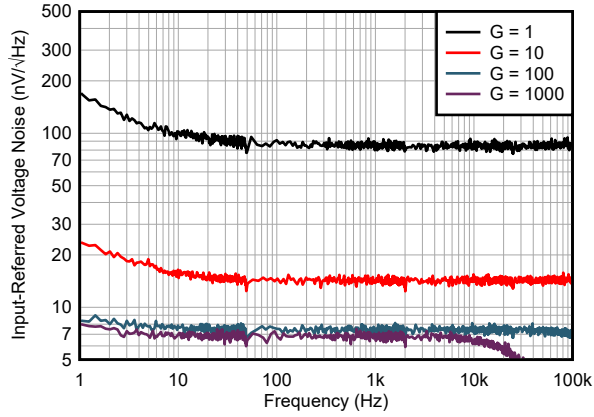


CSO : SHE

图 5-12. 以输入为基准的噪声与频率间的关系

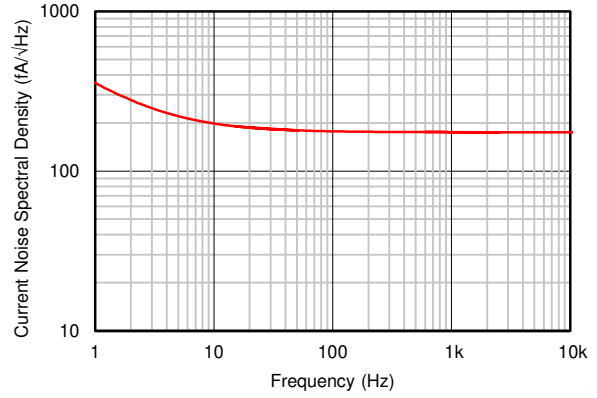
5.6 典型特性 (续)

在 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $G = 1$ 、 $R_L = 10\text{k}\Omega$ 以及 $V_{\text{CM}} = V_S / 2$ ，所有芯片原产地 (CSO) 的条件下测得，除非另有说明



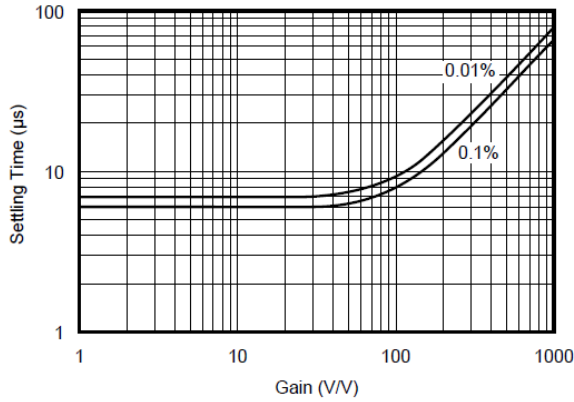
CSO : TID

图 5-13. 输入基准电压噪声与频率间的关系



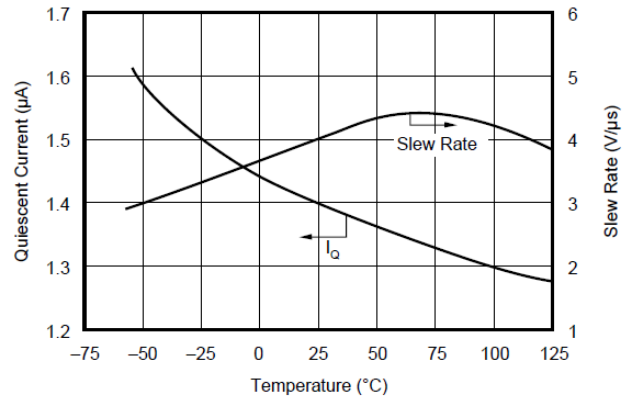
CSO : TID

图 5-14. 输入基准电流噪声与频率间的关系



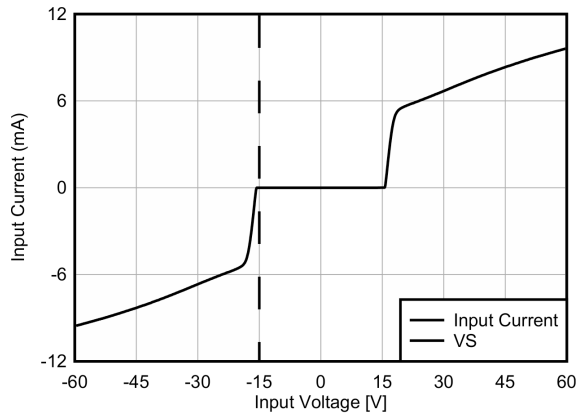
CSO : SHE

图 5-15. 稳定时间与增益间的关系



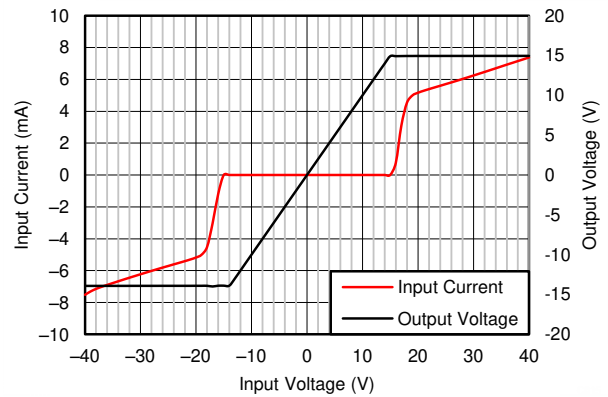
CSO : SHE

图 5-16. 静态电流和转换率与温度间的关系



CSO : SHE

图 5-17. 输入过压 V/I 特性



CSO : TID

图 5-18. 输入过压 V/I 特性

5.6 典型特性 (续)

在 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $G = 1$ 、 $R_L = 10\text{k}\Omega$ 以及 $V_{\text{CM}} = V_S / 2$ ，所有芯片原产地 (CSO) 的条件下测得，除非另有说明

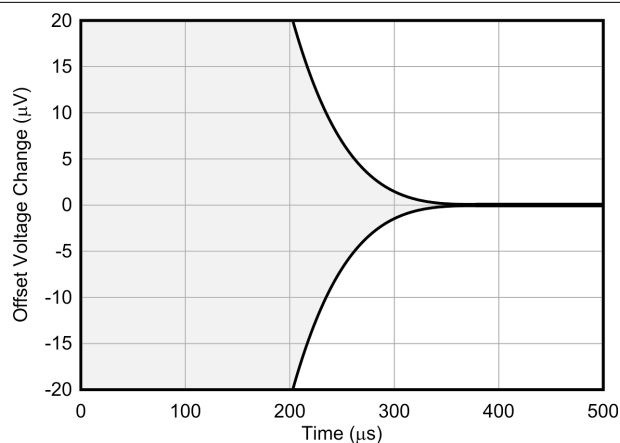
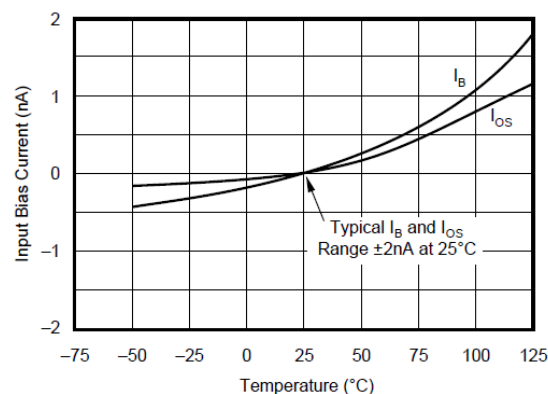
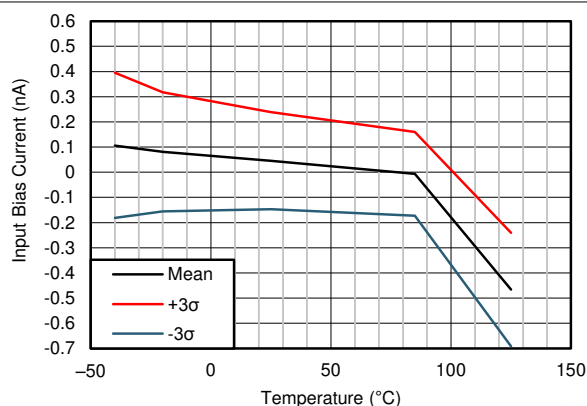


图 5-19. 失调电压预热



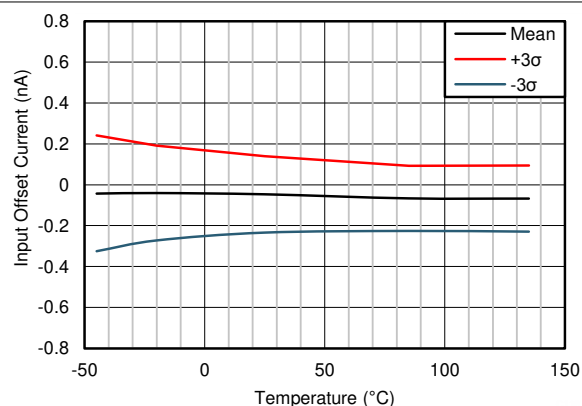
CSO : SHE

图 5-20. 输入偏置电流与温度间的关系



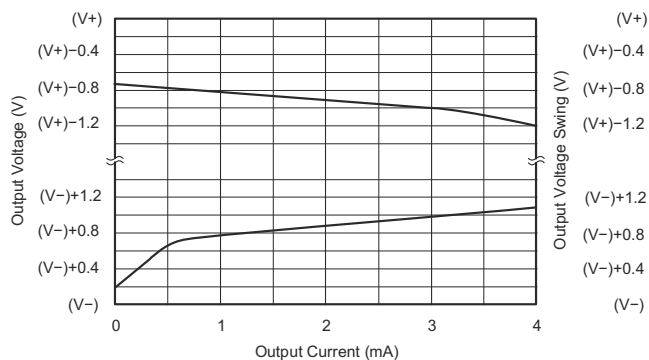
CSO : TID

图 5-21. 输入偏置电流与温度间的关系



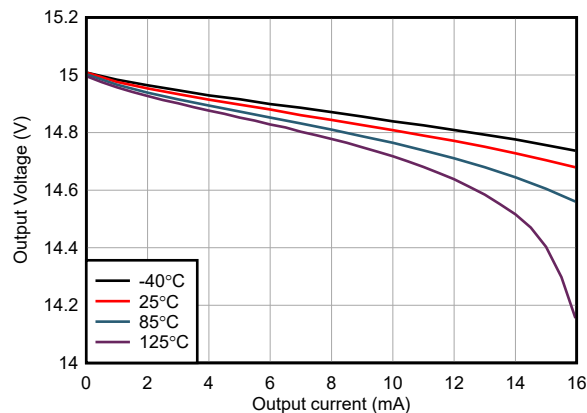
CSO : TID

图 5-22. 输入失调电流与温度间的关系



CSO : SHE

图 5-23. 输出电压摆幅与输出电流间的关系

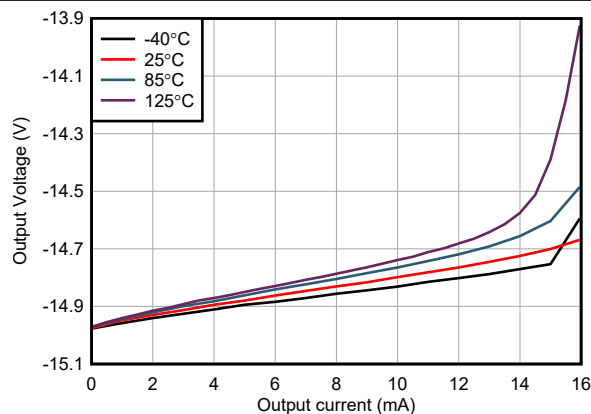


CSO : TID

图 5-24. 正输出电压摆幅与输出电流间的关系

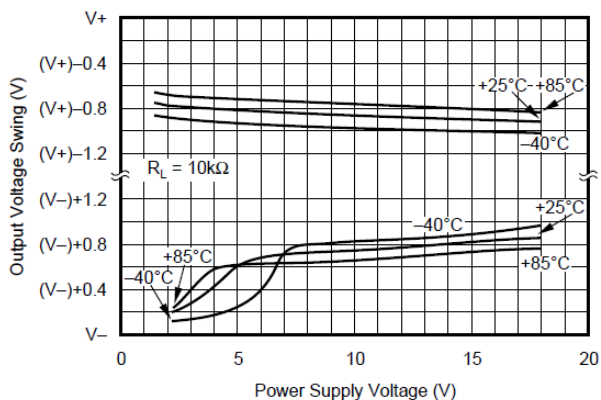
5.6 典型特性 (续)

在 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $G = 1$ 、 $R_L = 10\text{k}\Omega$ 以及 $V_{\text{CM}} = V_S / 2$ ，所有芯片原产地 (CSO) 的条件下测得，除非另有说明



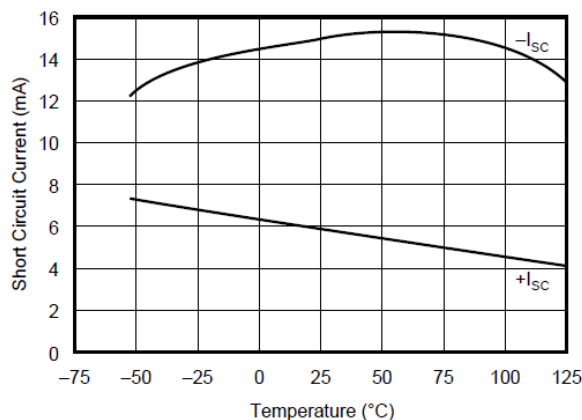
CSO : TID

图 5-25. 负输出电压摆幅与输出电流间的关系



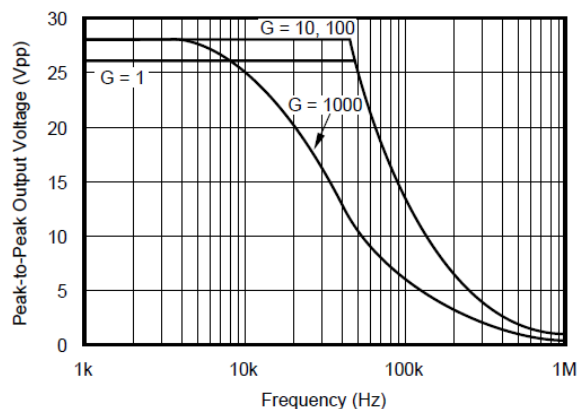
CSO : SHE

图 5-26. 输出电压摆幅与电源电压间的关系



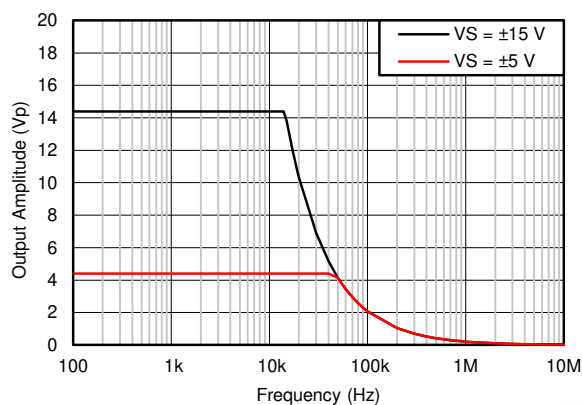
CSO : SHE

图 5-27. 短路输出电流与温度间的关系



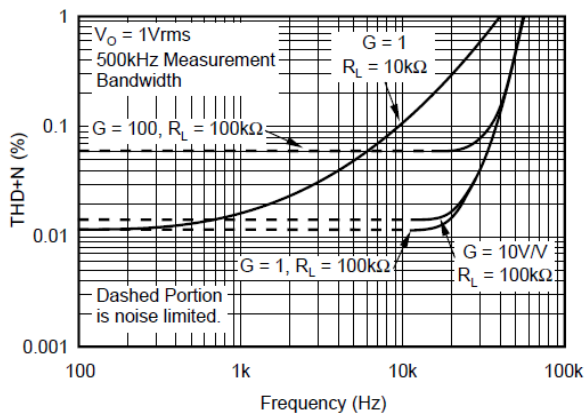
CSO : SHE

图 5-28. 最大输出电压与频率间的关系



CSO : TID

图 5-29. 最大输出电压与频率间的关系

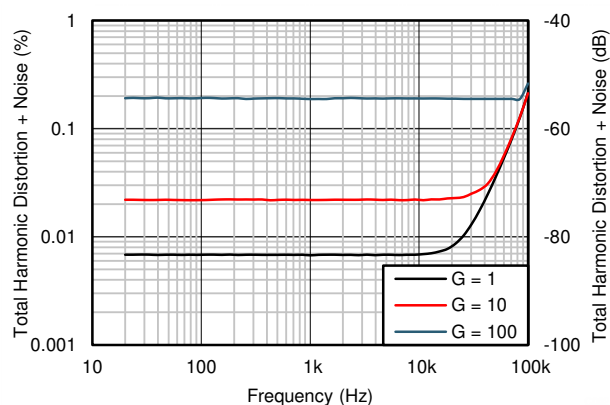


CSO : SHE

图 5-30. 总谐波失真 + 噪声与频率间的关系

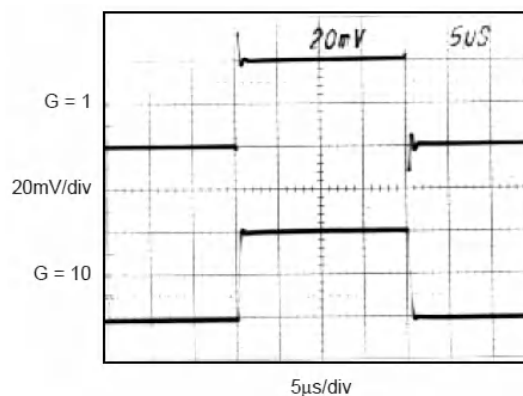
5.6 典型特性 (续)

在 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $G = 1$ 、 $R_L = 10\text{k}\Omega$ 以及 $V_{\text{CM}} = V_S / 2$ ，所有芯片原产地 (CSO) 的条件下测得，除非另有说明



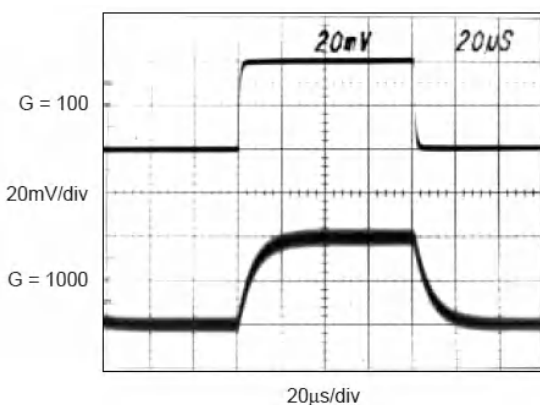
CSO : TID

图 5-31. 总谐波失真 + 噪声与频率间的关系



G = 1、10

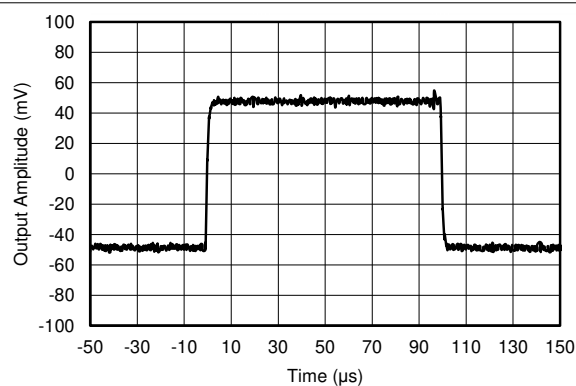
图 5-32. 小信号阶跃响应



CSO : SHE

G = 100、1000

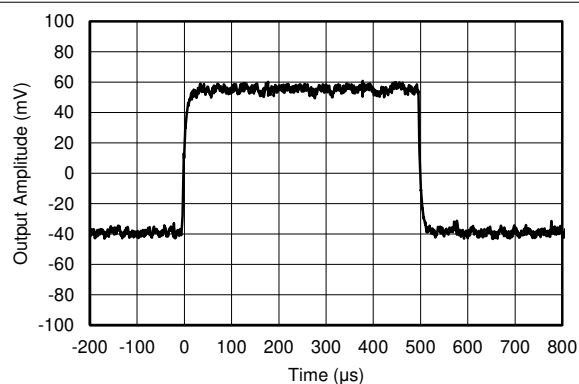
图 5-33. 小信号阶跃响应



CSO : TID

G = 100, $R_L = 10\text{k}\Omega$, $C_L = 100\text{pF}$

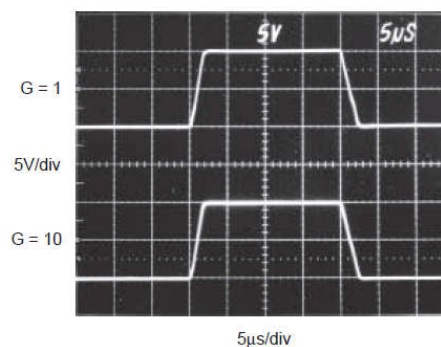
图 5-34. 小信号阶跃响应



CSO : TID

G = 1000, $R_L = 10\text{k}\Omega$, $C_L = 100\text{pF}$

图 5-35. 小信号阶跃响应



CSO : SHE

G = 1、10

图 5-36. 大信号阶跃响应

5.6 典型特性 (续)

在 $T_A = +25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $G = 1$ 、 $R_L = 10\text{k}\Omega$ 以及 $V_{\text{CM}} = V_S / 2$ ，所有芯片原产地 (CSO) 的条件下测得，除非另有说明

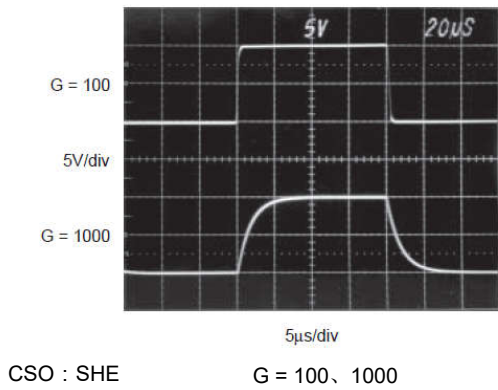


图 5-37. 大信号阶跃响应

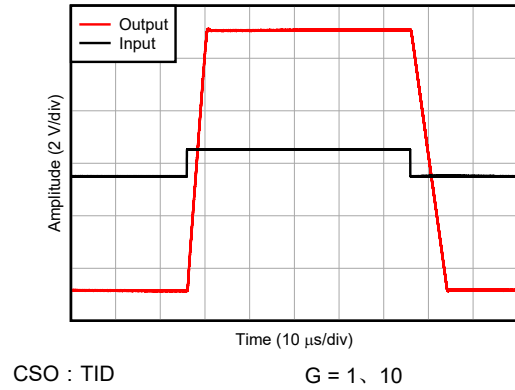


图 5-38. 大信号阶跃响应

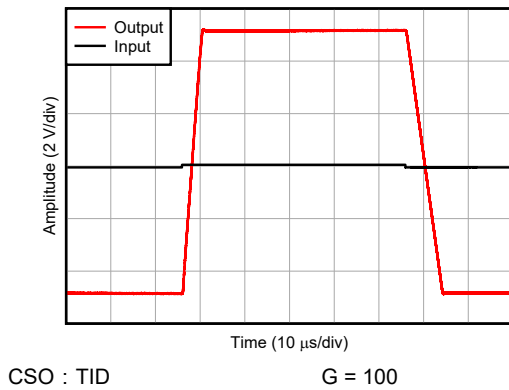


图 5-39. 大信号阶跃响应

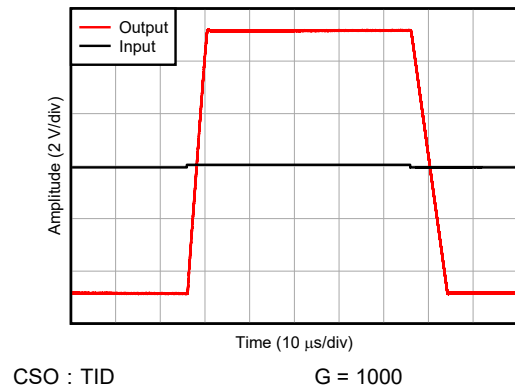


图 5-40. 大信号阶跃响应

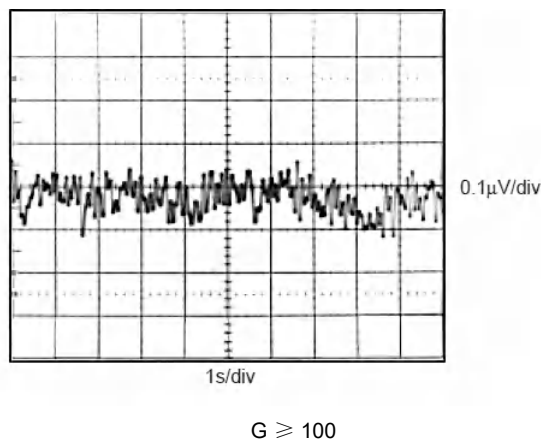


图 5-41. 电压噪声 0.1Hz 至 10Hz 输入为基准

6 应用和实验

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

6.1 应用信息

图 6-1 显示了 INA2128 运行所需的基本连接。采用高噪声或高阻抗电源的应用可能要求去耦电容器靠近器件引脚，如图所示。

输出是指输出基准 (Ref) 端子 (Ref_A 和 Ref_B)，这些端子通常接地。这些必须是低阻抗连接，以提供良好的共模抑制。8 Ω 与 Ref 引脚串联的电阻导致典型器件降低至大约 80dB CMR (G = 1)。

INA2128 具有单独的输出感测反馈连接，Sense_A 和 Sense_B。这些连接必须连接到相应的输出端子才能正常工作。输出检测连接可以用于检测负载处的输出电压，以获得出色精度。

6.2 典型应用

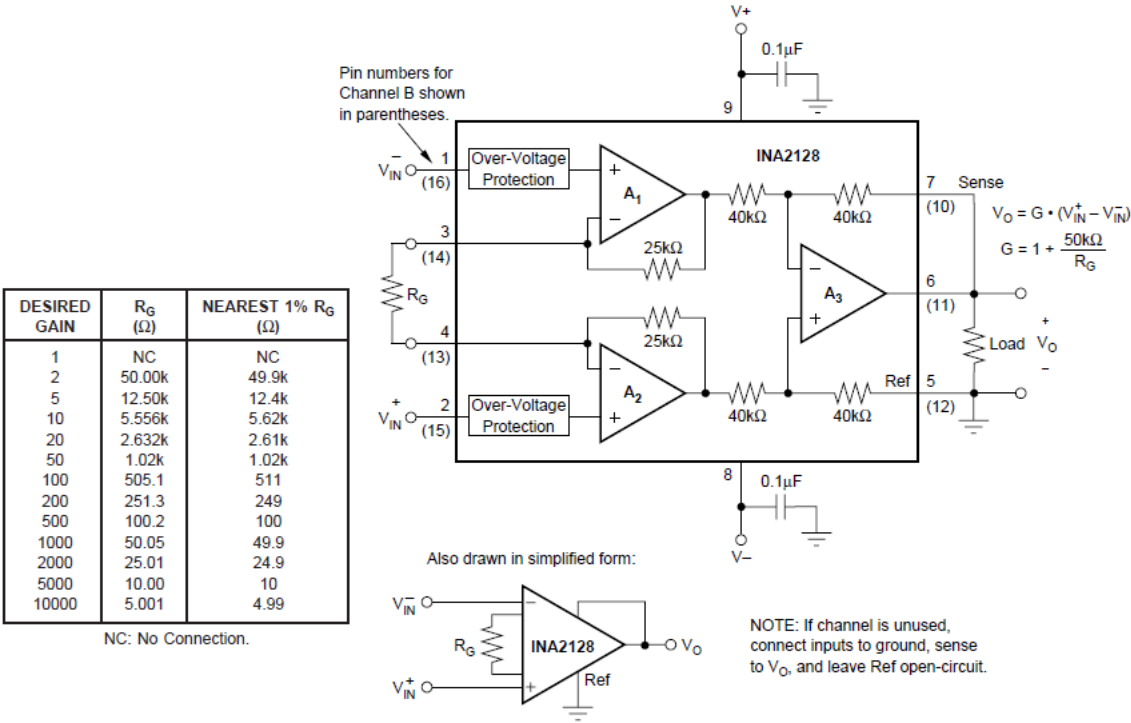


图 6-1. 基本连接

6.2.1 设置增益

通过连接单个外部电阻器 R_G 来设置 INA2128 的增益，连接方式如下：

$$G = 1 + \frac{50k\Omega}{R_G} \quad (1)$$

常用增益和电阻器值如图 6-1 所示。

方程式 1 中的 $50k\Omega$ 项来自两个内部反馈电阻器 A_1 和 A_2 的总和。这些片上金属膜电阻器经过激光修整，达到精确的绝对值。INA2128 的增益精度和漂移规格中包含这些电阻器的精度和温度系数。

外部增益设置电阻器 R_G 的稳定性和温漂也会影响增益。 R_G 对增益精度和漂移的贡献可以直接从增益公式 (1) 中推断出来。高增益所需的低电阻值会让配线电阻变得重要。插座会增加配线电阻，并在增益约为 100 或更大时，产生额外的增益误差。

6.2.2 动态性能

典型的性能曲线图 5-2 表明，尽管具有低静态电流，但 INA2128 即使在高增益条件下也能实现宽带宽。这是源于采用了电流反馈拓扑。在高增益时，稳定时间也保持出色。另请参阅图 5-15。

6.2.3 噪声性能

INA2128 在大多数应用当中具有极低的噪声。低频噪声在 0.1Hz 至 10Hz 范围内 ($G \geq 100$) 测量时约为 $0.2\mu V_{pp}$ 。与先进的斩波稳定放大器相比，这可以显著改善噪声性能。

6.2.4 失调修整

INA2128 经过激光修整，可实现低失调电压和失调电压漂移。大多数应用不要求进行外部失调电压调整。图 6-2 显示了用于调整输出失调电压的可选电路。将施加到基准端子的电压与输出相加。运算放大器缓冲器在 Ref 端子处提供低阻抗，以保持良好的共模抑制。

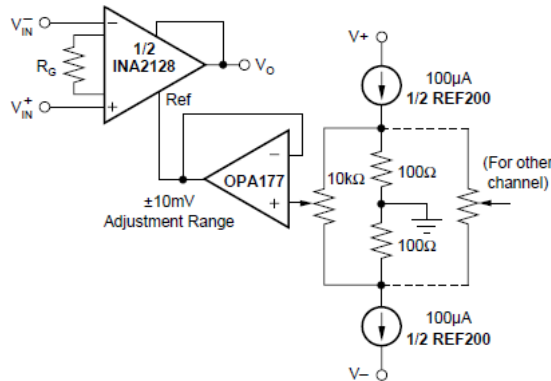


图 6-2. 输出失调电压的可选修整

6.2.5 输入偏置电流返回路径

INA2128 的输入阻抗非常高，约为 $10^{10} \Omega$ 。然而，必须为这两个输入的输入偏置电流提供路径。此输入偏置电流大约为 $\pm 2\text{nA}$ 。高输入阻抗意味着，随着输入电压发生变化，该输入偏置电流变化很小。

输入电路必须为该输入偏置电流提供路径以便正常运行。图 6-3 显示了提供输入偏置电流路径的多种方式。在没有偏置电流路径的情况下，输入悬空到超过 INA2128 共模范围的电位，且输入放大器饱和。

如果差分源电阻较低，则偏置电流返回路径可以连接到一个输入端（请参阅图 6-3 中的热电偶示例）。在源阻抗较高的情况下，使用两个相等的电阻可提供平衡输入，其优点是偏置电流导致的输入失调电压更低，且高频共模抑制效果更好。

6.2.6 输入共模范围

INA2128 输入电路的线性输入电压范围从比正电源电压低大约 1.4V 到比负电源高 1.7V 。由于差分输入电压导致输出电压增加，线性输入范围受放大器 A_1 和 A_2 的输出电压摆幅的限制。因此，线性共模输入范围与整个放大器的输出电压有关。此行为还取决于电源电压—请参见性能曲线图 5-10 和图 5-9。

输入过载可以产生看起来正常的输出电压。例如，如果输入过载情况将两个输入放大器驱动至正输出摆幅限值，则输出放大器测得的差值电压接近于零。即使两个输入都过载，INA2128 的输出也接近 0V 。

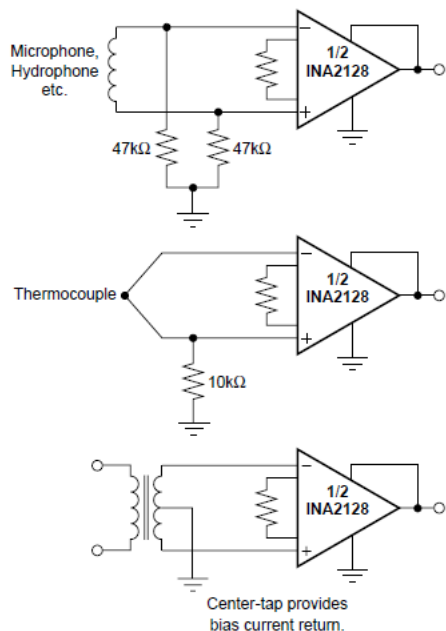


图 6-3. 提供输入共模电流路径

6.2.7 低压运行

INA2128 可在低至 $\pm 2.25\text{V}$ 的电源下运行。在 $\pm 2.25\text{V}$ 至 $\pm 18\text{V}$ 的电源范围内，性能仍然出色。在所述整个电源电压范围内，大多数参数仅略有不同（请参阅节 5.6）。在非常低的电源电压下运行需要仔细注意，以确保输入电压保持在线性范围内。内部节点的电压摆幅要求会限制低电源电压下的输入共模范围。典型性能曲线图 5-9 和图 5-10 展示了 $\pm 15\text{V}$ 、 $\pm 5\text{V}$ 和 $\pm 2.5\text{V}$ 电源的线性运算范围。

6.2.8 输入保护

在高达 $\pm 40\text{V}$ 的电压下，INA2128 的输入会受到单独保护。例如，一个输入端的电压为 -40V ，另一个输入端的电压为 $+40\text{V}$ ，这种情况不会造成损坏。每个输入端的内部电路在正常信号条件下提供低串联阻抗。为了提供等效保护，串联输入电阻会产生过多的噪声。如果输入过载，则保护电路将输入电流限制为大约 1.5mA 至 5mA 的值。典型性能曲线“输入偏置电流与共模输入电压间的关系”显示了这种输入电流限制的行为。即使电源断开或关闭，输入也受到保护。

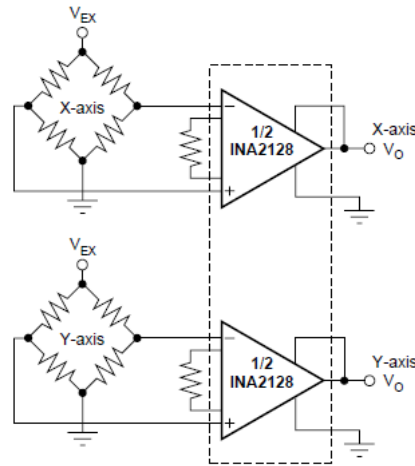


图 6-4. 两轴桥放大器

6.2.9 通道串扰

INA2128 的两个通道完全独立，包括所有偏置电路。在直流和低频下，通道之间几乎没有信号耦合。串扰随频率增加，并取决于电路增益、源阻抗和信号特性。

随着源阻抗的增加，精心设计的电路布局有助于实现更低的通道串扰。大多数串扰由信号从一个通道到另一个通道的输入部分的电容耦合产生。为了最大限度地减少耦合，应尽可能将输入走线与相反通道的任何关联信号分开。输入周围的接地保护布线有利于减少通道之间的杂散耦合。使每个通道的差分输入相互并联，或直接相邻于电路板的顶部和底部。杂散耦合往往会产生共模信号，该信号会被 IA 输入拒绝。

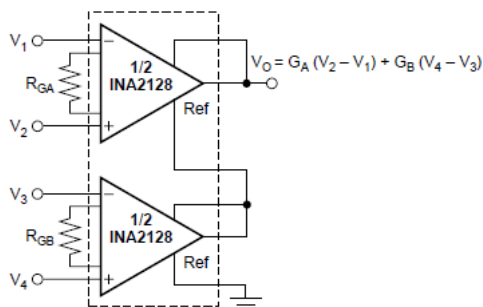


图 6-5. 差分放大器求和

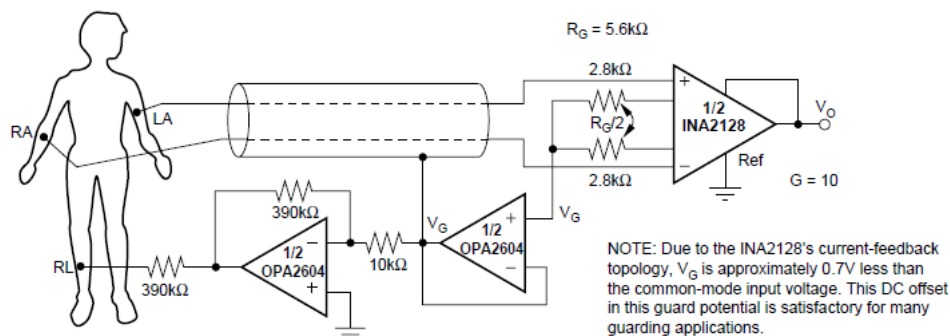


图 6-6. 具有右腿驱动的 ECG 放大器

7 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

7.1 器件命名规则

器件型号	定义
INA2128U INA2128U/1K INA2128UA INA2128UA/1K	芯片采用 CSO 制造：SHE 或 CSO：TID。

7.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

7.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

7.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

7.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

7.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (May 2023) to Revision C (January 2026)	Page
• 在 <i>特性</i> 部分为输入偏置电流添加了不同的制造工艺规范.....	1
• 在 <i>规格</i> 中添加了器件流程信息的说明.....	4
• 向电气特性中的典型测试条件添加了所有芯片原产地 (CSO) 条件.....	5
• 在 <i>电气特性</i> 中为失调电压 (RTI) 添加了不同的制造过程规范.....	5
• 在 <i>电气特性</i> 中增加了不同的电源抑制比 (RTI) 制造过程规范.....	5
• 在 <i>电气特性</i> 中针对长期稳定性添加了不同的制造工艺规范.....	5
• 在 <i>电气特性</i> 中添加了不同制造过程规格.....	5
• 在 <i>电气特性</i> 中为输入偏置电流添加了不同的制造工艺规格.....	5
• 在 <i>电气特性</i> 中为输入失调电流添加了不同的制造工艺规格.....	5
• 在 <i>电气特性</i> 中为电压噪声 (RTI) 添加了不同的制造过程规范.....	5

• 在电气特性中为电流噪声添加了不同的制造过程规范.....	5
• 向电气特性中的增益误差添加了不同的制造过程规格.....	5
• 向电气特性中的增益漂移添加了不同的制造过程规格.....	5
• 在电气特性中为正输出电压添加了不同的制造工艺规格.....	5
• 在电气特性中为负输出电压添加了不同的制造工艺规格.....	5
• 向电气特性中添加了短路电流的不同制造过程规格.....	5
• 在电气特性中添加了带宽 - 3dB 的不同制造工艺规格.....	5
• 在电气特性中添加了转换率的不同制造过程规格.....	5
• 向电气特性中的趋稳时间添加了不同的制造过程规格.....	5
• 向典型特性中的典型测试条件添加了所有芯片原产地 (CSO) 条件.....	9
• 添加了 CSO : SHE 至典型特性中的共模抑制与频率间的关系、趋稳时间与增益、静态电流和转换率与温度间的关系、输入过压 V/I 特性、输入偏置电流与温度间的关系、输出电压摆幅与电源电压间的关系、输出短路电流与温度间的关系、最大输出电压与频率间的关系、总谐波失真 + 噪声与频率间的关系和小信号阶跃响应曲线.....	9
• 添加了 CSO : TID 至典型特性中的增益与频率间的关系、正电源抑制与频率间的关系、负电源抑制与频率间的关系、输入基准电压噪声与频率间的关系、正输出电压摆幅与输出电流间的关系、负输出电压摆幅与输出电流间的关系和大信号阶跃响应曲线.....	9
• 向增益与频率间的关系、正电源抑制与频率间的关系、负电源抑制与频率间的关系、以输入为基准的噪声与频率间的关系、输出电压摆幅与输出电流间的关系和大信号阶跃响应曲线中添加了 CSO : SHE , 这些曲线位于典型特性中.....	9
• 向共模抑制与频率间的关系、输入基准电流噪声与频率间的关系、输入过压 V/I 特性、输入偏置电流与温度间的关系、输入失调电流与温度间的关系、最大输出电压与频率间的关系、总谐波失真 + 噪声与频率间的关系, 和小信号阶跃响应曲线中添加了 CSO : TID , 这些曲线位于典型特性中.....	9
• 向器件命名规则添加了器件型号流程信息表.....	21

Changes from Revision A (April 2007) to Revision B (May 2023)

Page

• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 添加了封装信息表、引脚配置和功能部分、规格部分、详细描述部分、应用和实施部分、器件和文档支持部分以及机械、封装和可订购信息部分.....	1
• 向特性中添加了输入电压噪声、高带宽和温度范围要点.....	1
• 更改了特性要点以显示正确的封装名称.....	1
• 更改了应用要点以显示更新后的链接.....	1
• 将“封装信息”表的列名称从“封装尺寸 (标称值)”更改为“封装尺寸”并添加了有关封装尺寸的注释.....	1
• 在绝对最大额定值中添加了单电源规格.....	4
• 在绝对最大额定值中添加了注释, 阐述输出“对地”短路是指对 VS/2 短路.....	4
• 在建议运行条件中添加了单电源规格.....	4
• 将建议运行条件中的输入共模电压范围规格从 $V - 2$ 更改为 $(V -) + 2$	4
• 从建议运行条件中删除了 INA128-HT 和 INA129-HT 工作温度规格.....	4
• 在建议运行条件中添加了指定的温度范围.....	4
• 在电气特性标题下面添加了测试条件.....	5
• 为清楚起见, 将电气特性中失调电压漂移规范的测试条件从“TA = TMIN 至 TMAX”更改为“TA = - 40°C 至 +85°C”.....	5
• 将电气特性中失调电压 RTI 与温度间的关系行的 MAX 列中的“ $\pm 0.5 \pm 0/G$ ”更改为“ $\pm 0.5 \pm 20/G$ ”。.....	5
• 将电气特性中的典型长期稳定性规格从 $\pm 0.1 \pm 3/G\mu V/mo$ 更改为 $\pm 0.2 \pm 3/G\mu V/mo$	5
• 删除了典型规格, 并将电气特性的一行中的共模电压规格从 $(V -) + 2 V$ 最小值和 $(V +) - 2 V$ 最大值更改.....	5
• 删除了电气特性中的典型 VCM 规范.....	5
• 为清晰起见, 在电气特性中向输入电压规格添加了“RS = 0 Ω ”的测试条件.....	5

• 为清晰起见，将参数名称更改为输入偏置电流，并向 <i>电气特性</i> 中的输入偏置电流漂移规格添加了测试条件 “TA = - 40°C 至 +85°C”	5
• 为清晰起见，将参数名称更改为输入失调电流漂移，并向 <i>电气特性</i> 中的输入失调电流漂移规格添加了测试条件 “TA = - 40°C 至 +85°C”	5
• 将 <i>电气特性</i> 中 INA128PA/UA 和 INA129PA/UA 在 G = 1 时的最大增益误差规格从 ±0.01% 更改为 ±0.1%.....	5
• 为清晰起见，将 <i>电气特性</i> 中的增益漂移参数名称更改为增益漂移，并添加了测试条件 “TA = - 40°C 至 +85°C”	5
• 将 <i>电气特性</i> 中的参数名称从 “电压 — 正” 更改为 “正输出电压摆幅”，并从 “电压 — 负” 更改为 “负输出电压摆幅”	5
• 删除了 <i>电气特性</i> 中的典型正负输出电压摆幅规格.....	5
• 为清晰起见，在 <i>电气特性</i> 中新增了测试条件 “持续至 VS/2” 的短路电流规格.....	5
• 将 <i>电气特性</i> 中 G = 10 的典型带宽规格从 700kHz 更改为 600kHz.....	5
• 在 <i>电气特性</i> 中，将典型转换率规格从 4V/μs 更改为 1.2V/μs.....	5
• 更改了 <i>电气特性</i> 中 G = 1、G = 10 的典型趋稳时间规格，从 7μs 更改为 9μs.....	5
• 删除了参数 “温度范围”，该内容因为 “建议运行条件” 和 “绝对最大额定值” 而变得多余.....	5
• 将参数名称更改为 “总静态电流”，删除了 <i>电气特性</i> 中冗余的电压范围、工作温度范围和规格温度范围规格.....	5
• 向 <i>典型特性</i> 标题添加了测试条件.....	9
• 更改了图 6-1，增益与频率间的关系	9
• 更改了图 6-3，正电源抑制与频率间的关系	9
• 更改了图 6-4，负电源抑制与频率间的关系	9
• 更改了图 6-7，串扰与频率间的关系	9
• 更改了图 6-8，输入基准电压噪声与频率间的关系	9
• 更改了图 6-9，趋稳时间与增益	9
• 更改了图 6-11，输入过压 V/I 特性	9
• 更改了图 6-12，失调电压预热	9
• 将输出电压摆幅与输出电流间的关系 更改为两个单独的图，一个表示正（图 6-14），一个表示负（图 6-15）.....	9
• 将图 6-22 更改成图 6-24 大信号阶跃响应	9

9 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA2128U	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2128U
INA2128U.B	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2128U
INA2128U/1K	Active	Production	SOIC (DW) 16	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA2128U
INA2128U/1K.B	Active	Production	SOIC (DW) 16	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2128U
INA2128U1G4	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2128U
INA2128U1G4.B	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2128U
INA2128UA	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-	(INA2128U, INA2128UA) A
INA2128UA.B	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	(INA2128U, INA2128UA) A
INA2128UA/1K	Active	Production	SOIC (DW) 16	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	(INA2128U, INA2128UA) A
INA2128UA/1K.B	Active	Production	SOIC (DW) 16	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	(INA2128U, INA2128UA) A
INA2128UAG4	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2128UA
INA2128UAG4.B	Active	Production	SOIC (DW) 16	40 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2128UA

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA2128U/1K	SOIC	DW	16	1000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
INA2128UA/1K	SOIC	DW	16	1000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA2128U/1K	SOIC	DW	16	1000	350.0	350.0	43.0
INA2128UA/1K	SOIC	DW	16	1000	350.0	350.0	43.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
INA2128U	DW	SOIC	16	40	506.98	12.7	4826	6.6
INA2128U.B	DW	SOIC	16	40	506.98	12.7	4826	6.6
INA2128U1G4	DW	SOIC	16	40	506.98	12.7	4826	6.6
INA2128U1G4.B	DW	SOIC	16	40	506.98	12.7	4826	6.6
INA2128UA	DW	SOIC	16	40	506.98	12.7	4826	6.6
INA2128UA.B	DW	SOIC	16	40	506.98	12.7	4826	6.6
INA2128UAG4	DW	SOIC	16	40	506.98	12.7	4826	6.6
INA2128UAG4.B	DW	SOIC	16	40	506.98	12.7	4826	6.6

GENERIC PACKAGE VIEW

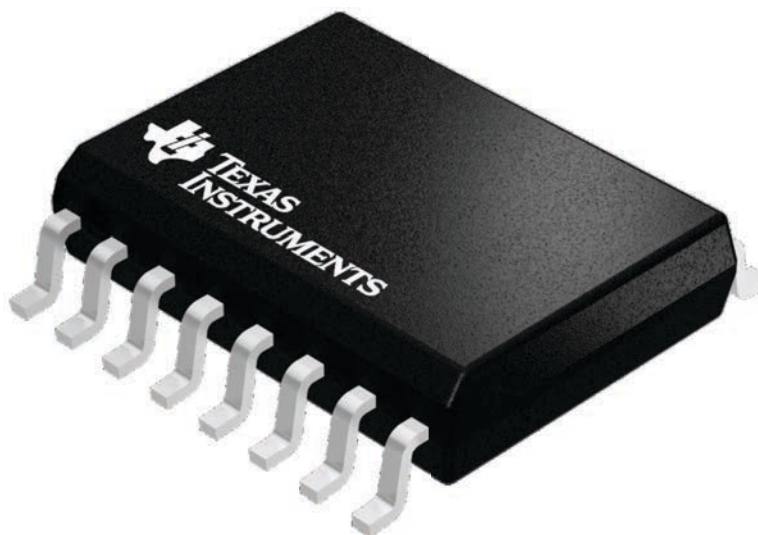
DW 16

SOIC - 2.65 mm max height

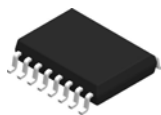
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

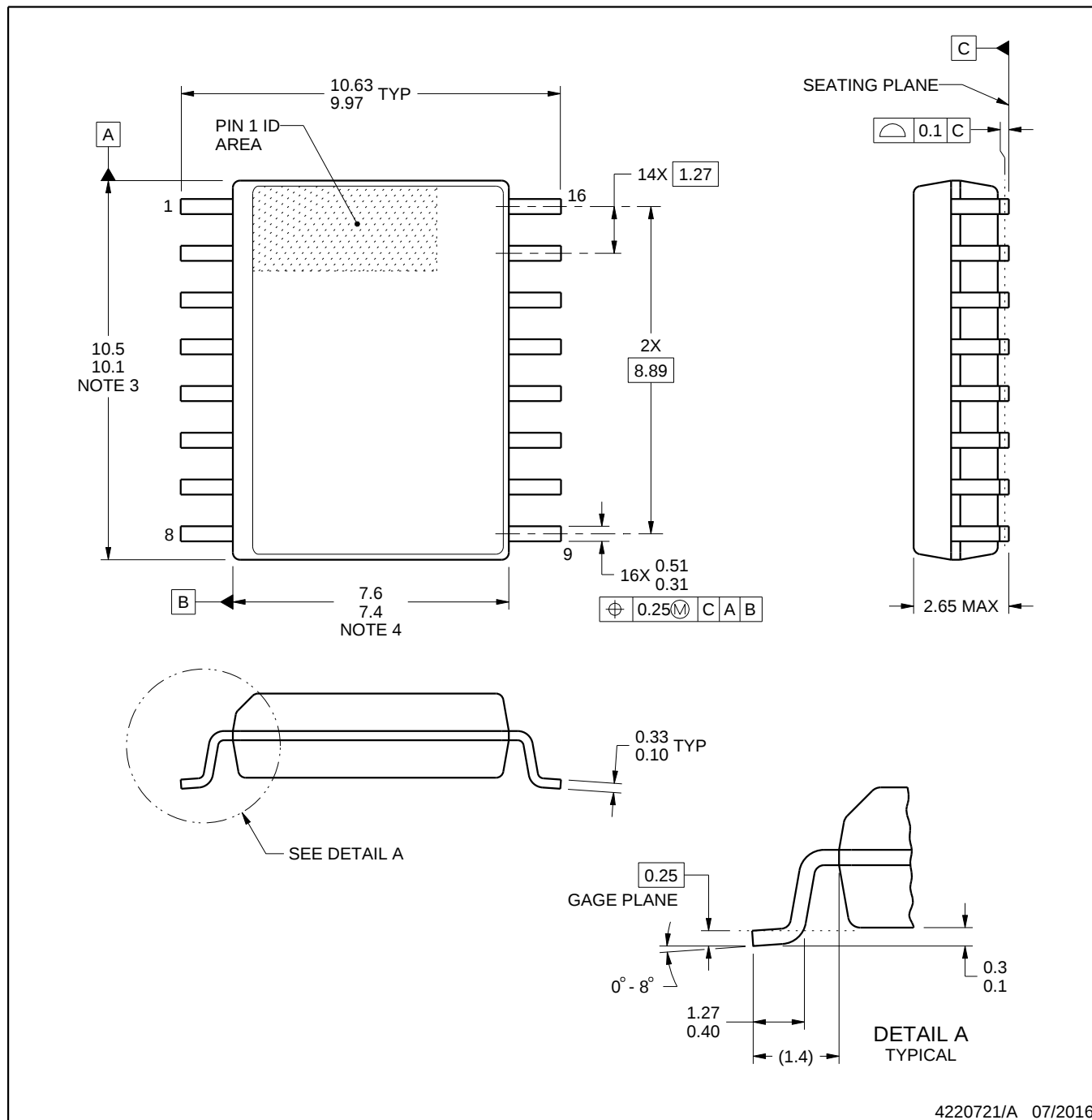


DW0016A

PACKAGE OUTLINE

SOIC - 2.65 mm max height

SOIC



4220721/A 07/2016

NOTES:

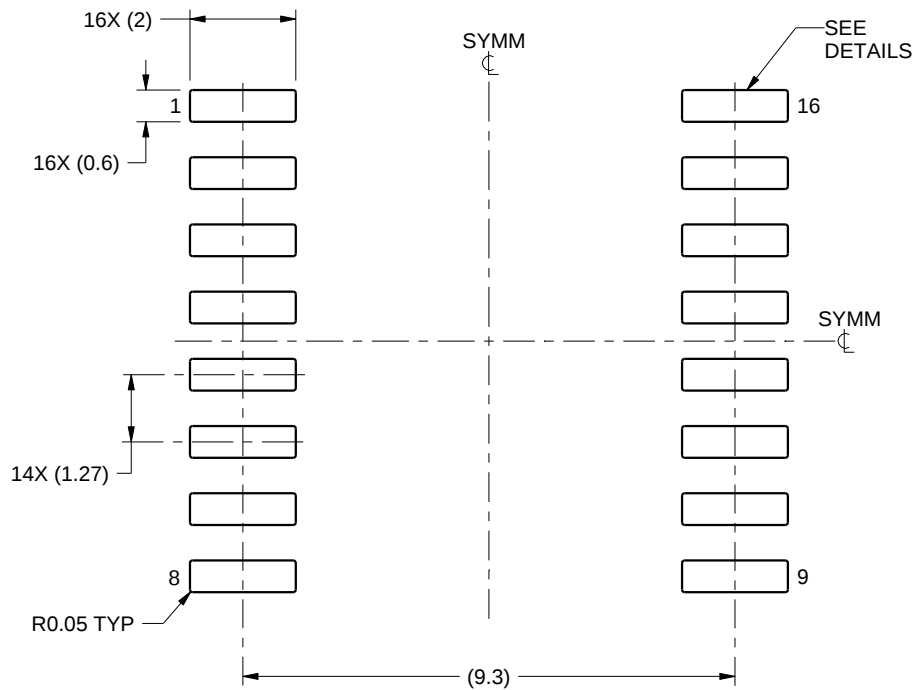
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

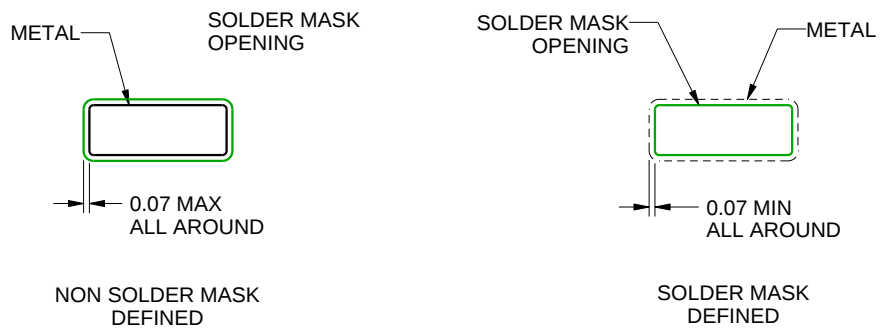
DW0016A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:7X



SOLDER MASK DETAILS

4220721/A 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

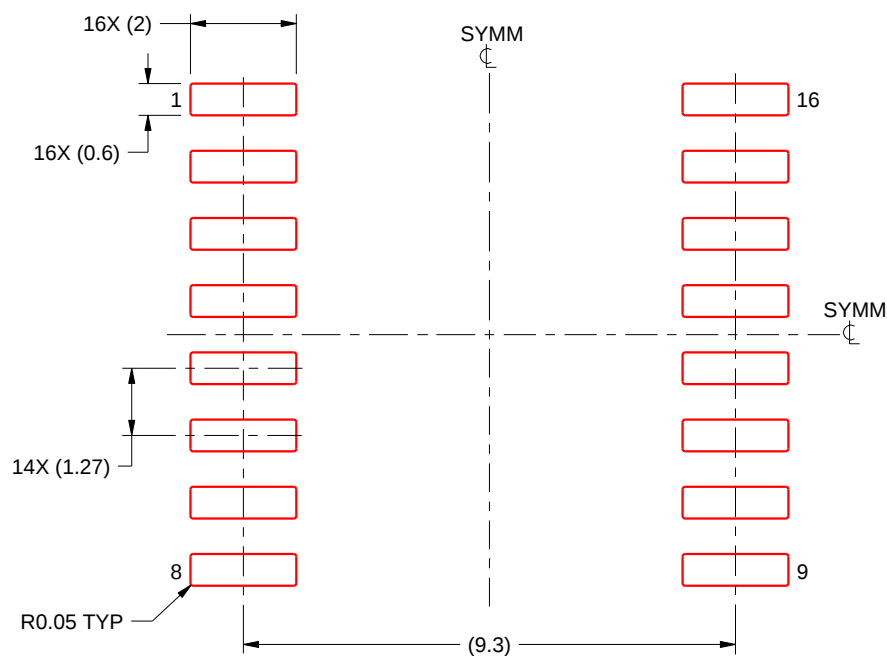
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0016A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220721/A 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月