F28377D-SEP 双核实时微控制器

1 特性

- VID - V62/25638
- 耐辐射
  - 单粒子闩锁 (SEL) 在 125°C 下的抗扰度可达 45MeV-cm^2/mg
  - 每个晶圆批次的总电离剂量 (TID) RLAT 高达 30krad (Si)
- 增强型航天塑料
  - 受控基线
  - 金 (Au) 导线
  - 一个组装/测试基地
  - 一个制造基地
  - 可用于军用温度范围（-55°C 至 125°C）
  - 延长了产品生命周期
  - 延长了产品变更通知周期
  - 产品可追溯性
  - 采用增强型模塑化合物实现低释气
- 双核架构
  - 两个 TMS320C28x 32 位 CPU
  - 200MHz
  - IEEE 754 单精度浮点单元 (FPU)
  - 三角函数数学单元 (TMU)
  - Viterbi/复杂数学单元 (VCU-II)
- 两个可编程控制律加速器 (CLA)
  - 200MHz
  - IEEE 754 单精度浮点指令
  - 独立于主 CPU 执行代码
- 片上存储器
  - 512KB (256KW) 或 1MB (512KW) 闪存（ECC 保护）
  - 172KB (86KW) 或 204KB (102KW) RAM（ECC 保护或奇偶校验保护）
  - 支持第三方开发的双区安全
  - 唯一识别号
- 时钟和系统控制
  - 两个内部零引脚 10MHz 振荡器
  - 片上晶体振荡器
  - 窗口化看门狗计时器模块
  - 丢失时钟检测电路
- 1.2V 内核、3.3V I/O 设计
- 系统外设
  - 两个支持 ASRAM 和 SDRAM 的外部存储器接口 (EMIF)
  - 两个 6 通道直接存储器存取 (DMA) 控制器
  - 多达 169 个具有输入滤波功能的独立可编程、多路复用通用输入/输出 (GPIO) 引脚
  - 扩展外设中断控制器 (ePIE)
  - 支持多个具有外部唤醒功能的低功耗模式 (LPM)
- 通信外设
  - USB 2.0 (MAC + PHY)
  - 支持 12 引脚 3.3V 兼容通用并行端口 (uPP) 接口
  - 两个控制器局域网 (CAN) 模块（引脚可引导）
  - 三个高速（高达 50MHz）SPI 端口（引脚可引导）
  - 两个多通道缓冲串行端口 (McBSP)
  - 四个串行通信接口 (SCI/UART)（引脚可引导）
  - 两个 I2C 接口（引脚可引导）
- 模拟子系统
  - 多达四个模数转换器 (ADC)
    - 16 位模式
      - 每个为 1.1MSPS（系统吞吐量高达 4.4MSPS）
      - 差分输入
      - 多达 12 个外部通道
    - 12 位模式
      - 每个为 3.5MSPS（系统吞吐量高达 14MSPS）
      - 单端输入
      - 多达 24 个外部通道
    - 每个 ADC 上有一个采样保持 (S/H) 电路
    - ADC 转换的硬件集成后处理
      - 饱和偏移量校准
      - 设定点计算的误差
      - 具有中断功能的高电平、低电平和过零比较
      - 触发至采样延迟采集
  - 八个具有 12 位数模转换器 (DAC) 参考的窗口比较器
  - 三个 12 位缓冲 DAC 输出
- 增强型控制外设
  - 24 个具有增强特性的脉宽调制器 (PWM) 通道
  - 16 个高分辨率脉宽调制器 (HRPWM) 通道
    - 8 个 PWM 模块的 A、B 通道均具有高分辨率
    - 死区支持（对于标准和高分辨率均支持）
  - 6 个增强型采集 (eCAP) 模块
  - 三个增强型正交编码器脉冲 (eQEP) 模块
  - 8 个 Δ-Σ 滤波器模块 (SDFM) 输入通道，每通道有 2 个并联滤波器
    - 标准 SDFM 数据滤波
    - 用于快速响应超范围情况的比较器滤波器
- 支持国防与航空航天应用
  - 受控基线
  - 一个组装/测试基地
  - 一个制造基地

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

- 延长产品生命周期
- 产品可追溯性
- 根据 ASTM E595 进行了释气测试

- 封装：
  - 176 引脚 PowerPAD™ 热增强型低剖面四通道扁平封装 (HLQFP) [PTP 后缀]
- 硬件内置自检 (HWBIST)
- 温度：
  - –55°C 至 150°C 结温

2 应用

- 航天和航空电子设备
- 支持近地轨道航天应用
- 电机和执行器
  - 姿态与轨道控制系统
    - 反作用轮组件
    - 控制力矩陀螺（动量轮）
    - 推进器万向节机构
  - 光学通信
    - 光束控制万向节
    - 快速控制反射镜
  - 天线指向机构
  - 低温制冷压缩机
- 数字电源
  - 航天器电力系统
    - 电源控制与分配限制
    - 航天级 DC-DC 转换器模块（包括谐振拓扑）
  - 卫星电力系统
- 惯性测量单元 (IMU)

3 说明

C2000™ 32 位微控制器针对处理、感应和驱动进行了优化，可提高实时控制应用（如工业电机驱动器、光伏逆变器和数字电源、电动汽车和运输、电机控制以及感应和信号处理）的闭环性能。C2000 系列包括高级性能 MCU 和入门级性能 MCU。

TMS320F2837xD 是一款功能强大的 32 位浮点微控制器单元 (MCU)，专为工业电机驱动器、光伏逆变器和数字电源、电动汽车和运输以及感应和信号处理等高级闭环控制应用而设计。为了加速应用开发，提供了适用于 C2000 MCU 的 DigitalPower 软件开发套件 (SDK) 和适用于 C2000™ MCU 的 MotorControl 软件开发套件 (SDK)。F2837xD 支持新型双核 C28x 架构，显著提升了系统性能。此外，集成式模拟和控制外设还允许设计人员整合控制架构，并消除了高端系统对多处理器的需求。

双实时控制子系统基于 TI 的 32 位 C28x 浮点 CPU，每个内核均可提供 200 MHz 的信号处理性能。C28x CPU 的性能通过新型 TMU 加速器和 VCU 加速器得到了进一步提升，TMU 加速器能够快速执行变换和转矩环路计算中常见的三角运算的算法；VCU 加速器能够缩短编码应用中常见的复杂数学运算的时间。

F2837xD 微控制器产品系列具有两个 CLA 实时控制协处理器。CLA 是一款独立的 32 位浮点处理器，运行速度与主 CPU 相同。该 CLA 对外设触发器作出响应，并与主 C28x CPU 同时执行代码。这种并行处理功能可以有效地将实时控制系统的计算性能提高一倍。通过利用 CLA 为时间关键型功能提供服务，主 C28x CPU 自由地执行其他任务，如通信和诊断。双路 C28x+CLA 架构可在各种系统任务之间实现智能分区。例如，一个 C28x+CLA 内核可用于跟踪速度和位置，而另一个 C28x+CLA 内核则可用于控制转矩和电流环路。

TMS320F2837xD 支持高达 1MB (512KW)且具有误差校正代码（ECC）的板载闪存以及高达 204KB (102KW) 的 SRAM。每个 CPU 上还具有两个 128 位安全区用于代码保护。

F2837xD MCU 上还集成了性能模拟和控制外设，进一步实现系统整合。四个独立的 16 位 ADC 可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。新型 Σ-Δ 滤波器模块 (SDFM) 与 Σ-Δ 调制器配合使用可实现隔离式电流并联测量。包含窗口比较器的比较器子系统 (CMPSS) 可在超过或未满足电流限制条件的情况下保护功率级。其他模拟和控制外设包含 DAC、PWM、eCAP、eQEP 以及其他外设。

EMIF、CAN 模块（符合 ISO 11898-1/CAN 2.0B 标准）等外设以及新型 uPP 接口扩展了 F2837xD 的连接性。uPP 接口是 C2000™ MCU 的新功能，支持利用相似的 uPP 接口与 FPGA 或其他处理器实现高速并行连接。最后，具有 MAC 和 PHY 的 USB 2.0 端口使用户能够轻松地将通用串行总线 (USB) 连接到其应用中。

Copyright © 2026 Texas Instruments Incorporated

是否想详细了解 C2000 MCU 适用于实时控制系统的特性？查看 *使用 C2000™ 实时微控制器的基本开发指南*，并访问 C2000™ 实时控制 MCU 页面。

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，帮助用户进一步了解相关信息。

准备开始了吗？查看 TMDSCNCD28379D 或 LAUNCHXL-F28379D 评估板并下载 C2000Ware。

如需了解 C2000 MCU 的更多信息，请访问“C2000 概述”，网址为 www.ti.com/c2000。

封装信息

器件型号	等级(1)	封装(2)	封装尺寸(3)	本体尺寸(4)
F28377DPTPSEP	30krad(Si) RLAT	PTP（HLQFP，176）	26mm × 26mm	24mm × 24mm 质量 = 2.15g

(1) 有关器件等级的其他信息，请查看“器件等级”。
(2) 如需了解更多信息，请参阅机械、封装和可订购信息。
(3) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(4) 质量为标称值，本体尺寸（长 × 宽）为标称值，不包括引脚。

Copyright © 2026 Texas Instruments Incorporated

3.1 功能方框图

功能方框图展示了 CPU 系统及 F2837xD 器件上关联的外设。有关 F28377D-SEP 器件的特性和外设，请参阅表 4-1。

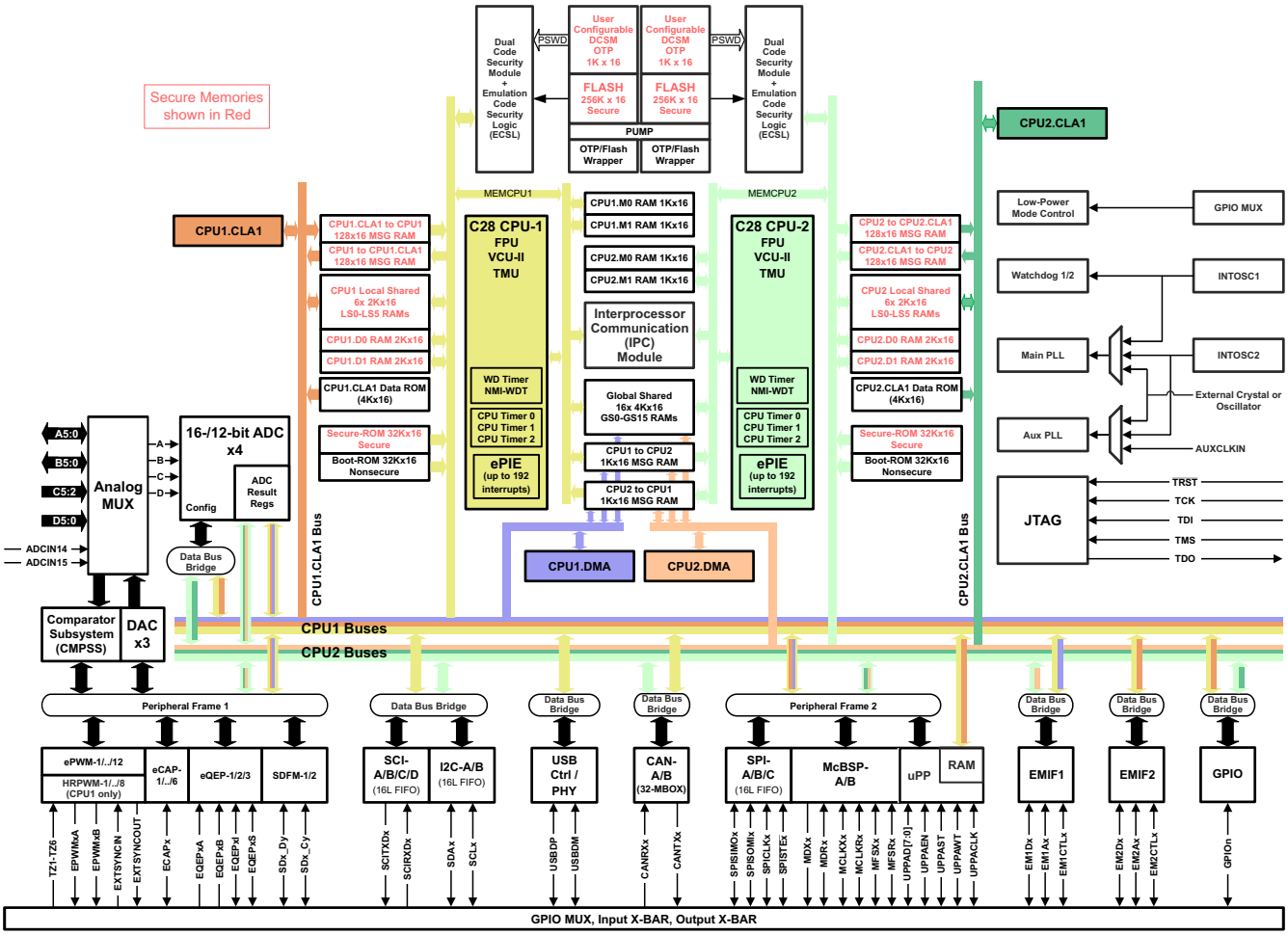


图 3-1. F2837xD 功能框图

Copyright © 2026 Texas Instruments Incorporated

内容

1 特性 ... 1
2 应用 ... 2
3 说明 ... 2
3.1 功能方框图 ... 4
4 器件比较 ... 6
4.1 相关产品 ... 7
5 引脚配置和功能 ... 8
5.1 引脚图 ... 8
5.2 信号描述 ... 10
5.3 带有内部上拉和下拉的引脚 ... 32
5.4 引脚复用 ... 33
5.5 未使用引脚的连接 ... 40
6 规格 ... 41
6.1 绝对最大额定值 ... 41
6.2 ESD 等级 ... 41
6.3 建议运行条件 ... 42
6.4 功耗摘要 ... 43
6.5 电气特性 ... 48
6.6 热阻特征 ... 49
6.7 散热设计注意事项 ... 49
6.8 系统 ... 50
6.9 模拟外设 ... 91
6.10 控制外设 ... 119
6.11 通信外设 ... 138
7 详细说明 ... 172
7.1 概述 ... 172
7.2 功能方框图 ... 173
7.3 存储器 ... 174
7.4 标识 ... 182
7.5 总线架构 - 外设连接 ... 183
7.6 C28x 处理器 ... 184
7.7 控制律加速器 ... 187
7.8 直接存储器存取 ... 188
7.9 处理器间通信模块 ... 190
7.10 引导 ROM 和外设引导 ... 191
7.11 双代码安全模块 ... 194
7.12 计时器 ... 195
7.13 带有看门狗计时器的非可屏蔽中断 (NMIWD) ... 195
7.14 看门狗 ... 196
8 应用、实现和布局 ... 197
8.1 应用和实施 ... 197
8.2 器件主要特性 ... 197
8.3 应用信息 ... 201
9 器件和文档支持 ... 204
9.1 器件和开发支持工具命名规则 ... 204
9.2 标识 ... 204
9.3 工具与软件 ... 206
9.4 文档支持 ... 208
9.5 支持资源 ... 209
9.6 商标 ... 209
9.7 静电放电警告 ... 209
9.8 出口管制提示 ... 209
9.9 术语表 ... 209
10 修订历史记录 ... 209
11 机械、封装和可订购信息 ... 210
11.1 封装信息 ... 210

Copyright © 2026 Texas Instruments Incorporated

4 器件比较

表 4-1 列出了 F28377D-SEP 器件的特性。

表 4-1. 器件比较

特性(1)		F28377D-SEP
封装类型（PTP 为 HLQFP 封装。）		**176 引脚 PTP**
处理器和加速器		
C28x	数量	2
	频率 (MHz)	200
	浮点单元 (FPU)	是
	VCU-II	是
	TMU - 0 类	是
CLA - 1 类	数量	2
	频率 (MHz)	200
6 通道 DMA - 0 类		2
存储器		
闪存（16 位字）		1MB (512KW) [每个 CPU 512KB (256KW)]
RAM（16 位字）	专用和本地共享 RAM	72KB (36KW) [每个 CPU 36KB (18KW)]
	全局共享 RAM	128KB (64KW)
	消息 RAM	4KB (2KW) [每个 CPU 2KB (1KW)]
	总 RAM	**204KB (102KW)**
片上闪存、RAM 和 OTP 模块的代码安全性		是
引导 ROM		是
系统		
可配置逻辑块 (CLB)		否
32 位 CPU 计时器		6 个（每个 CPU 3 个）
看门狗计时器		2 个（每个 CPU 1 个）
非可屏蔽中断看门狗 (NMIWD) 计时器		2 个（每个 CPU 1 个）
晶体振荡器/外部时钟输入		1
0 引脚内部振荡器		2
I/O 引脚（共用）	GPIO	97
外部中断		5
EMIF	EMIF1（16 位或 32 位）	1
	EMIF2（16 位）	–
模拟外设		
ADC 16 位模式	MSPS	1.1
	转换时间 (ns)(2)	915
	输入引脚	20
	通道（差分）	9

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 器件比较（续）

特性(1)		F28377D-SEP
封装类型（PTP 为 HLQFP 封装。）		**176 引脚 PTP**
ADC 12 位模式	MSPS	3.5
	转换时间 (ns)(2)	280
	输入引脚	20
	通道（单端）	20
16 位或 12 位 ADC 的数量		4
仅 12 位 ADC 的数量		–
温度传感器		1
CMPSS（每个 CMPSS 都有两个比较器和两个内部 DAC）		8
缓冲 DAC		3
控制外设		
eCAP 输入 - 0 类		6
增强型脉宽调制器 (ePWM) 通道 - 4 类		24
eQEP 模块 - 0 类		3
高分辨率 ePWM 通道 - 4 类		16
SDFM 通道 - 0 类		8
通信外设		
控制器局域网 (CAN) - 0 类(3)		2
内部集成电路 (I2C) - 0 类		2
多通道缓冲串行端口 (McBSP) - 1 类		2
串行通信接口 (SCI) - 0 类（UART 兼容）		4
串行外设接口 (SPI) - 2 类		3
USB - 0 类		1
uPP - 0 类		1
温度和合格认证		
结温 (T_J)	-55°C 至 150°C	是

(1) 一个类型变化代表一个外设模块中的主要功能特性差异。在一个外设类型内，器件之间会有细微差异，但不会影响模块的基本功能性。有关更多信息，请参阅 *C2000 实时微控制器外设参考指南*。
(2) 从采样保持窗口开始到下一次转换的采样保持窗口开始之间的时间。
(3) CAN 模块使用称为 *D_CAN* 的 IP。本文档交替使用名称 *CAN* 和 *D_CAN* 来引用此外设。

4.1 相关产品

有关类似产品的信息，请参阅以下链接：

TMS320F2837xD 微控制器
F2837xD 系列为双路子系统的性能设置了新标准。每个子系统由 C28x CPU 和并行控制律加速器 (CLA) 组成，每个子系统的运行频率为 200MHz 。增强性能的是 TMU 和 VCU 加速器。新功能包括多个 16 位/12 位模式 ADC、DAC、Σ-Δ 滤波器、USB、可配置逻辑块 (CLB)、片上振荡器和所有外设的增强版。F2837xD 可提供高达 1MB 的闪存。其采用 176 引脚 QFP 或 337 引脚 BGA 封装。

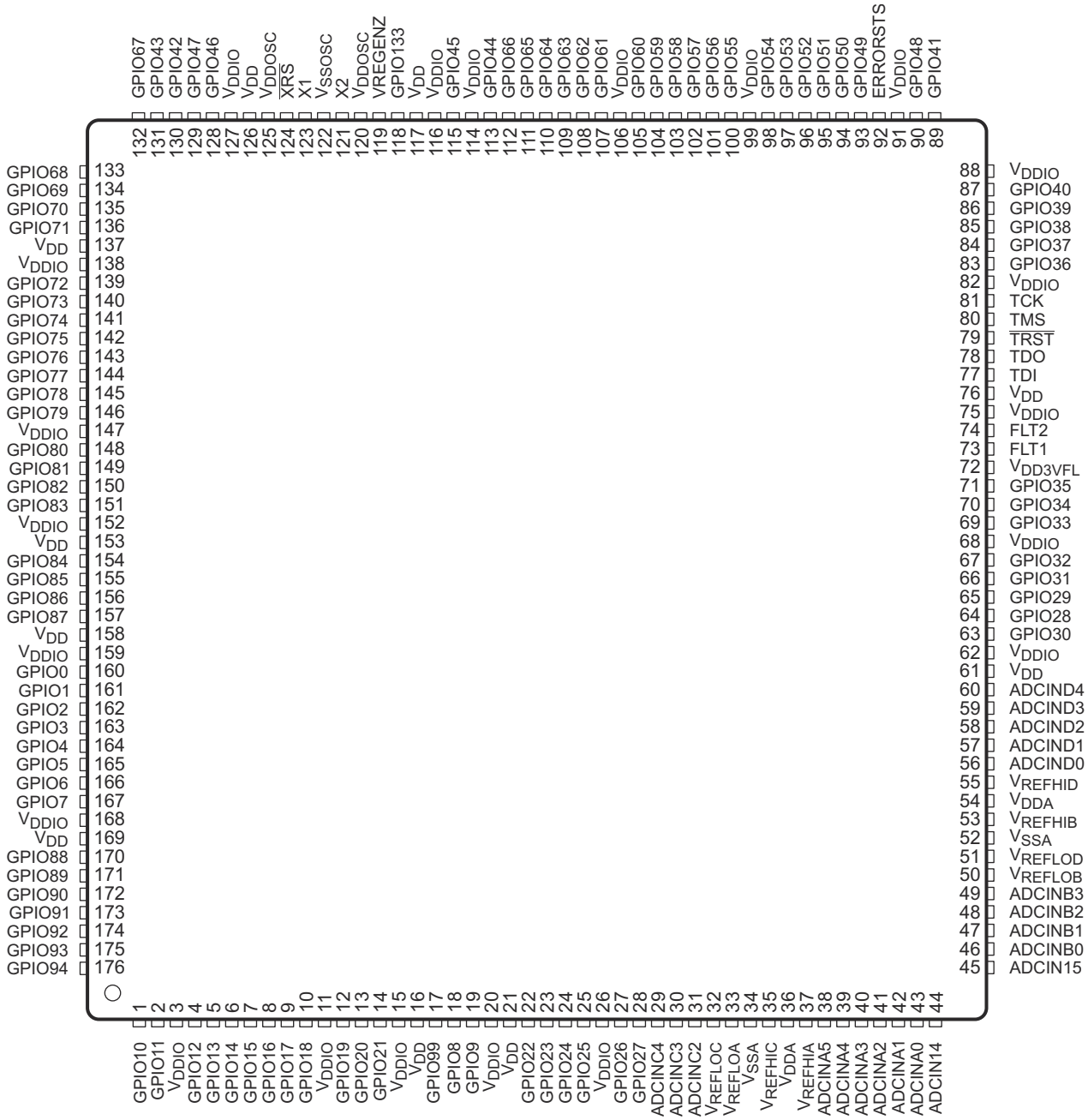
TMS320F2837xS 微控制器
F2837xS 系列是 F2837xD 的引脚对引脚兼容版本，但仅启用了一个 C28x CPU 和 CLA 子系统。它还采用 100 引脚 QFP，以实现与 TMS320F2807x 系列的兼容性。

Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能

5.1 引脚图

图 5-1 展示了 176 引脚 PTP PowerPAD Thermally Enhanced Low-Profile Quad Flatpack 上的引脚分配。



A. GPIO 引脚上仅显示 GPIO 功能。请参阅*信号描述*部分以了解完整的多路复用信号名称。

图 5-1. 176 引脚 PTP PowerPAD Thermally Enhanced Low-Profile Quad Flatpack（顶视图）

Copyright © 2026 Texas Instruments Incorporated

备注

PowerPAD™ 封装的外露引线框裸片焊盘有两个功能：从芯片散热和为数字接地提供接地路径（通过专用引脚提供模拟接地）。因此，PowerPAD 应焊接到 PCB 的接地 (GND) 平面，因为这将提供数字接地路径和良好的热传导路径。为了使 PowerPAD 封装中设计的热效率得到最佳利用，在设计 PCB 时必须考虑到这种技术。在 PowerPAD 主体正下方的 PCB 表面上需要散热焊盘。散热焊盘应焊接到 PowerPAD 封装的外露引线框裸片焊盘上；散热焊盘应尽可能大，以散发所需的热量。应使用一组散热过孔将散热焊盘与电路板的内部 GND 平面连接。请参阅 *PowerPAD™ 热增强型封装*，了解有关使用 PowerPAD 封装的更多详细信息。

备注

PCB 封装和原理图符号都能以厂商中立格式下载，然后可以将其导出到先进的 EDA CAD/CAE 设计工具。请参阅“封装”部分下每个器件的产品文件夹中的“CAD/CAE 符号”小节。也可以在 https://webench.ti.com/cad/ 上搜索这些封装和符号。

Copyright © 2026 Texas Instruments Incorporated

5.2 信号描述

节 5.2.1 对这些信号进行了说明。除非另有说明，否则复位时默认为 GPIO 功能。在它们下面列出的外设信号是供替换的功能。有些外设功能并非在所有器件上都可用。有关详细信息，请参阅表 4-1。所有 GPIO 引脚都为 I/O/Z 且有内部上拉电阻器，可在每个引脚上有选择性地启用/禁用。这一特性只适用于 GPIO 引脚。复位时上拉电阻器未启用。

5.2.1 信号说明

表 5-1. 信号说明

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
ADC、DAC 和比较器信号				
V_{REFHIA}		37	I	ADC-A 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 1µF 电容器；对于 16 位模式，则放置至少一个 22µF 电容器。此电容器应放置在 V_{REFHIA} 和 V_{REFLOA} 引脚之间且尽可能靠近器件。 **注意：**请勿从外部加载此引脚。
V_{REFHIB}		53	I	ADC-B 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 1µF 电容器；对于 16 位模式，则放置至少一个 22µF 电容器。此电容器应放置在 V_{REFHIB} 和 V_{REFLOB} 引脚之间且尽可能靠近器件。 **注意：**请勿从外部加载此引脚。
V_{REFHIC}		35	I	ADC-C 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 1µF 电容器；对于 16 位模式，则放置至少一个 22µF 电容器。此电容器应放置在 V_{REFHIC} 和 V_{REFLOC} 引脚之间且尽可能靠近器件。 **注意：**请勿从外部加载此引脚。
V_{REFHID}		55	I	ADC-D 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 1µF 电容器；对于 16 位模式，则放置至少一个 22µF 电容器。此电容器应放置在 V_{REFHID} 和 V_{REFLOD} 引脚之间且尽可能靠近器件。 **注意：**请勿从外部加载此引脚。
V_{REFLOA}		33	I	ADC-A 低基准
V_{REFLOB}		50	I	ADC-B 低基准电压
V_{REFLOC}		32	I	ADC-C 低基准电压
V_{REFLOD}		51	I	ADC-D 低基准电压
ADCIN14 CMPIN4P		44	I I	到所有 ADC 的输入 14。此引脚可用作通用 ADCIN 引脚或可用于通过外部基准对 ADC 进行校准（无论是单端输入还是差分输入）。 比较器 4 正输入
ADCIN15 CMPIN4N		45	I I	到所有 ADC 的输入 15。此引脚可用作通用 ADCIN 引脚或可用于通过外部基准对 ADC 进行校准（无论是单端输入还是差分输入）。 比较器 4 负输入
ADCINA0 DACOUTA		43	I O	ADC-A 输入 0。在 ADC 输入或 DAC 输出模式中，此引脚上有一个无法禁用的 50kΩ 内部下拉电阻器。 DAC-A 输出
ADCINA1 DACOUTB		42	I O	ADC-A 输入 1。在 ADC 输入或 DAC 输出模式中，此引脚上有一个无法禁用的 50kΩ 内部下拉电阻器。 DAC-B 输出
ADCINA2 CMPIN1P		41	I I	ADC-A 输入 2 比较器 1 正输入

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
ADCINA3		40	I	ADC-A 输入 3
CMPIN1N			I	比较器 1 负输入
ADCINA4		39	I	ADC-A 输入 4
CMPIN2P			I	比较器 2 正输入
ADCINA5		38	I	ADC-A 输入 5
CMPIN2N			I	比较器 2 负输入
ADCINB0		46	I	ADC-B 输入 0。在 ADC 输入或 DAC 基准模式中，此引脚上有一个连接至 V_{SSA} 且无法禁用的 100pF 电容器。如果将此引脚用作片上 DAC 的基准，请在此引脚上放置至少一个 1μF 电容器。
VDAC			I	片上 DAC 的可选外部基准电压。在 ADC 输入或 DAC 基准模式中，此引脚上有一个连接至 V_{SSA} 且无法禁用的 100pF 电容器。如果将此引脚用作片上 DAC 的基准，请在此引脚上放置至少一个 1μF 电容器。
ADCINB1		47	I	ADC-B 输入 1。在 ADC 输入或 DAC 输出模式中，此引脚上有一个无法禁用的 50kΩ 内部下拉电阻器。
DACOUTC			O	DAC-C 输出
ADCINB2		48	I	ADC-B 输入 2
CMPIN3P			I	比较器 3 正输入
ADCINB3		49	I	ADC-B 输入 3
CMPIN3N			I	比较器 3 负输入
ADCINB4		–	I	ADC-B 输入 4
ADCINB5		–	I	ADC-B 输入 5
ADCINC2		31	I	ADC-C 输入 2
CMPIN6P			I	比较器 6 正输入
ADCINC3		30	I	ADC-C 输入 3
CMPIN6N			I	比较器 6 负输入
ADCINC4		29	I	ADC-C 输入 4
CMPIN5P			I	比较器 5 正输入
ADCINC5		–	I	ADC-C 输入 5
CMPIN5N			I	比较器 5 负输入
ADCIND0		56	I	ADC-D 输入 0
CMPIN7P			I	比较器 7 正输入
ADCIND1		57	I	ADC-D 输入 1
CMPIN7N			I	比较器 7 负输入
ADCIND2		58	I	ADC-D 输入 2
CMPIN8P			I	比较器 8 正输入
ADCIND3		59	I	ADC-D 输入 3
CMPIN8N			I	比较器 8 负输入

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
ADCIND4		60	I	ADC-D 输入 4
ADCIND5		–	I	ADC-D 输入 5
GPIO 和外设信号				
GPIO0	0、4、8、12	160	I/O	通用输入/输出 0
EPWM1A	1		O	增强型 PWM1 输出 A（支持 HRPWM）
SDAA	6		I/OD	I2C-A 数据开漏双向端口
GPIO1	0、4、8、12	161	I/O	通用输入/输出 1
EPWM1B	1		O	增强型 PWM1 输出 B（支持 HRPWM）
MFSRB	3		I/O	McBSP-B 接收帧同步
SCLA	6		I/OD	I2C-A 时钟开漏双向端口
GPIO2	0、4、8、12	162	I/O	通用输入/输出 2
EPWM2A	1		O	增强型 PWM2 输出 A（支持 HRPWM）
OUTPUTXBAR1	5		O	输出 XBAR 的输出 1
SDAB	6		I/OD	I2C-B 数据开漏双向端口
GPIO3	0、4、8、12	163	I/O	通用输入/输出 3
EPWM2B	1		O	增强型 PWM2 输出 B（支持 HRPWM）
OUTPUTXBAR2	2		O	输出 XBAR 的输出 2
MCLKRB	3		I/O	McBSP-B 接收时钟
OUTPUTXBAR2	5		O	输出 XBAR 的输出 2
SCLB	6		I/OD	I2C-B 时钟开漏双向端口
GPIO4	0、4、8、12	164	I/O	通用输入/输出 4
EPWM3A	1		O	增强型 PWM3 输出 A（支持 HRPWM）
OUTPUTXBAR3	5		O	输出 XBAR 的输出 3
CANTXA	6		O	CAN-A 发送
GPIO5	0、4、8、12	165	I/O	通用输入/输出 5
EPWM3B	1		O	增强型 PWM3 输出 B（支持 HRPWM）
MFSRA	2		I/O	McBSP-A 接收帧同步
OUTPUTXBAR3	3		O	输出 XBAR 的输出 3
CANRXA	6		I	CAN-A 接收
GPIO6	0、4、8、12	166	I/O	通用输入/输出 6
EPWM4A	1		O	增强型 PWM4 输出 A（支持 HRPWM）
OUTPUTXBAR4	2		O	输出 XBAR 的输出 4
EXTSYNCOUT	3		O	外部 ePWM 同步脉冲输出
EQEP3A	5		I	增强型 QEP3 输入 A
CANTXB	6		O	CAN-B 发送
GPIO7	0、4、8、12	167	I/O	通用输入/输出 7
EPWM4B	1		O	增强型 PWM4 输出 B（支持 HRPWM）
MCLKRA	2		I/O	McBSP-A 接收时钟
OUTPUTXBAR5	3		O	输出 XBAR 的输出 5
EQEP3B	5		I	增强型 QEP3 输入 B
CANRXB	6		I	CAN-B 接收

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO8	0、4、8、12	18	I/O	通用输入/输出 8
EPWM5A	1		O	增强型 PWM5 输出 A（支持 HRPWM）
CANTXB	2		O	CAN-B 发送
ADCSOCAO	3		O	外部 ADC 的 ADC 转换启动 A 输出
EQEP3S	5		I/O	增强型 QEP3 选通
SCITXDA	6		O	SCI-A 发送数据
GPIO9	0、4、8、12	19	I/O	通用输入/输出 9
EPWM5B	1		O	增强型 PWM5 输出 B（支持 HRPWM）
SCITXDB	2		O	SCI-B 发送数据
OUTPUTXBAR6	3		O	输出 XBAR 的输出 6
EQEP3I	5		I/O	增强型 QEP3 索引
SCIRXDA	6		I	SCI-A 接收数据
GPIO10	0、4、8、12	1	I/O	通用输入/输出 10
EPWM6A	1		O	增强型 PWM6 输出 A（支持 HRPWM）
CANRXB	2		I	CAN-B 接收
ADCSOCBO	3		O	外部 ADC 的 ADC 转换启动 B 输出
EQEP1A	5		I	增强型 QEP1 输入 A
SCITXDB	6		O	SCI-B 发送数据
UPP-WAIT	15		I/O	通用并行端口等待。接收器生效以请求暂停传输。
GPIO11	0、4、8、12	2	I/O	通用输入/输出 11
EPWM6B	1		O	增强型 PWM6 输出 B（支持 HRPWM）
SCIRXDB	2、6		I	SCI-B 接收数据
OUTPUTXBAR7	3		O	输出 XBAR 的输出 7
EQEP1B	5		I	增强型 QEP1 输入 B
UPP-START	15		I/O	通用并行端口开始。发送器在 DMA 线开始时生效。
GPIO12	0、4、8、12	4	I/O	通用输入/输出 12
EPWM7A	1		O	增强型 PWM7 输出 A（支持 HRPWM）
CANTXB	2		O	CAN-B 发送
MDXB	3		O	McBSP-B 发送串行数据
EQEP1S	5		I/O	增强型 QEP1 选通
SCITXDC	6		O	SCI-C 发送数据
UPP-ENA	15		I/O	通用并行端口使能。发送器在数据总线处于运行状态时生效。
GPIO13	0、4、8、12	5	I/O	通用输入/输出 13
EPWM7B	1		O	增强型 PWM7 输出 B（支持 HRPWM）
CANRXB	2		I	CAN-B 接收
MDRB	3		I	McBSP-B 接收串行数据
EQEP1I	5		I/O	增强型 QEP1 索引
SCIRXDC	6		I	SCI-C 接收数据
UPP-D7	15		I/O	通用并行端口数据线 7

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO14	0、4、8、12	6	I/O	通用输入/输出 14
EPWM8A	1		O	增强型 PWM8 输出 A（支持 HRPWM）
SCITXDB	2		O	SCI-B 发送数据
MCLKXB	3		I/O	McBSP-B 发送时钟
OUTPUTXBAR3	6		O	输出 XBAR 的输出 3
UPP-D6	15		I/O	通用并行端口数据线 6
GPIO15	0、4、8、12	7	I/O	通用输入/输出 15
EPWM8B	1		O	增强型 PWM8 输出 B（支持 HRPWM）
SCIRXDB	2		I	SCI-B 接收数据
MFSXB	3		I/O	McBSP-B 发送帧同步
OUTPUTXBAR4	6		O	输出 XBAR 的输出 4
UPP-D5	15		I/O	通用并行端口数据线 5
GPIO16	0、4、8、12	8	I/O	通用输入/输出 16
SPISIMOA	1		I/O	SPI-A 从器件输入，主器件输出
CANTXB	2		O	CAN-B 发送
OUTPUTXBAR7	3		O	输出 XBAR 的输出 7
EPWM9A	5		O	增强型 PWM9 输出 A
SD1_D1	7		I	Σ-Δ 1 通道 1 数据输入
UPP-D4	15		I/O	通用并行端口数据线 4
GPIO17	0、4、8、12	9	I/O	通用输入/输出 17
SPISOMIA	1		I/O	SPI-A 从器件输出，主器件输入
CANRXB	2		I	CAN-B 接收
OUTPUTXBAR8	3		O	输出 XBAR 的输出 8
EPWM9B	5		O	增强型 PWM9 输出 B
SD1_C1	7		I	Σ-Δ 1 通道 1 时钟输入
UPP-D3	15		I/O	通用并行端口数据线 3
GPIO18	0、4、8、12	10	I/O	通用输入/输出 18
SPICLKA	1		I/O	SPI-A 时钟
SCITXDB	2		O	SCI-B 发送数据
CANRXA	3		I	CAN-A 接收
EPWM10A	5		O	增强型 PWM10 输出 A
SD1_D2	7		I	Σ-Δ 1 通道 2 数据输入
UPP-D2	15		I/O	通用并行端口数据线 2
GPIO19	0、4、8、12	12	I/O	通用输入/输出 19
$\overline{\text{SPISTEA}}$	1		I/O	SPI-A 从器件发送使能
SCIRXDB	2		I	SCI-B 接收数据
CANTXA	3		O	CAN-A 发送
EPWM10B	5		O	增强型 PWM10 输出 B
SD1_C2	7		I	Σ-Δ 1 通道 2 时钟输入
UPP-D1	15		I/O	通用并行端口数据线 1

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO20	0、4、8、12		I/O	通用输入/输出 20
EQEP1A	1		I	增强型 QEP1 输入 A
MDXA	2		O	McBSP-A 发送串行数据
CANTXB	3	13	O	CAN-B 发送
EPWM11A	5		O	增强型 PWM11 输出 A
SD1_D3	7		I	Σ-Δ 1 通道 3 数据输入
UPP-D0	15		I/O	通用并行端口数据线 0
GPIO21	0、4、8、12		I/O	通用输入/输出 21
EQEP1B	1		I	增强型 QEP1 输入 B
MDRA	2		I	McBSP-A 接收串行数据
CANRXB	3	14	I	CAN-B 接收
EPWM11B	5		O	增强型 PWM11 输出 B
SD1_C3	7		I	Σ-Δ 1 通道 3 时钟输入
UPP-CLK	15		I/O	通用并行端口发送时钟
GPIO22	0、4、8、12		I/O	通用输入/输出 22
EQEP1S	1		I/O	增强型 QEP1 选通
MCLKXA	2		I/O	McBSP-A 发送时钟
SCITXDB	3	22	O	SCI-B 发送数据
EPWM12A	5		O	增强型 PWM12 输出 A
SPICLKB	6		I/O	SPI-B 时钟
SD1_D4	7		I	Σ-Δ 1 通道 4 数据输入
GPIO23	0、4、8、12		I/O	通用输入/输出 23
EQEP1I	1		I/O	增强型 QEP1 索引
MFSXA	2		I/O	McBSP-A 发送帧同步
SCIRXDB	3	23	I	SCI-B 接收数据
EPWM12B	5		O	增强型 PWM12 输出 B
$\overline{\text{SPISTEB}}$	6		I/O	SPI-B 从器件发送使能
SD1_C4	7		I	Σ-Δ 1 通道 4 时钟输入
GPIO24	0、4、8、12		I/O	通用输入/输出 24
OUTPUTXBAR1	1		O	输出 XBAR 的输出 1
EQEP2A	2	24	I	增强型 QEP2 输入 A
MDXB	3		O	McBSP-B 发送串行数据
SPISIMOB	6		I/O	SPI-B 从器件输入，主器件输出
SD2_D1	7		I	Σ-Δ 2 通道 1 数据输入
GPIO25	0、4、8、12		I/O	通用输入/输出 25
OUTPUTXBAR2	1		O	输出 XBAR 的输出 2
EQEP2B	2	25	I	增强型 QEP2 输入 B
MDRB	3		I	McBSP-B 接收串行数据
SPISOMIB	6		I/O	SPI-B 从器件输出，主器件输入
SD2_C1	7		I	Σ-Δ 2 通道 1 时钟输入

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO26	0、4、8、12	27	I/O	通用输入/输出 26
OUTPUTXBAR3	1		O	输出 XBAR 的输出 3
EQEP2I	2		I/O	增强型 QEP2 索引
MCLKXB	3		I/O	McBSP-B 发送时钟
OUTPUTXBAR3	5		O	输出 XBAR 的输出 3
SPICLKB	6		I/O	SPI-B 时钟
SD2_D2	7		I	Σ-Δ 2 通道 2 数据输入
GPIO27	0、4、8、12	28	I/O	通用输入/输出 27
OUTPUTXBAR4	1		O	输出 XBAR 的输出 4
EQEP2S	2		I/O	增强型 QEP2 选通
MFSXB	3		I/O	McBSP-B 发送帧同步
OUTPUTXBAR4	5		O	输出 XBAR 的输出 4
$\overline{\text{SPISTEB}}$	6		I/O	SPI-B 从器件发送使能
SD2_C2	7		I	Σ-Δ 2 通道 2 时钟输入
GPIO28	0、4、8、12	64	I/O	通用输入/输出 28
SCIRXDA	1		I	SCI-A 接收数据
$\overline{\text{EM1CS4}}$	2		O	外部存储器接口 1 芯片选择 4
OUTPUTXBAR5	5		O	输出 XBAR 的输出 5
EQEP3A	6		I	增强型 QEP3 输入 A
SD2_D3	7		I	Σ-Δ 2 通道 3 数据输入
GPIO29	0、4、8、12	65	I/O	通用输入/输出 29
SCITXDA	1		O	SCI-A 发送数据
EM1SDCKE	2		O	外部存储器接口 1 SDRAM 时钟使能
OUTPUTXBAR6	5		O	输出 XBAR 的输出 6
EQEP3B	6		I	增强型 QEP3 输入 B
SD2_C3	7		I	Σ-Δ 2 通道 3 时钟输入
GPIO30	0、4、8、12	63	I/O	通用输入/输出 30
CANRXA	1		I	CAN-A 接收
EM1CLK	2		O	外部存储器接口 1 时钟
OUTPUTXBAR7	5		O	输出 XBAR 的输出 7
EQEP3S	6		I/O	增强型 QEP3 选通
SD2_D4	7		I	Σ-Δ 2 通道 4 数据输入
GPIO31	0、4、8、12	66	I/O	通用输入/输出 31
CANTXA	1		O	CAN-A 发送
$\overline{\text{EM1WE}}$	2		O	外部存储器接口 1 写入使能
OUTPUTXBAR8	5		O	输出 XBAR 的输出 8
EQEP3I	6		I/O	增强型 QEP3 索引
SD2_C4	7		I	Σ-Δ 2 通道 4 时钟输入
GPIO32	0、4、8、12	67	I/O	通用输入/输出 32
SDAA	1		I/OD	I2C-A 数据开漏双向端口
$\overline{\text{EM1CS0}}$	2		O	外部存储器接口 1 芯片选择 0

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO33	0、4、8、12	69	I/O	通用输入/输出 33
SCLA	1		I/OD	I2C-A 时钟开漏双向端口
EM1RNW	2		O	外部存储器接口 1 读/不写
GPIO34	0、4、8、12	70	I/O	通用输入/输出 34
OUTPUTXBAR1	1		O	输出 XBAR 的输出 1
$\overline{\text{EM1CS2}}$	2		O	外部存储器接口 1 芯片选择 2
SDAB	6		I/OD	I2C-B 数据开漏双向端口
GPIO35	0、4、8、12	71	I/O	通用输入/输出 35
SCIRXDA	1		I	SCI-A 接收数据
$\overline{\text{EM1CS3}}$	2		O	外部存储器接口 1 芯片选择 3
SCLB	6		I/OD	I2C-B 时钟开漏双向端口
GPIO36	0、4、8、12	83	I/O	通用输入/输出 36
SCITXDA	1		O	SCI-A 发送数据
EM1WAIT	2		I	外部存储器接口 1 异步 SRAM WAIT
CANRXA	6		I	CAN-A 接收
GPIO37	0、4、8、12	84	I/O	通用输入/输出 37
OUTPUTXBAR2	1		O	输出 XBAR 的输出 2
$\overline{\text{EM1OE}}$	2		O	外部存储器接口 1 输出使能
CANTXA	6		O	CAN-A 发送
GPIO38	0、4、8、12	85	I/O	通用输入/输出 38
EM1A0	2		O	外部存储器接口 1 地址线 0
SCITXDC	5		O	SCI-C 发送数据
CANTXB	6		O	CAN-B 发送
GPIO39	0、4、8、12	86	I/O	通用输入/输出 39
EM1A1	2		O	外部存储器接口 1 地址线 1
SCIRXDC	5		I	SCI-C 接收数据
CANRXB	6		I	CAN-B 接收
GPIO40	0、4、8、12	87	I/O	通用输入/输出 40
EM1A2	2		O	外部存储器接口 1 地址线 2
SDAB	6		I/OD	I2C-B 数据开漏双向端口
GPIO41	0、4、8、12	89	I/O	通用输入/输出 41。对于使用休眠低功耗模式的应用，此引脚用作 $\overline{\text{GPIOHIBWAKE}}$ 信号。有关详细信息，请参阅 *TMS320F2837xD 双实时微控制器技术参考手册* 的“系统控制”一章中的“低功耗模式”一节。
EM1A3	2		O	外部存储器接口 1 地址线 3
SCLB	6		I/OD	I2C-B 时钟开漏双向端口
GPIO42	0、4、8、12	130	I/O	通用输入/输出 42
SDAA	6		I/OD	I2C-A 数据开漏双向端口
SCITXDA	15		O	SCI-A 发送数据
USB0DM	模拟		I/O	USB PHY 差分数据

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO43	0、4、8、12	131	I/O	通用输入/输出 43
SCLA	6		I/OD	I2C-A 时钟开漏双向端口
SCIRXDA	15		I	SCI-A 接收数据
USB0DP	模拟		I/O	USB PHY 差分数据
GPIO44	0、4、8、12	113	I/O	通用输入/输出 44
EM1A4	2		O	外部存储器接口 1 地址线 4
GPIO45	0、4、8、12	115	I/O	通用输入/输出 45
EM1A5	2		O	外部存储器接口 1 地址线 5
GPIO46	0、4、8、12	128	I/O	通用输入/输出 46
EM1A6	2		O	外部存储器接口 1 地址线 6
SCIRXDD	6		I	SCI-D 接收数据
GPIO47	0、4、8、12	129	I/O	通用输入/输出 47
EM1A7	2		O	外部存储器接口 1 地址线 7
SCITXDD	6		O	SCI-D 发送数据
GPIO48	0、4、8、12	90	I/O	通用输入/输出 48
OUTPUTXBAR3	1		O	输出 XBAR 的输出 3
EM1A8	2		O	外部存储器接口 1 地址线 8
SCITXDA	6		O	SCI-A 发送数据
SD1_D1	7		I	Σ-Δ 1 通道 1 数据输入
GPIO49	0、4、8、12	93	I/O	通用输入/输出 49
OUTPUTXBAR4	1		O	输出 XBAR 的输出 4
EM1A9	2		O	外部存储器接口 1 地址线 9
SCIRXDA	6		I	SCI-A 接收数据
SD1_C1	7		I	Σ-Δ 1 通道 1 时钟输入
GPIO50	0、4、8、12	94	I/O	通用输入/输出 50
EQEP1A	1		I	增强型 QEP1 输入 A
EM1A10	2		O	外部存储器接口 1 地址线 10
SPISIMOC	6		I/O	SPI-C 从器件输入，主器件输出
SD1_D2	7		I	Σ-Δ 1 通道 2 数据输入
GPIO51	0、4、8、12	95	I/O	通用输入/输出 51
EQEP1B	1		I	增强型 QEP1 输入 B
EM1A11	2		O	外部存储器接口 1 地址线 11
SPISOMIC	6		I/O	SPI-C 从器件输出，主器件输入
SD1_C2	7		I	Σ-Δ 1 通道 2 时钟输入
GPIO52	0、4、8、12	96	I/O	通用输入/输出 52
EQEP1S	1		I/O	增强型 QEP1 选通
EM1A12	2		O	外部存储器接口 1 地址线 12
SPICLKC	6		I/O	SPI-C 时钟
SD1_D3	7		I	Σ-Δ 1 通道 3 数据输入

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO53	0、4、8、12	97	I/O	通用输入/输出 53
EQEP1I	1		I/O	增强型 QEP1 索引
EM1D31	2		I/O	外部存储器接口 1 数据线 31
EM2D15	3		I/O	外部存储器接口 2 数据线 15
$\overline{\text{SPISTEC}}$	6		I/O	SPI-C 从器件发送使能
SD1_C3	7		I	Σ-Δ 1 通道 3 时钟输入
GPIO54	0、4、8、12	98	I/O	通用输入/输出 54
SPISIMOA	1		I/O	SPI-A 从器件输入，主器件输出
EM1D30	2		I/O	外部存储器接口 1 数据线 30
EM2D14	3		I/O	外部存储器接口 2 数据线 14
EQEP2A	5		I	增强型 QEP2 输入 A
SCITXDB	6		O	SCI-B 发送数据
SD1_D4	7		I	Σ-Δ 1 通道 4 数据输入
GPIO55	0、4、8、12	100	I/O	通用输入/输出 55
SPISOMIA	1		I/O	SPI-A 从器件输出，主器件输入
EM1D29	2		I/O	外部存储器接口 1 数据线 29
EM2D13	3		I/O	外部存储器接口 2 数据线 13
EQEP2B	5		I	增强型 QEP2 输入 B
SCIRXDB	6		I	SCI-B 接收数据
SD1_C4	7		I	Σ-Δ 1 通道 4 时钟输入
GPIO56	0、4、8、12	101	I/O	通用输入/输出 56
SPICLKA	1		I/O	SPI-A 时钟
EM1D28	2		I/O	外部存储器接口 1 数据线 28
EM2D12	3		I/O	外部存储器接口 2 数据线 12
EQEP2S	5		I/O	增强型 QEP2 选通
SCITXDC	6		O	SCI-C 发送数据
SD2_D1	7		I	Σ-Δ 2 通道 1 数据输入
GPIO57	0、4、8、12	102	I/O	通用输入/输出 57
$\overline{\text{SPISTEA}}$	1		I/O	SPI-A 从器件发送使能
EM1D27	2		I/O	外部存储器接口 1 数据线 27
EM2D11	3		I/O	外部存储器接口 2 数据线 11
EQEP2I	5		I/O	增强型 QEP2 索引
SCIRXDC	6		I	SCI-C 接收数据
SD2_C1	7		I	Σ-Δ 2 通道 1 时钟输入

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO58	0、4、8、12	103	I/O	通用输入/输出 58
MCLKRA	1		I/O	McBSP-A 接收时钟
EM1D26	2		I/O	外部存储器接口 1 数据线 26
EM2D10	3		I/O	外部存储器接口 2 数据线 10
OUTPUTXBAR1	5		O	输出 XBAR 的输出 1
SPICLKB	6		I/O	SPI-B 时钟
SD2_D2	7		I	Σ-Δ 2 通道 2 数据输入
SPISIMOA	15		I/O	SPI-A 从器件输入，主器件输出[2]
GPIO59	0、4、8、12	104	I/O	通用输入/输出 59[3]
MFSRA	1		I/O	McBSP-A 接收帧同步
EM1D25	2		I/O	外部存储器接口 1 数据线 25
EM2D9	3		I/O	外部存储器接口 2 数据线 9
OUTPUTXBAR2	5		O	输出 XBAR 的输出 2
$\overline{\text{SPISTEB}}$	6		I/O	SPI-B 从器件发送使能
SD2_C2	7		I	Σ-Δ 2 通道 2 时钟输入
SPISOMIA	15		I/O	SPI-A 从器件输出，主器件输入[2]
GPIO60	0、4、8、12	105	I/O	通用输入/输出 60
MCLKRB	1		I/O	McBSP-B 接收时钟
EM1D24	2		I/O	外部存储器接口 1 数据线 24
EM2D8	3		I/O	外部存储器接口 2 数据线 8
OUTPUTXBAR3	5		O	输出 XBAR 的输出 3
SPISIMOB	6		I/O	SPI-B 从器件输入，主器件输出
SD2_D3	7		I	Σ-Δ 2 通道 3 数据输入
SPICLKA	15		I/O	SPI-A 时钟[2]
GPIO61	0、4、8、12	107	I/O	通用输入/输出 61[3]
MFSRB	1		I/O	McBSP-B 接收帧同步
EM1D23	2		I/O	外部存储器接口 1 数据线 23
EM2D7	3		I/O	外部存储器接口 2 数据线 7
OUTPUTXBAR4	5		O	输出 XBAR 的输出 4
SPISOMIB	6		I/O	SPI-B 从器件输出，主器件输入
SD2_C3	7		I	Σ-Δ 2 通道 3 时钟输入
$\overline{\text{SPISTEA}}$	15		I/O	SPI-A 从器件发送使能[2]
GPIO62	0、4、8、12	108	I/O	通用输入/输出 62
SCIRXDC	1		I	SCI-C 接收数据
EM1D22	2		I/O	外部存储器接口 1 数据线 22
EM2D6	3		I/O	外部存储器接口 2 数据线 6
EQEP3A	5		I	增强型 QEP3 输入 A
CANRXA	6		I	CAN-A 接收
SD2_D4	7		I	Σ-Δ 2 通道 4 数据输入

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO63	0、4、8、12	109	I/O	通用输入/输出 63
SCITXDC	1		O	SCI-C 发送数据
EM1D21	2		I/O	外部存储器接口 1 数据线 21
EM2D5	3		I/O	外部存储器接口 2 数据线 5
EQEP3B	5		I	增强型 QEP3 输入 B
CANTXA	6		O	CAN-A 发送
SD2_C4	7		I	Σ-Δ 2 通道 4 时钟输入
SPISIMOB	15		I/O	SPI-B 从器件输入，主器件输出[2]
GPIO64	0、4、8、12	110	I/O	通用输入/输出 64[3]
EM1D20	2		I/O	外部存储器接口 1 数据线 20
EM2D4	3		I/O	外部存储器接口 2 数据线 4
EQEP3S	5		I/O	增强型 QEP3 选通
SCIRXDA	6		I	SCI-A 接收数据
SPISOMIB	15		I/O	SPI-B 从器件输出，主器件输入[2]
GPIO65	0、4、8、12	111	I/O	通用输入/输出 65
EM1D19	2		I/O	外部存储器接口 1 数据线 19
EM2D3	3		I/O	外部存储器接口 2 数据线 3
EQEP3I	5		I/O	增强型 QEP3 索引
SCITXDA	6		O	SCI-A 发送数据
SPICLKB	15		I/O	SPI-B 时钟[2]
GPIO66	0、4、8、12	112	I/O	通用输入/输出 66[3]
EM1D18	2		I/O	外部存储器接口 1 数据线 18
EM2D2	3		I/O	外部存储器接口 2 数据线 2
SDAB	6		I/OD	I2C-B 数据开漏双向端口
$\overline{\text{SPISTEB}}$	15		I/O	SPI-B 从器件发送使能[2]
GPIO67	0、4、8、12	132	I/O	通用输入/输出 67
EM1D17	2		I/O	外部存储器接口 1 数据线 17
EM2D1	3		I/O	外部存储器接口 2 数据线 1
GPIO68	0、4、8、12	133	I/O	通用输入/输出 68
EM1D16	2		I/O	外部存储器接口 1 数据线 16
EM2D0	3		I/O	外部存储器接口 2 数据线 0
GPIO69	0、4、8、12	134	I/O	通用输入/输出 69
EM1D15	2		I/O	外部存储器接口 1 数据线 15
SCLB	6		I/OD	I2C-B 时钟开漏双向端口
SPISIMOC	15		I/O	SPI-C 从器件输入，主器件输出[2]
GPIO70	0、4、8、12	135	I/O	通用输入/输出 70[3]
EM1D14	2		I/O	外部存储器接口 1 数据线 14
CANRXA	5		I	CAN-A 接收
SCITXDB	6		O	SCI-B 发送数据
SPISOMIC	15		I/O	SPI-C 从器件输出，主器件输入[2]

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO71	0、4、8、12		I/O	通用输入/输出 71
EM1D13	2		I/O	外部存储器接口 1 数据线 13
CANTXA	5	136	O	CAN-A 发送
SCIRXDB	6		I	SCI-B 接收数据
SPICLKC	15		I/O	SPI-C 时钟[2]
GPIO72	0、4、8、12		I/O	通用输入/输出 72。[3]这是出厂默认引导模式选择引脚 1。
EM1D12	2		I/O	外部存储器接口 1 数据线 12
CANTXB	5	139	O	CAN-B 发送
SCITXDC	6		O	SCI-C 发送数据
$\overline{\text{SPISTEC}}$	15		I/O	SPI-C 从器件发送使能[2]
GPIO73	0、4、8、12		I/O	通用输入/输出 73
EM1D11	2		I/O	外部存储器接口 1 数据线 11
XCLKOUT	3	140	O/Z	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。使用 CLKSRCCTL3.XCLKOUTSEL 位字段选择时钟信号，而使用 XCLKOUTDIVSEL.XCLKOUTDIV 位字段选择分频比。
CANRXB	5		I	CAN-B 接收
SCIRXDC	6		I	SCI-C 接收
GPIO74	0、4、8、12	141	I/O	通用输入/输出 74
EM1D10	2		I/O	外部存储器接口 1 数据线 10
GPIO75	0、4、8、12	142	I/O	通用输入/输出 75
EM1D9	2		I/O	外部存储器接口 1 数据线 9
GPIO76	0、4、8、12		I/O	通用输入/输出 76
EM1D8	2	143	I/O	外部存储器接口 1 数据线 8
SCITXDD	6		O	SCI-D 发送数据
GPIO77	0、4、8、12		I/O	通用输入/输出 77
EM1D7	2	144	I/O	外部存储器接口 1 数据线 7
SCIRXDD	6		I	SCI-D 接收数据
GPIO78	0、4、8、12		I/O	通用输入/输出 78
EM1D6	2	145	I/O	外部存储器接口 1 数据线 6
EQEP2A	6		I	增强型 QEP2 输入 A
GPIO79	0、4、8、12		I/O	通用输入/输出 79
EM1D5	2	146	I/O	外部存储器接口 1 数据线 5
EQEP2B	6		I	增强型 QEP2 输入 B
GPIO80	0、4、8、12		I/O	通用输入/输出 80
EM1D4	2	148	I/O	外部存储器接口 1 数据线 4
EQEP2S	6		I/O	增强型 QEP2 选通
GPIO81	0、4、8、12		I/O	通用输入/输出 81
EM1D3	2	149	I/O	外部存储器接口 1 数据线 3
EQEP2I	6		I/O	增强型 QEP2 索引
GPIO82	0、4、8、12	150	I/O	通用输入/输出 82
EM1D2	2		I/O	外部存储器接口 1 数据线 2

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO83	0、4、8、12	151	I/O	通用输入/输出 83
EM1D1	2		I/O	外部存储器接口 1 数据线 1
GPIO84	0、4、8、12	154	I/O	通用输入/输出 84。这是出厂默认引导模式选择引脚 0。
SCITXDA	5		O	SCI-A 发送数据
MDXB	6		O	McBSP-B 发送串行数据
MDXA	15		O	McBSP-A 发送串行数据
GPIO85	0、4、8、12	155	I/O	通用输入/输出 85
EM1D0	2		I/O	外部存储器接口 1 数据线 0
SCIRXDA	5		I	SCI-A 接收数据
MDRB	6		I	McBSP-B 接收串行数据
MDRA	15		I	McBSP-A 接收串行数据
GPIO86	0、4、8、12	156	I/O	通用输入/输出 86
EM1A13	2		O	外部存储器接口 1 地址线 13
EM1CAS	3		O	外部存储器接口 1 列地址选通
SCITXDB	5		O	SCI-B 发送数据
MCLKXB	6		I/O	McBSP-B 发送时钟
MCLKXA	15		I/O	McBSP-A 发送时钟
GPIO87	0、4、8、12	157	I/O	通用输入/输出 87
EM1A14	2		O	外部存储器接口 1 地址线 14
EM1RAS	3		O	外部存储器接口 1 行地址选通
SCIRXDB	5		I	SCI-B 接收数据
MFSXB	6		I/O	McBSP-B 发送帧同步
MFSXA	15		I/O	McBSP-A 发送帧同步
GPIO88	0、4、8、12	170	I/O	通用输入/输出 88
EM1A15	2		O	外部存储器接口 1 地址线 15
EM1DQM0	3		O	外部存储器接口 1 字节 0 的输入/输出掩码
GPIO89	0、4、8、12	171	I/O	通用输入/输出 89
EM1A16	2		O	外部存储器接口 1 地址线 16
EM1DQM1	3		O	外部存储器接口 1 字节 1 的输入/输出掩码
SCITXDC	6		O	SCI-C 发送数据
GPIO90	0、4、8、12	172	I/O	通用输入/输出 90
EM1A17	2		O	外部存储器接口 1 地址线 17
EM1DQM2	3		O	外部存储器接口 1 字节 2 的输入/输出掩码
SCIRXDC	6		I	SCI-C 接收数据
GPIO91	0、4、8、12	173	I/O	通用输入/输出 91
EM1A18	2		O	外部存储器接口 1 地址线 18
EM1DQM3	3		O	外部存储器接口 1 字节 3 的输入/输出掩码
SDAA	6		I/OD	I2C-A 数据开漏双向端口

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO92	0、4、8、12	174	I/O	通用输入/输出 92
EM1A19	2		O	外部存储器接口 1 地址线 19
EM1BA1	3		O	外部存储器接口 1 存储库地址 1
SCLA	6		I/OD	I2C-A 时钟开漏双向端口
GPIO93	0、4、8、12	175	I/O	通用输入/输出 93
EM1BA0	3		O	外部存储器接口 1 存储库地址 0
SCITXDD	6		O	SCI-D 发送数据
GPIO94	0、4、8、12	176	I/O	通用输入/输出 94
SCIRXDD	6		I	SCI-D 接收数据
GPIO95	0、4、8、12	–	I/O	通用输入/输出 95
GPIO96	0、4、8、12	–	I/O	通用输入/输出 96
EM2DQM1	3		O	外部存储器接口 2 字节 1 的输入/输出掩码
EQEP1A	5		I	增强型 QEP1 输入 A
GPIO97	0、4、8、12	–	I/O	通用输入/输出 97
EM2DQM0	3		O	外部存储器接口 2 字节 0 的输入/输出掩码
EQEP1B	5		I	增强型 QEP1 输入 B
GPIO98	0、4、8、12	–	I/O	通用输入/输出 98
EM2A0	3		O	外部存储器接口 2 地址线 0
EQEP1S	5		I/O	增强型 QEP1 选通
GPIO99	0、4、8、12	17	I/O	通用输入/输出 99
EM2A1	3		O	外部存储器接口 2 地址线 1
EQEP1I	5		I/O	增强型 QEP1 索引
GPIO100	0、4、8、12	–	I/O	通用输入/输出 100
EM2A2	3		O	外部存储器接口 2 地址线 2
EQEP2A	5		I	增强型 QEP2 输入 A
SPISIMOC	6		I/O	SPI-C 从器件输入，主器件输出
GPIO101	0、4、8、12	–	I/O	通用输入/输出 101
EM2A3	3		O	外部存储器接口 2 地址线 3
EQEP2B	5		I	增强型 QEP2 输入 B
SPISOMIC	6		I/O	SPI-C 从器件输出，主器件输入
GPIO102	0、4、8、12	–	I/O	通用输入/输出 102
EM2A4	3		O	外部存储器接口 2 地址线 4
EQEP2S	5		I/O	增强型 QEP2 选通
SPICLKC	6		I/O	SPI-C 时钟
GPIO103	0、4、8、12	–	I/O	通用输入/输出 103
EM2A5	3		O	外部存储器接口 2 地址线 5
EQEP2I	5		I/O	增强型 QEP2 索引
SPISTEC	6		I/O	SPI-C 从器件发送使能

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO104	0、4、8、12	–	I/O	通用输入/输出 104
SDAA	1		I/OD	I2C-A 数据开漏双向端口
EM2A6	3		O	外部存储器接口 2 地址线 6
EQEP3A	5		I	增强型 QEP3 输入 A
SCITXDD	6		O	SCI-D 发送数据
GPIO105	0、4、8、12	–	I/O	通用输入/输出 105
SCLA	1		I/OD	I2C-A 时钟开漏双向端口
EM2A7	3		O	外部存储器接口 2 地址线 7
EQEP3B	5		I	增强型 QEP3 输入 B
SCIRXDD	6		I	SCI-D 接收数据
GPIO106	0、4、8、12	–	I/O	通用输入/输出 106
EM2A8	3		O	外部存储器接口 2 地址线 8
EQEP3S	5		I/O	增强型 QEP3 选通
SCITXDC	6		O	SCI-C 发送数据
GPIO107	0、4、8、12	–	I/O	通用输入/输出 107
EM2A9	3		O	外部存储器接口 2 地址线 9
EQEP3I	5		I/O	增强型 QEP3 索引
SCIRXDC	6		I	SCI-C 接收数据
GPIO108	0、4、8、12	–	I/O	通用输入/输出 108
EM2A10	3		O	外部存储器接口 2 地址线 10
GPIO109	0、4、8、12	–	I/O	通用输入/输出 109
EM2A11	3		O	外部存储器接口 2 地址线 11
GPIO110	0、4、8、12	–	I/O	通用输入/输出 110
EM2WAIT	3		I	外部存储器接口 2 异步 SRAM WAIT
GPIO111	0、4、8、12	–	I/O	通用输入/输出 111
EM2BA0	3		O	外部存储器接口 2 存储库地址 0
GPIO112	0、4、8、12	–	I/O	通用输入/输出 112
EM2BA1	3		O	外部存储器接口 2 存储库地址 1
GPIO113	0、4、8、12	–	I/O	通用输入/输出 113
EM2CAS	3		O	外部存储器接口 2 列地址选通
GPIO114	0、4、8、12	–	I/O	通用输入/输出 114
EM2RAS	3		O	外部存储器接口 2 行地址选通
GPIO115	0、4、8、12	–	I/O	通用输入/输出 115
$\overline{\text{EM2CS0}}$	3		O	外部存储器接口 2 芯片选择 0
GPIO116	0、4、8、12	–	I/O	通用输入/输出 116
$\overline{\text{EM2CS2}}$	3		O	外部存储器接口 2 芯片选择 2
GPIO117	0、4、8、12	–	I/O	通用输入/输出 117
EM2SDCKE	3		O	外部存储器接口 2 SDRAM 时钟使能
GPIO118	0、4、8、12	–	I/O	通用输入/输出 118
EM2CLK	3		O	外部存储器接口 2 时钟

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO119	0、4、8、12	–	I/O	通用输入/输出 119
EM2RNW	3		O	外部存储器接口 2 读/不写
GPIO120	0、4、8、12		I/O	通用输入/输出 120
$\overline{\text{EM2WE}}$	3	–	O	外部存储器接口 2 写入使能
USB0PFLT	15		I/O	USB 外部稳压器电源故障指示器
GPIO121	0、4、8、12		I/O	通用输入/输出 121
$\overline{\text{EM2OE}}$	3	–	O	外部存储器接口 2 输出使能
USB0EPEN	15		I/O	USB 外部稳压器使能
GPIO122	0、4、8、12		I/O	通用输入/输出 122
SPISIMOC	6	–	I/O	SPI-C 从器件输入，主器件输出
SD1_D1	7		I	Σ-Δ 1 通道 1 数据输入
GPIO123	0、4、8、12		I/O	通用输入/输出 123
SPISOMIC	6	–	I/O	SPI-C 从器件输出，主器件输入
SD1_C1	7		I	Σ-Δ 1 通道 1 时钟输入
GPIO124	0、4、8、12		I/O	通用输入/输出 124
SPICLKC	6	–	I/O	SPI-C 时钟
SD1_D2	7		I	Σ-Δ 1 通道 2 数据输入
GPIO125	0、4、8、12		I/O	通用输入/输出 125
$\overline{\text{SPISTEC}}$	6	–	I/O	SPI-C 从器件发送使能
SD1_C2	7		I	Σ-Δ 1 通道 2 时钟输入
GPIO126	0、4、8、12	–	I/O	通用输入/输出 126
SD1_D3	7		I	Σ-Δ 1 通道 3 数据输入
GPIO127	0、4、8、12	–	I/O	通用输入/输出 127
SD1_C3	7		I	Σ-Δ 1 通道 3 时钟输入
GPIO128	0、4、8、12	–	I/O	通用输入/输出 128
SD1_D4	7		I	Σ-Δ 1 通道 4 数据输入
GPIO129	0、4、8、12	–	I/O	通用输入/输出 129
SD1_C4	7		I	Σ-Δ 1 通道 4 时钟输入
GPIO130	0、4、8、12	–	I/O	通用输入/输出 130
SD2_D1	7		I	Σ-Δ 2 通道 1 数据输入
GPIO131	0、4、8、12	–	I/O	通用输入/输出 131
SD2_C1	7		I	Σ-Δ 2 通道 1 时钟输入
GPIO132	0、4、8、12	–	I/O	通用输入/输出 132
SD2_D2	7		I	Σ-Δ 2 通道 2 数据输入
GPIO133/AUXCLKIN	0、4、8、12	118	I/O	通用输入/输出 133。此 GPIO 引脚的 AUXCLKIN 功能可用于为为辅助锁相环 (AUXPLL) 提供单端 3.3V 电平时钟信号，其输出用于 USB 模块。AUXCLKIN 时钟也可用于 CAN 模块。
SD2_C2	7		I	Σ-Δ 2 通道 2 时钟输入
GPIO134	0、4、8、12	–	I/O	通用输入/输出 134
SD2_D3	7		I	Σ-Δ 2 通道 3 数据输入

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO135	0、4、8、12	–	I/O	通用输入/输出 135
SCITXDA	6		O	SCI-A 发送数据
SD2_C3	7		I	Σ-Δ 2 通道 3 时钟输入
GPIO136	0、4、8、12	–	I/O	通用输入/输出 136
SCIRXDA	6		I	SCI-A 接收数据
SD2_D4	7		I	Σ-Δ 2 通道 4 数据输入
GPIO137	0、4、8、12	–	I/O	通用输入/输出 137
SCITXDB	6		O	SCI-B 发送数据
SD2_C4	7		I	Σ-Δ 2 通道 4 时钟输入
GPIO138	0、4、8、12	–	I/O	通用输入/输出 138
SCIRXDB	6		I	SCI-B 接收数据
GPIO139	0、4、8、12	–	I/O	通用输入/输出 139
SCIRXDC	6		I	SCI-C 接收数据
GPIO140	0、4、8、12	–	I/O	通用输入/输出 140
SCITXDC	6		O	SCI-C 发送数据
GPIO141	0、4、8、12	–	I/O	通用输入/输出 141
SCIRXDD	6		I	SCI-D 接收数据
GPIO142	0、4、8、12	–	I/O	通用输入/输出 142
SCITXDD	6		O	SCI-D 发送数据
GPIO143	0、4、8、12	–	I/O	通用输入/输出 143
GPIO144	0、4、8、12	–	I/O	通用输入/输出 144
GPIO145	0、4、8、12	–	I/O	通用输入/输出 145
EPWM1A	1		O	增强型 PWM1 输出 A（支持 HRPWM）
GPIO146	0、4、8、12	–	I/O	通用输入/输出 146
EPWM1B	1		O	增强型 PWM1 输出 B（支持 HRPWM）
GPIO147	0、4、8、12	–	I/O	通用输入/输出 147
EPWM2A	1		O	增强型 PWM2 输出 A（支持 HRPWM）
GPIO148	0、4、8、12	–	I/O	通用输入/输出 148
EPWM2B	1		O	增强型 PWM2 输出 B（支持 HRPWM）
GPIO149	0、4、8、12	–	I/O	通用输入/输出 149
EPWM3A	1		O	增强型 PWM3 输出 A（支持 HRPWM）
GPIO150	0、4、8、12	–	I/O	通用输入/输出 150
EPWM3B	1		O	增强型 PWM3 输出 B（支持 HRPWM）
GPIO151	0、4、8、12	–	I/O	通用输入/输出 151
EPWM4A	1		O	增强型 PWM4 输出 A（支持 HRPWM）
GPIO152	0、4、8、12	–	I/O	通用输入/输出 152
EPWM4B	1		O	增强型 PWM4 输出 B（支持 HRPWM）
GPIO153	0、4、8、12	–	I/O	通用输入/输出 153
EPWM5A	1		O	增强型 PWM5 输出 A（支持 HRPWM）

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
GPIO154	0、4、8、12	–	I/O	通用输入/输出 154
EPWM5B	1		O	增强型 PWM5 输出 B（支持 HRPWM）
GPIO155	0、4、8、12	–	I/O	通用输入/输出 155
EPWM6A	1		O	增强型 PWM6 输出 A（支持 HRPWM）
GPIO156	0、4、8、12	–	I/O	通用输入/输出 156
EPWM6B	1		O	增强型 PWM6 输出 B（支持 HRPWM）
GPIO157	0、4、8、12	–	I/O	通用输入/输出 157
EPWM7A	1		O	增强型 PWM7 输出 A（支持 HRPWM）
GPIO158	0、4、8、12	–	I/O	通用输入/输出 158
EPWM7B	1		O	增强型 PWM7 输出 B（支持 HRPWM）
GPIO159	0、4、8、12	–	I/O	通用输入/输出 159
EPWM8A	1		O	增强型 PWM8 输出 A（支持 HRPWM）
GPIO160	0、4、8、12	–	I/O	通用输入/输出 160
EPWM8B	1		O	增强型 PWM8 输出 B（支持 HRPWM）
GPIO161	0、4、8、12	–	I/O	通用输入/输出 161
EPWM9A	1		O	增强型 PWM9 输出 A
GPIO162	0、4、8、12	–	I/O	通用输入/输出 162
EPWM9B	1		O	增强型 PWM9 输出 B
GPIO163	0、4、8、12	–	I/O	通用输入/输出 163
EPWM10A	1		O	增强型 PWM10 输出 A
GPIO164	0、4、8、12	–	I/O	通用输入/输出 164
EPWM10B	1		O	增强型 PWM10 输出 B
GPIO165	0、4、8、12	–	I/O	通用输入/输出 165
EPWM11A	1		O	增强型 PWM11 输出 A
GPIO166	0、4、8、12	–	I/O	通用输入/输出 166
EPWM11B	1		O	增强型 PWM11 输出 B
GPIO167	0、4、8、12	–	I/O	通用输入/输出 167
EPWM12A	1		O	增强型 PWM12 输出 A
GPIO168	0、4、8、12	–	I/O	通用输入/输出 168
EPWM12B	1		O	增强型 PWM12 输出 B
复位				
$\overline{XRS}$		124	I/OD	器件复位（输入）和看门狗复位（输出）。器件具有内置上电复位 (POR) 电路。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。当看门狗复位或 NMI 看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，$\overline{XRS}$ 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。应在 $\overline{XRS}$ 和 V_{DDIO} 之间放置一个阻值为 2.2kΩ 至 10kΩ 的电阻器。如果在 $\overline{XRS}$ 和 V_{SS} 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值将能让看门狗在 512 个 OSCCLK 周期内正确地将 $\overline{XRS}$ 引脚驱动至 V_{OL}。此引脚的输出缓冲器是一个有内部上拉电阻器的漏极开路。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。
时钟				

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
X1		123	I	片上晶体振荡器输入。为了使用此振荡器，必须在 X1 和 X2 之间连接一个石英晶体。如果此引脚未使用，则必须将其连接至 GND。此引脚也可用于馈入单端 3.3V 电平时钟。在这种情况下，X2 无连接 (NC)。
X2		121	O	片上晶体振荡器输出。一个石英晶振可连接在 X1 和 X2 之间。如果 X2 未使用，必须使其保持未连接状态。
无连接				
NC		–		无连接
JTAG				
TCK		81	I	带有内部上拉电阻器的 JTAG 测试时钟（请参阅*电气特性*部分）
TDI		77	I	带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 上升沿上的所选寄存器（指令或数据）中计时。
TDO		78	O/Z	JTAG 扫描输出，测试数据输出 (TDO)。所选寄存器（指令或数据）的内容在 TCK 下降沿从 TDO 移出。[3]
TMS		80	I	带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。
$\overline{\text{TRST}}$		79	I	带有内部下拉电阻的 JTAG 测试复位。当被驱动至高电平时，TRST 使扫描系统获得器件运行的控制权。如果此信号被驱动至低电平，此器件在功能模式下工作，且忽略测试复位信号。注意：在器件正常运行期间，TRST 必须始终保持低电平，因此需要在此引脚上使用一个外部下拉电阻来防止噪声尖峰。这个电阻的阻值应该尽可能的小，只要确保 JTAG 调试探针仍然能够将 TRST 引脚驱动至高电平即可。一个阻值为 2.2kΩ 至 10kΩ 的电阻器通常能够提供足够的保护。由于电阻的阻值是特定于应用的，TI 建议验证每个目标板以确保调试探针和应用的正常运行。此引脚具有一个内部 50ns（标称值）干扰滤波器。
内部稳压器控制				
VREGENZ		119	I	具有内部下拉电阻的内部稳压器使能。内部 VREG 不受支持，必须禁用。将 VREGENZ 连接至 V_{DDIO}。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
模拟、数字和 I/O 电源				
V_{DD}		16 21 61 76 117 126 137 153 158 169 – – – –		1.2V 数字逻辑电源引脚。放置去耦电容器有两个选项。 • 选项 1 - 均匀分布：以大约 20uF 的最小总电容在每个 V_{DD} 引脚上均匀分配去耦电容。 • 选项 2 - 大容量电容：在每个 V_{DD} 引脚附近放置一个 1uF 电容器，然后放置 20uF 的最小总电容的剩余部分，作为 V_{DD} 网络上的大容量电容。 去耦电容器的确切值应由您的系统电压调节解决方案确定。
V_{DD3VFL}		72 –		3.3V 闪存电源引脚。在每个引脚上放置一个最小值为 0.1µF 的去耦电容器。
V_{DDA}		36 54		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2µF 且连接至 V_{SSA} 的去耦电容器。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
V_{DDIO}		3 11 15 20 26 62 68 75 82 88 91 99 106 114 116 127 138 147 152 159 168 – – – – – – –		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1µF 的去耦电容器。去耦电容器的确切值应由您的系统电压调节解决方案确定。
V_{DDOSC}		120 125		3.3V 片上晶体振荡器（X1 和 X2）的电源引脚以及两个内部零引脚振荡器 (INTOSC)。在每个引脚上放置一个 0.1µF（最小值）的去耦电容器。
V_{SS}		PWR 焊盘 (177)		器件接地。对四通道扁平封装(QFP)，必须将封装底部的 PowerPAD 焊接到 PCB 的接地层。
V_{SSOSC}		122 –		晶体振荡器（X1 和 X2）接地引脚。使用外部晶体时，请勿将此引脚连接至电路板接地。相反，将其连接至外部晶体振荡器电路的接地基准。 如果未使用外部晶体，则此引脚可以连接至电路板接地。
V_{SSA}		34 52 – – –		模拟接地

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 信号说明（续）

终端			I/O/Z[1]	说明
名称	多路复用器位置	PTP 引脚编号		
特殊功能				
ERRORSTS		92	O	错误状态输出。此引脚具有内部下拉电阻器。
测试引脚				
FLT1		73	I/O	闪存测试引脚 1。为 TI 保留。必须保持未连接状态。
FLT2		74	I/O	闪存测试引脚 2。为 TI 保留。必须保持未连接状态。

(1) I = 输入，O = 输出，OD = 漏极开路，Z = 高阻抗
(2) 支持高速 SPI 的 GPIO 多路复用器选项。在高速模式下使用 SPI 时（在 SPICCR 中，HS_MODE = 1），需要使用此引脚多路复用器选项。在高速模式下未使用 SPI 时（在 SPICCR 中，HS_MODE = 0），此多路复用器选项仍然可用。
(3) 此引脚的输出阻抗可低至 22Ω。根据系统 PCB 特征，此输出可以具有快速边沿和振铃。如果这是个问题，用户应采取预防措施，例如增加一个 39Ω（容差为 10%）串联终端电阻器或实现一些其他终端方案。还建议使用提供的 IBIS 模型对系统级信号进行完整性分析。如果此引脚用于输入功能，则不需要终端。

5.3 带有内部上拉和下拉的引脚

器件上的某些引脚具有内部上拉或下拉。表 5-2 列出了拉动方向及其活动时间。默认情况下，GPIO 引脚的上拉被禁用，可以通过软件启用。为了避免任何浮动的未绑定输入，引导 ROM 将在特定封装中对未绑定的 GPIO 引脚启用内部上拉。表 5-2 中提到的带有上拉和下拉的其他引脚始终处于打开状态且无法被禁用。

表 5-2. 带有内部上拉和下拉的引脚

引脚	RESET ($\overline{XRS}$= 0)	器件引导	应用软件
GPIOx	禁用上拉	禁用上拉[1]	上拉使能由应用定义
$\overline{TRST}$	下拉有效		
TCK	上拉有效		
TMS	上拉有效		
TDI	上拉有效		
$\overline{XRS}$	上拉有效		
VREGENZ	下拉有效		
ERRORSTS	下拉有效		
其他引脚	上拉或下拉未存在		

(1) 给定封装中未绑定的引脚将具有由引导 ROM 启用内部上拉。

Copyright © 2026 Texas Instruments Incorporated

5.4 引脚复用

5.4.1 GPIO 多路复用引脚

表 5-3 显示了 GPIO 多路复用引脚。每个引脚默认具有 GPIO 功能，可以通过设置 GPyGMUXn.GPIOz 和 GPyMUXn.GPIOz 寄存器位来选择辅助功能。GPyGMUXn 寄存器应在 GPyMUXn 之前配置，以避免交替的多路复用选择对 GPIO 产生瞬时脉冲。未显示栏和空白单元格保留为 GPIO 多路复用器设置。

表 5-3. GPIO 多路复用引脚

	GPIO 多路复用器选择(1) (2)							
GPIO 索引	0、4、8、12	1	2	3	5	6	7	15
GPyGMUXn.GPIOz =	00b、01b、10b、11b	00b			01b			11b
GPyMUXn.GPIOz =	00b	01b	10b	11b	01b	10b	11b	11b
	GPIO0	EPWM1A (O)				SDAA (I/OD)		
	GPIO1	EPWM1B (O)		MFSRB (I/O)		SCLA (I/OD)		
	GPIO2	EPWM2A (O)			OUTPUTXBAR1 (O)	SDAB (I/OD)		
	GPIO3	EPWM2B (O)	OUTPUTXBAR2 (O)	MCLKRB (I/O)	OUTPUTXBAR2 (O)	SCLB (I/OD)		
	GPIO4	EPWM3A (O)			OUTPUTXBAR3 (O)	CANTXA (O)		
	GPIO5	EPWM3B (O)	MFSRA (I/O)	OUTPUTXBAR3 (O)		CANRXA (I)		
	GPIO6	EPWM4A (O)	OUTPUTXBAR4 (O)	EXTSYNCOUT (O)	EQEP3A (I)	CANTXB (O)		
	GPIO7	EPWM4B (O)	MCLKRA (I/O)	OUTPUTXBAR5 (O)	EQEP3B (I)	CANRXB (I)		
	GPIO8	EPWM5A (O)	CANTXB (O)	ADCSOCAO (O)	EQEP3S (I/O)	SCITXDA (O)		
	GPIO9	EPWM5B (O)	SCITXDB (O)	OUTPUTXBAR6 (O)	EQEP3I (I/O)	SCIRXDA (I)		
	GPIO10	EPWM6A (O)	CANRXB (I)	ADCSOCBO (O)	EQEP1A (I)	SCITXDB (O)		UPP-WAIT (I/O)
	GPIO11	EPWM6B (O)	SCIRXDB (I)	OUTPUTXBAR7 (O)	EQEP1B (I)	SCIRXDB (I)		UPP-START (I/O)
	GPIO12	EPWM7A (O)	CANTXB (O)	MDXB (O)	EQEP1S (I/O)	SCITXDC (O)		UPP-ENA (I/O)
	GPIO13	EPWM7B (O)	CANRXB (I)	MDRB (I)	EQEP1I (I/O)	SCIRXDC (I)		UPP-D7 (I/O)
	GPIO14	EPWM8A (O)	SCITXDB (O)	MCLKXB (I/O)		OUTPUTXBAR3 (O)		UPP-D6 (I/O)
	GPIO15	EPWM8B (O)	SCIRXDB (I)	MFSXB (I/O)		OUTPUTXBAR4 (O)		UPP-D5 (I/O)
	GPIO16	SPISIMOA (I/O)	CANTXB (O)	OUTPUTXBAR7 (O)	EPWM9A (O)		SD1_D1 (I)	UPP-D4 (I/O)
	GPIO17	SPISOMIA (I/O)	CANRXB (I)	OUTPUTXBAR8 (O)	EPWM9B (O)		SD1_C1 (I)	UPP-D3 (I/O)
	GPIO18	SPICLKA (I/O)	SCITXDB (O)	CANRXA (I)	EPWM10A (O)		SD1_D2 (I)	UPP-D2 (I/O)
	GPIO19	$\overline{\text{SPISTEA}}$ (I/O)	SCIRXDB (I)	CANTXA (O)	EPWM10B (O)		SD1_C2 (I)	UPP-D1 (I/O)
	GPIO20	EQEP1A (I)	MDXA (O)	CANTXB (O)	EPWM11A (O)		SD1_D3 (I)	UPP-D0 (I/O)
	GPIO21	EQEP1B (I)	MDRA (I)	CANRXB (I)	EPWM11B (O)		SD1_C3 (I)	UPP-CLK (I/O)
	GPIO22	EQEP1S (I/O)	MCLKXA (I/O)	SCITXDB (O)	EPWM12A (O)	SPICLKB (I/O)	SD1_D4 (I)	
	GPIO23	EQEP1I (I/O)	MFSXA (I/O)	SCIRXDB (I)	EPWM12B (O)	$\overline{\text{SPISTEB}}$ (I/O)	SD1_C4 (I)	
	GPIO24	OUTPUTXBAR1 (O)	EQEP2A (I)	MDXB (O)		SPISIMOB (I/O)	SD2_D1 (I)	
	GPIO25	OUTPUTXBAR2 (O)	EQEP2B (I)	MDRB (I)		SPISOMIB (I/O)	SD2_C1 (I)	
	GPIO26	OUTPUTXBAR3 (O)	EQEP2I (I/O)	MCLKXB (I/O)	OUTPUTXBAR3 (O)	SPICLKB (I/O)	SD2_D2 (I)	
	GPIO27	OUTPUTXBAR4 (O)	EQEP2S (I/O)	MFSXB (I/O)	OUTPUTXBAR4 (O)	$\overline{\text{SPISTEB}}$ (I/O)	SD2_C2 (I)	
	GPIO28	SCIRXDA (I)	$\overline{\text{EM1CS4}}$ (O)		OUTPUTXBAR5 (O)	EQEP3A (I)	SD2_D3 (I)	
	GPIO29	SCITXDA (O)	EM1SDCKE (O)		OUTPUTXBAR6 (O)	EQEP3B (I)	SD2_C3 (I)	
	GPIO30	CANRXA (I)	EM1CLK (O)		OUTPUTXBAR7 (O)	EQEP3S (I/O)	SD2_D4 (I)	
	GPIO31	CANTXA (O)	$\overline{\text{EM1WE}}$ (O)		OUTPUTXBAR8 (O)	EQEP3I (I/O)	SD2_C4 (I)	
	GPIO32	SDAA (I/OD)	$\overline{\text{EM1CS0}}$ (O)					
	GPIO33	SCLA (I/OD)	EM1RNW (O)					
	GPIO34	OUTPUTXBAR1 (O)	$\overline{\text{EM1CS2}}$ (O)			SDAB (I/OD)		
	GPIO35	SCIRXDA (I)	$\overline{\text{EM1CS3}}$ (O)			SCLB (I/OD)		
	GPIO36	SCITXDA (O)	EM1WAIT (I)			CANRXA (I)		
	GPIO37	OUTPUTXBAR2 (O)	$\overline{\text{EM1OE}}$ (O)			CANTXA (O)		
	GPIO38		EM1A0 (O)		SCITXDC (O)	CANTXB (O)		
	GPIO39		EM1A1 (O)		SCIRXDC (I)	CANRXB (I)		
	GPIO40		EM1A2 (O)			SDAB (I/OD)		
	GPIO41		EM1A3 (O)			SCLB (I/OD)		

Copyright © 2026 Texas Instruments Incorporated

表 5-3. GPIO 多路复用引脚（续）

	GPIO 多路复用器选择[1] [2]							
GPIO 索引	0、4、8、12	1	2	3	5	6	7	15
GPyGMUXn.GPIOz =	00b、01b、10b、11b	00b			01b			11b
GPyMUXn.GPIOz =	00b	01b	10b	11b	01b	10b	11b	11b
	GPIO42					SDAA (I/OD)		SCITXDA (O)
	GPIO43					SCLA (I/OD)		SCIRXDA (I)
	GPIO44		EM1A4 (O)					
	GPIO45		EM1A5 (O)					
	GPIO46		EM1A6 (O)			SCIRXDD (I)		
	GPIO47		EM1A7 (O)			SCITXDD (O)		
	GPIO48	OUTPUTXBAR3 (O)	EM1A8 (O)			SCITXDA (O)	SD1_D1 (I)	
	GPIO49	OUTPUTXBAR4 (O)	EM1A9 (O)			SCIRXDA (I)	SD1_C1 (I)	
	GPIO50	EQEP1A (I)	EM1A10 (O)			SPISIMOC (I/O)	SD1_D2 (I)	
	GPIO51	EQEP1B (I)	EM1A11 (O)			SPISOMIC (I/O)	SD1_C2 (I)	
	GPIO52	EQEP1S (I/O)	EM1A12 (O)			SPICLKC (I/O)	SD1_D3 (I)	
	GPIO53	EQEP1I (I/O)	EM1D31 (I/O)	EM2D15 (I/O)		$\overline{\text{SPISTEC}}$ (I/O)	SD1_C3 (I)	
	GPIO54	SPISIMOA (I/O)	EM1D30 (I/O)	EM2D14 (I/O)	EQEP2A (I)	SCITXDB (O)	SD1_D4 (I)	
	GPIO55	SPISOMIA (I/O)	EM1D29 (I/O)	EM2D13 (I/O)	EQEP2B (I)	SCIRXDB (I)	SD1_C4 (I)	
	GPIO56	SPICLKA (I/O)	EM1D28 (I/O)	EM2D12 (I/O)	EQEP2S (I/O)	SCITXDC (O)	SD2_D1 (I)	
	GPIO57	$\overline{\text{SPISTEA}}$ (I/O)	EM1D27 (I/O)	EM2D11 (I/O)	EQEP2I (I/O)	SCIRXDC (I)	SD2_C1 (I)	
	GPIO58	MCLKRA (I/O)	EM1D26 (I/O)	EM2D10 (I/O)	OUTPUTXBAR1 (O)	SPICLKB (I/O)	SD2_D2 (I)	SPISIMOA[3] (I/O)
	GPIO59	MFSRA (I/O)	EM1D25 (I/O)	EM2D9 (I/O)	OUTPUTXBAR2 (O)	$\overline{\text{SPISTEB}}$ (I/O)	SD2_C2 (I)	SPISOMIA[3] (I/O)
	GPIO60	MCLKRB (I/O)	EM1D24 (I/O)	EM2D8 (I/O)	OUTPUTXBAR3 (O)	SPISIMOB (I/O)	SD2_D3 (I)	SPICLKA[3] (I/O)
	GPIO61	MFSRB (I/O)	EM1D23 (I/O)	EM2D7 (I/O)	OUTPUTXBAR4 (O)	SPISOMIB (I/O)	SD2_C3 (I)	$\overline{\text{SPISTEA}}$ [3] (I/O)
	GPIO62	SCIRXDC (I)	EM1D22 (I/O)	EM2D6 (I/O)	EQEP3A (I)	CANRXA (I)	SD2_D4 (I)	
	GPIO63	SCITXDC (O)	EM1D21 (I/O)	EM2D5 (I/O)	EQEP3B (I)	CANTXA (O)	SD2_C4 (I)	SPISIMOB[3] (I/O)
	GPIO64		EM1D20 (I/O)	EM2D4 (I/O)	EQEP3S (I/O)	SCIRXDA (I)		SPISOMIB[3] (I/O)
	GPIO65		EM1D19 (I/O)	EM2D3 (I/O)	EQEP3I (I/O)	SCITXDA (O)		SPICLKB[3] (I/O)
	GPIO66		EM1D18 (I/O)	EM2D2 (I/O)		SDAB (I/OD)		$\overline{\text{SPISTEB}}$ [3] (I/O)
	GPIO67		EM1D17 (I/O)	EM2D1 (I/O)				
	GPIO68		EM1D16 (I/O)	EM2D0 (I/O)				
	GPIO69		EM1D15 (I/O)			SCLB (I/OD)		SPISIMOC[3] (I/O)
	GPIO70		EM1D14 (I/O)		CANRXA (I)	SCITXDB (O)		SPISOMIC[3] (I/O)
	GPIO71		EM1D13 (I/O)		CANTXA (O)	SCIRXDB (I)		SPICLKC[3] (I/O)
	GPIO72		EM1D12 (I/O)		CANTXB (O)	SCITXDC (O)		$\overline{\text{SPISTEC}}$ [3] (I/O)
	GPIO73		EM1D11 (I/O)	XCLKOUT (O)	CANRXB (I)	SCIRXDC (I)		
	GPIO74		EM1D10 (I/O)					
	GPIO75		EM1D9 (I/O)					
	GPIO76		EM1D8 (I/O)			SCITXDD (O)		
	GPIO77		EM1D7 (I/O)			SCIRXDD (I)		
	GPIO78		EM1D6 (I/O)			EQEP2A (I)		
	GPIO79		EM1D5 (I/O)			EQEP2B (I)		
	GPIO80		EM1D4 (I/O)			EQEP2S (I/O)		
	GPIO81		EM1D3 (I/O)			EQEP2I (I/O)		
	GPIO82		EM1D2 (I/O)					
	GPIO83		EM1D1 (I/O)					
	GPIO84				SCITXDA (O)	MDXB (O)		MDXA (O)
	GPIO85		EM1D0 (I/O)		SCIRXDA (I)	MDRB (I)		MDRA (I)
	GPIO86		EM1A13 (O)	EM1CAS (O)	SCITXDB (O)	MCLKXB (I/O)		MCLKXA (I/O)
	GPIO87		EM1A14 (O)	EM1RAS (O)	SCIRXDB (I)	MFSXB (I/O)		MFSXA (I/O)
	GPIO88		EM1A15 (O)	EM1DQM0 (O)				
	GPIO89		EM1A16 (O)	EM1DQM1 (O)		SCITXDC (O)		
	GPIO90		EM1A17 (O)	EM1DQM2 (O)		SCIRXDC (I)		

Copyright © 2026 Texas Instruments Incorporated

表 5-3. GPIO 多路复用引脚（续）

	GPIO 多路复用器选择[1] [2]							
GPIO 索引	0、4、8、12	1	2	3	5	6	7	15
GPyGMUXn.GPIOz =	00b、01b、10b、11b	00b			01b			11b
GPyMUXn.GPIOz =	00b	01b	10b	11b	01b	10b	11b	11b
	GPIO91		EM1A18 (O)	EM1DQM3 (O)		SDAA (I/OD)		
	GPIO92		EM1A19 (O)	EM1BA1 (O)		SCLA (I/OD)		
	GPIO93			EM1BA0 (O)		SCITXDD (O)		
	GPIO94					SCIRXDD (I)		
	GPIO95							
	GPIO96			EM2DQM1 (O)	EQEP1A (I)			
	GPIO97			EM2DQM0 (O)	EQEP1B (I)			
	GPIO98			EM2A0 (O)	EQEP1S (I/O)			
	GPIO99			EM2A1 (O)	EQEP1I (I/O)			
	GPIO100			EM2A2 (O)	EQEP2A (I)	SPISIMOC (I/O)		
	GPIO101			EM2A3 (O)	EQEP2B (I)	SPISOMIC (I/O)		
	GPIO102			EM2A4 (O)	EQEP2S (I/O)	SPICLKC (I/O)		
	GPIO103			EM2A5 (O)	EQEP2I (I/O)	$\overline{\text{SPISTEC}}$ (I/O)		
	GPIO104	SDAA (I/OD)		EM2A6 (O)	EQEP3A (I)	SCITXDD (O)		
	GPIO105	SCLA (I/OD)		EM2A7 (O)	EQEP3B (I)	SCIRXDD (I)		
	GPIO106			EM2A8 (O)	EQEP3S (I/O)	SCITXDC (O)		
	GPIO107			EM2A9 (O)	EQEP3I (I/O)	SCIRXDC (I)		
	GPIO108			EM2A10 (O)				
	GPIO109			EM2A11 (O)				
	GPIO110			EM2WAIT (I)				
	GPIO111			EM2BA0 (O)				
	GPIO112			EM2BA1 (O)				
	GPIO113			EM2CAS (O)				
	GPIO114			EM2RAS (O)				
	GPIO115			$\overline{\text{EM2CS0}}$ (O)				
	GPIO116			$\overline{\text{EM2CS2}}$ (O)				
	GPIO117			EM2SDCKE (O)				
	GPIO118			EM2CLK (O)				
	GPIO119			EM2RNW (O)				
	GPIO120			$\overline{\text{EM2WE}}$ (O)				USB0PFLT
	GPIO121			$\overline{\text{EM2OE}}$ (O)				USB0EPEN
	GPIO122					SPISIMOC (I/O)	SD1_D1 (I)	
	GPIO123					SPISOMIC (I/O)	SD1_C1 (I)	
	GPIO124					SPICLKC (I/O)	SD1_D2 (I)	
	GPIO125					$\overline{\text{SPISTEC}}$ (I/O)	SD1_C2 (I)	
	GPIO126						SD1_D3 (I)	
	GPIO127						SD1_C3 (I)	
	GPIO128						SD1_D4 (I)	
	GPIO129						SD1_C4 (I)	
	GPIO130						SD2_D1 (I)	
	GPIO131						SD2_C1 (I)	
	GPIO132						SD2_D2 (I)	
	GPIO133/AUXCLKIN						SD2_C2 (I)	
	GPIO134						SD2_D3 (I)	
	GPIO135					SCITXDA (O)	SD2_C3 (I)	
	GPIO136					SCIRXDA (I)	SD2_D4 (I)	
	GPIO137					SCITXDB (O)	SD2_C4 (I)	
	GPIO138					SCIRXDB (I)		
	GPIO139					SCIRXDC (I)		

Copyright © 2026 Texas Instruments Incorporated

表 5-3. GPIO 多路复用引脚（续）

	GPIO 多路复用器选择(1) (2)							
GPIO 索引	**0、4、8、12**	**1**	**2**	**3**	**5**	**6**	**7**	**15**
GPyGMUXn.GPIOz =	**00b、01b、10b、11b**	**00b**			**01b**			**11b**
GPyMUXn.GPIOz =	**00b**	**01b**	**10b**	**11b**	**01b**	**10b**	**11b**	**11b**
	GPIO140					SCITXDC (O)		
	GPIO141					SCIRXDD (I)		
	GPIO142					SCITXDD (O)		
	GPIO143							
	GPIO144							
	GPIO145	EPWM1A (O)						
	GPIO146	EPWM1B (O)						
	GPIO147	EPWM2A (O)						
	GPIO148	EPWM2B (O)						
	GPIO149	EPWM3A (O)						
	GPIO150	EPWM3B (O)						
	GPIO151	EPWM4A (O)						
	GPIO152	EPWM4B (O)						
	GPIO153	EPWM5A (O)						
	GPIO154	EPWM5B (O)						
	GPIO155	EPWM6A (O)						
	GPIO156	EPWM6B (O)						
	GPIO157	EPWM7A (O)						
	GPIO158	EPWM7B (O)						
	GPIO159	EPWM8A (O)						
	GPIO160	EPWM8B (O)						
	GPIO161	EPWM9A (O)						
	GPIO162	EPWM9B (O)						
	GPIO163	EPWM10A (O)						
	GPIO164	EPWM10B (O)						
	GPIO165	EPWM11A (O)						
	GPIO166	EPWM11B (O)						
	GPIO167	EPWM12A (O)						
	GPIO168	EPWM12B (O)						

(1) I = 输入，O = 输出，OD = 开漏
(2) 保留 9、10、11、13 和 14 的 GPIO 索引设置。
(3) 支持高速 SPI 的 GPIO 多路复用器选项。在高速模式下使用 SPI 时（在 SPICCR 中，HS_MODE = 1），需要使用此引脚多路复用器选项。在高速模式下未使用 SPI 时（在 SPICCR 中，HS_MODE = 0），此多路复用器选项仍然可用。

Copyright © 2026 Texas Instruments Incorporated

5.4.2 输入 X-BAR

输入 X-BAR 用于将任何 GPIO 输入路由到 ADC、eCAP 和 ePWM 外设以及外部中断 (XINT) (参阅图 5-2) 。表 5-4 显示了输入 X-BAR 目标。有关配置输入 X-BAR 的详细信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 的“交叉开关 (X-BAR)”一章。

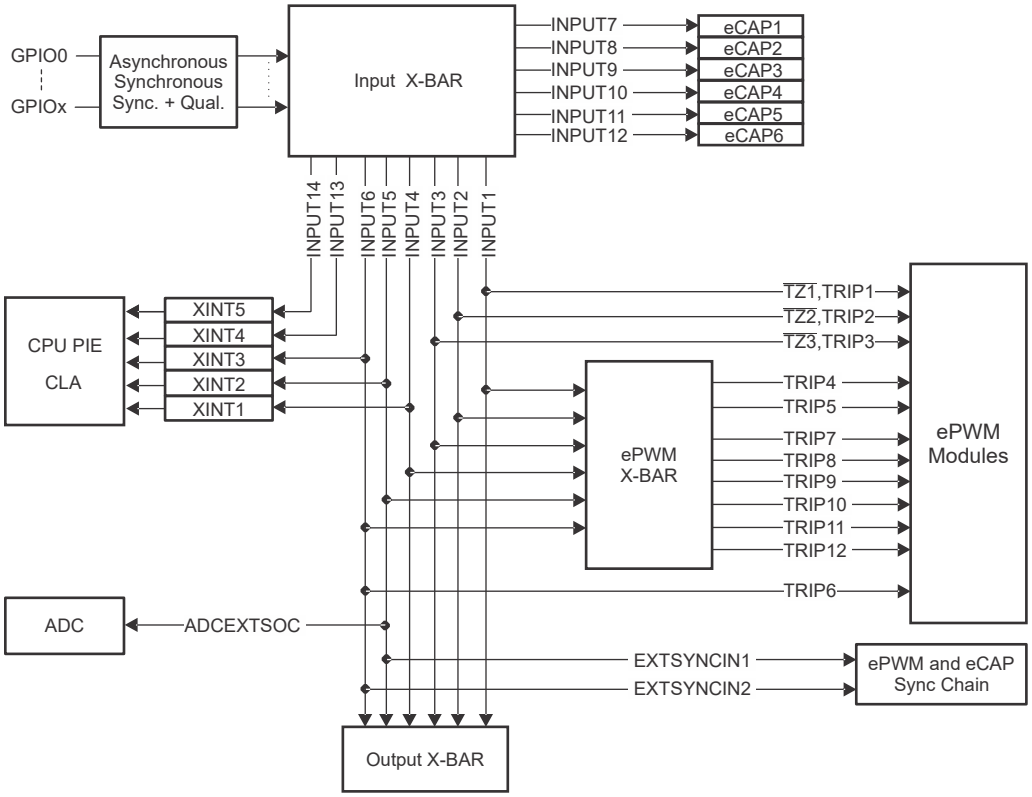


图 5-2. 输入 X-BAR

表 5-4. 输入 X-BAR 目标

输入	目标
INPUT1	EPWM[TZ1,TRIP1]、EPWM X-BAR、输出 X-BAR
INPUT2	EPWM[TZ2,TRIP2]、EPWM X-BAR、输出 X-BAR
INPUT3	EPWM[TZ3,TRIP3]、EPWM X-BAR、输出 X-BAR
INPUT4	XINT1、EPWM X-BAR、输出 X-BAR
INPUT5	XINT2、ADCEXTSOC、EXTSYNCIN1、EPWM X-BAR、输出 X-BAR
INPUT6	XINT3、EPWM[TRIP6]、EXTSYNCIN2、EPWM X-BAR、输出 X-BAR
INPUT7	ECAP1
INPUT8	ECAP2
INPUT9	ECAP3
INPUT10	ECAP4
INPUT11	ECAP5
INPUT12	ECAP6
INPUT13	XINT4
INPUT14	XINT5

Copyright © 2026 Texas Instruments Incorporated

5.4.3 输出 X-BAR 和 ePWM X-BAR

输出 X-BAR 有 8 个输出，可以在 GPIO 多路复用器上选择为 OUTPUTXBARx。ePWM X-BAR 有 8 个输出，与 ePWM 的 TRIPx 输入相连。输出 X-BAR 和 ePWM X-BAR 的源如图 5-3 所示。有关输出 X-BAR 和 ePWM X-BAR 的详细信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 的“交叉开关 (X-BAR)”一章。

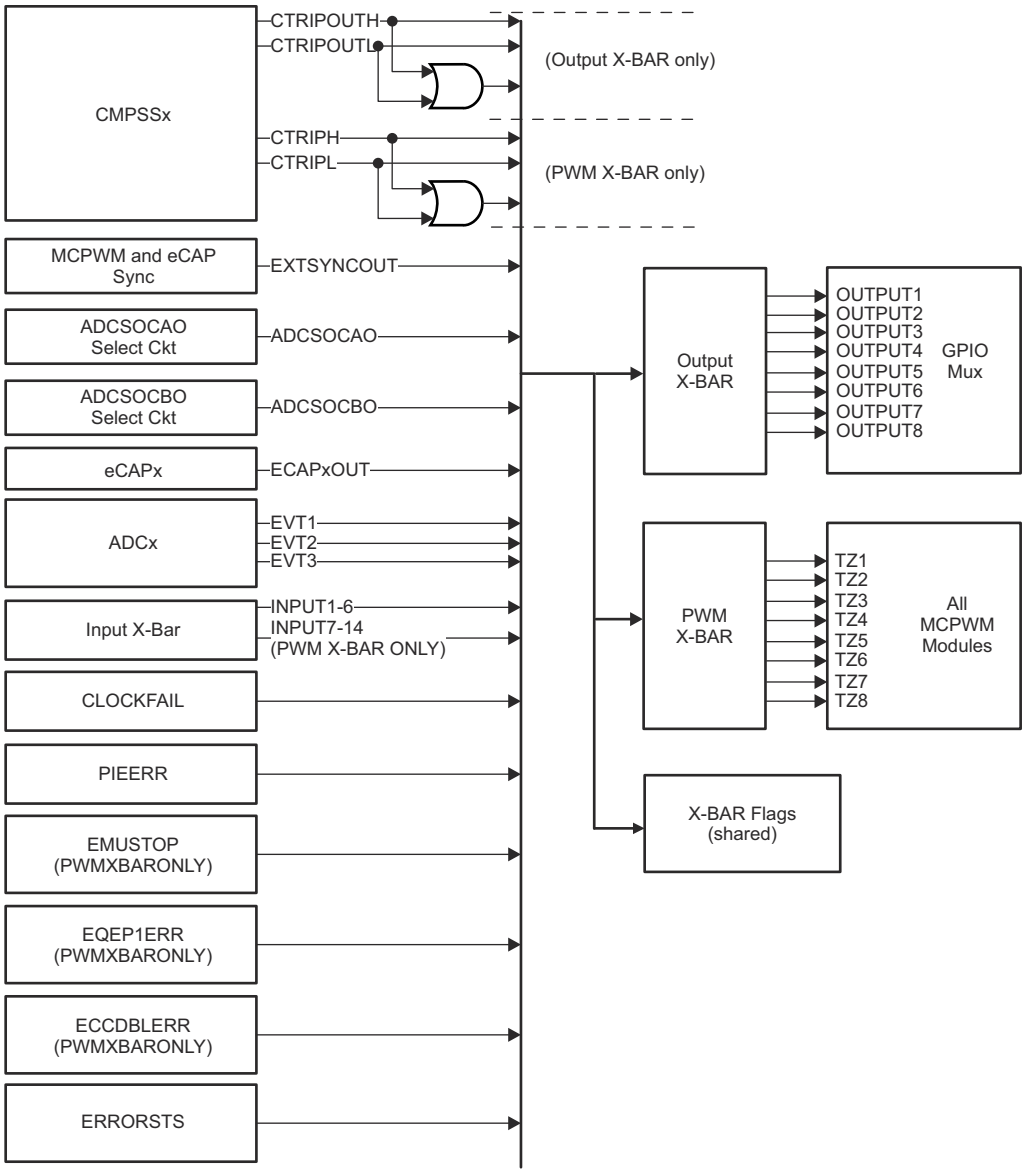


图 5-3. 输出 X-BAR 和 ePWM X-BAR

Copyright © 2026 Texas Instruments Incorporated

5.4.4 USB 引脚多路复用

表 5-5 显示了备用 USB 功能映射的分配。可通过 GPBAMSEL 寄存器对它们进行配置。

表 5-5. 备用 USB 功能

GPIO	GPBAMSEL 设置	USB 功能
GPIO42	GPBAMSEL[10] = 1b	USB0DM
GPIO43	GPBAMSEL[11] = 1b	USB0DP

5.4.5 高速 SPI 引脚多路复用

该器件上的 SPI 模块具有高速模式。为了实现尽可能高的速度，在每个 SPI 的单一 GPIO 多路复用器选项上使用了特殊的 GPIO 配置。在未处于高速模式 (HS_MODE=0) 下，SPI 也可以使用这些 GPIO 。

如需选择启用 SPI 高速模式的多路复用器选项，请配置 GPyGMUX 和 GPyMUX 寄存器，如表 5-6 所示。

表 5-6. 高速 SPI 的 GPIO 配置

GPIO	SPI 信号	多路复用器配置	
SPIA			
GPIO58	SPISIMOA	GPBGMUX2[21:20]=11b	GPBMUX2[21:20]=11b
GPIO59	SPISOMIA	GPBGMUX2[23:22]=11b	GPBMUX2[23:22]=11b
GPIO60	SPICLKA	GPBGMUX2[25:24]=11b	GPBMUX2[25:24]=11b
GPIO61	$\overline{\text{SPISTEA}}$	GPBGMUX2[27:26]=11b	GPBMUX2[27:26]=11b
SPIB			
GPIO63	SPISIMOB	GPBGMUX2[31:30]=11b	GPBMUX2[31:30]=11b
GPIO64	SPISOMIB	GPCGMUX1[1:0]=11b	GPCMUX1[1:0]=11b
GPIO65	SPICLKB	GPCGMUX1[3:2]=11b	GPCMUX1[3:2]=11b
GPIO66	$\overline{\text{SPISTEB}}$	GPCGMUX1[5:4]=11b	GPCMUX1[5:4]=11b
SPIC			
GPIO69	SPISIMOC	GPCGMUX1[11:10]=11b	GPCMUX1[11:10]=11b
GPIO70	SPISOMIC	GPCGMUX1[13:12]=11b	GPCMUX1[13:12]=11b
GPIO71	SPICLKC	GPCGMUX1[15:14]=11b	GPCMUX1[15:14]=11b
GPIO72	$\overline{\text{SPISTEC}}$	GPCGMUX1[17:16]=11b	GPCMUX1[17:16]=11b

Copyright © 2026 Texas Instruments Incorporated

5.5 未使用引脚的连接

对于不需要使用器件所有功能的应用，表 5-7 列出了对任何未使用引脚的可接受条件。当表 5-7 中列出了多个选项，则任何选项都可接受。未在表 5-7 中列出的引脚必须根据*信号描述* 部分进行连接。

表 5-7. 未使用引脚的连接

信号名称	可接受的做法
模拟	
V_{REFHIx}	连接至 V_{DDA}
V_{REFLOx}	连接至 V_{SSA}
ADCINx	• 无连接 • 连接至 V_{SSA}
数字	
GPIOx	• 无连接（启用内部上拉的输入模式） • 无连接（禁用内部上拉的输出模式） • 上拉或下拉电阻器（任意值电阻器，输入模式，禁用内部上拉）
X1	连接至 V_{SS}
X2	无连接
TCK	• 无连接 • 上拉电阻器
TDI	• 无连接 • 上拉电阻器
TDO	无连接
TMS	无连接
$\overline{TRST}$	下拉电阻器（2.2kΩ 或更小）
VREGENZ	连接至 V_{DDIO}。不支持 VREG。
ERRORSTS	无连接
FLT1	无连接
FLT2	无连接
电源和接地	
V_{DD}	必须根据*信号描述* 部分连接所有 V_{DD} 引脚。
V_{DDA}	如果未使用专用模拟电源，则连接到 V_{DDIO}。
V_{DDIO}	必须根据*信号描述* 部分连接所有 V_{DDIO} 引脚。
V_{DD3VFL}	必须连接到 V_{DDIO}
V_{DDOSC}	必须连接到 V_{DDIO}
V_{SS}	所有 V_{SS} 引脚必须连接到电路板接地。
V_{SSA}	如果未使用专用模拟接地，则连接到 V_{SS}。
V_{SSOSC}	如果未使用外部晶体，则此引脚可以连接至电路板接地。

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

		最小值	最大值	单位
电源电压	V_{DDIO}，以 V_{SS} 为基准	-0.3	4.6	V
	V_{DD3VFL}，以 V_{SS} 为基准	-0.3	4.6	
	V_{DDOSC}，以 V_{SS} 为基准	-0.3	4.6	
	V_{DD}，以 V_{SS} 为基准	-0.3	1.5	
模拟电压	V_{DDA}，以 V_{SSA} 为基准	-0.3	4.6	V
输入电压	V_{IN} (3.3V)	-0.3	4.6	V
输出电压	V_O	-0.3	4.6	V
输入钳位电流	数字输入（每引脚），I_{IK}（$V_{IN} < V_{SS}$ 或 $V_{IN} > V_{DDIO}$）	-20	20	mA
	模拟输入（每引脚），$I_{IKANALOG}$（$V_{IN} < V_{SSA}$ 或 $V_{IN} > V_{DDA}$）	-20	20	
	所有输入的总计，$I_{IKTOTAL}$（$V_{IN} < V_{SS}/V_{SSA}$ 或 $V_{IN} > V_{DDIO}/V_{DDA}$）	-20	20	
输出电流	数字输出（每引脚），I_{OUT}	-20	20	mA
工作结温	T_J	-55	150	°C
贮存温度(3)	T_{stg}	-65	150	°C

(1) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 除非另有说明，所有电压值均相对于 V_{SS}。
(3) 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。有关其他信息，请参阅*半导体和 IC 封装热指标*。

6.2 ESD 等级

				值	单位
采用 176 引脚 PTP 封装的 F28377D-SEP					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			176 引脚 PTP 上的转角引脚：1、44、45、88、89、132、133、176	±750	

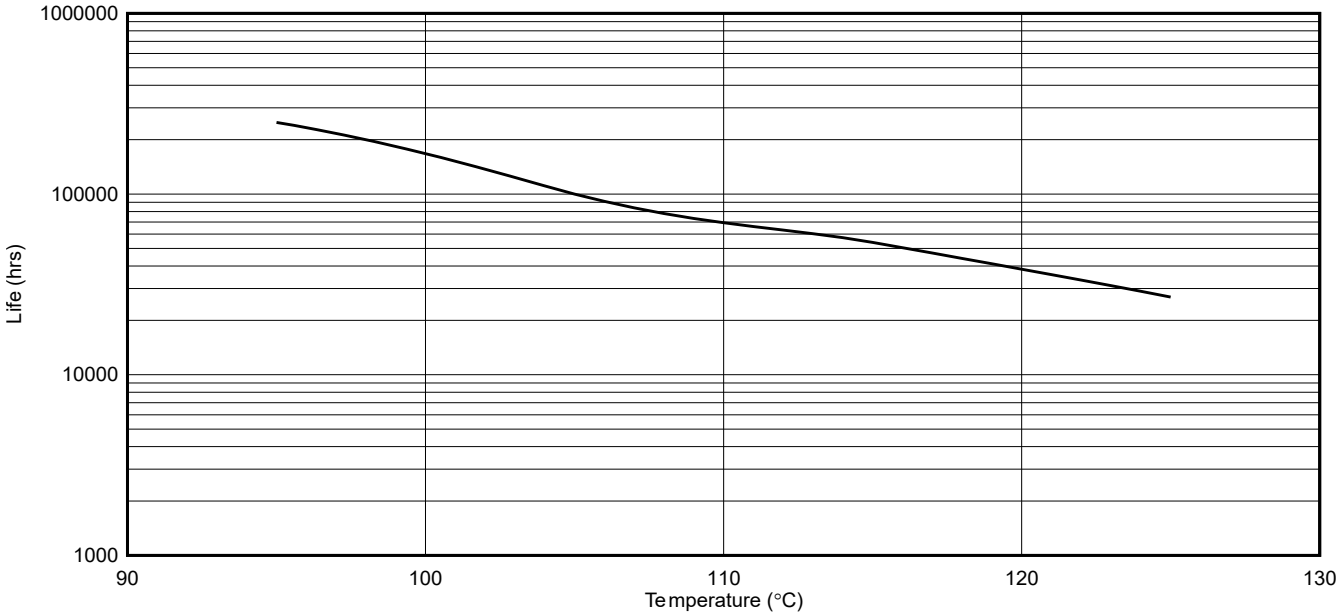
(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

Copyright © 2026 Texas Instruments Incorporated

6.3 建议运行条件

	最小值	标称值	最大值	单位
器件电源电压，I/O，V_{DDIO} (1)	3.14	3.3	3.47	V
器件电源电压，V_{DD}	1.14	1.2	1.26	V
电源接地，V_{SS}		0		V
模拟电源电压，V_{DDA}	3.14	3.3	3.47	V
模拟接地，V_{SSA}		0		V
结温，T_J (2)	-55		150	°C

(1) V_{DDIO}、V_{DD3VFL} 和 V_{DDOSC} 之间应保持在 0.3V 之内。
(2) 在 T_J = 105°C 以上的温度下长时间运行将缩短器件的使用寿命。有关更多信息，请参阅*计算嵌入式处理器的有效使用寿命*。



A. 在 105°C 结温条件下，器件使用寿命设计目标为 100000 小时的通电时间 (POH)（不包括封装互连寿命）。
B. 根据可靠性建模确定预计使用寿命与结温之间的关系，对于特定器件工艺和设计特性，使用电迁移作为影响器件磨损的主要故障机制。

图 6-1. F28377D-SEP 工作寿命降额表

Copyright © 2026 Texas Instruments Incorporated

6.4 功耗摘要

本小节中列出的电流值仅代表给定的测试条件下的值，而不是可能的绝对最大值。应用中的实际器件电流将随应用代码和引脚配置的不同而变化。节 6.4.1 显示了 200MHz SYSCLK 下的器件电流消耗。

6.4.1 200MHz SYSCLK 下的器件电流消耗

模式	测试条件	I_{DD}		I_{DDIO} [1]		I_{DDA}		I_{DD3VFL}	
		典型值[5]	最大值[4]	典型值[5]	最大值[4]	典型值[5]	最大值[4]	典型值[5]	最大值[4]
工作中	• 代码正在耗尽 RAM。[6] • 所有 I/O 引脚都未连接。 • 未激活的外设的时钟被禁用。 • 闪存被读取，并处于激活状态。 • XCLKOUT 在 SYSCLK/4 下启用。	325 mA	495 mA	30 mA		13 mA	20 mA	33 mA	40 mA
空闲	• CPU1 和 CPU2 均处于空闲模式。 • 闪存断电。 • XCLKOUT 关闭。	105 mA	250 mA	3 mA	10 mA	10 µA	150 µA	10 µA	150 µA
待机	• CPU1 和 CPU2 均处于待机模式。 • 闪存断电。 • XCLKOUT 关闭。	30 mA	170 mA	3 mA	10 mA	5 µA	150 µA	10 µA	150 µA
停机[2]	• CPU1 看门狗正在运行。 • 闪存断电。 • XCLKOUT 关闭。	1.5 mA	120 mA	750 µA	2 mA	5 µA	150 µA	10 µA	150 µA
休眠[3]	• CPU1.M0 和 CPU1.M1 RAM 处于低功耗数据保留模式。 • CPU2.M0 和 CPU2.M1 RAM 处于低功耗数据保留模式。	300 µA	5 mA	750 µA	2 mA	5 µA	75 µA	1 µA	50 µA
闪存 擦除/编程[7]	• CPU1 从 RAM 上运行。 • CPU2 从闪存运行。 • 所有 I/O 引脚都未连接。 • 外设时钟被禁用。 • CPU1 正在执行闪存擦除和编程。 • CPU2 正在访问闪存位置以使闪存组保持运行状态。 • XCLKOUT 关闭。	242 mA	360 mA	3 mA	10 mA	10 µA	150 µA	53 mA	65 mA

Copyright © 2026 Texas Instruments Incorporated

6.4.1 200MHz SYSCLK 下的器件电流消耗（续）

模式	测试条件	I_{DD}		I_{DDIO} (1)		I_{DDA}		I_{DD3VFL}	
		典型值(5)	最大值(4)	典型值(5)	最大值(4)	典型值(5)	最大值(4)	典型值(5)	最大值(4)
RESET	• CPU 通过驱动到 XRSn 上的外部低电平信号保持在复位状态 • XRSn 在上电过程中保持低电平	10 mA	20 mA	0.01 mA	0.8 mA	0.02 mA	1 mA	2.5 mA	8 mA

(1) I_{DDIO} 电流取决于 I/O 引脚上的电力负载。
(2) 在 CPU1 进入停机模式之前，CPU2 必须进入空闲模式。
(3) 在 CPU1 进入休眠模式之前，CPU2 必须进入复位/空闲/待机模式。
(4) 最大值：V_{max}，125°C
(5) 典型值：V_{nom}，30°C
(6) 在 CPU1 上的循环中执行以下操作：
- 所有通信外设都在环回模式下运行：CAN-A 至 CAN-B；SPI-A 至 SPI-C；SCI-A 至 SCI-D；I2C-A 至 I2C-B；McBSP-A 至 McBSP-B；USB
- SDFM1 至 SDFM4 激活
- ePWM1 到 ePWM12 在 24 个引脚上生成 400kHz PWM 输出
- CPU 计时器激活
- DMA 进行 32 位突发传输
- CLA1 进行乘法累加任务
- 所有 ADC 执行连续转换
- 所有 DAC 在 150kHz 下斜升/斜降电压
- CMPSS1 至 CMPSS8 激活

在 CPU2 上的循环中执行以下操作：
- CPU 计时器激活
- CLA1 进行乘法累加任务
- VCU 使用并行负载进行复杂的乘法/累加
- TMU 计算余弦
- FPU 使用并行负载进行乘法/累加

(7) 闪存编程期间的欠压事件可能会损坏闪存数据。使用备用电源（例如 USB 编程器）的编程环境必须能够为器件和其他系统组件提供额定电流，并留有足够的裕度以避免电源欠压情况。

Copyright © 2026 Texas Instruments Incorporated

6.4.2 电流消耗图

图 6-2 和图 6-3 是器件上的频率与电流消耗/功率之间关系的典型代表。节 6.4.1 中的工作测试是在 V_{max} 和高温下跨频运行的。实际结果将因系统实现情况和具体条件而异。

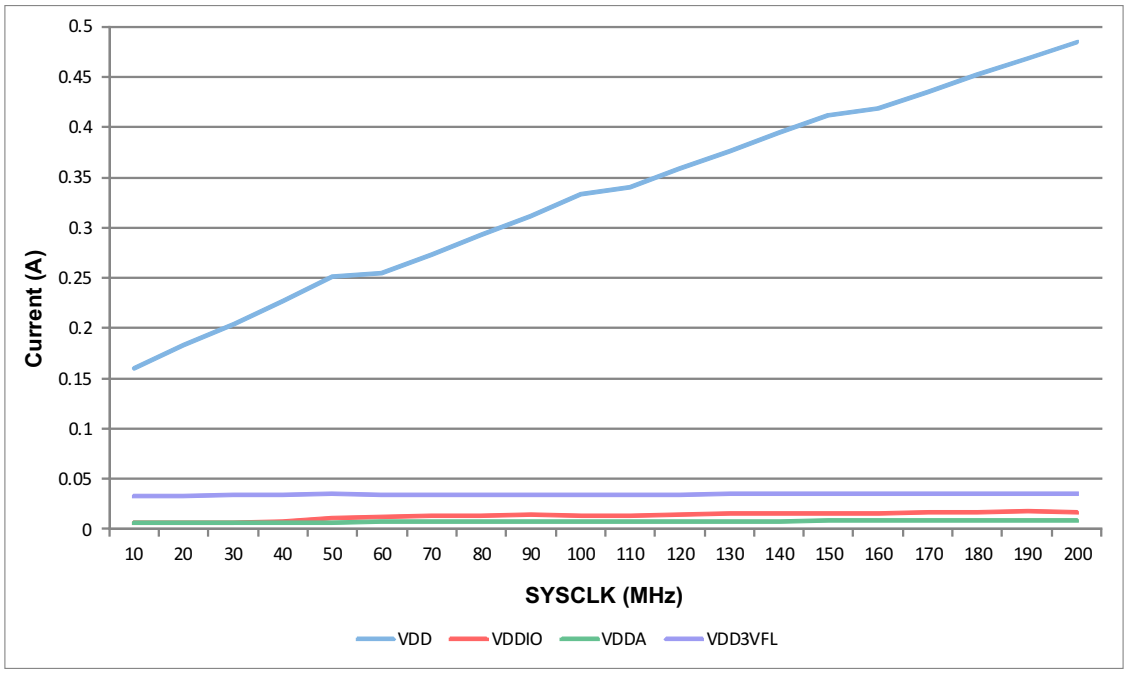


图 6-2. 工作电流与频率间的关系

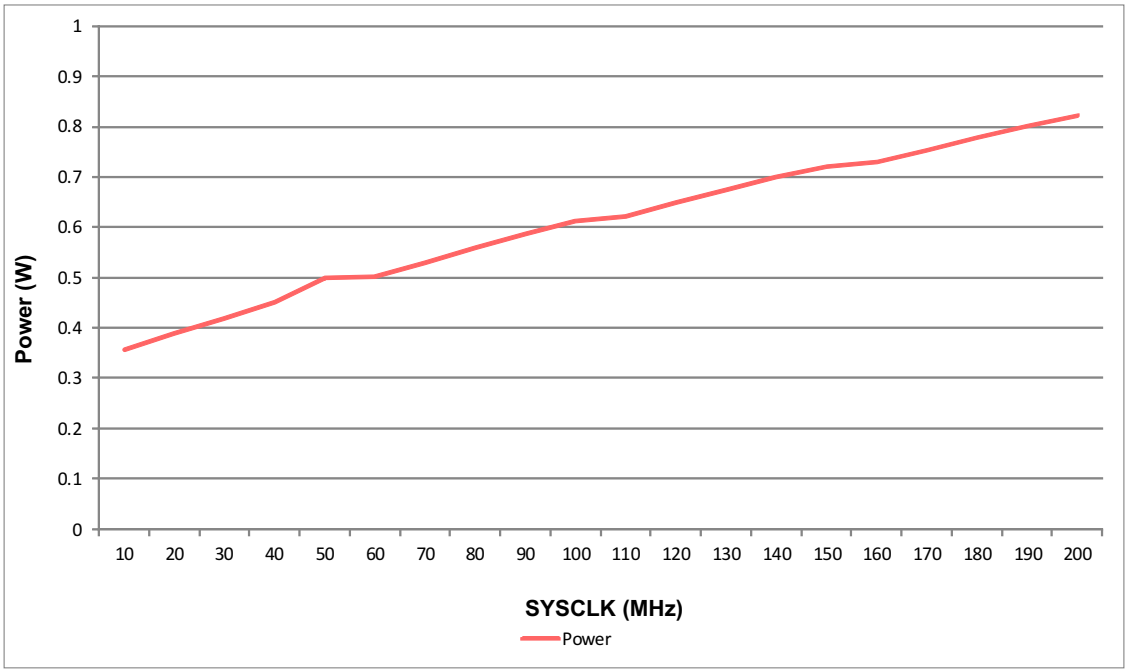


图 6-3. 功率与频率间的关系

漏电流将随工作温度的上升呈非线性增加。典型值和最大值条件下 V_{DD} 电流的差异如图 6-4 所示。停机模式下的电流消耗主要是漏电流，因为内部振荡器已断电时，就不会有有源开关。

图 6-4 显示了温度范围内的典型漏电流。在标称电压条件下，该器件被置于停机模式。

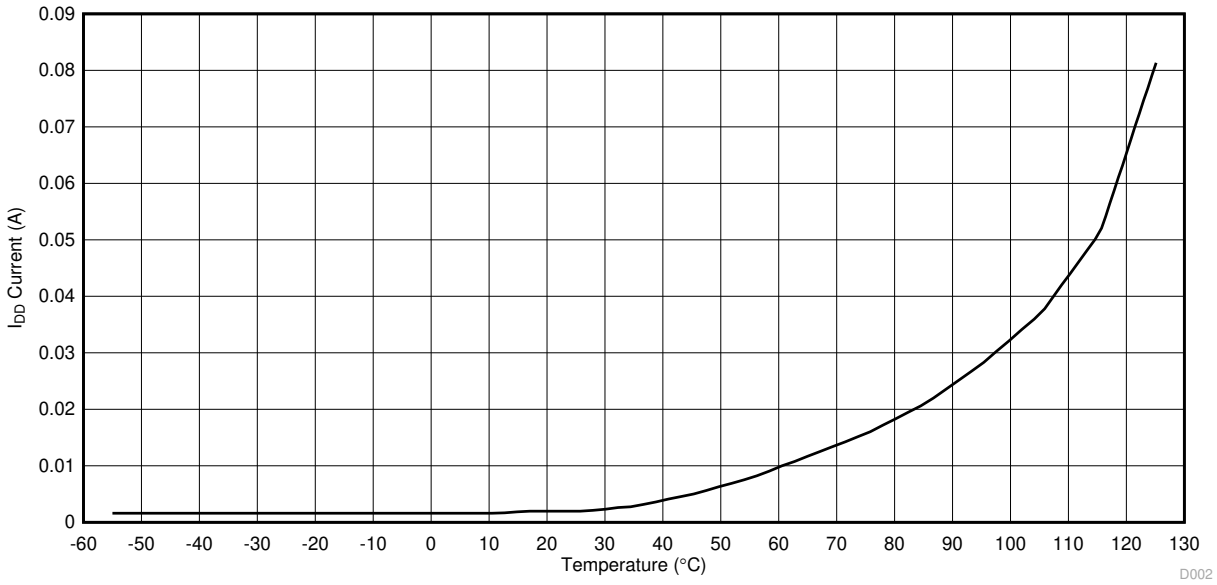


图 6-4. I_{DD} 漏电流与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

6.4.3 减少电流消耗

F2837xD 器件提供了一些减少器件电流消耗的方法：

- 在应用的空闲期间，可以进入四种低功耗模式中的任何一种：空闲、待机、停机和休眠。
- 如果代码从 RAM 中运行，闪存模块可能会断电。
- 禁用假定具有输出功能的引脚上的上拉电阻。
- 每个外设都有一个单独的时钟使能位 (PCLKCRx)。通过关闭给定应用中未使用的任何外设的时钟，可以减少电流消耗。表 6-1 表明了通过使用 PCLKCRx 寄存器禁用时钟可以实现的典型电流降低。
- 为了在低功耗模式下实现最低 V_{DDA} 电流消耗，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 中相应的模拟章节，以确保使每个模块也断电。

表 6-1. 各种外设在 V_{DD} 电源上的电流 (在 200MHz 下)

外设模块(1) (2)	I_{DD} 电流降低 (mA)
ADC(3)	3.3
CAN	3.3
CLA	1.4
CMPSS(3)	1.4
CPUTIMER	0.3
DAC(3)	0.6
DMA	2.9
eCAP	0.6
EMIF1	2.9
EMIF2	2.6
ePWM1 至 ePWM4(4)	4.5
ePWM5 至 ePWM12(4)	1.7
HRPWM(4)	1.7
I2C	1.3
McBSP	1.6
SCI	0.9
SDFM	2
SPI	0.5
uPP	7.3
USB 和 AUXPLL (60MHz)	23.8

(1) 在 V_{max} 和 125°C 下。
(2) 复位时，所有外设均禁用。使用 PCLKCRx 寄存器以单独地启用外设。对于具有多个实例的外设，针对单个模块引用电流。
(3) 该数字代表了 ADC、CMPSS 和 DAC 模块的数字部分所消耗的电流。
(4) ePWM 为 SYSCLK 的一半。

Copyright © 2026 Texas Instruments Incorporated

6.5 电气特性

在建议运行条件下测得（除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压		I_{OH} = I_{OH} 最小值	V_{DDIO}*0.8			V
			I_{OH}=-100 µ A	V_{DDIO}-0.2			
V_{OL}	低电平输出电压		I_{OL}=I_{OL} 最大值			0.4	V
			I_{OL} = 100 µA			0.2	
I_{OH}	所有输出 引脚的高电平输出拉电流			-4			mA
I_{OL}	所有输出 引脚的低电平输出灌电流					4	mA
V_{IH}	高电平输入电压 (3.3V)	GPIO0 – GPIO7、GPIO42 – GPIO43、GPIO46 – GPIO47		V_{DDIO}*0.7		V_{DDIO} + 0.3	V
		所有其他引脚		2.0		V_{DDIO} + 0.3	
V_{IL}	低电平输入电压 (3.3V)			V_{SS} - 0.3		0.8	V
$V_{HYSTERESIS}$	输入滞后			150			mV
$I_{pulldown}$	输入电流	带下拉的数字输入(1)	V_{DDIO}=3.3V V_{IN}=V_{DDIO}		120		µA
I_{pullup}	输入电流	启用上拉的数字输入(1)	V_{DDIO}=3.3V V_{IN}=0V		150		µA
I_{LEAK}	引脚漏电流	数字	禁用上拉 0V ≤ V_{IN} ≤ V_{DDIO}			2	µA
		模拟（除了 ADCINB0 或 DACOUTx）	0V ≤ V_{IN} ≤ V_{DDA}			2	
		ADCINB0			2	11(2)	
		DACOUTx			66		
C_I	输入电容				2		pF
$V_{DDIO-POR}$	V_{DDIO} 上电复位电压				2.3		V

(1) 有关具有上拉或下拉功能的引脚列表，请参阅表 5-2。
(2) ADCINB0 上显示的最大输入漏电流是在高温条件下发生的。

Copyright © 2026 Texas Instruments Incorporated

6.6 热阻特征

6.6.1 PTP 封装

		°C/W(1)	气流 (lfm)(2)
$R\Theta_{JC}$	结至外壳热阻	6.97	不适用
$R\Theta_{JB}$	结至电路板热阻	6.05	不适用
$R\Theta_{JA}$（高 k PCB）	结至大气热阻	17.8	0
$R\Theta_{JMA}$	结至流动空气热阻	12.8	150
		11.4	250
		10.1	500
Psi_{JT}	结至封装顶部	0.11	0
		0.24	150
		0.33	250
		0.42	500
Psi_{JB}	结点到电路板	6.1	0
		5.5	150
		5.4	250
		5.3	500

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R\Theta_{JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

(2) lfm = 线性英尺/分钟

6.7 散热设计注意事项

根据最终应用设计和运行情况，I_{DD} 和 I_{DDIO} 电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度 (T_A) 随最终应用和产品设计的不同而不同。影响可靠性和功能性的关键参数是结温 T_J，而不是环境温度。因此，应该注意将 T_J 保持在指定限值内。应该测量 T_{case} 以评估工作结温 T_J。通常在封装顶部表面的中心测量 T_{case}。热应用报告 *半导体和 IC 封装热指标* 有助于理解热指标和相关定义。

Copyright © 2026 Texas Instruments Incorporated

6.8 系统

6.8.1 电源时序

6.8.1.1 信号引脚要求

在为器件供电之前，不能对任何数字引脚施加比 V_{DDIO} 高 0.3V 以上的电压，也不能对任何模拟引脚（包括 V_{REFHI}）施加比 V_{DDA} 高 0.3V 以上的电压。

6.8.1.2 V_{DDIO}、V_{DDA}、V_{DD3VFL} 和 V_{DDOSC} 要求

3.3V 电源应一起上电，在正常工作期间彼此之间的差值应保持在 0.3V 以内。

6.8.1.3 V_{DD} 要求

不支持内部 VREG。必须将 VREGENZ 引脚连接至 V_{DDIO}，并且外部电源用于为 V_{DD} 提供 1.2V 电压。在斜升期间，V_{DD} 应保持不高于 V_{DDIO} 0.3V 。

V_{DDOSC} 和 V_{DD} 必须同时加电和断电。当 V_{DD} 处于断电状态时，V_{DDOSC} 不应供电。对于未同时为 V_{DDOSC} 和 V_{DD} 供电的应用，请参阅 *TMS320F2837xD 双核实时 MCU 器件勘误表* 中的“INTOSC：未使用 V_{DD} 为 V_{DDOSC} 供电会导致 INTOSC 频率漂移”公告。

当闪存组处于运行状态时，在 V_{DD3VFL} 到 V_{DD} 之间存在内部 12.8mA 电流源。当闪存组处于运行状态且器件处于低态运行状态（如低功耗模式）时，此内部电流源可能导致 V_{DD} 上升至大概为 1.3V。在这种情况下，外部系统 V_{DD} 稳压器的电流负载将为零。对于大多数稳压器来说，这不是问题；但是，如果系统稳压器需要最小负载才能正常运行，则可以向电路板增加外部 82Ω 电阻器，以确保 V_{DD} 具有最小电流负载。请参阅 *TMS320F2837xD 双核实时 MCU 器件勘误表* 中“低功耗模式：将闪存断电或保持最少器件活动”公告。

6.8.1.4 电源斜升速率

电源应在 10ms 内斜升至全部的电源轨。节 6.8.1.4.1 显示了电源斜升速率。

6.8.1.4.1 电源斜升速率

		最小值	最大值	单位
电源斜升速率	相对于 V_{SS} 的 V_{DDIO}、V_{DD}、V_{DDA}、V_{DD3VFL}、V_{DDOSC}	330	10^5	V/s

6.8.1.5 电源监控

内部上电复位 (POR) 电路在上电期间将 I/O 保持在高阻抗状态。外部电源电压监控器 (SVS) 可用于监控 3.3V 和 1.2V 电源轨上的电压，并在电源超出运行规格时将 $\overline{XRS}$ 驱动至低电平。

备注

如果电源电压保持接近 POR 阈值，则器件可能会在 $\overline{XRS}$ 引脚上驱动定期复位。

6.8.2 复位时序

$\overline{XRS}$ 为器件复位引脚。它用作输入和漏极开路输出。该器件具有内置上电复位 (POR)。在加电期间，POR 电路会驱动 $\overline{XRS}$ 引脚至低电平。看门狗或 NMI 看门狗复位也会驱动引脚至低电平。外部电路可能会驱动引脚使器件复位生效。

应在 $\overline{XRS}$ 和 V_{DDIO} 之间放置一个值为 2.2kΩ 至 10kΩ 的电阻器。应在 $\overline{XRS}$ 和 V_{SS} 之间放置一个电容器用于噪声滤除；电容应为 100nF 或更小。当看门狗复位生效时，这些值将允许看门狗在 512 个 OSCCLK 周期内正确地驱动 $\overline{XRS}$ 引脚至 V_{OL}。图 6-5 显示了推荐的复位电路。

Copyright © 2026 Texas Instruments Incorporated

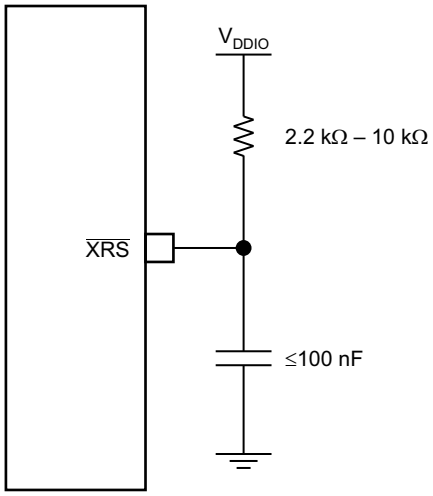


图 6-5. 复位电路

6.8.2.1 复位源

该器件上存在以下复位源：XRS、WDRS、NMIWDRS、SYSRS、SCCRESET 和 HIBRESET。请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册*“系统控制”一章中的“复位信号”表。

参数 $t_{h(boot-mode)}$ 必须考虑从这些来源启动的复位。

小心

有些复位源由器件内部驱动。其中一些来源将 XRS 驱动至低电平。借此可禁用驱动引导引脚的任何其他器件。SCCRESET 和调试器复位源不会驱动 XRS；因此，用于引导模式的引脚不应由系统中的其他器件主动驱动。引导配置中有一个选项，可用来更改 OTP 中的引导引脚；有关更多详细信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册*。

6.8.2.2 复位电气数据和时序

节 6.8.2.2.1 显示了复位 (XRS) 时序要求。节 6.8.2.2.2 显示了复位 (XRS) 开关特征。图 6-6 显示了上电复位。图 6-7 显示了热复位。

6.8.2.2.1 复位 (XRS) 时序要求

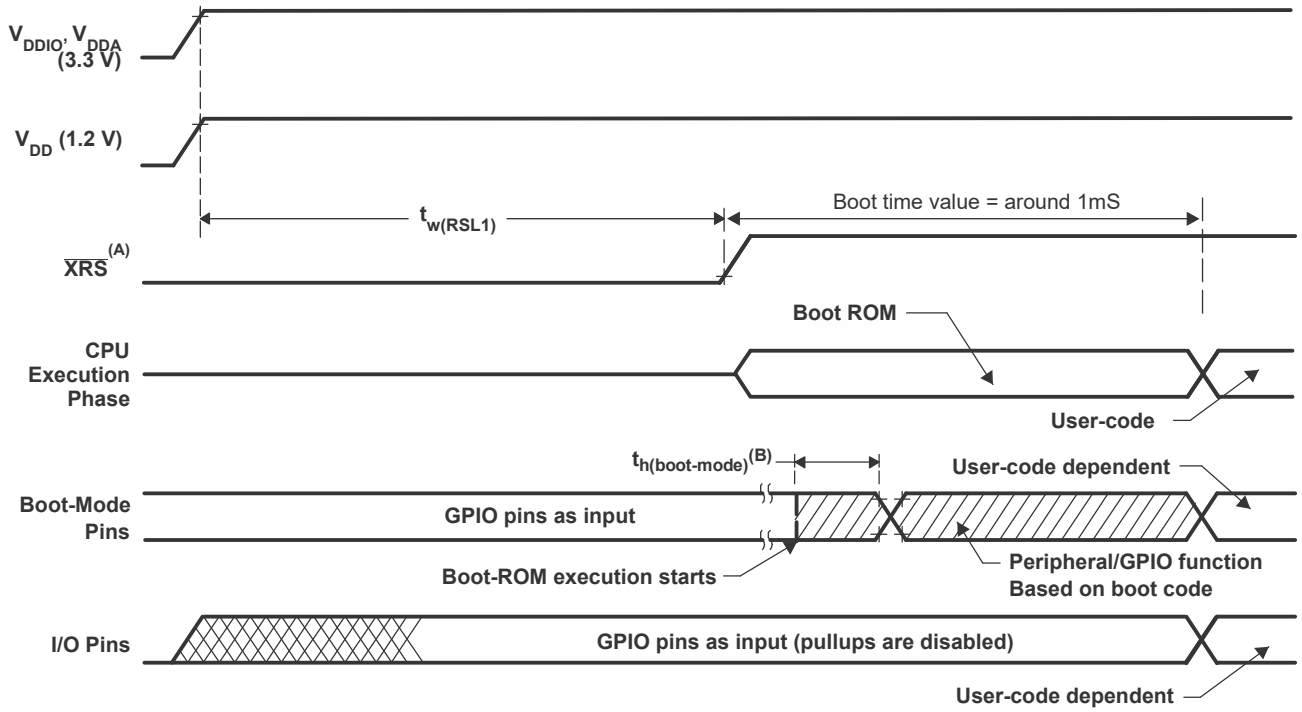
			最小值	最大值	单位
t_{h}（引导模式）	引导模式引脚的保持时间		1.5		ms
$t_{w(RSL2)}$	脉冲持续时间，热复位时 XRS 处于低电平	所有情况	3.2		μs
		应用中使用的低功耗模式，并且 SYSCLKDIV > 16	3.2*(SYSCLKDIV/16)		

6.8.2.2.2 复位 (XRS) 开关特征

在建议运行条件下（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{w(RSL1)}$	脉冲持续时间，XRS 在电源稳定后由器件驱动为低电平		100		μs
$t_{w(WDRS)}$	脉冲持续时间，由看门狗生成的复位脉冲		$512t_{c(OSCCLK)}$		周期

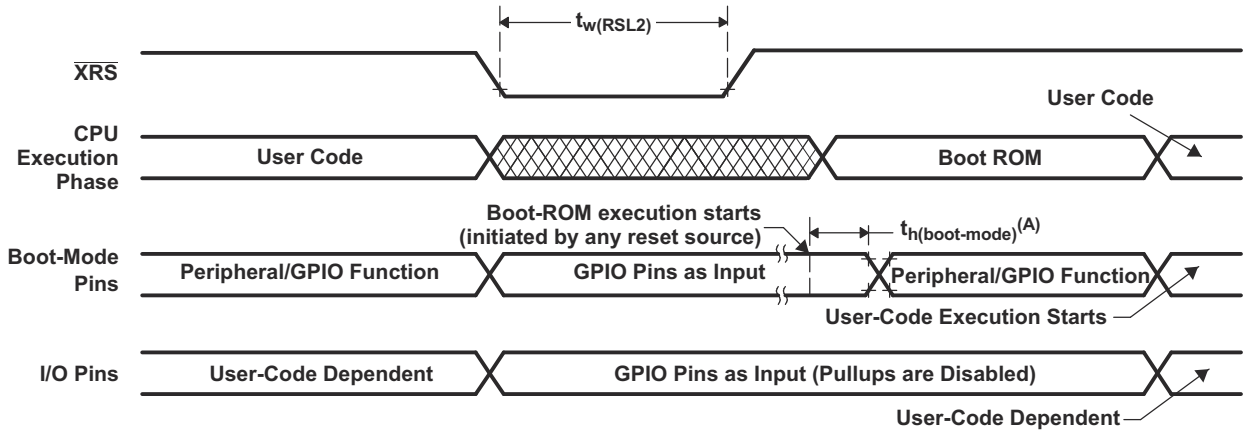
Copyright © 2026 Texas Instruments Incorporated



A. XRS 引脚可以由监控器或外部上拉电阻从外部驱动，请参阅*引脚描述* 部分。

B. 从任何源复位后（参阅节 6.8.2.1），引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL。

图 6-6. 上电复位



A. 从任何源复位后（参阅节 6.8.2.1），引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL。

图 6-7. 热复位

Copyright © 2026 Texas Instruments Incorporated

6.8.3 时钟规范

6.8.3.1 时钟源

表 6-2 列出了四种可能的时钟源。图 6-8 展示了器件时钟系统的概览。

表 6-2. 可能的基准时钟源

时钟源	模块已计时	注释
INTOSC1	可用于为以下模块提供时钟： • 看门狗模块 • 主 PLL • CPU 计时器 2	内部振荡器 1。 零引脚开销 10MHz 内部振荡器。
INTOSC2(1)	可用于为以下模块提供时钟： • 主 PLL • 辅助 PLL • CPU 计时器 2	内部振荡器 2。 零引脚开销 10MHz 内部振荡器。
XTAL	可用于为以下模块提供时钟： • 主 PLL • 辅助 PLL • CPU 计时器 2	外部晶体或谐振器连接在 X1 和 X2 引脚之间，或者单端时钟连接到 X1 引脚。
AUXCLKIN	可用于为以下模块提供时钟： • 辅助 PLL • CPU 计时器 2	单端 3.3V 电平时钟源。GPIO133/AUXCLKIN 引脚应用于提供输入时钟。

(1) 复位时，内部振荡器 2 (INTOSC2) 为系统 PLL (OSCCLK) 和辅助 PLL (AUXOSCCLK) 的默认时钟源。

Copyright © 2026 Texas Instruments Incorporated

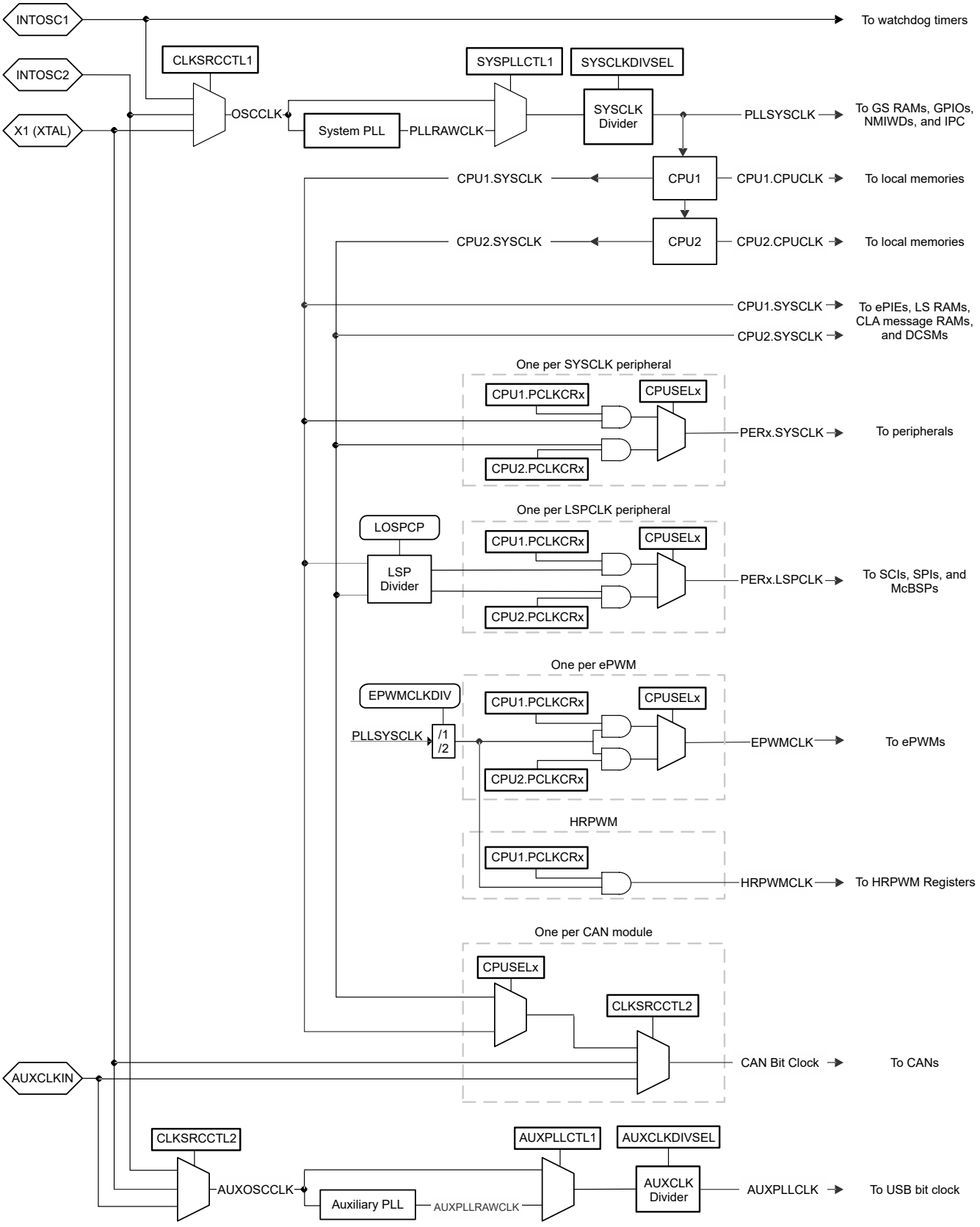


图 6-8. 计时系统

Copyright © 2026 Texas Instruments Incorporated

6.8.3.2 时钟频率、要求和特征

本小节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特征。

6.8.3.2.1 输入时钟频率和时序要求，PLL 锁定时间

节 6.8.3.2.1.1 显示了输入时钟的频率要求。*晶振等效串联电阻 (ESR) 要求* 表显示了晶振等效串联电阻要求。节 6.8.3.2.1.2 显示了使用外部时钟源时的 X1 输入电平特征。节 6.8.3.2.1.4 和节 6.8.3.2.1.5 显示了输入时钟的时序要求。节 6.8.3.2.1.6 显示了主 PLL 和 USB PLL 的 PLL 锁定时间。

6.8.3.2.1.1 输入时钟频率

		最小值	最大值	单位
$f_{(XTAL)}$	频率，X1/X2，来自外部晶体或谐振器	10	20	MHz
$f_{(X1)}$	频率，X1，来自外部振荡器	2	25	MHz
$f_{(AUXI)}$	频率，AUXCLKIN，来自外部振荡器	2	60	MHz

6.8.3.2.1.2 使用外部时钟源（非晶体）时的 X1 输入电平特征

在推荐的工作条件下（除非另有说明）

参数		最小值	最大值	单位
X1 V_{IL}	有效低电平输入电压	-0.3	0.3 * V_{DDIO}	V
X1 V_{IH}	有效高电平输入电压	0.7 * V_{DDIO}	V_{DDIO} + 0.3	V

6.8.3.2.1.3 XTAL 振荡器特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
X1 V_{IL}	有效低电平输入电压	-0.3		0.3 * VDDIO	V
X1 V_{IH}	有效高电平输入电压	0.7 * VDDIO		VDDIO + 0.3	V

6.8.3.2.1.4 X1 时序要求

		最小值	最大值	单位
$t_{f(X1)}$	下降时间，X1		6	ns
$t_{r(X1)}$	上升时间，X1		6	ns
$t_{w(X1L)}$	脉冲持续时间，X1 低电平占 $t_{c(X1)}$ 的百分比	45%	55%	
$t_{w(X1H)}$	脉冲持续时间，X1 高电平占 $t_{c(X1)}$ 的百分比	45%	55%	

6.8.3.2.1.5 AUXCLKIN 时序要求

		最小值	最大值	单位
$t_{f(AUXI)}$	下降时间，AUXCLKIN		6	ns
$t_{r(AUXI)}$	上升时间，AUXCLKIN		6	ns
$t_{w(AUXL)}$	脉冲持续时间，AUXCLKIN 低电平占 $t_{c(XCI)}$ 的百分比	45%	55%	
$t_{w(AUXH)}$	脉冲持续时间，AUXCLKIN 高电平占 $t_{c(XCI)}$ 的百分比	45%	55%	

Copyright © 2026 Texas Instruments Incorporated

6.8.3.2.1.6 PLL 锁定时间

		最小值	标称值	最大值	单位
$t_{(PLL)}$	锁定时间，主 PLL（X1，来自外部振荡器）		50µs + 2500 * $t_{c(OSCCLK)}$ (1)		µs
$t_{(USB)}$	锁定时间，USB PLL（AUXCLKIN，来自外部振荡器）		50µs + 2500 * $t_{c(OSCCLK)}$ (1)		µs

(1) 此处的 PLL 锁定时间定义了 *TMS320F2837xD 双核实时 MCU 器件勘误表* 中所定义的 PLL 权变措施的典型执行时间。周期计数包括 PLL 初始化例程的代码执行，这可能因编译器优化和闪存等待状态而异。TI 建议使用 C2000Ware 的最新示例软件来初始化 PLL。对于系统 PLL，请参阅 InitSysPll() 或 SysCtl_setClock()。对于辅助 PLL，请参阅 InitAuxPll() 或 SysCtl_setAuxClock()。

6.8.3.2.2 内部时钟频率

节 6.8.3.2.2.1 提供了内部时钟的时钟频率。

6.8.3.2.2.1 内部时钟频率

		最小值	标称值	最大值	单位
$f_{(SYSCLK)}$	频率，器件（系统）时钟	2		200(2)	MHz
$t_{c(SYSCLK)}$	周期，器件（系统）时钟	5(2)		500	ns
$f_{(PLLRAWCLK)}$	频率，系统 PLL 输出（在 SYSCLK 分频器之前）	120		400	MHz
$f_{(AUXPLLRAWCLK)}$	频率，辅助 PLL 输出（在 AUXCLK 分频器之前）	120		400	MHz
$f_{(AUXPLL)}$	频率，AUXPLLCLK	2	60	60	MHz
$f_{(PLL)}$	频率，PLLSYSCLK	2		200(2)	MHz
$f_{(LSP)}$	频率，LSPCLK	2		200(2)	MHz
$t_{c(LSPCLK)}$	周期，LSPCLK	5(2)		500	ns
$f_{(OSCCLK)}$	频率，OSCCLK（INTOSC1、INTOSC2、XTAL 或 X1）		参阅各自的时钟		MHz
$f_{(EPWM)}$	频率，EPWMCLK(1)			100	MHz
$f_{(HRPWM)}$	频率，HRPWMCLK	60		100	MHz

(1) 对于 100MHz 以上的 SYSCLK，EPWMCLK 必须是 SYSCLK 的一半。
(2) 使用外部时钟源。如果使用 INTOSC1 或 INTOSC2 作为时钟源，那么最大频率为 194MHz，最小周期为 5.15ns。

6.8.3.2.3 输出时钟频率和开关特征

节 6.8.3.2.3.1 提供了输出时钟的频率。节 6.8.3.2.3.2 显示了输出时钟 XCLKOUT 的开关特征。

6.8.3.2.3.1 输出时钟频率

		最小值	最大值	单位
$f_{(XCO)}$	频率，XCLKOUT		50	MHz

6.8.3.2.3.2 XCLKOUT 开关特征（旁路或启用 PLL）

在推荐的工作条件下（除非额外注明）

参数(1) (2)		最小值	最大值	单位
$t_{f(XCO)}$	下降时间，XCLKOUT		5	ns
$t_{r(XCO)}$	上升时间，XCLKOUT		5	ns
$t_{w(XCOL)}$	脉冲持续时间，XCLKOUT 低电平	H-2	H+2	ns
$t_{w(XCOH)}$	脉冲持续时间，XCLKOUT 高电平	H-2	H+2	ns

(1) 假定这些参数的负载为 40pF 。
(2) H=0.5$t_{c(XCO)}$

Copyright © 2026 Texas Instruments Incorporated

6.8.3.3 输入时钟和 PLL

除了内部 0 引脚振荡器，还提供了多个外部时钟源选项。图 6-9 显示了将晶振、谐振器和振荡器连接到引脚 X1/X2（也称为 XTAL）和 AUXCLKIN 的推荐方法。

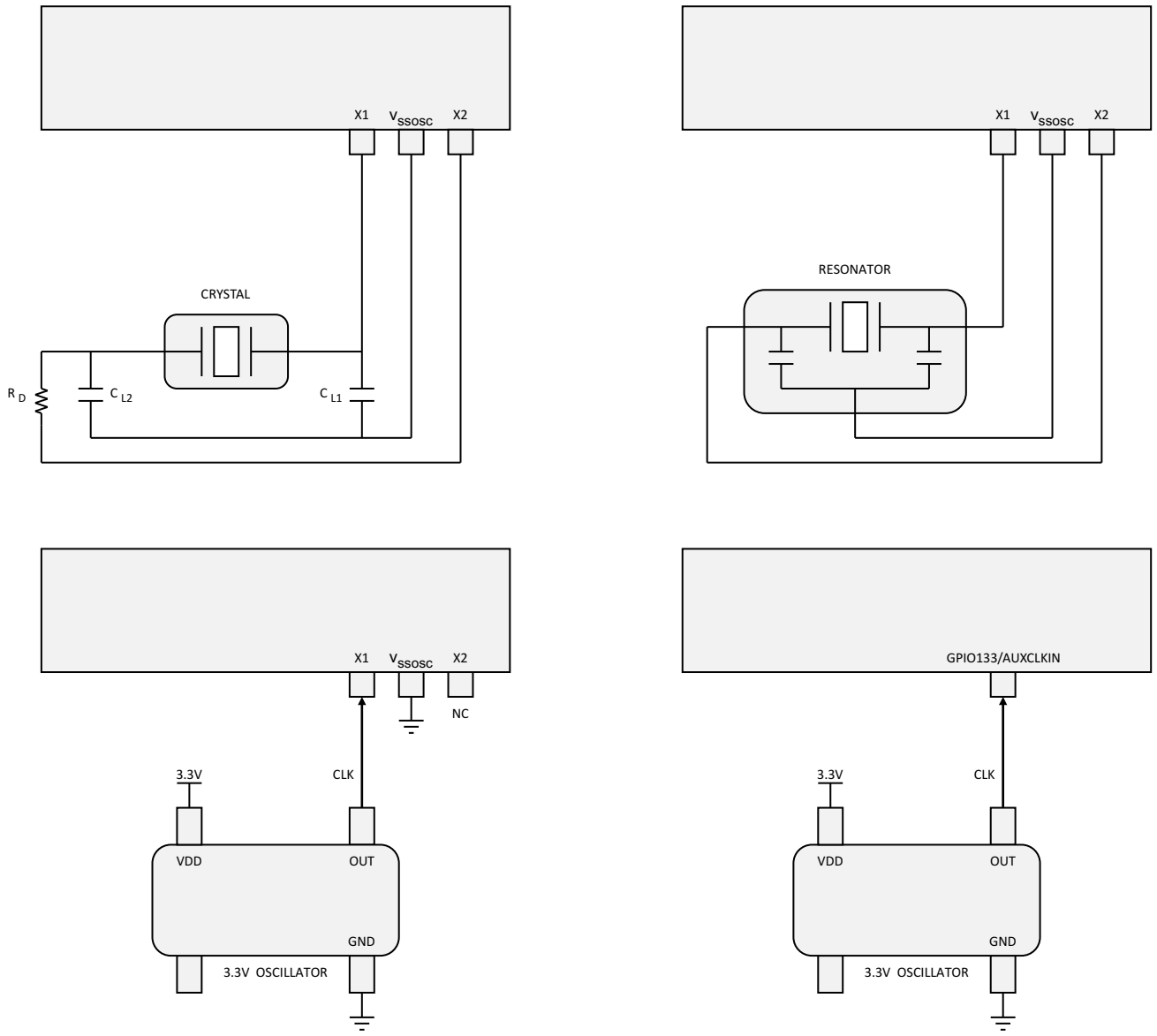


图 6-9. 将输入时钟连接到 F28377D-SEP 器件

6.8.3.4 XTAL 振荡器

6.8.3.4.1 引言

该器件中的晶体振荡器是一种嵌入式电振荡器，当与兼容的石英晶体（或陶瓷谐振器）配对使用时，可生成器件所需的系统时钟。

6.8.3.4.2 概述

以下几节将介绍电振荡器和晶体的元件。

6.8.3.4.2.1 电子振荡器

该器件中的电子振荡器是皮尔斯振荡器。它是一个正反馈逆变器电路，需要一个调优电路才能振荡。当这个振荡器与一个兼容的晶体配对时，会形成振荡电路。该振荡电路在晶体的基频处振荡。在该器件上，由于分流电容器 (C0) 和所需的负载电容器 (CL)，振荡器被设计成在并联谐振模式下运行。图 6-10 所示为电子振荡器和振荡电路的元件。

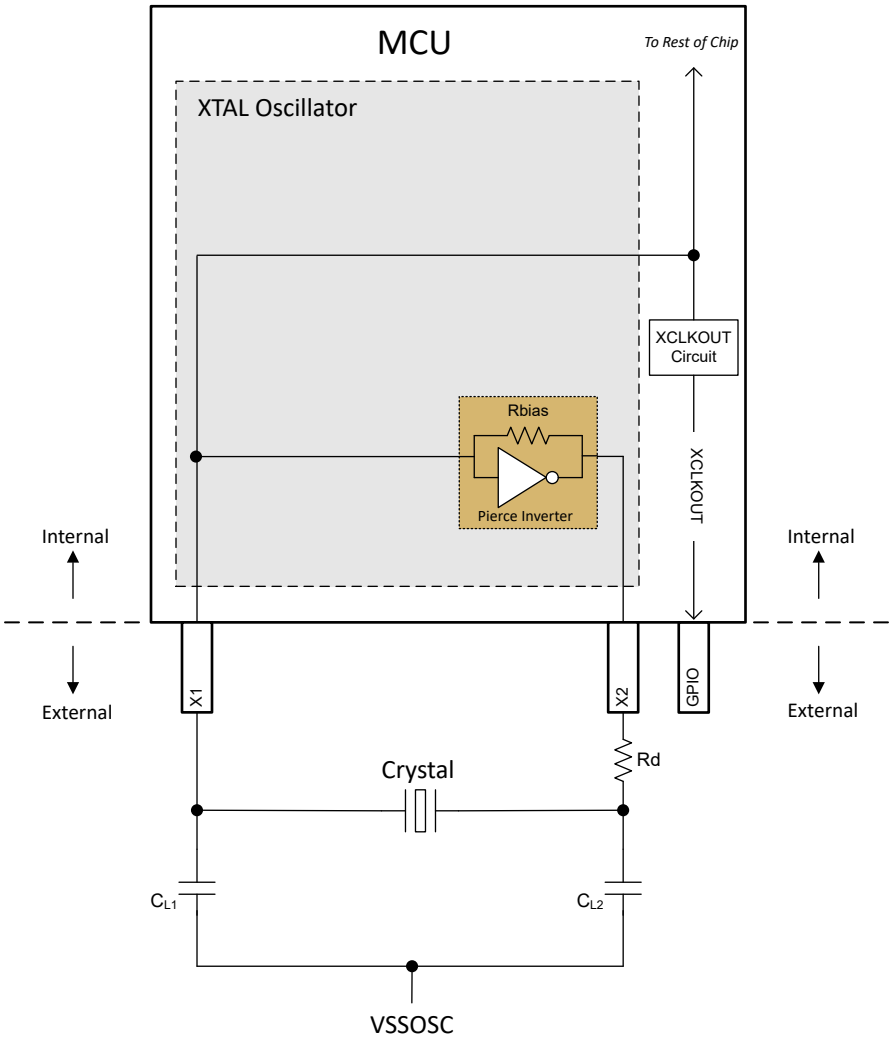


图 6-10. 电子振荡器方框图

6.8.3.4.2.1.1 运行模式

此器件中的电振荡器有两种工作模式：晶体模式和单端模式。

6.8.3.4.2.1.1.1 晶体的工作模式

在晶体工作模式下，必须将带有负载电容器的石英晶体连接到 X1 和 X2。反馈环路有一个内部偏置电阻器，因此不应使用外部偏置电阻器。添加外部偏置电阻器会产生与内部 Rbias 并联的电阻，从而移动工作偏置点并可能导致波形削波、占空比超出规格以及有效负电阻降低。

在此工作模式下，X1 上的结果时钟 传递到芯片的其余部分。X1 上的时钟需要满足比较器的 VIH 和 VIL。有关比较器的 VIH 和 VIL 要求，请参阅 *XTAL 振荡器特性* 表。

Copyright © 2026 Texas Instruments Incorporated

6.8.3.4.2.1.1.2 单端工作模式

在单端工作模式下，一个时钟信号连接至 X1，而 X2 悬空。在此模式下不应使用石英晶体。

在此工作模式下，X1 上的时钟 传递到芯片的其余部分。有关缓冲器的输入要求，请参阅*使用外部时钟源（非晶体）时的 X1 输入电平特征*表。

单端时钟也可以连接到 GPIO133/AUXCLKIN 引脚。

6.8.3.4.2.1.2 XCLKOUT 上的 XTAL 输出

通过配置 CLKSRCCTL3.XCLKOUTSEL 和 XCLKOUTDIVSEL.XCLKOUTDIV 寄存器，可以将馈入芯片其余部分的电振荡器输出引出到 XCLKOUT 上以供观察。如需查看输出 XCLKOUT 的 GPIO 的列表，请参阅 *GPIO 多路复用引脚*表。

6.8.3.4.2.2 石英晶体

石英晶体可以由 LCR（电感-电容-电阻）电路进行电气表示。然而，与 LCR 电路不同，晶体由于低动态电阻而具有非常高的 Q 值，并且阻尼也非常低。晶体元件如图 6-11 所示，并在下文中有相应说明。

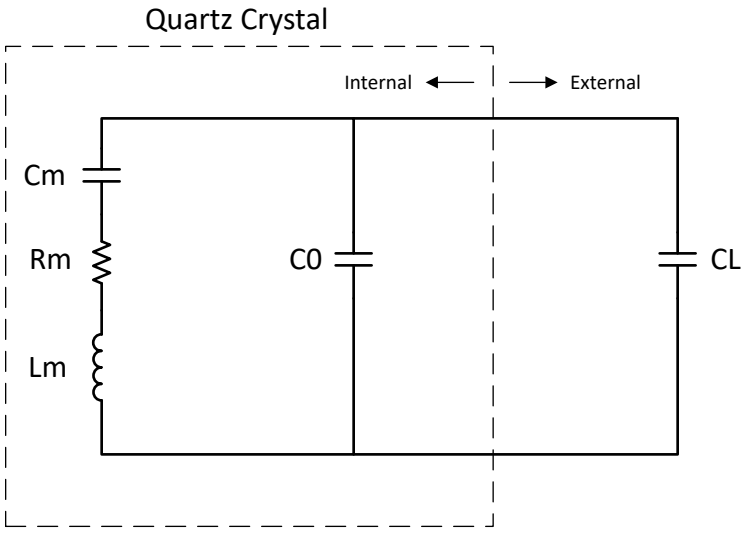


图 6-11. 晶体电气表示

Cm（动态电容）：表示晶体的弹性。

Rm（动态电阻）：表示晶体内的电阻损耗。这不是晶体的 ESR，但可以根据其他晶体元件的值进行近似计算。

Lm（动态电感）：表示晶体的振动质量。

C0（并联电容）：由两个晶体电极和杂散封装电容形成的电容。

CL（负载电容）：这是晶体在其电极处看到的有效电容。它位于晶体外部。晶体数据表中指明的频率 ppm 通常与 CL 参数相关联。

请注意，大多数晶体制造商将 CL 指定为晶体引脚上的有效电容，而一些晶体制造商将 CL 指定为仅其中一个晶体引脚上的电容。请与晶体制造商核实 CL 的指定值，以便在计算中使用正确的值。

根据图 6-10，CL1 和 CL2 是串联的；因此，要找到晶体看到的等效总电容，必须应用电容串联公式：如果 CL1 = CL2，只需计算 [CL1]/2 即可。

建议将杂散 PCB 电容与该值相加。合理的估算值为 3pF 至 5pF，但实际值将取决于相关的 PCB。

请注意，电振荡器和晶体都需要负载电容。所选的值必须同时满足电振荡器和晶振的要求。

Copyright © 2026 Texas Instruments Incorporated

CL 对晶体的影响是频率牵引。如果有效负载电容低于目标值，晶体频率将增加，反之亦然。然而，频率牵引的影响通常非常小，通常会导致与标称频率相差不到 10ppm。

6.8.3.4.3 正常运行

6.8.3.4.3.1 ESR – 有效串联电阻

有效串联电阻是晶体在谐振时提供给电子振荡器的电阻负载。ESR 越高，Q 越低，晶体启动或保持振荡的可能性就越小。ESR 和晶体元件之间的关系如下所示。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2 \quad (1)$$

请注意，ESR 与晶体的动态电阻不同，但如果有效负载电容远高于分流电容、则可以按此近似计算。

6.8.3.4.3.2 Rneg - 负电阻

负电阻是电振荡器向晶体呈现的阻抗。这是电振荡器为了克服振荡期间产生的损耗而必须为晶体提供的能量。Rneg 描述了一个提供而不是消耗能量的电路，也可以看作是电路的总体增益。

为确保晶体在所有条件下都能启动，普遍接受的做法是让 Rneg > 3 倍 ESR 至 5 倍 ESR。请注意，启动晶体所需的能量略大于维持振荡所需的能量；因此，如果能够确保在启动时满足负电阻要求，则维持振荡将不是问题。

图 6-12 和图 6-13 所示为该器件的负电阻与晶体元件之间的差异。从图中可以看出，晶体并联电容 (C0) 和有效负载电容 (CL) 对电振荡器的负电阻有极大影响。请注意，这些是典型图；因此，请参阅表 6-3 了解设计中需要注意的最小值和最大值。

6.8.3.4.3.3 启动时间

在选择晶体电路的元件时，启动时间是一个重要的考虑因素。如 *Rneg - 负电阻* 一节所述，为了在所有条件下实现可靠启动，建议晶体的 Rneg > 3 倍 ESR 至 5 倍 ESR。

晶体 ESR 和阻尼电阻 (Rd) 会极大地影响启动时间。这两个值越高，晶体启动所需的时间就越长。较长的启动时间通常表明晶体和元件未正确匹配。

如需了解典型的启动时间，请参阅 *晶体振荡器规格* 一节。请注意，此处指定的数字是仅供参考的典型数字。实际启动时间在很大程度上取决于所涉及的晶体和外部元件。

6.8.3.4.3.4 DL – 驱动电平

驱动电平是指电子振荡器提供以及晶体耗散的功率。晶体制造商数据表中指定的最大驱动电平通常是晶体在不损坏或显著缩短使用寿命的情况下可以耗散的最大驱动电平。另一方面，电子振荡器指定的驱动电平是它可以提供的最大功率。电子振荡器提供的实际功率不一定是最大功率，具体取决于晶体和电路板元件。

如果电子振荡器的实际驱动电平超过晶体的最大驱动电平规格，则应安装阻尼电阻器 (Rd) 以限制电流并降低晶体的功率耗散。请注意，Rd 会降低电路增益；因此，应评估要使用的实际值，以确保满足启动和持续振荡的所有其他条件。

6.8.3.4.4 如何选择晶体

请参考晶体振荡器规格：

1. 选择一个晶体频率（例如，20MHz）。
2. 确认晶体的 ESR <=50Ω，符合 20MHz 的规格。
3. 确认晶体制造商的负载电容要求位于 6pF 和 12pF 之间，符合 20MHz 的规格。
   - 如前所述，CL1 和 CL2 是串联的；因此，如果 CL1 = CL2，则有效负载电容 CL = [CL1]/2。
   - 在此基础上加上电路板寄生效应会得到 CL = [CL1]/2 + 杂散电容
4. 确认晶体的最大驱动电平 >= 1mW。如果不满足此要求，则可以使用阻尼电阻 Rd。请参阅 DL - 驱动电平，了解使用 Rd 时要考虑的其他要点。

Copyright © 2026 Texas Instruments Incorporated

6.8.3.4.5 测试

建议用户让晶体制造商使用其电路板对晶体进行完整表征，以确保晶体始终启动并保持振荡。

下面简要概述了可执行的一些测量：

由于晶体电路对电容非常敏感，建议不要将示波器探针连接到 X1 和 X2。如果必须使用示波器探针来监测 X1/X2，则应使用输入电容小于 1pF 的有源探针。

频率

1. 在 XCLKOUT 上引出 XTAL。
2. 测量该频率作为晶体频率。

负电阻

1. 在 XCLKOUT 上引出 XTAL。
2. 在负载电容器之间放置一个与晶体串联的电位器。
3. 增加电位器的电阻，直到 XCLKOUT 上的时钟停止。
4. 该电阻加上晶体的实际 ESR 就是电振荡器的负电阻。

启动时间

1. 关闭 XTAL。
2. 在 XCLKOUT 上引出 XTAL。
3. 开启 XTAL 并测量 XCLKOUT 上的时钟保持在 45% 和 55% 占空比范围内所需的时间。

6.8.3.4.6 常见问题和调试提示

晶体无法启动

- 浏览*如何选择晶体*部分，确保没有违规。

晶体需要很长时间才能启动

- 如果安装了阻尼电阻 Rd，则其过高。
- 如果未安装阻尼电阻，则晶体 ESR 过高或由于高负载电容而导致总电路增益过低。

6.8.3.4.7 晶体振荡器规格

6.8.3.4.7.1 晶体振荡器电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
启动时间(1)	f = 10MHz	ESR 最大值 = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR 最大值 = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
晶振驱动电平 (DL)					1	mW

(1) 启动时间取决于晶体和振荡电路元件。TI 建议晶体供应商使用所选晶体来表征应用。

6.8.3.4.7.2 晶振等效串联电阻 (ESR) 要求

对于晶振等效串联电阻 (ESR) 需求表：

1. 晶振并联电容 (C0) 应小于或等于 7pF。
2. ESR = 负电阻/3

表 6-3. 晶振等效串联电阻 (ESR) 要求

晶体频率 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

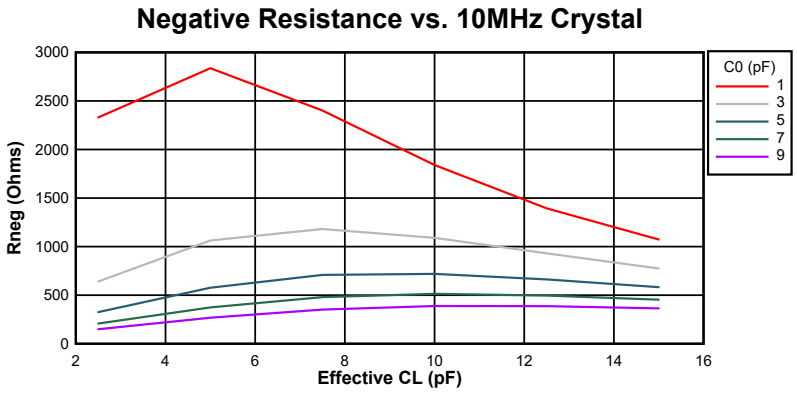


图 6-12. 10MHz 时的负电阻变化

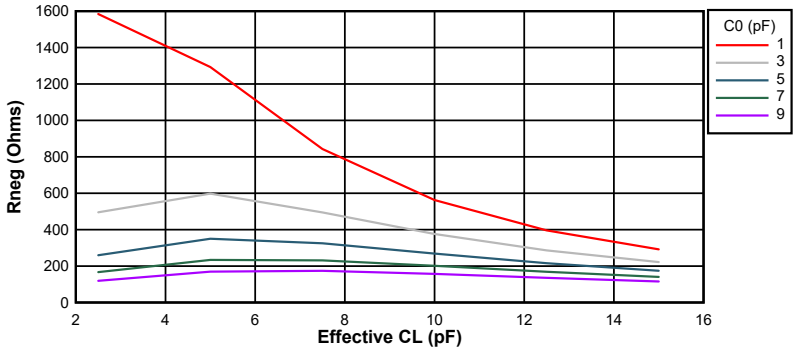


图 6-13. 20MHz 时的负电阻变化

Copyright © 2026 Texas Instruments Incorporated

6.8.3.5 内部振荡器

为了减少电路板生产成本和缩短应用开发时间，所有 F2837xD 器件都包含两个独立的内部振荡器，称为 INTOSC1 和 INTOSC2。默认情况下，两个振荡器都在上电时启用。INTOSC2 设置为系统参考时钟 (OSCCLK) 源，INTOSC1 设置为备用时钟源。INTOSC1 也可以手动配置为系统参考时钟 (OSCCLK)。节 6.8.3.5.1 提供了内部振荡器的电气特性以确定该模块是否符合应用的计时要求。

节 6.8.3.5.1 提供了两个内部振荡器的电气特征。

备注

如果 PLLSYSCLK 配置为频率高于 194MHz，则该振荡器无法用作 PLL 源。

6.8.3.5.1 内部振荡器电气特征

在推荐的工作条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
$f_{(INTOSC)}$	频率，INTOSC1 和 INTOSC2		9.7	10.0	10.3	MHz
$f_{(INTOSC-STABILITY)}$	室温下的频率稳定性	30°C，标称 V_{DD}		±0.1%		
	V_{DD} 上的频率稳定性	30°C		±0.2%		
	频率稳定性		–3.0%		3.0%	
$f_{(INTOSC-ST)}$	启动和趋稳时间				20	µs

6.8.4 闪存参数

片上闪存与 CPU 紧密集成，允许通过 128 位宽的预取读取和流水线缓冲器直接从闪存执行代码。序列代码的闪存性能等同于从 RAM 中执行。考虑到不连续性，相对于从 RAM 中执行的代码，大多数应用的运行效率约为 80%。这种闪存效率让设计人员在从上一代 MCU 迁移时实现了将性能提高了 2 倍。

该器件还具有用于双代码安全模块 (DCSM) 的 OTP (一次性可编程) 扇区，该扇区在编程后无法擦除。

表 6-4 显示了不同频率下所需的最低闪存等待状态。节 6.8.4.1 显示了闪存参数。

表 6-4. 闪存等待状态

CPUCLK (MHz)		最低等待状态(1)
外部振荡器或晶体	INTOSC1 或 INTOSC2	
150 < CPUCLK ≤ 200	145 < CPUCLK ≤ 194	3
100 < CPUCLK ≤ 150	97 < CPUCLK ≤ 145	2
50 < CPUCLK ≤ 100	48 < CPUCLK ≤ 97	1
CPUCLK ≤ 50	CPUCLK ≤ 48	0

(1) 所需的最小 FRDCNTL[RWAIT]。

6.8.4.1 闪存参数

参数			最小值	典型值	最大值	单位
	编程时间(1)	128 数据位 + 16 ECC 位		40	300	µs
		8KW 扇区		90	180	ms
		32KW 扇区		360	720	ms
	擦除时间(2) (< 25 个周期)	8kW 或 32KW 扇区		30	55	ms
	擦除时间(2) (1000 个周期)	8kW 或 32KW 扇区		40	350	
	擦除时间(2) 2000 个周期)	8KW 或 32KW 扇区		50	600	ms
	20k 周期下的(2)擦除时间	8kW 或 32KW 扇区		110	4000	
N_{wec}	写入/擦除周期 (每个扇区)				20000	周期
N_{wec}	写入/擦除周期，适用于整个闪存 (合并所有扇区) (3)				100000	周期
$t_{retention}$	数据保留持续时间 (T_J = 85°C)		20			年

(1) 编程时间是最大器件频率下的值。编程时间包括闪存状态机的开销，但不包括将以下项传输到 RAM 的时间：
- 使用闪存 API 对闪存进行编程的代码
- 闪存 API 本身
- 要进行编程的闪存数据

换言之，器件 RAM 中提供了所有必需的代码/数据，且为编程准备就绪后，此表中指示的时间才适用。传输时间将根据所用 JTAG 调试探针的速度而显著变化。
编程时间计算是基于以指定的工作频率一次编程 144 位。编程时间包含 CPU 对编程的验证。编程时间不会随着写入/擦除 (W/E) 循环而缩短，但擦除时间会缩短。
擦除时间包含 CPU 对擦除的验证，不涉及任何数据传输。

(2) 擦除时间包含 CPU 对擦除的验证。

(3) 每个扇区本身只能被擦除/编程 20,000 次。如果选择使用 EEPROM 等一个或多个扇区，则可以仅对这些扇区 (仍然限制为 20,000 个周期) 进行擦除/编程，而无需对整个闪存存储器进行擦除/编程。因此，从器件的角度来看，W/E 周期的总数可能超过 20,000 个周期。但是，这个数字最多不应超过 100,000 个周期。

Copyright © 2026 Texas Instruments Incorporated

备注

主阵列闪存编程必须与 64 位地址边界对齐，并且每个 64 位字在每个写/擦除周期只能编程一次。有关更多详细信息，请参阅 *TMS320F2837xD 双核实时 MCU 器件勘误表* 中的“闪存：最小编程字大小”公告。

6.8.5 RAM 规格

表 6-5. CPU1 RAM 参数

RAM 类型	尺寸	获取时间（周期数）	读取时间（周期数）	存储时间（周期数）	总线宽度	可用总线数量(1)	等待状态次数	突发访问
GS RAM	128KB	2	2	1	16/32 位	4	0	否
LS RAM	24KB	2	2	1	16/32 位	2	0	否
M0	2KB	2	2	1	16/32 位	1	0	否
M1	2KB	2	2	1	16/32 位	1	0	否
CLA1 到 CPU 消息 RAM	256B	2	2	1	16/32 位	2	0	否
CPU 到 CLA1 消息 RAM	256B	2	2	1	16/32 位	2	0	否
CPU1 到 CPU2 消息 RAM	2KB	2	2	1	16/32 位	4	0	否
CPU2 到 CPU1 消息 RAM	2KB	2	2	1	16/32 位	4	0	否

(1) “可用总线数量”表示有多少主器件（CLA、DMA、CPU）可以访问此存储器。

表 6-6. CPU2 RAM 参数

RAM 类型	尺寸	获取时间（周期数）	读取时间（周期数）	存储时间（周期数）	总线宽度	可用总线数量(1)	等待状态次数	突发访问
GS RAM	128KB	2	2	1	16/32 位	4	0	否
LS RAM	24KB	2	2	1	16/32 位	2	0	否
M0	2KB	2	2	1	16/32 位	1	0	否
M1	2KB	2	2	1	16/32 位	1	0	否
CLA1 到 CPU 消息 RAM	256B	2	2	1	16/32 位	2	0	否
CPU 到 CLA1 消息 RAM	256B	2	2	1	16/32 位	2	0	否
CPU1 到 CPU2 消息 RAM	2KB	2	2	1	16/32 位	4	0	否
CPU2 到 CPU1 消息 RAM	2KB	2	2	1	16/32 位	4	0	否

(1) “可用总线数量”表示有多少主器件（CLA、DMA、CPU）可以访问此存储器。

6.8.6 ROM 规格

Copyright © 2026 Texas Instruments Incorporated

表 6-7. CPU1 ROM 参数

ROM 类型	尺寸	获取时间（周期数）	读取时间（周期数）	存储时间（周期数）	总线宽度	可用总线数量(1)	等待状态次数	突发访问
引导 ROM	64KB	2	2	1	16/32 位	1	1	否
安全 ROM	64KB	2	2	1	16/32 位	1	1	否
CLA 数据 ROM	8KB	2	2	1	16/32 位	2	0	否

(1) “可用总线数量”表示有多少主器件（CLA、DMA、CPU）可以访问此存储器。

表 6-8. CPU2 ROM 参数

ROM 类型	尺寸	获取时间（周期数）	读取时间（周期数）	存储时间（周期数）	总线宽度	可用总线数量(1)	等待状态次数	突发访问
引导 ROM	64KB	2	2	1	16/32 位	1	1	否
安全 ROM	64KB	2	2	1	16/32 位	1	1	否
CLA 数据 ROM	8KB	2	2	1	16/32 位	2	0	否

(1) “可用总线数量”表示有多少主器件（CLA、DMA、CPU）可以访问此存储器。

Copyright © 2026 Texas Instruments Incorporated

6.8.7 仿真/JTAG

JTAG 端口具有五个专用引脚：TRST、TMS、TDI、TDO 和 TCK。TRST 信号应始终通过电路板上的 2.2kΩ 下拉电阻器下拉。此 MCU 不支持 14 引脚和 20 引脚仿真接头上的 EMU0 和 EMU1 信号。这些信号应始终通过一对范围为 2.2kΩ 至 4.7kΩ（取决于调试器端口的驱动强度）的板载上拉电阻器在仿真接头处上拉。通常使用 2.2kΩ 的阻值。

有关如何将 14 引脚 JTAG 接头连接到 MCU 的 JTAG 端口信号，请参阅图 6-14。图 6-15 显示了如何连接到 20 引脚接头。20 引脚 JTAG 接头终端 EMU2、EMU3 和 EMU4 未使用，应接地。

JTAG 调试探针接头的 PD（电源检测）终端应连接到电路板 3.3V 电源。接头 GND 终端应连接至电路板接地。TDIS（电缆断开感应）也应连接至电路板接地。JTAG 时钟应从接头 TCK 输出终端环回到接头的 RTCK 输入终端（以通过 JTAG 调试探针检测时钟连续性）。接头终端 复位 是 JTAG 调试探针接头的开漏输出，通过 JTAG 调试探针命令使电路板元件复位（仅通过 20 引脚接头可用）。

通常情况下，当 MCU 目标和 JTAG 接头之间的距离小于 6 英寸 (15.24cm)，并且 JTAG 链上没有其他器件时，JTAG 信号上不需要缓冲器。否则，每个信号都应被缓冲。此外，对于大多数 10MHz 下的 JTAG 调试探针操作，JTAG 信号上不需要串联电阻器。然而，如果期望高仿真速度（35MHz 左右），则应在每个 JTAG 信号上串联 22Ω 电阻器。

有关硬件断点和观察点的更多信息，请参阅 CCS 中 C28x 的硬件断点和观察点。

有关 JTAG 仿真的更多信息，请参阅 *XDS 目标连接指南*。

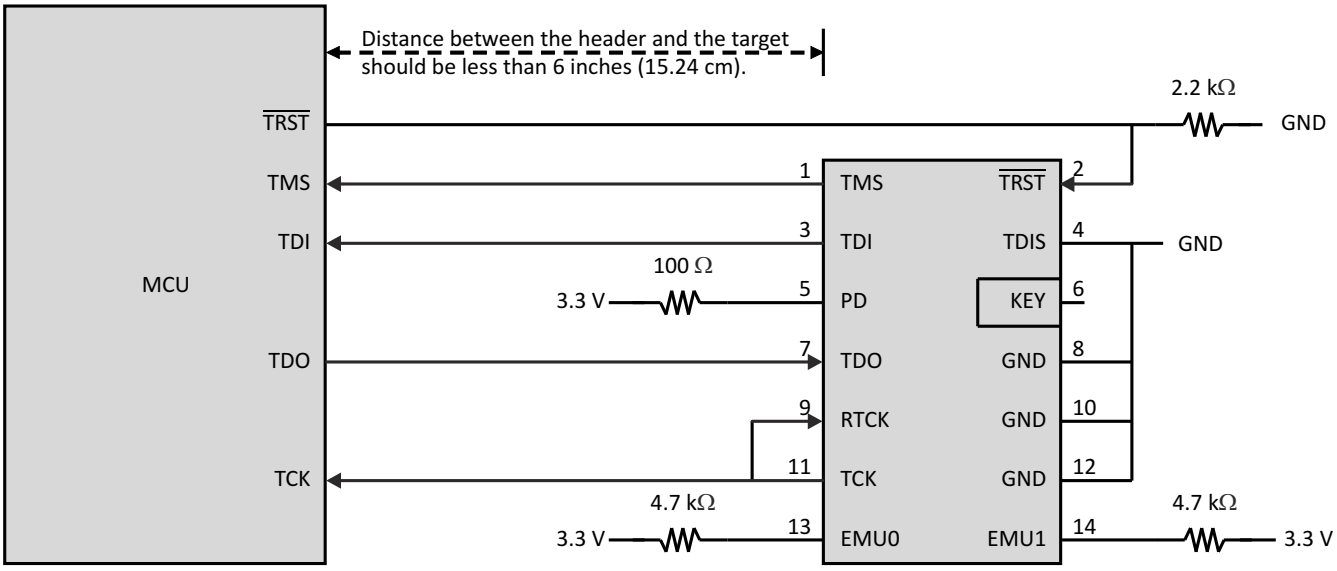


图 6-14. 连接到 14 引脚 JTAG 接头

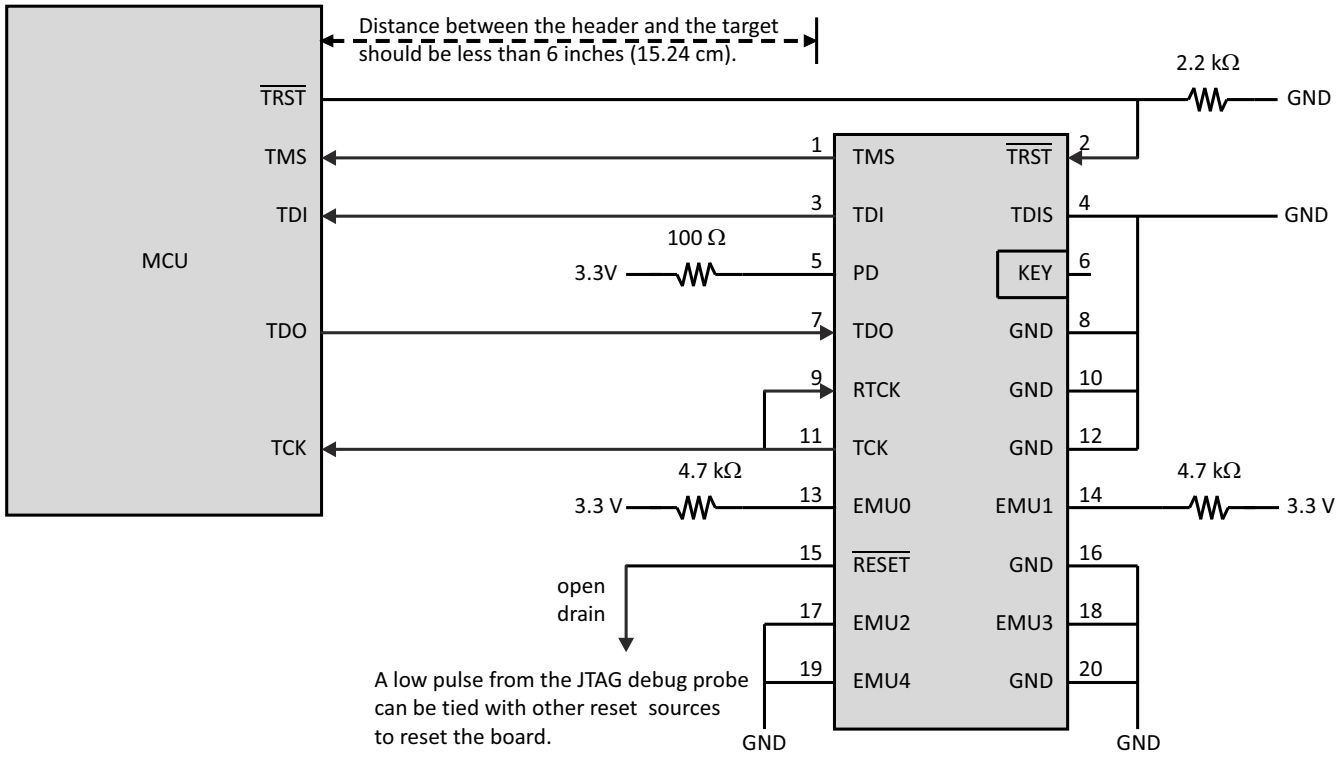


图 6-15. 连接到 20 引脚 JTAG 接头

Copyright © 2026 Texas Instruments Incorporated

6.8.7.1 JTAG 电气数据和时序

节 6.8.7.1.1 列出了 JTAG 时序要求。节 6.8.7.1.2 列出了 JTAG 开关特征。图 6-16 显示了 JTAG 时序。

6.8.7.1.1 JTAG 时序要求

编号			最小值	最大值	单位
1	$t_{c(TCK)}$	周期时间，TCK	66.66		ns
1a	$t_{w(TCKH)}$	脉冲持续时间，TCK 高电平（t_c 的 40%）	26.66		ns
1b	$t_{w(TCKL)}$	脉冲持续时间，TCK 低电平（t_c 的 40%）	26.66		ns
3	$t_{su(TDI-TCKH)}$	TDI 有效至 TCK 高电平的输入设置时间	13		ns
	$t_{su(TMS-TCKH)}$	TMS 有效至 TCK 高电平的输入设置时间	13		ns
4	$t_{h(TCKH-TDI)}$	从 TCK 高电平至 TDI 有效的输入保持时间	7		ns
	$t_{h(TCKH-TMS)}$	从 TCK 高电平至 TMS 有效的输入保持时间	7		ns

6.8.7.1.2 JTAG 开关特征

在推荐的工作条件下（除非另有说明）

编号	参数		最小值	最大值	单位
2	$t_{d(TCKL-TDO)}$	TCK 低电平到 TDO 有效的延迟时间	6	25	ns

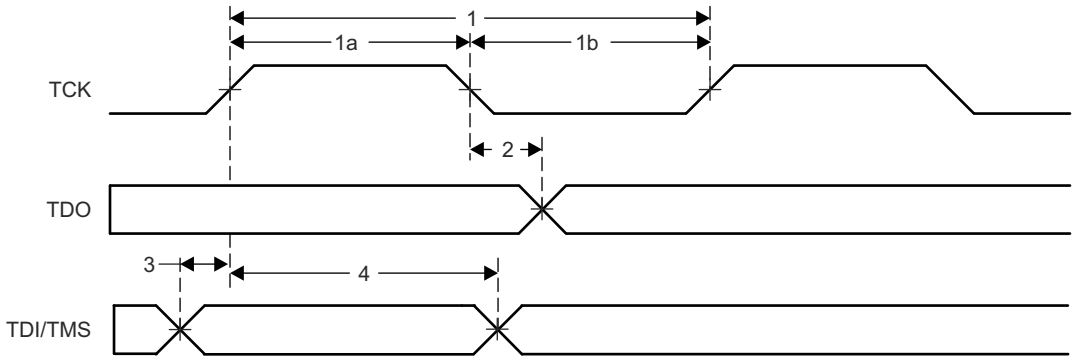


图 6-16. JTAG 时序

6.8.8 GPIO 电气数据和时序

外设信号与通用输入/输出 (GPIO) 信号多路复用。复位时，GPIO 引脚配置为输入。对于特定的输入，用户还能选择输入限定周期的数量来滤除不必要的噪声干扰。

GPIO 模块包含输出 X-BAR，其允许将各种内部信号路由到 GPIO 多路复用器位置中的 GPIO 上，并表示为 OUTPUTXBARx。GPIO 模块还包含输入 X-BAR，用于将来自任何 GPIO 输入的信号路由到不同的 IP 块，例如 ADC、eCAP、ePWM 和外部中断。有关更多详细信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 中的“X-BAR”一章。

6.8.8.1 GPIO - 输出时序

节 6.8.8.1.1 显示了通用输出开关特征。图 6-17 显示了通用输出时序。

6.8.8.1.1 通用输出开关特征

在推荐的工作条件下 (除非另有说明)

参数			最小值	最大值	单位
$t_{r(GPO)}$	上升时间，GPIO 从低电平切换至高电平	所有 GPIO		8(1)	ns
$t_{f(GPO)}$	下降时间，GPIO 从高电平切换至低电平	所有 GPIO		8(1)	ns
t_{fGPO}	切换频率，GPO 引脚			25	MHz

(1) 上升时间和下降时间随负载而变化。这些值假定负载为 40pF。

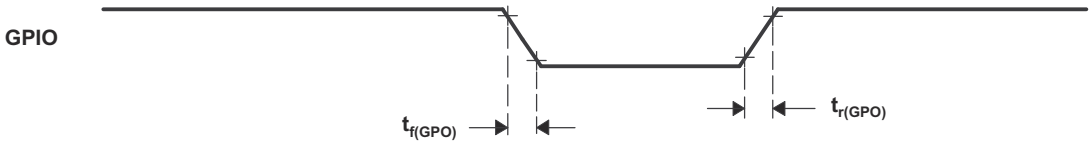


图 6-17. 通用输出时序

Copyright © 2026 Texas Instruments Incorporated

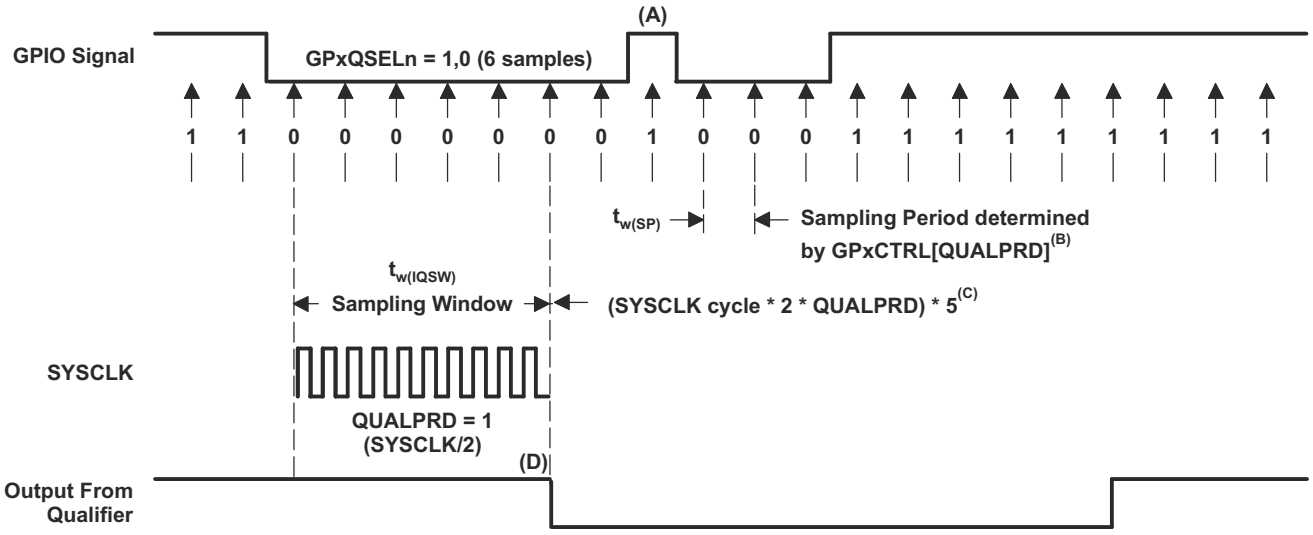
6.8.8.2 GPIO - 输入时序

节 6.8.8.2.1 显示了通用输入时序要求。图 6-18 显示了采样模式。

6.8.8.2.1 通用输入时序要求

			最小值	最大值	单位
$t_{w(SP)}$	采样周期	QUALPRD=0	$1t_{c(SYSCLK)}$		周期
		QUALPRD≠0	$2t_{c(SYSCLK)}$*QUALPRD		周期
$t_{w(IQSW)}$	输入限定符采样窗口		$t_{w(SP)}$*(n(1)-1)		周期
$t_{w(GPI)}$ (2)	脉冲持续时间，GPIO 低电平/高电平	同步模式	$2t_{c(SYSCLK)}$		周期
		带输入限定符	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		周期

(1) “n”代表由 GPxQSELn 寄存器定义的合格样片的数量。
(2) 对于 $t_{w(GPI)}$，对低电平有效信号在 V_{IL} 至 V_{IL} 之间测量脉宽，而高电平有效信号，在 V_{IH} 至 V_{IH} 之间测量脉宽。



A. 输入限定符将忽略此短时脉冲波干扰。QUALPRD 位字段指定了限定采样周期。该位字段可以在 00 至 0xFF 之间变化。如果 QUALPRD=00，那么采样周期为 1 个 SYSCLK 周期。对于任何其他的“n”值，限定采样周期为 2n SYSCLK 周期（也就是说，在每 2n 个 SYSCLK 周期上，GPIO 引脚将被采样）。
B. 通过 GPxCTRL 寄存器选择的限定周期应用于 8 个 GPIO 引脚组。
C. 此限定块可取 3 个或者 6 个样片。GPxQSELn 寄存器选择使用哪种采样模式。
D. 在所示的示例中，为了使限定器检测到变化，输入应该在 10 个 SYSCLK 周期或者更长周期内保持稳定。换句话说，输入应该在 (5 x QUALPRD x 2) SYSCLK 周期内保持稳定。这将确保有 5 个采样周期用于检测。由于外部信号是异步驱动的，因此 13 SYSCLK 宽的脉冲确保了可靠的识别。

图 6-18. 采样模式

Copyright © 2026 Texas Instruments Incorporated

6.8.8.3 输入信号的采样窗口宽度

下述小节总结了各种输入限定符配置下的输入信号的采样窗口宽度。

采样频率表明相对于 SYSCLK 对信号进行采样的频率。

$$\text{Sampling frequency} = \text{SYSCLK}/(2 \times \text{QUALPRD}), \text{ if QUALPRD} \neq 0 \quad (2)$$

$$\text{Sampling frequency} = \text{SYSCLK}, \text{ if QUALPRD} = 0 \quad (3)$$

$$\text{Sampling period} = \text{SYSCLK cycle} \times 2 \times \text{QUALPRD}, \text{ if QUALPRD} \neq 0 \quad (4)$$

在方程式 2、方程式 3 和方程式 4 中，SYSCLK 周期表示 SYSCLK 的时间周期。

如果 QUALPRD=0，则采样周期 = SYSCLK 周期

在给定的采样窗口中，采取输入信号的 3 个或者 6 个样片来确定信号的有效性。这是由写入到 GPxQSELn 寄存器的值确定的。

情况 1：

使用 3 个样片进行限定

如果 QUALPRD≠0，则采样窗口宽度 = (SYSCLK 周期 x 2 x QUALPRD) × 2

如果 QUALPRD=0，则采样窗口宽度 = (SYSCLK 周期) x 2

情况 2：

使用 6 个样片进行限定

如果 QUALPRD≠0，则采样窗口宽度 = (SYSCLK 周期 x 2 x QUALPRD) × 5

如果 QUALPRD=0，则采样窗口宽度 = (SYSCLK 周期) x 5

图 6-19 显示了通用输入时序。

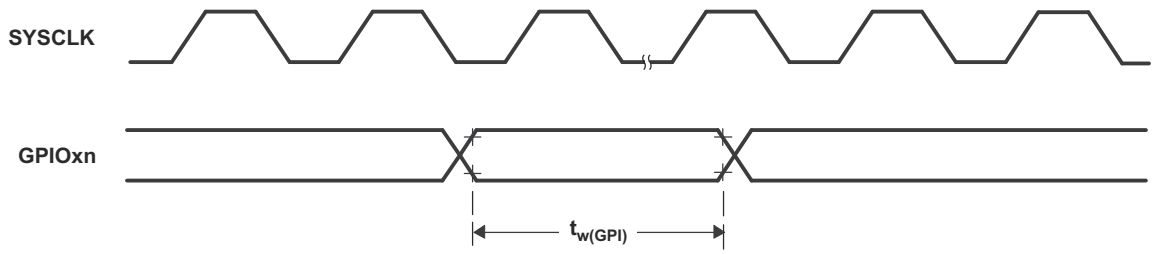


图 6-19. 通用输入时序

Copyright © 2026 Texas Instruments Incorporated

6.8.9 中断

图 6-20 提供了中断架构的高级视图。

如图 6-20 所示，器件支持五个外部中断（XINT1 到 XINT5），这些中断可以映射到任何 GPIO 引脚上。

在此器件中，16 个 ePIE 块中断分组为 1 个 CPU 中断。共 12 个 CPU 中断组，每组 16 个中断。

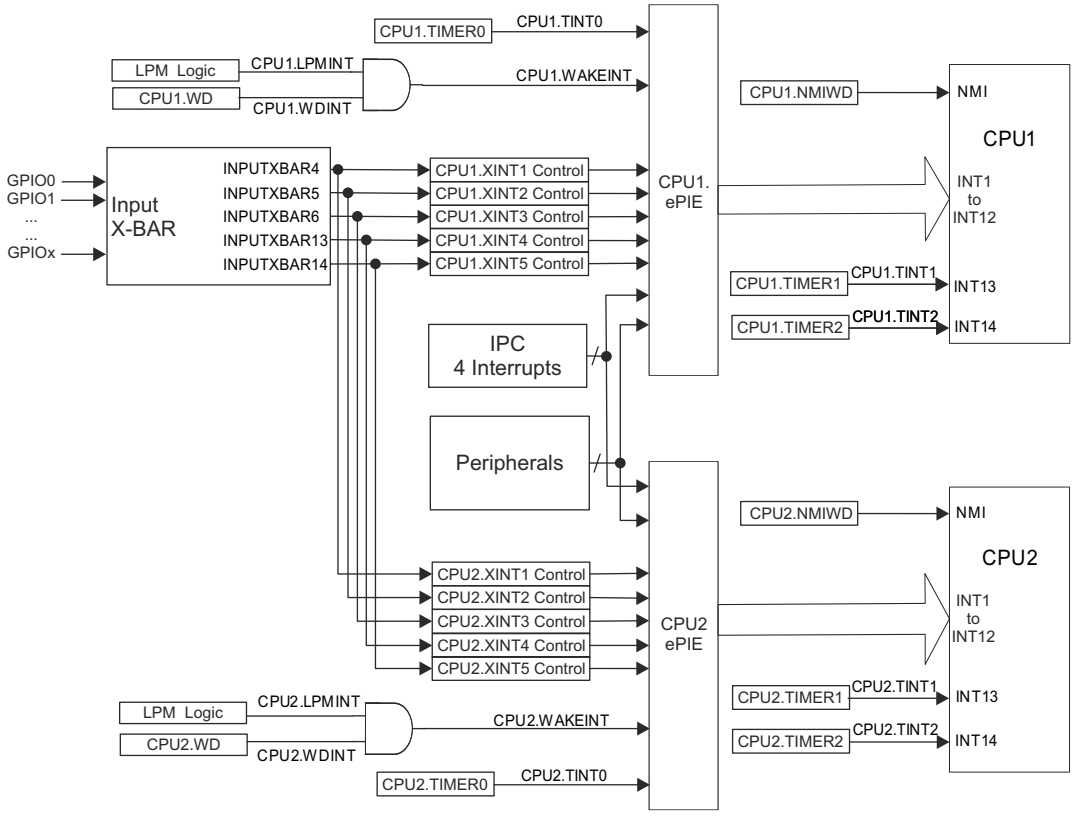


图 6-20. 外部和 ePIE 中断源

6.8.9.1 外部中断 (XINT) 电气数据和时序

节 6.8.9.1.1 列出了外部中断时序要求。节 6.8.9.1.2 列出了外部中断开关特征。图 6-21 显示了外部中断时序。

6.8.9.1.1 外部中断时序要求

			最小值	最大值	单位(1)
$t_{w(INT)}$	脉冲持续时间，INT 输入低电平/高电平	同步	$2t_{c(SYSCLK)}$		周期
		带限定符	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		周期

(1) 有关输入限定符参数的说明，请参阅节 6.8.8.2.1。

6.8.9.1.2 外部中断开关特征

在推荐的工作条件下 (除非另有说明) (1)

参数		最小值	最大值	单位
$t_{d(INT)}$	延时时间，INT 低电平/高电平到中断矢量获取(2)	$t_{w(IQSW)} + 14t_{c(SYSCLK)}$	$t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCLK)}$	周期

(1) 有关输入限定符参数的说明，请参阅节 6.8.8.2.1。
(2) 这是假设 ISR 是在单周期存储器中。

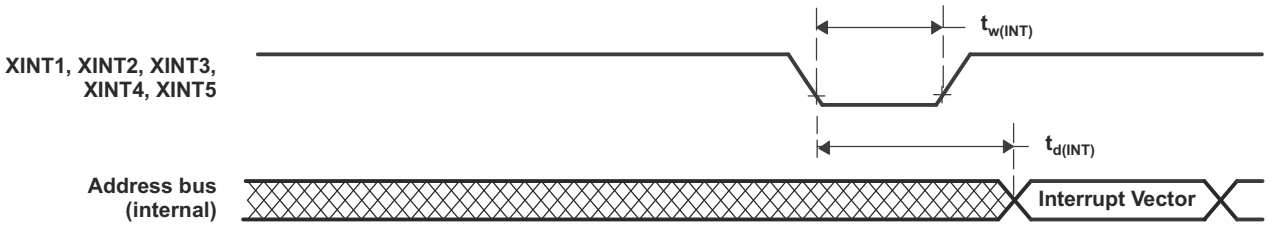


图 6-21. 外部中断时序

Copyright © 2026 Texas Instruments Incorporated

6.8.10 低功耗模式

该器件有三种时钟门控低功耗模式和一种特殊的电源门控模式。

有关所有低功耗模式的更多详细信息以及进入和退出程序，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 的“低功耗模式”部分。

6.8.10.1 时钟门控低功耗模式

该器件上的空闲、待机和停机模式与其他 C28x 器件上的类似。表 6-9 描述了进入任何一种时钟门控低功耗模式时对系统的影响。

表 6-9. 时钟门控低功耗模式对器件的影响

模块/ 时钟域	CPU1 IDLE	CPU1 待机	CPU2 IDLE	CPU2 待机	停机
CPU1.CLKIN	有效	门控	不适用	不适用	门控
CPU1.SYSCLK	有效	门控	不适用	不适用	门控
CPU1.CPUCLK	门控	门控	不适用	不适用	门控
CPU2.CLKIN	不适用	不适用	有效	门控	门控
CPU2.SYSCLK	不适用	不适用	有效	门控	门控
CPU2.CPUCLK	不适用	不适用	门控	门控	门控
连接到 PERx.SYSCLK 的模块的时钟	有效	如果 CPUSEL.PERx = CPU1，则进行门控	有效	如果 CPUSEL.PERx = CPU2，则进行门控	门控
CPU1.WDCLK	有效	有效	不适用	不适用	如果 CLKSRCCTL1.WDHALTI = 0，则进行门控
CPU2.WDCLK	不适用	不适用	有效	有效	门控
AUXPLLCLK	有效	有效	有效	有效	门控
PLL	供电	供电	供电	供电	软件必须在进入停机之前对 PLL 进行断电
INTOSC1	供电	供电	供电	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
INTOSC2	供电	供电	供电	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
闪存	供电	供电	供电	供电	软件控制
X1/X2 晶体振荡器	供电	供电	供电	供电	断电

6.8.10.2 电源门控低功耗模式

休眠模式是该器件上的最低功耗模式。它是一种全局低功耗模式，可将电源电压选通到系统的大部分区域。休眠本质上是一种具有远程唤醒功能的受控断电，可用于在长时间不活动期间节省电量。表 6-10 描述了进入休眠模式时对系统的影响。

表 6-10. 电源门控低功耗模式对器件的影响

模块/电源域	HIBERNATE
M0 和 M1 存储器	● 如果 LPMCR.M0M1MODE = 0x00，则保持开启并保留存储器 ● 当 LPMCR.M0M1MODE = 0x01 时关闭
CPU1、CPU2、数字外设	已断电
Dx、LSx、GSx 存储器	断电，存储器内容丢失
I/O	开启并保留输出状态
振荡器、PLL、模拟外设、闪存	进入低功耗模式

Copyright © 2026 Texas Instruments Incorporated

6.8.10.3 低功耗模式唤醒时序

节 6.8.10.3.1 显示了空闲模式时序要求，节 6.8.10.3.2 显示了开关特征，图 6-22 显示了空闲模式的时序图。

6.8.10.3.1 空闲模式时序要求

			最小值 最大值	单位(1)
$t_{w(WAKE)}$	脉冲持续时间，外部唤醒信号	无输入限定符	$2t_{c(SYSCLK)}$	周期
		带输入限定符	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

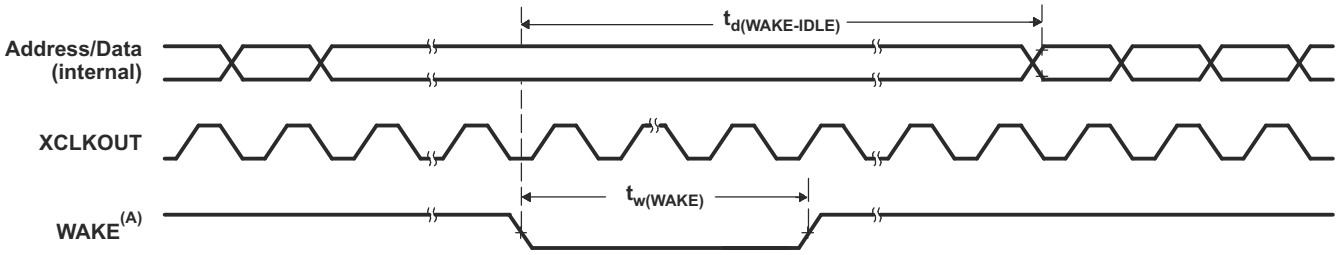
(1) 有关输入限定符参数的说明，请参阅节 6.8.8.2.1。

6.8.10.3.2 空闲模式开关特性

在建议运行条件下（除非另有说明）(1)

参数		测试条件	最小值 最大值	单位
$t_{d(WAKE-IDLE)}$	外部唤醒信号到程序恢复执行的延迟时间(2)			周期
	• 从闪存唤醒 – 处于有效活动状态的闪存模块	无输入限定器	$40t_{c(SYSCLK)}$	
		带输入限定器	$40t_{c(SYSCLK)} + t_{w(WAKE)}$	
	• 从闪存唤醒 – 处于睡眠状态的闪存模块	无输入限定器	$6700t_{c(SYSCLK)}$ (3)	
		带输入限定器	$6700t_{c(SYSCLK)}$ (3) $+ t_{w(WAKE)}$	
	• 从 RAM 唤醒	无输入限定器	$25t_{c(SYSCLK)}$	
		带输入限定器	$25t_{c(SYSCLK)} + t_{w(WAKE)}$	

(1) 有关输入限定器参数的说明，请参阅节 6.8.8.2.1。
(2) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行需要额外延迟。
(3) 该值基于闪存上电时间，该时间是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP] 的函数。有关更多信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 的“闪存和 OTP 断电模式与唤醒”部分。当 SYSCLK 为 200MHz，RWAIT 为 3 且 FPAC1[PSLEEP] 为 0x860 时，可实现该值。



A. 唤醒可以是任一启用的中断，$\overline{WDINT}$ 或 $\overline{XRS}$。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。

图 6-22. 空闲进入和退出时序图

Copyright © 2026 Texas Instruments Incorporated

节 6.8.10.3.3 显示了待机模式时序要求，节 6.8.10.3.4 显示了开关特征，图 6-23 显示了待机模式的时序图。

6.8.10.3.3 待机模式时序要求

			最小值 最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间，外部唤醒信号	QUALSTDBY = 0 | $2t_{c(OSCCLK)}$	$3t_{c(OSCCLK)}$	周期
		QUALSTDBY > 0 | $(2 + QUALSTDBY)t_{c(OSCCLK)}$ (1)	$(2 + QUALSTDBY) * t_{c(OSCCLK)}$	

(1) QUALSTDBY 是 LPMCR 寄存器中的一个 6 位字段。

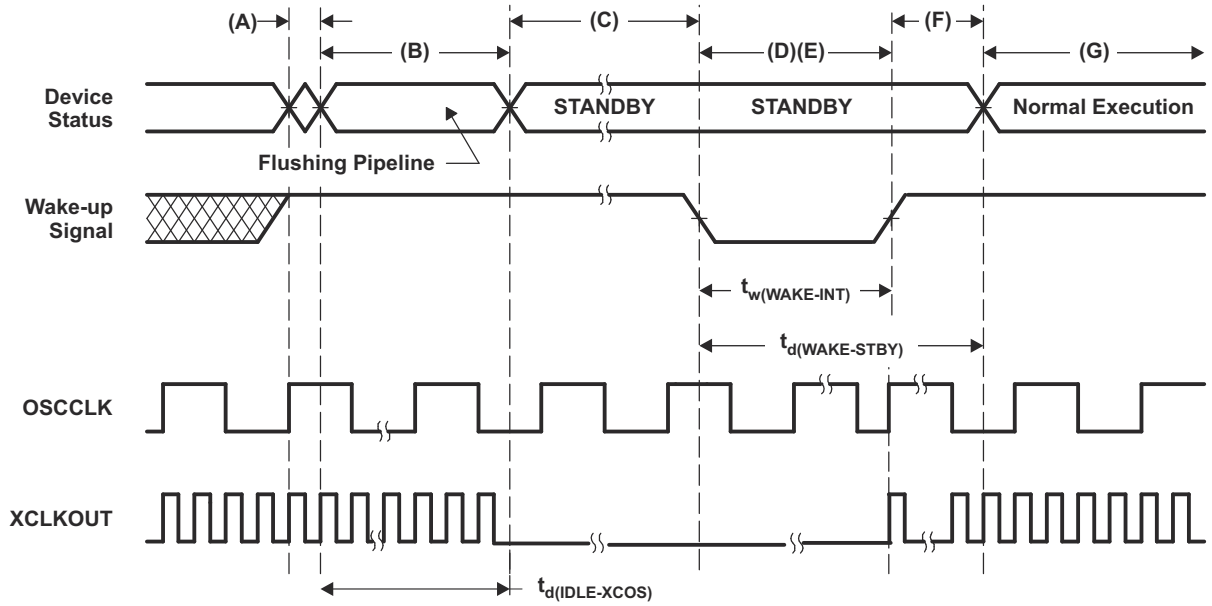
6.8.10.3.4 待机模式开关特征

在建议运行条件下（除非另有说明）

参数		测试条件	最小值 最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_{c(INTOSC1)}$	周期
$t_{d(WAKE-STBY)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间(1)			周期
	• 从闪存唤醒 – 处于有效活动状态的闪存模块		$175t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	
	• 从闪存唤醒 – 处于睡眠状态的闪存模块		$6700t_{c(SYSCLK)}$ (2) + $t_{w(WAKE-INT)}$	
	• 从 RAM 唤醒		$3t_{c(OSC)} + 15t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行需要额外延迟。
(2) 该值基于闪存上电时间，该时间是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP] 的函数。有关更多信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 的“闪存和 OTP 断电模式与唤醒”部分。当 SYSCLK 为 200MHz，RWAIT 为 3 且 FPAC1[PSLEEP] 为 0x860 时，可实现该值。

Copyright © 2026 Texas Instruments Incorporated



A. 执行 IDLE 指令将器件置于待机模式。
B. LPM 块响应待机信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使得 CPU 流水线和其他待定操作适当清除。
C. 外设的时钟被关闭。然而，PLL 和看门狗并未关闭。此器件现在处于待机模式。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。
D. 外部唤醒信号驱动为有效。
E. 为唤醒器件而馈送给 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将不确定，并且对于后续的唤醒脉冲，器件可能不会退出低功耗模式。
F. 在延迟周期后，退出待机模式。
G. 执行恢复正常。器件将响应中断（如果启用）。

图 6-23. 待机进入和退出时序图

Copyright © 2026 Texas Instruments Incorporated

节 6.8.10.3.5 显示了停机模式时序要求，节 6.8.10.3.6 显示了开关特征，图 6-24 显示了停机模式的时序图。

6.8.10.3.5 停机模式时序要求

		最小值	最大值	单位
$t_{w(WAKE-GPIO)}$	脉冲持续时间，GPIO 唤醒信号(1)	t_{oscst} + $2t_{c(OSCCLK)}$		周期
$t_{w(WAKE-XRS)}$	脉冲持续时间，$\overline{XRS}$ 唤醒信号(1)	t_{oscst} + $8t_{c(OSCCLK)}$		周期

(1) 对于将 X1/X2 用于 OSCCLK 的应用，用户必须表征其特定的振荡器启动时间，因为它取决于器件外部的电路/布局。有关更多信息，请参阅*晶体振荡器电气特性* 部分。对于将 INTOSC1 或 INTOSC2 用于 OSCCLK 的应用，请参阅节 6.8.3.5。振荡器启动时间不适用于在 X1 引脚上使用单端晶振的应用，因为它由器件外部供电。

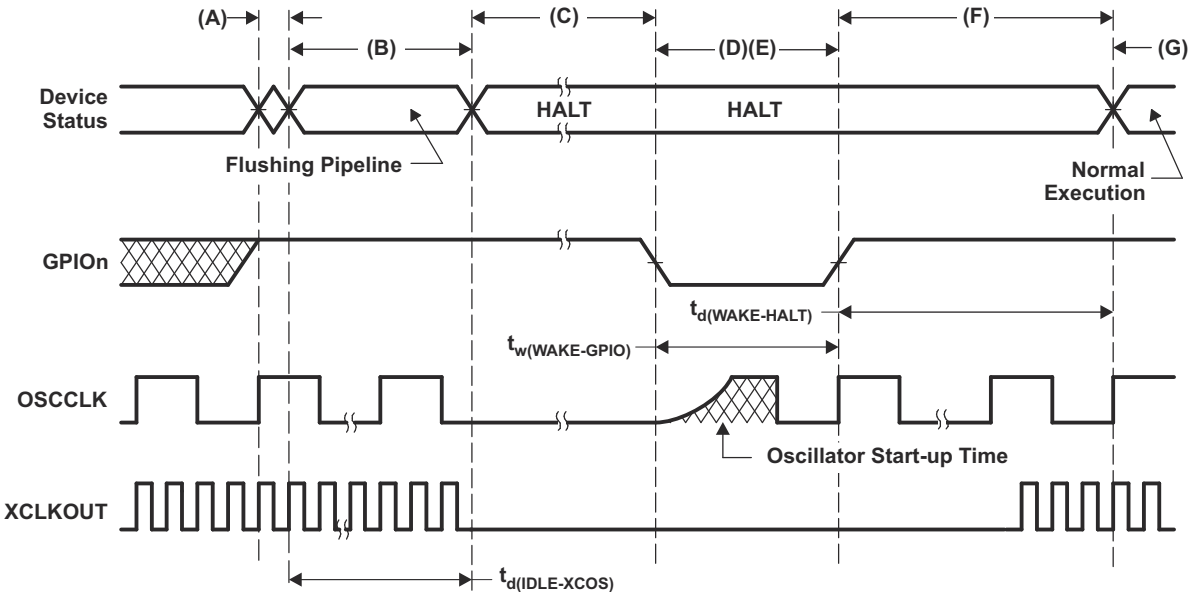
6.8.10.3.6 停机模式开关特征

在建议运行条件下 (除非另有说明)

参数		最小值	最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_{c(INTOSC1)}$	周期
$t_{d(WAKE-HALT)}$	延迟时间，外部唤醒信号结束到 CPU1 程序执行重新开始的时间			周期
	• 从闪存唤醒 – 处于有效活动状态的闪存模块		$75t_{c(OSCCLK)}$	
	• 从闪存唤醒 – 处于睡眠状态的闪存模块		$17500t_{c(OSCCLK)}$ (1)	
	• 从 RAM 唤醒		$75t_{c(OSCCLK)}$	

(1) 该值基于闪存上电时间，该时间是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP] 的函数。有关更多信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 的“闪存和 OTP 断电模式与唤醒”部分。当 SYSCLK 为 200MHz，RWAIT 为 3 且 FPAC1[PSLEEP] 为 0x860 时，可实现该值。

Copyright © 2026 Texas Instruments Incorporated



A. IDLE 指令被执行以将器件置于停机模式。
B. LPM 块响应 HALT 信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使得 CPU 流水线和其他待定操作适当清除。
C. 到外设的时钟被关闭并且 PLL 被关断。如果一个石英晶振或者陶瓷谐振器被用作时钟源，内部振荡器也被关断。器件现在处于停机模式，并且功耗非常低。可以在停机模式中保持零引脚内部振荡器（INTOSC1 和 INTOSC2）以及看门狗处于活动中。通过将 1 写入 CLKSRCCTL1.WDHALTI 中来完成这一点。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。
D. 当 GPIOn 引脚（用于使器件脱离停机模式）被驱动为低电平时，振荡器被打开并且振荡器唤醒序列被启动。只有当振荡器稳定时，GPIO 才应被驱动为高电平。这样可在 PLL 锁序列期间提供一个洁净的时钟信号。由于 GPIO 引脚的下降沿异步开始唤醒程序，在进入和处于 HALT 模式期间就注意保持低噪声环境。
E. 为唤醒器件而馈送给 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将不确定，并且对于后续的唤醒脉冲，器件可能不会退出低功耗模式。
F. 当内核的 CLKIN 已启用时，器件将在一些延迟后响应中断（如果已启用）。现在退出停机模式。
G. 运行恢复正常。
H. 用户必须在停机唤醒时重新锁定 PLL，以确保稳定的 PLL 锁定。

图 6-24. 停机模式进入和退出时序图

备注

CPU2 应在 CPU1 将器件置于停机模式之前进入空闲模式。在调用 IDLE 指令以进入停机之前，CPU1 应使用 LPMSTAT 寄存器来验证 CPU2 是否已进入空闲模式。

Copyright © 2026 Texas Instruments Incorporated

节 6.8.10.3.7 显示了休眠模式时序要求，节 6.8.10.3.8 显示了开关特征，图 6-25 显示了休眠模式的时序图。

6.8.10.3.7 休眠模式时序要求

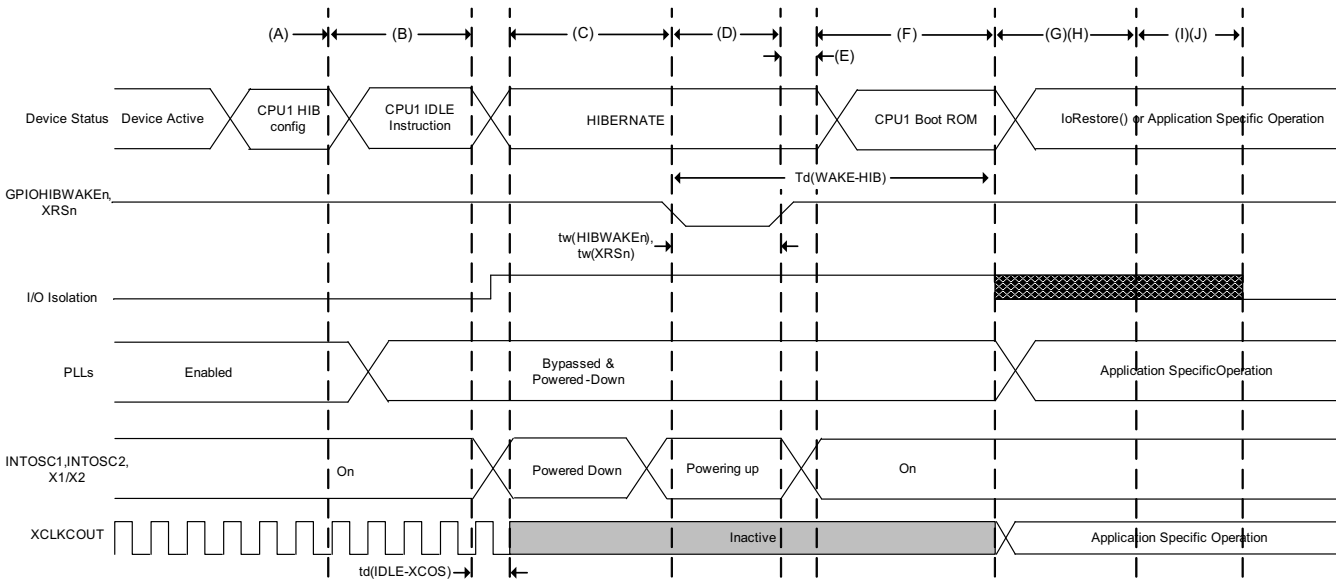
		最小值	最大值	单位
$t_{w(HIBWAKE)}$	脉冲持续时间，$\overline{休眠}$信号	40		μs
$t_{w(WAKEXRS)}$	脉冲持续时间，$\overline{XRS}$ 唤醒信号	40		μs

6.8.10.3.8 休眠模式开关特征

在建议运行条件下（除非另有说明）

参数		最小值	最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$30t_{c(SYSCLK)}$	周期
$t_{d(WAKE-HIB)}$	外部唤醒信号到 IORestore 功能开始的延迟时间		1.5	ms

Copyright © 2026 Texas Instruments Incorporated



A. 如果需要，CPU1 会将必要的应用特定上下文保存到 M0/M1 存储器。如果使用 I/O 隔离， GPIO 状态包含在内。将 CPU1 的 LPMCR 寄存器配置为休眠模式。使用其寄存器配置使闪存泵/库、USB-PHY、CMPSS、DAC 和 ADC 断电。程序还应该在进入休眠之前使 PLL 和外设时钟断电。在双核应用中，CPU1 应使用 LPMSTAT 寄存器确认 CPU2 已进入空闲/待机模式。

B. 执行 IDLE 指令以将器件置于休眠模式。

C. 此器件现在处于休眠模式。如果已配置，则开启 I/O 隔离，并保留 M0 和 M1 存储器。CPU1 和 CPU2 已断电。数字外设已断电。振荡器、PLL、模拟外设和闪存都处于软件控制的低功耗模式。Dx、LSx 和 GSx 存储器也已断电，并且其存储器内容丢失。

D. GPIOHIBWAKEn 引脚上的下降沿将驱动器件时钟源 INTOSC1、INTOSC2 和 X1/X2 OSC 的唤醒。唤醒源必须将 GPIOHIBWAKEn 引脚保持在低电平足够长的时间，以确保对这些时钟源完全加电。

E. 时钟源加电后，必须将 GPIOHIBWAKEn 驱动为高电平以触发器件其余部分的唤醒序列。

F. 然后，BootROM 将开始执行。BootROM 可以通过读取 CPU1.REC.HIBRESETn 位来区分休眠唤醒。加载 TI OTP 微调后，BootROM 代码将跳转到用户定义的 IoRestore 功能（如果已配置）。

G. 此时，器件退出休眠模式，应用可以继续运行。

H. IoRestore 功能是用户定义的功能，应用可以在其中重新配置 GPIO 状态、禁用 I/O 隔离、重新配置 PLL、恢复外设配置或跳转到应用代码。这取决于应用要求。

I. 如果应用没有跳转到应用代码，BootROM 将在完成 IoRestore 后继续。如果没有在 IoRestore 内部进行处理，它将自动禁用 I/O 隔离。此时 CPU2 也将退出复位状态。

J. 然后，BootROM 将根据 HIBBOOTMODE 寄存器的确定的方式引导。有关更多信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 的“ROM 代码和外设启动”一章。

图 6-25. 休眠模式进入和退出时序图

备注

1. 如果 IORESTOREADDR 配置为默认值，BootROM 将继续执行，以根据 HIBBOOTMODE 寄存器确定的方式引导。有关更多信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 的“ROM 代码和外设启动”一章。
2. 用户可以选择在 IoRestore 功能的任何时候禁用 I/O 隔离。无论用户是否在 IoRestore 功能中禁用了隔离，或者是否未定义 IoRestore，BootROM 都会在根据 HIBBOOTMODE 寄存器确定的方式引导前自动禁用隔离。

Copyright © 2026 Texas Instruments Incorporated

备注

对于同时使用 CPU1 和 CPU2 的应用，TI 建议应用在进入休眠模式之前将 CPU2 置于空闲或待机模式。如果使用了任何 GPIO 并且状态待保留，则可以将数据存储在 CPU1 的 M0/M1 存储器中，以便在唤醒时重新配置。这应该在图 6-25 中所示的步骤 A 之前完成。

6.8.11 外部存储器接口 (EMIF)

EMIF 提供了一种将 CPU 连接到各种外部存储器件的方法，例如异步存储器（SRAM、NOR 闪存）或同步存储器 (SDRAM)。

6.8.11.1 异步内存支持

EMIF 支持异步内存：

- SRAM
- NOR 闪存

存在外部等待输入，其允许较慢的异步存储器扩展存储器访问。EMIF 模块最多支持三种芯片选择（$\overline{\text{EMIF_CS[4:2]}}$）。每种芯片选择具有以下可独立编程的属性：

- 数据总线宽度
- 读取周期时序：设置、保持、选通
- 写入周期时序：设置、保持、选通
- 总线变换时间
- 具有可编程超时的延长等待选项
- 选择选通选项

6.8.11.2 同步 DRAM 支持

EMIF 存储器控制器与使用 32 位或 16 位数据总线的 JESD21-C SDR SDRAM 兼容。EMIF 具有单个 SDRAM 芯片选择 ($\overline{\text{EMIF_CS[0]}}$)。

用于同步存储器 (SDRAM)的 EMIF 的地址空间超出程序地址总线的 22 位范围，只能通过数据总线访问，这给 C 编译器带来了限制，使其无法在此空间中有效地处理数据。因此，使用 SDRAM 时，建议用户在处理数据之前先将数据从外部存储器复制（使用 DMA）到 RAM 中。请参阅 C2000Ware（用于 C2000 MCU 的 C2000Ware ）中的示例以及 *TMS320F2837xD 双核实时微控制器技术参考手册* 。

支持的 SDRAM 配置包含：

- 一存储库、二存储库和四存储库 SDRAM 器件
- 具有 8、9、10 和 11 列地址的器件
- 两个或三个时钟周期的 CAS 延迟
- 16 位/32 位数据总线宽度
- 3.3V LVCMOS 接口

此外，EMIF 支持将 SDRAM 置于自刷新模式和省电模式。自刷新模式允许将 SDRAM 置于低功耗状态，同时仍然保留内存内容，因为即使没有微控制器的时钟，SDRAM 也将继续进行自刷新。省电模式实现更低的功耗，但如果需要保留数据，微控制器必须定期唤醒并发出刷新。EMIF 模块不支持移动 SDRAM 器件。

在该器件上，EMIF 不支持对 SDRAM 配置进行突发访问。这意味着每次对外部 SDRAM 器件进行访问时都将有 CAS 延迟。

Copyright © 2026 Texas Instruments Incorporated

6.8.11.3 EMIF 电气数据和时序

6.8.11.3.1 异步 RAM

节 6.8.11.3.1.1 显示了 EMIF 异步存储器的时序要求。节 6.8.11.3.1.2 显示了 EMIF 异步存储器的开关特性。图 6-26 至图 6-29 显示了 EMIF 异步存储器的时序图。

6.8.11.3.1.1 EMIF 异步内存时序要求

编号(1)			最小值	最大值	单位
读取和写入					
	E	EMIF 时钟周期	$t_{c(SYSCLK)}$		ns
2	$t_{w(EM_WAIT)}$	EMxWAIT 生效和无效的脉冲持续时间	2E		ns
读取					
12	$t_{su(EMDV-EMOEH)}$	建立时间，EMxD[y:0] 在 $\overline{EMxOE}$ 高电平之前有效	15		ns
13	$t_{h(EMOEH-EMDIV)}$	保持时间，EMxD[y:0] 在 $\overline{EMxOE}$ 高电平之后有效	0		ns
14	$t_{su(EMOEL-EMWAIT)}$	选通阶段结束前，EMxWAIT 生效的建立时间(2)	4E+20		ns
写入					
28	$t_{su(EMWEL-EMWAIT)}$	选通阶段结束前，EMxWAIT 生效的建立时间(2)	4E+20		ns

(1) E = EMxCLK 周期，单位为 ns。
(2) 在选通阶段结束前建立（如果没有插入扩展等待状态），此时 EMxWAIT 必须生效以增加延长等待状态。图 6-27 和图 6-29 描述了包含在选通阶段插入的扩展等待状态的 EMIF 事务。然而，作为延长等待周期的一部分插入的周期不应被计算在内；如果没有扩展等待周期，4E 要求则从保持 (HOLD) 阶段开始。

6.8.11.3.1.2 EMIF 异步存储器开关特性

编号(1) (2) (3)	参数		最小值	最大值	单位
读取和写入					
1	$t_{d(TURNAROUND)}$	周转时间	(TA)*E – 3	(TA)*E+2	ns
读取					
3	$t_{c(EMRCYCLE)}$	EMIF 读取周期时间 (EW = 0)	(RS+RST+RH)*E – 3	(RS+RST+RH)*E+2	ns
		EMIF 读取周期时间 (EW=1)(4)	(RS+RST+RH+(MEWC*16))*E – 3	(RS+RST+RH+(MEWC*16))*E+2	ns
4	$t_{su(EMCEL-EMOEL)}$	$\overline{EMxCS[y:2]}$ 低电平至 $\overline{EMxOE}$ 低电平 (SS=0)的输出建立时间	(RS)*E – 3	(RS)*E+2	ns
		$\overline{EMxCS[y:2]}$ 低电平至 $\overline{EMxOE}$ 低电平 (SS=1)的输出建立时间	-3	2	ns
5	$t_{h(EMOEH-EMCEH)}$	$\overline{EMxOE}$ 高电平至 $\overline{EMxCS[y:2]}$ 高电平（SS=0）的输出保持时间	(RH)*E – 3	(RH)*E	ns
		$\overline{EMxOE}$ 高电平至 $\overline{EMxCS[y:2]}$ 高电平（SS=1）的输出保持时间	-3	0	ns
6	$t_{su(EMBAV-EMOEL)}$	EMxBA[y:0] 有效至 $\overline{EMxOE}$ 低电平的输出建立时间	(RS)*E – 3	(RS)*E+2	ns
7	$t_{h(EMOEH-EMBAIV)}$	$\overline{EMxOE}$ 高电平至 EMxBA[y:0] 无效的输出保持时间	(RH)*E – 3	(RH)*E	ns
8	$t_{su(EMAV-EMOEL)}$	EMxA[y:0] 有效至 $\overline{EMxOE}$ 低电平的输出建立时间	(RS)*E – 3	(RS)*E+2	ns
9	$t_{h(EMOEH-EMAIV)}$	$\overline{EMxOE}$ 高电平至 EMxA[y:0] 无效的输出保持时间	(RH)*E – 3	(RH)*E	ns

Copyright © 2026 Texas Instruments Incorporated

6.8.11.3.1.2 EMIF 异步存储器开关特性（续）

编号(1) (2) (3)	参数		最小值	最大值	单位
10	$t_{w(EMOEL)}$	$\overline{EMxOE}$ 有效低电平宽度 (EW=0)	(RST)*E – 1	(RST)*E+1	ns
		$\overline{EMxOE}$ 有效低电平宽度 (EW = 1) (4)	(RST+(MEWC*16))*E – 1	(RST+(MEWC*16))*E+1	ns
11	$t_{d(EMWAITH-EMOEH)}$	从 EMxWAIT 无效到 $\overline{EMxOE}$ 高电平的延迟时间	4E+10	5E+15	ns
29	$t_{su(EMDQMV-EMOEL)}$	EMxDQM[y:0] 有效至 $\overline{EMxOE}$ 低电平的输出建立时间	(RS)*E – 3	(RS)*E+2	ns
30	$t_{h(EMOEH-EMDQMIV)}$	$\overline{EMxOE}$ 高电平至 EMxDQM[y:0] 无效的输出保持时间	(RH)*E – 3	(RH)*E	ns
写入					
15	$t_{c(EMWCYCLE)}$	EMIF 写入周期时间 (EW = 0)	(WS+WST+WH)*E – 3	(WS+WST+WH)*E+1	ns
		EMIF 写入周期时间 (EW=1)(4)	(WS+WST+WH+ (MEWC*16))*E – 3	(WS+WST+WH+ (MEWC*16))*E+1	ns
16	$t_{su(EMCEL-EMWEL)}$	$\overline{EMxCS[y:2]}$ 低电平至 $\overline{EMxWE}$ 低电平 (SS=0)的输出建立时间	(WS)*E – 3	(WS)*E+1	ns
		$\overline{EMxCS[y:2]}$ 低电平至 $\overline{EMxWE}$ 低电平 (SS=1)的输出建立时间	-3	1	ns
17	$t_{h(EMWEH-EMCEH)}$	$\overline{EMxWE}$ 高电平至 $\overline{EMxCS[y:2]}$ 高电平（SS=0）的输出保持时间	(WH)*E – 3	(WH)*E	ns
		$\overline{EMxWE}$ 高电平至 $\overline{EMxCS[y:2]}$ 高电平（SS=1）的输出保持时间	-3	0	ns
18	$t_{su(EMDQMV-EMWEL)}$	EMxDQM[y:0] 有效至 $\overline{EMxWE}$ 低电平的输出建立时间	(WS)*E – 3	(WS)*E+1	ns
19	$t_{h(EMWEH-EMDQMIV)}$	$\overline{EMxWE}$ 高电平至 EMxDQM[y:0] 无效的输出保持时间	(WH)*E – 3	(WH)*E	ns
20	$t_{su(EMBAV-EMWEL)}$	EMxBA[y:0] 有效至 $\overline{EMxWE}$ 低电平的输出建立时间	(WS)*E – 3	(WS)*E+1	ns
21	$t_{h(EMWEH-EMBAIV)}$	$\overline{EMxWE}$ 高电平至 EMxBA[y:0] 无效的输出保持时间	(WH)*E – 3	(WH)*E	ns
22	$t_{su(EMAV-EMWEL)}$	EMxA[y:0] 有效至 $\overline{EMxWE}$ 低电平的输出建立时间	(WS)*E – 3	(WS)*E+1	ns
23	$t_{h(EMWEH-EMAIV)}$	$\overline{EMxWE}$ 高电平至 EMxA[y:0] 无效的输出保持时间	(WH)*E – 3	(WH)*E	ns
24	$t_{w(EMWEL)}$	$\overline{EMxWE}$ 有效低电平宽度 (EW=0)	(WST)*E – 1	(WST)*E+1	ns
		$\overline{EMxWE}$ 有效低电平宽度 (EW = 1)(4)	(WST+(MEWC*16))*E – 1	(WST+(MEWC*16))*E+1	ns
25	$t_{d(EMWAITH-EMWEH)}$	从 EMxWAIT 无效到 $\overline{EMxWE}$ 高电平的延迟时间	4E+10	5E+15	ns
26	$t_{su(EMDV-EMWEL)}$	EMxD[y:0] 有效至 $\overline{EMxWE}$ 低电平的输出建立时间	(WS)*E – 3	(WS)*E+1	ns
27	$t_{h(EMWEH-EMDIV)}$	$\overline{EMxWE}$ 高电平至 EMxD[y:0] 无效的输出保持时间	(WH)*E – 3	(WH)*E	ns

(1) TA = 周转，RS = 读取建立，RST = 读取选通，RH =读取保持，WS = 写入建立，WST = 写入选通，WH = 写入保持，MEWC = 最大外部等待周期。这些参数通过异步组和异步等待周期配置寄存器进行编程。这些参数支持以下范围内的值：TA[4 – 1]、RS[16 – 1]、RST[64-4]、RH[8 – 1]、WS[16 – 1]、WST[64 – 1]、WH[8 – 1] 和 MEWC[1 – 256]。有关更多信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册*。

(2) E = EMxCLK 周期，单位为 ns。

(3) EWC = 由 EMxWAIT 输入信号确定的外部等待周期。EWC 支持下列范围的值：EWC[256 – 1]。超时之前的最大等待时间由异步等待周期配置寄存器中的位字段 MEWC 指定。有关更多信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册*。

Copyright © 2026 Texas Instruments Incorporated

(4) 最大等待超时条件。

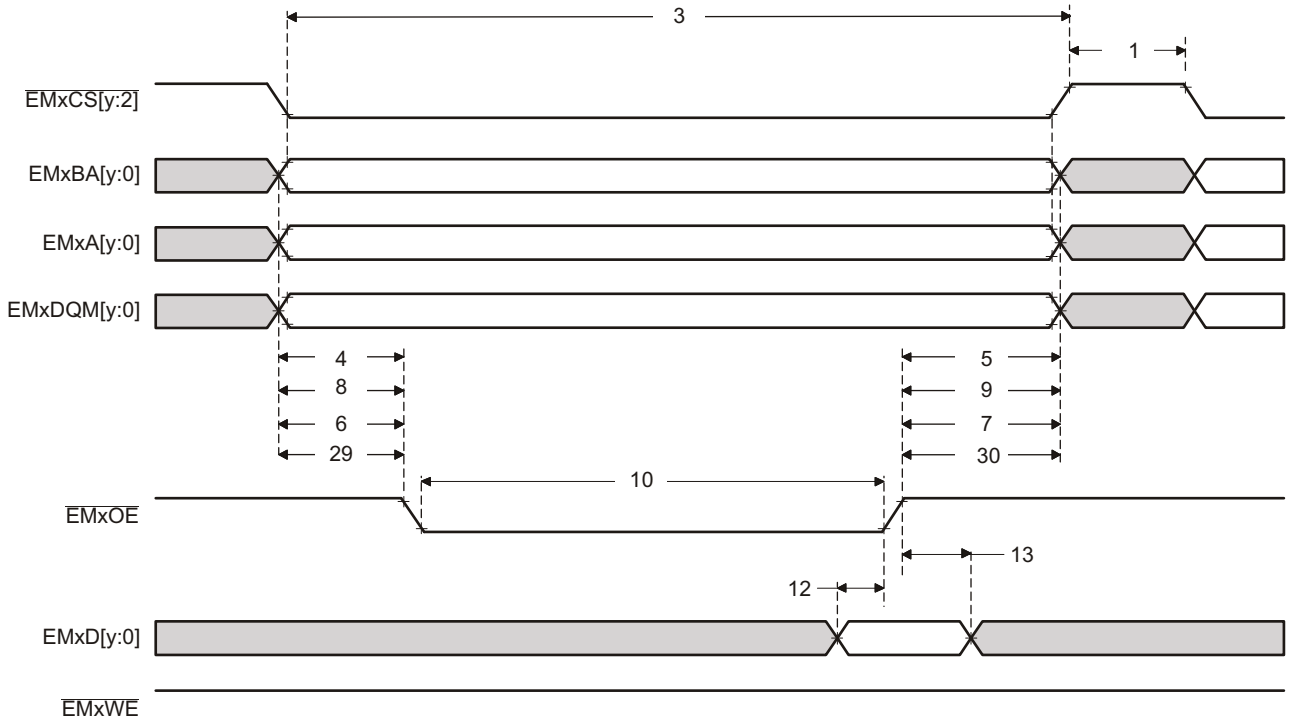


图 6-26. 异步存储器读取时序

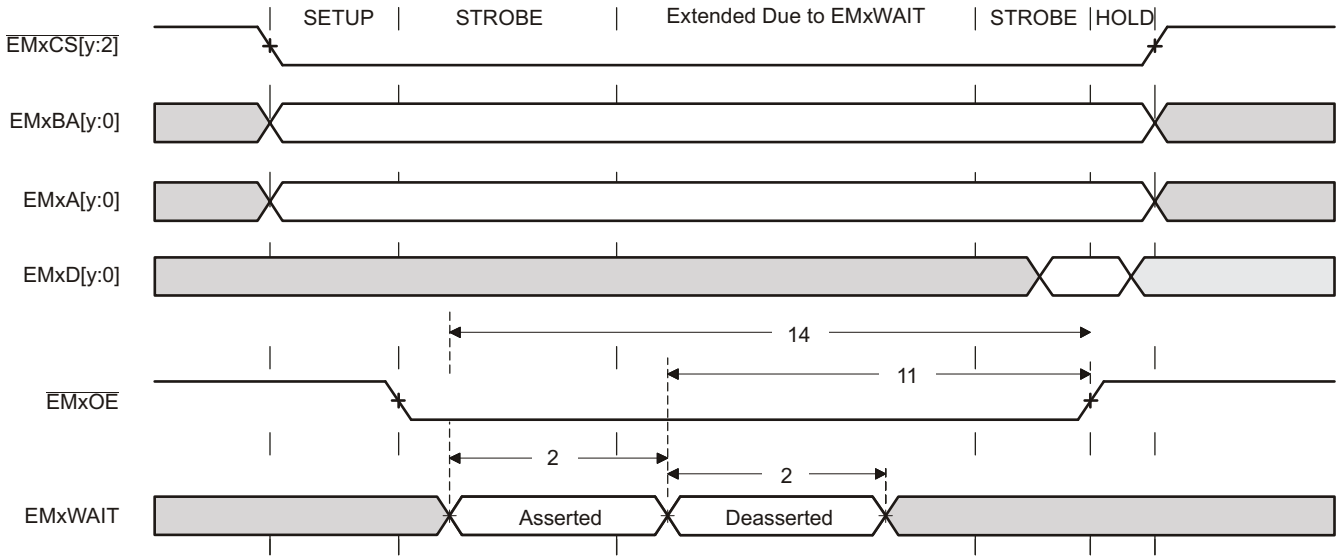


图 6-27. EMxWAIT 读取时序要求

Copyright © 2026 Texas Instruments Incorporated

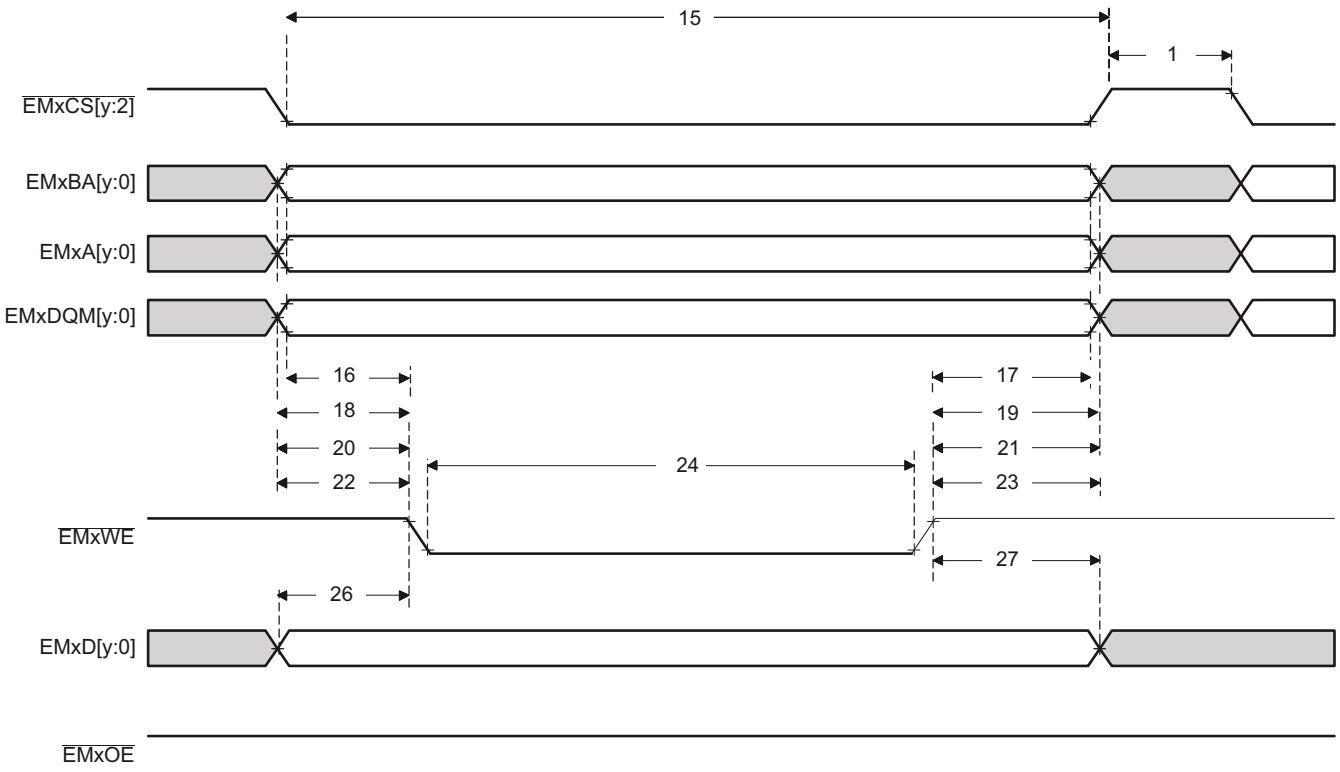


图 6-28. 异步存储器写入时序

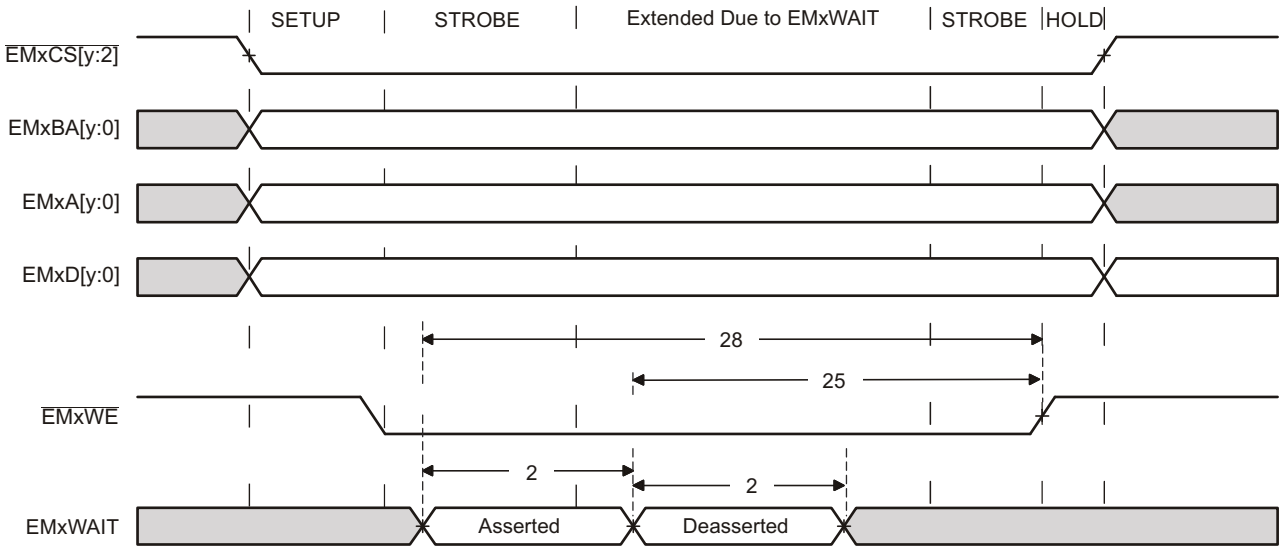


图 6-29. EMxWAIT 写入时序要求

Copyright © 2026 Texas Instruments Incorporated

6.8.11.3.2 同步 RAM

节 6.8.11.3.2.1 显示了 EMIF 同步存储器的的时序要求。节 6.8.11.3.2.2 显示了 EMIF 同步存储器的的开关特性。图 6-30 和 图 6-31 显示了同步存储器的时序图。

6.8.11.3.2.1 EMIF 同步存储器时序要求

编号			最小值	最大值	单位
19	$t_{su(EMIFDV-EM_CLKH)}$	EMxCLK 上升前，EMxD[y:0] 上的读取数据有效的输入建立时间	2		ns
20	$t_{h(CLKH-DIV)}$	EMxCLK 上升后，EMxD[y:0] 上的读取数据有效的输入保持时间	1.5		ns

6.8.11.3.2.2 EMIF 同步存储器开关特征

编号	参数		最小值	最大值	单位
1	$t_{c(CLK)}$	周期时间，EMIF 时钟 EMxCLK	10		ns
2	$t_{w(CLK)}$	脉冲宽度，EMIF 时钟 EMxCLK 高电平或低电平	3		ns
3	$t_{d(CLKH-CSV)}$	EMxCLK 上升至 $\overline{\text{EMxCS[y:2]}}$ 有效的延迟时间		8	ns
4	$t_{oh(CLKH-CSIV)}$	EMxCLK 上升至 $\overline{\text{EMxCS[y:2]}}$ 无效的输出保持时间	1		ns
5	$t_{d(CLKH-DQMV)}$	EMxCLK 上升至 EMxDQM[y:0] 有效的延迟时间		8	ns
6	$t_{oh(CLKH-DQMIV)}$	EMxCLK 上升至 EMxDQM[y:0] 无效的输出保持时间	1		ns
7	$t_{d(CLKH-AV)}$	EMxCLK 上升至 EMxA[y:0] 和 EMxBA[y:0] 有效的延迟时间		8	ns
8	$t_{oh(CLKH-AIV)}$	EMxCLK 上升至 EMxA[y:0] 和 EMxBA[y:0] 无效的输出保持时间	1		ns
9	$t_{d(CLKH-DV)}$	EMxCLK 上升至 EMxD[y:0] 有效的延迟时间		8	ns
10	$t_{oh(CLKH-DIV)}$	EMxCLK 上升至 EMxD[y:0] 无效的输出保持时间	1		ns
11	$t_{d(CLKH-RASV)}$	EMxCLK 上升至 EMxRAS 有效的延迟时间		8	ns
12	$t_{oh(CLKH-RASIV)}$	EMxCLK 上升至 EMxRAS 无效的输出保持时间	1		ns
13	$t_{d(CLKH-CASV)}$	EMxCLK 上升至 EMxCAS 有效的延迟时间		8	ns
14	$t_{oh(CLKH-CASIV)}$	EMxCLK 上升至 EMxCAS 无效的输出保持时间	1		ns
15	$t_{d(CLKH-WEV)}$	EMxCLK 上升至 $\overline{\text{EMxWE}}$ 有效的延迟时间		8	ns
16	$t_{oh(CLKH-WEIV)}$	EMxCLK 上升至 $\overline{\text{EMxWE}}$ 无效的输出保持时间	1		ns
17	$t_{d(CLKH-DHZ)}$	EMxCLK 上升至 EMxD[y:0] 三态的延迟时间		8	ns
18	$t_{oh(CLKH-DLZ)}$	EMxCLK 上升至 EMxD[y:0] 驱动的输出保持时间	1		ns

Copyright © 2026 Texas Instruments Incorporated

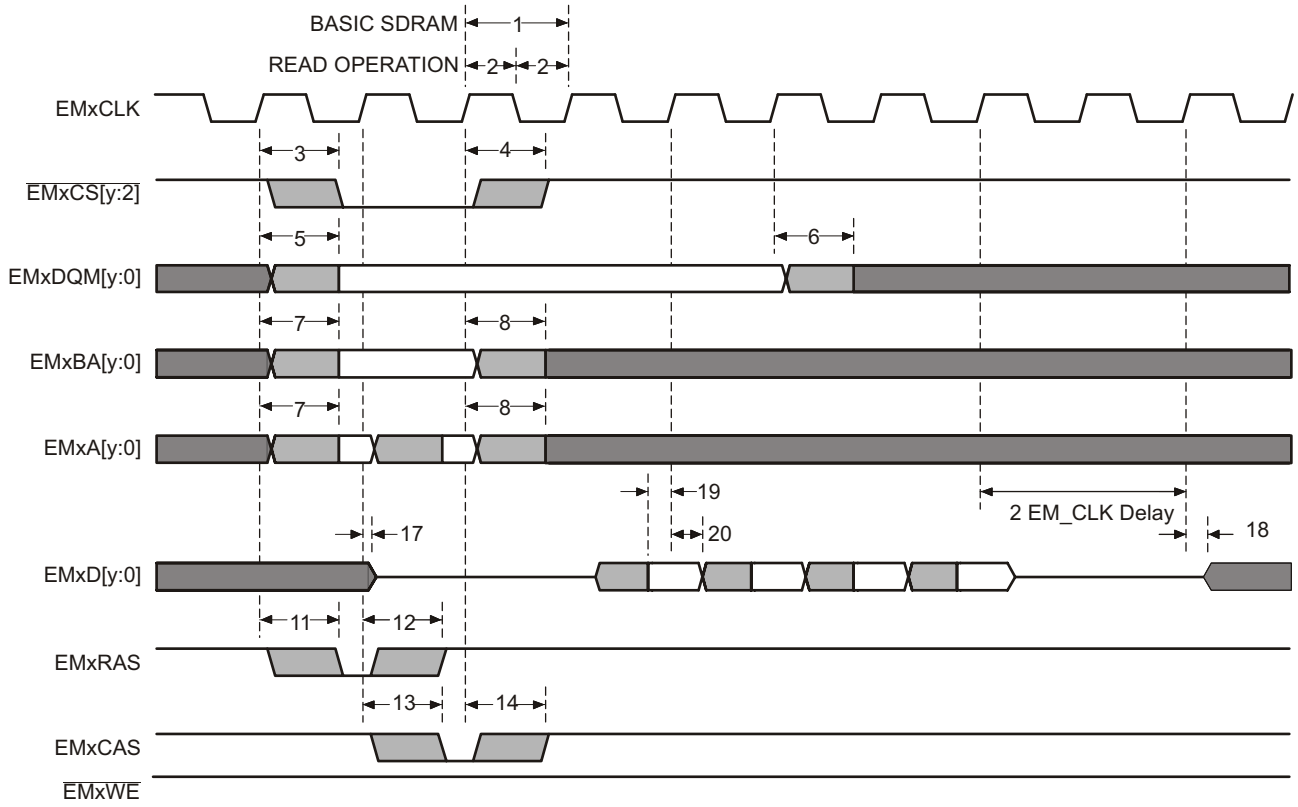


图 6-30. 基本 SDRAM 读取操作

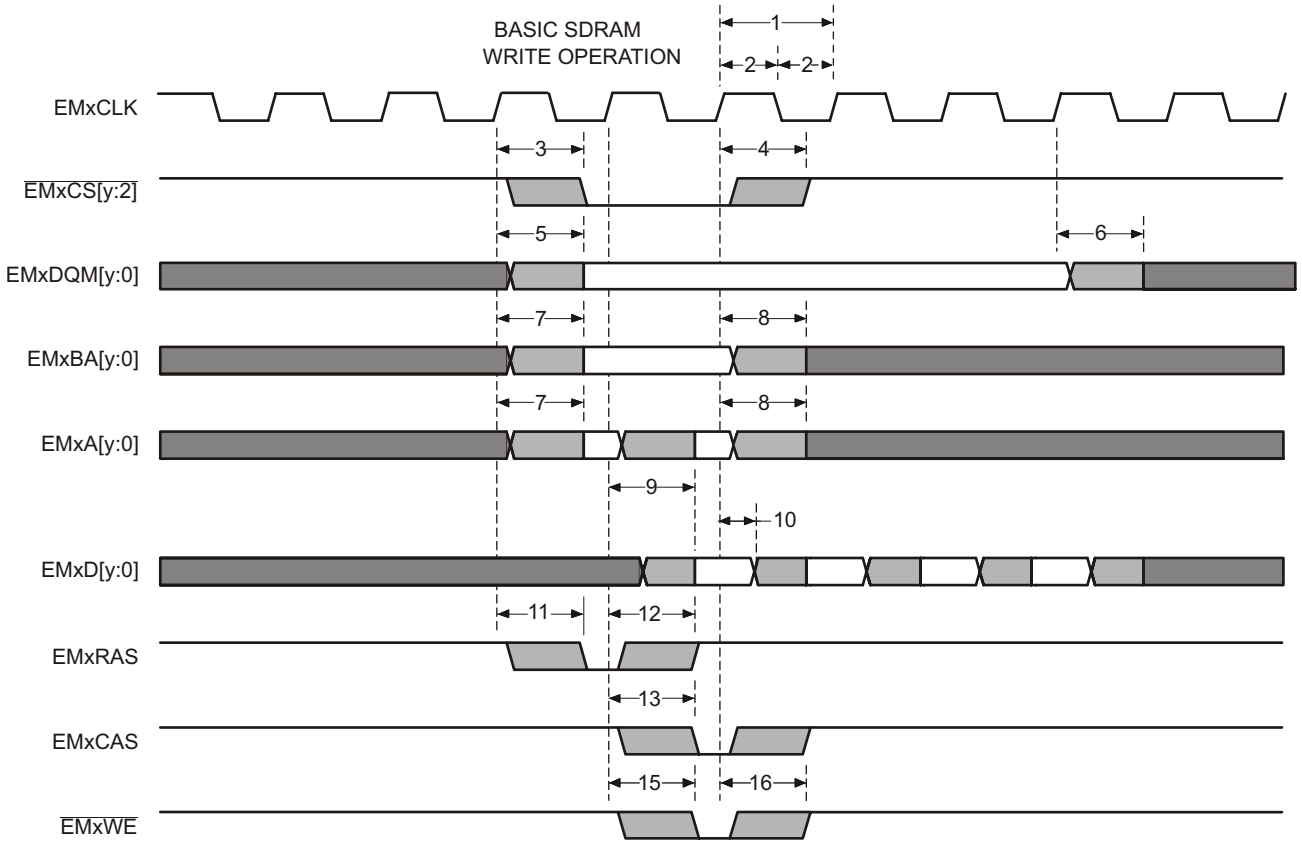


图 6-31. 基本 SDRAM 写入操作

Copyright © 2026 Texas Instruments Incorporated

6.9 模拟外设

本节介绍了模拟子系统模块。

该器件上的模拟模块包括 ADC、温度传感器、缓冲的 DAC 和 CMPSS。

模拟子系统具有以下特性：

- 灵活的电压基准
  - ADC 以 V_{REFHIx} 和 V_{REFLOx} 引脚为基准。
    - V_{REFHIx} 引脚电压必须从外部驱动。
- 缓冲 DAC 以 V_{REFHIx} 和 V_{SSA} 为基准。
  - 或者，这些 DAC 可以以 VDAC 引脚和 V_{SSA} 为基准。
- 比较器 DAC 以 V_{DDA} 和 V_{SSA} 为基准。
  - 或者，这些 DAC 可以以 VDAC 引脚和 V_{SSA} 为基准。
- 灵活地使用引脚
  - 缓冲 DAC 和比较器子系统功能与 ADC 输入多路复用
- 所有 ADC 上的 V_{REFLO} 的内部连接用于失调电压自我校准

图 6-32 显示了 176 引脚 PTP 封装的模拟子系统方框图。

Copyright © 2026 Texas Instruments Incorporated

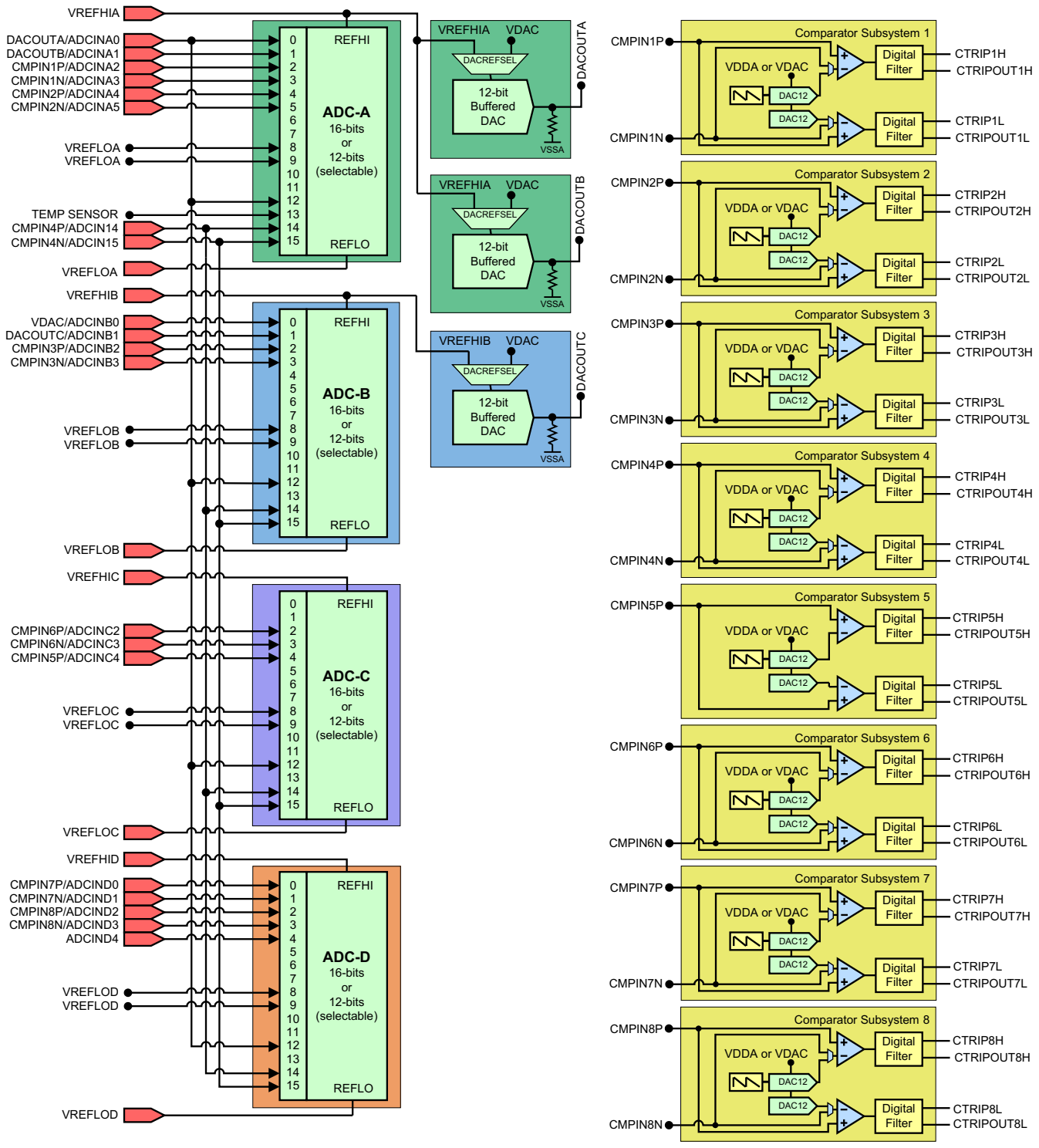


图 6-32. 模拟子系统方框图（176 引脚 PTP）

Copyright © 2026 Texas Instruments Incorporated

6.9.1 模数转换器 (ADC)

该器件上的 ADC 是逐次逼近 (SAR) 型 ADC，分辨率可选择为 16 位或 12 位。存在多个允许同时采样的 ADC 模块。ADC 包装程序是基于启动转换 (SOC)的 [请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 的“SOC 工作原理”部分。

每个 ADC 具有以下特性：

- 分辨率可选择 16 位或 12 位
- 由 V_{REFHI} 和 V_{REFLO} 设置的比例式外部基准
- 差分信号转换（仅限 16 位模式）
- 单端信号转换（仅限 12 位模式）
- 具有最多 16 个通道（单端）或 8 个通道（差分）的输入多路复用器
- 16 个可配置 SOC
- 16 个可单独寻址的结果寄存器
- 多个触发源
  - 软件立即启动
  - 所有 ePWM
  - GPIO XINT2
  - CPU 计时器
  - ADCINT1 或 2
- 四个灵活的 PIE 中断
- 突发模式
- 四个后处理块，每块具有：
  - 饱和偏移量校准
  - 设定点计算的误差
  - 具有中断和 ePWM 跳变功能的高电平、低电平和过零比较
  - 触发至采样延迟采集

Copyright © 2026 Texas Instruments Incorporated

图 6-33 显示了 ADC 模块方框图。

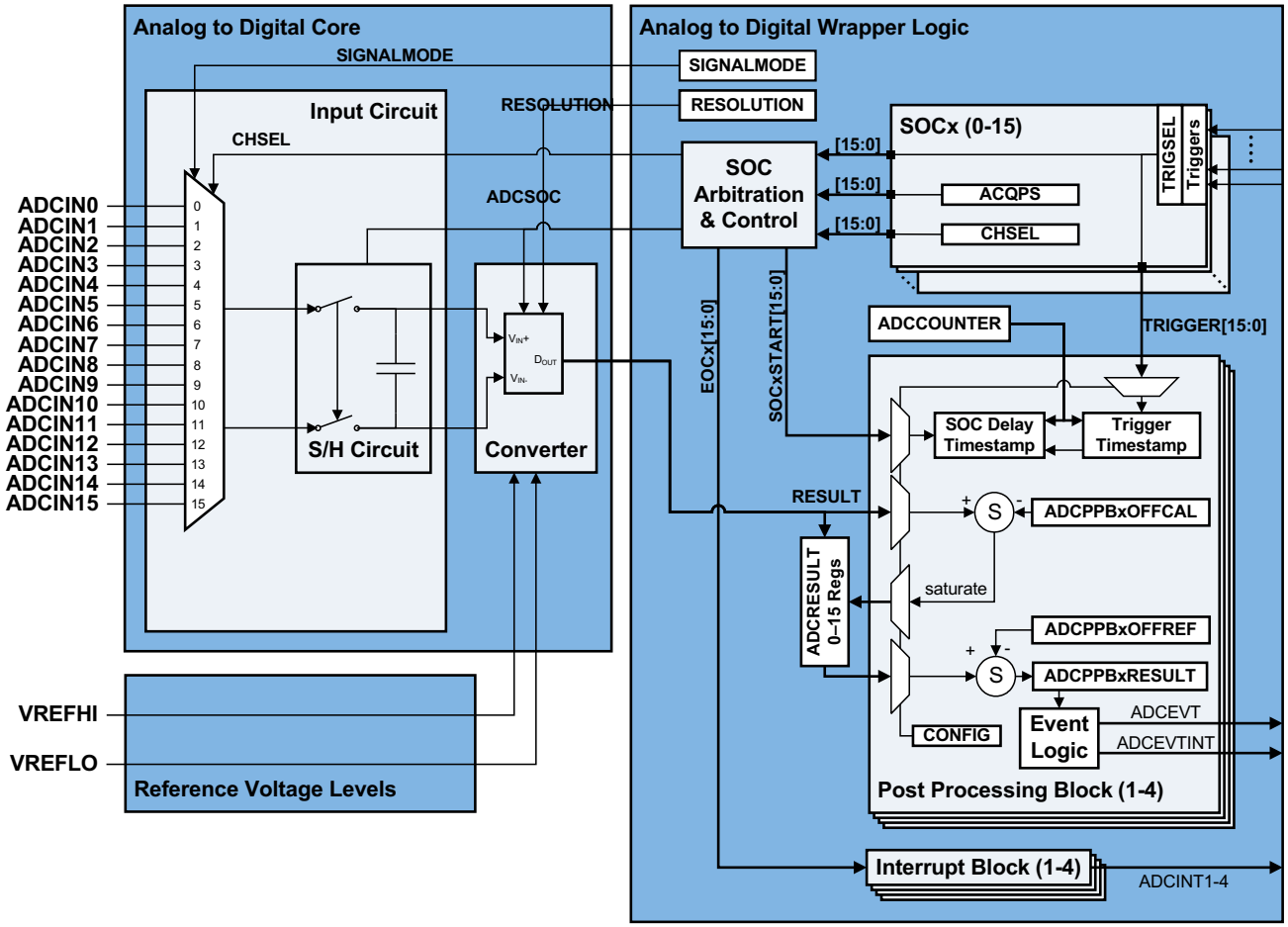


图 6-33. ADC 模块方框图

6.9.1.1 ADC 可配置性

一些 ADC 配置由 SOC 单独控制，而其他配置则由每个 ADC 模块控制。表 6-11 汇总了基本的 ADC 选项及其可配置性级别。

表 6-11. ADC 选项和配置级别

选项	可配置性
时钟	通过模块(1)
分辨率	通过模块(1)
信号模式	通过模块
基准电压源	不可配置（仅限外部参考）
触发源	通过 SOC(1)
转换后的通道	通过 SOC
采集窗口持续时间	通过 SOC(1)
EOC 位置	通过模块
突发模式	通过模块(1)

(1) 将这些值以不同方式写入不同的 ADC 模块可能会导致 ADC 异步工作。有关 ADC 何时同步或异步工作的指导，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 中“模数转换器 (ADC)”一章的“确保同步工作”一节。

Copyright © 2026 Texas Instruments Incorporated

6.9.1.1.1 信号模式

ADC 支持两种信号模式：单端和差分。在单端模式中，以 VREFLO 为基准通过单个引脚 (ADCINx)对转换器的输入电压 进行采样。在差分信号模式中，通过一对输入引脚对转换器的输入电压进行采样，其中一个输入引脚为正输入引脚 (ADCINxP) ，且另一个输入引脚为负输入引脚 (ADCINxN)。实际输入电压是两个引脚之间的差值 (ADCINxP - ADCINxN)。图 6-34 显示了差分信号模式。图 6-35 展示了单端信号模式。

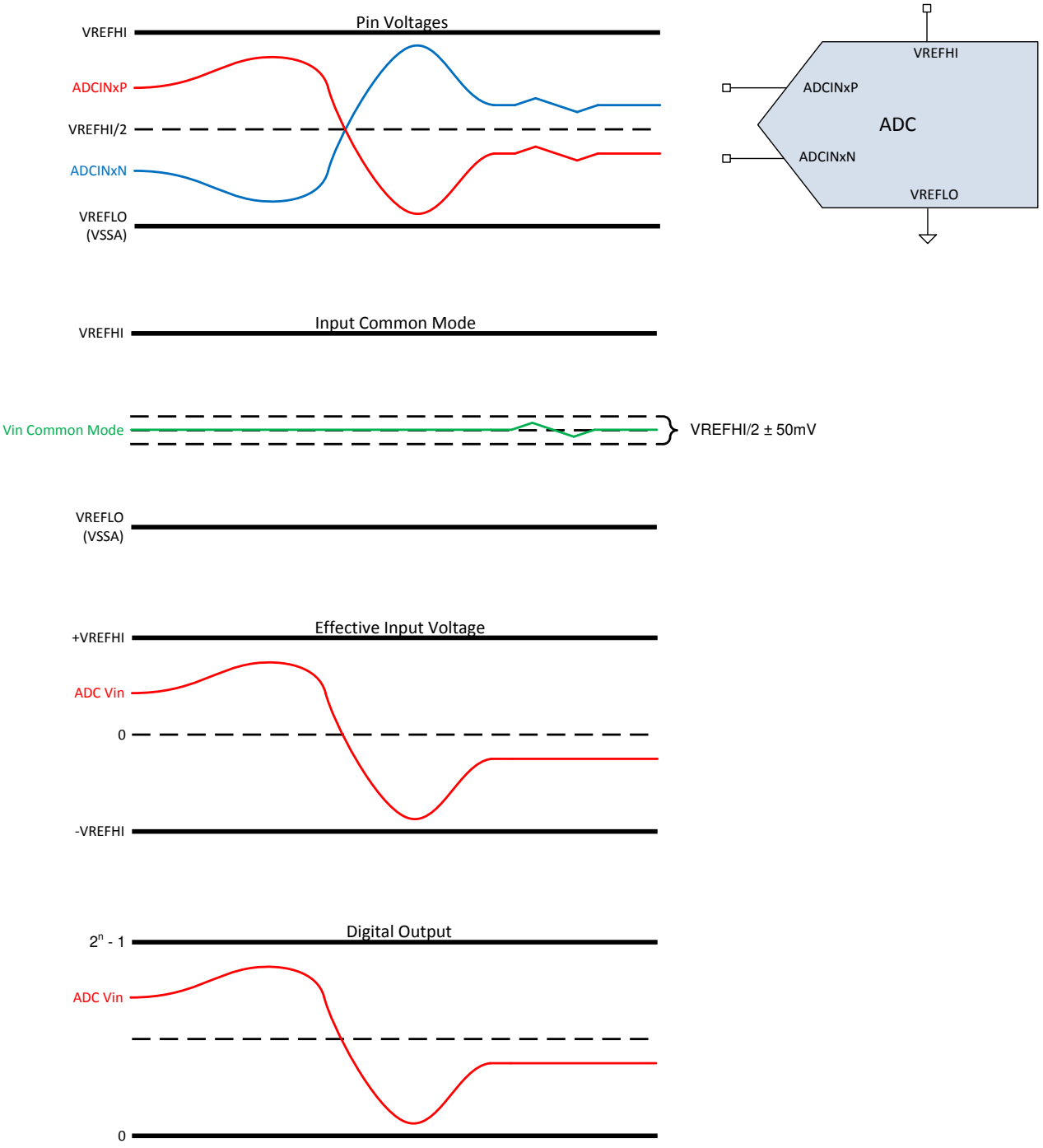


图 6-34. 差分信号模式

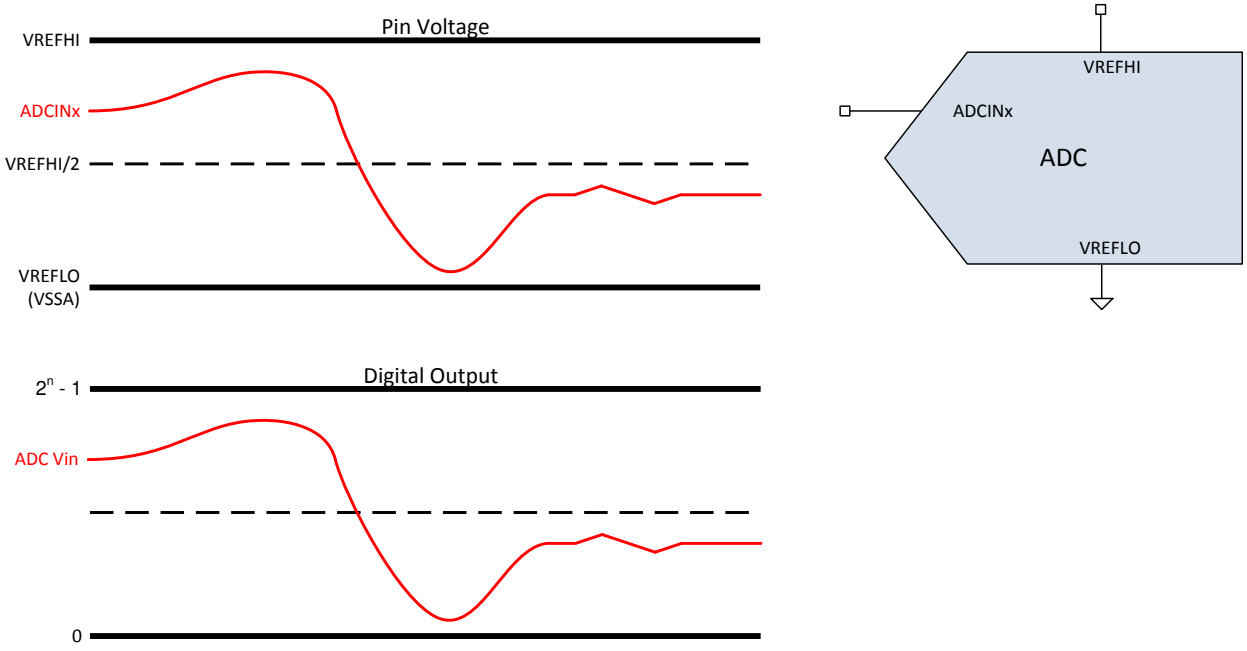


图 6-35. 单端信号模式

Copyright © 2026 Texas Instruments Incorporated

6.9.1.2 ADC 电气数据和时序

6.9.1.2.1 ADC 工作条件 (16 位差分模式)

在建议运行条件下 (除非另有说明)

	最小值	典型值	最大值	单位
ADCCLK (源自 PERx.SYSCLK)	5		50	MHz
采样窗口持续时间 (由 ACQPS 和 PERx.SYSCLK 设置) (1)	320			ns
V_{REFHI}	2.4	2.5 或 3.0	V_{DDA}	V
V_{REFLO}	V_{SSA}	0	V_{SSA}	V
V_{REFHI} - V_{REFLO}	2.4		V_{DDA}	V
ADC 输入转换范围	V_{REFLO}		V_{REFHI}	V
ADC 输入信号共模电压(2) (3)	V_{REFCM} - 50	V_{REFCM}	V_{REFCM} + 50	mV

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确工作。
(2) $V_{REFCM} = (V_{REFHI} + V_{REFLO})/2$
(3) 如果负 ADC 输入引脚连接到 V_{SSA} 或 V_{REFLO}，则不会满足 V_{REFCM} 要求。

备注

工作过程中，ADC 输入应保持低于 V_{DDA} + 0.3V。如果 ADC 输入超过此电平，器件内部的 V_{REF} 可能会受到干扰，这可能会影响使用相同 V_{REF} 的其他 ADC 或 DAC 输入的结果。

备注

V_{REFHI} 引脚必须保持低于 V_{DDA} + 0.3V，以确保正常工作。如果 V_{REFHI} 引脚超过此电平，可能会激活阻塞电路，并且 V_{REFHI} 的内部值可能会在内部浮动至 0V，从而导致 ADC 转换或 DAC 输出不正确。

Copyright © 2026 Texas Instruments Incorporated

6.9.1.2.2 ADC 特征（16 位差分模式）

在建议运行条件下（除非另有说明）(6)

参数	测试条件	最小值	典型值	最大值	单位
ADC 转换周期(1)		29.6		31	ADCCLK
上电时间（将 ADCPWDNZ 设置为第一次转换后）				500	µs
增益误差		-64	±9	64	LSB
偏移误差(2)		-16	±9	16	LSB
通道间增益误差			±6		LSB
通道间偏移误差			±3		LSB
ADC 间增益误差	所有 ADC 的 V_{REFHI} 和 V_{REFLO} 均相同		±6		LSB
ADC 间偏移误差	所有 ADC 的 V_{REFHI} 和 V_{REFLO} 均相同		±3		LSB
DNL(3)		> -1	±0.5	1	LSB
INL		-3	±1.5	3	LSB
SNR(4) (11)	V_{REFHI} = 2.5V，f_{in} = 10kHz		90.2		dB
THD(4) (11)	V_{REFHI} = 2.5V，f_{in} = 10kHz		-105		dB
SFDR(4) (11)	V_{REFHI} = 2.5V，f_{in} = 10kHz		106		dB
SINAD(4) (11)	V_{REFHI} = 2.5V，f_{in} = 10kHz		90.0		dB
ENOB(4) (11)	V_{REFHI} = 2.5V，f_{in} = 10kHz，单个 ADC(7)		14.65		位
	V_{REFHI} = 2.5V，f_{in} = 10kHz，同步 ADC(8)		14.65		
	V_{REFHI} = 2.5V，f_{in} = 10kHz，异步 ADC(9)		不支持		
PSRR	V_{DDA} = 3.3V 直流 + 200mV 直流至正弦（1kHz 时）		77		dB
PSRR	V_{DDA} = 3.3V 直流 + 200mV 正弦（800kHz 时）		74		dB
CMRR	直流到 1MHz		60		dB
V_{REFHI} 输入电流			190		µA
ADC 间隔离(11) (5) (10)	V_{REFHI} = 2.5V，同步 ADC(8)	-2		2	LSB
	V_{REFHI} = 2.5V，异步 ADC(9)		不支持		

(1) 请参阅节 6.9.1.2.7。
(2) 当 ADCINp = ADCINn = V_{REFCM} 时，与转换结果 32768 的差异。
(3) 没有丢失的代码。
(4) 交流参数将受到时钟源精度和抖动的影响，在为系统选择时钟源时应考虑到这一点。用于这些参数的时钟源是通过 PLL 馈送的高精度外部时钟。片上内部振荡器的抖动比外部晶振更高，如果将其用作时钟源，这些参数将会降低。
(5) 由于多个 ADC 同时运行而产生的最大 DC 代码偏差。
(6) 典型值是在 V_{REFHI} = 2.5V 且 V_{REFLO} = 0V 时测量的。在 V_{REFHI} = 2.5V 且 V_{REFLO} = 0V 时对最小值和最大值进行测试或表征。
(7) 一个 ADC 在工作，而其他所有 ADC 都处于空闲状态。
(8) 所有 ADC 都以相同的 ADCCLK、S+H 持续时间、触发器和分辨率工作。
(9) 任何以异构 ADCCLK、S+H 持续时间、触发器或分辨率工作的 ADC。
(10) 基于特征化的值。
(11) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 V_{REFHI} 引脚相邻的引脚上的 I/O 活动已降至最低。

Copyright © 2026 Texas Instruments Incorporated

6.9.1.2.3 ADC 工作条件（12 位单端模式）

在建议运行条件下（除非另有说明）

	最小值	典型值	最大值	单位
ADCCLK（源自 PERx.SYSCLK）	5		50	MHz
采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK 设置）(1)	75			ns
V_{REFHI}	2.4	2.5 或 3.0	V_{DDA}	V
V_{REFLO}	V_{SSA}	0	V_{SSA}	V
V_{REFHI} - V_{REFLO}	2.4		V_{DDA}	V
ADC 输入转换范围	V_{REFLO}		V_{REFHI}	V

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确工作。

备注

工作过程中，ADC 输入应保持低于 V_{DDA} + 0.3V。如果 ADC 输入超过此电平，器件内部的 V_{REF} 可能会受到干扰，这可能会影响使用相同 V_{REF} 的其他 ADC 或 DAC 输入的结果。

备注

V_{REFHI} 引脚必须保持低于 V_{DDA} + 0.3V，以确保正常工作。如果 V_{REFHI} 引脚超过此电平，可能会激活阻塞电路，并且 V_{REFHI} 的内部值可能会在内部浮动至 0V，从而导致 ADC 转换或 DAC 输出不正确。

6.9.1.2.4 ADC 特征（12 位单端模式）

在建议运行条件下（除非另有说明）(5)

参数	测试条件	最小值	典型值	最大值	单位
ADC 转换周期(1)		10.1		11	ADCCLK
上电时间				500	µs
增益误差		-5	±3	5	LSB
偏移误差		-4	±2	4	LSB
通道间增益误差			±4		LSB
通道间偏移误差			±2		LSB
ADC 间增益误差	所有 ADC 的 V_{REFHI} 和 V_{REFLO} 均相同		±4		LSB
ADC 间偏移误差	所有 ADC 的 V_{REFHI} 和 V_{REFLO} 均相同		±2		LSB
DNL(2)		> -1	±0.5	1	LSB
INL		-2	±1.0	2	LSB
SNR(3) (10)	V_{REFHI} = 2.5V，f_{in} = 100kHz		69.1		dB
THD(3) (10)	V_{REFHI} = 2.5V，f_{in} = 100kHz		-88		dB
SFDR(3) (10)	V_{REFHI} = 2.5V，f_{in} = 100kHz		89		dB
SINAD(3) (10)	V_{REFHI} = 2.5V，f_{in} = 100kHz		69.0		dB
ENOB(3) (10)	V_{REFHI} = 2.5V，f_{in} = 100kHz，单个 ADC(6)，所有封装		11.2		位
	V_{REFHI} = 2.5V，f_{in} = 100kHz，同步 ADC(7)，所有封装		11.2		
	V_{REFHI} = 2.5V，f_{in} = 100kHz，异步 ADC(8)，176 引脚 PTP 封装		9.7		

Copyright © 2026 Texas Instruments Incorporated

6.9.1.2.4 ADC 特征（12 位单端模式）（续）

在建议运行条件下（除非另有说明）(5)

参数	测试条件	最小值	典型值	最大值	单位
PSRR	V_{DDA} = 3.3V 直流 + 200mV 直流至正弦（1kHz 时）		60		dB
PSRR	V_{DDA} = 3.3V 直流 + 200mV 正弦（800kHz 时）		57		dB
ADC 间隔离(10) (4) (9)	V_{REFHI} = 2.5V，同步 ADC(7)，所有封装	-1		1	LSB
	V_{REFHI} = 2.5V，异步 ADC(8)，176 引脚 PTP 封装	-9		9	
V_{REFHI} 输入电流			130		μA

(1) 请参阅 *ADC 时序图*部分。
(2) 没有丢失的代码。
(3) 交流参数将受到时钟源精度和抖动的影响，在为系统选择时钟源时应考虑到这一点。用于这些参数的时钟源是通过 PLL 馈送的高精度外部时钟。片上内部振荡器的抖动比外部晶振更高，如果将其用作时钟源，这些参数将会降低。
(4) 由于多个 ADC 同时运行而产生的最大 DC 代码偏差。
(5) 典型值是在 V_{REFHI} = 2.5V 且 V_{REFLO} = 0V 时测量的。在 V_{REFHI} = 2.5V 且 V_{REFLO} = 0V 时对最小值和最大值进行测试或表征。
(6) 一个 ADC 在工作，而其他所有 ADC 都处于空闲状态。
(7) 所有 ADC 都以相同的 ADCCLK、S+H 持续时间、触发器和分辨率工作。
(8) 任何以异构 ADCCLK、S+H 持续时间、触发器或分辨率工作的 ADC。
(9) 基于特征化的值。
(10) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 V_{REFHI} 引脚相邻的引脚上的 I/O 活动已降至最低。

6.9.1.2.5 ADCEXTSOC 时序要求

			最小值(1)	最大值	单位
$t_{w(INT)}$	脉冲持续时间，INT 输入低电平/高电平	同步	$2t_{c(SYSCLK)}$		周期
		带限定符	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		周期

(1) 有关输入限定器参数的说明，请参阅节 6.8.8.2.1。

Copyright © 2026 Texas Instruments Incorporated

6.9.1.2.6 ADC 输入模型

备注

ADC 通道 ADCINA0、ADCINA1 和 ADCINB1 有一个 50kΩ 下拉电阻器连接到 V_{SSA}。

对于差分工作，节 6.9.1.2.6.1 和图 6-36 给出了 ADC 输入特征。

6.9.1.2.6.1 差分输入模型参数

	说明	值（16 位模式）
C_p	寄生输入电容	请参阅 表 6-12
R_{on}	采样开关电阻	700Ω
C_h	采样电容器	16.5pF
R_s	标称源阻抗	50Ω

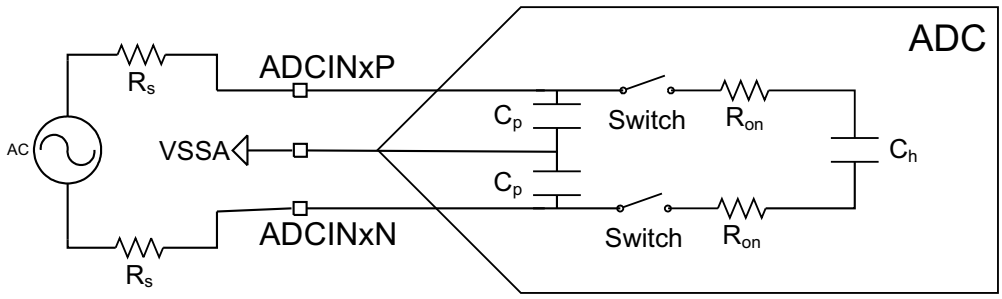


图 6-36. 差分输入模型

对于单端工作模式，ADC 输入特征详见*单端输入模型参数 2837xD、2837xS、SopranoSEP 和 SopranoEP* 和图 6-37。

6.9.1.2.6.2 单端输入模型参数

	说明	VALUE（12 位模式）
C_p	寄生输入电容	请参阅 表 6-12
R_{on}	采样开关电阻	425Ω
C_h	采样电容器	14.5pF
R_s	标称源阻抗	50Ω

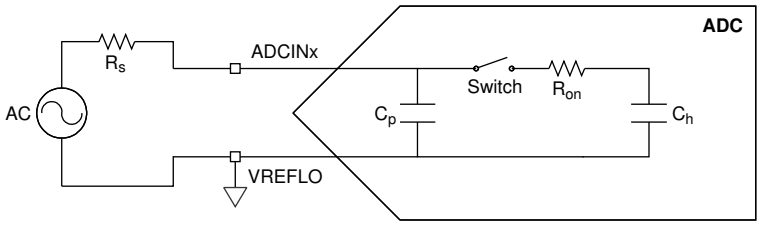


图 6-37. 单端输入模型

表 6-12 显示了每个通道上的寄生电容。此外，启用比较器会在比较器正输入上增加约 1.4pF 的电容，并在比较器负输入上增加约 2.5pF 的电容。

Copyright © 2026 Texas Instruments Incorporated

表 6-12. 每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
ADCINA0	12.9	不适用
ADCINA1	10.3	不适用
ADCINA2	5.9	7.3
ADCINA3	6.3	8.8
ADCINA4	5.9	7.3
ADCINA5	6.3	8.8
ADCINB0(1)	117.0	不适用
ADCINB1	10.6	不适用
ADCINB2	5.9	7.3
ADCINB3	6.2	8.7
ADCINB4	5.2	不适用
ADCINB5	5.1	不适用
ADCINC2	5.5	6.9
ADCINC3	5.8	8.3
ADCINC4	5.0	6.4
ADCINC5	5.3	7.8
ADCIND0	5.3	6.7
ADCIND1	5.7	8.2
ADCIND2	5.3	6.7
ADCIND3	5.6	8.1
ADCIND4	4.3	不适用
ADCIND5	4.3	不适用
ADCIN14	8.6	10.0
ADCIN15	9.0	11.5

(1) 由于 VDAC 功能导致电容增加。

应将这些输入模型与实际信号源阻抗配合使用，以确定采集窗口持续时间。有关更多信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 的“选择采集窗口持续时间”部分。有关评估 ADC 电路性能的更多详细信息，另请参阅 *C2000 ADC 的电荷共享驱动电路* 和 *C2000 MCU 的 ADC 输入电路评估*。

用户应通过假设 C_h 上最坏情况下的初始条件来分析 ADC 输入设置。这将需要假设 C_h 能够在 S+H 窗口开始时完全充电至 V_{REFHI} 或完全放电至 V_{REFLO}。当 ADC 从奇数通道转换为偶数通道，或从偶数通道转换为奇数通道时，C_h 上的实际初始电压将几乎完全放电至 V_{REFLO} 的状态。对于偶数到偶数或奇数到奇数的转换，C_h 上的初始电压将接近于之前已转换通道上的电压。

Copyright © 2026 Texas Instruments Incorporated

6.9.1.2.7 ADC 时序图

节 6.9.1.2.7.1 列出了 12 位模式下的 ADC 时序（SYSCLK 周期）。节 6.9.1.2.7.2 列出了 16 位模式下的 ADC 时序。图 6-38 和图 6-39 显示了在下列假设下两个 SOC 的 ADC 转换时序：

- SOC0 和 SOC1 配置为使用相同的触发器。
- 触发发生时，没有其他 SOC 正在转换或挂起。
- 轮循指针处于使 SOC0 首先转换的状态。
- ADCINTSEL 配置为在 SOC0 的转换结束时设置一个 ADCINT 标志（该标志是否传播到 CPU 以引起中断由 PIE 模块中的配置决定）。

表 6-13 列出了图 6-38 和图 6-39 中 ADC 时序参数的说明。

表 6-13. ADC 时序参数

参数	说明
t_{SH}	S+H 窗口的持续时间。 在该窗口结束时，S+H 电容器上的值则变为待转换成数字值的电压。持续时间由 (ACQPS + 1) 个 SYSCLK 周期计算得出。ACQPS 可以为每个 SOC 单独配置，因此对于不同的 SOC，t_{SH} 不一定相同。 **注意：**无论器件时钟设置如何，S+H 电容器上的值都将在 S+H 窗口结束前大约 5ns 时被采集。
t_{LAT}	从 S+H 窗口结束到 ADC 转换结果锁存到 ADCRESULTx 寄存器的时间。 如果在此时间之前读取 ADCRESULTx 寄存器，将返回之前的转换结果。
t_{EOC}	从 S+H 窗口结束到下一个 ADC 转换 S+H 窗口可以开始的时间。后续采样可以在锁存转换结果之前开始。
t_{INT}	从 S+H 窗口结束到设置 ADCINT 标志（如果已配置）的时间。 如果设置了 ADCCTL1 寄存器中的 INTPULSEPOS 位，t_{INT} 将与锁存到结果寄存器中的转换结果相一致。 如果 INTPULSEPOS 位为 0，t_{INT} 将与 S+H 窗口的结束相一致。如果 t_{INT} 触发读取 ADC 结果寄存器（直接通过 DMA 读取或通过触发读取结果的 ISR 来间接读取），必须注意确保读取发生在结果锁存之后（否则，将读取之前的结果）。

Copyright © 2026 Texas Instruments Incorporated

6.9.1.2.7.1 12 位模式下的 ADC 时序（SYSCLK 周期）

ADCCLK 预分频		SYSCLK 周期				ADCCLK 周期
ADCCTL2 [预分频]	比率 ADCCLK:SYSCLK	t_{EOC}	t_{LAT} (1)	$t_{INT(EARLY)}$	$t_{INT(LATE)}$	t_{EOC}
0	1	11	13	1	11	11.0
1	1.5	无效				
2	2	21	23	1	21	10.5
3	2.5	26	28	1	26	10.4
4	3	31	34	1	31	10.3
5	3.5	36	39	1	36	10.3
6	4	41	44	1	41	10.3
7	4.5	46	49	1	46	10.2
8	5	51	55	1	51	10.2
9	5.5	56	60	1	56	10.2
10	6	61	65	1	61	10.2
11	6.5	66	70	1	66	10.2
12	7	71	76	1	71	10.1
13	7.5	76	81	1	76	10.1
14	8	81	86	1	81	10.1
15	8.5	86	91	1	86	10.1

(1) 请参阅 *TMS320F2837xD 双核实时 MCU 器件勘误表* 中“DMA 读取过时结果”公告。

Copyright © 2026 Texas Instruments Incorporated

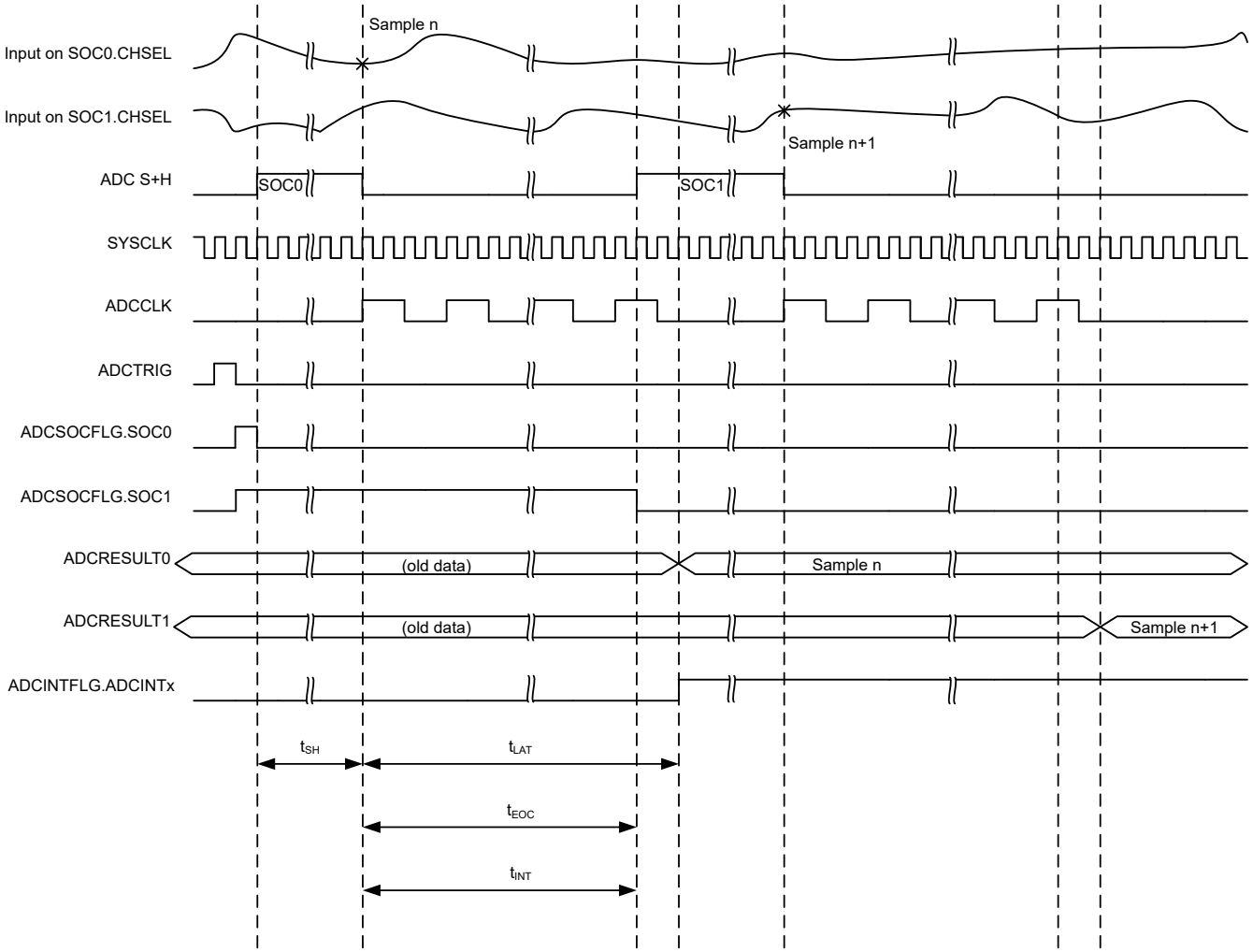


图 6-38. 12 位模式的 ADC 时序

6.9.1.2.7.2 16 位模式下的 ADC 时序

ADCCLK 预分频		SYSCLK 周期				ADCCLK 周期
ADCCTL2 [预分频]	比率 ADCCLK:SYSCLK	t_{EOC}	t_{LAT} (1)	$t_{INT(EARLY)}$	$t_{INT(LATE)}$	t_{EOC}
0	1	31	32	1	31	31.0
1	1.5	无效				
2	2	60	61	1	60	30.0
3	2.5	75	75	1	75	30.0
4	3	90	91	1	90	30.0
5	3.5	104	106	1	104	29.7
6	4	119	120	1	119	29.8
7	4.5	134	134	1	134	29.8
8	5	149	150	1	149	29.8
9	5.5	163	165	1	163	29.6
10	6	178	179	1	178	29.7
11	6.5	193	193	1	193	29.7
12	7	208	209	1	208	29.7
13	7.5	222	224	1	222	29.6
14	8	237	238	1	237	29.6
15	8.5	252	252	1	252	29.6

(1) 请参阅 *TMS320F2837xD 双核实时 MCU 器件勘误表* 中“DMA 读取过时结果”公告。

Copyright © 2026 Texas Instruments Incorporated

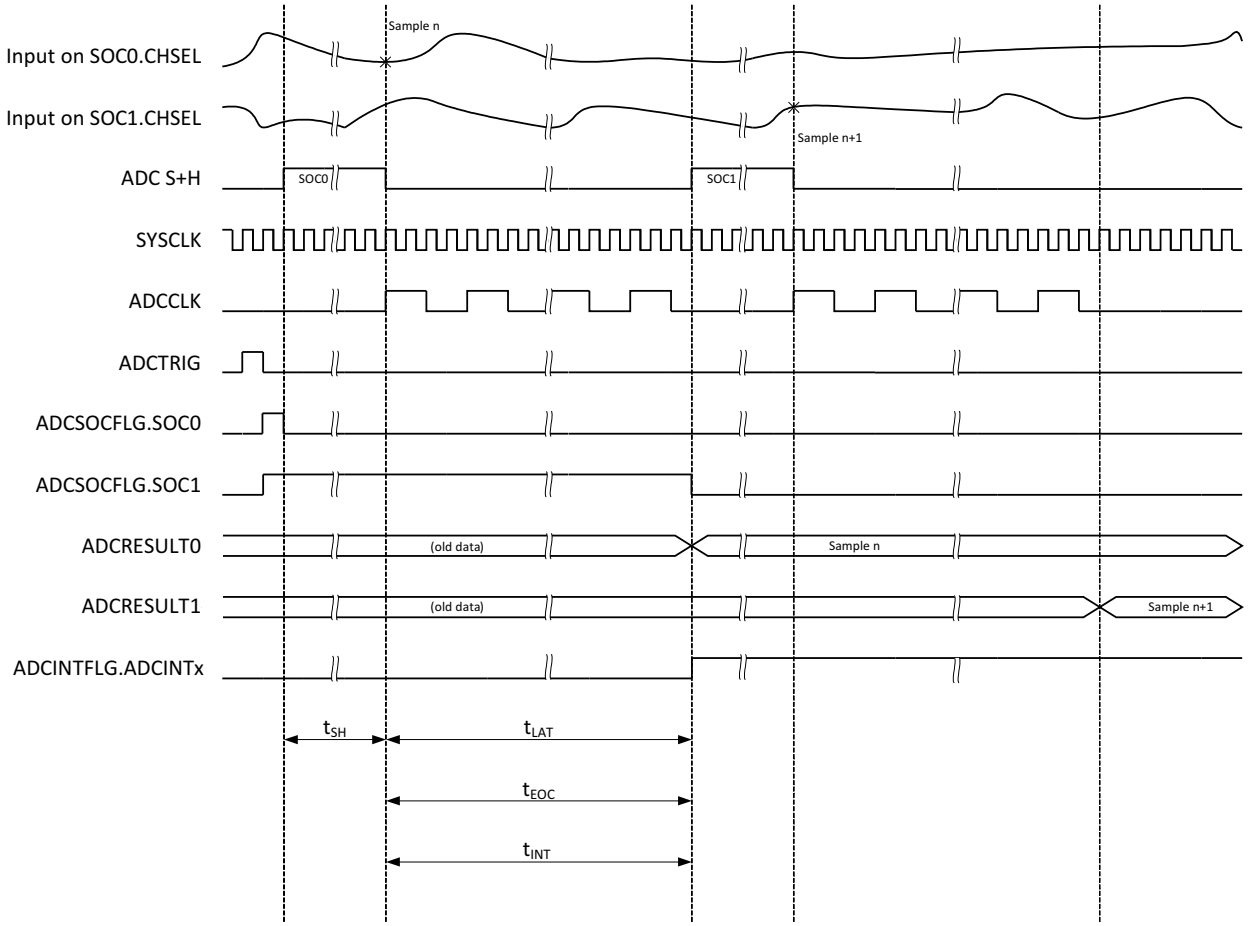


图 6-39. 16 位模式的 ADC 时序

6.9.1.3 温度传感器电气数据和时序

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过 TI 提供的软件转换为温度。在对温度传感器进行采样时，ADC 必须满足节 6.9.1.3.1 中的采集时间要求。

6.9.1.3.1 温度传感器电气特征

在推荐的工作条件下（除非另有说明）

参数	最小值	典型值	最大值	单位
温度精度		±15		°C
启动时间（TSNSCTL[ENABLE] 至采样温度传感器）		500		µs
ADC 采集时间	700			ns

Copyright © 2026 Texas Instruments Incorporated

6.9.2 比较器子系统 (CMPSS)

每个 CMPSS 模块包含两个比较器、两个内部电压基准 DAC (CMPSS DAC)、两个数字干扰滤波器和一个斜坡发生器。有两个输入，即 CMPINxP 和 CMPINxN。这些输入中的每个输入都将在内部连接到 ADCIN 引脚。CMPINxP 引脚始终连接到 CMPSS 比较器的正输入。CMPINxN 可以用来代替 DAC 输出来驱动负比较器输入。有两个比较器，因此 CMPSS 模块有两个输出，它们连接到数字滤波器模块的输入，然后传递到比较器 TRIP 交叉开关和 PWM 模块或直接连接到 GPIO 引脚。 图 6-40 显示了 176 引脚 PTP 封装上的 CMPSS 连接。

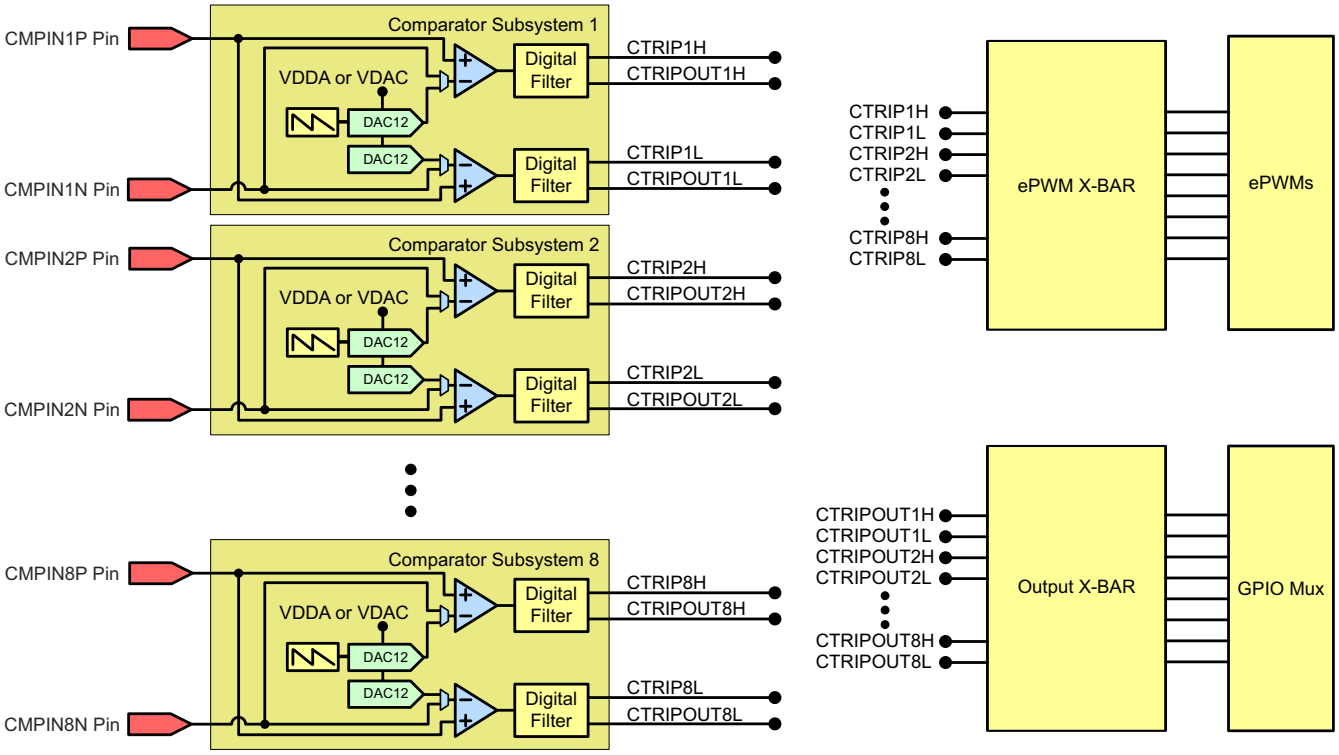


图 6-40. CMPSS 连接（176 引脚 PTP）

6.9.2.1 CMPSS 电气数据和时序

节 6.9.2.1.1 显示了比较器电气特征。图 6-41 显示了 CMPSS 比较器的以输入为基准的失调电压。图 6-42 显示了 CMPSS 比较器迟滞。

6.9.2.1.1 比较器电气特性

在建议运行条件下 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
上电时间				500(2)	µs
比较器输入 (CMPINxx) 范围		0		V_{DDA}	V
以输入为基准的失调电压误差	低共模，反相输入设置为 50 mV	-20		20	mV
迟滞(1)	1x	4	12	20	CMPSS DAC LSB
	2x	17	24	33	
	3x	25	36	50	
	4x	30	48	67	
响应时间 (从 CMPINx 输入更改到 ePWM X-BAR 输出或 X-BAR 输出的延迟)	阶跃响应		21	60	ns
	斜坡响应 (1.65 V/µs)		26		
	斜坡响应 (8.25mV/µs)		30		
电源抑制比 (PSRR)	高达 250kHz		46		dB
共模抑制比 (CMRR)		40			dB

(1) CMPSS DAC 用作确定应用多少迟滞的基准。因此，迟滞将随 CMPSS DAC 基准电压而变化。迟滞适用于所有比较器输入源配置。
(2) 请参阅 *TMS320F2837xD 双核实时 MCU 器件勘误表* 中的“模拟带隙基准”公告。

备注

CMPSS 输入必须保持低于 V_{DDA} + 0.3V，以确保正常工作。如果 CMPSS 输入超过此电平，内部阻塞电路将内部比较器与外部引脚隔离，直至外部引脚电压返回到 V_{DDA} + 0.3V 以下。在此期间，内部比较器输入将处于浮动状态，并能在大约 0.5µs 内衰减至 V_{DDA} 以下。在此之后，比较器可能会开始输出不正确的结果，具体取决于其他比较器输入的值。

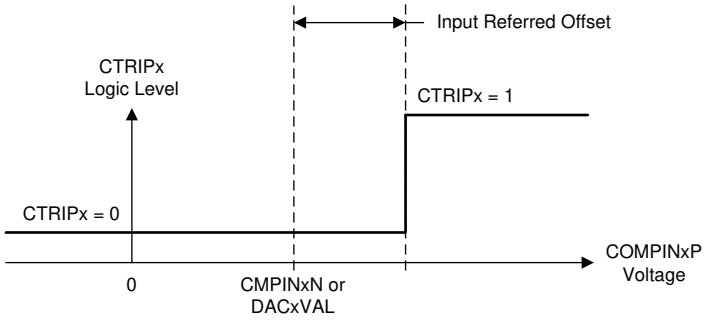


图 6-41. CMPSS 比较器以输入为基准的偏移量

Copyright © 2026 Texas Instruments Incorporated

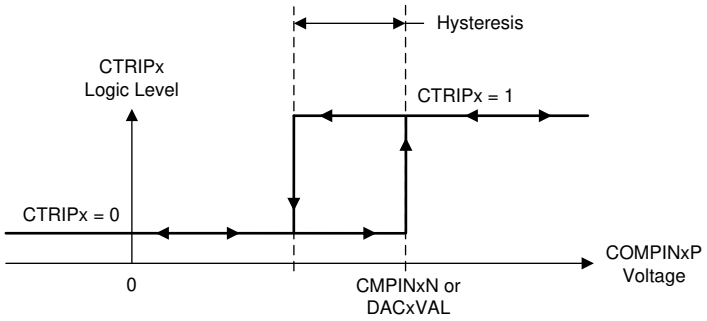


图 6-42. CMPSS 比较器迟滞

节 6.9.2.1.2 显示了 CMPSS DAC 静态电气特征。图 6-43 显示了 CMPSS DAC 静态偏移量。图 6-44 显示了 CMPSS DAC 静态增益。图 6-45 显示了 CMPSS DAC 静态线性。

6.9.2.1.2 CMPSS DAC 静态电气特性

在建议运行条件下 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部基准	0		V_{DDA} (1)	V
	外部基准	0		VDAC	
静态失调电压误差(2)		-25		25	mV
静态增益误差(2)		-2		2	FSR 百分比
静态 DNL	已更正端点	>-1		4	LSB
静态 INL	已更正端点	-16		16	LSB
趋稳时间	满量程输出变化后稳定到 1 LSB			1	µs
分辨率			12		位
CMPSS DAC 输出干扰(3)	由同一 CMPSS 模块内的比较器跳闸或 CMPSS DAC 代码更改引起的误差	-100		100	LSB
CMPSS DAC 干扰时间(3)			200		ns
VDAC 基准电压	当 VDAC 为基准时	2.4	2.5 或 3.0	V_{DDA}	V
VDAC 负载(4)	当 VDAC 为基准时		6		kΩ

(1) 当 VDAC > V_{DDA} 时，最大输出电压为 V_{DDA}。
(2) 包含以比较器输入为基准的误差。
(3) 在比较器跳闸后的一段时间内，CMPSS DAC 输出可能会出现干扰误差。
(4) 每个有源 CMPSS 模块。

Copyright © 2026 Texas Instruments Incorporated

备注

图未按比例绘制。

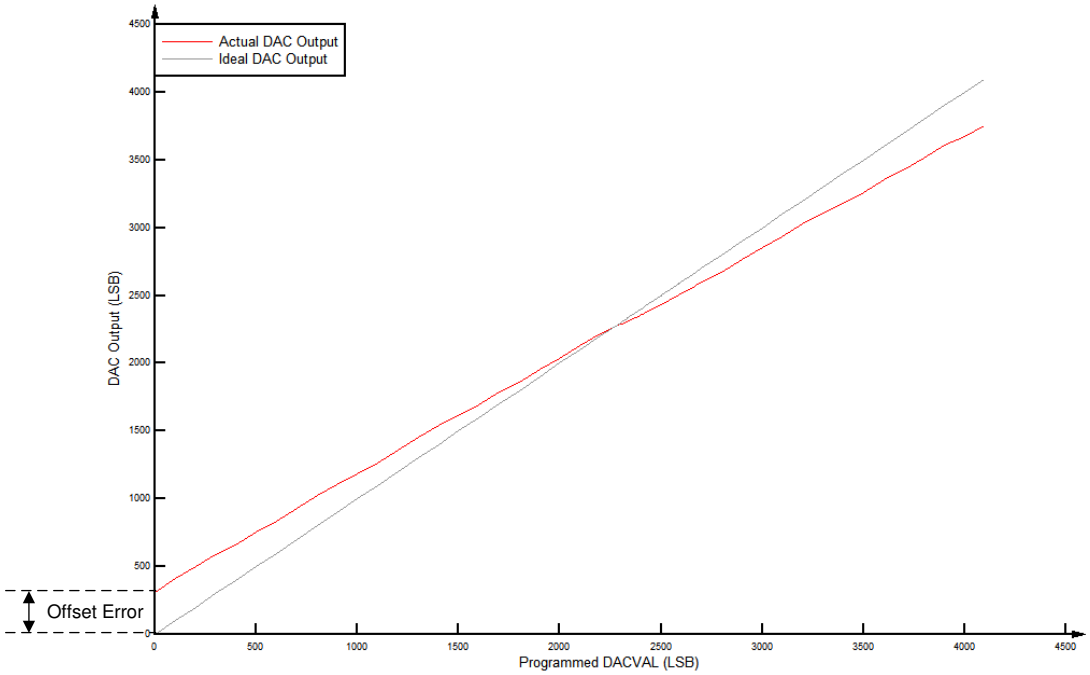


图 6-43. CMPSS DAC 静态偏移量

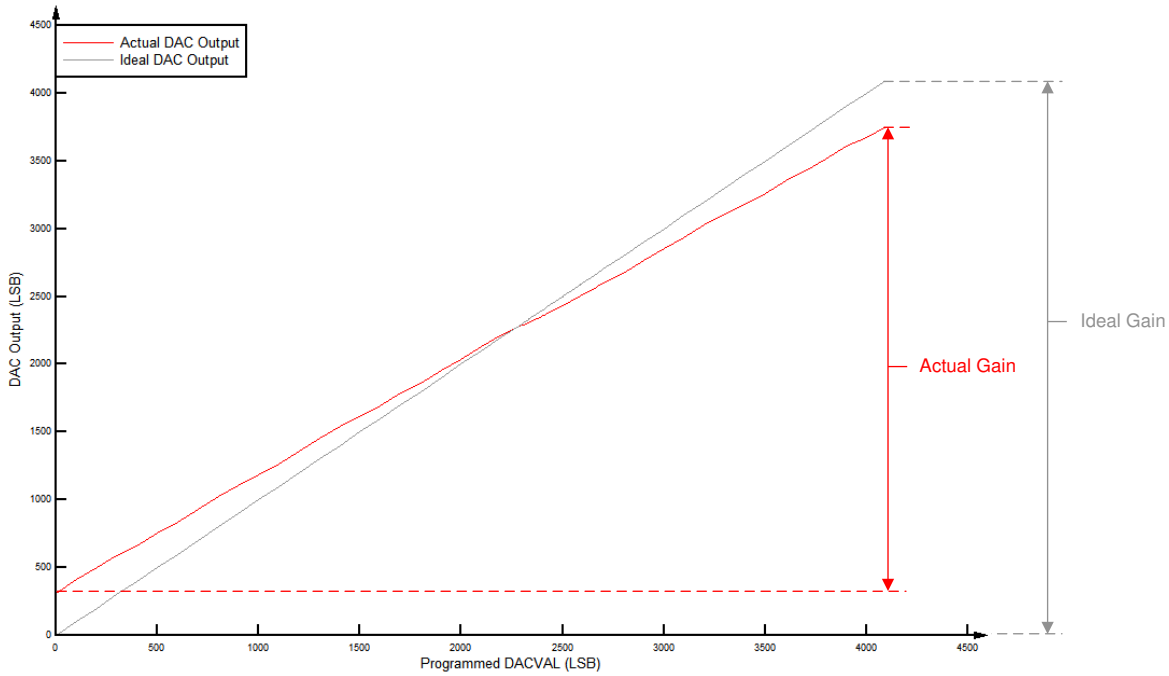


图 6-44. CMPSS DAC 静态增益

Copyright © 2026 Texas Instruments Incorporated

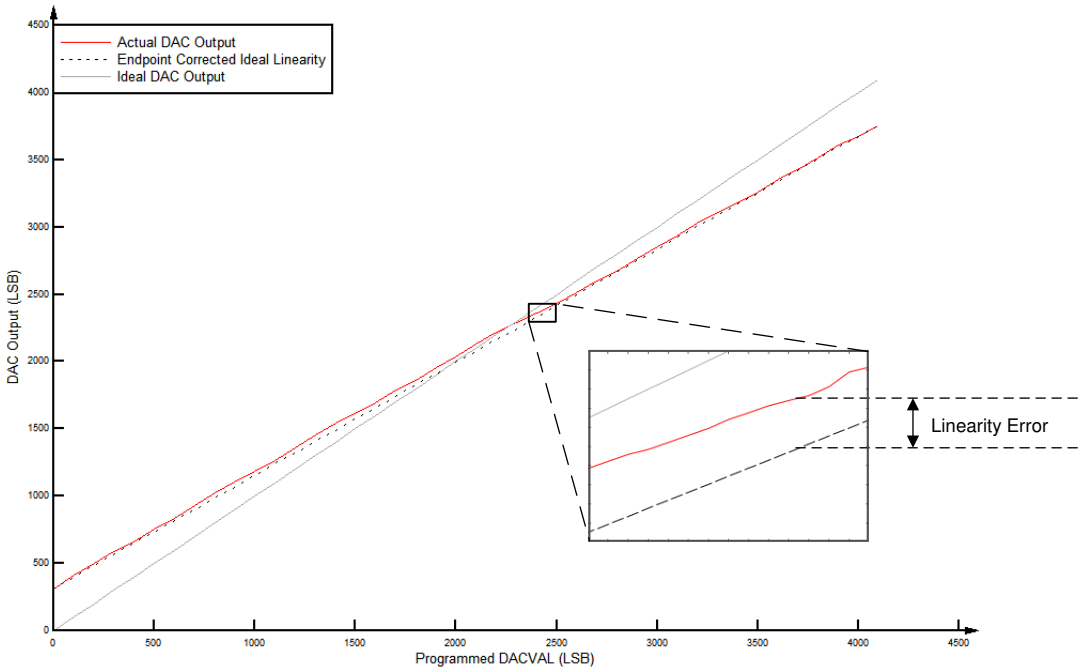


图 6-45. CMPSS DAC 静态线性

6.9.3 缓冲数模转换器 (DAC)

缓冲 DAC 模块由内部 12 位 DAC 和能够驱动外部负载的模拟输出缓冲器组成。DAC 输出上的集成下拉电阻器有助于在输出缓冲器被禁用时提供已知的引脚电压。该下拉电阻无法被禁用，并且仍然作为引脚上的无源元件，即使对于其他共享引脚复用功能也是如此。软件写入 DAC 值寄存器可以立即生效，也可以与 EPWMSYNCPER 事件同步。

每个缓冲 DAC 具有以下特性：

- 12 位可编程的内部 DAC
- 可选参考电压
- 输出端上的下拉电阻器
- 能够与 EPWMSYNCPER 同步

图 6-46 显示了缓冲 DAC 的方框图。

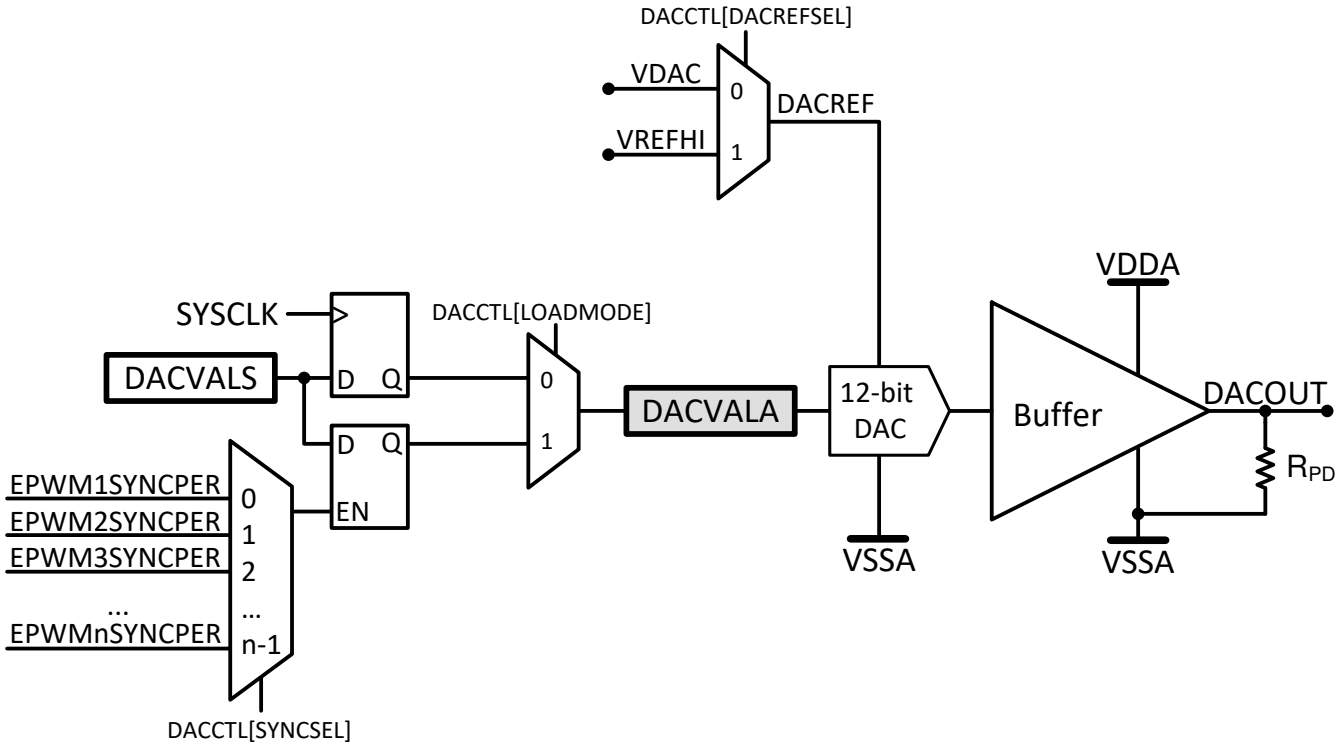


图 6-46. DAC 模块方框图

Copyright © 2026 Texas Instruments Incorporated

6.9.3.1 缓冲 DAC 电气数据和时序

节 6.9.3.1.1 显示了缓冲 DAC 电气特征。图 6-47 显示了缓冲 DAC 的失调电压。图 6-48 显示了缓冲 DAC 增益。图 6-49 显示了缓冲 DAC 线性。

6.9.3.1.1 缓冲 DAC 电气特性

在建议运行条件下（除非另有说明）(1)

参数	测试条件	最小值	典型值	最大值	单位
上电时间				500(8)	µs
偏移误差	中点	-10		10	mV
增益误差(2)		-2.5		2.5	FSR 百分比
DNL(3)	已更正端点	> -1	±0.4	1	LSB
INL	已更正端点	-5	±2	5	LSB
DACOUTx 趋稳时间	在 0.3V 至 3V 切换后稳定到 2LSB		2		µs
分辨率			12		位
电压输出范围(4)		0.3		V_{DDA} - 0.3	V
容性负载	输出驱动能力			100	pF
阻性负载	输出驱动能力	5			kΩ
R_{PD} 下拉电阻器			50		kΩ
基准电压(5)	VDAC 或 V_{REFHI}	2.4	2.5 或 3.0	V_{DDA}	V
基准输入电阻(6)	VDAC 或 V_{REFHI}		170		kΩ
输出噪声	从 100 Hz 到 100 kHz 的积分噪声		500		µVrms
	10 kHz 时的噪声密度		711		nVrms/ √Hz
短时脉冲波干扰能量			1.5		V-ns
PSRR(7)	高达 1kHz 的直流		70		dB
	100kHz		30		
SNR	1020Hz		67		dB
THD	1020Hz		-63		dB
SFDR	1020Hz，包括谐波和杂散		66		dBc
	1020Hz，仅包括杂散		104		

(1) 除非另有说明，否则典型值均在 V_{REFHI} = 3.3V 条件下测量。在 V_{REFHI} = 2.5V 的条件下对最小值和最大值进行测试或表征。
(2) 针对线性输出范围计算增益误差。
(3) DAC 输出是单调输出。
(4) 这是 DAC 的线性输出范围。DAC 可以产生此范围以外的电压，但由于缓冲器的原因，输出电压将不呈线性。
(5) 为获得最佳 PSRR 性能，VDAC 或 V_{REFHI} 应小于 V_{DDA}。
(6) 每个有源缓冲 DAC 模块。
(7) V_{REFHI} = 3.2V，V_{DDA} = 3.3V 直流 + 100mV 正弦。
(8) 请参阅 *TMS320F2837xD 双核实时 MCU 器件勘误表* 中的“模拟带隙基准”公告。

备注

VDAC 引脚必须保持低于 V_{DDA} + 0.3V，以确保正常工作。如果 VDAC 引脚超过此电平，可能会激活阻塞电路，并且 VDAC 的内部值可能会在内部浮动至 0V，从而导致 DAC 输出不正确。

Copyright © 2026 Texas Instruments Incorporated

备注

V_{REFHI} 引脚必须保持低于 V_{DDA} + 0.3V，以确保正常工作。如果 V_{REFHI} 引脚超过此电平，可能会激活阻塞电路，并且 V_{REFHI} 的内部值可能会在内部浮动至 0V，从而导致 ADC 转换或 DAC 输出不正确。

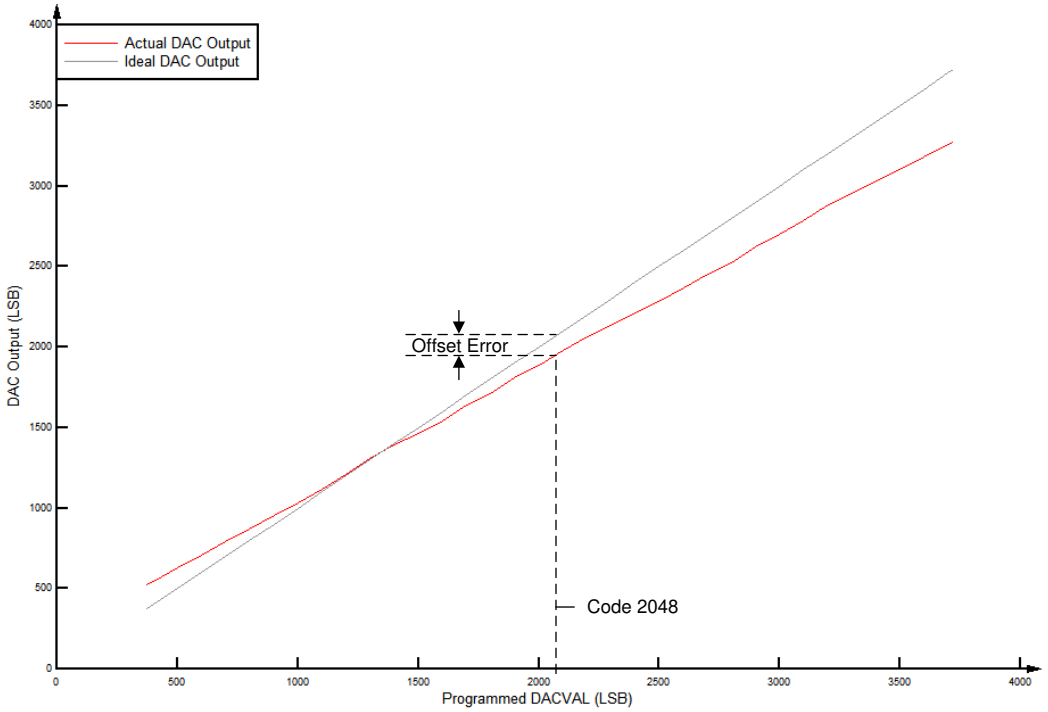


图 6-47. 缓冲 DAC 偏移

Copyright © 2026 Texas Instruments Incorporated

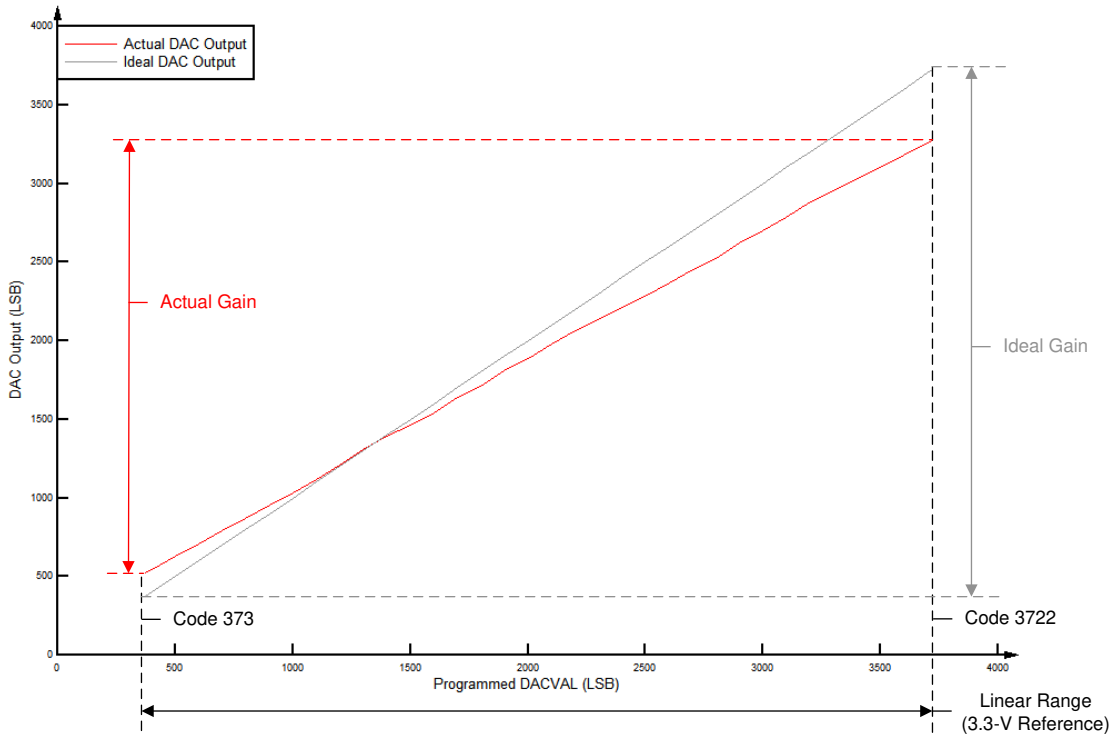


图 6-48. 缓冲 DAC 增益

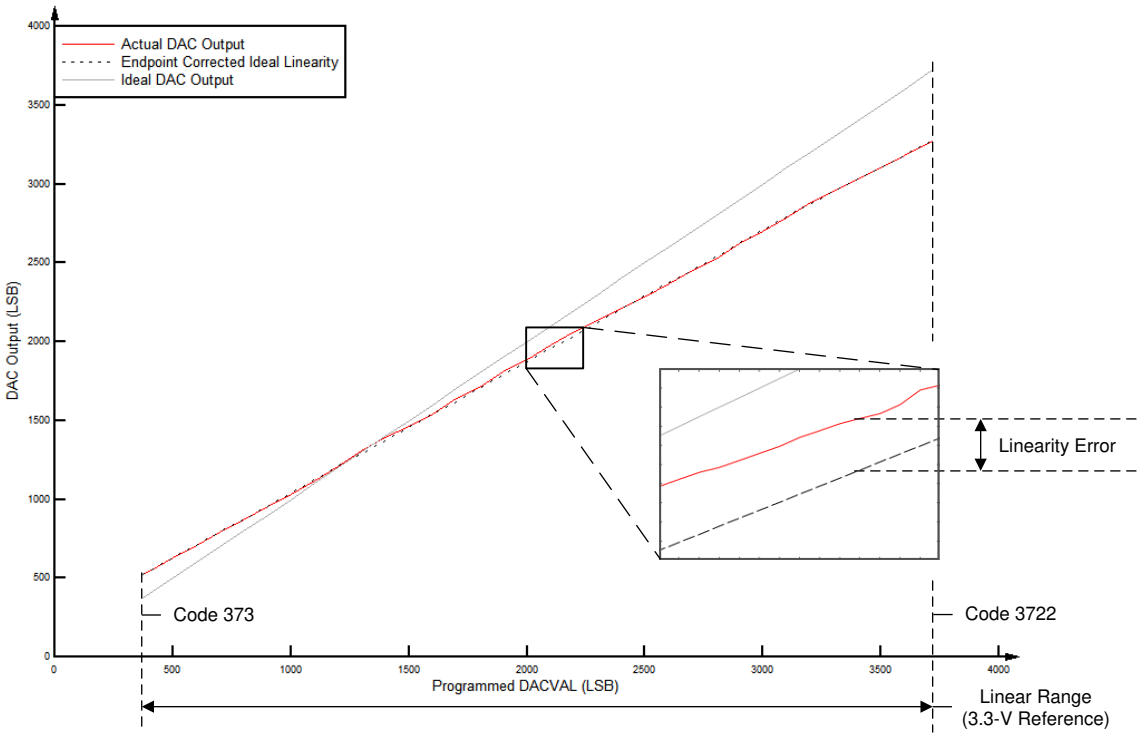


图 6-49. 缓冲 DAC 线性

6.9.3.2 CMPSS DAC 动态误差

当使用斜坡发生器控制内部 DAC 时，阶跃大小可以根据应用需求而变化。由于 DAC 的阶跃大小小于满量程转换，因此，稳定时间比 *CMPSS DAC 静态电气特性* 表 中列出的电气规格有所改善。下面的公式和图 6-50 可以根据不同的 RAMPxDECVALA 值，提供有关与理想值之间预期电压误差的指导。

$$DYNAMICERROR = (m \times RAMPxDECVALA) + b \quad (5)$$

表 6-14. DAC 最大动态误差项

公式参数	最小值 (LSB)	最大值 (LSB)
m	0.167	0.30
b	3.7	5.6

备注

上述误差项基于目标器件的最大 SYSCLK。如果在最大 SYSCLK 以下运行，则“m”误差项应相应调整。

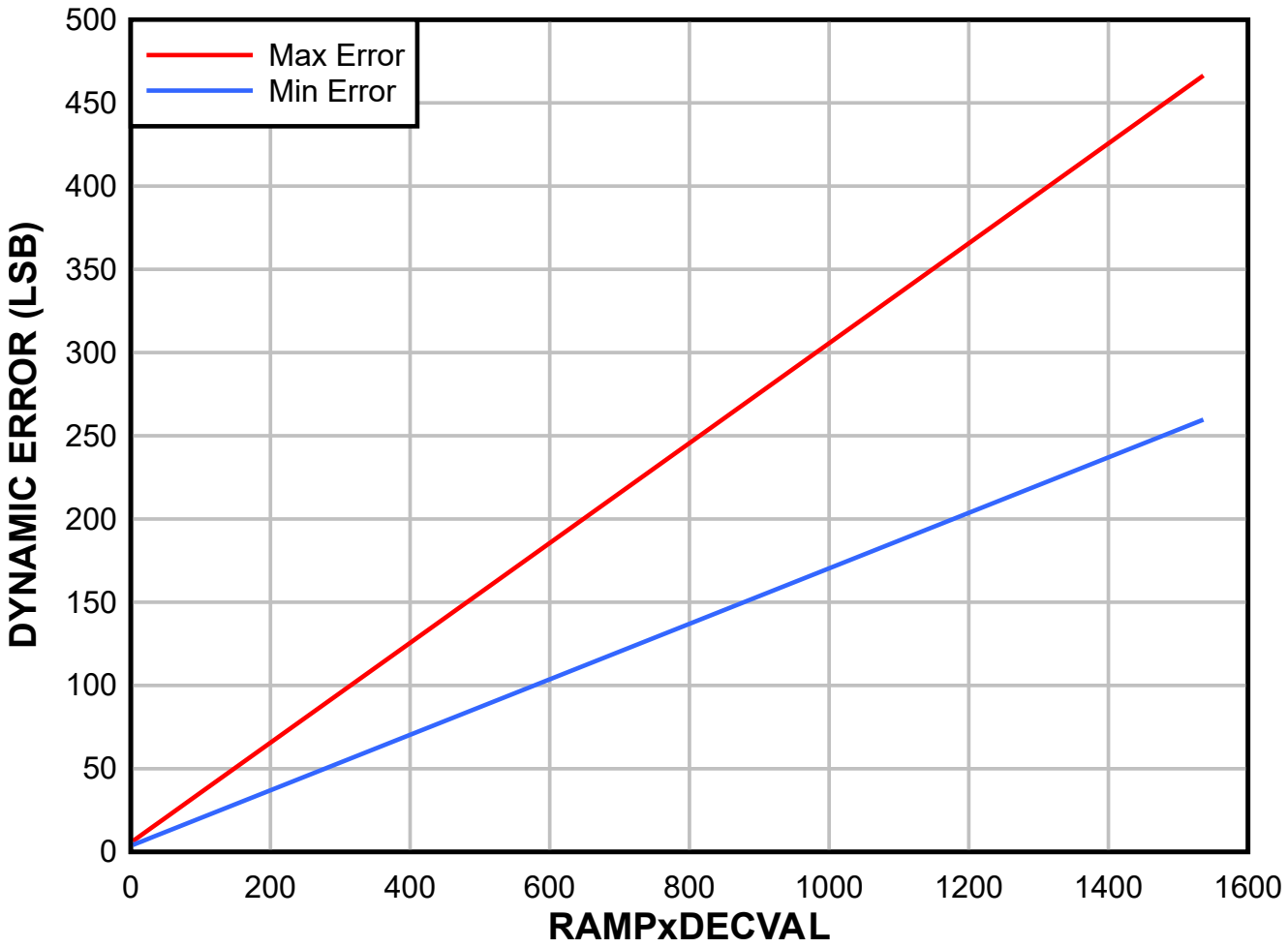


图 6-50. CMPSS DAC 动态误差

Copyright © 2026 Texas Instruments Incorporated

6.10 控制外设

备注

有关特定器件上每个外设的实际数量，请参阅*器件比较*表。

6.10.1 增强型采集 (eCAP)

eCAP 模块可用于对外部事件的准确计时很重要的系统中。

eCAP 的应用包含：

- 旋转机械的速度测量（例如，通过霍尔传感器感应齿状链轮）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

eCAP 模块包括以下特性：

- 4 事件时间戳寄存器（每个 32 位）
- 边缘极性选择，最多选择四个序列时间戳采集事件
- 对 4 个事件中的任何一个事件进行中断
- 单次采集多达 4 个事件时间戳
- 在四深循环缓冲器中连续模式采集时间戳
- 绝对时间戳采集
- 差分 (Δ) 模式时间戳采集
- 所有上述资源都专用于单个输入引脚
- 当未用于采集模式时，eCAP 模块可配置为单通道 PWM 输出 (APWM)。

eCAP 输入通过输入 X-BAR 连接到任何 GPIO 输入。APWM 输出通过指向 GPIO 多路复用器中 OUTPUTx 位置的输出 X-BAR 连接到 GPIO 引脚。请参阅节 5.4.2 和节 5.4.3。

图 6-51 显示了 eCAP 模块的方框图。

Copyright © 2026 Texas Instruments Incorporated

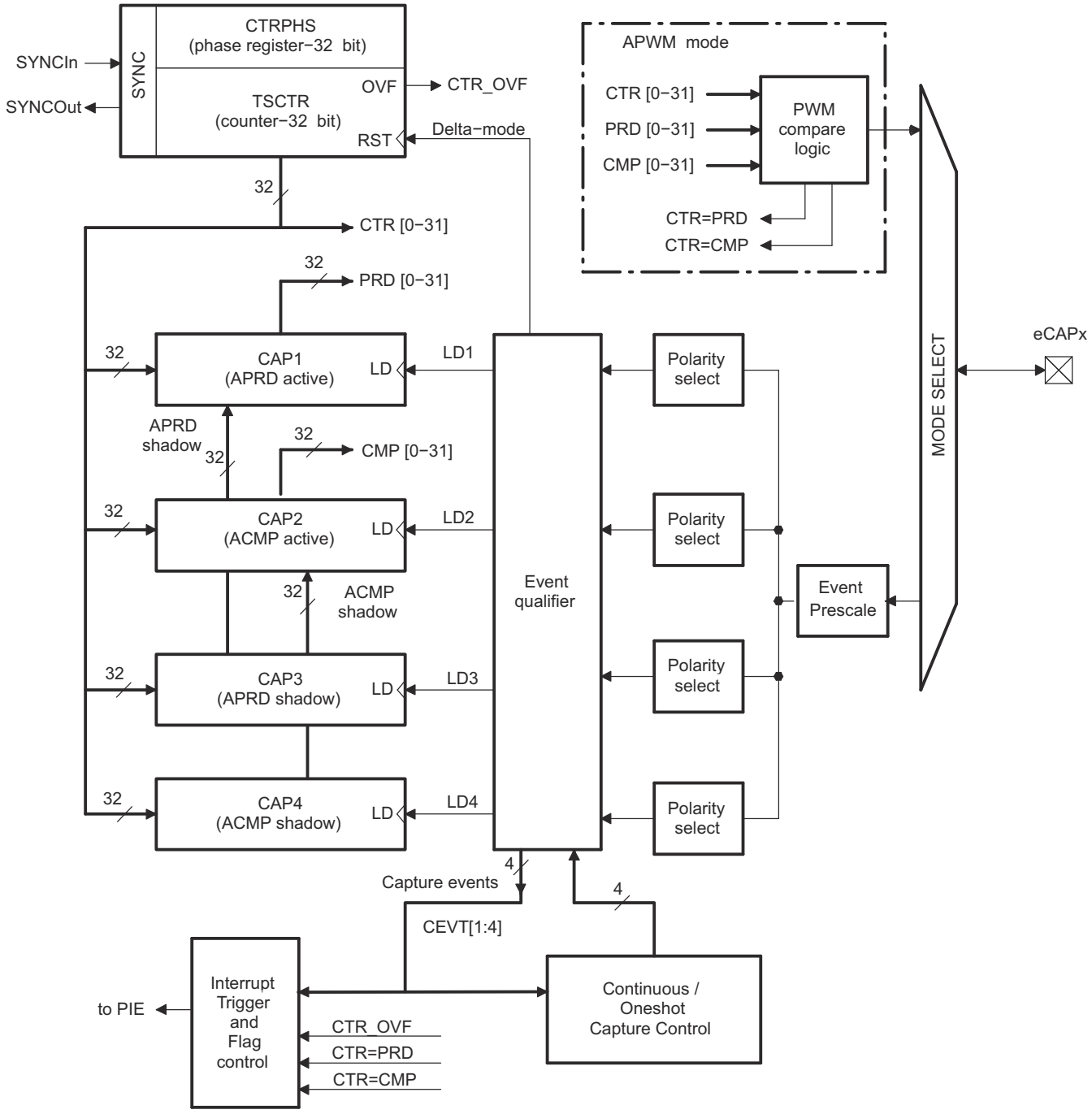


图 6-51. eCAP 方框图

eCAP 模块由 PERx.SYSCLK 计时。

PCLKCR3 寄存器中的时钟使能位 (ECAP1 – ECAP6) 单独关闭 eCAP 模块（以实现低功耗运行）。复位时，ECAP1ENCLK 设置为低电平，表明外设时钟已关闭。

Copyright © 2026 Texas Instruments Incorporated

6.10.1.1 eCAP 电气数据和时序

节 6.10.1.1.1 显示了 eCAP 时序要求，且节 6.10.1.1.2 显示了 eCAP 开关特征。

6.10.1.1.1 eCAP 时序要求

			最小值(1)	最大值	单位
$t_{w(CAP)}$	采集输入脉冲宽度	异步	$2t_{c(SYSCLK)}$		周期
		同步	$2t_{c(SYSCLK)}$		周期
		具有输入限定符	$1t_{c(SYSCLK)} + t_{w(IQSW)}$		周期

(1) 有关输入限定符参数的说明，请参阅节 6.8.8.2.1。

6.10.1.1.2 eCAP 开关特征

在推荐的工作条件下（除非另有说明）

参数		最小值	最大值	单位
$t_{w(APWM)}$	脉冲持续时间，APWMx 输出高电平/低电平	20		ns

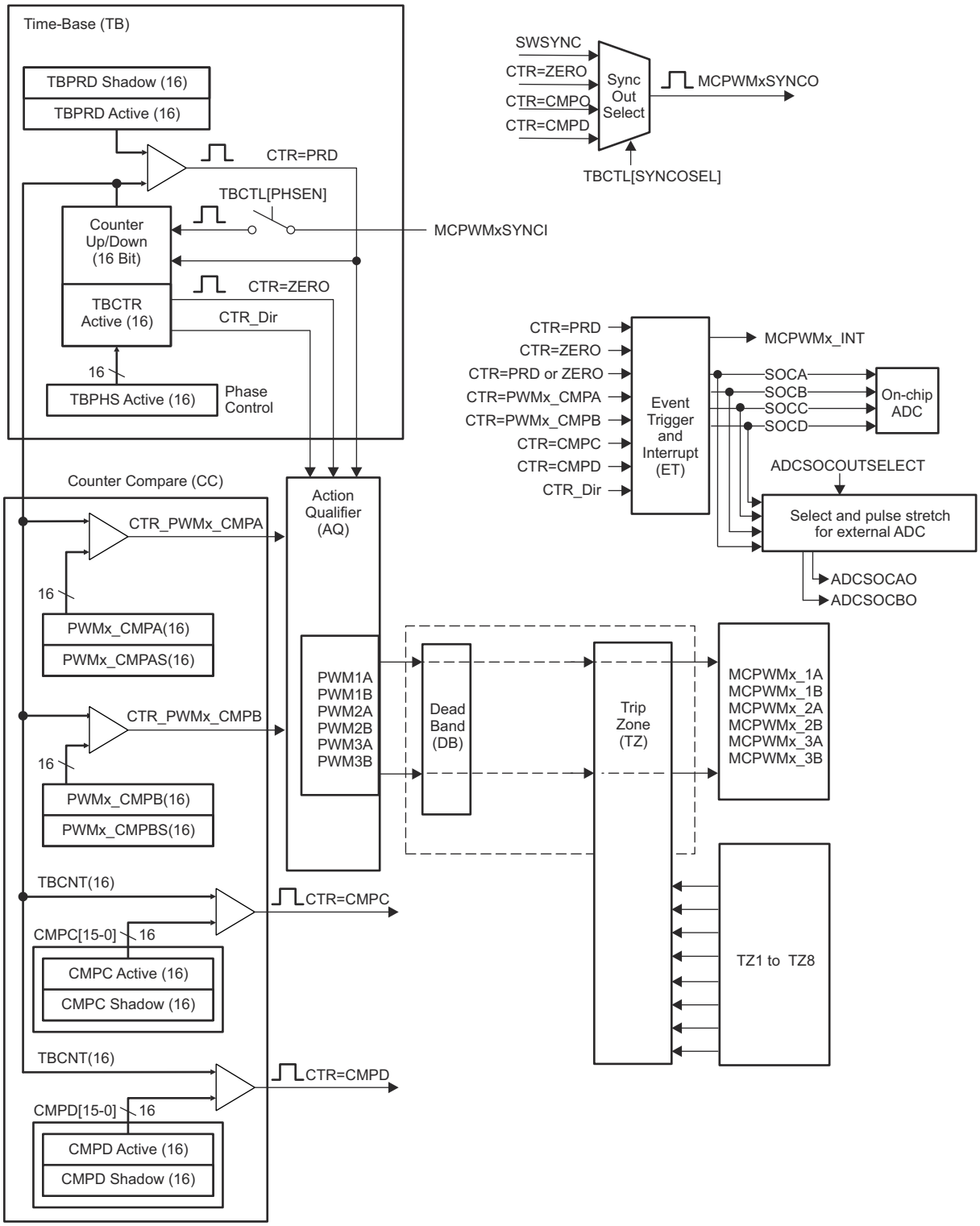
Copyright © 2026 Texas Instruments Incorporated

6.10.2 增强型脉宽调制器 (ePWM)

ePWM 外设是控制商业和工业设备中的许多电力电子系统的关键元件。通过从具有独立资源（这些独立资源可以一起运行形成一个系统）的较小模块构建外设，ePWM 4 类模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形。ePWM 4 类模块的一些亮点包括复杂波形生成、死区生成、灵活的同步方案、高级跳变区功能和全局寄存器重载功能。

图 6-52 显示了与 ePWM 的信号互连情况。图 6-53 展示了 ePWM 跳变输入连接。

Copyright © 2026 Texas Instruments Incorporated



A. 这些事件由 ePWM 数字比较 (DC) 子模块根据 TRIPIN 输入电平生成。

图 6-52. ePWM 子模块和关键内部信号互连

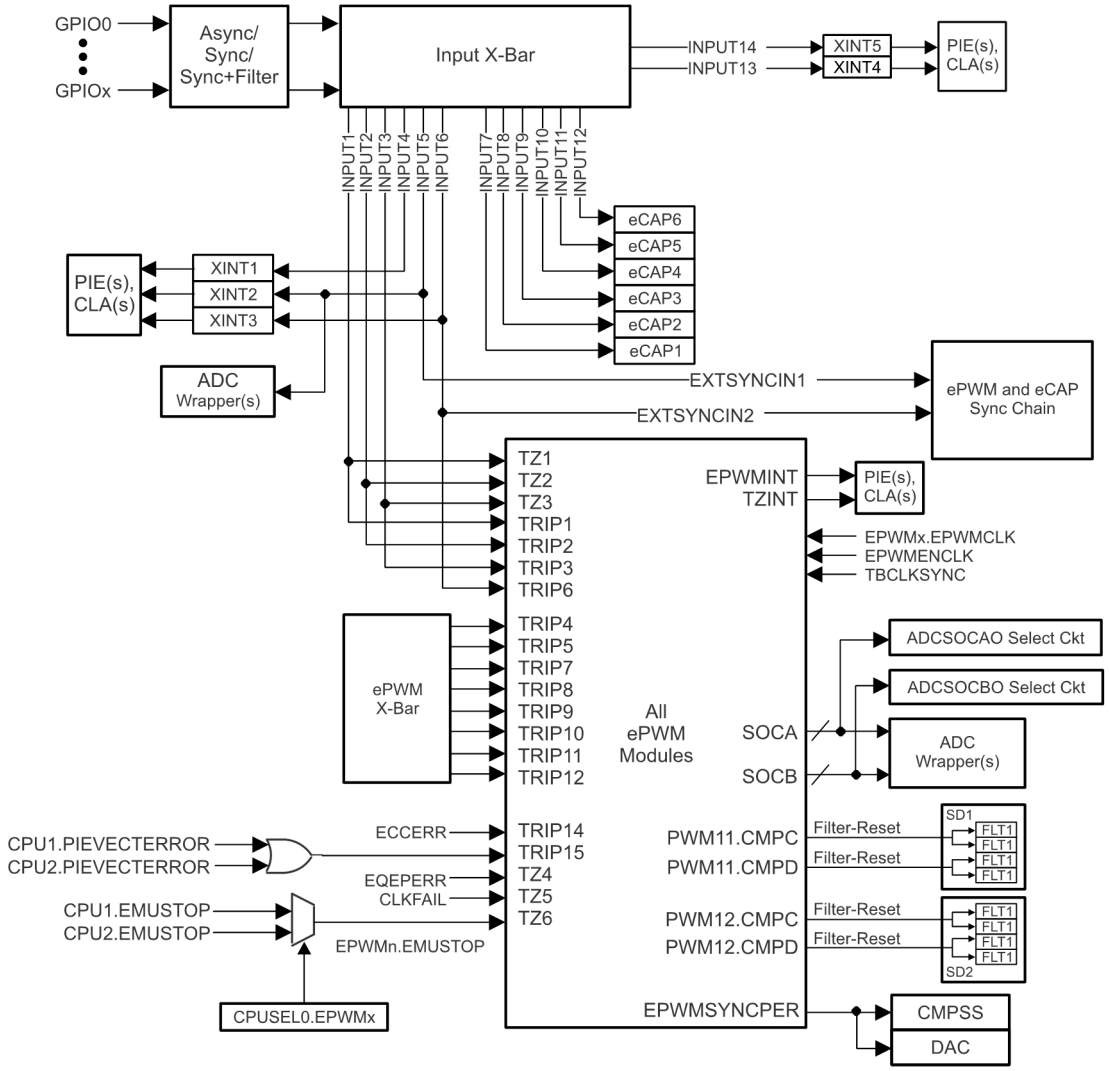


图 6-53. ePWM 跳变输入连接

Copyright © 2026 Texas Instruments Incorporated

6.10.2.1 控制外设同步

器件上的 ePWM 和 eCAP 同步链可在 CPU1 和 CPU2 之间灵活地划分 ePWM 和 eCAP 模块，并允许在属于同一 CPU 的模块内进行局部同步。与其他外设一样，需要使用 CPUSELx 寄存器对 ePWM 和 eCAP 模块进行分区。图 6-54 显示了同步链架构。

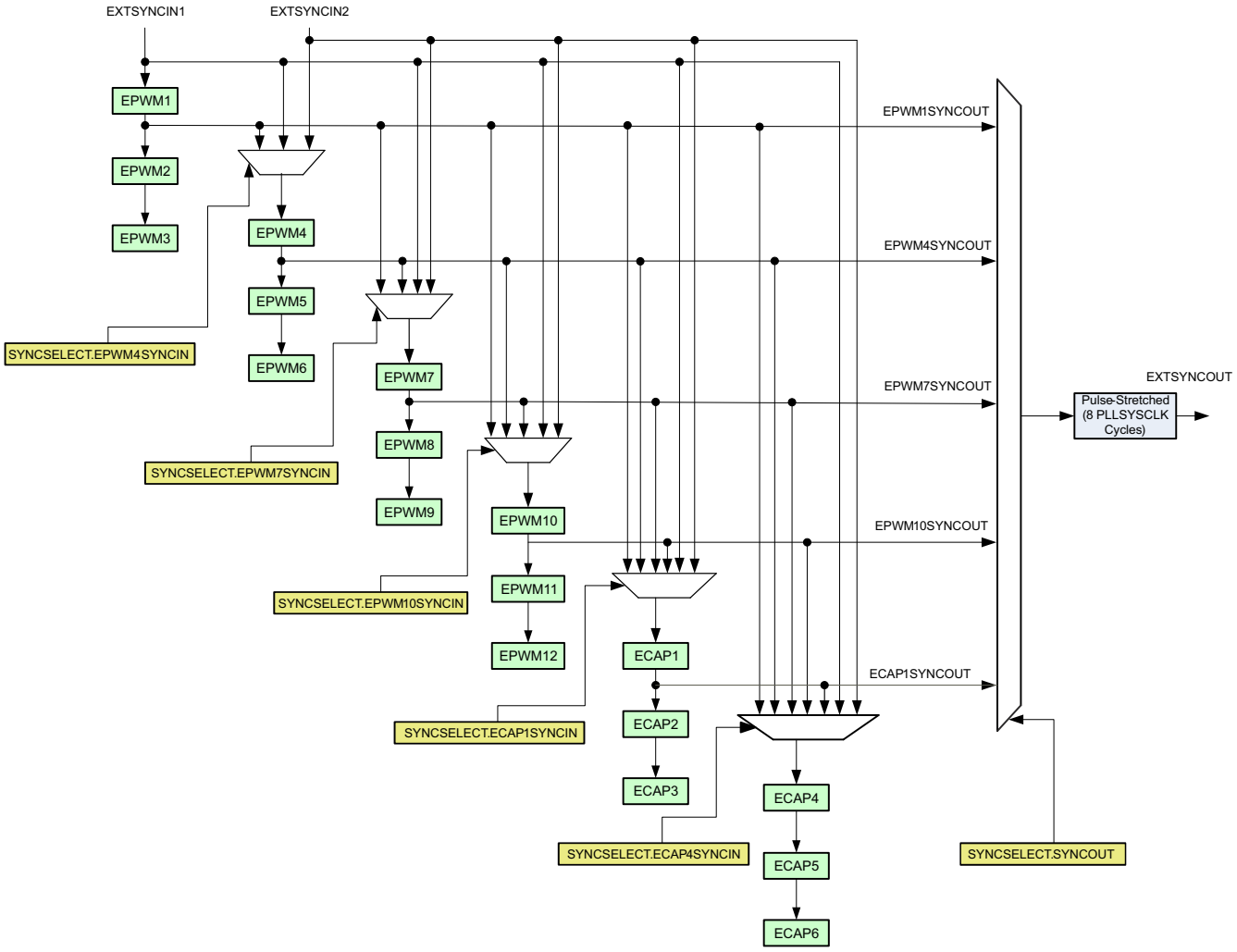


图 6-54. 同步链架构

6.10.2.2 ePWM 电气数据和时序

节 6.10.2.2.1 显示了 PWM 时序要求，且 节 6.10.2.2.2 显示了 PWM 开关特征。

6.10.2.2.1 ePWM 时序要求

			最小值(1)	最大值	单位
$f_{(EPWM)}$	频率，EPWMCLK(2)			100	MHz
$t_{w(SYNCIN)}$	同步输入脉冲宽度	异步	$2t_{c(EPWMCLK)}$		周期
		同步	$2t_{c(EPWMCLK)}$		周期
		带输入限定符	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		周期

(1) 有关输入限定符参数的说明，请参阅节 6.8.8.2.1。
(2) 对于 100MHz 以上的 SYSCLK，EPWMCLK 必须是 SYSCLK 的一半。

6.10.2.2.2 ePWM 开关特征

在推荐的工作条件下 (除非另有说明)

参数		最小值	最大值	单位
$t_{w(PWM)}$	脉冲持续时间，PWMx 输出高电平/低电平	20		ns
$t_{w(SYNCOUT)}$	同步输出脉冲宽度	$8t_{c(SYSCLK)}$		周期
$t_{d(TZ-PWM)}$	延迟时间，跳变输入激活到 PWM 强制高电平 延迟时间，跳变输入激活到 PWM 强制低电平 延迟时间，跳变输入激活到 PWM 高阻抗		25	ns

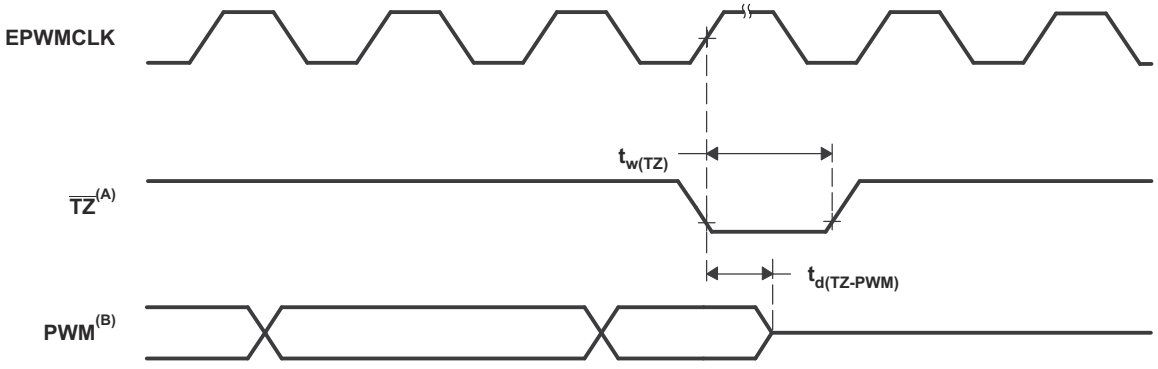
6.10.2.2.3 跳变区输入时序

节 6.10.2.2.3.1 显示了跳变区输入时序要求。图 6-55 显示了 PWM Hi-Z 特征。

6.10.2.2.3.1 跳变区输入时序要求

			最小值(1)	最大值	单位
$t_{w(TZ)}$	脉冲持续时间，$\overline{TZx}$ 输入低电平	异步	$1t_{c(EPWMCLK)}$		周期
		同步	$2t_{c(EPWMCLK)}$		周期
		带输入限定符	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		周期

(1) 有关输入限定符参数的说明，请参阅节 6.8.8.2.1。



A. $\overline{TZ}$: $\overline{TZ1}$、$\overline{TZ2}$、$\overline{TZ3}$、TRIP1 至 TRIP12
B. PWM 是指器件内的所有 PWM 引脚。$\overline{TZ}$ 置于高电平后 PWM 引脚的状态取决于 PWM 恢复软件。

图 6-55. PWM Hi-Z 特性

Copyright © 2026 Texas Instruments Incorporated

6.10.2.3 外部 ADC 转换启动电气数据和时序

节 6.10.2.3.1 显示了外部 ADC 转换启动开关特征。图 6-56 显示了 ADCSOCAO 或 ADCSOCBO 时序。

6.10.2.3.1 外部 ADC 转换启动开关特征

在推荐的工作条件下 (除非另有说明)

参数		最小值	最大值	单位
$t_{w(ADCSOCL)}$	脉冲持续时间，ADCSOCxO 低电平	$32t_{c(SYSCLK)}$		周期

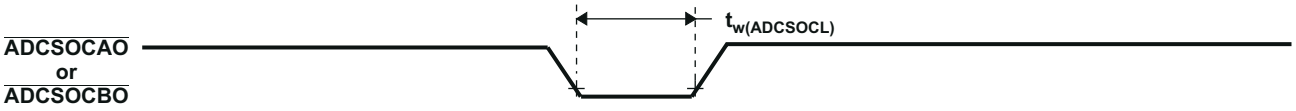


图 6-56. ADCSOCAO 或者 ADCSOCBO 时序

6.10.3 增强型正交编码器脉冲 (eQEP)

eQEP 模块直接与线性或旋转增量编码器相连，以便从高性能运动和位置控制系统中使用的旋转机器中获得位置、方向和速度信息。

每个 eQEP 外设都包含五个主要功能块：

- 正交采集单元 (QCAP)
- 位置计数器/控制单元 (PCCU)
- 正交解码器单元 (QDU)
- 用于速度和频率测量的单位时基 (UTIME)
- 用于检测失速的看门狗计时器 (QWDOG)

eQEP 外设由 PERx.SYSCLK 计时。图 6-57 显示了 eQEP 方框图。

Copyright © 2026 Texas Instruments Incorporated

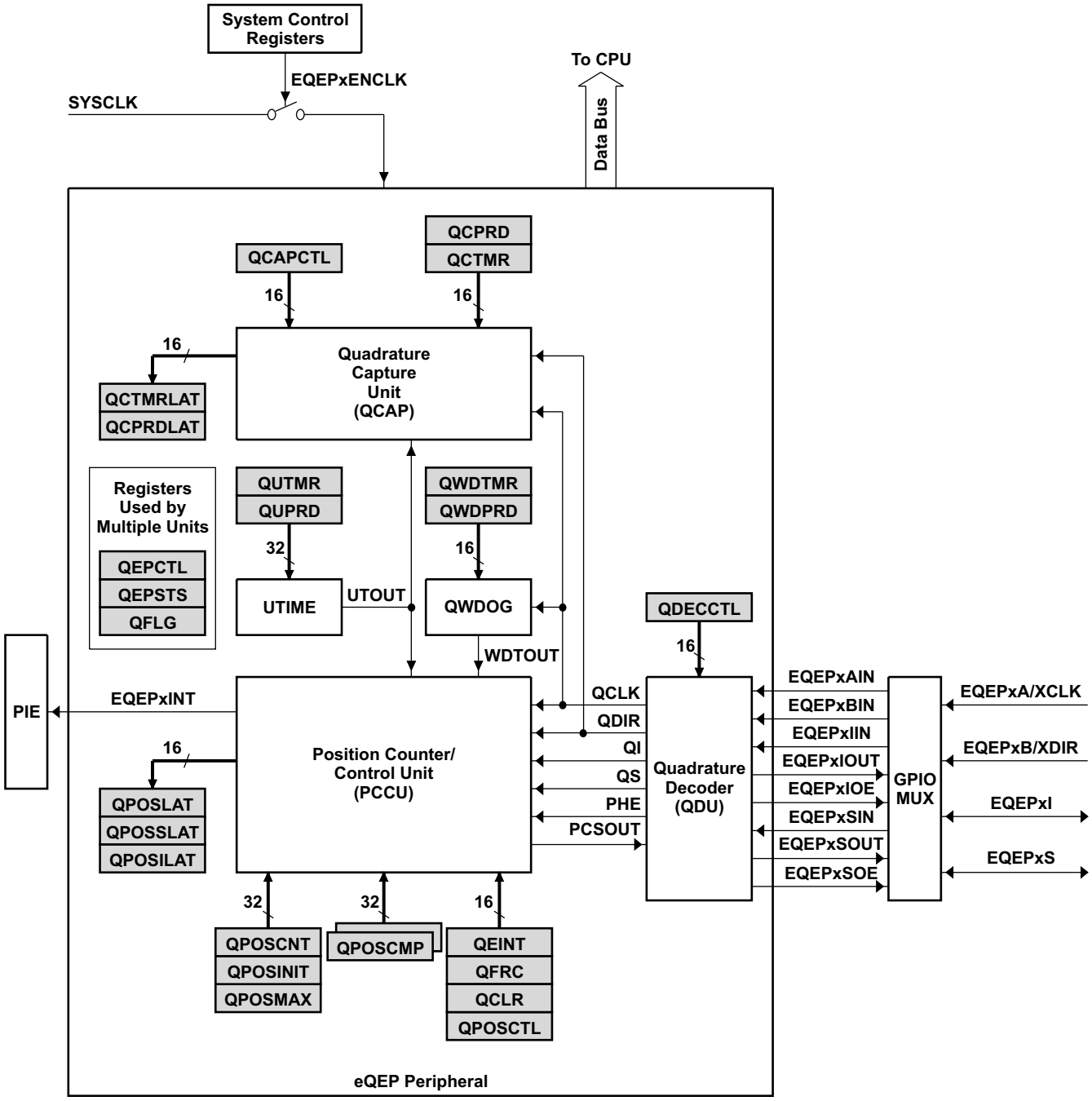


图 6-57. eQEP 方框图

6.10.3.1 eQEP 电气数据和时序

节 6.10.3.1.1 列出了 eQEP 时序要求，且 节 6.10.3.1.2 列出了 eQEP 开关特征。

6.10.3.1.1 eQEP 时序要求

			最小值(1) 最大值	单位
$t_{w(QEPP)}$	QEP 输入周期	异步(2)/同步	$2t_{c(SYSCLK)}$	周期
		带输入限定器	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$	周期
$t_{w(INDEXH)}$	QEP 索引输入高电平时间	异步(2)/同步	$2t_{c(SYSCLK)}$	周期
		带输入限定器	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	周期
$t_{w(INDEXL)}$	QEP 索引输入低电平时间	异步(2)/同步	$2t_{c(SYSCLK)}$	周期
		带输入限定器	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	周期
$t_{w(STROBH)}$	QEP 选通高电平时间	异步(2)/同步	$2t_{c(SYSCLK)}$	周期
		带输入限定器	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	周期
$t_{w(STROBL)}$	QEP 选通输入低电平时间	异步(2)/同步	$2t_{c(SYSCLK)}$	周期
		带输入限定器	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	周期

(1) 有关输入限定器参数的说明，请参阅节 6.8.8.2.1。
(2) 有关异步模式下的限制，请参阅 *TMS320F2837xD 双核实时 MCU 器件勘误表* 。

6.10.3.1.2 eQEP 开关特征

在推荐的工作条件下 (除非另有说明)

参数		最小值 最大值	单位
$t_{d(CNTR)xin}$	延迟时间，外部时钟到计数器增量	$4t_{c(SYSCLK)}$	周期
$t_{d(PCS-OUT)QEP}$	延迟时间，QEP 输入边沿到位置比较同步输出	$6t_{c(SYSCLK)}$	周期

Copyright © 2026 Texas Instruments Incorporated

6.10.4 高分辨率脉宽调制器 (HRPWM)

通过使用专用的校准延迟线路，HRPWM 在单个模块和简化的校准系统内结合了多条延迟线路。对于每个 ePWM 模块，都有两个 HR 输出：

- 通道 A 上的 HR 占空比和死区控制
- 通道 B 上的 HR 占空比和死区控制

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率明显优于使用传统数字 PWM 方法所能达到的分辨率。HRPWM 模块的关键点为：

- 大大扩展了传统导出数字 PWM 的时间分辨率能力
- 此功能可用于单边沿（占空比和相移控制）以及双边沿控制，以实现频率/周期调制。
- 通过对 ePWM 模块的比较 A、B、相位、周期和死区寄存器的扩展来控制更加精细的时间粒度控制或边沿定位。

备注

HRPWM 允许的最小 HRPWMCLK 频率为 60MHz。

6.10.4.1 HRPWM 电气数据和时序

节 6.10.4.1.1 列出了高分辨率 PWM 时序要求。节 6.10.4.1.2 列出了高分辨率 PWM 开关特征性。

6.10.4.1.1 高分辨率 PWM 时序要求

		最小值	最大值	单位
$f_{(EPWM)}$	频率，EPWMCLK(1)		100	MHz
$f_{(HRPWM)}$	频率，HRPWMCLK	60	100	MHz

(1) 对于 100MHz 以上的 SYSCLK，EPWMCLK 必须是 SYSCLK 的一半。

6.10.4.1.2 高分辨率 PWM 特征

参数	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长(1)		150	310	ps

(1) MEP 步长在高温和 V_{DD} 上的电压最小时最大。MEP 步长将随温度的升高和电压的下降而增加，并随温度的下降和电压的升高而减小。使用 HRPWM 特性的应用应该使用 MEP 比例因子优化器 (SFO) 估计软件功能。有关在最终应用中使用 SFO 功能的详细信息，请参阅 TI 软件库。SFO 功能有助于在 HRPWM 运行时动态估计每个 SYSCLK 周期的 MEP 步数。

Copyright © 2026 Texas Instruments Incorporated

6.10.5 Σ-Δ 滤波器模块 (SDFM)

SDFM 是一种四通道数字滤波器，专为电机控制应用中的电流测量和旋转变压器位置解码而设计。每个通道都可以接收独立的 Σ-Δ 调制位流。位流由四个独立可编程的数字抽取滤波器进行处理。该滤波器组包括快速比较器，用于过流和欠流监测进行即时数字阈值比较。图 6-58 展示了 SDFM 的方框图。

SDFM 的特性包含：

- 每个 SDFM 模块具有八个外部引脚：
  - 每个 SDFM 模块具有四个 Σ-Δ 数据输入引脚（SDx_Dy，其中 x = 1 至 2，y = 1 至 4）
  - 每个 SDFM 模块具有四个 Σ-Δ 时钟输入引脚（SDx_Cy，其中 x = 1 至 2，y = 1 至 4）
- 四种不同的可配置调制器时钟模式：
  - 调制器时钟速率等于调制器数据速率
  - 调制器时钟速率为调制器数据速率的一半
  - 调制器数据为曼彻斯特编码。不需要调制器时钟。
  - 调制器时钟速率为调制器数据速率的两倍
- 四个独立的可配置比较器单元：
  - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/Sincfast/Sinc3) 选项
  - 能够检测超值和低值条件
  - 比较器的比较器过采样率 (COSR) 值可从 1 至 32 编程
- 四个独立的可配置数据过滤单元：
  - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/Sincfast/Sinc3) 选项
  - 数据过滤单元的数据过滤过采样率 (DOSR) 值可从 1 至 256 编程
  - 能够启用或禁用独立的滤波器模块
  - 能够使用主滤波器使能 (MFE) 位或 PWM 信号同步 SDFM 模块的所有四个独立滤波器
- 过滤数据可以以 16 位或 32 位形式表示
- PWM 可用于为 Σ-Δ 调制器生成调制器时钟

Copyright © 2026 Texas Instruments Incorporated

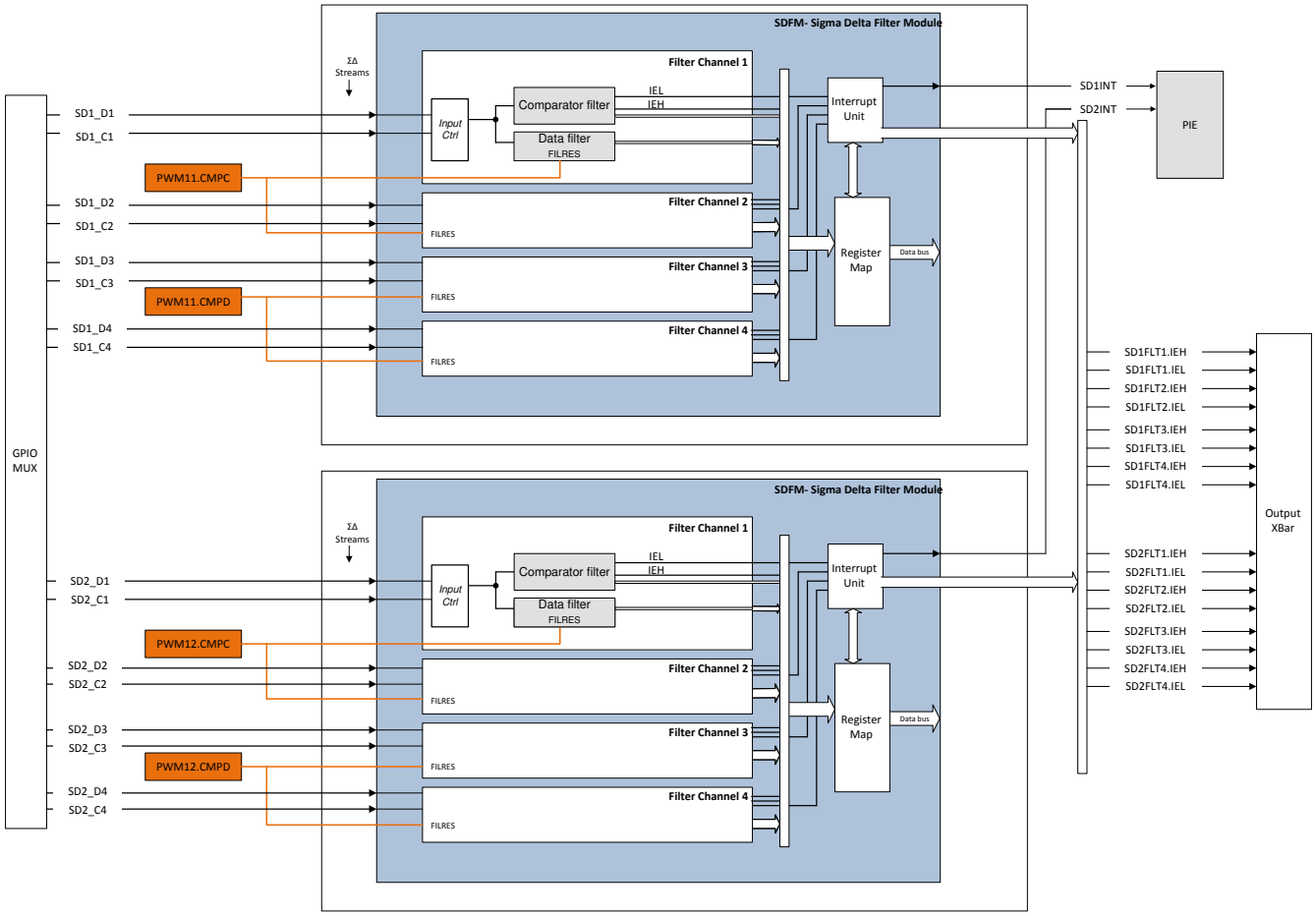


图 6-58. SDFM 方框图

6.10.5.1 SDFM 电气数据和时序（使用 ASYNC）

通过设置 GPyQSELn = 0b11 来定义具有异步 GPIO 的 SDFM 操作。节 6.10.5.1.1 列出了使用异步 GPIO (ASYNC) 选项时的 SDFM 时序要求。图 6-59 至图 6-62 显示了 SDFM 时序图。

6.10.5.1.1 使用异步 GPIO (ASYNC) 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
$t_{c(SDC)M0}$	周期时间，SDx_Cy	40	256 个 SYSCLK 周期	ns
$t_{w(SDCH)M0}$	脉冲持续时间，SDx_Cy 高电平	10	$t_{c(SDC)M0}$ – 10	ns
$t_{su(SDDV-SDCH)M0}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	5		ns
$t_{h(SDCH-SDD)M0}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	5		ns
模式 1				
$t_{c(SDC)M1}$	周期时间，SDx_Cy	80	256 个 SYSCLK 周期	ns
$t_{w(SDCH)M1}$	脉冲持续时间，SDx_Cy 高电平	10	$t_{c(SDC)M1}$ – 10	ns
$t_{su(SDDV-SDCL)M1}$	SDx_Cy 变为低电平之前 SDx_Dy 有效的设置时间	5		ns
$t_{su(SDDV-SDCH)M1}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	5		ns
$t_{h(SDCL-SDD)M1}$	SDx_Cy 变为低电平之后 SDx_Dy 等待的保持时间	5		ns
$t_{h(SDCH-SDD)M1}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	5		ns
模式 2				
$t_{c(SDD)M2}$	周期时间，SDx_Dy	8 个 $t_{c(SYSCLK)}$	20 个 $t_{c(SYSCLK)}$	ns
$t_{w(SDDH)M2}$	脉冲持续时间，SDx_Dy 高电平	10		ns
$t_{w(SDD_LONG_KEEPOUT)M2}$	SDx_Dy 长脉冲持续保留时间，其中长脉冲不得落入所列出的最小值或最大值内。 长脉冲被定义为高或低脉冲，其是曼彻斯特位时钟周期的完整宽度。 对于 8 到 20 之间的任何整数，都必须满足此要求。	(N * $t_{c(SYSCLK)}$) – 0.5	(N * $t_{c(SYSCLK)}$) + 0.5	ns
$t_{w(SDD_SHORT)M2}$	用于高或低脉冲的 SDx_Dy 短脉冲持续时间（SDD_SHORT_H 或 SDD_SHORT_L）。 短脉冲定义为高或低脉冲，其是曼彻斯特位时钟周期的一半宽度。	$t_{w(SDD_LONG)}$/2 – $t_{c(SYSCLK)}$	$t_{w(SDD_LONG)}$/2 + $t_{c(SYSCLK)}$	ns
$t_{w(SDD_LONG_DUTY)M2}$	SDx_Dy 长脉冲变化 (SDD_LONG_H – SDD_LONG_L)	– $t_{c(SYSCLK)}$	$t_{c(SYSCLK)}$	ns
$t_{w(SDD_SHORT_DUTY)M2}$	SDx_Dy 短脉冲变化 (SDD_SHORT_H – SDD_SHORT_L)	– $t_{c(SYSCLK)}$	$t_{c(SYSCLK)}$	ns
模式 3				
$t_{c(SDC)M3}$	周期时间，SDx_Cy	40	256 个 SYSCLK 周期	ns
$t_{w(SDCH)M3}$	脉冲持续时间，SDx_Cy 高电平	10	$t_{c(SDC)M3}$ – 5	ns
$t_{su(SDDV-SDCH)M3}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	5		ns
$t_{h(SDCH-SDD)M3}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	5		ns

Copyright © 2026 Texas Instruments Incorporated

警告

当没有 GPIO 输入同步时，SDFM 时钟输入（SDx_Cy 引脚）直接对 SDFM 模块进行计时。这些输入端的任何干扰或振铃噪声都会破坏 SDFM 模块的运行。应对这些信号采取特殊的预防措施，以确保满足 SDFM 时序要求的干净且无噪声的信号。建议采取预防措施，例如对时钟驱动器的任何阻抗不匹配而导致的振铃进行串联终止，以及将走线与其他噪声信号隔离开来。

警告

请参阅 *TMS320F2837xD 双核实时 MCU 芯片勘误表* 中的“SDFM：曼彻斯特模式（模式 2）在一些条件下不能产生正确的滤除结果”公告。

Copyright © 2026 Texas Instruments Incorporated

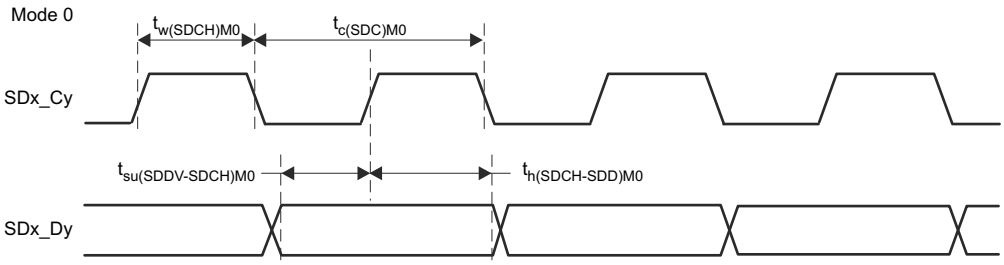


图 6-59. SDFM 时序图 - 模式 0

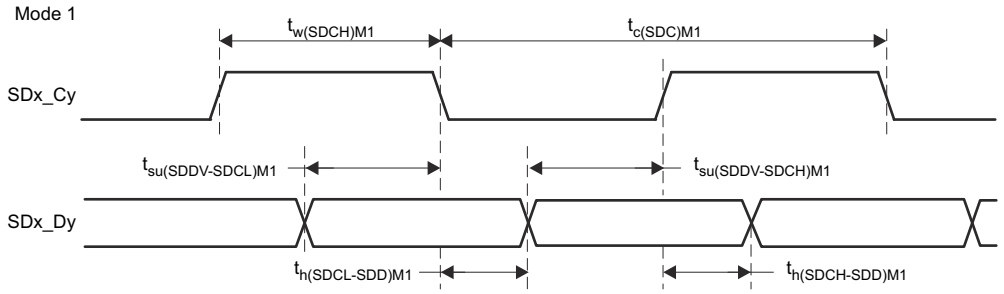


图 6-60. SDFM 时序图 - 模式 1

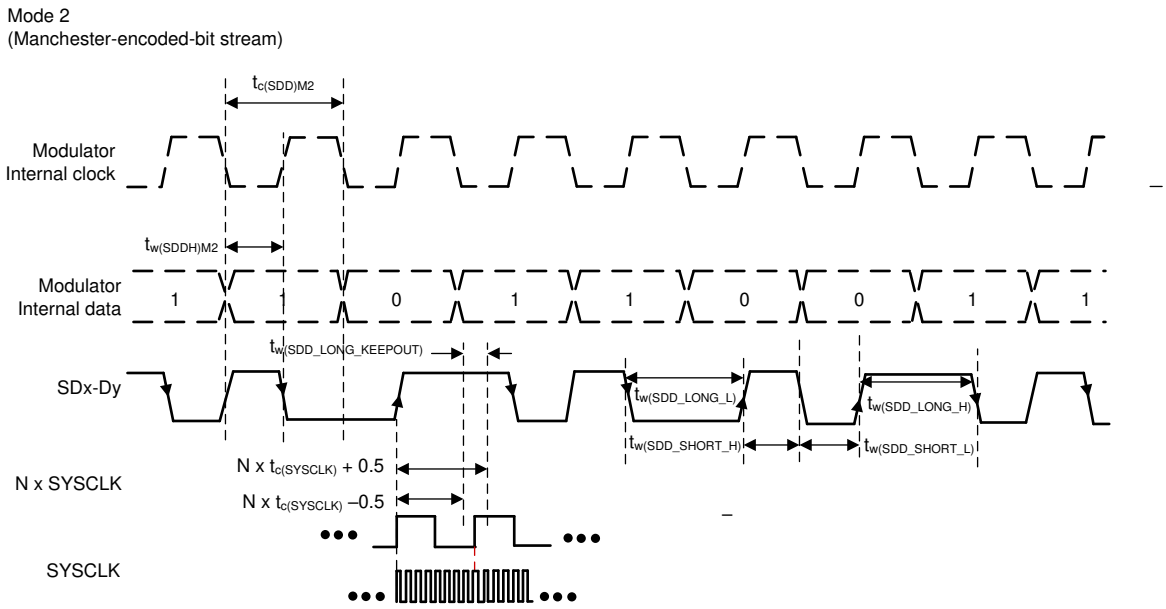


图 6-61. SDFM 时序图 - 模式 2

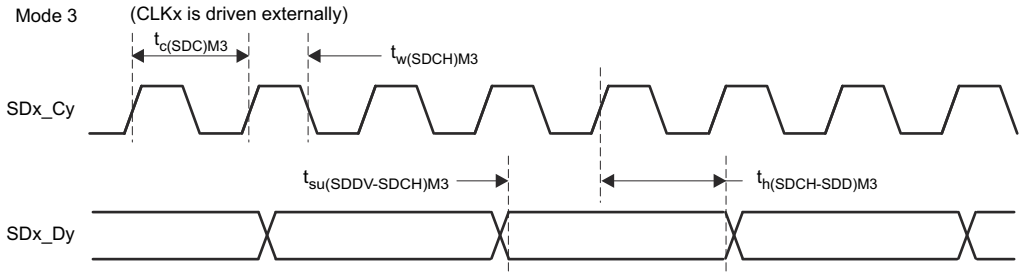


图 6-62. SDFM 时序图 - 模式 3

Copyright © 2026 Texas Instruments Incorporated

6.10.5.2 SDFM 电气数据和时序（使用 3 样片 GPIO 输入限定）：

通过设置 GPyQSELn = 0b01 来定义使用具有限定 GPIO（3 样本窗口）的 SDFM 操作。使用这种限定 GPIO（3 样本窗口）模式时，必须满足 $2t_{c(SYSCLK)}$ 的 $t_{w(GPI)}$ 脉冲持续时间的时序要求。为 SD-Cx 和 SD-Dx 对配置相同的 GPIO 限定选项非常重要。节 6.10.5.2.1 列出了使用 GPIO 输入限定（3 样本窗口）选项时的 SDFM 时序要求。图 6-59 至图 6-62 显示了 SDFM 时序图。

6.10.5.2.1 使用 GPIO 输入限定（3 样本窗口）选项时的 SDFM 时序要求

		最小值(1)	最大值	单位
模式 0				
$t_{c(SDC)M0}$	周期时间，SDx_Cy	10 个 SYSCLK 周期	256 个 SYSCLK 周期	ns
$t_{w(SDCHL)M0}$	脉冲持续时间，SDx_Cy 高电平/低电平	4 个 SYSCLK 周期	6 个 SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	脉冲持续时间，SDx_Dy 高电平/低电平	4 个 SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M0}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2 个 SYSCLK 周期		ns
$t_{h(SDCH-SDD)M0}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期		ns
模式 1				
$t_{c(SDC)M1}$	周期时间，SDx_Cy	20 个 SYSCLK 周期	256 个 SYSCLK 周期	ns
$t_{w(SDCH)M1}$	脉冲持续时间，SDx_Cy 高电平	4 个 SYSCLK 周期	6 个 SYSCLK 周期	ns
$t_{w(SDDHL)M1}$	脉冲持续时间，SDx_Dy 高电平/低电平	4 个 SYSCLK 周期		ns
$t_{su(SDDV-SDCL)M1}$	SDx_Cy 变为低电平之前 SDx_Dy 有效的设置时间	2 个 SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M1}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2 个 SYSCLK 周期		ns
$t_{h(SDCL-SDD)M1}$	SDx_Cy 变为低电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期		ns
$t_{h(SDCH-SDD)M1}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期		ns
模式 2				
$t_{c(SDD)M2}$	周期时间，SDx_Dy	选项不可用		
$t_{w(SDDH)M2}$	脉冲持续时间，SDx_Dy 高电平			
模式 3				
$t_{c(SDC)M3}$	周期时间，SDx_Cy	10 个 SYSCLK 周期	256 个 SYSCLK 周期	ns
$t_{w(SDCHL)M3}$	脉冲持续时间，SDx_Cy 高电平	4 个 SYSCLK 周期	6 个 SYSCLK 周期	ns
$t_{w(SDDHL)M3}$	脉冲持续时间，SDx_Dy 高电平/低电平	4 个 SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M3}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2 个 SYSCLK 周期		ns
$t_{h(SDCH-SDD)M3}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期		ns

(1) 仅当 GPIO 输入限定类型为 3 样片窗口（GPyQSELx = 1，QUALPRD = 0）选项时，SDFM 时序要求才适用。重要的是，SD-Cx 和 SD-Dx 对都配置有 3 样片窗口选项。

备注

SDFM 限定的 GPIO（3 样片）模式防止 SDFM 模块因 SDx_Cy 引脚上偶尔随机产生的噪声干扰而损坏，这些噪声可能导致比较器误跳变和滤波器输出。有关更多详细信息，请参考 *TMS320F2837xD 双核实时 MCU 器件勘误表* 中“SDFM：在嘈杂条件下使用 SDFM 时需谨慎”使用说明。

SDFM 限定的 GPIO（3 样片）模式对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

Copyright © 2026 Texas Instruments Incorporated

6.11 通信外设

备注

有关特定器件上每个外设的实际数量，请参阅*器件比较*表。

6.11.1 控制器局域网络 (CAN)

CAN 模块根据 ISO 11898-1 执行 CAN 协议通信（与 Bosch® CAN 协议规范 2.0 A、B 相同）。比特率可以编程为最大 1Mbps 的值。与物理层（CAN 总线）的连接需要一个 CAN 收发器芯片。

对于 CAN 网络上的通信，可以配置单独的消息对象。消息对象和标识符掩码存储在消息 RAM 中。

所有与消息处理有关的功能均在消息处理器内实现。这些功能为：接收滤波；CAN 内核和消息 RAM 之间的消息传输；以及处理传输请求。

CPU 可以通过模块接口直接访问 CAN 的寄存器组。这些寄存器用于控制和配置 CAN 内核和消息处理程序，以及访问消息 RAM。

CAN 模块实现下列特性：

- 符合 ISO11898-1（Bosch® CAN 协议规范 2.0 A 和 B）
- 最高 1Mbps 的比特率
- 多个时钟源
- 32 个消息对象（“消息对象”在本文档中也称为“邮箱”；这两个术语可以互换使用），每个对象都具有以下属性：
  - 可配置为接收或者发送
  - 可配置标准（11 位）或扩展（29 位）标识符
  - 支持可编程标识符接收掩码
  - 支持数据和远程帧
  - 保留 0 到 8 个字节的数据
  - 奇偶校验配置和数据 RAM
- 每个消息对象的单独标识符掩码
- 消息对象的可编程 FIFO 模式
- 自测试工作的可编程回路模式
- 调试支持的挂起模式
- 软件模块复位
- 由可编程 32 位计时器在总线关闭后自动开启总线
- 消息 RAM 奇偶校验机制
- 2 条中断线路

备注

对于 200MHz 的 CAN 位时钟，最小比特率可能为 7.8125kbps。

备注

根据所使用的时序设置，片上零引脚振荡器的精度（在数据手册中指定）可能无法满足 CAN 协议的要求。在这种情况下，必须使用外部时钟源。

图 6-63 显示了 CAN 功能方框图。

Copyright © 2026 Texas Instruments Incorporated

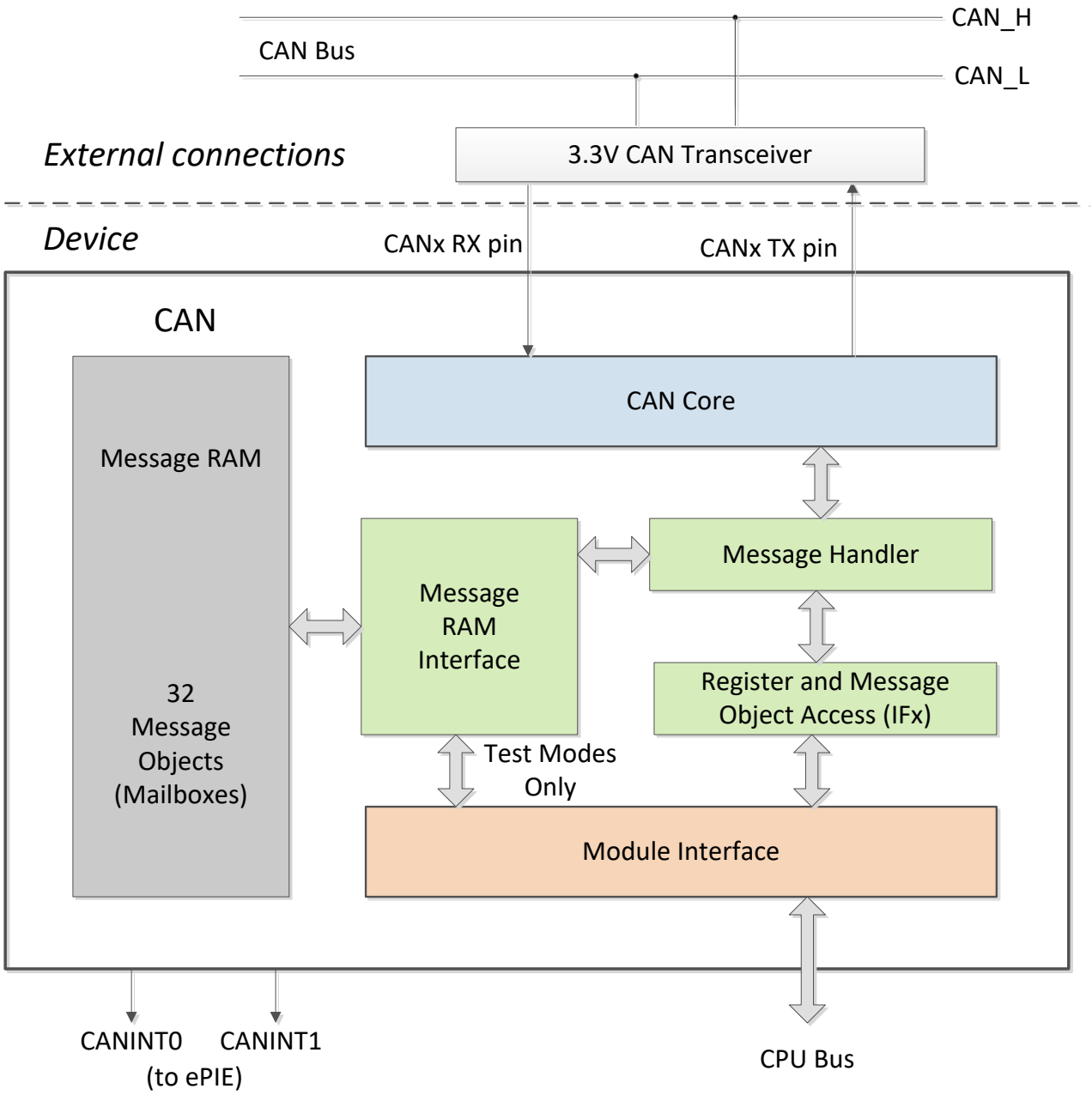

CAN_H
CAN Bus
CAN_L
External connections
3.3V CAN Transceiver
Device
CANx RX pin
CANx TX pin
CAN
Message RAM
CAN Core
Message Handler
Message RAM Interface
Register and Message Object Access (IFx)
32 Message Objects (Mailboxes)
Test Modes Only
Module Interface
CANINT0 (to ePIE)
CANINT1
CPU Bus

图 6-63. CAN 方框图

6.11.2 内部集成电路 (I2C)

I2C 模块具有以下特性：

- 符合 Philips 半导体 I^2C 总线规格（版本 2.1）：
  - 支持 1 位至 8 位格式传输
  - 7 位和 10 位寻址模式
  - 常规调用
  - START 字节模式
  - 支持多个主发送器和从接收器
  - 支持多个从发送器和主接收器
  - 组合主器件发送/接收和接收/发送模式
  - 数据传输速率从 10kbps 到高达 400kbps（I2C 快速模式速率）
- 一个 16 字节接收 FIFO 和一个 16 字节发送 FIFO
- 可以由 CPU 使用的一个中断。该中断可因下列条件中之一而生成：
  - 发送数据准备就绪
  - 接收数据准备就绪
  - 寄存器访问准备就绪
  - 未接收到确认
  - 仲裁丢失
  - 检测到停止条件
  - 被寻址为从器件
- 在 FIFO 模式下，CPU 可以使用附加中断
- 模块启用/禁用能力
- 自由数据格式模式

Copyright © 2026 Texas Instruments Incorporated

图 6-64 显示了 I2C 外设模块如何在器件内连接。

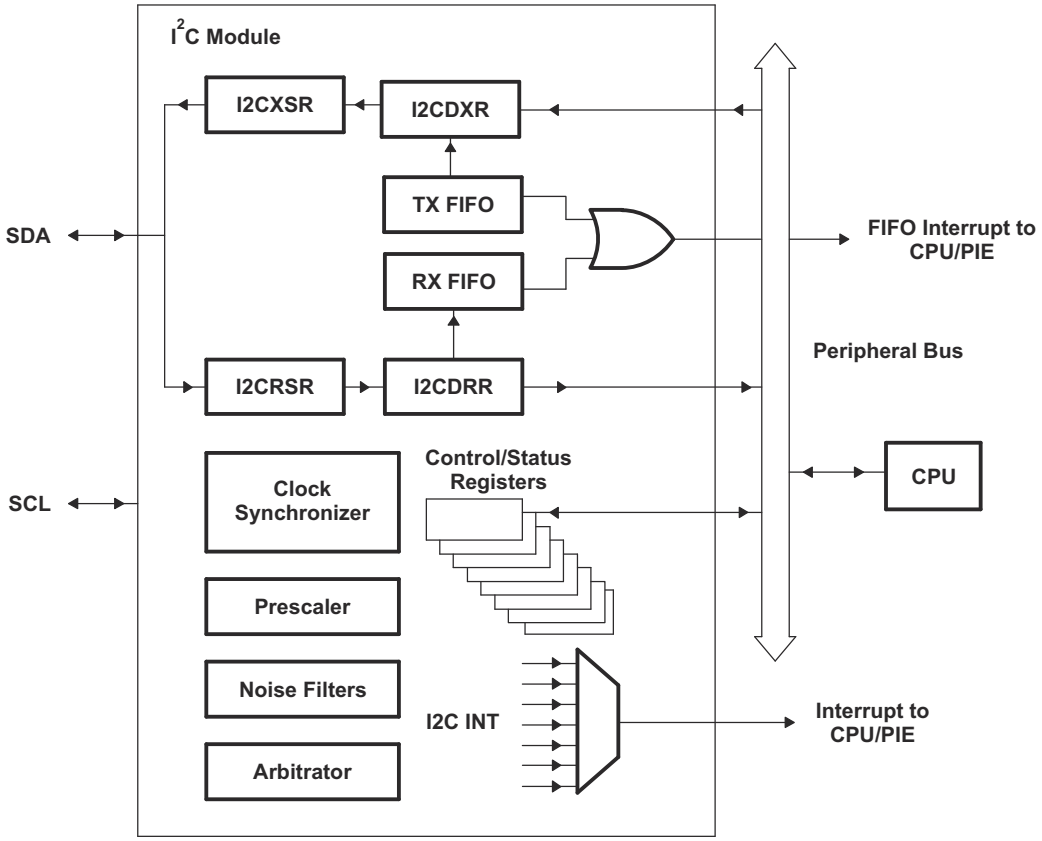


图 6-64. I2C 外设模块接口

Copyright © 2026 Texas Instruments Incorporated

6.11.2.1 I2C 电气数据和时序

节 6.11.2.1.1 列出了 I2C 时序要求。节 6.11.2.1.2 列出了 I2C 开关特征。图 6-65 显示了 I2C 时序图。

备注

为了满足所有的 I2C 协议时序规范，I2C 模块时钟必须配置为 7MHz 至 12MHz 范围内的值。

必须选择符合 I2C 标准时序的上拉电阻。在大多数情况下，2.2kΩ 的总线至 VDDIO 总线电阻是足够的。要评估特定设计的上拉电阻值，请参阅 *I2C 总线上拉电阻计算* 应用报告。

6.11.2.1.1 I2C 时序要求

编号			最小值	最大值	单位
标准模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	4.0		µs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	4.7		µs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		µs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	250		ns
T5	$t_{r(SDA)}$	上升时间，SDA		1000(1)	ns
T6	$t_{r(SCL)}$	上升时间，SCL		1000(1)	ns
T7	$t_{f(SDA)}$	下降时间，SDA		300	ns
T8	$t_{f(SCL)}$	下降时间，SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	4.0		µs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_b	每条总线上的电容负载		400	pF
快速模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	0.6		µs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	0.6		µs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		µs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	100		ns
T5	$t_{r(SDA)}$	上升时间，SDA	20	300	ns
T6	$t_{r(SCL)}$	上升时间，SCL	20	300	ns
T7	$t_{f(SDA)}$	下降时间，SDA	11.4	300	ns
T8	$t_{f(SCL)}$	下降时间，SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	0.6		µs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_b	每条总线上的电容负载		400	pF

(1) 为更大限度地缩短上升时间，TI 建议在 SDA 和 SCL 总线线路上使用大约 2.2kΩ 网络上拉电阻的强上拉电阻。 还建议匹配 SCL 和 SDA 引脚上使用的上拉电阻的值。

Copyright © 2026 Texas Instruments Incorporated

6.11.2.1.2 I2C 开关特征

在推荐的工作条件下 (除非另有说明)

编号	参数		测试条件	最小值	最大值	单位
标准模式						
S1	f_{SCL}	SCL 时钟频率		0	100	kHz
S2	T_{SCL}	SCL 时钟周期		10		µs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		4.7		µs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		4.0		µs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		4.7		µs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			3.45	µs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			3.45	µs
S8	I_I	引脚上的输入电流	0.1 V_{bus} < V_i < 0.9 V_{bus}	-10	10	µA
快速模式						
S1	f_{SCL}	SCL 时钟频率		0	400	kHz
S2	T_{SCL}	SCL 时钟周期		2.5		µs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		1.3		µs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		0.6		µs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		1.3		µs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			0.9	µs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			0.9	µs
S8	I_I	引脚上的输入电流	0.1 V_{bus} < V_i < 0.9 V_{bus}	-10	10	µA

6.11.2.1.3 I2C 时序图

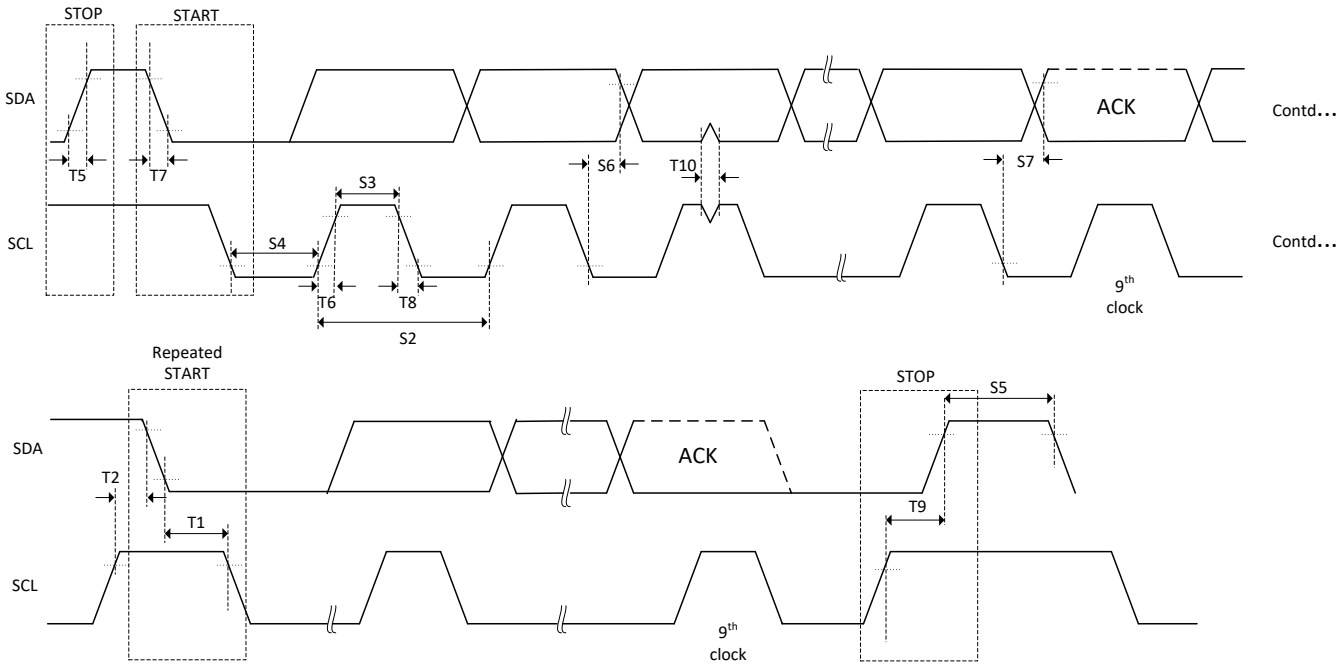


图 6-65. I2C 时序图

Copyright © 2026 Texas Instruments Incorporated

6.11.3 多通道缓冲串行端口 (McBSP)

McBSP 模块有以下特性：

- 与 TMS320C28x 和 TMS320F28x DSP 器件中的 McBSP 兼容
- 全双工通信
- 允许连续数据流的双缓冲数据寄存器
- 用于接收和传输的独立成帧和时钟
- 外部移位时钟生成或者内部可编程频率移位时钟
- 8 位数据传输模式可配置为以 LSB 或 MSB 优先传输
- 用于帧同步和数据时钟的可编程极性
- 高度可编程内部时钟和帧生成
- 直接与业界通用的编解码器、模拟接口芯片 (AIC) 和其他串行连接的模数和数模器件连接
- 支持 AC97、I2S 和 SPI 协议
- McBSP 时钟速率，

$$CLKG = \frac{CLKSRG}{(1 + CLKGDV)}$$

其中 CLKSRG 源可以是 LSPCLK、CLKX 或 CLKR。

Copyright © 2026 Texas Instruments Incorporated

图 6-66 显示了 McBSP 模块的方框图。

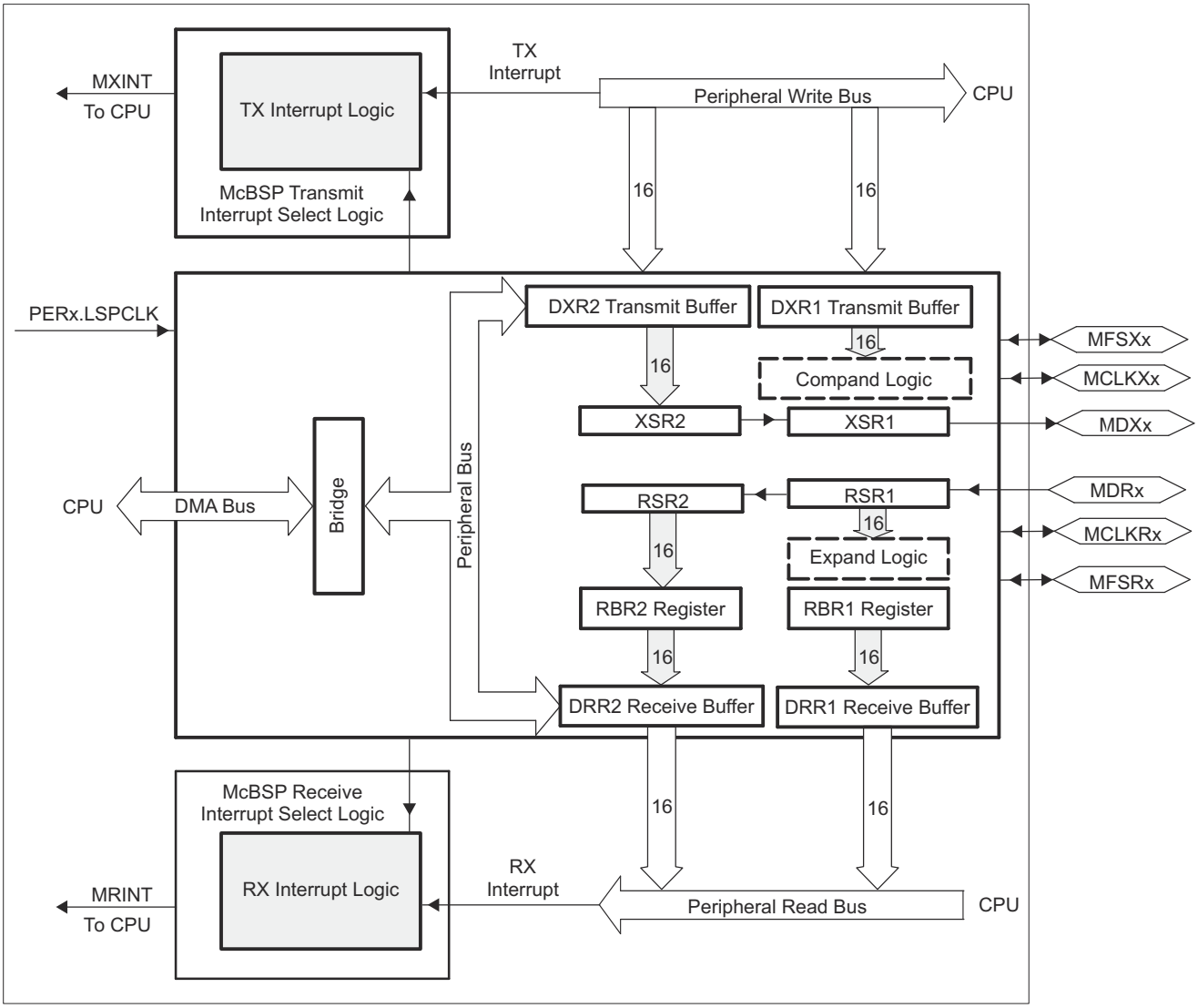


图 6-66. McBSP 方框图

6.11.3.1 McBSP 电气数据和时序

6.11.3.1.1 McBSP 传输和接收时序

节 6.11.3.1.1.1 显示了 McBSP 时序要求。节 6.11.3.1.1.2 显示了 McBSP 开关特征。图 6-67 和图 6-68 显示了 McBSP 时序图。

6.11.3.1.1.1 McBSP 时序要求

编号(1) (2)				最小值	最大值	单位
	McBSP 模块时钟（CLKG、CLKX、CLKR）范围			1		kHz
					25	MHz
	McBSP 模块周期时间（CLKG、CLKX、CLKR）范围			40		ns
					1	ms
M11	$t_{c(CKRX)}$	周期时间，CLKR/X	CLKR/X 外部	2P		ns
M12	$t_{w(CKRX)}$	脉冲持续时间，CLKR/X 高电平或者 CLKR/X 低电平	CLKR/X 外部	P-7		ns
M13	$t_{r(CKRX)}$	上升时间，CLKR/X	CLKR/X 外部		7	ns
M14	$t_{f(CKRX)}$	下降时间，CLKR/X	CLKR/X 外部		7	ns
M15	$t_{su(FRH-CKRL)}$	在 CLKR 低电平之前外部 FSR 为高电平的建立时间	CLKR 内部	18		ns
			CLKR 外部	2		
M16	$t_{h(CKRL-FRH)}$	CLKR 低电平之后，外部 FSR 为高电平的保持时间	CLKR 内部	0		ns
			CLKR 外部	6		
M17	$t_{su(DRV-CKRL)}$	在 CLKR 低电平之前，DR 有效的保持时间	CLKR 内部	18		ns
			CLKR 外部	5		
M18	$t_{h(CKRL-DRV)}$	在 CLKR 低电平之后，DR 有效的保持时间	CLKR 内部	0		ns
			CLKR 外部	3		
M19	$t_{su(FXH-CKXL)}$	在 CLKX 低电平之前，外部 FSX 为高电平的建立时间	CLKX 内部	18		ns
			CLKX 外部	2		
M20	$t_{h(CKXL-FXH)}$	CLKX 低电平之后，外部 FSX 为高电平的保持时间	CLKX 内部	0		ns
			CLKX 外部	6		

(1) 极性位 CLKRP=CLKXP=FSRP=FSXP=0。如果任一信号的极性被反转，那么该信号的时序基准也被反转。
(2) 2P=1/CLKG，单位为 ns。CLKG 是采样率发生器复用器的输出。CLKG=CLKSRG/(1+CLKGDV)。CLKSRG 可以是 LSPCLK，CLKX，CLKR 作为源。CLKSRG≤(SYSCLK/2)。

Copyright © 2026 Texas Instruments Incorporated

6.11.3.1.1.2 McBSP 开关特征

在推荐的工作条件下（除非另有说明）

编号(1) (2)	参数				最小值	最大值	单位
M1	$t_{c(CKRX)}$	周期时间，CLKR/X		CLKR/X 内部	2P		ns
M2	$t_{w(CKRXH)}$	脉冲持续时间，CLKR/X 高电平		CLKR/X 内部	D-5 (3)	D+5 (3)	ns
M3	$t_{w(CKRXL)}$	脉冲持续时间，CLKR/X 低电平		CLKR/X 内部	C-5 (3)	C+5 (3)	ns
M4	$t_{d(CKRH-FRV)}$	CLKR 高电平到内部 FSR 有效的延迟时间		CLKR 内部	-7	7.5	ns
				CLKR 外部	3	27	
M5	$t_{d(CKXH-FXV)}$	CLKX 高电平到内部 FSX 有效的延迟时间		CLKX 内部	-5	6	ns
				CLKX 外部	3	27	
M6	$t_{dis(CKXH-DXHZ)}$	CLKX 高电平到 DX 在最后一个数据位后为高阻抗的禁用时间		CLKX 内部	-8	8	ns
				CLKX 外部	3	15	
M7	$t_{d(CKXH-DXV)}$	CLKX 高电平到 DX 有效的延迟时间。 这应用于除传输的第一个位之外的所有位。		CLKX 内部	-3	9	ns
				CLKX 外部	5	25	
		CLKX 高电平到 DX 有效的延迟时间	DXENA=0	CLKX 内部	-3	8	
				CLKX 外部	5	20	
		当处于数据延迟 1 或者 2（XDATDLY=01b 或者 10b）模式时，只应用于传输的第一个位	DXENA=1	CLKX 内部	P-3	P+8	
				CLKX 外部	P+5	P+20	
M8	$t_{en(CKXH-DX)}$	CLKX 高电平待 DX 被驱动的使能时间	DXENA=0	CLKX 内部	-6		ns
				CLKX 外部	4		
		当处于数据延迟 1 或者 2（XDATDLY=01b 或者 10b）模式时，只应用于传输的第一个位	DXENA=1	CLKX 内部	P-6		
				CLKX 外部	P+4		
M9	$t_{d(FXH-DXV)}$	FSX 高电平到 DX 有效的延迟时间	DXENA=0	FSX 内部		8	ns
				FSX 外部		17	
		当处于数据延迟 0（XDATDLY=00b）模式时，只应用于传输的第一个位。	DXENA=1	FSX 内部		P+8	
				FSX 外部		P+17	
M10	$t_{en(FXH-DX)}$	FSX 高电平到 DX 驱动的使能时间	DXENA=0	FSX 内部	-3		ns
				FSX 外部	6		
		当处于数据延迟 0（XDATDLY=00b）模式时，只应用于传输的第一个位	DXENA=1	FSX 内部	P-3		
				FSX 外部	P+6		

(1) 极性位 CLKRP=CLKXP=FSRP=FSXP=0。如果任一信号的极性被反转，那么该信号的时序基准也被反转。
(2) 2P=1/CLKG，单位为 ns。
(3) C=CLKRX 低脉冲宽度=P
D=CLKRX 高脉冲宽度=P

Copyright © 2026 Texas Instruments Incorporated

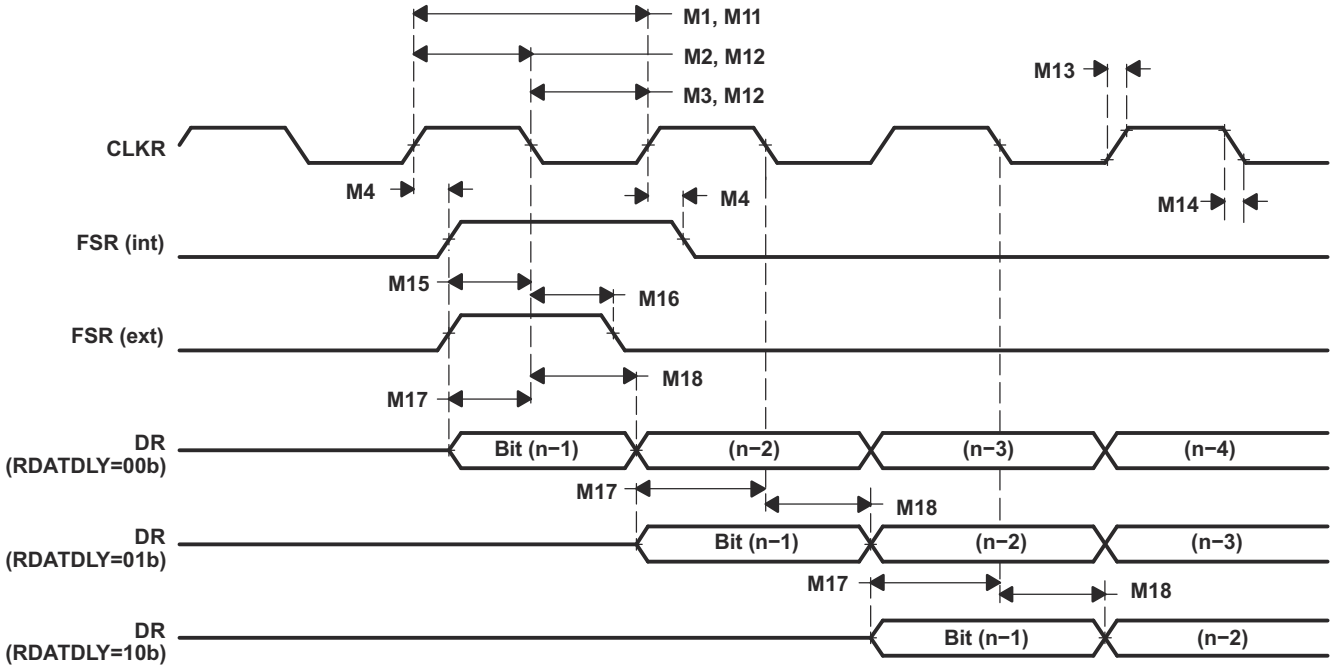


图 6-67. McBSP 接收时序

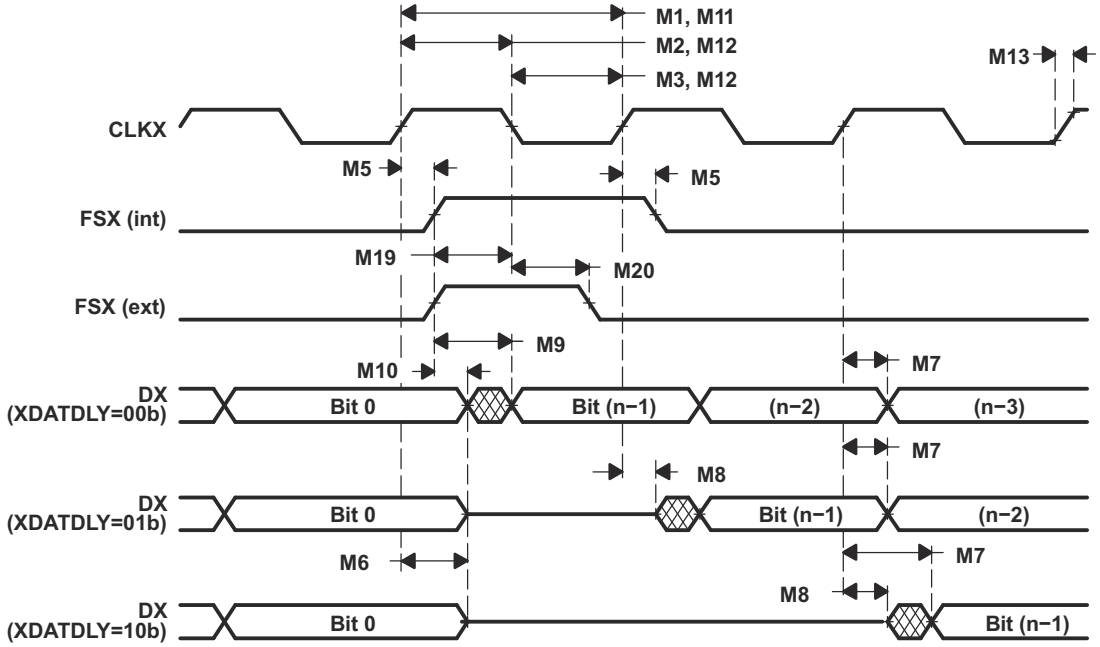


图 6-68. McBSP 传输时序

Copyright © 2026 Texas Instruments Incorporated

6.11.3.1.2 McBSP 作为 SPI 主器件或从器件时序

节 6.11.3.1.2.1 列出了 McBSP 作为 SPI 主器件时序要求。节 6.11.3.1.2.2 列出了 McBSP 作为 SPI 主器件开关特征。节 6.11.3.1.2.3 列出了 McBSP 作为 SPI 从器件时序要求。节 6.11.3.1.2.4 列出了 McBSP 作为 SPI 从器件开关特征。

图 6-69 至图 6-72 显示了 McBSP 作为 SPI 主器件或从器件计时示意图。

6.11.3.1.2.1 McBSP 作为 SPI 主器件的时序要求

编号			最小值	最大值	单位
时钟					
	$t_{c(CLKG)}$	周期时间，CLKG(1)	$2*t_{c(LSPCLK)}$		ns
	P	周期时间，LSPCLK(1)	$t_{c(LSPCLK)}$		ns
M33、M42、M52、M61	$t_{c(CKX)}$	周期时间，CLKX	2P		ns
CLKSTP=10b，CLKXP=0					
M30	$t_{su(DRV-CKXL)}$	在 CLKX 低电平之前，DR 有效的建立时间	30		ns
M31	$t_{h(CKXL-DRV)}$	在 CLKX 低电平之后，DR 有效的保持时间	1		ns
CLKSTP=11b，CLKXP=0					
M39	$t_{su(DRV-CKXH)}$	建立时间，CLKX 高电平前，DR 有效的建立时间	30		ns
M40	$t_{h(CKXH-DRV)}$	CLKX 高电平后，DR 有效的保持时间	1		ns
CLKSTP=10b，CLKXP=1					
M49	$t_{su(DRV-CKXH)}$	建立时间，CLKX 高电平前，DR 有效的建立时间	30		ns
M50	$t_{h(CKXH-DRV)}$	CLKX 高电平后，DR 有效的保持时间	1		ns
CLKSTP=11b，CLKXP=1					
M58	$t_{su(DRV-CKXL)}$	在 CLKX 低电平之前，DR 有效的建立时间	30		ns
M59	$t_{h(CKXL-DRV)}$	在 CLKX 低电平之后，DR 有效的保持时间	1		ns

(1) 通过设置 CLKSM=1 和 CLKGDV=1，应将 CLKG 配置为 LSPCLK/2

6.11.3.1.2.2 McBSP 作为 SPI 主器件开关特征

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数		最小值	典型值	最大值	单位
时钟						
M33	$t_{c(CLKG)}$	周期时间，CLKG(1) ($n*t_{c(LSPCLK)}$)	40			ns
	P	半个 CLKG 周期；$0.5*t_{c(CLKG)}$	20			ns
	n	LSPCLK 到 CLKG 分频器	2			ns
CLKSTP=10b，CLKXP=0						
M24	$t_{h(CKXL-FXL)}$	CLKX 低电平之后，FSX 高电平的保持时间	2P – 6			ns
M25	$t_{d(FXL-CKXH)}$	延迟时间，FSX 低电平到 CLKX 变为高电平的时间	P – 6			ns
M26	$t_{d(CLKXH-DXV)}$	CLKX 高电平至 DX 有效的延迟时间 [检查时钟极性并新增到时序图]	-4		6	ns
M28	$t_{dis(FXH-DXHZ)}$	从 CLKX 低电平到最后一个数据位后的 DX 高阻抗的禁用时间 [重新定义时序图]	P – 8			ns
M29	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延迟时间	P – 3		P6	ns
CLKSTP=11b，CLKXP=0						
M34	$t_{h(CKXL-FXH)}$	CLKX 低电平之后，FSX 高电平的保持时间	P – 6			ns
M35	$t_{d(FXL-CKXH)}$	延迟时间，FSX 低电平到 CLKX 变为高电平的时间	P – 6			ns
M36	$t_{d(CLKXL-DXV)}$	CLKX 低电平至 DX 有效的延迟时间 [检查时钟极性并新增到时序图]	-4		6	ns
M37	$t_{dis(CKXL-DXHZ)}$	禁用时间，从 CLKX 低电平到最后一个数据位后的 DX 高阻抗的时间	P – 6			ns
M38	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延迟时间	-2		1	ns
CLKSTP=10b，CLKXP=1						
M43	$t_{h(CKXH-FXH)}$	，CLKX 高电平之后，FSX 高电平的保持时间	2P – 6			ns
M44	$t_{d(FXL-CKXL)}$	延迟时间，FSX 低电平时间到 CLKX 低电平的时间	P – 6			ns
M45	$t_{d(CLKXL-DXV)}$	CLKX 低电平至 DX 有效的延迟时间 [检查时钟极性并新增到计时示意图]	-4		6	ns
M47	$t_{dis(FXH-DXHZ)}$	从 CLKX 低电平到最后一个数据位后的 DX 高阻抗的禁用时间 [重新定义时序图]	P – 6			ns
M48	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延迟时间	-2		1	ns
CLKSTP=11b，CLKXP=1						
M53	$t_{h(CKXH-FXH)}$	，CLKX 高电平之后，FSX 高电平的保持时间	P – 6			ns
M54	$t_{d(FXL-CKXL)}$	延迟时间，FSX 低电平时间到 CLKX 低电平的时间	2P – 6			ns
M55	$t_{d(CLKXH-DXV)}$	CLKX 高电平到 DX 有效的延迟时间	-4		6	ns
M56	$t_{dis(CKXH-DXHZ)}$	从 CLKX 高电平到最后一个数据位后的 DX 高阻抗的禁用时间	P – 8			ns
M57	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延迟时间	-2		1	ns

(1) 通过设置 CLKSM=1 和 CLKGDV=1，应将 CLKG 配置为 LSPCLK/2。

Copyright © 2026 Texas Instruments Incorporated

6.11.3.1.2.3 McBSP 作为 SPI 从器件的时序要求

编号			最小值	最大值	单位
时钟					
	$t_{c(CLKG)}$	周期时间，CLKG(1)	$2*t_{c(LSPCLK)}$		ns
	P	周期时间，LSPCLK(1)	$t_{c(LSPCLK)}$		ns
M33、M42、M52、M61	$t_{c(CKX)}$	周期时间，CLKX(2)	16P		ns
不适用	$t_{skew(CKX-Data)}$	时钟和数据之间的最差偏移以确保采样时钟和数据的 GBD			ns
CLKSTP=10b，CLKXP=0					
M30	$t_{su(DRV-CKXL)}$	在 CLKX 低电平之前，DR 有效的保持时间	8P-10		ns
M31	$t_{h(CKXL-DRV)}$	保持时间，在 CLKX 低电平之后 DR 有效	8P-10		ns
M32	$t_{su(BFXL-CKXH)}$	CLKX 高电平前，FSX 为低电平的建立时间	8P+10		ns
CLKSTP=11b，CLKXP=0					
M39	$t_{su(DRV-CKXH)}$	建立时间，在 CLKX 高电平之前 DR 有效	8P-10		ns
M40	$t_{h(CKXH-DRV)}$	CLKX 高电平后，DR 有效的保持时间	8P-10		ns
M41	$t_{su(FXL-CKXH)}$	CLKX 高电平前，FSX 为低电平的建立时间	16P+10		ns
CLKSTP=10b，CLKXP=1					
M49	$t_{su(DRV-CKXH)}$	建立时间，在 CLKX 高电平之前 DR 有效	8P-10		ns
M50	$t_{h(CKXH-DRV)}$	CLKX 高电平后，DR 有效的保持时间	8P-10		ns
M51	$t_{su(FXL-CKXL)}$	CLKX 低电平前，FSX 为低电平的建立时间	8P+10		ns
CLKSTP=11b，CLKXP=1					
M58	$t_{su(DRV-CKXL)}$	在 CLKX 低电平之前，DR 有效的保持时间	8P-10		ns
M59	$t_{h(CKXL-DRV)}$	保持时间，在 CLKX 低电平之后 DR 有效	8P-10		ns
M60	$t_{su(FXL-CKXL)}$	CLKX 低电平前，FSX 为低电平的建立时间	16P+10		ns

(1) 通过设置 CLKSM=1 和 CLKGDV=1，应将 CLKG 配置为 LSPCLK/2
(2) 对于 SPI 从模式，CLKX 必须至少为 8 个 CLKG 周期

Copyright © 2026 Texas Instruments Incorporated

6.11.3.1.2.4 McBSP 作为 SPI 从器件开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数		最小值	典型值	最大值	单位
时钟						
	2P	周期时间，CLKG				ns
CLKSTP=10b，CLKXP=0						
M26	$t_{d(CLKXH-DXV)}$	CLKX 高电平到 DX 有效的延迟时间	3P + 6		5P + 20	ns
M28	$t_{dis(FXH-DXHZ)}$	从 FSX 高电平到最后一个数据位后的 DX 高阻抗的禁用时间	6P + 6			ns
M29	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延迟时间	4P + 6			ns
CLKSTP=11b，CLKXP=0						
M36	$t_{d(CLKXL-DXV)}$	CLKX 低电平到 DX 有效的延迟时间	3P + 6		5P + 20	ns
M37	$t_{dis(CKXL-DXHZ)}$	禁用时间，从 CLKX 低电平到最后一个数据位后的 DX 高阻抗的时间	7P + 6			ns
M38	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延迟时间	4P + 6			ns
CLKSTP=10b，CLKXP=1						
M45	$t_{d(CLKXL-DXV)}$	CLKX 低电平到 DX 有效的延迟时间	3P + 6		5P + 20	ns
M47	$t_{dis(FXH-DXHZ)}$	从 FSX 高电平到最后一个数据位后的 DX 高阻抗的禁用时间	6P + 6			ns
M48	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延迟时间	4P + 6			ns
CLKSTP=11b，CLKXP=1						
M55	$t_{d(CLKXH-DXV)}$	CLKX 高电平到 DX 有效的延迟时间	3P + 6		5P + 20	ns
M56	$t_{dis(CKXH-DXHZ)}$	从 CLKX 高电平到最后一个数据位后的 DX 高阻抗的禁用时间	7P + 6			ns
M57	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延迟时间	4P + 6			ns

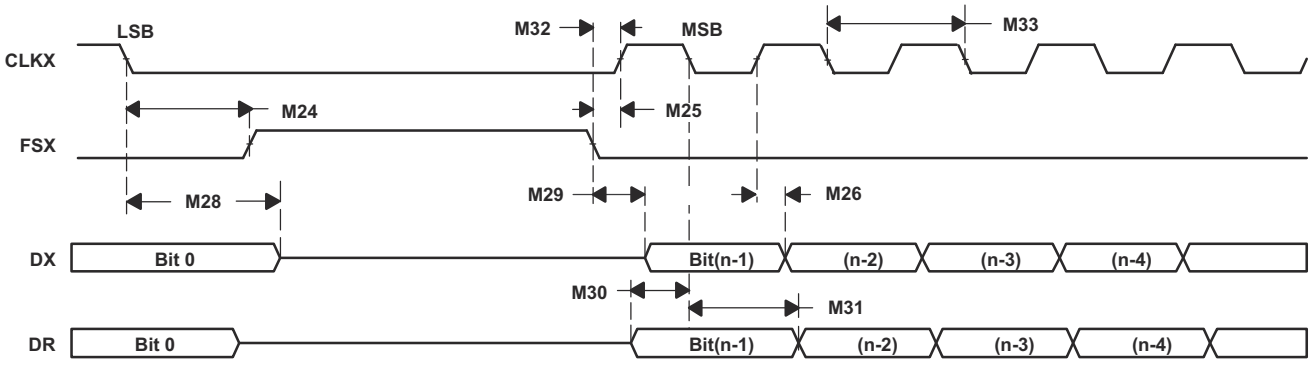


图 6-69. McBSP 时序作为 SPI 主器件或从器件：CLKSTP=10b，CLKXP=0

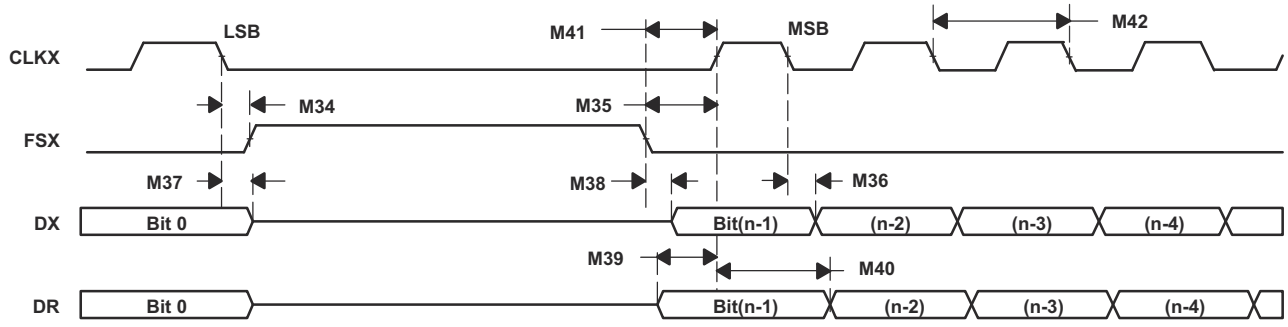


图 6-70. McBSP 时序作为 SPI 主器件或从器件：CLKSTP=11b，CLKXP=0

Copyright © 2026 Texas Instruments Incorporated

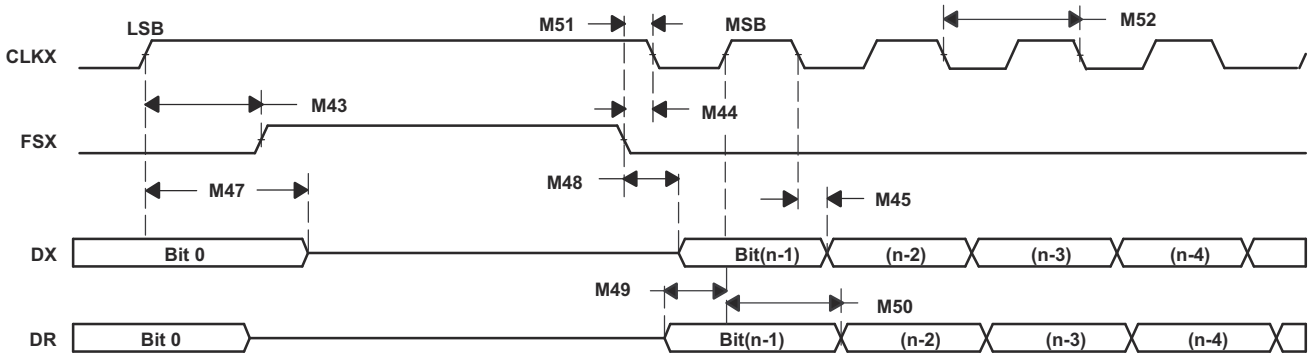


图 6-71. McBSP 时序作为 SPI 主器件或从器件：CLKSTP=10b，CLKXP=1

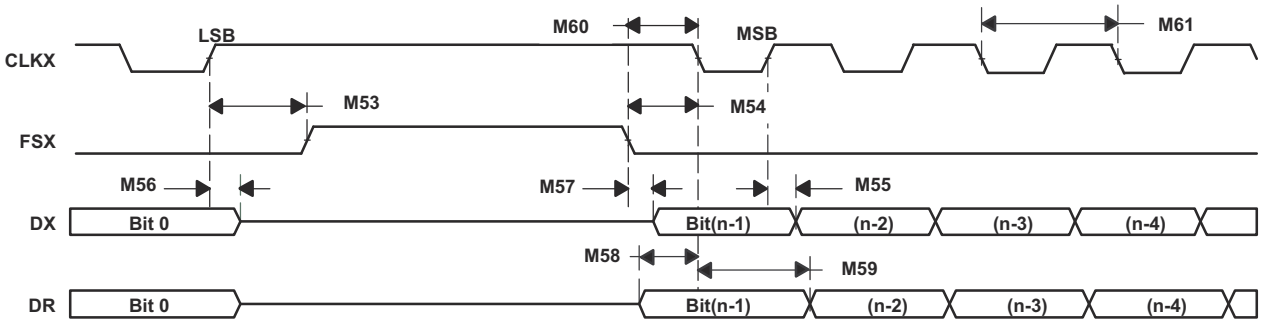


图 6-72. McBSP 时序作为 SPI 主器件或从器件：CLKSTP=11b，CLKXP=1

Copyright © 2026 Texas Instruments Incorporated

6.11.4 串行通信接口 (SCI)

SCI 是一种双线制异步串行端口，通常称为 UART。SCI 模块支持 CPU 与其他异步外设之间使用标准非归零码 (NRZ) 格式的数字通信

SCI 发送器和接收器都有一个用于减少服务开销的 16 级深度 FIFO，且具有各自独立的使能位和中断位。两者都能独立进行半双工通信，或同时进行全双工通信。为了指定数据完整性，SCI 检查接收到的数据是否存在中断检测、奇偶校验、超限和成帧错误。比特率通过 16 位波特选择寄存器可编程为不同的速度。图 6-73 显示了 SCI 模块方框图。

SCI 模块的特性包括：

- 两个外部引脚：
  - SCITXD：SCI 发送-输出引脚
  - SCIRXD：SCI 接收-输入引脚

备注

注意：如果不用于 SCI，则两个引脚都可以用作 GPIO。

  - 波特率可编程为 64K 不同速率
- 数据字格式
  - 一个开始位
  - 数据字长度可在 1 至 8 位之间编程
  - 可选偶数/奇数/无奇偶校验位
  - 1 个或 2 个停止位
- 四个错误检测标志：奇偶校验、超限、成帧和中断检测
- 两种唤醒多处理器模式：空闲线和地址位
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发送器和接收器操作可通过带有状态标志的中断驱动或轮询算法来完成。
  - 发送器：TXRDY 标志（发送器缓冲寄存器已准备好接收另一个字符）和 TX EMPTY 标志（发送器移位寄存器为空）
  - 接收器：RXRDY 标志（接收器缓冲寄存器已准备好接收另一个字符）、BRKDT 标志（发生了中断条件）和 RX ERROR 标志（监测四个中断条件）
- 发送器和接收器中断的独立使能位（BRKDT 除外）
- NRZ 格式
- 自动波特检测硬件逻辑
- 16 级发送和接收 FIFO

备注

此模块中的所有寄存器均为 8 位寄存器。当寄存器被访问时，寄存器数据位于低位字节（位 7-0），高位字节（位 15-8）读取为零。对高字节进行写入无效。

Copyright © 2026 Texas Instruments Incorporated

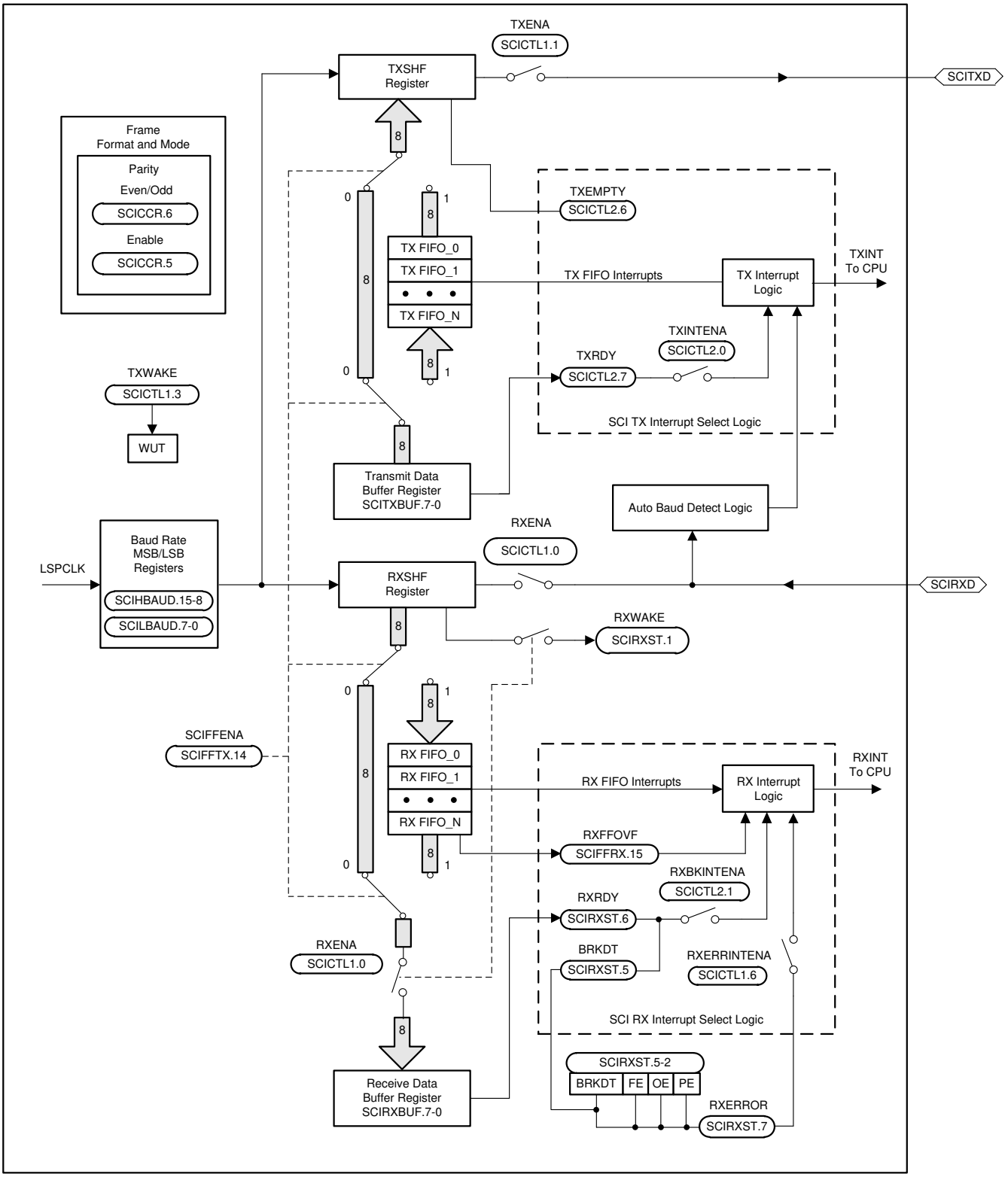

TXENA
SCICTL1.1
TXSHF Register
SCITXD
Frame Format and Mode
Parity
Even/Odd
SCICCR.6
Enable
SCICCR.5
TXEMPTY
SCICTL2.6
TX FIFO_0
TX FIFO_1
TX FIFO_N
TX FIFO Interrupts
TX Interrupt Logic
TXINT To CPU
TXINTENA
SCICTL2.0
TXRDY
SCICTL2.7
SCI TX Interrupt Select Logic
TXWAKE
SCICTL1.3
WUT
Transmit Data Buffer Register SCITXBUF.7-0
Auto Baud Detect Logic
RXENA
SCICTL1.0
LSPCLK
Baud Rate MSB/LSB Registers
SCIHBAUD.15-8
SCILBAUD.7-0
RXSHF Register
SCIRXD
RXWAKE
SCIRXST.1
SCIFFENA
SCIFFTX.14
RX FIFO_0
RX FIFO_1
RX FIFO_N
RX FIFO Interrupts
RX Interrupt Logic
RXINT To CPU
RXFFOVF
SCIFFRX.15
RXBKINTENA
SCICTL2.1
RXRDY
SCIRXST.6
BRKDT
SCIRXST.5
RXERRINTENA
SCICTL1.6
SCI RX Interrupt Select Logic
RXENA
SCICTL1.0
Receive Data Buffer Register SCIRXBUF.7-0
SCIRXST.5-2
BRKDT
FE
OE
PE
RXERROR
SCIRXST.7

图 6-73. SCI 方框图

全双工操作中使用主要元素包括：

- 发送器 (TX) 及其主要寄存器：
  - SCITXBUF 寄存器 – 发送器数据缓冲寄存器。包含待传输的数据 (由 CPU 加载)
  - TXSHF 寄存器 – 发送器移位寄存器。接收来自 SCITXBUF 寄存器的数据并将数据移到 SCITXD 引脚上，一次移动 1 位
- 接收器 (RX) 及其主要寄存器：
  - RXSHF 寄存器 – 接收器移位寄存器。从 SCIRXD 引脚移入数据，一次移动 1 位
  - SCIRXBUF 寄存器 – 接收器数据缓冲寄存器。包含由 CPU 读取的数据。来自远程处理器的数据被加载到 RXSHF 寄存器中，然后加载到 SCIRXBUF 和 SCIRXEMU 寄存器
- 可编程波特生成器
- 数据存储器映射控制和状态寄存器使 CPU 能够访问 I2C 模块寄存器和 FIFO。

SCI 接收器和发送器独立工作。

Copyright © 2026 Texas Instruments Incorporated

6.11.5 串行外设接口 (SPI)

SPI 是一款高速同步串行输入/输出 (I/O) 端口，其允许以编程的比特传输速率将编程长度（1 至 16 位）的串行位流移入和移出器件。SPI 通常用于微控制器与外部外设或另一控制器之间的通信。典型应用包含通过移位寄存器、显示驱动器和 ADC 等器件进行外部 I/O 或外设扩展。多器件通信由 SPI 的主/从操作支持。该端口支持 16 级接收和发送 FIFO，以减少 CPU 服务开销。

SPI 模块的功能包括：

- SPISOMI：SPI 从器件输出/主器件输入引脚
- SPISIMO：SPI 从器件输入/主器件输出引脚
- $\overline{\text{SPISTE}}$：SPI 从器件发送使能引脚
- SPICLK：SPI 串行时钟引脚
- 两个运行模式：主模式和从模式
- 波特率：125 个不同的可编程速率
- 数据字长度：1 至 16 数据位
- 四种时钟方案（由时钟极性和时钟相位的位控制）包含：
  - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
  - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿的半个周期之前发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作（可在软件中禁用发送功能）
- 发送器和接收器操作通过中断驱动或轮询算法完成。
- 16 级发送和接收 FIFO
- 延迟的发送控制
- 3 线 SPI 模式
- 在带有两个 SPI 模块的器件上实现数字音频接口接收模式的 $\overline{\text{SPISTE}}$ 反转
- DMA 支持
- 高速模式，可实现高达 50MHz 的全双工通信

SPI 在主模式或从模式下工作。主器件通过发送 SPICLK 信号来启动数据传输。对于主器件和从器件而言，数据都是从 SPICLK 一个边沿上的移位寄存器移出，并锁存到相反的 SPICLK 时钟边沿上的移位寄存器中。如果 CLOCK PHASE 位 (SPICTL.3) 为高电平，则在 SPICLK 转换前的半个周期内发送和接收数据。因此，两个控制器同时发送和接收数据。应用软件确定数据是有意义的数据还是虚拟数据。可以通过三种方法发送数据：

- 主器件发送数据，从器件发送虚拟数据
- 主器件发送数据，从器件发送数据
- 主器件发送虚拟数据，从器件发送数据

主器件控制着 SPICLK 信号，故其可随时启动数据传输。然而，当从器件准备好广播数据时，软件确定了主器件如何进行检测。

Copyright © 2026 Texas Instruments Incorporated

图 6-74 显示了 SPI CPU 接口。

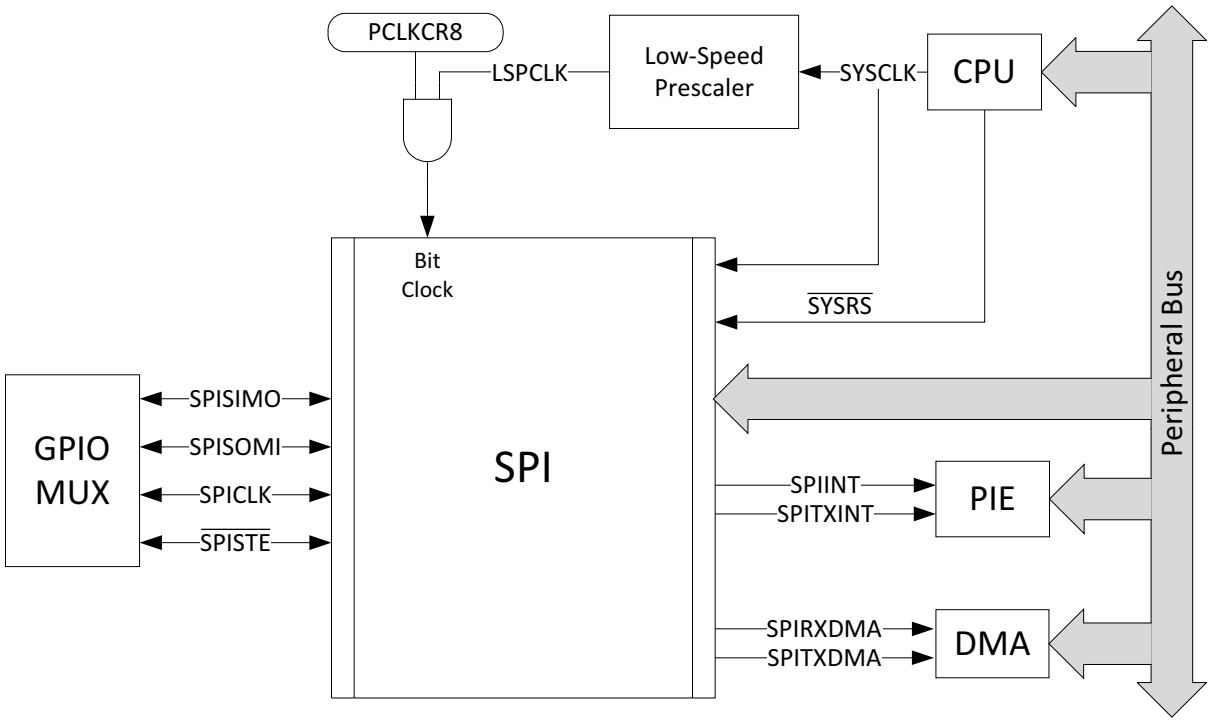


图 6-74. SPI CPU 接口

Copyright © 2026 Texas Instruments Incorporated

6.11.5.1 SPI 电气数据和时序

备注

SPI 高速模式的所有时序参数都假设 SPICLK、SPISIMO 和 SPISOMI 上的负载电容为 5pF。

有关高速模式下 SPI 的更多信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 的“串行外设接口 (SPI)”一章。

为了在高速模式下使用 SPI，应用必须使用支持高速模式的 GPIO（请参阅节 5.4.5）。

6.11.5.1.1 SPI 主模式时序

节 6.11.5.1.1.1 列出了 SPI 主模式时序要求。节 6.11.5.1.1.2 列出了 SPI 主模式开关特征（时钟相位 = 0）。节 6.11.5.1.1.3 列出了 SPI 主模式开关特征（时钟相位 = 1）。图 6-75 显示了时钟相位 = 0 时的 SPI 主模式外部时序。图 6-76 显示了时钟相位 = 1 时的 SPI 主模式外部时序。

6.11.5.1.1.1 SPI 主模式时序要求

编号			(BRR + 1) 条件 (1)	最小值	最大值	单位
高速模式						
8	$t_{su(SOMI)M}$	SPICLK 之前 SPISOMI 有效的设置时间	偶数，奇数	1		ns
9	$t_{h(SOMI)M}$	SPICLK 之后 SPISOMI 有效的保持时间	偶数，奇数	5		ns
正常模式						
8	$t_{su(SOMI)M}$	SPICLK 之前 SPISOMI 有效的设置时间	偶数，奇数	20		ns
9	$t_{h(SOMI)M}$	SPICLK 之后 SPISOMI 有效的保持时间	偶数，奇数	0		ns

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。

6.11.5.1.1.2 SPI 主模式开关特征（时钟相位 = 0）

在建议运行条件下测得（除非另有说明）

编号	参数		(BRR + 1) 条件 (1)	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	脉冲持续时间，SPICLK，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延时时间，$\overline{SPISTE}$ 有效至 SPICLK	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 7$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 5$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 7$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 5$	

Copyright © 2026 Texas Instruments Incorporated

6.11.5.1.1.2 SPI 主模式开关特征（时钟相位 = 0）（续）

在建议运行条件下测得（除非另有说明）

编号	参数		(BRR + 1) 条件 (1)	最小值	最大值	单位
24	$t_{v(STE)M}$	有效时间，SPICLK 至 $\overline{SPISTE}$ 无效	偶数	$0.5t_{c(SPC)M} - 7$	$0.5t_{c(SPC)M} + 5$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 7$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 5$	
高速模式						
4	$t_{d(SIMO)M}$	延迟时间，SPICLK 至 SPISIMO 有效的时间	偶数，奇数		1	ns
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 2$		
正常模式						
4	$t_{d(SIMO)M}$	延迟时间，SPICLK 至 SPISIMO 有效的时间	偶数，奇数		6	ns
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 5$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 5$		

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。

6.11.5.1.1.3 SPI 主模式开关特征（时钟相位 = 1）

在建议运行条件下测得（除非另有说明）

编号	参数		(BRR + 1) 条件 (1)	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延时时间，$\overline{SPISTE}$ 有效至 SPICLK	偶数，奇数	2tc(SPC)M – 3tc(SYSCLK) – 7	2tc(SPC)M – 3tc(SYSCLK) + 5	ns
24	$t_{v(STE)M}$	有效时间，SPICLK 至 $\overline{SPISTE}$ 无效	偶数	– 7	+5	ns
			奇数	– 7	+5	
高速模式						
4	$t_{d(SIMO)M}$	延迟时间，SPISIMO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 1$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$		
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 2$		
正常模式						
4	$t_{d(SIMO)M}$	延迟时间，SPISIMO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 5$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 5$		

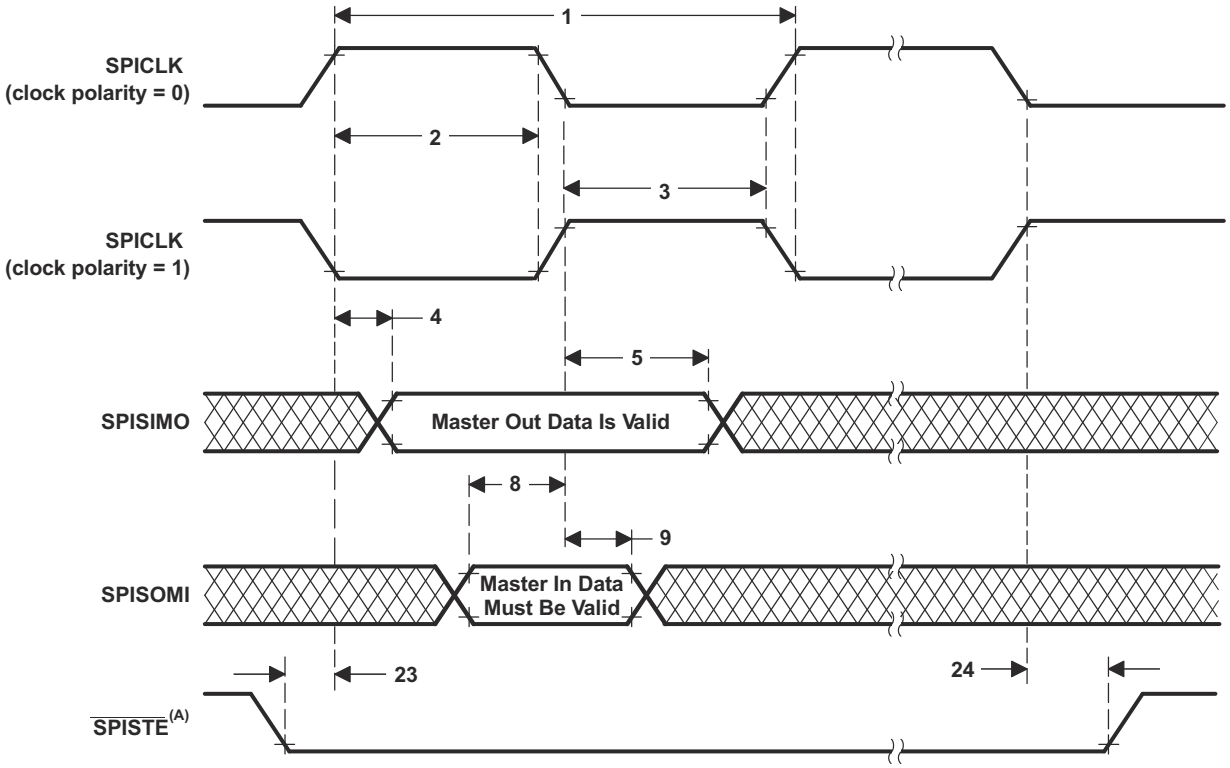
Copyright © 2026 Texas Instruments Incorporated

6.11.5.1.1.3 SPI 主模式开关特征（时钟相位 = 1）（续）

在建议运行条件下测得（除非另有说明）

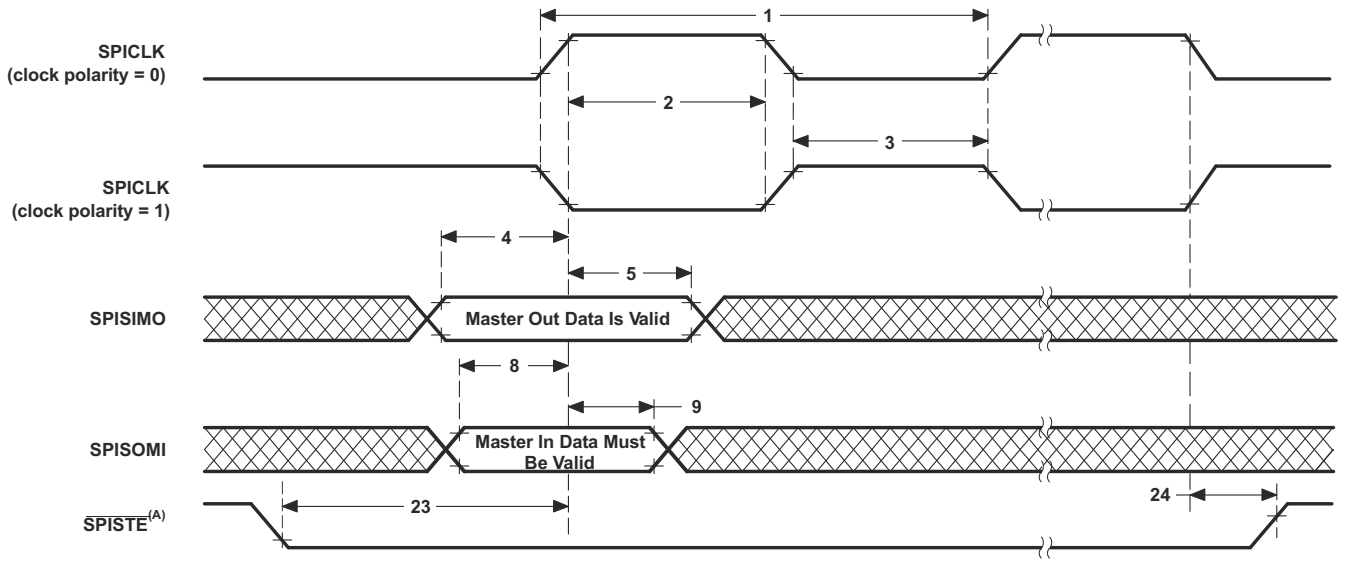
编号	参数		(BRR + 1) 条件 (1)	最小值	最大值	单位
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 5$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 5$		

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，SPISTE 将变为停止状态。

图 6-75. SPI 主模式外部时序（时钟相位 = 0）



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，SPISTE 将变为停止状态。

图 6-76. SPI 主模式外部时序（时钟相位 = 1）

Copyright © 2026 Texas Instruments Incorporated

6.11.5.1.2 SPI 从模式时序

节 6.11.5.1.2.1 列出了 SPI 从模式时序要求。节 6.11.5.1.2.2 列出了 SPI 从模式开关特征。图 6-77 显示了时钟相位 = 0 时的 SPI 从模式外部时序。图 6-78 显示了时钟相位 = 1 时的 SPI 从模式外部时序。

6.11.5.1.2.1 SPI 从模式时序要求

编号			最小值	最大值	单位
12	$t_{c(SPC)S}$	周期时间，SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	脉冲持续时间，SPICLK，第一个脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	脉冲持续时间，SPICLK，第二个脉冲	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(SIMO)S}$	SPICLK 之前 SPISIMO 有效的设置时间	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$	SPICLK 之后 SPISIMO 有效的保持时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	SPICLK 之前 $\overline{\text{SPISTE}}$ 有效的设置时间（时钟相位 = 0）	$2t_{c(SYSCLK)} + 4$		ns
		SPICLK 之前 $\overline{\text{SPISTE}}$ 有效的设置时间（时钟相位 = 1）	$2t_{c(SYSCLK)} + 14$		ns
26	$t_{h(STE)S}$	SPICLK 之后 $\overline{\text{SPISTE}}$ 无效的保持时间	$1.5t_{c(SYSCLK)}$		ns

6.11.5.1.2.2 SPI 从模式开关特征

在推荐的工作条件下（除非另有说明）

编号	参数		最小值	最大值	单位
高速模式					
15	$t_{d(SOMI)S}$	延迟时间，SPICLK 至 SPISOMI 有效的时间		9	ns
16	$t_{v(SOMI)S}$	有效时间，SPICLK 之后 SPISOMI 有效的时间	0		ns
正常模式					
15	$t_{d(SOMI)S}$	延迟时间，SPICLK 至 SPISOMI 有效的时间		20	ns
16	$t_{v(SOMI)S}$	有效时间，SPICLK 之后 SPISOMI 有效的时间	0		ns

Copyright © 2026 Texas Instruments Incorporated

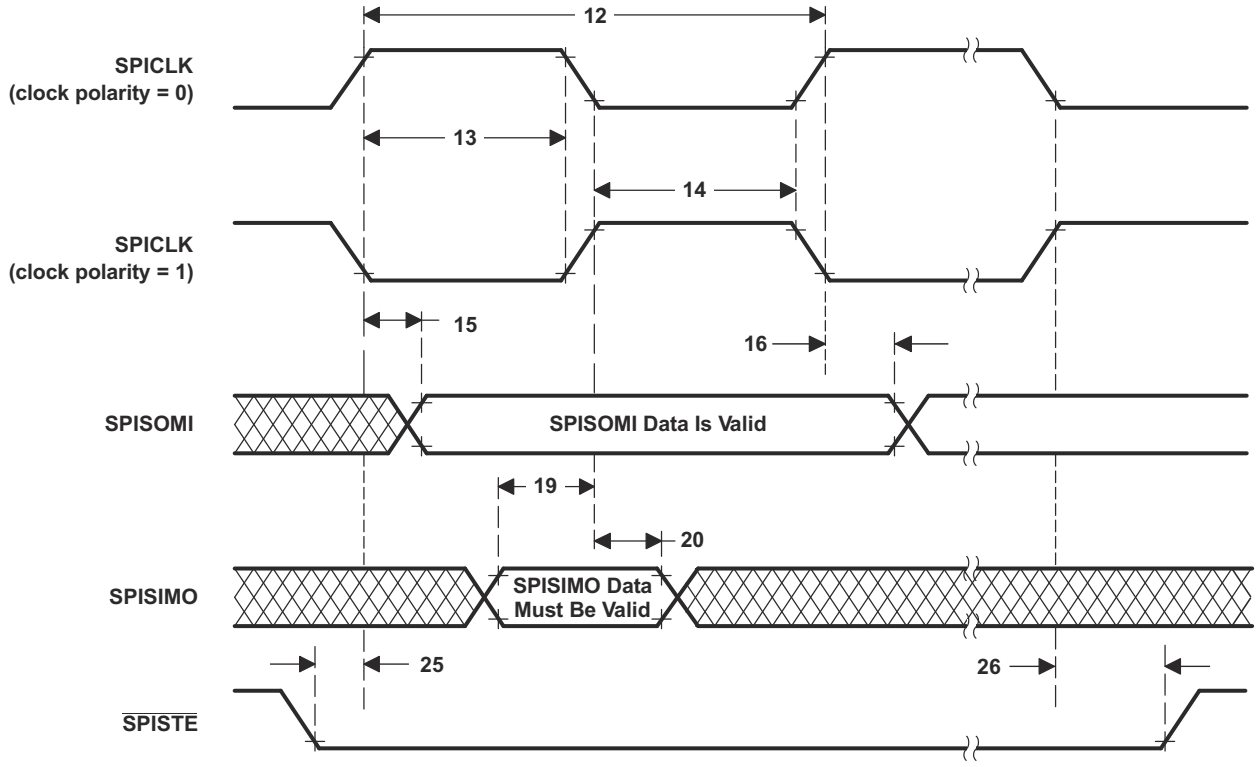


图 6-77. SPI 从模式外部时序（时钟相位 = 0）

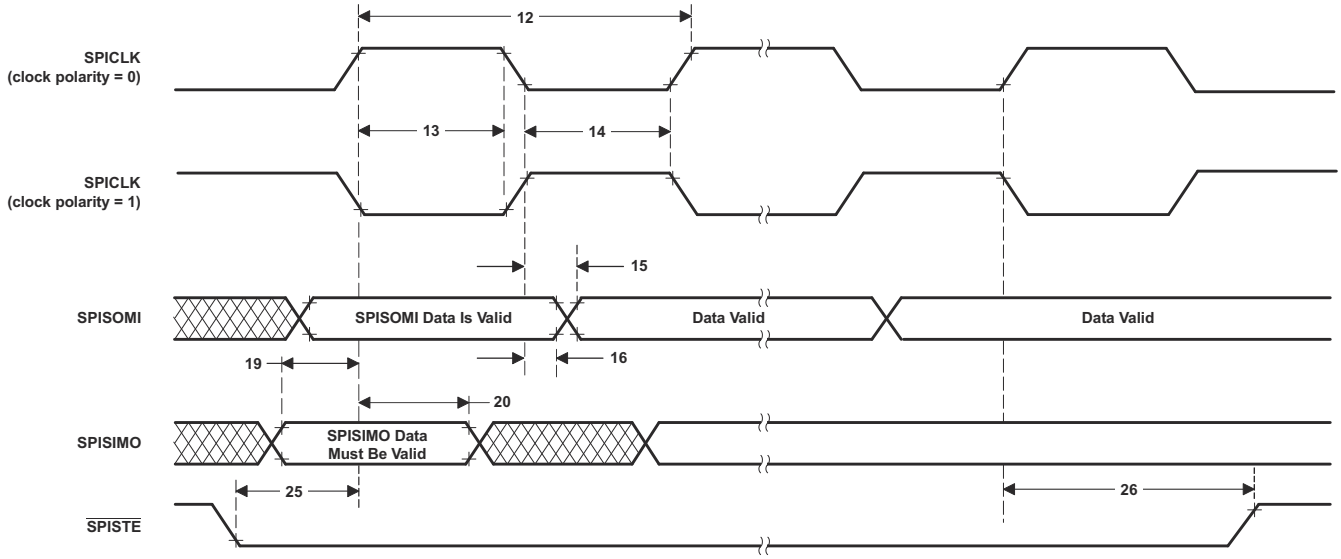


图 6-78. SPI 从模式外部时序（时钟相位 = 1）

Copyright © 2026 Texas Instruments Incorporated

6.11.6 通用串行总线(USB)控制器

在与 USB 主机或器件功能进行点对点通信过程中，USB 控制器作为全速或低速功能控制器工作。

USB 模块具有如下特性：

- USB 2.0 全速和低速运行
- 集成 PHY
- 三种传输类型：控制传输、中断传输和批量传输
- 32 个端点
  - 一个专用的控制输入端点和一个专用的控制输出端点
  - 15 个可配置输入端点和 15 个可配置输出端点
- 4KB 专用端点内存

图 6-79 显示了 USB 方框图。

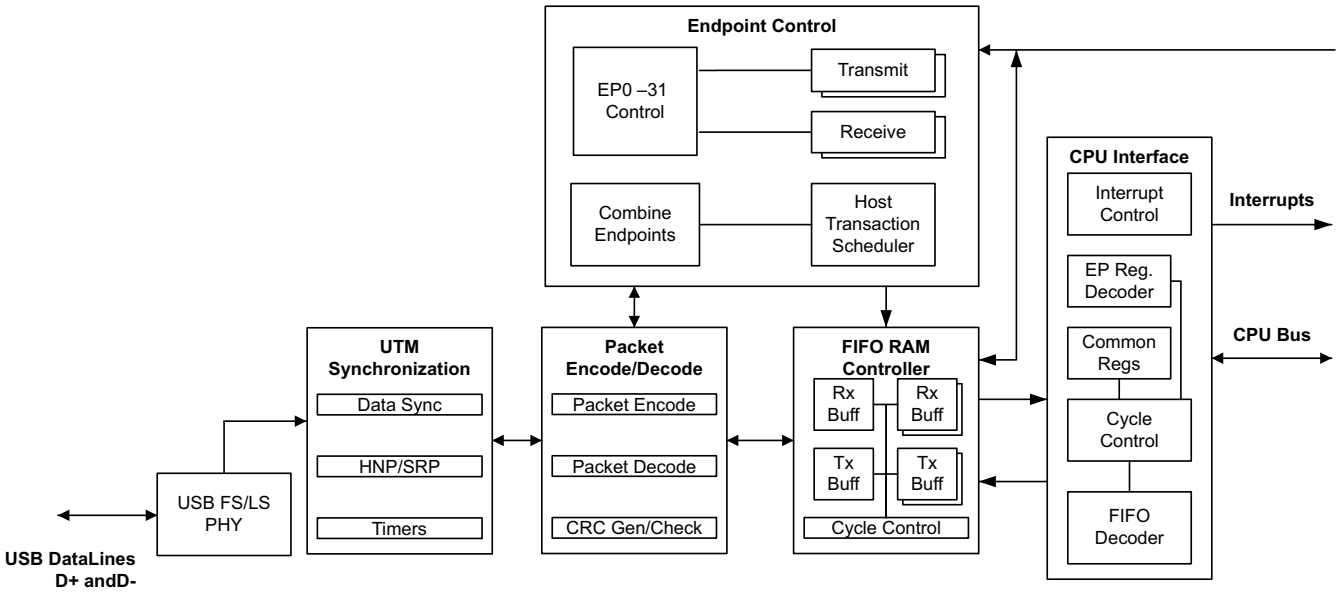


图 6-79. USB 方框图

备注

片上零引脚振荡器的精度（节 6.8.3.5.1，内部振荡器电气特征）将无法满足 USB 协议的精度要求。对于使用 USB 的应用，必须使用外部时钟源。有关使用 USB 引导模式的应用，请参阅 节 7.10（引导 ROM 和外设引导）的时钟频率要求。

Copyright © 2026 Texas Instruments Incorporated

6.11.6.1 USB 电气数据和时序

节 6.11.6.1.1 显示了 USB 输入端口 DP 和 DM 时序要求。节 6.11.6.1.2 显示了 USB 输出端口 DP 和 DM 开关特征。

6.11.6.1.1 USB 输入端口 DP 和 DM 时序要求

		最小值	最大值	单位
V(CM)	差分输入共模范围	0.8	2.5	V
Z(IN)	输入阻抗	300		kΩ
VCRS	交叉电压	1.3	2.0	V
V_{IL}	静态 SE 输入逻辑低电平	0.8		V
V_{IH}	静态 SE 输入逻辑高电平		2.0	V
VDI	差分输入电压		0.2	V

6.11.6.1.2 USB 输出端口 DP 和 DM 开关特征

在推荐的工作条件下 (除非另有说明)

参数		测试条件	最小值	最大值	单位
V_{OH}	D+，D- 单端	USB 2.0 负载条件	2.8	3.6	V
V_{OL}	D+，D- 单端	USB 2.0 负载条件	0	0.3	V
Z(DRV)	D+，D- 阻抗		28	44	Ω
t_r	上升时间	全速，差分，C_L = 50pF，10%/90%，Rpu 处于 D+ 上	4	20	ns
t_f	下降时间	全速，差分，C_L = 50pF，10%/90%，Rpu 处于 D+ 上	4	20	ns

Copyright © 2026 Texas Instruments Incorporated

6.11.7 通用并行端口 (uPP) 接口

uPP 接口是一种具有专用数据线和最小控制信号的高速并行接口。uPP 接口旨在轻松连接具有 8 位数据宽度的高速 ADC 或 DAC。它还可以与现场可编程门阵列 (FPGA) 或其他 uPP 器件相互连接，以实现高速数字数据传输。该接口可在接收模式或发送模式（单工模式）下工作。

uPP 接口包含内部 DMA 控制器，用于在高速数据传输期间最大程度地提高吞吐量并减少 CPU 开销。所有 uPP 事务都使用内部 DMA 将数据馈送至 I/O 通道或从 I/O 通道检索数据。即使只有一个 I/O 通道，DMA 控制器也包含两个 DMA 通道来支持数据交错模式，在该模式中，所有 DMA 资源都服务于单个 I/O 通道。

在此器件上，uPP 接口是 CPU1 子系统的专用资源。CPU1、CPU1.CLA1 和 CPU1.DMA 可以访问此模块。两个专用的 512 字节数据 RAM（也称为 MSG RAM）与 uPP 模块紧密耦合（ TX 和 RX 各耦合一个）。这些数据 RAM 用于存储大量数据，以避免频繁中断 CPU。只有 CPU1 和 CPU1.CLA1 可以访问这些数据 RAM。图 6-80 显示了此器件上的 uPP 集成。

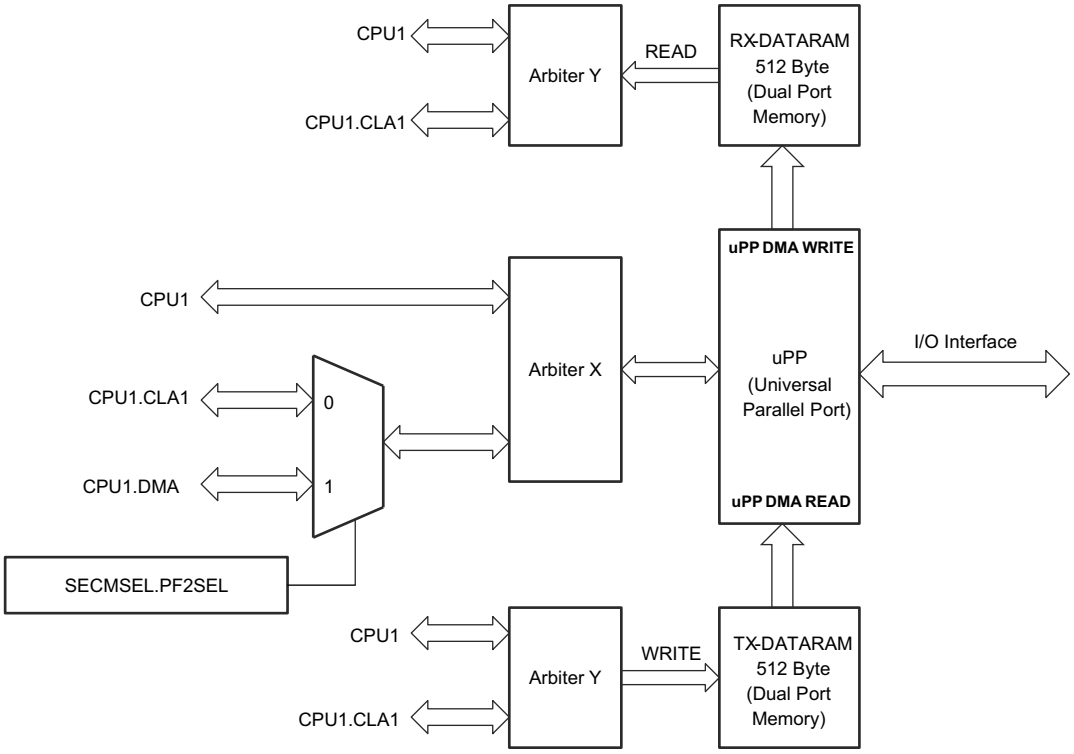


图 6-80. uPP 集成

备注

在一些 TI 器件上，uPP 模块也称为无线电外设接口 (RPI) 模块。

Copyright © 2026 Texas Instruments Incorporated

uPP 接口支持以下内容：

- 具有并行转换接口的主流高速数据转换器。
- 具有帧 START 指示的主流高速流接口。
- 具有数据 ENABLE （使能）指示的主流高速流接口。
- 具有同步 WAIT （等待）信号的主流高速流接口。
- SDR（单倍数据速率）或 DDR（双倍数据速率，交错）接口。
- 在 SDR 发送情况下交错式数据的多路复用。
- 在 DDR 情况下交错式数据的多路分离和多路复用。
- I/O 接口时钟频率对于 SDR 高达 50MHz（适用于 SDR），对于 DDR 高达 25MHz。
- 单通道 8 位输入接收或输出发送模式。
- 对于纯读或纯写，最大吞吐量为 50MB/s。
- 可作为 DSP 到 FPGA 通用流接口。

图 6-81 显示了 uPP 功能方框图。

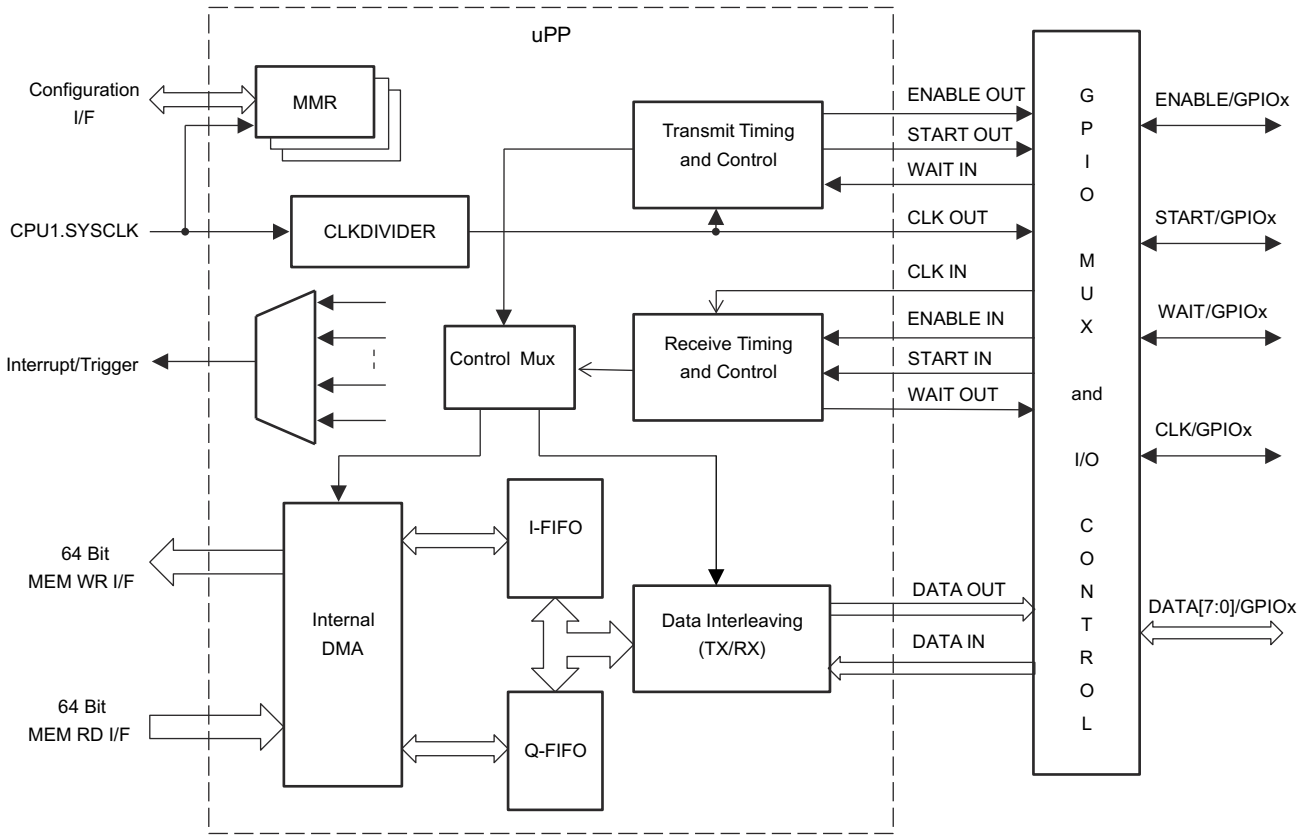


图 6-81. uPP 功能方框图

Copyright © 2026 Texas Instruments Incorporated

6.11.7.1 uPP 电气数据和时序

节 6.11.7.1.1 显示了 uPP 时序要求。节 6.11.7.1.2 显示了 uPP 开关特征。图 6-82 至图 6-85 显示了 uPP 时序图。

6.11.7.1.1 uPP 时序要求

编号				最小值	最大值	单位
1	$t_{c(CLK)}$	周期时间，CLK	SDR 模式	20		ns
			DDR 模式	40		
2	$t_{w(CLKH)}$	脉冲宽度，CLK 高电平	SDR 模式	8		ns
			DDR 模式	18		
3	$t_{w(CLKL)}$	脉冲宽度，CLK 低电平	SDR 模式	8		ns
			DDR 模式	18		
4	$t_{su(STV-CLKH)}$	CLK 高电平之前开始有效的设置时间		4		ns
5	$t_{h(CLKH-STV)}$	CLK 高电平之后开始有效的保持时间		0.8		ns
6	$t_{su(ENV-CLKH)}$	CLK 高电平之前使能有效的设置时间		4		ns
7	$t_{h(CLKH-ENV)}$	CLK 高电平之后使能有效的保持时间		0.8		ns
8	$t_{su(DV-CLKH)}$	CLK 高电平之前数据有效的设置时间		4		ns
9	$t_{h(CLKH-DV)}$	CLK 高电平之后数据有效的保持时间		0.8		ns
10	$t_{su(DV-CLKL)}$	CLK 低电平之前数据有效的设置时间		4		ns
11	$t_{h(CLKL-DV)}$	CLK 低电平之后数据有效的保持时间		0.8		ns
19	$t_{su(WTV-CLKH)}$	CLK 高电平之前等待有效的设置时间	SDR 模式	20		ns
20	$t_{h(CLKH-WTV)}$	CLK 高电平之后等待有效的保持时间	SDR 模式	0		ns
21	$t_{su(WTV-CLKL)}$	CLK 低电平之前等待有效的设置时间	DDR 模式	20		ns
22	$t_{h(CLKL-WTV)}$	CLK 低电平之后等待有效的保持时间	DDR 模式	0		ns

6.11.7.1.2 uPP 开关特征

在推荐的工作条件下（除非另有说明）

编号	参数			最小值	最大值	单位
12	$t_{c(CLK)}$	周期时间，CLK	SDR 模式	20		ns
			DDR 模式	40		
13	$t_{w(CLKH)}$	脉冲宽度，CLK 高电平	SDR 模式	8		ns
			DDR 模式	18		
14	$t_{w(CLKL)}$	脉冲宽度，CLK 低电平	SDR 模式	8		ns
			DDR 模式	18		
15	$t_{d(CLKH-STV)}$	CLK 高电平之后 START 有效的延迟时间		3	12	ns
16	$t_{d(CLKH-ENV)}$	CLK 高电平之后 ENABLE 有效的延迟时间		3	12	ns
17	$t_{d(CLKH-DV)}$	CLK 高电平之后 DATA 有效的延迟时间		3	12	ns
18	$t_{d(CLKL-DV)}$	CLK 低电平之后 DATA 有效的延迟时间		3	12	ns

Copyright © 2026 Texas Instruments Incorporated

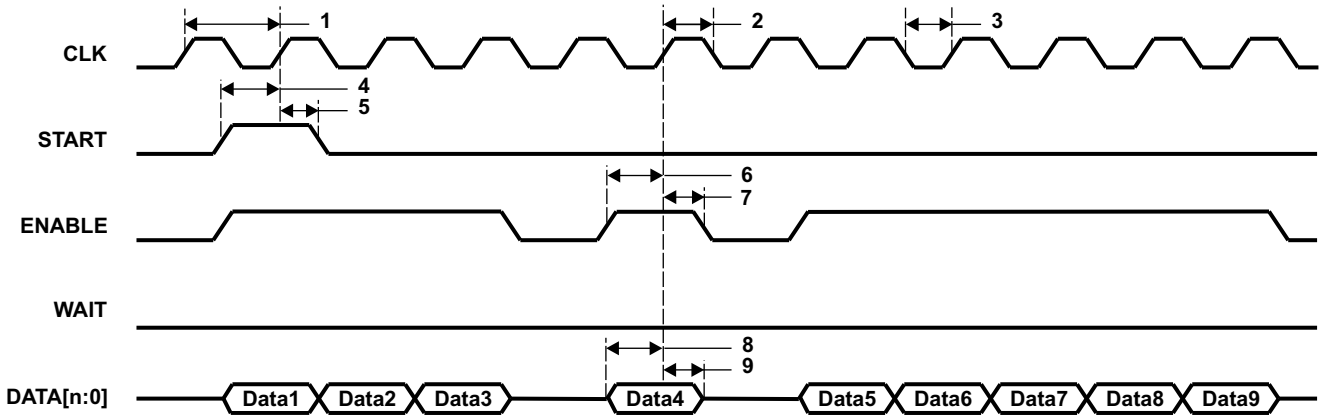


图 6-82. uPP 单倍数据速率 (SDR) 接收时序

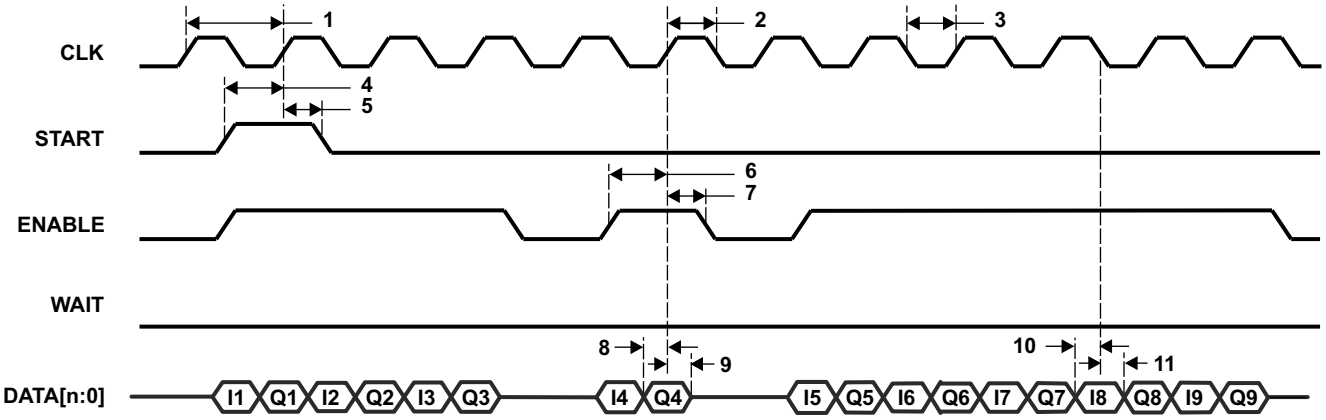


图 6-83. uPP 双倍数据速率 (DDR) 接收时序

Copyright © 2026 Texas Instruments Incorporated

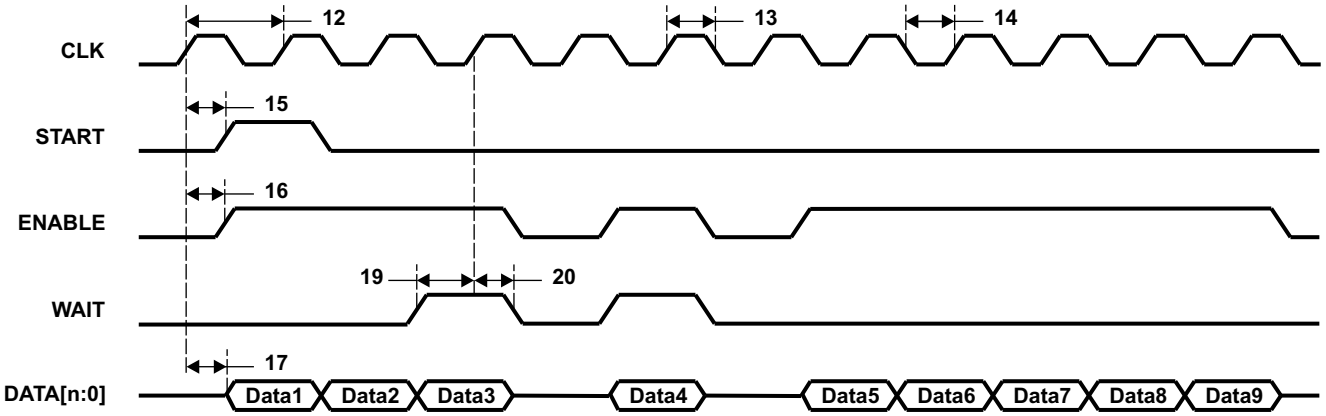


图 6-84. uPP 单倍数据速率 (SDR) 发送时序

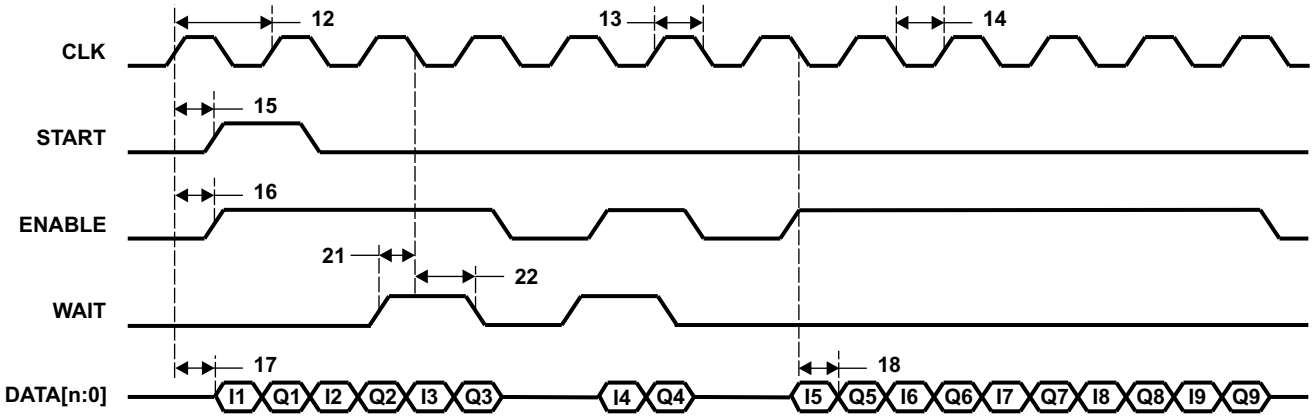


图 6-85. uPP 双倍数据速率 (DDR) 发送时序

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

TMS320F2837xD 是一款功能强大的 32 位浮点微控制器单元 (MCU)，专为工业电机驱动器、光伏逆变器和数字电源、电动汽车和运输以及感应和信号处理等高级闭环控制应用而设计。数字电源和工业驱动器的完整开发包作为 powerSUITE 和 DesignDRIVE 方案的一部分提供。F2837xD 支持新型双核 C28x 架构，显著提升了系统性能。此外，集成式模拟和控制外设还允许设计人员整合控制架构，并消除了高端系统对多处理器的需求。

双实时控制子系统基于 TI 的 32 位 C28x 浮点 CPU，每个内核均可提供 200 MHz 的信号处理性能。C28x CPU 的性能通过新型 TMU 加速器和 VCU 加速器得到了进一步提升，TMU 加速器能够快速执行变换和转矩环路计算中常见的三角运算的算法；VCU 加速器能够缩短编码应用中常见的复杂数学运算的时间。

F2837xD 微控制器产品系列具有两个 CLA 实时控制协处理器。CLA 是一款独立的 32 位浮点处理器，运行速度与主 CPU 相同。该 CLA 对外设触发器作出响应，并与主 C28x CPU 同时执行代码。这种并行处理功能可以有效地将实时控制系统的计算性能提高一倍。通过利用 CLA 为时间关键型功能提供服务，主 C28x CPU 自由地执行其他任务，如通信和诊断。双路 C28x+CLA 架构可在各种系统任务之间实现智能分区。例如，一个 C28x+CLA 内核可用于跟踪速度和位置，而另一个 C28x+CLA 内核则可用于控制转矩和电流环路。

TMS320F2837xD 支持高达 1MB (512KW)且具有误差校正代码（ECC）的板载闪存以及高达 204KB (102KW) 的 SRAM。每个 CPU 上还具有两个 128 位安全区用于代码保护。

F2837xD MCU 上还集成了性能模拟和控制外设，进一步实现系统整合。四个独立的 16 位 ADC 可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。新型 Σ-Δ 滤波器模块 (SDFM) 与 Σ-Δ 调制器配合使用可实现隔离式电流并联测量。包含窗口比较器的比较器子系统 (CMPSS) 可在超过或未满足电流限制条件的情况下保护功率级。其他模拟和控制外设包含 DAC、PWM、eCAP、eQEP 以及其他外设。

EMIF、CAN 模块（符合 ISO 11898-1/CAN 2.0B 标准）等外设以及新型 uPP 接口扩展了 F2837xD 的连接性。uPP 接口是 C2000 MCU 的新功能，支持利用相似的 uPP 接口与 FPGA 或其他处理器实现高速并行连接。最后，具有 MAC 和 PHY 的 USB 2.0 端口使用户能够轻松地将通用串行总线 (USB) 连接到其应用中。

是否想详细了解 C2000 实时 MCU 适用于实时控制系统的特性？查看 *使用 C2000™ 实时微控制器的基本开发指南*，并访问 C2000™ 实时控制 MCU 页面。

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，帮助用户进一步了解相关信息。

准备开始了吗？查看 TMDSCNCD28379D 或 LAUNCHXL-F28379D 评估板并下载 C2000Ware。

Copyright © 2026 Texas Instruments Incorporated

7.2 功能方框图

功能方框图展示了 CPU 系统及 F2837xD 器件关联的外设。有关 F28377D-SEP 上的特性和外设，请参阅表 4-1。

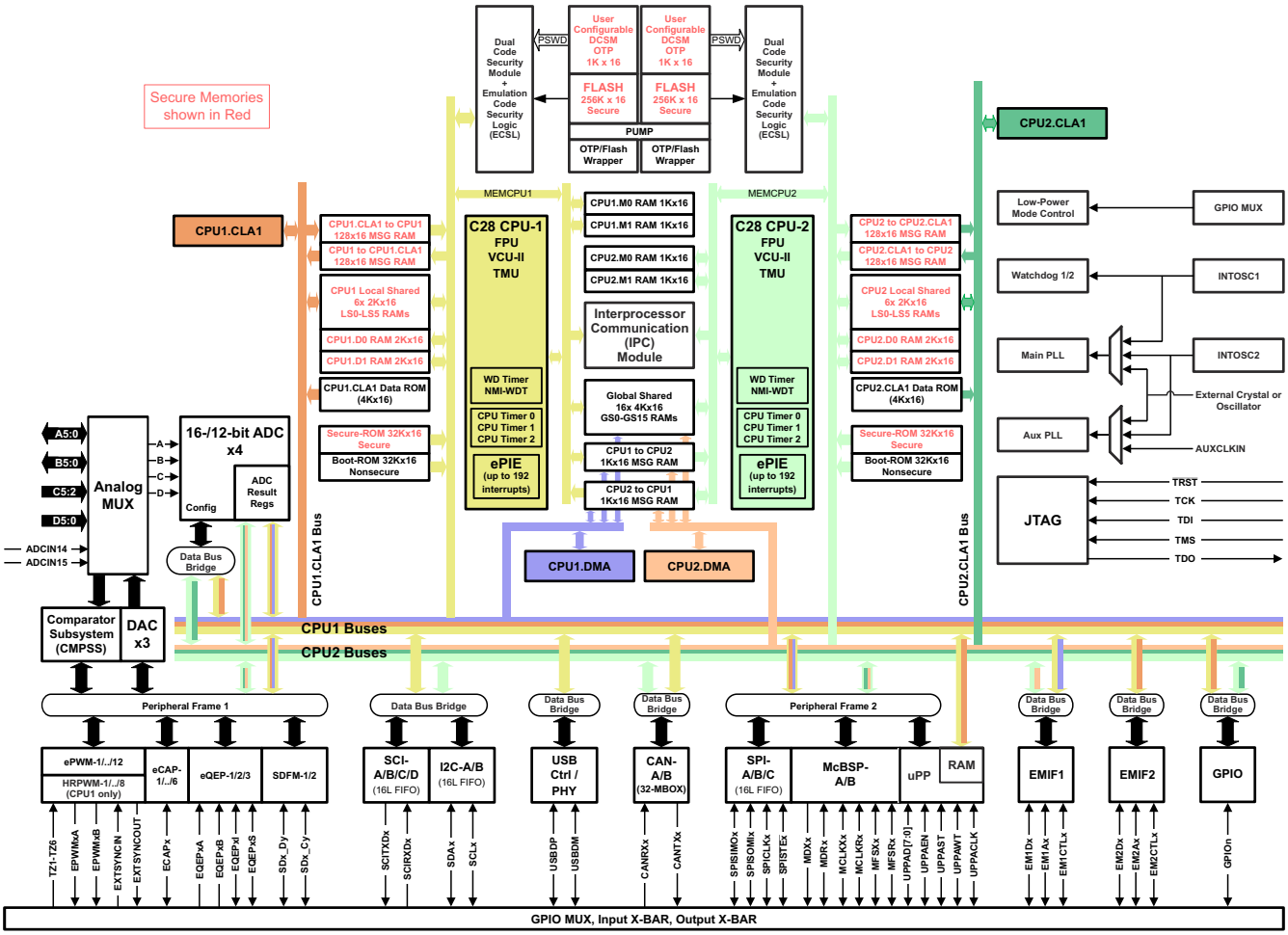


图 7-1. F2837xD 功能框图

7.3 存储器

7.3.1 C28x 存储器映射

除非表 7-1 中另有注明，器件上的两个 C28x CPU 具有相同的存储器映射。GSx_RAM（全局共享 RAM）应由 GSxMSEL 寄存器分配给任一 CPU。可由 CLA 或 DMA 访问的存储器（直接存储器访问）也被注明。

表 7-1. C28x 存储器映射

存储器	尺寸	起始地址	结束地址	CLA 存取	DMA 存取
M0 RAM	1K × 16	0x0000 0000	0x0000 03FF		
M1 RAM	1K × 16	0x0000 0400	0x0000 07FF		
PieVectTable	512 × 16	0x0000 0D00	0x0000 0EFF		
CPUx.CLA1 至 CPUx MSGRAM	128 × 16	0x0000 1480	0x0000 14FF	是	
CPUx 至 CPUx.CLA1 MSGRAM	128 × 16	0x0000 1500	0x0000 157F	是	
UPP TX MSG RAM	512 × 16	0x0000 6C00	0x0000 6DFF	是（仅限 CPU1.CLA1）	
UPP RX MSG RAM	512 × 16	0x0000 6E00	0x0000 6FFF	是（仅限 CPU1.CLA1）	
LS0 RAM	2K × 16	0x0000 8000	0x0000 87FF	是	
LS1 RAM	2K × 16	0x0000 8800	0x0000 8FFF	是	
LS2 RAM	2K × 16	0x0000 9000	0x0000 97FF	是	
LS3 RAM	2K × 16	0x0000 9800	0x0000 9FFF	是	
LS4 RAM	2K × 16	0x0000 A000	0x0000 A7FF	是	
LS5 RAM	2K × 16	0x0000 A800	0x0000 AFFF	是	
D0 RAM	2K × 16	0x0000 B000	0x0000 B7FF		
D1 RAM	2K × 16	0x0000 B800	0x0000 BFFF		
GS0 RAM(1)	4K × 16	0x0000 C000	0x0000 CFFF		是
GS1 RAM(1)	4K × 16	0x0000 D000	0x0000 DFFF		是
GS2 RAM(1)	4K × 16	0x0000 E000	0x0000 EFFF		是
GS3 RAM(1)	4K × 16	0x0000 F000	0x0000 FFFF		是
GS4 RAM(1)	4K × 16	0x0001 0000	0x0001 0FFF		是
GS5 RAM(1)	4K × 16	0x0001 1000	0x0001 1FFF		是
GS6 RAM(1)	4K × 16	0x0001 2000	0x0001 2FFF		是
GS7 RAM(1)	4K × 16	0x0001 3000	0x0001 3FFF		是
GS8 RAM(1)	4K × 16	0x0001 4000	0x0001 4FFF		是
GS9 RAM(1)	4K × 16	0x0001 5000	0x0001 5FFF		是
GS10 RAM(1)	4K × 16	0x0001 6000	0x0001 6FFF		是
GS11 RAM(1)	4K × 16	0x0001 7000	0x0001 7FFF		是
GS12 RAM(1)	4K × 16	0x0001 8000	0x0001 8FFF		是
GS13 RAM(1)	4K × 16	0x0001 9000	0x0001 9FFF		是
GS14 RAM(1)	4K × 16	0x0001 A000	0x0001 AFFF		是
GS15 RAM(1)	4K × 16	0x0001 B000	0x0001 BFFF		是
CPU2 至 CPU1 MSGRAM(1)	1K × 16	0x0003 F800	0x0003 FBFF		是
CPU1 至 CPU2 MSGRAM(1)	1K × 16	0x0003 FC00	0x0003 FFFF		是
CAN A 消息 RAM(1)	2K × 16	0x0004 9000	0x0004 97FF		
CAN B 消息 RAM(1)	2K × 16	0x0004 B000	0x0004 B7FF		
闪存	256K × 16	0x0008 0000	0x000B FFFF		
安全 ROM	32K × 16	0x003F 0000	0x003F 7FFF		
引导 ROM	32K × 16	0x003F 8000	0x003F FFBF		

Copyright © 2026 Texas Instruments Incorporated

表 7-1. C28x 存储器映射（续）

存储器	尺寸	起始地址	结束地址	CLA 存取	DMA 存取
矢量	64 × 16	0x003F FFC0	0x003F FFFF		

(1) 在 CPU 子系统之间共享。

Copyright © 2026 Texas Instruments Incorporated

7.3.2 闪存映射

在 F28377D-SEP 器件上，每个 CPU 都具有自身的闪存库 [512KB (256KW)]，每个器件的总闪存为 1MB (512KW)。一次只能对一个库进行编程或擦除，并且对闪存进行编程的代码应在 RAM 外执行。下表显示了 F28377D-SEP 的 CPU1 和 CPU2 上的闪存扇区地址。

表 7-2. F28377D-SEP 的 CPU1 和 CPU2 上的闪存扇区地址

扇区	尺寸	起始地址	结束地址
OTP 扇区			
TI OTP	1K x 16	0x0007 0000	0x0007 03FF
用户可配置 DCSM OTP	1K x 16	0x0007 8000	0x0007 83FF
扇区			
扇区 0	8K x 16	0x0008 0000	0x0008 1FFF
扇区 1	8K x 16	0x0008 2000	0x0008 3FFF
扇区 2	8K x 16	0x0008 4000	0x0008 5FFF
扇区 3	8K x 16	0x0008 6000	0x0008 7FFF
扇区 4	32K x 16	0x0008 8000	0x0008 FFFF
扇区 5	32K x 16	0x0009 0000	0x0009 7FFF
扇区 6	32K x 16	0x0009 8000	0x0009 FFFF
扇区 7	32K x 16	0x000A 0000	0x000A 7FFF
扇区 8	32K x 16	0x000A 8000	0x000A FFFF
扇区 9	32K x 16	0x000B 0000	0x000B 7FFF
扇区 10	8K x 16	0x000B 8000	0x000B 9FFF
扇区 11	8K x 16	0x000B A000	0x000B BFFF
扇区 12	8K x 16	0x000B C000	0x000B DFFF
扇区 13	8K x 16	0x000B E000	0x000B FFFF
闪存 ECC 位置			
TI OTP ECC	128 x 16	0x0107 0000	0x0107 007F
用户可配置 DCSM OTP ECC	128 x 16	0x0107 1000	0x0107 107F
闪存 ECC (扇区 0)	1K x 16	0x0108 0000	0x0108 03FF
闪存 ECC (扇区 1)	1K x 16	0x0108 0400	0x0108 07FF
闪存 ECC (扇区 2)	1K x 16	0x0108 0800	0x0108 0BFF
闪存 ECC (扇区 3)	1K x 16	0x0108 0C00	0x0108 0FFF
闪存 ECC (扇区 4)	4K x 16	0x0108 1000	0x0108 1FFF
闪存 ECC (扇区 5)	4K x 16	0x0108 2000	0x0108 2FFF
闪存 ECC (扇区 6)	4K x 16	0x0108 3000	0x0108 3FFF
闪存 ECC (扇区 7)	4K x 16	0x0108 4000	0x0108 4FFF
闪存 ECC (扇区 8)	4K x 16	0x0108 5000	0x0108 5FFF
闪存 ECC (扇区 9)	4K x 16	0x0108 6000	0x0108 6FFF
闪存 ECC (扇区 10)	1K x 16	0x0108 7000	0x0108 73FF

Copyright © 2026 Texas Instruments Incorporated

表 7-2. F28377D-SEP 的 CPU1 和 CPU2 上的闪存扇区地址（续）

扇区	尺寸	起始地址	结束地址
闪存 ECC（扇区 11）	1K x 16	0x0108 7400	0x0108 77FF
闪存 ECC（扇区 12）	1K x 16	0x0108 7800	0x0108 7BFF
闪存 ECC（扇区 13）	1K x 16	0x0108 7C00	0x0108 7FFF

7.3.3 EMIF 芯片选择存储器映射

EMIF1 存储器映射对于两个 CPU 子系统是相同的。EMIF2 仅在 CPU1 子系统上可用。表 7-3 中显示了 EMIF 内存映射。

表 7-3. EMIF 芯片选择存储器映射

EMIF 芯片选择	尺寸(2)	起始地址	结束地址	CLA 存取	DMA 存取
EMIF1_CS0n - 数据	256M × 16	0x8000 0000	0x8FFF FFFF		是
EMIF1_CS2n - 程序 + 数据(3)	2M × 16	0x0010 0000	0x002F FFFF		是
EMIF1_CS3n - 程序 + 数据	512K × 16	0x0030 0000	0x0037 FFFF		是
EMIF1_CS4n - 程序 + 数据	393K × 16	0x0038 0000	0x003D FFFF		是
EMIF2_CS0n - 数据(1)	32M × 16	0x9000 0000	0x91FF FFFF		
EMIF2_CS2n - 程序 + 数据(1)	4K × 16	0x0000 2000	0x0000 2FFF	是（仅数据）	

(1) 仅在 CPU1 子系统上可用。
(2) 此表中列出的可用内存大小是假设 32 位内存的最大可能大小。由于引脚多路复用设置的原因，这可能不适用于其他内存大小。有关查找适用于您的使用用例的可用地址行，请参阅节 5.4.1。
(3) 2M × 16 大小适用于 32 位接口，并且假设不执行 16 位访问；因此，不使用字节使能（与板上的有效值相关）。如果使用了字节使能，则最大大小更小，因为字节使能与地址引脚进行多路复用（参阅节 5.4.1）。如果使用 16 位内存，则最大大小为 1M × 16。

7.3.4 外设寄存器内存映射

外设寄存器内存映射可参阅表 7-4 。外设寄存器可以分配给 CPU1 或 CPU2 子系统，除非表 7-4 中另有说明。外设帧中的寄存器与同一外设帧中的所有其他寄存器共享一个二级主控（CLA 或 DMA）选项。有关 CPU 子系统和二级主控选项的详细信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册*。

备注

器件外设都不具备程序总线访问权限。

表 7-4. 外设寄存器内存映射

寄存器	结构名称	起始地址	结束地址	受保护 (1)	CLA 存取	DMA 存取
AdcaResultRegs	ADC_RESULT_REGS	0x0000 0B00	0x0000 0B1F		是	是
AdcbResultRegs	ADC_RESULT_REGS	0x0000 0B20	0x0000 0B3F		是	是
AdccResultRegs	ADC_RESULT_REGS	0x0000 0B40	0x0000 0B5F		是	是
AdcdResultRegs	ADC_RESULT_REGS	0x0000 0B60	0x0000 0B7F		是	是
CpuTimer0Regs (2)	CPUTIMER_REGS	0x0000 0C00	0x0000 0C07			
CpuTimer1Regs (2)	CPUTIMER_REGS	0x0000 0C08	0x0000 0C0F			
CpuTimer2Regs (2)	CPUTIMER_REGS	0x0000 0C10	0x0000 0C17			
PieCtrlRegs (2) (5)	PIE_CTRL_REGS	0x0000 0CE0	0x0000 0CFF			
Cla1SoftIntRegs (5)	CLA_SOFTINT_REGS	0x0000 0CE0	0x0000 0CFF		是 - 仅限 CLA，对 CPU 无访问权限	
DmaRegs (2)	DMA_REGS	0x0000 1000	0x0000 11FF			
Cla1Regs (2)	CLA_REGS	0x0000 1400	0x0000 147F			
外设帧 1						

Copyright © 2026 Texas Instruments Incorporated

表 7-4. 外设寄存器内存映射（续）

寄存器	结构名称	起始地址	结束地址	受保护 [1]	CLA 存取	DMA 存取
EPwm1Regs	EPWM_REGS	0x0000 4000	0x0000 40FF	是	是	是
EPwm2Regs	EPWM_REGS	0x0000 4100	0x0000 41FF	是	是	是
EPwm3Regs	EPWM_REGS	0x0000 4200	0x0000 42FF	是	是	是
EPwm4Regs	EPWM_REGS	0x0000 4300	0x0000 43FF	是	是	是
EPwm5Regs	EPWM_REGS	0x0000 4400	0x0000 44FF	是	是	是
EPwm6Regs	EPWM_REGS	0x0000 4500	0x0000 45FF	是	是	是
EPwm7Regs	EPWM_REGS	0x0000 4600	0x0000 46FF	是	是	是
EPwm8Regs	EPWM_REGS	0x0000 4700	0x0000 47FF	是	是	是
EPwm9Regs	EPWM_REGS	0x0000 4800	0x0000 48FF	是	是	是
EPwm10Regs	EPWM_REGS	0x0000 4900	0x0000 49FF	是	是	是
EPwm11Regs	EPWM_REGS	0x0000 4A00	0x0000 4AFF	是	是	是
EPwm12Regs	EPWM_REGS	0x0000 4B00	0x0000 4BFF	是	是	是
ECap1Regs	ECAP_REGS	0x0000 5000	0x0000 501F	是	是	是
ECap2Regs	ECAP_REGS	0x0000 5020	0x0000 503F	是	是	是
ECap3Regs	ECAP_REGS	0x0000 5040	0x0000 505F	是	是	是
ECap4Regs	ECAP_REGS	0x0000 5060	0x0000 507F	是	是	是
ECap5Regs	ECAP_REGS	0x0000 5080	0x0000 509F	是	是	是
ECap6Regs	ECAP_REGS	0x0000 50A0	0x0000 50BF	是	是	是
EQep1Regs	EQEP_REGS	0x0000 5100	0x0000 513F	是	是	是
EQep2Regs	EQEP_REGS	0x0000 5140	0x0000 517F	是	是	是
EQep3Regs	EQEP_REGS	0x0000 5180	0x0000 51BF	是	是	是
DacaRegs	DAC_REGS	0x0000 5C00	0x0000 5C0F	是	是	是
DacbRegs	DAC_REGS	0x0000 5C10	0x0000 5C1F	是	是	是
DaccRegs	DAC_REGS	0x0000 5C20	0x0000 5C2F	是	是	是
Cmpss1Regs	CMPSS_REGS	0x0000 5C80	0x0000 5C9F	是	是	是
Cmpss2Regs	CMPSS_REGS	0x0000 5CA0	0x0000 5CBF	是	是	是
Cmpss3Regs	CMPSS_REGS	0x0000 5CC0	0x0000 5CDF	是	是	是
Cmpss4Regs	CMPSS_REGS	0x0000 5CE0	0x0000 5CFF	是	是	是
Cmpss5Regs	CMPSS_REGS	0x0000 5D00	0x0000 5D1F	是	是	是
Cmpss6Regs	CMPSS_REGS	0x0000 5D20	0x0000 5D3F	是	是	是
Cmpss7Regs	CMPSS_REGS	0x0000 5D40	0x0000 5D5F	是	是	是
Cmpss8Regs	CMPSS_REGS	0x0000 5D60	0x0000 5D7F	是	是	是
Sdfm1Regs	SDFM_REGS	0x0000 5E00	0x0000 5E7F	是	是	是
Sdfm2Regs	SDFM_REGS	0x0000 5E80	0x0000 5EFF	是	是	是
外设帧 2						
McbspaRegs	MCBSP_REGS	0x0000 6000	0x0000 603F	是	是	是
McbspbRegs	MCBSP_REGS	0x0000 6040	0x0000 607F	是	是	是
SpiaRegs	SPI_REGS	0x0000 6100	0x0000 610F	是	是	是
SpibRegs	SPI_REGS	0x0000 6110	0x0000 611F	是	是	是
SpicRegs	SPI_REGS	0x0000 6120	0x0000 612F	是	是	是
UppRegs [3]	UPP_REGS	0x0000 6200	0x0000 62FF	是	是	是
WdRegs [2]	WD_REGS	0x0000 7000	0x0000 703F	是		
NmiIntruptRegs [2]	NMI_INTRUPT_REGS	0x0000 7060	0x0000 706F	是		
XintRegs [2]	XINT_REGS	0x0000 7070	0x0000 707F	是		
SciaRegs	SCI_REGS	0x0000 7200	0x0000 720F	是		
ScibRegs	SCI_REGS	0x0000 7210	0x0000 721F	是		
ScicRegs	SCI_REGS	0x0000 7220	0x0000 722F	是		

Copyright © 2026 Texas Instruments Incorporated

表 7-4. 外设寄存器内存映射（续）

寄存器	结构名称	起始地址	结束地址	受保护 (1)	CLA 存取	DMA 存取
ScidRegs	SCI_REGS	0x0000 7230	0x0000 723F	是		
I2caRegs	I2C_REGS	0x0000 7300	0x0000 733F	是		
I2cbRegs	I2C_REGS	0x0000 7340	0x0000 737F	是		
AdcaRegs	ADC_REGS	0x0000 7400	0x0000 747F	是	是	
AdcbRegs	ADC_REGS	0x0000 7480	0x0000 74FF	是	是	
AdccRegs	ADC_REGS	0x0000 7500	0x0000 757F	是	是	
AdcdRegs	ADC_REGS	0x0000 7580	0x0000 75FF	是	是	
InputXbarRegs (3)	INPUT_XBAR_REGS	0x0000 7900	0x0000 791F	是		
XbarRegs (3)	XBAR_REGS	0x0000 7920	0x0000 793F	是		
TrigRegs (3)	TRIG_REGS	0x0000 7940	0x0000 794F	是		
DmaClaSrcSelRegs (2)	DMA_CLA_SRC_SEL_REGS	0x0000 7980	0x0000 798F	是		
EPwmXbarRegs (3)	EPWM_XBAR_REGS	0x0000 7A00	0x0000 7A3F	是		
OutputXbarRegs (3)	OUTPUT_XBAR_REGS	0x0000 7A80	0x0000 7ABF	是		
GpioCtrlRegs (3)	GPIO_CTRL_REGS	0x0000 7C00	0x0000 7D7F	是		
GpioDataRegs (2)	GPIO_DATA_REGS	0x0000 7F00	0x0000 7F2F	是	是	
UsbaRegs (3)	USB_REGS	0x0004 0000	0x0004 0FFF	是		
Emif1Regs	EMIF_REGS	0x0004 7000	0x0004 77FF	是		
Emif2Regs (3)	EMIF_REGS	0x0004 7800	0x0004 7FFF	是		
CanaRegs	CAN_REGS	0x0004 8000	0x0004 87FF	是		
CanbRegs	CAN_REGS	0x0004 A000	0x0004 A7FF	是		
IpcRegs (2)	IPC_REGS_CPU1 IPC_REGS_CPU2	0x0005 0000	0x0005 0023	是		
FlashPumpSemaphoreRegs (2)	FLASH_PUMP_SEMAPHORE_REGS	0x0005 0024	0x0005 0025	是		
DevCfgRegs (3)	DEV_CFG_REGS	0x0005 D000	0x0005 D17F	是		
AnalogSubsysRegs (3)	ANALOG_SUBSYS_REGS	0x0005 D180	0x0005 D1FF	是		
ClkCfgRegs (4)	CLK_CFG_REGS	0x0005 D200	0x0005 D2FF	是		
CpuSysRegs (2)	CPU_SYS_REGS	0x0005 D300	0x0005 D3FF	是		
RomPrefetchRegs (3)	ROM_PREFETCH_REGS	0x0005 E608	0x0005 E60B	是		
DcsmZ1Regs (2)	DCSM_Z1_REGS	0x0005 F000	0x0005 F02F	是		
DcsmZ2Regs (2)	DCSM_Z2_REGS	0x0005 F040	0x0005 F05F	是		
DcsmCommonRegs (2)	DCSM_COMMON_REGS	0x0005 F070	0x0005 F07F	是		
MemCfgRegs (2)	MEM_CFG_REGS	0x0005 F400	0x0005 F47F	是		
Emif1ConfigRegs (2)	EMIF1_CONFIG_REGS	0x0005 F480	0x0005 F49F	是		
Emif2ConfigRegs (3)	EMIF2_CONFIG_REGS	0x0005 F4A0	0x0005 F4BF	是		
AccessProtectionRegs (2)	ACCESS_PROTECTION_REGS	0x0005 F4C0	0x0005 F4FF	是		
MemoryErrorRegs (2)	MEMORY_ERROR_REGS	0x0005 F500	0x0005 F53F	是		
RomWaitStateRegs (3)	ROM_WAIT_STATE_REGS	0x0005 F540	0x0005 F541	是		
Flash0CtrlRegs (2)	FLASH_CTRL_REGS	0x0005 F800	0x0005 FAFF	是		
Flash0EccRegs (2)	FLASH_ECC_REGS	0x0005 FB00	0x0005 FB3F	是		

(1) CPU（不适用于 CLA 或 DMA）包含先写后读保护模式，以确保在受保护地址范围内，通过延迟读取操作直至启动写入操作，以按写入式执行写入操作之后的任何读取操作。
(2) 这些寄存器的唯一副本存在于每个 CPU 子系统上。
(3) 这些寄存器仅在 CPU1 子系统上可用。
(4) 这些寄存器根据信标映射到 CPU1 或 CPU2。
(5) PieCtrlRegs 和 Cla1SoftIntRegs 的地址重叠是正确的。每个 CPU、C28x 和 CLA 只能访问其中一个寄存器组。

Copyright © 2026 Texas Instruments Incorporated

7.3.5 存储器类型

表 7-5 提供了有关每种存储器类型的更多信息。

表 7-5. 存储器类型

内存类型	支持 ECC	奇偶校验	安全	休眠保持	访问保护
M0、M1	是	–	–	是	–
D0、D1	是	–	是	–	是
LSx	–	是	是	–	是
GSx	–	是	–	–	是
CPU/CLA MSGRAM	–	是	是	–	是
引导 ROM	–	–	–	不适用	–
安全 ROM	–	–	是	不适用	–
闪存	是	–	是	不适用	不适用
用户可配置的 DCSM OTP	是	–	是	不适用	不适用

7.3.5.1 专用 RAM（Mx 和 Dx RAM）

CPU 子系统有四个支持 ECC 功能的专用 RAM 模块：M0、M1、D0 和 D1。M0/M1 存储器是与 CPU 紧密耦合的小型非安全块（那就是只有 CPU 可以访问这些存储器）。D0/D1 存储器是安全块，还具有访问保护功能（CPU 写入/CPU 获取保护）。

7.3.5.2 本地共享 RAM (LSx RAM)

专用于每个子系统且仅对其 CPU 和 CLA 进行访问的 RAM 块被称为本地共享 RAM (LSx RAM)。

所有 LSx RAM 块都具有奇偶校验功能。这些存储器都是安全的，且具有访问保护（CPU 写入/CPU 获取）特性。

默认情况下，这些存储器仅供 CPU 使用，用户可以通过适当地配置 LSxMSEL 寄存器中的 MSEL_LSx 位字段来选择与 CLA 共享这些存储器。

表 7-6 显示了对 LSx RAM 的主访问。

表 7-6. 对 LSx RAM 的主访问
（假设已禁用所有其他访问保护）

MSEL_LSx	CLAPGM_LSx	CPU 允许访问	CLA 允许访问	注释
00	X	全部	–	LSx 存储器被配置为 CPU 专用 RAM。
01	0	全部	数据读取 数据写入	LSx 存储器在 CPU 和 CLA1 之间共享。
01	1	仿真读取 仿真写入	仅获取	LSx 存储器是 CLA1 程序存储器。

Copyright © 2026 Texas Instruments Incorporated

7.3.5.3 全局共享 RAM (GSx RAM)

可从 CPU 和 DMA 访问的 RAM 块被称为全局共享 RAM (GSx RAM)。每个共享 RAM 块可由任一 CPU 子系统拥有，具体取决于 GSxMSEL 寄存器中各个位的配置。

所有 GSx RAM 块都具有奇偶校验功能。

当 CPU 子系统拥有 GSx RAM 块时，CPUx 和 CPUx.DMA 将拥有对该 RAM 块的完全访问权限，而 CPUy 和 CPUy.DMA 将仅拥有读取访问权限（无获取/写入访问权限）。

表 7-7 显示了对 GSx RAM 的主访问。

表 7-7. 主器件对 GSx RAM 的访问权限
（假设禁用所有其他访问保护）

GSxMSEL	CPU	指令获取	读取	写入	CPUx.DMA 读取	CPUx.DMA 写入
0	CPU1	是	是	是	是	是
	CPU2	–	是	–	是	–
1	CPU1	–	是	–	是	–
	CPU2	是	是	是	是	是

GSx RAM 具有访问保护（CPU 写入/CPU 获取/DMA 写入）。

7.3.5.4 CPU 消息 RAM (CPU MSGRAM)

这些 RAM 块可用于在 CPU1 和 CPU2 之间共享数据。由于这些 RAM 用于处理器间的通信，因此也被称为 IPC RAM。CPU MSGRAM 具有源自其自身 CPU 子系统的 CPU/DMA 读取/写入访问权限，以及源自其他子系统的 CPU/DMA 只读权限。

该 RAM 具有奇偶校验功能。

7.3.5.5 CLA 消息 RAM (CLA MSGRAM)

这些 RAM 块可用于在 CPU 和 CLA 之间共享数据。CLA 具有对“CLA 到 CPU MSGRAM”的读写访问权限。CPU 具有对“CPU 到 CLA MSGRAM”的读写访问权限。CPU 和 CLA 都具有对两个 MSGRAM 的读取权限。

该 RAM 具有奇偶校验功能。

Copyright © 2026 Texas Instruments Incorporated

7.4 标识

表 7-8 显示了器件识别寄存器。

表 7-8. 器件标识寄存器

名称	地址	大小 (x16)	说明
PARTIDH	0x0005 D00A (CPU1) 0x0007 0202 (CPU2)	2	器件型号识别号(1) F28377D-SEP 0x**FF 0300
REVID	0x0005 D00C	2	器件修订版本号 修订版 0 0x0000 0000 修订版 A 0x0000 0000 修订版 B 0x0000 0002 修订版 C 0x0000 0003
UID_UNIQUE	0x0007 03CC	2	唯一标识号。此编号在具有相同 PARTIDH 的每个单独器件上是不同的。这可以用作应用中的序列号。此编号仅存在于 TMS 修订版 C 器件上。
CPU ID	0x0007 026D	1	CPU 识别号 CPU1 0xXX01 CPU2 0xXX02
JTAG ID	不适用	不适用	JTAG 器件 ID 0x0B99 C02F

(1) PARTIDH 对每个器件型号可以有两个值中的一个值，其中八个最高有效位用上面的“**”标识为 0x00 或 0x02。

Copyright © 2026 Texas Instruments Incorporated

7.5 总线架构 - 外设连接

表 7-9 显示了每个总线主控访问外设和配置寄存器的总体视图。外设可以单独分配给 CPU1 或 CPU2 子系统（例如，ePWM 可以分配给 CPU1，eQEP 可以分配给 CPU2）。外设帧 1 或 2 内的外设都将作为一个组被映射到各自的二级主控（如果 SPI 分配给 CPUx.DMA，则 McBSP 也分配给 CPUx.DMA）。

表 7-9. 总线主器件对外设的访问

外设 （按总线访问类型）	CPU1.DMA	CPU1.CLA1	CPU1	CPU2	CPU2.CLA1	CPU2.DMA
可分配给 CPU1 或 CPU2 且具有通用可选二级主控的外设						
外设帧 1： • ePWM • SDFM • eCAP(1) • eQEP(1) • CMPSS(1) • DAC(1)	Y	Y	Y	Y	Y	Y
外设帧 1： • HRPWM	Y	Y	Y			
外设帧 2： • SPI • McBSP	Y	Y	Y	Y	Y	Y
外设帧 2： • uPP 配置(1)	Y	Y	Y			
可分配给 CPU1 或 CPU2 子系统的外设						
SCI			Y	Y		
I2C			Y	Y		
CAN			Y	Y		
ADC 配置		Y	Y	Y	Y	
EMIF1	Y		Y	Y		Y
仅在 CPU1 子系统上的外设和器件配置寄存器						
EMIF2		Y	Y			
USB			Y			
器件功能、外设复位、外设 CPU 选择			Y			
GPIO 引脚映射和配置			Y			
模拟系统控制			Y			
uPP 消息 RAM		Y	Y			
复位配置			Y			
使用 Semaphore 一次只能由一个 CPU 访问						
时钟和 PLL 配置			Y	Y		

Copyright © 2026 Texas Instruments Incorporated

表 7-9. 总线主器件对外设的访问（续）

外设 （按总线访问类型）	CPU1.DMA	CPU1.CLA1	CPU1	CPU2	CPU2.CLA1	CPU2.DMA
外设和寄存器，每个 CPU 和 CLA 主控都有唯一的寄存器副本 (2)						
系统配置 （WD、NMIWD、LPM、外设时钟门控）			Y	Y		
闪存配置(3)			Y	Y		
CPU 计时器			Y	Y		
DMA 和 CLA 触发源选择			Y	Y		
GPIO 数据(4)		Y	Y	Y	Y	
ADC 结果	Y	Y	Y	Y	Y	Y

(1) 这些模块在具有 DMA 访问的外设帧上；然而，这些模块无法触发 DMA 传输。
(2) 每个 CPUx 和 CPUx.CLA1 只能访问自身的寄存器副本。
(3) 在任何给定时间，只有一个 CPU 可以对闪存执行编程或擦除操作。
(4) 每个 CPUx 和 CPUx.CLAx 的 GPIO 数据寄存器都是唯一的。当 GPIO 引脚映射寄存器配置为将 GPIO 分配给特定主控时，相应的 GPIO 数据寄存器将控制该 GPIO。有关更多详细信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 的“通用输入/输出 (GPIO)”一章。

7.6 C28x 处理器

CPU 是 32 位定点处理器。该器件借鉴了数字信号处理的最佳特性；精简指令集计算 (RISC)；以及微控制器架构、固件和工具集。

CPU 的特性包含修改后的 Harvard 架构和循环寻址。RISC 特性是单周期指令执行、寄存器到寄存器操作和修改后的 Harvard 架构。微控制器特性包含通过直观的指令集、字节打包和解包以及位操作来实现易用性。CPU 修改后的 Harvard 架构使指令和数据获取能够并行执行。CPU 可以读取指令和数据，同时写入数据以在整个流水线中保持单周期指令操作。CPU 通过六条独立的地址/数据总线完成此操作。

有关 CPU 架构和指令集的更多信息，请参阅 *TMS320C28x CPU 和指令集参考指南*。

7.6.1 浮点单元

C28x 加浮点 (C28x+FPU) 处理器通过增加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 C28x 定点 CPU 的功能。

具有 C28x+FPU 的器件包含标准 C28x 寄存器集以及一组额外的浮点单元寄存器。额外的浮点单元寄存器如下：

- 八个浮点结果寄存器，RnH（其中 n=0 – 7）
- 浮点状态寄存器 (STF)
- 重复块寄存器 (RB)

除重复块寄存器外，所有浮点寄存器都被隐藏。这种隐藏可用于高优先级中断，以实现浮点寄存器的快速上下文保存和恢复。

有关更多信息，请参阅 *TMS320C28x 扩展指令集技术参考手册*。

Copyright © 2026 Texas Instruments Incorporated

7.6.2 三角函数加速器

TMU 通过增加指令和利用可加速执行常见三角函数和表 7-10 中所列算术运算的现有 FPU 指令来扩展 C28x+FPU 的功能。

表 7-10. TMU 支持的指令

指令	C 等效运算	流水线周期
MPY2PIF32 RaH,RbH	a = b * 2 π	2/3
DIV2PIF32 RaH,RbH	a = b / 2 π	2/3
DIVF32 RaH,RbH,RcH	a = b/c	5
SQRTF32 RaH,RbH	a = sqrt(b)	5
SINPUF32 RaH,RbH	a = sin(b*2 π)	4
COSPUF32 RaH,RbH	a = cos(b*2 π)	4
ATANPUF32 RaH,RbH	a = atan(b)/2 π	4
QUADF32 RaH,RbH,RcH,RdH	用于协助计算 ATANPU2 的运算	5

对现有指令、流水线或内存总线架构均未做任何更改。所有 TMU 指令都使用现有的 FPU 寄存器集（R0H 至 R7H）来执行运算。有关 FPU 工作原理的详细说明，请参阅 *TMS320C28x 扩展指令集技术参考手册*。

7.6.3 Viterbi、复杂数学和 CRC 单元 II (VCU-II)

VCU-II 是 C28x CPU 的第二代 Viterbi、复杂数学和 CRC 扩展。VCU-II 通过增加寄存器和指令来扩展 C28x CPU 的功能,以加快快速傅里叶变换 (FFT) 和基于通信的算法的速度。C28x+VCU-II 支持以下算法类型：

- **Viterbi 解码**

  Viterbi 解码通常用于基带通信应用中。Viterbi 解码算法包含三个主要部分：分支度量计算、比较-选择（Viterbi 蝶形）和回溯运算。表 7-11 显示了每个运算的 VCU 性能汇总。

表 7-11. Viterbi 解码性能

VITERBI 运算	VCU 周期
分支度量计算（码速率 = 1/2）	1
分支度量计算（码速率 = 1/3）	2p
Viterbi 蝶形（相加-比较-选择）	2(1)
每阶段回溯	3(2)

(1) C28x CPU 完成每个蝶形需要 15 个周期。
(2) C28x CPU 完成每个阶段需要 22 个周期。

- **循环冗余校验**

  循环冗余校验 (CRC) 算法提供了一种简单的方法来验证大型数据块、通信数据包或代码段上的数据完整性。C28x+VCU 可执行 8 位、16 位、24 位和 32 位 CRC。例如，VCU 可以在 10 个周期内计算出块长度为 10 字节的 CRC。CRC 结果寄存器包含当前 CRC，每次执行 CRC 指令时，该 CRC 都会更新。

Copyright © 2026 Texas Instruments Incorporated

- **复杂数学**

  复杂数学用于许多应用中，例如：

  - 快速傅里叶变换 (FFT)

    复数 FFT 用于扩频通信以及许多信号处理算法中。
  - 复数滤波器

    复数滤波器可增加数据可靠性、延长传输距离和提高功效。C28x+VCU 可在单个周期内将复数 I 和 Q 乘以系数（四倍）。此外，C28x+VCU 可在单个周期内将 16 位复数数据的实部和虚部读/写入内存中。

  表 7-12 显示了 VCU 实现的 VCU 运算摘要。

表 7-12. 复杂数学性能

复杂数学运算	VCU 周期	注释
加法或减法	1	32 +/- 32 = 32 位（适用于滤波器）
加法或减法	1	16 +/- 32 = 15 位（适用于 FFT）
乘法	2p	16 x 16 = 32 位
乘法和累加 (MAC)	2p	32 + 32 = 32 位，16 x 16 = 32 位
RPT MAC	2p+N	重复 MAC。第一次运算后的单个周期。

有关更多信息，请参阅 *TMS320C28x 扩展指令集技术参考手册*。

Copyright © 2026 Texas Instruments Incorporated

7.7 控制律加速器

CLA 是一款独立的单精度（32 位）FPU 处理器，具有其自己的总线结构、获取机制和流水线。可指定 8 个独立的 CLA 任务。每个任务均由软件或外设（例如 ADC、ePWM、eCAP、eQEP 或 CPU 计时器 0）启动。CLA 每次执行一个任务直至完成。当一个任务完成时，主 CPU 会收到 PIE 中断的通知，而 CLA 自动开始下一个优先级最高的待办任务。CLA 可以直接访问 ADC 结果寄存器、ePWM、eCAP、eQEP、比较器和 DAC 寄存器。专用消息 RAM 提供了一种在主 CPU 和 CLA 之间传递附加数据的方法。

图 7-2 显示了 CLA 功能方框图。

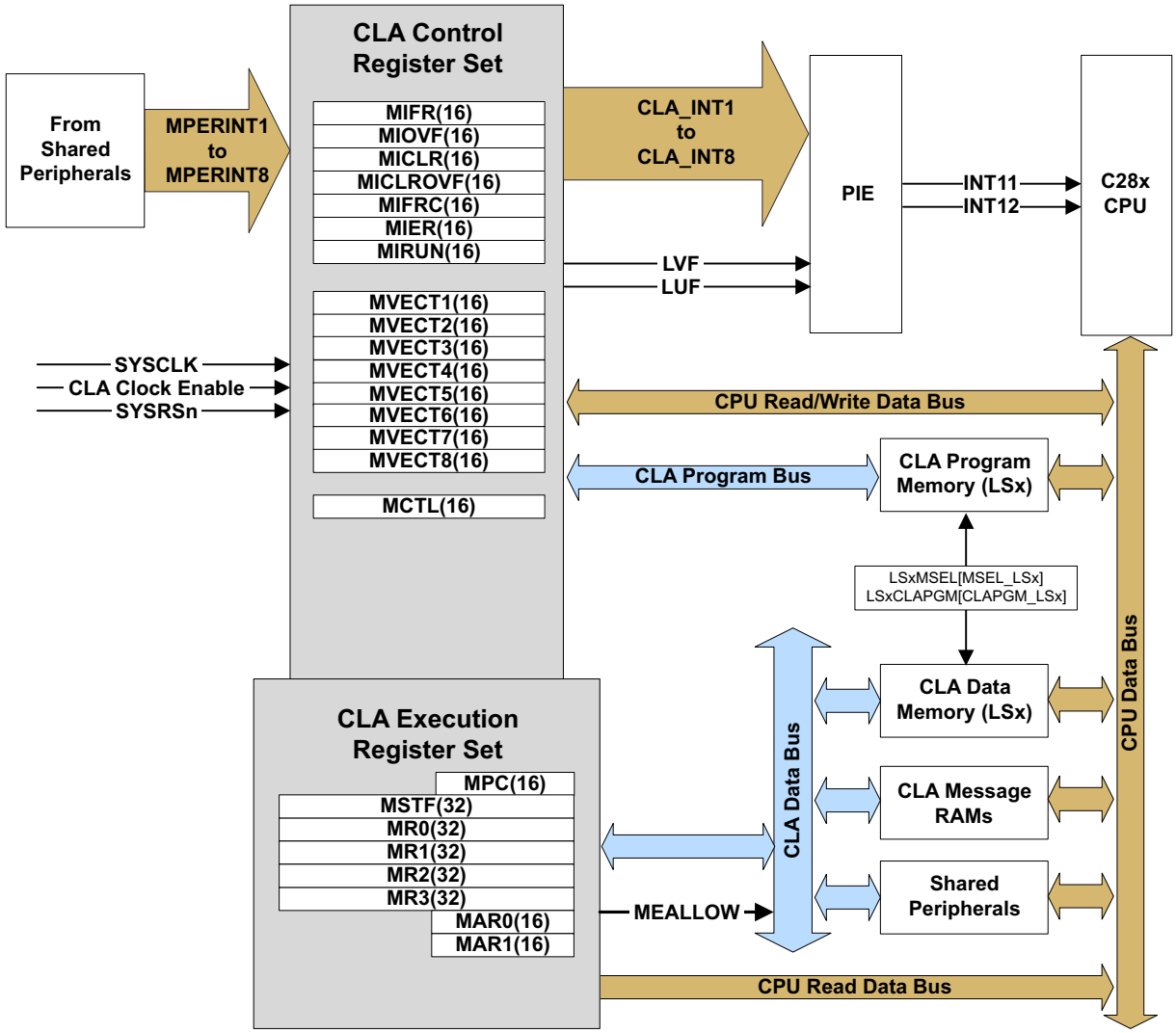


图 7-2. CLA 方框图

7.8 直接存储器存取

每个 CPU 都有自身的 6 通道 DMA 模块。DMA 模块提供了一种在外设和/或存储器之间传输数据的硬件方法，无需 CPU 干预，从而为其他系统功能释放带宽。此外，DMA 还能够在数据传输时对其进行正交重排，以及在缓冲器之间对数据执行“乒乓”操作。这些特性对于将数据结构化为模块以实现最优 CPU 处理非常有用。

DMA 模块是基于事件的机器，这意味着，该模块需要借助外设或软件触发才能启动 DMA 传输。尽管可以通过配置计时器作为中断触发源使其成为定期时间驱动机器，但模块本身并没有机制来定期启动存储器。六个 DMA 通道中的每个通道的中断触发源都可以单独配置，每个通道都包含自身独立的 PIE 中断，使 CPU 知道 DMA 传输何时开始或完成。6 个通道中的 5 个通道完全相同，只有通道 1 能够配置成优先级高于其他通道。

DMA 模块特性包括：

- 六个具有独立 PIE 中断的通道
- 外设中断触发源
  - ADC 中断和 EVT 信号
  - 多通道缓冲串行端口发送和接收
  - 外部中断
  - CPU 计时器
  - EPWMxSOC 信号
  - SPIx 发送和接收
  - SDFM
  - 软件触发
- 数据源和目标：
  - GSx RAM
  - CPU 消息 RAM (IPC RAM)
  - ADC 结果寄存器
  - ePWMx
  - SPI
  - McBSP
  - EMIF
- 字大小：16 位或 32 位（SPI 和 McBSP 限制为 16 位）
- 吞吐量：4 个周期/字（无仲裁）

Copyright © 2026 Texas Instruments Incorporated

图 7-3 显示了 DMA 的器件级方框图。

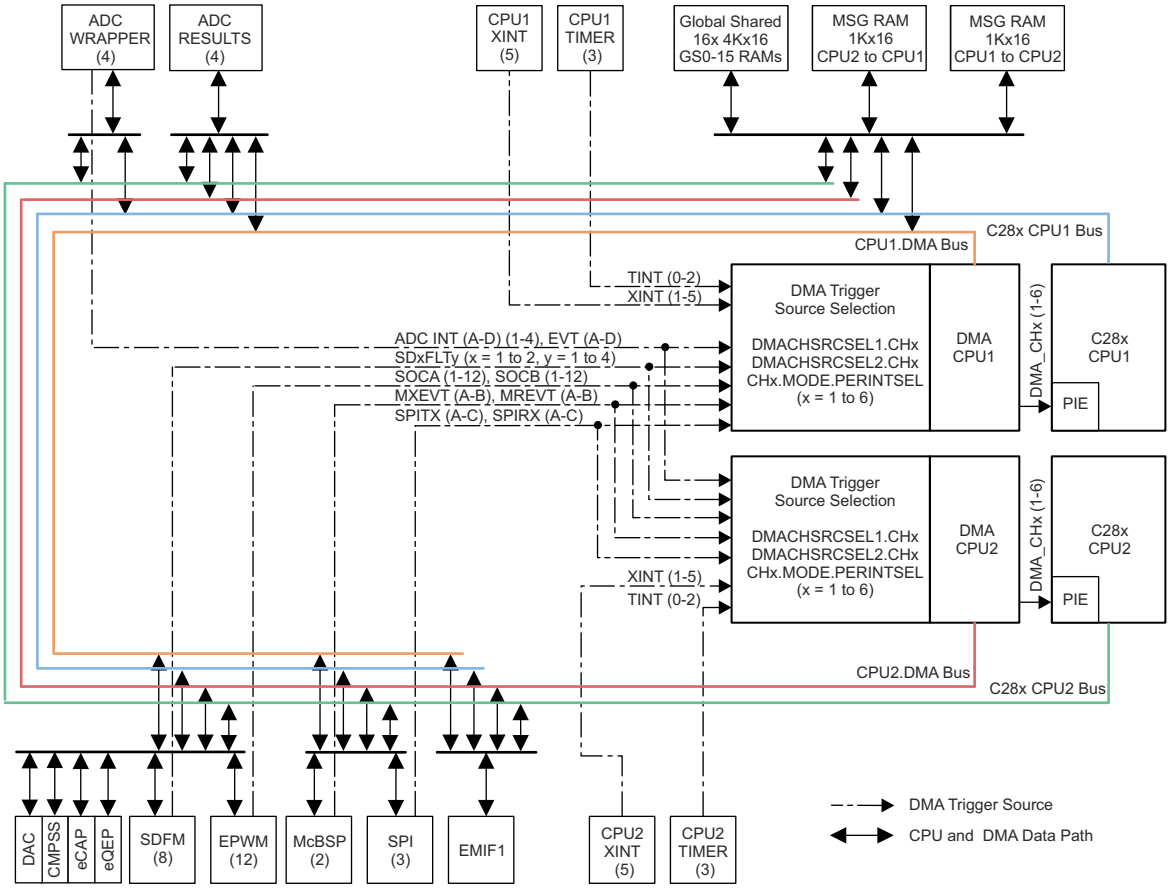


图 7-3. DMA 方框图

7.9 处理器间通信模块

IPC 模块支持多种处理器间通信方法：

- 每个 CPU 有 32 个 IPC 标志，可用于通过软件轮询发出事件信号或指示状态。每个 CPU 有四个标志可以生成中断。
- 共享数据寄存器，可用于在 CPU 之间发送命令或其他小段信息。尽管选择寄存器名称是为了支持命令/响应系统，但它们可以用于软件中定义的任何目的。
- 引导模式和状态寄存器，允许 CPU1 控制 CPU2 的引导过程。
- 一个通用的自由运行的 64 位计数器。
- 两个共享的消息 RAM，可用于传输批量数据。每个 RAM 都可以由两个 CPU 读取。CPU1 可以写入一个 RAM，CPU2 可以写入另一个 RAM。

图 7-4 显示了 IPC 架构。

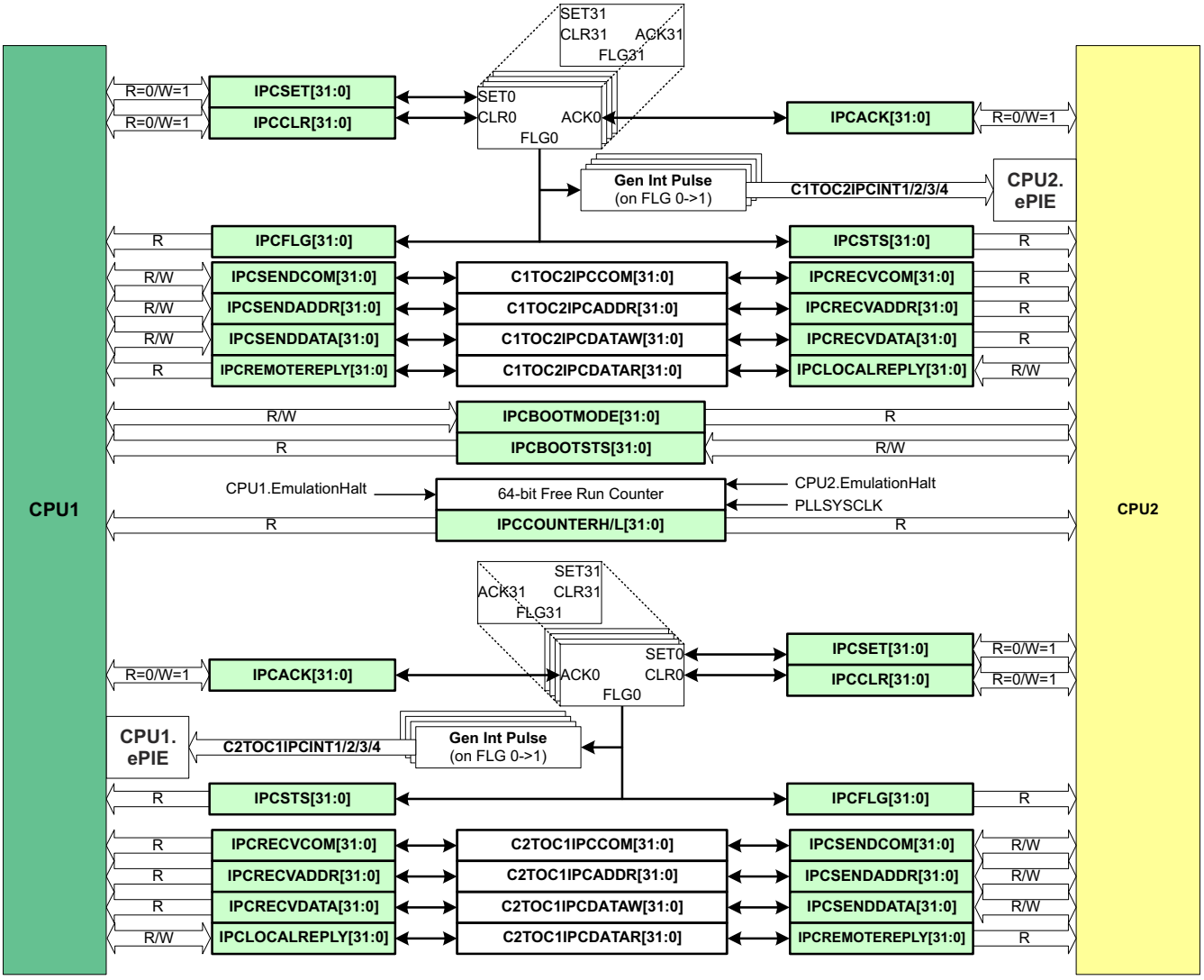


图 7-4. IPC 架构

Copyright © 2026 Texas Instruments Incorporated

7.10 引导 ROM 和外设引导

器件引导 ROM 位于两个 CPU 上，包含引导加载软件。CPU1 引导 ROM 在 CPU2 退出复位之前进行系统初始化。每次器件退出复位时，都会执行器件引导 ROM 。用户可以将器件配置为引导至闪存（使用获取模式），或者通过配置引导模式 GPIO 引脚，选择通过可引导外设之一来引导器件。

CPU1 引导 ROM 作为主控，拥有引导模式 GPIO 和引导配置。CPU2 引导 ROM 要么引导至闪存（如果通过用户可配置的 DCSM OTP 进行配置），要么在未对 OTP 进行编程的情况下进入等待引导模式。在等待引导模式下，CPU1 应用指示 CPU2 引导 ROM 如何使用 CPU2 引导 ROM 支持的引导模式 IPC 命令进一步引导。

表 7-13 显示了器件上可能支持的引导模式。默认引导模式引脚为 GPIO72（引导模式引脚 1）和 GPIO 84（引导模式引脚 0）。如果用户在这些引脚上也使用外设，则可选择为引导模式引脚设置弱上拉，因此上拉可能会过驱动。在此器件上，客户可以通过对用户可配置的 DCSM OTP 位置进行编程来更改出厂默认的引导模式引脚。只有在出厂默认的引导模式引脚不适合客户设计的情况下，才建议执行此操作。有关待编程位置的更多详细信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 。

表 7-13. 器件引导模式

模式编号	CPU1 引导模式	CPU2 引导模式	$\overline{\text{TRST}}$	GPIO72（引导模式引脚 1）	GPIO84（引导模式引脚 0）
0	并行 I/O	从主控引导	0	0	0
1	SCI 模式	从主控引导	0	0	1
2	等待引导模式	从主控引导	0	1	0
3	获取模式	从主控引导	0	1	1
4-7	EMU 引导模式（已连接 JTAG 调试探针）	从主控引导	1	X	X

备注

获取模式的默认行为是引导至闪存。在未编程的器件上，使用获取模式将导致看门狗反复复位，可能会使 JTAG 连接和器件初始化无法正常进行。对未编程的器件使用等待模式或其他引导模式。

小心

有些复位源由器件内部驱动。在这些情况下，用户必须确保用于引导模式的引脚不会被系统中的其他器件主动驱动。引导配置规定可更改 OTP 中的引导引脚。有关更多详细信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册* 。

Copyright © 2026 Texas Instruments Incorporated

7.10.1 EMU 引导或仿真引导

当 CPU 检测到 $\overline{\text{TRST}}$ 为高电平时（即连接了 JTAG 调试探针/调试器时），就会进入该引导。在此模式下，用户可以对 EMU_BOOTCTRL 控制字（位于位置 0xD00）进行编程，以指示器件如何引导。如果 EMU_BOOTCTRL 位置的内容无效，器件将默认为等待引导模式。仿真引导允许用户在将引导模式编程到 OTP 之前验证器件引导。请注意，EMU_BOOTCTRL 实际上并不是寄存器，而是指 RAM（PIE RAM）中的一个位置。PIE RAM 从 0xD00 开始，但为这些引导 ROM 变量保留前几个位置（在应用代码中初始化 PIE 矢量表时）。

7.10.2 等待引导模式

处于此引导模式下的器件在引导 ROM 中循环运行。如果用户希望将调试器连接到安全器件，或者还不希望器件在闪存中执行应用，此模式就非常有用。

7.10.3 获取模式

获取模式的默认行为是引导至闪存。通过在用户可配置 DCSM OTP 中对 Zx-OTPBOOTCTRL 位置进行编程可更改该行为。该器件上用户可配置 DCSM OTP 分为两个安全区域：Z1 和 Z2。引导 ROM 中的获取模式功能首先检查 Z1 中是否编程了有效的 OTPBOOTCTRL 值。如果答案是肯定的，那么器件按照 Z1-OTPBOOTCTRL 位置进行引导。仅当 Z1-OTPBOOTCTRL 无效或未编程时，才会读取 Z2-OTPBOOTCTRL 位置并解码。如果任一 Zx-OTPBOOTCTRL 位置未编程，则器件默认为出厂默认操作，即在引导模式引脚设置为获取模式的情况下，使用出厂默认引导模式引脚引导至闪存。用户可以通过将适当的值编程到用户可配置 DCSM OTP 中来选择引导的器件：SPI、I2C、CAN 和 USB。有关这方面的更多详细信息，请参阅 *TMS320F2837xD 双核实时微控制器技术参考手册*。

Copyright © 2026 Texas Instruments Incorporated

7.10.4 引导加载器使用的外设引脚

表 7-14 显示了每个外设引导加载器所使用的 GPIO 引脚。该器件为每种模式支持两组 GPIO，如表 7-14 所示。

表 7-14. 每个外设引导加载器使用的 GPIO 引脚

引导加载程序	GPIO 引脚	注释
SCI-Boot0	SCITXDA：GPIO84 SCIRXDA：GPIO85	SCIA 引导 I/O 选项 1（通过引导模式 GPIO 选择默认 SCI 选项）
SCI-Boot1	SCIRXDA：GPIO28 SCITXDA：GPIO29	SCIA 引导选项 2 – 具有备用 I/O。
并行引导	D0 – GPIO65 D1 – GPIO64 D2 – GPIO58 D3 – GPIO59 D4 – GPIO60 D5 – GPIO61 D6 – GPIO62 D7 – GPIO63 HOST_CTRL – GPIO70 DSP_CTRL – GPIO69	
CAN-Boot0	CANRXA：GPIO70 CANTXA：GPIO71	CAN-A 引导 – I/O 选项 1
CAN-Boot1	CANRXA：GPIO62 CANTXA：GPIO63	CAN-A 引导 – I/O 选项 2
I2C-Boot0	SDAA：GPIO91 SCLA：GPIO92	I2CA 引导 – I/O 选项 1
I2C-Boot1	SDAA：GPIO32 SCLA：GPIO33	I2CA 引导 – I/O 选项 2
SPI-Boot0	SPISIMOA - GPIO58 SPISOMIA - GPIO59 SPICLKA - GPIO60 $\overline{\text{SPISTEA}}$ - GPIO61	SPIA 引导 – I/O 选项 1
SPI-Boot1	SPISIMOA – GPIO16 SPISOMIA – GPIO17 SPICLKA – GPIO18 $\overline{\text{SPISTEA}}$ – GPIO19	SPIA 引导 – I/O 选项 2
USB 引导	USB0DM - GPIO42 USB0DP - GPIO43	USB 引导加载程序将时钟源切换到外部晶体振荡器（X1 和 X2 引脚）。如果选择了这种引导模式，电路板上应该有 20MHz 的晶体。

Copyright © 2026 Texas Instruments Incorporated

7.11 双代码安全模块

双代码安全模块 (DCSM) 防止对片上安全内存进行访问。术语“安全”意味着阻止对安全存储器和资源的访问。术语“不安全”是指允许访问；例如，通过 代码调试器™ (CSS) 等调试工具。

代码安全机制为两个区域，即区域 1 (Z1) 和区域 2 (Z2)，提供保护。这两个区域的安全实现是相同的。每个区域都有自身的专用安全资源（OTP 存储器和安全 ROM）和分配的安全资源（CLA、LSx RAM 和闪存扇区）。

每个区域的安全性都由自身的 128 位密码（CSM 密码）确保。每个区域的密码根据区域专用链接指针存储在 OTP 存储器位置中。可以更改链接指针值，以在 OTP 中编程一组不同的安全设置（包括密码）。

备注

本器件所包含的代码安全模块 (CSM) 旨在对存储在相关存储器中的数据进行密码保护，并且由德州仪器 (TI) 根据其标准条款和条件保证以符合 TI 发布的适用于本器件的保修期规范。

然而，TI 不保证或承诺 CSM 不会受到损坏或破坏，也不保证或承诺存储在相关存储器中的数据不能通过其他方式访问。此外，除上述规定之外，TI 对本器件的 CSM 或运行不做任何保证或陈述，包含对适销性或特定用途适用性的任何暗示保证。

在任何情况下，TI 对以任何方法使用 CSM 或本器件产生的任何必然、特殊、间接、偶然或惩罚性损害概不负责，无论 TI 是否已告知上述损害。排除的损害包括但不限于数据丢失、信誉损失、使用损失、业务中断或其他经济损失。

Copyright © 2026 Texas Instruments Incorporated

7.12 计时器

CPU 计时器 0，1，和 2 是完全一样的 32 位计时器，具有可预设定周期和 16 位时钟预分频。此计时器具有 32 位递减计数寄存器，该寄存器在计数器达到 0 时生成一中断。计数器以 CPU 时钟速度除以预分频值设置形式递减。当计数器达到 0 时，则自动重新加载 32 位周期值。

CPU 计时器 0 用于普通用途并连接至 PIE 块。CPU 计时器 1 也用于普通用途，并连接至 CPU 的 INT13。CPU 计时器 2 为 TI-RTOS 保留。该计时器连接至 CPU 的 INT14。如果未使用 TI-RTOS ，CPU 计时器 2 也可用于普通用途。

CPU 计时器 2 可由下列任一器件计时：

- SYSCLK (默认)
- 内部零引脚振荡器 1 (INTOSC1)
- 内部零引脚振荡器 2 (INTOSC2)
- X1 (XTAL)
- AUXPLLCLK

7.13 带有看门狗计时器的非可屏蔽中断 (NMIWD)

NMIWD 模块用于处理系统级错误。每个 CPU 都有一个 NMIWD 模块。监测的条件为：

- 由于振荡器故障导致系统时钟丢失
- CPU 访问闪存时出现不可纠正的 ECC 错误
- CPU、CLA 或 DMA 访问 RAM 时出现不可纠正的 ECC 错误
- 另一个 CPU 上的矢量获取错误
- 仅 CPU1：看门狗或 NMI 看门狗在 CPU2 上复位

如果 CPU 未对锁存错误条件做出响应，NMI 看门狗将在一个可编程时间间隔后触发复位。默认时间为 65536 个 SYSCLK 周期。

Copyright © 2026 Texas Instruments Incorporated

7.14 看门狗

该看门狗模块与之前的 TMS320C2000™ MCU 上的模块相同，但对计数器的软件复位之间的时间提供一个可选的下限。默认情况下禁用此窗口倒计时，因此看门狗完全向后兼容。

看门狗生成复位或中断。看门狗使用可选分频器通过内部振荡器计时。

图 7-5 显示了看门狗模块内的各种功能块。

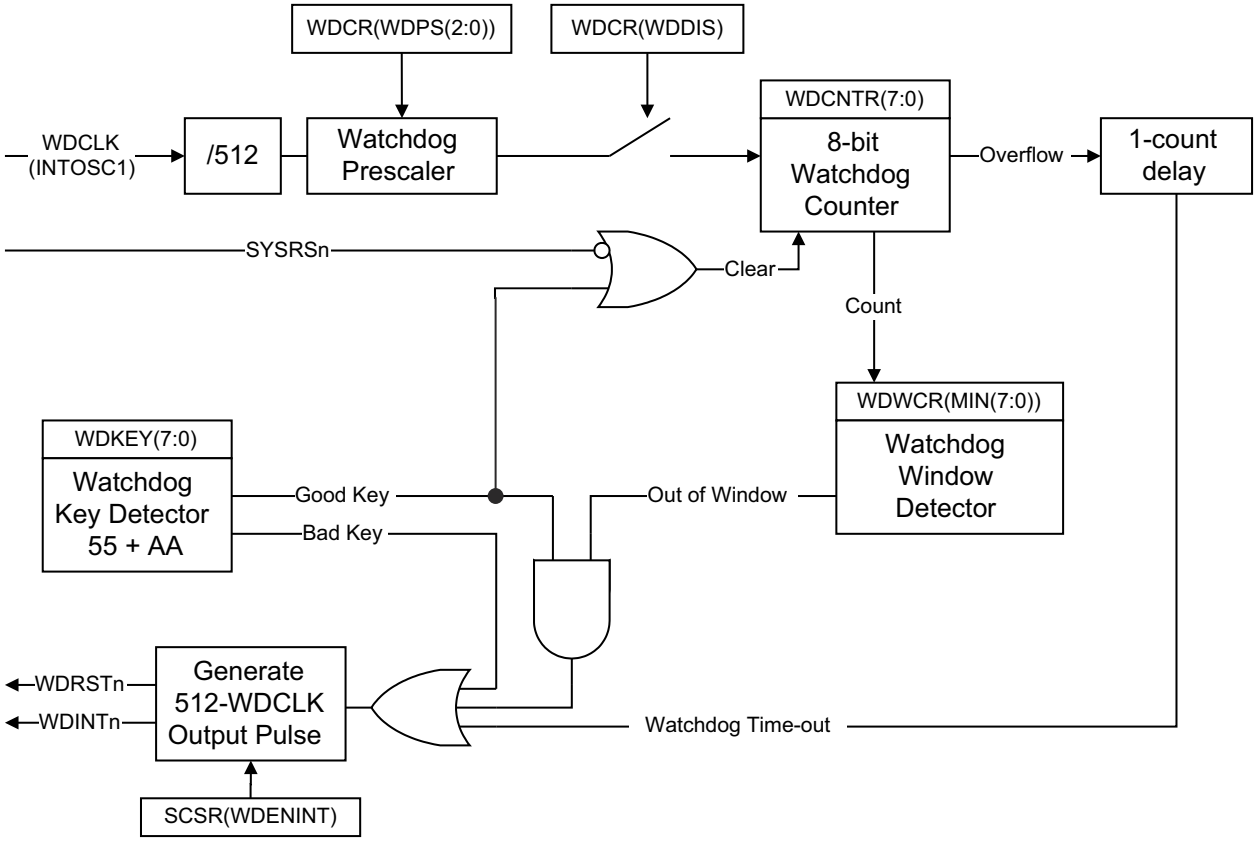


图 7-5. 窗口看门狗

Copyright © 2026 Texas Instruments Incorporated

8 应用、实现和布局

8.1 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.2 器件主要特性

表 8-1. 器件主要特性

模块	特性	系统优势
C28x 处理		
实时控制 CPU	高达 800MIPS 两个 C28x 内核：400MIPS (2 x 200MIPS) 两个 CLA 内核：400MIPS (2 x 200MIPS) 闪存：高达 1MB (每个 C28x CPU 为 512KB) RAM：高达 204 KB 32 位浮点单元 (FPU32) 三角函数数学单元 (TMU) CRC 引擎和指令 (VCRC)	TI 的两个 32 位 C28x DSP 内核可为从片上闪存或 SRAM 运行的浮点或定点代码提供 400MHz 的信号处理性能。 为从片上闪存或 SRAM 运行的浮点或定点代码提供 400 MHz 的信号处理性能。 **CLA：**允许用户与主 CPU 同时执行时间关键型控制环路 **FPU32：**原生硬件支持 IEEE-754 单精度浮点运算 **TMU：**使用加速器加快三角函数和算术运算执行速度，从而提高控制应用的计算速度 (例如 PLL 和 DQ 变换)。有助于实现更快的控制环路，从而提高效率和优化元件尺寸。 特殊指令支持非线性 PID 控制算法 **VCRC：**提供了一种简单的方法来验证大型数据块、通信数据包或代码段上的数据完整性。 请参阅展示 C2000™ 控制 MCU 优化信号链的实时基准测试。
检测		
模数转换器 (ADC) (可配置 12 位或 16 位)	四个 ADC 模块 16 位模式：(1.1MSPS) 单端模式：高达 24 通道 差分模式：高达 12 通道 12 位模式：(3.5MSPS) 单端模式：高达 24 通道	ADC 对全部三相电流和直流总线进行精准并行采样，且具有零抖动。 ADC 后处理 - 片上硬件将降低 ADC ISR 复杂度并缩短电流环路周期。 增加 ADC 数量在多相应用中很有用。提供更高的有效 MSPS (过采样) 和典型 ENOB 以实现更好的控制环路性能。
比较器子系统 (CMPSS)	**CMPSS** 8 个窗口比较器 三个 12 位 DAC 60ns 跳闸检测时间 DAC 斜坡生成 数字滤波器 斜率补偿	**系统保护无误报：** 比较器子系统 (CMPSS) 模块适用于峰值电流模式控制、开关模式电源、功率因数校正和电压跳闸监控等应用。 借助模拟比较器子系统提供的消隐窗口和滤波功能，PWM 跳闸触发和消除不必要噪声变得非常容易。 提供更出色的控制精度。无需进一步的 CPU 配置即可通过比较器和 12 位 DAC (CMPSS) 控制 PWM。 使用同一引脚实现保护和控制。
Σ-Δ 滤波器模块 (SDFM)	多达 8 个独立可配置的数字比较器滤波器通道 多达 8 个独立可配置的数字数据滤波器通道	通过增强型 Δ-Σ 调制器实现电隔离。 SDFM 与外部 Δ-Σ 调制器 ADC 相连接，非常适合需要隔离的信号。 比较器滤波器支持过流和欠流保护，但无需 CPU 干预即可使 PWM 跳闸。 数字数据滤波器可提供更高的 ENOB，从而实现更好的控制环路性能。

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 器件主要特性（续）

模块	特性	系统优势
增强型正交编码器脉冲 (eQEP)	3 个 eQEP 模块	用于与线性或旋转增量编码器进行直接连接，以便获得高性能运动和位置控制系统中使用的旋转机器的位置、方向和速度信息。另外，也可以在其他应用中用于对来自外部器件（例如传感器）的输入脉冲进行计数。
增强型捕获 (eCAP)	6 个 eCAP 模块 测量事件之间经过的时间（最多 4 个带时间戳的事件）。 通过输入 X-BAR 连接到任何 GPIO。 当未用于捕获模式时，eCAP 模块可配置为单通道 PWM 输出 (APWM)。	**eCAP 的应用包含：** 旋转机械的速度测量（例如，通过霍尔传感器感应齿状链轮） 位置传感器脉冲之间的持续时间测量 脉冲序列信号的周期和占空比测量 对来自占空比编码电流/电压传感器的电流或电压幅度进行解码

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 器件主要特性（续）

模块	特性	系统优势
驱动		
增强型脉宽调制 (ePWM)/高分辨率脉宽调制 (HRPWM)	多达 24 个 ePWM 通道 能够生成具有死区的高侧/低侧 PWM 支持谷底开关（能够在谷点切换 PWM 输出）以及消隐窗口等特性	灵活的 PWM 波形生成功能，具有出色的电源拓扑覆盖范围。 影子化死区本身和影子化动作限定器可实现自适应 PWM 生成和保护，从而提高控制精度并降低功率损耗。 可改善功率因数 (PF) 和总谐波失真 (THD)，这在功率因数校正 (PFC) 应用中尤为重要。可提高轻载效率。
	HRPWM 功能： 16 个具有高分辨率功能 (150ps) 的通道 为占空比、周期、死区以及相位偏移提供 150ps 的步长，精度提高 99%	有利于精确控制并实现性能更佳的高频功率转换。 实现更干净的波形并避免输出端产生振荡/限制周期。
	一次性和全局重新加载功能	对于变频和多相直流/直流应用至关重要，有助于实现高频控制环路 (>2MHz)。 能够在高频下控制交错式 LLC 拓扑
	针对逐周期 (CBC) 跳闸事件和一次性跳闸 (OST) 触发事件进行独立 PWM 操作	提供逐周期保护并在故障条件下完全关闭 PWM。有助于实现多相 PFC 或直流/直流控制。
	在 SYNC 时加载（支持在发生 SYNC 事件时的“影子到活动”加载）	支持变频应用（允许在功率转换中进行 LLC 控制）。
	无需软件干预即可关闭 PWM（无 ISR 延迟）	在出现故障时提供快速保护
	延迟跳闸功能	有助于利用峰值电流模式控制 (PCMC) 相移全桥 (PSFB) 直流/直流转换器轻松实现死区，无需占用大量 CPU 资源（即使发生基于比较器、跳闸或同步输入事件的触发事件时也是如此）。
	死区发生器 (DB) 子模块	通过向 PWM 信号上升沿 (RED) 和下降沿 (FED) 添加可编程延迟，防止高侧和低侧栅极同时导通。
	灵活的 PWM 相位关系和计时器同步	每个 ePWM 模块都能与其他 ePWM 模块或其他外设同步。可使 PWM 边沿与特定事件完全保持同步。 支持采用特定采样窗口实现灵活的 ADC 调度，与功率器件切换保持同步。
连接		
串行外设接口 (SPI)	3 个高速 SPI 端口	支持 50 MHz
串行通信接口 (SCI)	4 个 SCI (UART) 模块	与控制器连接
控制器局域网 (CAN/DCAN)	2 个 DCAN 模块 （可分配给连接管理器 (M4)）	能够兼容经典 CAN 模块
内部集成电路 (I2C)	2 个 I2C 模块	与外部 EEPROM、传感器或控制器连接
多通道缓冲串行端口 (McBSP)	多达 2 个 McBSP 模块	连接高速外部 ADC 或其他 SPI 外设
支持 ASRAM 和 SDRAM 的外部存储器接口 (EMIF)	两个 EMIF 模块，为每个 CPU 子系统提供专用的 EMIF。	连接外部 ASRAM 和 SDRAM
其他系统特性		

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 器件主要特性（续）

模块	特性	系统优势
安全增强功能	双区域代码安全模块 (DCSM) JTAGLOCK 后台 CRC (BGCRC) 通用 CRC (GCRC) 看门狗 寄存器受写保护 丢失时钟检测逻辑 (MCD) 纠错码 (ECC) 和奇偶校验	**DCSM：**防止对专有代码进行复制和逆向工程 **JTAGLOCK：**能够阻止器件仿真 **BGCRC：**在无 CPU 开销且不影响系统性能的情况下检查存储器完整性 **GCRC：**指定连接管理器模块用于计算可配置存储器块上的 CRC 值 **看门狗：**如果 CPU 陷入无休止的执行循环，则会产生复位 **寄存器受写保护：** 针对系统配置寄存器进行锁定保护 防止虚假 CPU 写入 **MCD：**自动时钟故障检测 **ECC 和奇偶校验：**single-bit 纠错和 double-bit 错误检测
交叉开关 (XBAR)	可灵活连接各种配置中的器件输入、输出和内部资源。 • 输入 X-BAR • 输出 X-BAR • ePWM X-BAR	**增强硬件设计的通用性：** **输入 X-BAR：**将信号从任何 GPIO 路由到芯片内的多个 IP 块 **输出 XBAR：**将内部信号路由到指定的 GPIO 引脚上 **ePWM X-BAR：**将内部信号从各种 IP 块路由到 ePWM
直接存储器访问 (DMA) 控制器	12 通道	直接存储器访问 (DMA) 模块提供了一种在外设和/或存储器之间传输数据而无需 CPU 干预的硬件方法，从而释放 CPU 带宽供其他系统功能使用。
USB		可用于系统数据记录以及引导至 USB 以更新片上闪存

Copyright © 2026 Texas Instruments Incorporated

8.3 应用信息

8.3.1 典型应用

典型应用 一节将详细介绍该器件的一些应用。如需查看更详细的应用列表，请参阅本数据表的*应用* 一节。

8.3.1.1 微型光伏逆变器

微型光伏逆变器包含直流/交流逆变器功率级以及一个或多个最大功率点跟踪 (MPPT) 直流/直流功率级。逆变器（直流/交流）的典型开关频率介于 20kHz-50kHz 之间，而直流/直流侧的开关频率范围可在 100kHz-200kHz 之间。可以使用各种功率级拓扑来实现这一目的，该图仅描述了典型的功率级以及控制和通信要求。C2000 微控制器采用片上 EPWM、ADC 和模拟比较器模块来实现此类微型逆变器系统的完全数字控制。

8.3.1.1.1 系统方框图

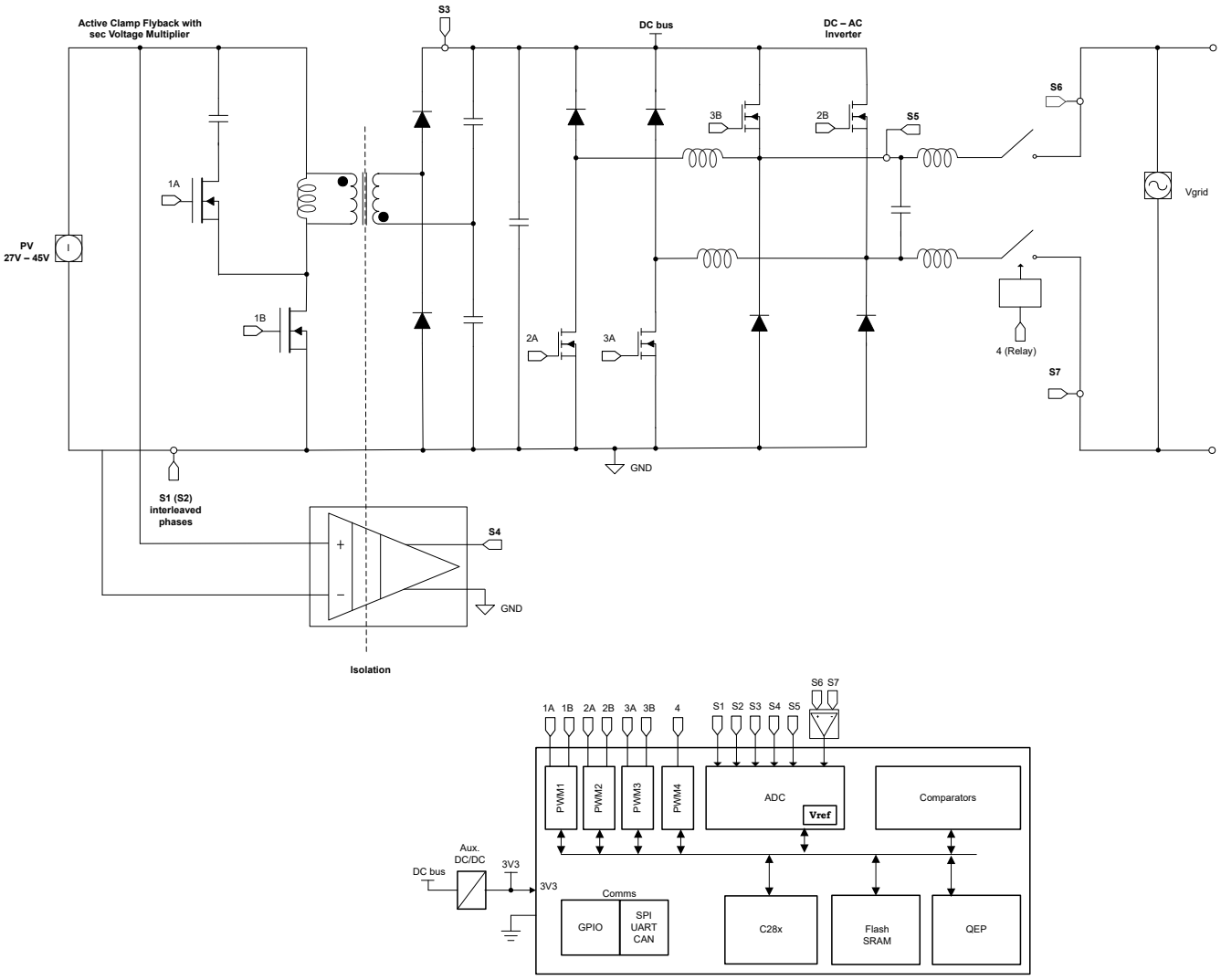


图 8-1. 微型光伏逆变器

8.3.1.1.2 微型光伏逆变器资源

参考设计和相关培训视频

实时控制技术如何实现可靠且可扩展的高压设计

基于霍尔效应电流传感器的 CLLLC 转换器中的同步整流控制应用报告

8.3.1.2 车载充电器 (OBC)

车载充电器 (OBC) 由两个功率级组成：一个交流/直流电源转换器和一个后续直流/直流电源转换器级。OBC 可通过使用单个 MCU 来控制交流/直流和直流/直流电源转换器来实现。例如：可以通过使用三个 3.7kW 单相 OBC 模块来实现 11kW OBC，如图 8-2 所示。这种方法使我们能够轻松支持单相 240 交流（北美）和三相交流（世界其他地区）。

OBC 充电设计要求如下：

- 高性能快速数字控制环路，可实现高效的功率变换并提高功率密度。
- 通过高带宽和快速响应电流检测，在过流情况下实现精确控制和快速关断。
- 安全高效地控制和保护电源开关 [绝缘栅双极晶体管/碳化硅 (IGBT/SiC)]。

8.3.1.2.1 系统方框图

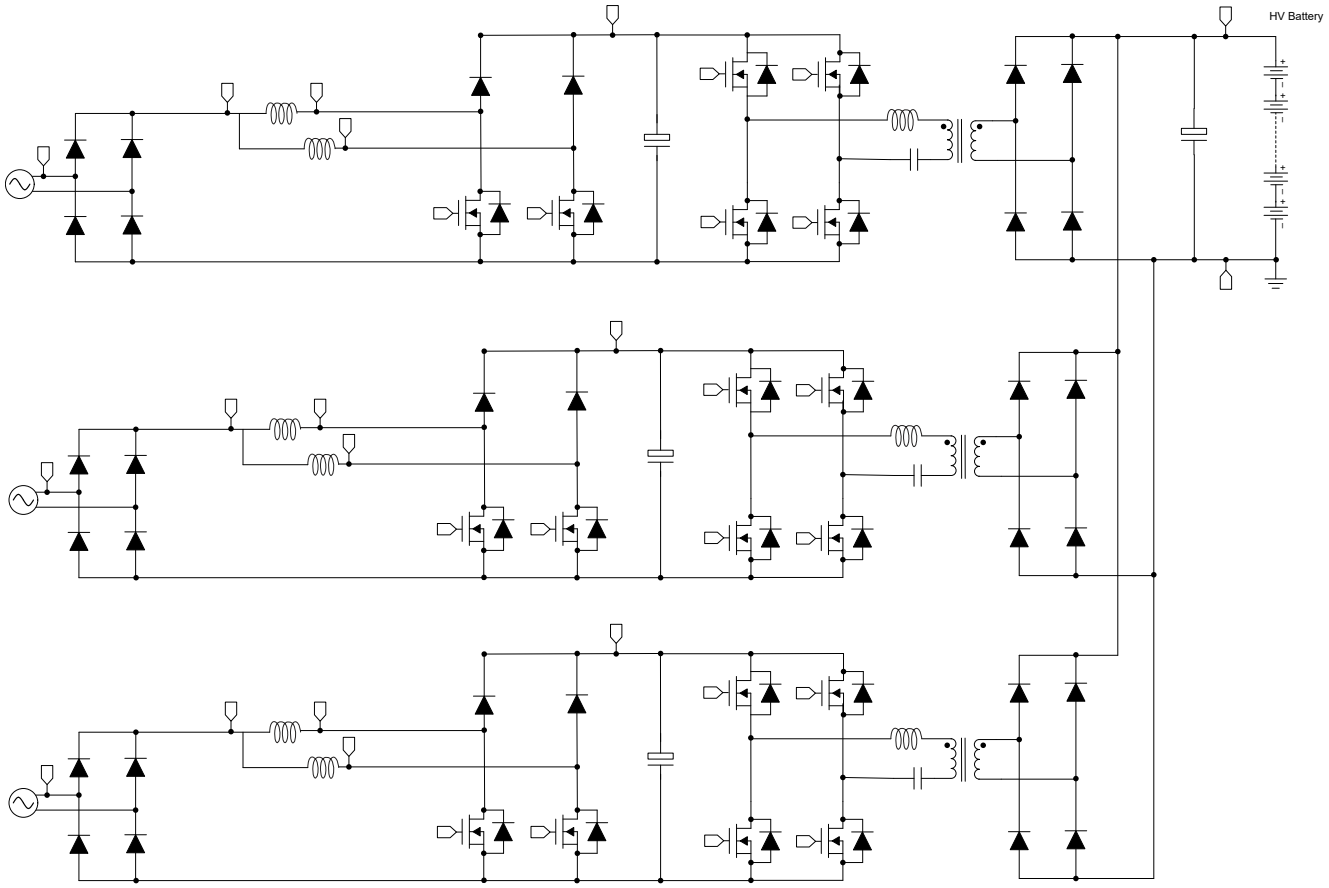


图 8-2. 11kW 模块化 OBC 电源拓扑（单向、桥式 PFC）

8.3.1.2.2 OBC 资源

参考设计和相关培训视频

高频谐振转换器设计注意事项，第 1 部分

高频谐振转换器设计注意事项，第 2 部分应用报告

6.6kW 双向车载充电器 (OBC)：简介和概述（视频）

Copyright © 2026 Texas Instruments Incorporated

6.6kW 双向 OBC_CLLLC 谐振 DAB 转换器（视频）

对电动汽车车载充电器中的 CLLLC 和 DAB 进行比较后 获得的应用报告

使用 TI GaN 和 C2000 实时 MCU 的高压车载充电器（视频）

8.3.1.3 电动汽车充电站电源模块

直流充电站中的电源模块包含交流/直流功率级和直流/直流功率级。每个与其功率级相关的转换器都包含多个开关管和一个栅极驱动器、电流和电压检测以及实时微控制器。输入侧有三相交流电源，连接到交流/直流功率级。该块将传入的交流电压转换为约 800V 的固定直流电压。该电压用作直流/直流功率级的输入，直流/直流功率级处理功率并直接与电动汽车上的电池连接。每个功率级都有一个独立的实时微控制器，该微控制器负责处理模拟信号并提供快速控制操作。

交流/直流级（也称为 PFC 级）是电动汽车充电站中的第一级功率转换。它将从电网传入的交流功率 (380-415 VAC) 转换为大约 800V 的稳定直流链路电压。PFC 级保持正弦输入电流（THD 通常小于 5%），并提供高于线间输入电压幅度的受控直流输出电压。直流/直流级是电动汽车充电站中的第二级功率转换。它将 800V 的传入直流链路电压（对于三相系统）转换为较低的直流电压，以便为电动汽车的电池充电。直流/直流转换器必须能够在宽范围内为电池提供额定功率，并且能够根据电池的荷电状态 (SOC) 以恒流或恒压模式为电池充电。

8.3.1.3.1 系统方框图

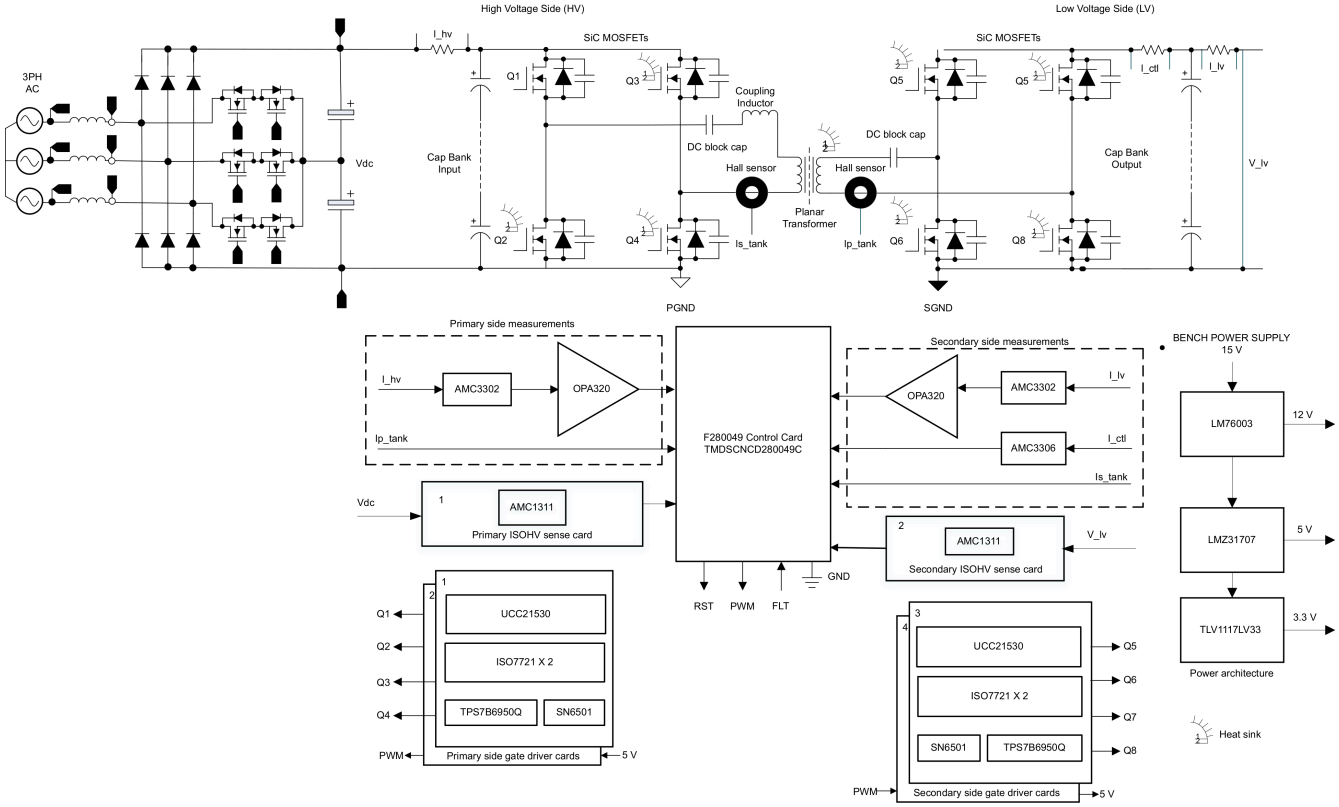


图 8-3. 双有源电桥直流/直流转换器

8.3.1.3.2 电动汽车充电站电源模块资源

参考设计和相关培训视频

9 器件和文档支持

9.1 器件和开发支持工具命名规则

德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型 (TMDX) 直到完全合格的生产工具 (TMDS)。

器件开发演变流程：

X 试验器件不一定代表最终器件的电气规范标准，并且可能不使用生产组装流程。

P 原型器件不一定是最终器件模型，并且不一定符合最终电气标准规范。

无 完全合格的芯片模型的生产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

“开发的产品用于内部评估用途。”

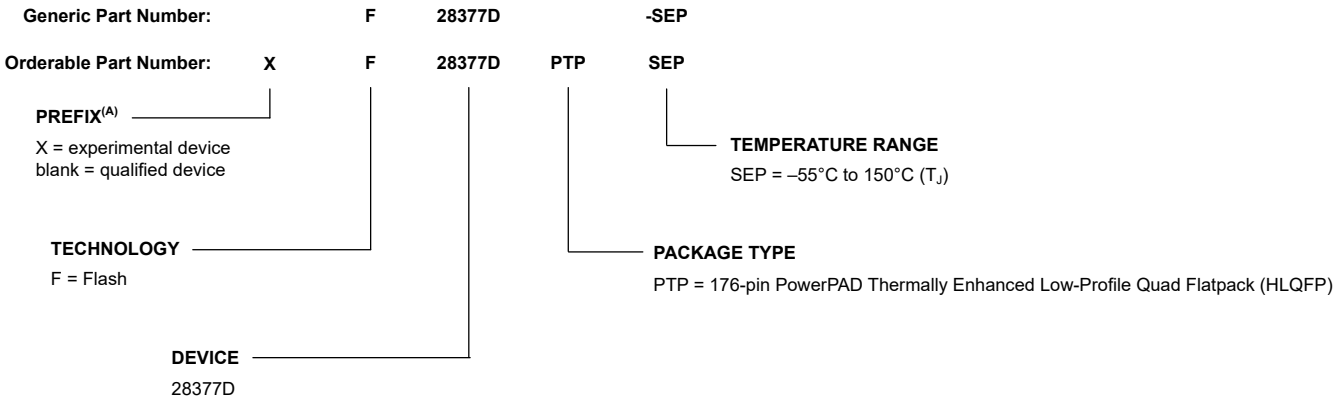
生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件（X 或者 P）的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。这种后缀指示封装类型（例如 PTP）和温度范围。图 9-1 提供了解读任一系列产品成员完整器件名称的图例。

若要获取器件型号以及更多订购信息，请访问 TI 网站 (www.ti.com.cn) 或者联系您的 TI 销售代表。

有关芯片上器件命名规则标记的更多说明，请参阅 *TMS320F2837xD 双核实时 MCU 器件勘误表* 。



A. 可订购器件型号使用前缀 X。

图 9-1. 器件命名规则

9.2 标识

图 9-2 提供了 F28377D-SEP 器件标识示例并定义了每个标记。您可以通过封装顶部所示的符号判断器件的修订版本，如图 9-2 所示。一些原型器件的标识可能与图示标识有所不同。

Copyright © 2026 Texas Instruments Incorporated

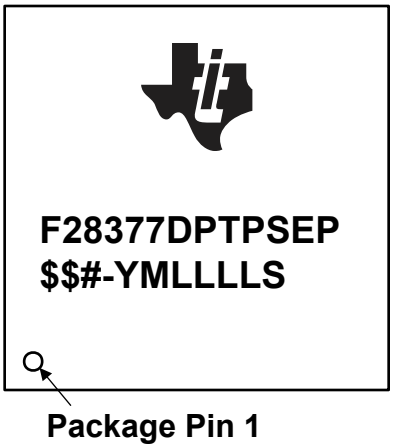


图 9-2. 器件标识示例

表 9-1. 从批次追踪代码中确定器件的修订版本

器件修订版本代码	器件修订版本	REVID(1) 地址：0x5D00C	注释
空白	0	0x0000	该器件修订版本以 TMX 形式提供。
A	A	0x0000	该器件修订版本以 TMX 形式提供。
B	B	0x0002	该器件修订版本以 TMX 形式提供。
C	C	0x0003	该器件修订版本以 TMS 形式提供。

(1) 器件修订版本 ID

Copyright © 2026 Texas Instruments Incorporated

9.3 工具与软件

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的部分工具和软件。若要查看 C2000™ 实时控制 MCU 的所有可用工具和软件，请访问 C2000 实时控制 MCU - 设计和开发页面。

开发工具

用于 C2000 实时控制开发套件的 F28379D controlCARD（控制卡）

德州仪器 (TI) 提供的 F28379D controlCARD （控制卡）是 Position Manager （位置管理器）就绪型产品，非常适合用于初期软件开发以及短期构建系统原型、试验台和许多其他需要轻松访问高性能控制器的项目。所有 C2000 controlCARD (控制卡)均是完整的板级模块，其使用 HSEC180 或 DIMM100 外形尺寸来提供薄型单板控制器解决方案。主机系统只需为 controlCARD（控制卡）提供单个 5V 电源轨，就可使其完全发挥作用。

F28379D 实验套件

C2000™ MCU 实验套件为使用德州仪器 (TI) C2000 32 位微控制器系列进行实时、闭环控制开发提供了一个强大的硬件原型设计平台。此平台作为一种出色的工具，可为包含电机控制、数字电源、光伏逆变器、数字 LED 照明以及精密传感等众多常见的电力电子应用定制和验证解决方案。

软件工具

用于 C2000 MCU 的 C2000Ware

用于 C2000 微控制器的 C2000Ware 是一套有凝聚力的开发软件和文档，旨在最在程度地缩短软件开发时间。从器件专用驱动程序和库到器件外设示例，C2000Ware 能够为开始开发和评估提供坚实的基础。与 controlSUITE™ 相对， C2000Ware 目前是推荐的内容交付工具。

用于 C2000 微控制器的 Code Composer Studio（代码调试器）™ (CCS) 集成开发环境 (IDE)

Code Composer Studio（代码调试器）是支持 TI 微控制器和嵌入式处理器产品系列的集成开发环境 (IDE)。Code Composer Studio 包含一整套用于开发和调试嵌入式应用的工具。它包含了用于优化的 C/C++ 编译器、源代码编辑器、工程编译环境、调试器、分析工具以及多种其他功能。直观的 IDE 提供了单一用户界面，带领用户完成应用开发流程的每个步骤。熟悉的工具和界面让用户能够比以往更快地上手。Code Composer Studio 将 Eclipse 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

引脚多路复用工具

Pin Mux （引脚多路复用）实用程序是一款软件工具，可提供图形用户界面，用于配置引脚多路复用设置、解决冲突以及指定 TI MPU 的 I/O 单元特性。

F021 闪存应用程序编程接口 (API)

F021 闪存应用程序编程接口 (API) 提供的软件功能库用于对 F021 片上闪存存储器执行编程、擦除和验证操作。

UniFlash 独立闪存工具

UniFlash 是一个独立工具，用于通过 GUI、命令行或脚本接口对片上闪存进行编程。

C2000 第三方搜索工具

TI 与多家公司携手推出适用于 TI C2000 器件的各种解决方案和服务。这些公司可使用 C2000 器件加速量产流程。下载此搜索工具，快速浏览第三方详细信息，并寻找合适的第三方来满足您的需求。

Copyright © 2026 Texas Instruments Incorporated

模型

可以从产品的“工具与软件”页面下载各种模型。这些模型包括 I/O 缓冲器信息规范 (IBIS) 模型和边界扫描描述语言 (BSDL) 模型。若要查看所有可用模型，请访问每个器件的“工具与软件”页面的“模型”部分。

培训

为帮助设计工程师充分利用 C2000 微控制器的特性和性能，TI 开发了各种培训资源。通过利用在线培训资料和可下载的实际操作技术讲座，可方便地获得关于 C2000 微控制器系列的全方位的实际知识。这些培训资源旨在简化学习过程，同时缩短开发时间并加快产品上市速度。有关各种培训资源的更多信息，请访问 C2000™ 实时微控制器设计和开发 - 教育资源站点。

具体的 F2837xD/F2837xS/F2807x 实践技术培训资源可在 TI Resource Explorer 的 C2000 Academy 中找到。

Copyright © 2026 Texas Instruments Incorporated

9.4 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

下面列出了介绍处理器、相关外设以及其他配套技术资料的最新文档。

辐射报告

F28377D-SEP 双核实时微控制器的单粒子效应 (SEE) 辐射报告 阐述了 F28377D-SEP 在重离子辐照下的单粒子效应 (SEE) 性能表现。

总电离剂量 (TID) 报告 涵盖了 F28377D-SEP 抗辐射 32 位浮点微控制器单元的辐射表征结果。

勘误

TMS320F2837xD 双核实时 MCU 器件勘误表介绍了器件的已知问题并提供了权变措施。

技术参考手册

TMS320F2837xD 双核实时微控制器技术参考手册详述了 F2837xD 微控制器中每个外设和子系统的集成、环境、功能说明和编程模型。

CPU 用户指南

TMS320C28x CPU 和指令集参考指南介绍了 TMS320C28x 定点数字信号处理器 (DSP) 的中央处理器 (CPU) 和汇编语言指令。此参考指南还介绍了这些 DSP 上可用的仿真特性。

TMS320C28x 扩展指令集技术参考手册介绍了 TMU、VCU-II 和 FPU 加速器的架构、流水线和指令集。

外设指南

C2000 实时控制外设参考指南介绍了 28x DSP 的外设参考指南。

工具指南

TMS320C28x 汇编语言工具 v22.6.0.LTS 用户指南介绍了用于 TMS320C28x 器件的汇编语言工具（用于开发汇编语言代码的汇编器和其他工具）、汇编器指令、宏、通用目标文件格式和符号调试指令。

TMS320C28x 优化 C/C++ 编译器 v22.6.0.LTS 用户指南介绍了 TMS320C28x C/C++ 编译器。此编译器接受 ANSI 标准 C/C++ 源代码，并为 TMS320C28x 器件生成 TMS320 DSP 汇编语言源代码。

应用报告

半导体包装方法介绍了向终端用户发货时对半导体器件所用的包装方法。

计算嵌入式处理器的有效使用寿命提供了一种如何计算 TI 嵌入式处理器 (EP) 在电子系统中运行时的有效使用寿命的方法。本文档的目标读者为希望确定 TI EP 的可靠性是否符合终端系统可靠性要求的总工程师。

IBIS（I/O 缓冲器信息规范）建模简介讨论了 IBIS 的各个方面，包括其历史、优势、兼容性、模型生成流程、输入/输出结构建模中的数据要求以及未来趋势。

C2000™ 微控制器的串行闪存编程介绍了使用闪存内核和 ROM 加载程序对器件进行串行编程。

Copyright © 2026 Texas Instruments Incorporated

9.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.6 商标

PowerPAD™, C2000™, 代码调试器™, TMS320C2000™, controlSUITE™, Code Composer Studio（代码调试器）™, and TI E2E™ are trademarks of Texas Instruments.
Bosch® is a registered trademark of Robert Bosch GmbH Corporation.
所有商标均为其各自所有者的财产。

9.7 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.8 出口管制提示

接收方同意，在未事先获得美国商务部和其他主管政府机构的授权的情况下，在美国或其他适用法律要求的范围内，不会故意直接或间接地将披露方根据保密义务（如有）收到的任何产品或技术数据（如美国、欧盟和其他出口管理条例所定义），包括软件，或受其他适用国家法规限制的任何受控产品，或此类技术的任何直接产品出口或再出口到美国或其他相关法律限制或禁止的任何目的地。

9.9 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from OCTOBER 1, 2025 to JANUARY 31, 2026 (from Revision * (October 2025) to Revision A (January 2026)) **Page**

- 增加航天专用应用 2
- 节 6.11.5.1.1.1（SPI 主模式时序要求）：更新了该表 159
- 节 6.11.5.1.1.2（SPI 主模式开关特征（时钟相位 = 0））：更新了该表 159
- 节 6.11.5.1.1.3（SPI 主模式开关特征（时钟相位 = 1））：更新了表 159

Copyright © 2026 Texas Instruments Incorporated

11 机械、封装和可订购信息

11.1 封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

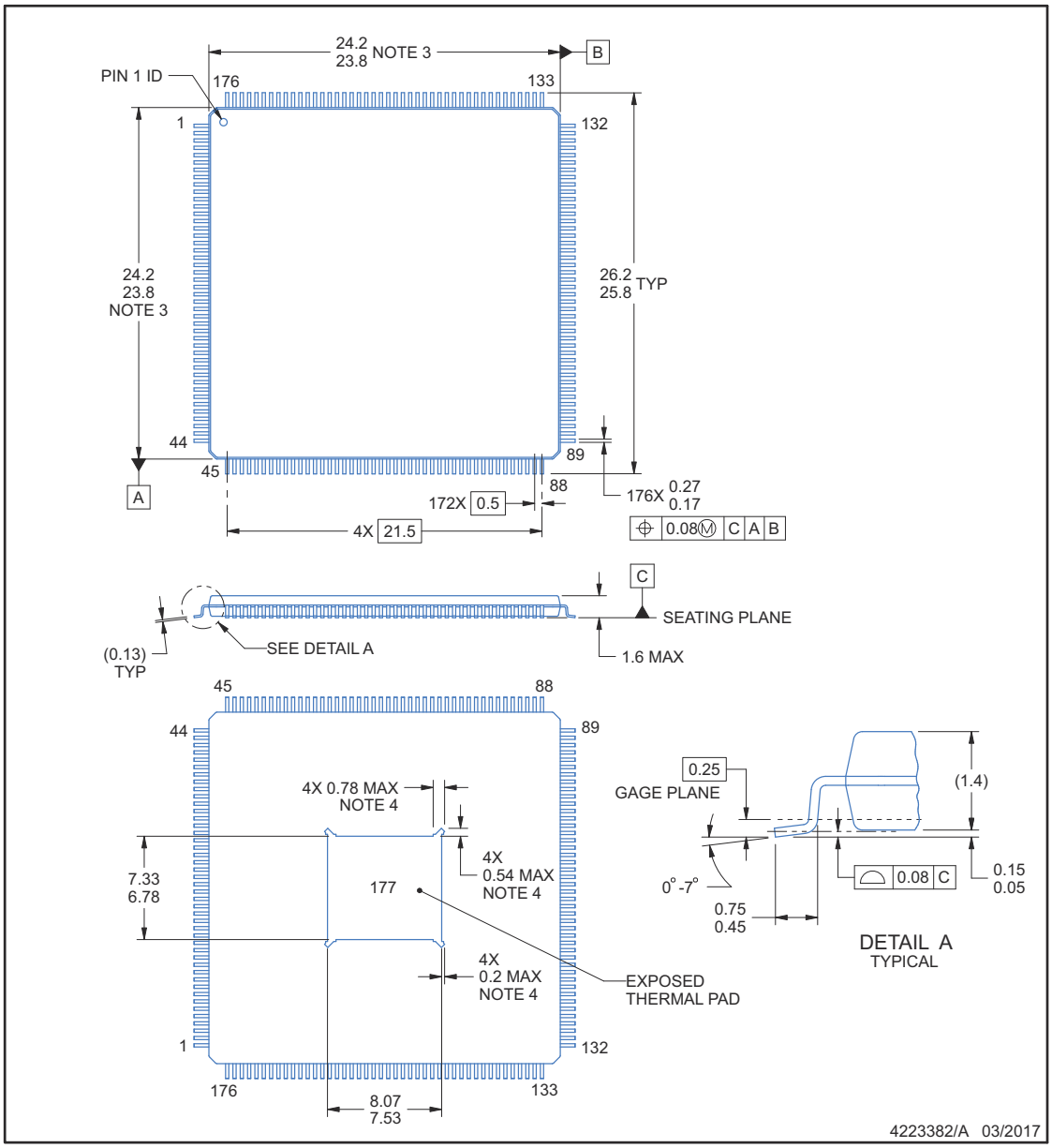
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

PTP0176F

PowerPAD™ HLQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features my not present.
5. Reference JEDEC registration MS-026.

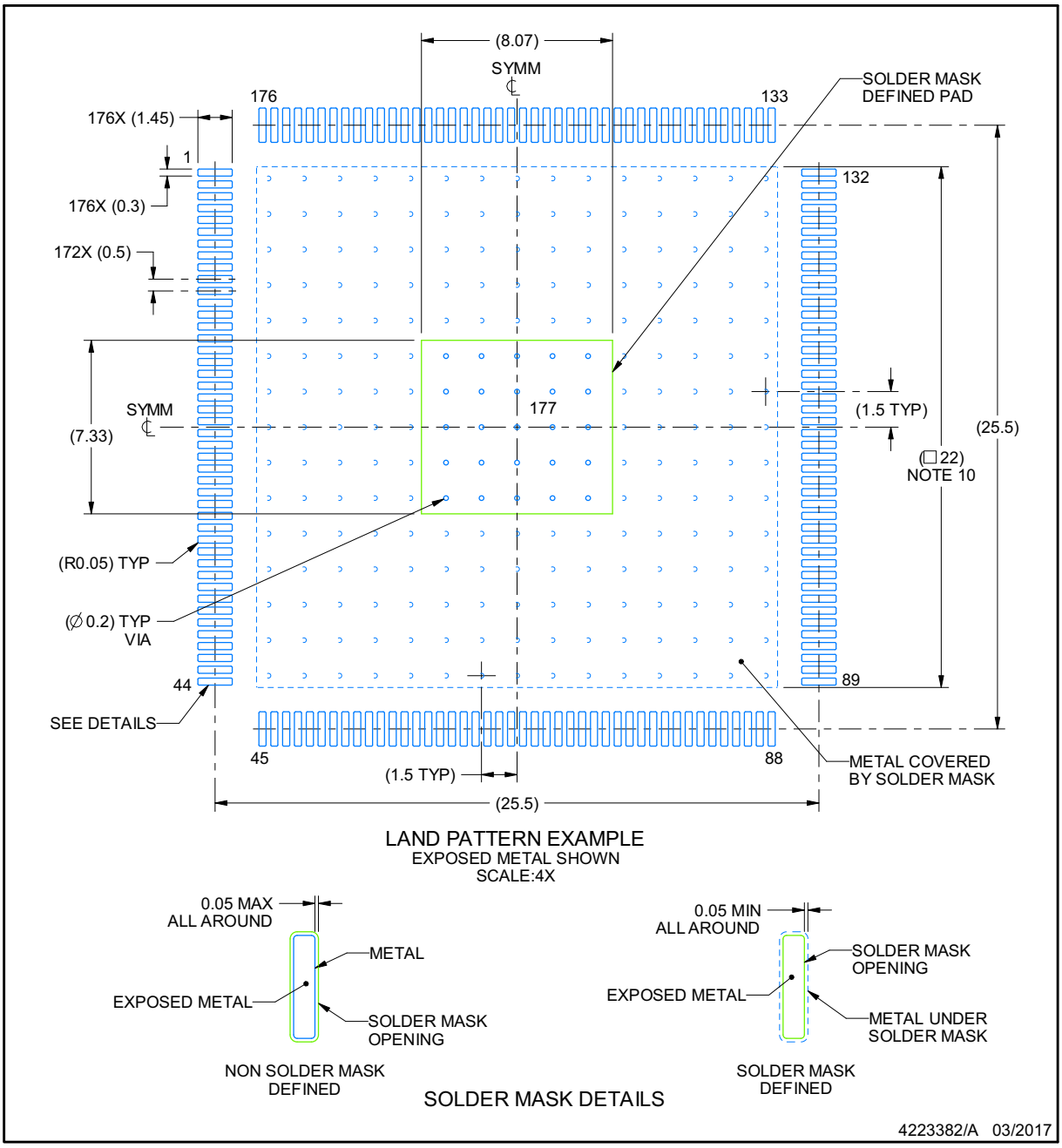
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PTP0176F

PowerPAD™ HLQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

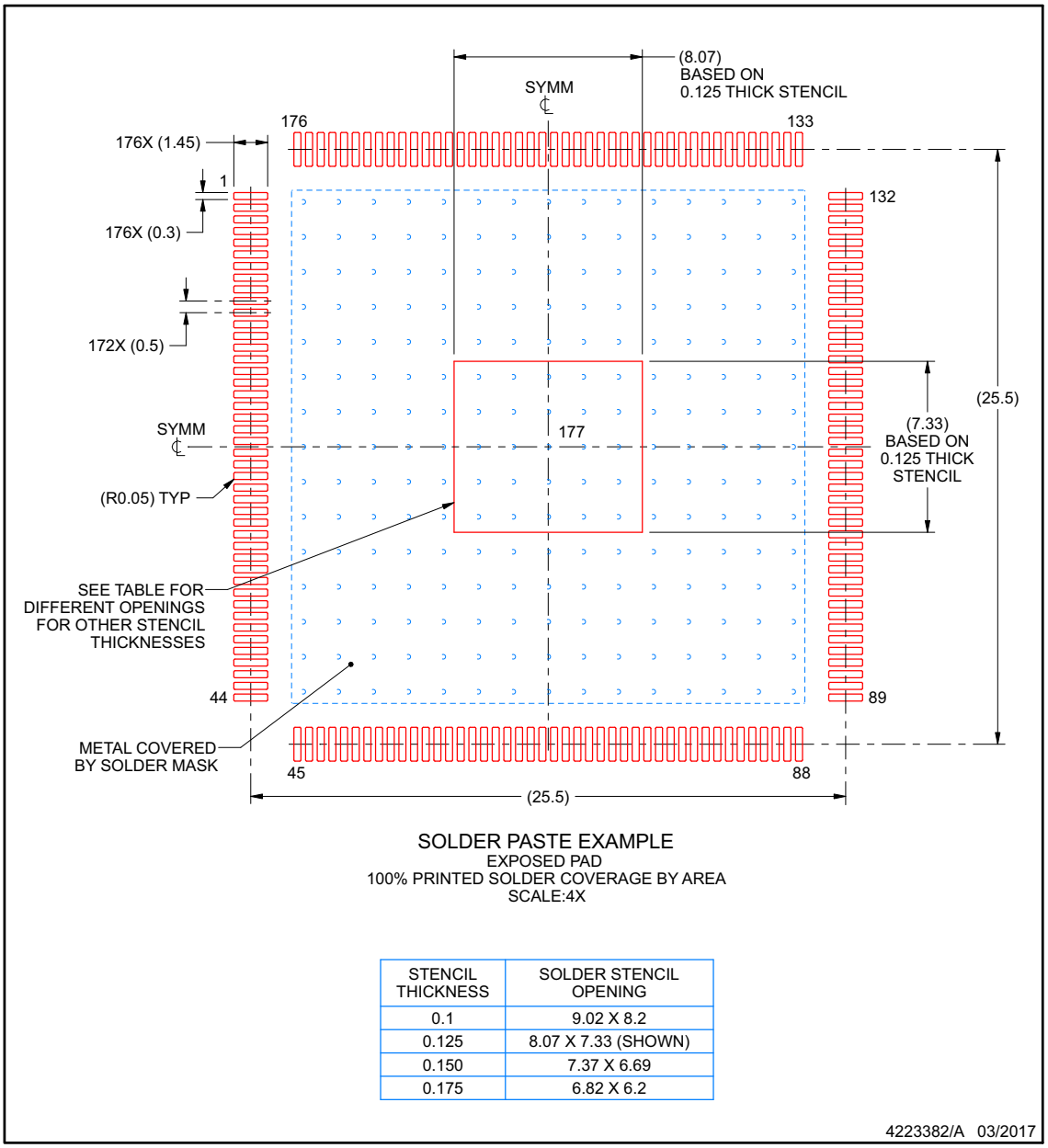
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PTP0176F

PowerPAD™ HLQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:4X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	9.02 X 8.2
0.125	8.07 X 7.33 (SHOWN)
0.150	7.37 X 6.69
0.175	6.82 X 6.2

4223382/A 03/2017

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28377DPTPSEP	Active	Production	HLQFP (PTP) | 176	1 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	F28377DPTPSEP
V62/25638-01XE	Active	Production	HLQFP (PTP) | 176	1 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	F28377DPTPSEP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

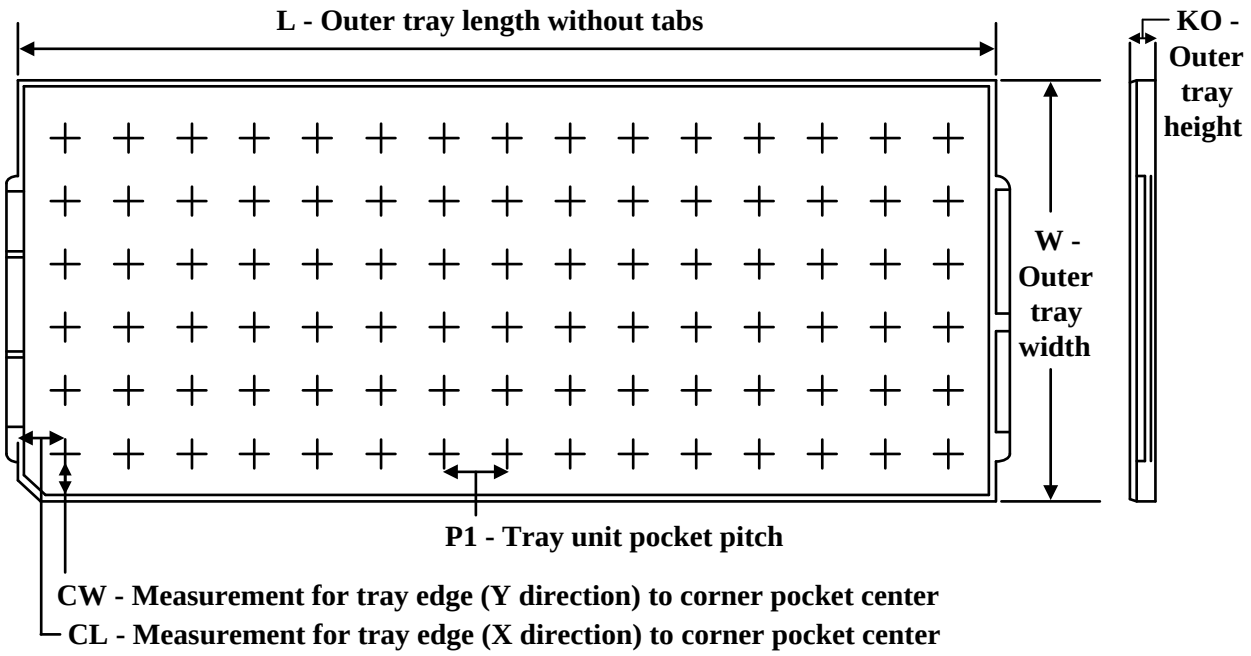
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F28377DPTPSEP	PTP	HLQFP	176	1	4x10	150	315	135.9	7620	20.7	30.4	20.7
V62/25638-01XE	PTP	HLQFP	176	1	4x10	150	315	135.9	7620	20.7	30.4	20.7

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月