TEXAS INSTRUMENTS
DS90UB941AS-Q1
ZHCSJ70C – DECEMBER 2018 – REVISED JANUARY 2021

DS90UB941AS-Q1 2K 具有视频分离功能 DSI 转 FPD-Link III 桥接串行器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准，其中包括以下特性：
  - 器件温度等级 2：-40℃ 至 +105℃ 的环境工作温度
- 支持像素时钟频率高达 210MHz，从而实现 3K (2880x1620) (在 30Hz 下) 、QXGA (2048x1536)、2K (2880x1080)、WUXGA (1920x1200) 或 1080p60 (1920x1080) 分辨率以及 24 位色深
- MIPI D-PHY/显示串行接口 (DSI) 接收器可提供用于连接到视频处理器或 FPGA 的高带宽接口
  - 双 DSI 输入端口，每个端口具有多达 4 个数据通道
  - 每个通道的速率高达 1.5Gbps
  - 具有对称和非对称解包功能的超级帧
  - ECC 和 CRC 生成
  - 虚拟通道功能
- 单路和双路 FPD-Link III 输出
  - 单链路：高达 105MHz 的像素时钟
  - 双链路：高达 210MHz 的像素时钟
- 提供功能安全
  - 有助于进行 ISO 26262 系统设计的文档
- 对称和非对称视频分离

2 应用

- 汽车信息娱乐系统：
  - IVI 音响主机和 HMI 模块
  - 中央信息显示屏
  - 数字仪表组
  - 后座娱乐系统

3 说明

DS90UB941AS-Q1 是专为汽车信息娱乐应用设计的双路 DSI 转 FPD-Link III 桥接串行器。当与 FPD-Link III DS90UB940N-Q1 、 DS90UB948-Q1 、 DS90UB924-Q1、DS90UB926Q-Q1 或 DS90UB928Q-Q1 解串器配合使用时，DS90UB941AS-Q1 可通过具有成本效益的 50Ω 单端同轴电缆或 100Ω 差分屏蔽双绞线 (STP) 和屏蔽四路绞线 (STQ) 电缆提供单通道或双通道高速串行流。为了应对信息娱乐系统中显示器数量和差异的增加，DS90UB941AS-Q1 可以支持对称和非对称分离。

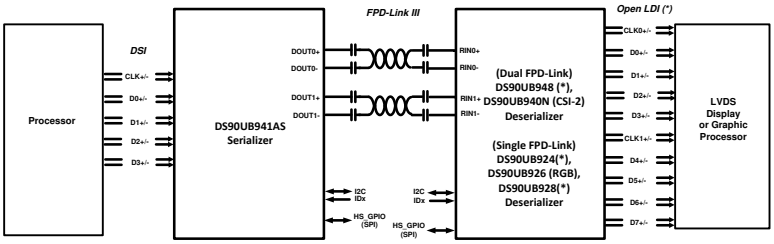
DS90UB941AS-Q1 可以整合两个差分对上的视频数据，以简化系统设计，并减小应用的互连线尺寸和重量。

FPD-Link III 接口支持视频和音频数据传输和全双工控制，包括同一条高速串行链路上的 I2C 通信和高达 8 个 I2S 音频通道。通过使用低压差分信令、数据换序和随机生成最大限度地降低了 EMI。

器件信息

器件型号 (1)	封装	封装尺寸 (标称值)
DS90UB941AS-Q1	VQFN (64)	9.00mm x 9.00mm

(1) 有关所有的可用封装，请参阅数据表末尾的可订购产品附录。



应用示意图

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性 1
2 应用 1
3 说明 1
4 修订历史记录 2
5 说明（续） 4
6 引脚配置和功能 4
引脚功能 4
7 规格 8
7.1 绝对最大额定值 8
7.2 ESD 等级 8
7.3 建议工作条件 8
7.4 热性能信息 9
7.5 直流电气特征 10
7.6 交流电气特征 14
7.7 推荐外部时钟参考时序 17
7.8 推荐的串行控制总线时序 18
7.9 时序图 19
8 详细说明 21
8.1 概述 21
8.2 功能方框图 21
8.3 特性说明 21
8.4 器件功能模式 37
8.5 编程 53
8.6 寄存器映射 56
9 应用和实现 127
9.1 应用信息 127
9.2 典型应用 128
10 电源相关建议 132
10.1 VDD 电源 132
10.2 上电和初始化 132
11 布局 136
11.1 布局指南 136
11.2 布局示例 138
12 器件和文档支持 139
12.1 文档支持 139
12.2 支持资源 139
12.3 商标 139
12.4 静电放电警告 139
12.5 术语表 139
13 机械、封装和可订购信息 140

4 修订历史记录

Changes from Revision B (October 2020) to Revision C (January 2021)	Page
• 更新了 RES1 引脚说明	4
• 将 AbsMax FPD-Link III 输出电压更新为 1.32V	8
• 将 AbsMax 模拟电压更新为 1.32V	8
• 将 ESD HBM 其他引脚额定值更改为 +/- 2500V	8
• 将最大 DSI UI 瞬时更改为 6.67ns	14
• 新增了对支持的 DSI 视频格式的注释。每条视频线路都应作为单个 DSI 数据包发送。	25
• 新增了对分离器模式应用报告的参考	27
• 更新了内部图形生成应用手册名称	36
• 修订了“时钟模式”说明使之与寄存器说明一致	37
• 修订了 2:2 模式的代码示例	45
• 更新了器件名称以包含 Q1	45
• 阐明了如何启用复制模式	46
• 更新了“非对称分离与裁剪”图形	49
• 更新 VC-ID 非对称分离图形	50
• 修复了寄存器地址格式	57
• 更新了寄存器 0x3[1] 说明	57
• 阐明了对于分离器模式，寄存器 0x3E[6:5] 优先于寄存器 0x56	57
• 将寄存器 0x56[1:0] 复位值更新为 0	57
• 阐明了寄存器 0x56[1:0] 不应在分离器模式下使用	57
• 将寄存器 0x5A[2] 更改为保留	57
• 阐明了 SLAVE_ID 和 SLAVE_ALIAS_ID 寄存器是特定于端口的	57
• 更新了寄存器 0x56[1:0] 说明	57
• 更正了 DSI_ERR_COUNT 寄存器地址	103
• 新增了“模拟间接寄存器”页面	117
• 更新了上电序列以包括内部 DSI 时钟设置的初始化	132

Copyright © 2022 Texas Instruments Incorporated

• 包含 941AS 器件启动指南的链接..... 132

Changes from Revision A (May 2019) to Revision B (October 2020) **Page**

• 新增了特性项目符号功能安全能力..... 1

Changes from Revision * (December 2018) to Revision A (May 2019) **Page**

• 将“预告信息”更改为“量产数据发布”..... 1

Copyright © 2022 Texas Instruments Incorporated

5 说明（续）

DS90UB941AS-Q1 对支持视频分辨率高达 2K、WUXGA 和 1080p60 以及 24 位色深的 MIPI DSI 输入进行串行化处理。在向后兼容模式下，DS90UB941AS-Q1 在单一差分链路上支持高达 WXGA 和 720p 分辨率以及 24 位色深。

6 引脚配置和功能

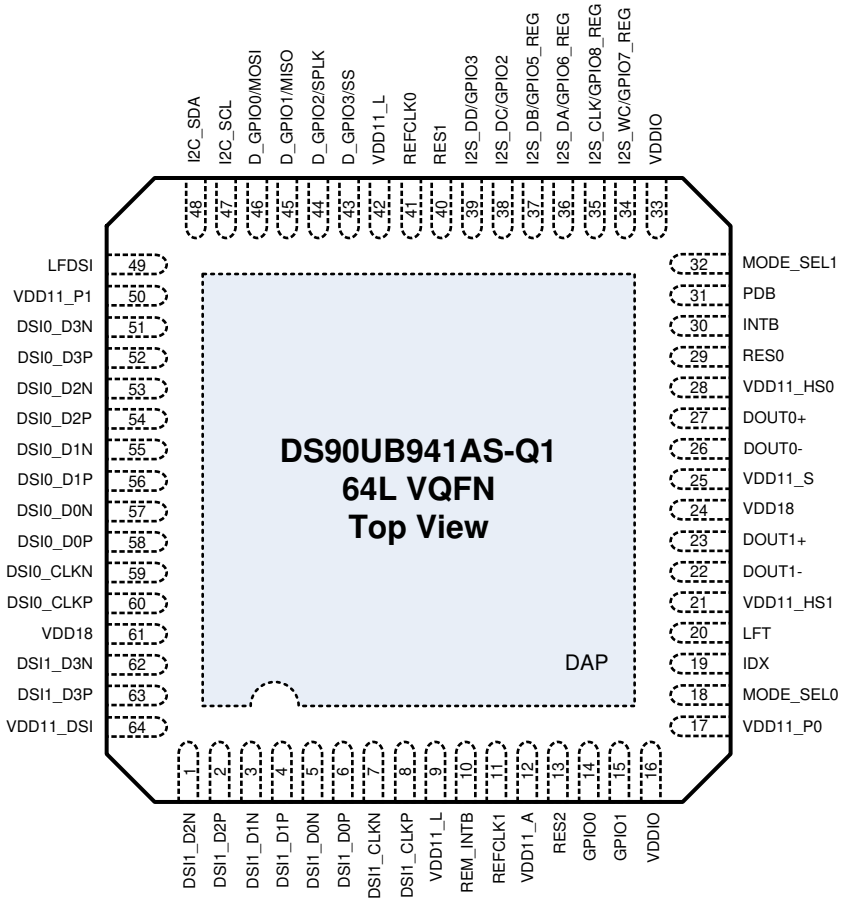


图 6-1. RTD 封装 64 引脚 VQFN 顶视图

引脚功能

引脚		I/O，类型	说明
名称	编号		
MIPI DSI 输入引脚			
DSI0_D0P	58	I	DSI RX 端口 0 差分数据输入引脚 使用 DEVICE_CFG (0x02h) 和 BRIDGE_CTL (0x4Fh) 寄存器进行 DSI RX 控制。如果未使用，这些引脚可能会接地或保留为未连接引脚。
DSI0_D0N	57	I	
DSI0_D1P	56	I	
DSI0_D1N	55	I	
DSI0_D2P	54	I	
DSI0_D2N	53	I	
DSI0_D3P	52	I	
DSI0_D3N	51	I	

Copyright © 2022 Texas Instruments Incorporated

引脚		I/O，类型	说明
名称	编号		
DSI0_CLKP	60	I	DSI RX 端口 0 差分时钟输入引脚 使用 DEVICE_CFG (0x02h) 和 BRIDGE_CTL (0x4Fh) 寄存器进行 DSI RX 控制。如果未使用，这些引脚可能会接地或保留为未连接引脚。
DSI0_CLKN	59	I	
DSI1_D0P	6	I	DSI RX 端口 1 差分数据输入引脚 使用 DEVICE_CFG (0x02h) 和 BRIDGE_CTL (0x4Fh) 寄存器进行 DSI RX 控制。如果未使用，这些引脚可能会接地或保留为未连接引脚。
DSI1_D0N	5	I	
DSI1_D1P	4	I	
DSI1_D1N	3	I	
DSI1_D2P	2	I	
DSI1_D2N	1	I	
DSI1_D3P	63	I	
DSI1_D3N	62	I	
DSI1_CLKP	8	I	DSI RX 端口 1 差分时钟输入引脚 使用 DEVICE_CFG (0x02h) 和 BRIDGE_CTL (0x4Fh) 寄存器进行 DSI RX 控制。如果未使用，这些引脚可能会接地或保留为未连接引脚。
DSI1_CLKN	7	I	
LFDSI	49	D	DSI 环路滤波器引脚 在此引脚和接地之间连接一个 10nF 电容器
FPD-LINK III 接口引脚			
DOUT0 –	26	I/O	FPD-Link III TX 端口 0 引脚 该端口传输 FPD-Link III 高速正向通道视频和控制数据，并接收反向通道控制数据。该引脚可以通过 STP 或同轴电缆与兼容的 FPD-Link III 解串器 RX 连接。I/O 必须根据表 9-1 进行交流耦合。如果端口未使用，则将引脚保留为“未连接”。
DOUT0+	27	I/O	
DOUT1 –	22	I/O	FPD-Link III TX 端口 1 引脚 该端口传输 FPD-Link III 高速正向通道视频和控制数据，并接收反向通道控制数据。该引脚可以通过 STP 或同轴电缆与兼容的 FPD-Link III 解串器 RX 连接。I/O 必须根据表 9-1 进行交流耦合。如果端口未使用，则将引脚保留为“未连接”。
DOUT1+	23	I/O	
LFT	20	D	FPD-Link III 环路滤波器引脚 在此引脚和接地之间连接一个 10nF 电容器
REFCLK0	41	I，PD	外部参考时钟输入引脚 在独立 2:2 或非对称分离器模式下，它是 FPD-LINK III 端口 0 的外部参考时钟输入引脚。该引脚通常连接到低抖动时钟源。该引脚具有内部 25 kΩ 下拉电阻。如果未使用，该引脚可能会保留为“未连接”或连接到 GND。
REFCLK1	11	I，PD	在独立 2:2 或非对称分离器模式下，该引脚是 FPD-LINK III 端口 1 的外部参考时钟输入引脚 该引脚通常连接到低抖动时钟源。该引脚具有内部 25 kΩ 下拉电阻。如果未使用，该引脚可能会保留为“未连接”或连接到 GND。
控制引脚			
I2C_SDA	48	I/O，OD	I2C 数据输入/输出接口引脚 开漏。建议将 2.2kΩ 至 4.7 kΩ 上拉(1)至 1.8V 或 3.3V。
I2C_SCL	47	I/O，OD	I2C 时钟输入/输出接口引脚 开漏。建议将 2.2kΩ 至 4.7 kΩ 上拉(1)至 1.8V 或 3.3V。
IDX	19	I，S	I2C 串行控制总线器件 ID 地址选择配置引脚 通过外部上拉电阻连接到 VDD18，通过下拉电阻连接到 GND，从而根据表 8-12 创建分压器。**请勿保持断开或未连接。**
MODE_SEL0	18	I，S	模式选择 0 配置引脚 通过外部上拉电阻连接到 VDD18，通过下拉电阻连接到 GND，从而根据表 8-8 和 创建分压器。
MODE_SEL1	32	I，S	模式选择 1 配置引脚 通过外部上拉电阻连接到 VDD18，通过下拉电阻连接到 GND，从而根据表 8-8 和 创建分压器。
PDB	31	I，PD	反相关断输入引脚。 通常通过下拉连接到处理器 GPIO。当 PDB 输入为高电平时，启用器件，并使内部寄存器和状态机复位为默认值。置位 PDB 信号为低电平将关闭器件并产生极少功耗。该引脚的默认功能为 PDB =低电平；掉电，内部 50kΩ 内部下拉电阻被启用。PDB 应保持低电平，直到施加电源并达到所需的最低电平。 PDB = 1，器件启用（正常工作） PDB = 0，器件关断。
INTB	30	O，OD	中断输出引脚 INTB 是低电平有效漏极开路并由状态寄存器控制。请参阅 节 8.3.8 INTB = H，正常工作 INTB = L，中断请求 建议的上拉电阻器为 4.7kΩ 到 VDDIO。 **请勿保持断开或未连接。**

Copyright © 2022 Texas Instruments Incorporated

引脚		I/O，类型	说明
名称	编号		
REM_INTB	10	O	远程中断输出引脚 REM_INTB 将直接镜像来自远程器件的 INTB_IN 信号的状态。无需单独读取串行器寄存器即可复位和更改该引脚的状态。如果未使用，则将引脚保留为“未连接”。
SPI 引脚（在双路 FPD-LINK III 模式下）			
MOSI	46	I/O，PD	SPI 主输出从输入引脚 仅在双链路模式下可用。与 D_GPIO0 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
MISO	45	I/O，PD	SPI 主输入从输出引脚 仅在双链路模式下可用。与 D_GPIO1 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
SPLK	44	I/O，PD	SPI 时钟引脚 仅在双链路模式下可用。与 D_GPIO2 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
SS	43	I/O，PD	SPI 从选择引脚 仅在双链路模式下可用。与 D_GPIO3 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
高速 GPIO 引脚			
D_GPIO0	46	I/O，PD	高速 GPIO0 引脚 仅在双链路模式下可用。与 MOSI 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
D_GPIO1	45	I/O，PD	高速 GPIO1 引脚 仅在双链路模式下可用。与 MISO 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
D_GPIO2	44	I/O，PD	高速 GPIO2 引脚 仅在双链路模式下可用。与 SPLK 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
D_GPIO3	43	I/O，PD	高速 GPIO3 引脚 仅在双链路模式下可用。与 SS 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
GPIO 引脚			
GPIO0	14	I/O，PD	通用输入/输出 0 引脚 如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
GPIO1	15	I/O，PD	通用输入/输出 1 引脚 如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
GPIO2	38	I/O，PD	通用输入/输出 2 引脚 与 I2S_DC 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
GPIO3	39	I/O，PD	通用输入/输出 3 引脚 与 I2S_DD 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
仅寄存器 GPIO 引脚			
GPIO5_REG	37	I/O，PD	通用输入/输出 5 引脚 仅限本地寄存器控制。与 I2S_DB 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
GPIO6_REG	36	I/O，PD	通用输入/输出 6 引脚 仅限本地寄存器控制。与 I2S_DA 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
GPIO7_REG	34	I/O，PD	通用输入/输出 7 引脚 仅限本地寄存器控制。与 I2S_WC 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
GPIO8_REG	35	I/O，PD	通用输入/输出 8 引脚 仅限本地寄存器控制。与 I2S_CLK 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
从模式本地 I2S 通道引脚			
I2S_WC	34	I/O，PD	从模式 I2S 字时钟输入引脚 与 GPIO7_REG 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
I2S_CLK	35	I/O，PD	从模式 I2S 时钟输入引脚 与 GPIO8_REG 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。

Copyright © 2022 Texas Instruments Incorporated

引脚		I/O，类型	说明
名称	编号		
I2S_DA	36	I/O，PD	从模式 I2S 数据输入引脚 与 GPIO6_REG 共享。如果未使用且处于默认条件（启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
I2S_DB	37	I/O，PD	从模式 I2S 数据输入引脚 与 GPIO5_REG 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
I2S_DC	38	I/O，PD	从模式 I2S 数据输入引脚 与 GPIO2 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
I2S_DD	39	I/O，PD	从模式 I2S 数据输入引脚 与 GPIO3 共享。如果未使用且处于默认条件（已启用 25kΩ 下拉电阻），此引脚可保留为未连接引脚。
电源和接地引脚			
GND	DAP	G	DAP 是底部的大型金属触点，位于 VQFN 封装的中心。连接接地平面。
VDD18	24 61	P	1.8V (±5%) 电源引脚 需要在每个 VDD 引脚有 0.1 µF 或 0.01 µF 电容器连接到 GND。建议引脚组使用额外的 1 µF 和 10 µF 去耦电容器。
VDD11_P0	17	P	1.1V (±5%) 电源引脚 需要在每个 VDD 引脚上有 0.1 µF 或 0.01 µF 电容器连接到 GND。建议引脚组使用额外的 1 µF 和 10 µF 去耦电容器。
VDD11_P1	50	P	
VDD11_DSI	64	P	1.1V (±5%) 电源引脚 需要在每个 VDD 引脚上有 0.1 µF 或 0.01 µF 电容器连接到 GND。建议引脚组使用额外的 1 µF 和 10 µF 去耦电容器。
VDD11_A	12	P	
VDD11_HS0	28	P	
VDD11_HS1	21	P	
VDD11_S	25	P	
VDD11_L	9 42	P	1.1V (±5%) 电源引脚 需要在每个 VDD 引脚上有 0.1 µF 或 0.01 µF 电容器连接到 GND 建议引脚组使用额外的 1 µF 和 10 µF 去耦电容器。
VDDIO	16，33	P	1.8V (±5%) 或 3.3V (±10%) LVCMOS I/O 电源引脚 需要在每个 VDD 引脚上有 0.1 µF 或 0.01 µF 电容器连接到 GND。建议引脚组使用额外的 1 µF 去耦电容器。如果选择 1.8V VDDIO 选项，则 VDDIO 和 VDD18 需要使用同一电源供电。
其他引脚			
RES0	29	—	保留。连接至 GND。
RES1	40	—	保留。必须保留为“未连接”。
RES2	13	—	保留。必须保留为“未连接”。

(1) 最佳上拉电阻值取决于 I2C 工作模式，请参阅 *I2C 总线上拉电阻计算* (SLVA689)

下面的定义规定了每个引脚的 I/O 单元的功能性。类型：

- I = 输入
- O = 输出
- I/O = 输入/输出
- OD = 漏极开路
- PD = 内部下拉电阻
- P，G = 电源，接地
- D =内部 LDO 输出的去耦引脚
- S = Strap 输入

Copyright © 2022 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风条件下的工作温度范围内（除非另有说明）(1) (2)

		最小值	最大值	单位
电源电压	VDD11（VDD11_P0、VDD11_P1、VDD11_DSI、VDD11_A、VDD11_HS0、VDD11_HS1、VDD11_S、VDD11_L）	–0.3	1.32	V
	VDD18	–0.3	2.16	
	VDDIO	–0.3	3.96	
DSI 输入电压	DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DS0_CLKN、DSI1_D0P、DSI1_D0N、DSI1_D1P、DSI1_D1N、DSI1_D2P、DSI1_D2N、DSI1_D3P、DSI1_D3N、DSI1_CLKP、DSI1_CLKN	–0.3	2.16	V
LVCMOS IO 电压	PDB、GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REM_INTB、REFCLK0、REFCLK1	–0.3	$V_{(VDDIO)}$ + 0.3	V
配置输入电压	IDX、MODE_SEL0、MODE_SEL1	–0.3	2.16	V
开漏电压	I2C_SDA、I2C_SCL、INTB	–0.3	3.96	V
FPD-Link III 输出电压	DOUT0+、DOUT0-、DOUT1+、DOUT1-	−0.3	1.32	V
模拟电压	LFDSI、LFT	−0.3	1.32	V
结温，T_J			150	°C
存储温度，T_{stg}		-65	150	℃

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些仅仅是应力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 有关焊接规格，请参阅 www.ti.com.cn 上的产品文件夹以及*焊接的绝对最大额定值* (SNOA549)。

7.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1)	（D_{OUT0+}、D_{OUT0-}、D_{OUT1+}、D_{OUT1-}）	±8000	V
			其他引脚	±2500	
		充电器件模型 (CDM)，符合 AEC Q100-011		±1000	
		(IEC 61000-4-2) R_D = 330Ω，C_S = 150pF	空气放电（D_{OUT0+}、D_{OUT0-}、D_{OUT1+}、D_{OUT1-}）	±15000	
			接触放电（D_{OUT0+}、D_{OUT0-}、D_{OUT1+}、D_{OUT1-}）	±10000	
		(ISO10605) R_D = 330Ω，C_S = 150pF R_D = 2kΩ，C_S = 150pF 或 330pF	空气放电（D_{OUT0+}、D_{OUT0-}、D_{OUT1+}、D_{OUT1-}）	±21000	
			接触放电（D_{OUT0+}、D_{OUT0-}、D_{OUT1+}、D_{OUT1-}）	±10000	

(1) AEC Q100-002 指示 HBM 应力应符合 ANSI/ESDA/JEDEC JS-001 规范。

7.3 建议工作条件

		最小值	标称值	最大值	单位
电源电压	$V_{(VDD11)}$	1.045	1.1	1.155	V
	$V_{(VDD18)}$	1.71	1.8	1.89	
LVCMOS I/O 电源电压	$V_{(VDDIO)}$ = 1.8V	1.71	1.8	1.89	V
	OR $V_{(VDDIO)}$ = 3.3V	3	3.3	3.6	
开漏电压	INTB = $V_{(INTB)}$，I2C 引脚 = $V_{(VDDI2C)}$	1.71		3.6	V
自然通风工作温度范围，T_A		−40	25	105	℃
MIPI 数据速率（每个 DSI 通道）		150		1500	Mbps
MIPI DSI HS 时钟频率		75		750	MHz

Copyright © 2022 Texas Instruments Incorporated

		最小值	标称值	最大值	单位
本地 I2C 频率，f_{I2C}				1	MHz
参考时钟频率，f_{REFCLK}		25		210	MHz
参考时钟频率稳定性，包含老化		-100		100	ppm
展频参考时钟调制百分比	REFCLK，中心展宽	-0.25		0.25	%
	REFCLK，上展宽	0		0.5	%
	REFCLK，下展宽	-0.5		0	%
电源噪声 (DC - 50MHz)	$V_{(VDD11)}$			25	mVp-p
	$V_{(VDD18)}$			50	
	$V_{(VDDIO)}$ = 1.8V			50	
	$V_{(VDDIO)}$ = 3.3V			50	
	$V_{(VDDI2C)}$ = 1.8V			50	
	$V_{(VDDI2C)}$ = 3.3V			100	

7.4 热性能信息

热指标(1)		DS90UB941AS-Q1 RTD (VQFN) 64 引脚	单位
$R_{\theta JA}$	结至环境热阻	24.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	11.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.5	°C/W
$R_{\theta JB}$	结至电路板热阻	7.9	°C/W
Ψ_{JT}	结至顶部特征参数	0.1	°C/W
Ψ_{JB}	结至电路板特征参数	7.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。

Copyright © 2022 Texas Instruments Incorporated

7.5 直流电气特征

在建议的工作电压和温度范围内（除非另外说明）

参数		测试条件	PIN/FREQ。	最小值	典型值	最大值	单位
功耗							
P_T	总功率，正常工作	单链路，4 通道，DSI 输入，f_{DSI_CLK} = 630MHz (f_{PCLK} = 210 MHz），双链路 FPD-Link III 输出，线路速率 = 3.675Gbps，棋盘图形，R_L = 100Ω	VDD11、VDD18、VDDIO			800	mW
电源电流							
I_{DD}	电源电流，正常工作	单链路，4 通道，DSI 输入，f_{DSI_CLK} = 630MHz (f_{PCLK} = 210 MHz），双链路 FPD-Link III 输出，线路速率 = 3.675Gbps，棋盘图形，RL = 100Ω	VDD11		165	500	mA
			VDD18		25	45	mA
			VDDIO		2	10	mA
I_{DDZ}	电源电流，关断模式	PDB = L	VDD11			140	mA
			VDD18			15	mA
			VDDIO			4	mA
1.8V LVCMOS I/O							
V_{IH}	高电平输入电压	$V_{(VDDIO)}$ = 1.71V 至 1.89V	PDB、GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REFCLK0、REFCLK1	0.65 × $V_{(VDDIO)}$			V
V_{IL}	低电平输入电压	$V_{(VDDIO)}$ = 1.71V 至 1.89V		0		0.35 × $V_{(VDDIO)}$	V
I_{IH}	输入高电流	V_{IN} = $V_{(VDDIO)}$ = 1.71V 至 1.89V，启用内部下拉		0		100	µA
		V_{IN} = $V_{(VDDIO)}$ = 1.71V 至 1.89V，禁用内部下拉	GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REFCLK0、REFCLK1	0		10	µA

Copyright © 2022 Texas Instruments Incorporated

在建议的工作电压和温度范围内（除非另外说明）

参数		测试条件	PIN/FREQ。	最小值	典型值	最大值	单位
I_{IL}	输入低电流	V_{IN} = 0V	PDB、GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REFCLK0、REFCLK1	-20		20	µA
$I_{IN-STRAP}$	Strap 配置引脚输入电流	V_{IN} = 0V 或 $V_{(VDDIO)}$ = 1.71V 至 1.89V	IDX、MODE_SEL0、MODE_SEL1	-1		1	µA

Copyright © 2022 Texas Instruments Incorporated

在建议的工作电压和温度范围内（除非另外说明）

参数		测试条件	PIN/FREQ。	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = –2mA，$V_{(VDDIO)}$ = 1.71V 至 1.89V	GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI, MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REM_INTB	$V_{(VDDIO)}$ – 0.45			V
V_{OL}	低电平输出电压	I_{OL} = 2mA，$V_{(VDDIO)}$ = 1.71V 至 1.89V		0		0.45	V
I_{OS}	输出短路电流	V_{OUT}=0V			-35		mA
I_{OZ}	TRI-STATE™ 输出电流	V_{OUT} = 0V 或 V_{DDIO}，PDB = L		–20		20	µA
3.3V LVCMOS I/O							
V_{IH}	高电平输入电压	$V_{(VDDIO)}$ = 3.0V 至 3.6V	PDB、GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REFCLK0、REFCLK1	2.0		$V_{(VDDIO)}$	V
V_{IL}	低电平输入电压	$V_{(VDDIO)}$ = 3.0V 至 3.6V		0		0.8	V
I_{IH}	高输入电流	V_{IN} = $V_{(VDDIO)}$ = 3.0V 至 3.6V，启用内部下拉		0		180	µA
		V_{IN} = $V_{(VDDIO)}$ = 3.0V 至 3.6V，禁用内部下拉	GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REFCLK0、REFCLK1			25	µA
I_{IL}	输入低电流	V_{IN} = 0V	PDB、GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI、MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REFCLK0、REFCLK1	–20		20	µA

Copyright © 2022 Texas Instruments Incorporated

在建议的工作电压和温度范围内（除非另外说明）

参数		测试条件		PIN/FREQ。	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = –4mA，$V_{(VDDIO)}$ = 3.0V 至 3.6V		GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、GPIO5_REG、GPIO6_REG、GPIO7_REG、GPIO8_REG、MOSI, MISO、SPLK、SS、I2C_WC、I2S_CLK、I2S_DA、I2S_DB、I2S_DC、I2S_DD、REM_INTB	2.4		$V_{(VDDIO)}$	V
V_{OL}	低电平输出电压	I_{OL} = 4mA，$V_{(VDDIO)}$ = 3.0V 至 3.6V			0		0.4	V
I_{OS}	输出短路电流	V_{OUT}=0V				-60		mA
I_{OZ}	TRI-STATE™ 输出电流	V_{OUT} = 0V 或 $V_{(VDDIO)}$，PDB = L			−20		20	μA
开漏输出								
V_{OL}	输出低电平	$V_{(VDDIO)}$ = 3.0V 至 3.6V，I_{OL} = 4mA		INTB	0		0.4	V
		$V_{(VDDIO)}$ = 1.71V 至 1.89V，I_{OL} = 2mA			0		0.45	
I_{OH}	输出泄漏电流	$V_{(VDDIO)}$			−20		20	μA
串行控制总线 I/O								
V_{IH}	输入高电平			I2C_SCL、I2C_SDA	0.7 x $V_{(VDDIO)}$		$V_{(VDDIO)}$	V
V_{IL}	输入低电平				0		0.3 x $V_{(VDDIO)}$	V
V_{HYS}	输入迟滞					50		mV
V_{OL1}	输出低电平	$V_{(VDDIO)}$ = 3.0V 至 3.6V，I_{OL} = 3mA	标准模式，快速模式		0		0.4	V
		$V_{(VDDIO)}$ = 3.0V 至 3.6V，I_{OL} = 20mA	超快速模式		0		0.4	V
V_{OL2}	输出低电平	$V_{(VDDIO)}$ = 1.71V 至 1.89V，I_{OL} = 2mA	快速模式，超快速模式		0		0.2 x $V_{(VDDIO)}$	V
I_{IH}	输入电流高电平	V_{IN} = $V_{(VDDIO)}$			-10		10	μA
I_{IL}	输入电流低电平	V_{IN} = 0V			-10		10	μA
C_{IN}	输入电容					5		pF
FPD-LINK III 收发器								
V_{ODp-p}	差分输出电压	R_L = 100Ω 反向通道被禁用		DOUT0+、DOUT0-、DOUT1+、DOUT1-	900		1200	mV_{p-p}
V_{OUT}	单端输出电压	R_L = 50Ω 禁用反向通道			450		600	mV
ΔV_{OD}	输出电压不平衡	R_L = 100Ω				1	50	mV)
V_{OS}	输出失调电压	R_L = 100Ω				550		mV
ΔV_{OS}	失调电压不平衡	R_L = 100Ω				1	50	mV
I_{OS}	输出短路电流	FPD-link III 输出 = 0V				-20		mA
R_T	端接电阻	差分			80	100	120	Ω
		单端			40	50	60	Ω
V_{ID-BC}	差分反向通道输入振幅	反向通道数据速率 = 5、10 或 20Mbps			170			mV
V_{IN-BC}	单端反向通道输入振幅				170			mV

Copyright © 2022 Texas Instruments Incorporated

在建议的工作电压和温度范围内（除非另外说明）

参数		测试条件		PIN/FREQ。	最小值	典型值	最大值	单位
DSI HSRX 接收器								
$V_{CMRX(DC)}$	共模电压，HS 接收模式	稳定状态	稳定状态	DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DS0_CLKN, DSI1_D0P, DSI1_D0N, DSI1_D1P, DSI1_D1N, DSI1_D2P, DSI1_D2N, DSI1_D3P, DSI1_D3N, DSI1_CLKP, DSI1_CLKN	70		330	mV
$V_{CMRX(DC)}$	共模电压，HS 接收模式	稳定状态		DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DS0_CLKN, DSI1_D0P, DSI1_D0N, DSI1_D1P, DSI1_D1N, DSI1_D2P, DSI1_D2N, DSI1_D3P, DSI1_D3N, DSI1_CLKP, DSI1_CLKN	70		330	mV
V_{IDTH}	差分输入高阈值	数据速率 ≤ 1.5Gbps					70	mV
V_{IDTL}	差分输入低阈值				-70			mV
V_{IH-HS}	单端输入高电压						460	mV
V_{IL-HS}	单端输入低电平				−40			mV
$V_{TERM-EN}$	HS 端接使能的单端阈值						450	mV
Z_{ID}	差分输入阻抗				80	100	125	Ω
DSI LPRX 接收器								
V_{IH-LP}	LP 逻辑 1 输入电压	支持的数据速率 ≤ 1.5Gbps 时适用		DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DS0_CLKN, DSI1_D0P, DSI1_D0N, DSI1_D1P, DSI1_D1N, DSI1_D2P, DSI1_D2N, DSI1_D3P, DSI1_D3N, DSI1_CLKP, DSI1_CLKN	880			mV
V_{IL-LP}	LP 逻辑 0 输入电压	未处于 ULP 状态					550	mV
V_{HYST}	输入迟滞				25			mV

7.6 交流电气特征

在自然通风条件下的工作温度范围内（除非另有说明）

参数	测试条件	PIN/FREQ。	最小值	典型值	最大值	单位
GPIO 时序						

Copyright © 2022 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	PIN/FREQ。	最小值	典型值	最大值	单位
f_{GPIO_FC}	最大正向通道 GPIO 频率	单链路 FPD-Link III	GPIO0、GPIO1、GPIO2、GPIO3、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3		(1/4) × f_{PCLK}		MHz
		双链路 FPD-Link III			(1/8) × f_{PCLK}		MHz
$t_{GPIO_FC_JIT}$	正向通道 GPIO 抖动	单链路 FPD-Link III			1 / f_{PCLK}		ns
		双链路 FPD-Link III			2 / f_{PCLK}		ns
f_{GPIO_BC}	最大反向通道 GPIO 频率	BC 速率 = 20Mbps，正常 GPIO 模式 (DES)，4 GPIO			133		kHz
f_{GPIO_BC}		BC 速率 = 20Mbps，快速 GPIO 模式，4 GPIO			800		kHz
f_{GPIO_BC}		BC 速率 = 20Mbps，快速 GPIO 模式，2 GPIO			1.33		MHz
f_{GPIO_BC}		BC 速率 = 20Mbps，快速 GPIO 模式，1 GPIO			2		MHz
t_{GPIO_BC}	反向通道 GPIO 抖动	BC 速率 = 20Mbps，正常 GPIO 模式 (DES)，4 GPIO			1900		ns
t_{GPIO_BC}		BC 速率 = 20Mbps，快速 GPIO 模式，4 GPIO			320		ns
t_{GPIO_BC}		BC 速率 = 20Mbps，快速 GPIO 模式，2 GPIO			190		ns
t_{GPIO_BC}		BC 速率 = 20Mbps，快速 GPIO 模式，1 GPIO			130		ns
t_{GPO_LHT}	GPO 低电平到高电平切换时间	C_L = 8pF（集总负载），默认寄存器			2		ns
t_{GPO_HLT}	GPO 高电平到低电平切换时间				2		ns
FPD-LINK III 时序							
t_{LHT}	低电压差分低电平到高电平切换时间		DOUT0+、DOUT0-、DOUT1+、DOUT1-		80	120	ps
t_{HLT}	低电压差分高电平到低电平切换时间				80	120	ps
t_{XZD}	有源输出到关断延时	PDB H -> L			100	300	ns
t_{PLD}	锁定时间	PDB L -> H，输入时钟有效			5		ms
t_{SD}	延时 - 延迟				145 × T		ns
t_{JITR}	输出随机抖动	应用 0.3 UI 抖动，CDR BW = f/15 f_{DSI_CLK} = 510MHz（f_{PCLK} = 170MHz，双链路 FPD-Link III，线路速率 = 2.975Gbps），R_L = 100Ω			3		ps(rms)
t_{JITD}	输出确定性抖动				43		ps(p-p)
t_{JIT}	输出总抖动				0.17	0.24	UI_{FPD3} (1)
E_H	眼高			660			mVpp
t_{JITR}	输出随机抖动	应用 0.3 UI 抖动，CDR BW = f/15 f_{DSI_CLK} = 630MHz（f_{PCLK} = 210MHz，双链路 FPD-Link III，线路速率 = 3.675Gbps），R_L = 100Ω			3		ps(rms)
t_{JITD}	输出确定性抖动				51		ps(p-p)
t_{JIT}	输出总抖动				0.22	0.31	UI_{FPD3} (1)
E_H	眼高			580			mVpp
λ_{STXBW}	抖动传递函数（–3dB 带宽）				960		kHz
δ_{STX}	抖动传递函数峰值				0.1		dB
V_{BCDR}	反向通道数据速率	默认（解串器）			5		Mbps
		HSCC_MODE（解串器）			10		
		HSCC_MODE（解串器）			20		

在自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	PIN/FREQ。	最小值	典型值	最大值	单位
DSI LPRX 接收器							
e_{SPIKE}	输入脉冲抑制		DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DS0_CLKN, DSI1_D0P, DSI1_D0N, DSI1_D1P, DSI1_D1N, DSI1_D2P, DSI1_D2N, DSI1_D3P, DSI1_D3N, DSI1_CLKP, DSI1_CLKN			300	V*s
T_{MIN-RX}	最小脉冲宽度响应			20			ns
V_{INT}	峰值干扰幅度					200	mV
f_{INT}	干扰频率			450			MHz
DSI HSRX 接收器							
$\Delta V_{CMRX(HF)}$	共模干扰 HF	通用级变化高于 450MHz 数据速率 ≤ 1.5Gbps	DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DS0_CLKN, DSI1_D0P, DSI1_D0N, DSI1_D1P, DSI1_D1N, DSI1_D2P, DSI1_D2N, DSI1_D3P, DSI1_D3N, DSI1_CLKP, DSI1_CLKN			100	mV
$\Delta V_{CMRX(LF)}$	共模干扰 LF	通用级变化介于 50 和 450MHz 之间 数据速率 ≤ 1.5Gbps		-50		50	mV
C_{CM}	共模终端					60	pF
DSI 时钟时序							
$UI_{DSI-INST}$	DSI UI 瞬时	150Mbps 至 1.5Gbps	DSI0_CLKP、DS0_CLKN、DSI1_CLKP、DSI1_CLKN	0.667		6.67	ns
ΔUI_{DSI}	DSI UI 差异	UI_{DSI} ≥ 1ns		−0.1		0.1	UI_{DSI} (2)
		0.667ns < UI_{DSI} < 1ns		-0.05		0.05	UI_{DSI} (2)
t_{DSI_JIT}	DSI 时钟抖动	DSI 基准时钟模式，BRIDGE_CFG2[1:0] = 00b f_{PCLK} / 40 < 抖动频率 < f_{PCLK} / 20，TJ@BER<1E-10				0.3	UI_{FPD3} (1)

Copyright © 2022 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	PIN/FREQ。	最小值	典型值	最大值	单位
DSI 数据时钟时序							
$t_{SETUP(RX)}$	数据到时钟建立时间	数据速率 ≤ 1Gbps	DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DS0_CLKN, DSI1_D0P, DSI1_D0N, DSI1_D1P, DSI1_D1N, DSI1_D2P, DSI1_D2N, DSI1_D3P, DSI1_D3N, DSI1_CLKP, DSI1_CLKN	-0.15		0.15	UI_{INST} (2)
		数据传输速率：1Gbps 至 1.5Gbps		−0.2		0.2	
$t_{HOLD(RX)}$	数据到时钟保持时间	数据速率 ≤ 1Gbps		-0.15		0.15	UI_{INST} (2)
		数据速率：1Gbps 至 1.5Gbps		−0.2		0.2	
DSI 接收器回波损耗							
SDD_{RX}	RX 差分回波损耗	f_{LPMAX}	DSI0_D0P、DSI0_D0N、DSI0_D1P、DSI0_D1N、DSI0_D2P、DSI0_D2N、DSI0_D3P、DSI0_D3N、DSI0_CLKP、DS0_CLKN, DSI1_D0P, DSI1_D0N, DSI1_D1P, DSI1_D1N, DSI1_D2P, DSI1_D2N, DSI1_D3P, DSI1_D3N, DSI1_CLKP, DSI1_CLKN		>-18		dB
		f_H			>-9		dB
		f_{MAX}			>-3		dB
SCC_{RX}	RX 共模回波损耗	1/4 $f_{INT, MIN}$			>0		dB
		$f_{INT, MIN}$			>-6		dB
		f_{MAX}			>-2.5		dB
SDC_{RX}	RX 模式转换	>0 至 f_{MAX}			>-26		dB

(1) UI_{FPD3} - FPD-Link III 单位间隔相当于一个串行数据位宽度。对于单链路模式，1 UI_{FPD3} = 1/(35* f_{PCLK})。对于双链路模式，1 UI_{FPD3} = 1/(35*f_{PCLK}/2)。UI_{FPD3} 随 PCLK 频率而调整。

(2) UI_{DSI} - DSI 单位间隔相当于 DSI 输入的一位周期。1 UI_{DSI} = 1/(2 * f_{DSI_CLK}).

7.7 推荐外部时钟参考时序

在自然通风条件下的工作温度范围内（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f_{REFCLK}	参考时钟频率		25	f_{PCLK}	210	MHz
f_{REFCLK_STBL}	参考时钟频率稳定性	完整温度范围和老化	-100		100	ppm
t_{REFCLK_P}	参考时钟周期	f_{REFCLK} = f_{PCLK} = 25MHz - 210MHz	4.76	T	40	ns
t_{REFCLK_H}	参考时钟高电平时间		0.4T	0.5T	0.6T	ns
t_{REFCLK_L}	参考时钟低电平时间		0.4T	0.5T	0.6T	ns
t_{REFCLK_JIT}	参考时钟抖动	f_{PCLK} / 40 < 抖动频率 < f_{PCLK} / 20, TJ@BER<1E-10			0.28	UI(1)

(1) UI_{FPD3} - FPD-Link III 单位间隔相当于一个串行数据位宽度。对于单链路模式，1 UI_{FPD3} = 1/(35* f_{PCLK})。对于双链路模式，1 UI_{FPD3} = 1/(35*f_{PCLK}/2)。UI_{FPD3} 随 PCLK 频率而调整。

Copyright © 2022 Texas Instruments Incorporated

7.8 推荐的串行控制总线时序

在 I^2C 电源和温度范围内（除非另外说明）。

参数		测试条件	最小值	典型值	最大值	单位
f_{SCL}	SCL 时钟频率	标准模式	>0		100	kHz
		快速模式	>0		400	kHz
		超快速模式	>0		1	MHz
t_{LOW}	SCL 低电平时间	标准模式	4.7			µs
		快速模式	1.3			µs
		超快速模式	0.5			µs
t_{HIGH}	SCL 高电平周期	标准模式	4			µs
		快速模式	0.6			µs
		超快速模式	0.26			µs
$t_{HD;STA}$	启动或重复启动条件的保持时间	标准模式	4			µs
		快速模式	0.6			µs
		超快速模式	0.26			µs
$t_{SU;STA}$	启动或重复启动条件的设置时间	标准模式	4.7			µs
		快速模式	0.6			µs
		超快速模式	0.26			µs
$t_{HD;DAT}$	数据保持时间	标准模式	0			µs
		快速模式	0			µs
		超快速模式	0			µs
$t_{SU;DAT}$	数据设置时间	标准模式	250			ns
		快速模式	100			ns
		超快速模式	50			ns
$t_{SU;STO}$	STOP 条件的设置时间	标准模式	4			µs
		快速模式	0.6			µs
		超快速模式	0.26			µs
t_{BUF}	STOP 和 START 条件之间的总线空闲时间	标准模式	4.7			µs
		快速模式	1.3			µs
		超快速模式	0.5			µs
t_r	SCL 和 SDA 上升时间	标准模式			1000	ns
		快速模式			300	ns
		超快速模式			120	ns
t_f	SCL 和 SDA 下降时间	标准模式			300	ns
		快速模式			300	ns
		超快速模式			120	ns
C_b	每个总线的容性负载	标准模式			400	pF
		快速模式			400	pF
		超快速模式			550	pF
t_{SP}	输入滤波器	快速模式			50	ns
		超快速模式			50	ns

Copyright © 2022 Texas Instruments Incorporated

7.9 时序图

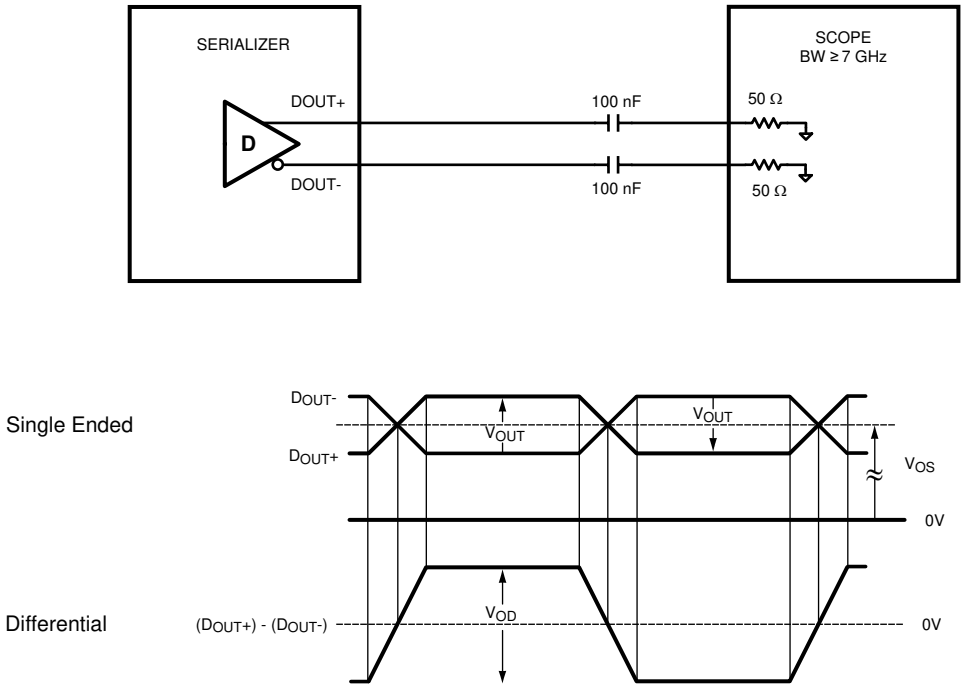


图 7-1. 串行器输出 V_{OD}，V_{OUT}

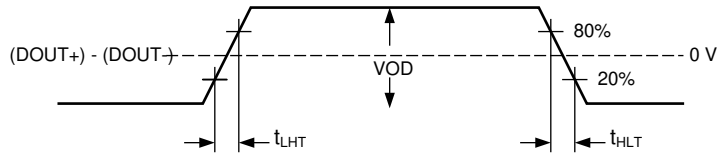


图 7-2. 输出切换次数

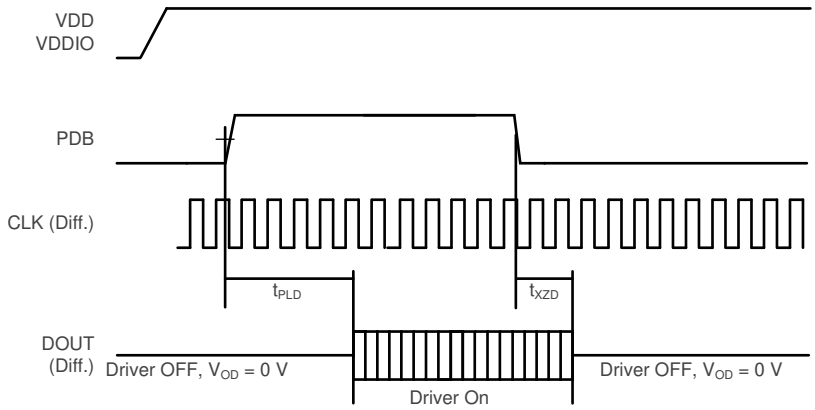


图 7-3. 串行器锁定时间

Copyright © 2022 Texas Instruments Incorporated

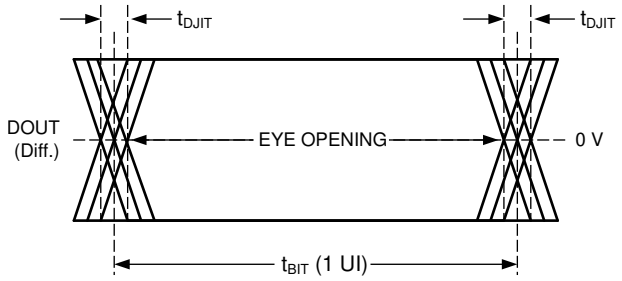


图 7-4. 串行器输出抖动

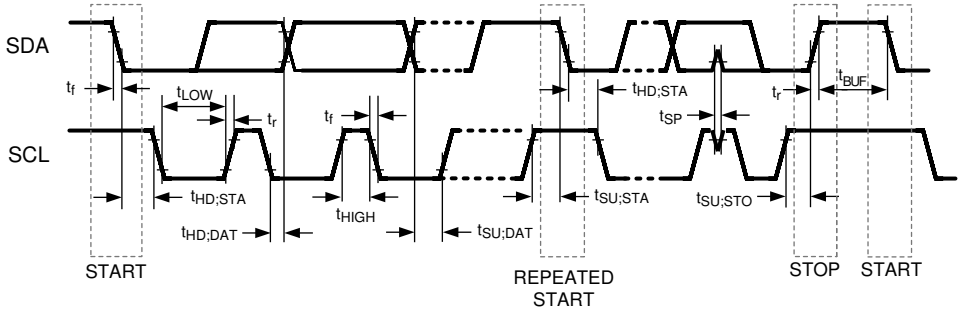


图 7-5. 串行控制总线时序图

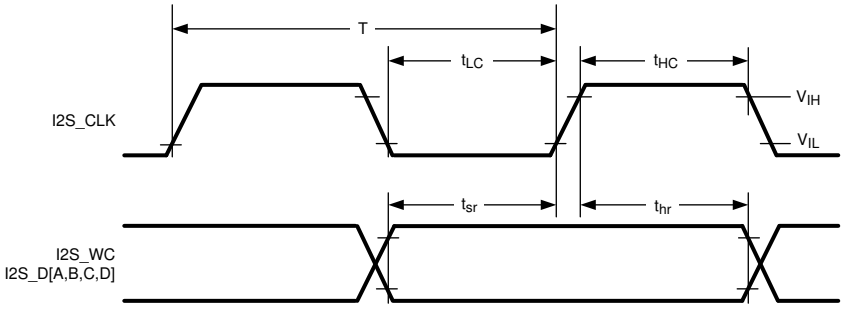


图 7-6. I2S 时序图

Copyright © 2022 Texas Instruments Incorporated

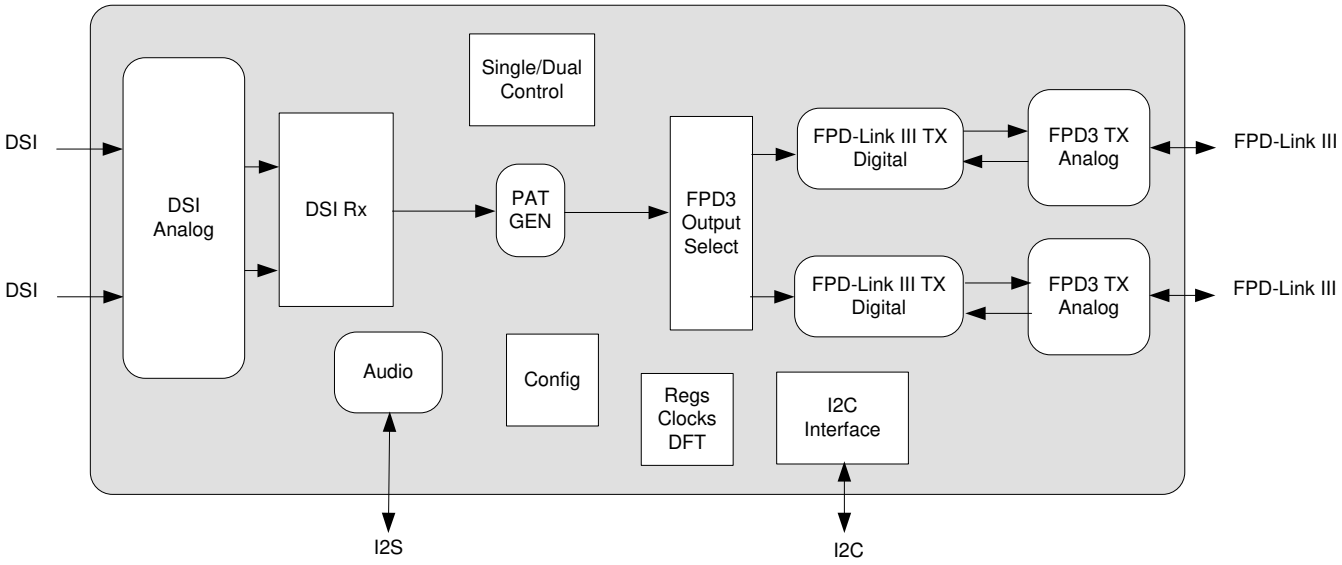
8 详细说明

8.1 概述

DS90UB941AS-Q1 是一个显示串行接口 (DSI) 转 FPD-Link III 桥接器件，其与 DS90UB940N-Q1、DS90UB948-Q1 解串器配合使用，通过两根低成本 50Ω 同轴或两个 100Ω 屏蔽双绞线 (STP) 电缆，传输高分辨率视频、音频和控制信息。每个双 DSI 链路都有（4 个通道 + 1 个时钟）。所有链路都支持高达 2K 的视频分辨率和 24 位色深，并转换为双线对高速串行接口。串行总线方案 FPD-Link III 支持通过两条差分链路进行的视频和音频数据传输以及全双工控制（包括 I2C 通信）。视频数据的整合和对两个差分对的控制减少了互连尺寸和重量，同时还消除了偏差问题，并简化了系统设计。通过使用低压差分信令、数据换序和随机生成最大限度地减少了电磁干扰 (EMI)。在向后兼容模式下，该器件支持高达 WXGA 和 720p 的分辨率（24 位色深），并通过一条差分链路传输到 DS90UB924-Q1、DS90UB926-Q1 或 DS90UB928-Q1 解串器。

DS90UB941AS-Q1 支持高达 8 个 I2S 音频通道。从 I2S 输入接收到的音频数据经过加密后通过 FPD-Link III 接口发送，进而在最大采样率为 192kHz 的最多 8 通道 I2S 接口上重新生成。

8.2 功能方框图



8.3 特性说明

DS90UB941AS-Q1 实现了 DSI 接口和双路 FPD-Link III 接口之间的桥接。该器件集成了 DSI 接收器与 FPD-Link III 发射器，用于提供音频和视频传输。

8.3.1 DSI 接收器

DS90UB941AS-Q1 具有两个独立的符合 MIPI D-PHY v1.2 / DSI v1.3.1 标准的输入端口。通过 BRIDGE_CTL 寄存器中的 DSI_PORT_SEL 位选择 DSI 输入端口。每个端口都允许 1、2、3 或 4 通道运行。两个端口的通道数由 BRIDGE_CTL 寄存器中的 DSI_LANES 字段控制，并且可在上电时通过对 MODE_SEL0 引脚进行 strap 配置来进行设置。不支持自动通道检测。

使用 DEVICE_CFG 寄存器中的 DSI1_LANE_REVERSE 或 DSI0_LANE_REVERSE 字段，两个 DSI 端口中的每一个都可以在内部独立地反转 DSI 通道顺序：

- DEVICE_CFG:DSI0_LANE_REVERSE = 1：
  - DSI0_D3P/N -> 端口 0 通道 0
  - DSI0_D2P/N -> 端口 0 通道 1
  - DSI0_D1P/N -> 端口 0 通道 2
  - DSI0_D0P/N -> 端口 0 通道 3
- DEVICE_CFG:DSI1_LANE_REVERSE = 1：

Copyright © 2022 Texas Instruments Incorporated

- DSI1_D3P/N -> 端口 1 通道 0
- DSI1_D2P/N -> 端口 1 通道 1
- DSI1_D1P/N -> 端口 1 通道 2
- DSI1_D0P/N -> 端口 1 通道 3

此外，对于两个 D-PHY 端口中的每一个，DSI 时钟和数据通道极性都可以在内部独立地反转：

- DEVICE_CFG:DSI0_DATA_PN_SWAP = 1：
  - DSI0_D3P/N -> DSI0_D3N/P
  - DSI0_D2P/N -> DSI0_D2N/P
  - DSI0_D1P/N -> DSI0_D1N/P
  - DSI0_D0P/N -> DSI0_D0N/P
- DEVICE_CFG:DSI0_CLK_PN_SWAP = 1：
  - DSI0_CLKP/N -> DSI0_CLKN/P
- DEVICE_CFG:DSI1_DATA_PN_SWAP = 1：
  - DSI1_D3P/N -> DSI1_D3N/P
  - DSI1_D2P/N -> DSI1_D2N/P
  - DSI1_D1P/N -> DSI1_D1N/P
  - DSI1_D0P/N -> DSI1_D0N/P
- DEVICE_CFG:DSI1_CLK_PN_SWAP = 1：
  - DSI1_CLKP/N -> DSI1_CLKN/P

8.3.1.1 DSI 工作模式

D-PHY 接收器可以处于高速 (HS) 或 Escape 模式。在正常运行期间，数据通道将处于高速模式。在 Escape 模式下，D-PHY 将处于低功耗 (LP) 状态。在高速模式下，数据传输以突发形式发生，可能以停止状态 (LP-11) 开始和结束，也可能保持在 HS 模式并传输空或消隐数据包。有一个过渡状态可使 D-PHY 从正常模式进入 Escape 模式或低功耗状态。

进入高速模式的顺序是：LP-11、LP-01、LP-00，此时数据通道保持高速模式，直到接收到停止状态 (LP-11)。

进入 Escape 模式的顺序是：LP-11、LP-10、LP-00、LP-01、LP-00。只要观察到最终桥接状态 (LP-00)，通道就会进入 Escape 模式。

8.3.1.1.1 高速模式

在高速数据传输过程中，数字 D-PHY 将启用终止信号以允许 HS RX 正确终止，而 LP RX 应保持在 LP-00 状态。DSI 数据通道和时钟通道都以相同的方式运行。DS90UB941AS-Q1 支持 DSI 连续时钟通道模式，其中时钟 LP RX 保持在 LP-00 状态。

Copyright © 2022 Texas Instruments Incorporated

8.3.1.1.2

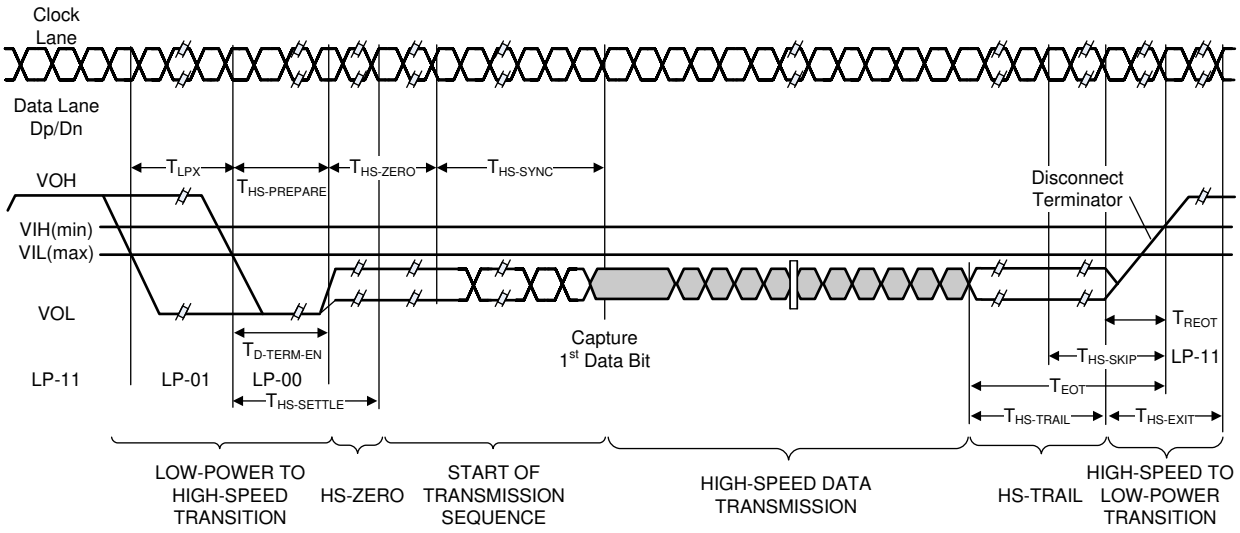


图 8-1. 突发高速数据传输

不支持低功耗数据传输和低功耗逃逸模式。

8.3.1.1.3 全局操作时序参数

MIPI D-PHY v1.2 定义了 D-PHY TX 和 RX 的全局操作时序。DS90UB941AS-Q1 实现了以下 RX 时序参数：

- $t_{CLK-MISS}$
- $t_{CLK-SETTLE}$（可编程）
- $t_{CLK-TERM-EN}$（可编程）
- $t_{D-TERM-EN}$（可编程）
- $t_{HS-SETTLE}$（可编程）
- $t_{HS-SKIP}$（可编程）
- t_{INIT} 从（可编程）
- t_{EOT} 参数不受支持。

Copyright © 2022 Texas Instruments Incorporated

8.3.1.2 THS-SKIP 编程

D-PHY 数据通道包括在 HS 数据传输期间忽略最终数据位的能力。可以将要忽略的位数编程到器件间接寄存器第 1 页上的 DPHY_SKIP_TIMING 寄存器中。

TSKIP_CNT 字段应根据工作 DSI 时钟频率进行编程，以满足 D-PHY THS-SKIP 时序要求。TSKIP_CNT 值（解码）在 方程式 1 中定义，其中，f_{DSI} 是以 GHz 为单位的 DSI 时钟频率。表 8-1 显示了几个基于给定 DSI 时钟频率 f_{DSI} 得出的示例 TSKIP_CNT 值。

$$TSKIP_CNT = Round(65 \cdot f_{DSI} - 5) \tag{1}$$

表 8-1. 以 f_{DSI} 函数表示的 TSKIP_CNT 设置示例

f_{DSI} [GHz]	TSKIP_CNT（解码）	DSI 间接寄存器 0x05[6:1] (bin)	DSI 间接寄存器 0x05 设置（十六进制）
0.225	10	001010	0x14
0.315	15	001111	0x1E

8.3.1.3 DSI 错误和状态

8.3.1.3.1 DSI / DPHY 误差检测和报告

DS90UB941AS-Q1 通过 DPHY_DLANEx_ERR 寄存器检测并报告每个通道的 DSI 错误：

- SoT 错误
- SoT 同步错误
- EoT 同步错误
- False 控制错误

不支持 Escape Entry Command Error 和 LP Transmission Sync Error 条件。

8.3.1.3.2 DSI 协议错误检测

DSI 协议逻辑提供一个 3 位状态矢量来指示协议错误。这三个位是：

- DSI_RD_WOUT_BTA：读取而无总线转弯 (BTA)
- DSI_EOT_ERR：传输结束，无 EOT 数据包
- DSI_CMD_OVER：命令 FIFO 溢出

DSI 协议错误在 DSI_STATUS 寄存器中可用。读取第 1 页间接寄存器上的 DSI_STATUS 寄存器时，错误标志将被清除。

8.3.1.3.3 DSI 错误报告

主寄存器 GENERAL_STS (0x0C) 有两个与 DSI 错误相关的状态位。第 6 位是 DSI_ERROR 状态位，它对间接寄存器中的所有 DSI 错误位进行或运算。如果启用了双 DSI，则 DSI0 和 DSI1 错误位会一起进行“OR”运算。但是，如果仅启用一个 DSI 端口，则状态位仅显示该 DSI 端口内的错误位。该位在读取时不会清除。所有的错误状态位都必须在 DSI 间接寄存器中被清除。第 5 位是 DPHY_ERROR 状态位，它对间接寄存器中的所有 DPHY 错误位进行或运算。它的工作原理与 DSI_ERROR 位类似，因为 DPHY_ERROR 位仅显示启用的 DPHY 的错误，并且无法在读取时被清除。

有三个寄存器会显示所有可能导致设置 DSI_ERROR_DET 位的错误。此错误报告来自 DSI 逻辑并分布在 DSI_ERR_RPT_0、DSI_ERR_RPT_1 和 DSI_ERR_RPT_2 寄存器中。读取 DSI_STS 寄存器时，错误报告寄存器被清除。检查 DSI 错误的最佳寄存器读取顺序是读取主寄存器中的 GENERAL_STS 位，检查错误报告寄存器中的错误，然后读取 DSI_STS 寄存器中的其他错误并清除错误报告寄存器。

Copyright © 2022 Texas Instruments Incorporated

8.3.1.3.4 DSI 错误计数器

DSI 协议逻辑检测到的错误时使 DSI 错误计数器递增。每种类型的错误都可以独立启用。如果启用了错误指示，在检测到该条件时，错误计数器就会递增。通过设置第 1 页间接寄存器上的 DIS_ERR_CFG_0 和 DSI_ERR_CFG_1 寄存器中的控件来启用错误条件。

8.3.1.3.5 DSI 转 FPD-Link III 缓冲区错误

DSI 转 FPD-Link III 接口包括一个缓冲区，用于处理从 DSI 协议逻辑到 FPD-Link III 传输域的数据传输。如果接口检测到缓冲区溢出，则将在第 1 页间接寄存器的 DSI_STATUS 寄存器中设置 DSI_FPD3_ERR。

8.3.1.4 支持的 DSI 视频格式

DS90UB941AS-Q1 支持四种 DSI RGB 视频格式：

- RGB888（24 位格式封装像素流，数据类型为 0x3E）
- RGB666（3 字节 18 位格式松散封装像素流，数据类型为 0x2E）
- RGB666（18 位格式封装像素流，数据类型为 0x1E）
- RGB565（16 位格式封装像素流，数据类型为 0x0E）

备注

每条视频行都应作为单个 DSI 数据包发送。不支持每行视频格式多个数据包

如有必要，RGB 视频格式会自动转换为 3 字节 RGB888，以便通过 FPD-Link III 进行传输。

DS90UB941AS-Q1 还支持四种 DSI YCbCr 视频格式的直通：

- 12 位 YCbCr 4:2:0 格式的封装像素流，数据类型为 0x3D
- 16 位 YCbCr 4:2:2 格式的封装像素流，数据类型为 0x2C
- 24 位 YCbCr 4:2:2 格式的封装像素流，数据类型为 0x1C
- 20 位 YCbCr 4:2:2 格式的松散像素流，数据类型为 0x0C

其中每一种格式都与每像素 3 字节的前向通道对齐，但不会转换为 RGB888。

DS90UB941AS-Q1 还支持压缩像素流数据的传输，都与每像素 3 字节对齐，以便通过 FPD-Link III 传输。无需解压缩。

备注

通常，RGB 像素数据在单个数据包中以一个完整的水平视频像素行发送。不支持将有源像素的水平视频线分成两个或多个数据包的情况。

8.3.2 高速正向通道数据传输

高速正向通道由 35 位数据组成，其中包含从串行器传输到解串器的 RGB 数据、同步信号、I2C、GPIO 和 I2S 音频。图 8-2 显示了每个时钟周期的串行流。该数据有效载荷针对交流耦合链路上的信号传输进行了优化。数据是随机的、平衡和加扰的。

图 8-2. FPD-Link III 串流

该器件在一个通道上支持 25MHz 至 105MHz 范围内的像素时钟，或在两个通道上支持 50MHz 至 210MHz 范围内的像素时钟。FPD-Link III 串流速率为每通道最大 3.675Gbps（最小 875Mbps）。

8.3.3 反向通道数据传输

反向通道在显示器和主机处理器之间提供双向通信。信息作为串行帧从解串器传送到串行器。反向通道控制数据与高速正向数据、直流平衡编码和嵌入式时钟信息一起通过两条串行链路传输。这种架构提供了一条通过串行链

Copyright © 2022 Texas Instruments Incorporated

路的反向路径以及一个高速正向通道。反向通道包含 I2C、CRC 和 4 位标准 GPIO 信息，线路速率为 5Mbps、10 Mbps 或 20 Mbps（由兼容的解串器配置）。

8.3.4 FPD-Link III 端口寄存器访问

DS90UB941AS-Q1 包含两个下行端口，需要复制一些寄存器以允许对两个端口进行控制和监视。为此，PORT_SEL 寄存器控制对这两组寄存器的访问。端口之间共享的寄存器（不重复）将独立于 PORT_SEL 寄存器中的设置可用。

设置 PORT0_SEL 或 PORT1_SEL 位将允许读取所选端口的寄存器。如果设置了两个位，将返回端口 1 寄存器。写入端口将发生在设置了选择位的端口上，如果设置了两个选择位，则允许同时写入两个端口。

置 PORT1_I2C_EN 位将启用第二个 I^2 从地址，从而允许通过第二个 I^2C 地址访问第二个端口寄存器。如果设置了该位，则将忽略 PORT0_SEL 和 PORT1_SEL 位。

请注意，在 Forced Single FPD-Link III 模式下，通过阻止设置 PORT1_SEL 寄存器位将禁用对端口 1 寄存器的访问。

额外的端口 1 寄存器仅在独立 2:2 和/或分离器模式下可用。如果未启用这些模式，则对这些寄存器的所有访问都将是对端口 0 寄存器的访问。

8.3.5 视频控制信号

相对于视频像素时钟周期 (PCLK)，嵌入在 DSI 接口中的视频控制信号受到一定的限制。默认情况下，DS90UB941AS-Q1 对这些信号应用最小脉冲宽度滤波器，以帮助消除杂散转换。

正常模式控制信号（VS、HS、DE）具有以下限制：

- 水平同步 (HS)：当控制信号过滤器（寄存器位 0x03[4]）启用（默认）时，视频控制信号脉冲宽度必须为 3 PCLK 或更长。禁用控制信号滤波器将消除这一限制（最小值为 1 个 PCLK）。对于 HS，每 130 个 PCLK 最多可以切换两次。
- 垂直同步 (VS)：视频控制信号脉冲被限制为每 130 个 PCLK 切换 1 次。因此，最小脉冲宽度为 130 个 PCLK。
- 数据使能输入 (DE)：当控制信号过滤器（寄存器位 0x03[4]）启用（默认）时，视频控制信号脉冲宽度必须为 3 PCLK 或更长。禁用控制信号滤波器将消除这一限制（最小值为 1 个 PCLK）。对于 DE，每 130 个 PCLK 最多可以切换两次。

8.3.6 关断引脚 (PDB)

串行器有一个 PDB 输入引脚来启用器件或使其关断。此引脚可由外部器件或通过 V_{DDIO} 控制。为了节省电量，当不需要显示时禁用链接（PDB = LOW）。确保在所有电源达到最终电平之前，该引脚未驱动为高电平。当 PDB 被驱动为低电平时，请确保将引脚驱动至 0V 至少 2ms 后再释放该引脚或将其驱动为高电平。在 PDB 直接上拉到 V_{DDIO} 的情况下，需要一个 ≥10kΩ 的上拉电阻和一个 >10μF 的接地电容（参阅 *节 10.2*）。

将 PDB 切换为低电平使器件关断，并将所有控制寄存器重置为默认值。在此期间，PDB 必须保持低电平至少 2ms，然后再次变为高电平。

8.3.7 串行链路故障检测

DS90UB941AS-Q1 可以检测 FPD-Link III 互连中的故障情况。如果发生故障情况，地址 0x0C 的位 0 上的链路检测状态为 0（ 节 8.6 ）。DS90UB941AS-Q1 将检测以下任一种情况：

1. 电缆开路
2. 正负极短路
3. “+”短接至 GND
4. “-”短接至 GND
5. “+”短接至电池
6. “-”短接至电池
7. 电缆连接不正确（DOUT+/DOUT- 接反了）

Copyright © 2022 Texas Instruments Incorporated

备注

器件将检测上述任何一种情况，但不会具体报告发生了哪种情况。

8.3.8 中断支持

8.3.8.1 中断引脚 (INTB)

INTB 引脚是低电平有效中断输出引脚，可作为各种本地和远程中断条件的中断（参阅*节 8.6* 中的寄存器 0xC6 和 0xC7）。对于远程中断条件，INTB 引脚与解串器上的 INTB_IN 引脚一起工作。此中断信号在配置后将从解串器传播到串行器。

1. 在串行器上，设置寄存器 0xC6[5] = 1 和 0xC6[0] = 1
2. 一些下游器件将解串器 INTB_IN 引脚设置为*低电平*。
3. 串行器将 INTB 引脚拉至*低电平*。该信号为有效*低电平*，因此*低电平*表示中断条件。
4. 外部控制器检测 INTB = 低电平；要确定中断源，请读取 ISR 寄存器。
5. 读取 将清除串行器处的中断，从而释放 INTB。
6. 然后，外部控制器通常必须访问远程器件以确定下游中断源，并清除驱动解串器 INTB_IN 的中断。这将是在下游器件释放解串器上的 INTB_IN 引脚时。系统现已准备好在 INTB_IN 的下一个下降沿返回到步骤 (2)。

8.3.8.2 远程中断引脚 (REM_INTB)

DS90UB941AS-Q1 包含一个专用的 REM_INTB（远程中断）引脚。该引脚可直通由连接的 FPD-Link III 解串器（例如 DS90UB948-Q1）发出的 INTB 信号。在有效链路条件期间，解串器 INTB_IN 引脚上的值将反映到 DS90UB941AS-Q1 REM_INTB 引脚上。

在双路 FPD3 模式下，REM_INTB 引脚将指示连接的双路功能解串器发出的 INTB_IN。在其他模式下，REM_INTB 引脚将指示来自多个解串器的 INTB_IN 引脚的组合中断（如果已连接）。如果任一条连接报告了远程中断，则组合中断便会生效。

除了 REM_INTB 引脚之外，REM_INTB_CTRL 寄存器还允许将远程中断指示带到引脚。此外，REM_INTB_MODE 字段的选择 0001 允许将端口 0 远程中断带到 REM_INTB 并将端口 1 远程中断带到 INTB 引脚。

有关分离器模式的中断支持的详细信息，请参阅 *DS90Ux941ASQ1 分离器的操作模式* 应用手册 (SNLA308)。

Copyright © 2022 Texas Instruments Incorporated

8.3.9 GPIO 支持

8.3.9.1 GPIO[3:0] 配置

在正常工作中，GPIO[3:0] 可用作正向通道（输出）或反向通道（输入）模式下的通用 IO。可以从寄存器配置 GPIO 模式。有关 GPIO 使能和配置，请参阅表 8-2。

表 8-2. GPIO 使能和配置

说明	器件	正向通道	反向通道
GPIO3	串行器	0x0F[3:0] = 0x3	0x0F[3:0] = 0x5
	解串器	0x1F[3:0] = 0x5	0x1F[3:0] = 0x3
GPIO2	串行器	0x0E[7:4] = 0x3	0x0E[7:4] = 0x5
	解串器	0x1E[7:4] = 0x5	0x1E[7:4] = 0x3
GPIO1	串行器	0x0E[3:0] = 0x3	0x0E[3:0] = 0x5
	解串器	0x1E[3:0] = 0x5	0x1E[3:0] = 0x3
GPIO0	串行器	0x0D[3:0] = 0x3	0x0D[3:0] = 0x5
	解串器	0x1D[3:0] = 0x5	0x1D[3:0] = 0x3

8.3.9.2 反向通道配置

D_GPIO[3:0] 引脚可配置为根据模式和反向通道频率获得不同的采样率。这些不同的模式由兼容的解串器控制。有关如何配置反向通道频率的详细信息，请参阅相应的解串器数据表。有关各种模式下 D_GPIO 的详细信息，请参阅表 8-3。

表 8-3. 反向通道 D_GPIO 有效频率

HSCC_MODE（在 DES 上）	模式	D_GPIO 数	每帧样本数	D_GPIO 有效频率(1) (kHz)			允许的 D_GPIO
				5Mbps BC(2)	10Mbps BC(3)	20Mbps BC(4)	
000	正常	4	1	33	66	133	D_GPIO[3:0]
011	快速	4	6	200	400	800	D_GPIO[3:0]
010	快速	2	10	333	666	1333	D_GPIO[1:0]
001	快速	1	15	500	1000	2000	D_GPIO0

(1) 有效频率假设了最坏情况下的反向通道频率 (-20%) 和 4 倍采样率。
(2) 5Mbps 对应于兼容解串器上的 BC FREQ SELECT = 0 和 BC_HS_CTL = 0。
(3) 10Mbps 对应于兼容解串器上的 BC FREQ SELECT = 1 和 BC_HS_CTL = 0。
(4) 20Mbps 对应于兼容解串器上的 BC FREQ SELECT = X 和 BC_HS_CTL = 1。

8.3.9.3 GPIO_REG[8:5] 配置

GPIO_REG[8:5] 是纯寄存器 GPIO，可以编程为输出或仅通过本地寄存器位读取为输入。在适用的情况下，这些位与 I2S 引脚共享，如果启用为 GPIO_REG 模式，将覆盖 I^2S 输入。有关 GPIO 使能和配置，请参阅表 8-4。

注意：通过本地寄存器访问或通过双向控制通道的远程寄存器访问，可对本地 GPIO 值进行配置和读取。这些引脚的配置和状态不会像 GPIO[3:0] 那样从串行器传输到解串器。

表 8-4. GPIO_REG 和 GPIO 本地使能和配置

说明	寄存器配置	功能
GPIO_REG8	0x11[7:4] = 0x01	输出，低电平
	0x11[7:4] = 0x09	输出，高电平
	0x11[7:4] = 0x03	输入，读取：0x1D[0]
GPIO_REG7	0x11[3:0] = 0x1	输出，低电平
	0x11[3:0] = 0x9	输出，高电平
	0x11[3:0] = 0x3	输入，读取：0x1C[7]

Copyright © 2022 Texas Instruments Incorporated

表 8-4. GPIO_REG 和 GPIO 本地使能和配置 (continued)

说明	寄存器配置	功能
GPIO_REG6	0x10[7:4] = 0x1	输出，低电平
	0x10[7:4] = 0x9	输出，高电平
	0x10[7:4] = 0x3	输入，读取：0x1C[6]
GPIO_REG5	0x10[3:0] = 0x1	输出，低电平
	0x10[3:0] = 0x9	输出，高电平
	0x10[3:0] = 0x3	输入，读取：0x1C[5]
GPIO3	0x0F[3:0] = 0x1	输出，低电平
	0x0F[3:0] = 0x9	输出，高电平
	0x0F[3:0] = 0x3	输入，读取：0x1C[3]
GPIO2	0x0E[7:4] = 0x1	输出，低电平
	0x0E[7:4] = 0x9	输出，高电平
	0x0E[7:4] = 0x3	输入，读取：0x1C[2]
GPIO1	0x0E[3:0] = 0x1	输出，低电平
	0x0E[3:0] = 0x9	输出，高电平
	0x0E[3:0] = 0x3	输入，读取：0x1C[1]
GPIO0	0x0D[3:0] = 0x1	输出，低电平
	0x0D[3:0] = 0x9	输出，高电平
	0x0D[3:0] = 0x3	输入，读取：0x1C[0]

8.3.10 SPI 通信

SPI 控制通道在双通道 FPD-Link III 实现中使用从链路。有两种可能的模式可用，正向通道和反向通道模式。在正向通道模式下，SPI 主器件位于串行器处，因此 SPI 数据的发送方向与视频数据的方向相同。在反向通道模式下，SPI 主器件位于解串器处，因此 SPI 数据的发送方向与视频数据的方向相反。

SPI 控制通道在写入数据时可以在高速模式下工作，但在读取数据时必须在较低频率下工作。在 SPI 读取期间，数据在 SPI 时钟下降沿从从器件传输到主器件。因此，SPI 读取操作的时钟周期必须大于往返数据延迟。另一方面，对于 SPI 写入，可以以更高的频率发送数据，其中主器件可以忽略 MISO 引脚。

两种操作模式的 SPI 数据速率不对称。正向通道上的数据可以比反向通道上的数据发送得快得多。

备注

SPI 不能用于访问串行器/解串器寄存器。

8.3.10.1 SPI 模式配置

SPI 通过 I^2C 进行配置，使用兼容解串器（DS90UB948-Q1 或 DS90UB940N-Q1）上的高速控制通道配置 (HSCC_CONTROL) 寄存器 0x43。HSCC_MODE (0x43[2:0]) 必须配置为高速、正向通道 SPI 模式 (110) 或高速、反向通道 SPI 模式 (111)。

8.3.10.2 正向通道 SPI 操作

在正向通道 SPI 操作中，位于串行器的 SPI 主器件生成 SPI 时钟 (SPLK)、主器件输出/从器件输入数据 (MOSI) 和低电平有效从器件选择 (SS)。串行器直接使用视频像素时钟对 SPI 信号进行过采样。SPLK、MOSI 和 SS 的三个采样值分别在前向信道帧中的数据位上发送。在解串器中，使用像素时钟重新生成 SPI 信号。为了节省设置和保持时间，解串器将在 SPLK 信号为高电平时保持 MOSI 数据。此外，相对于 MOSI 数据，解串器将 SPLK 延迟 1 个像素时钟，从而将设置增加 1 个像素时钟。

Copyright © 2022 Texas Instruments Incorporated

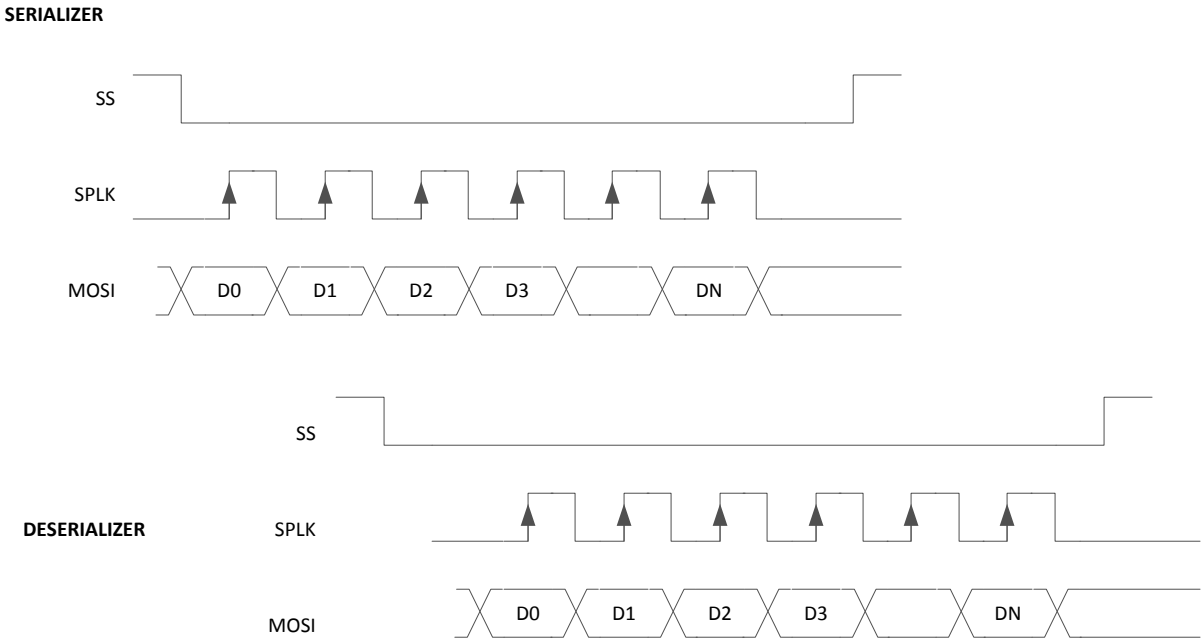


图 8-3. 正向通道 SPI 写入

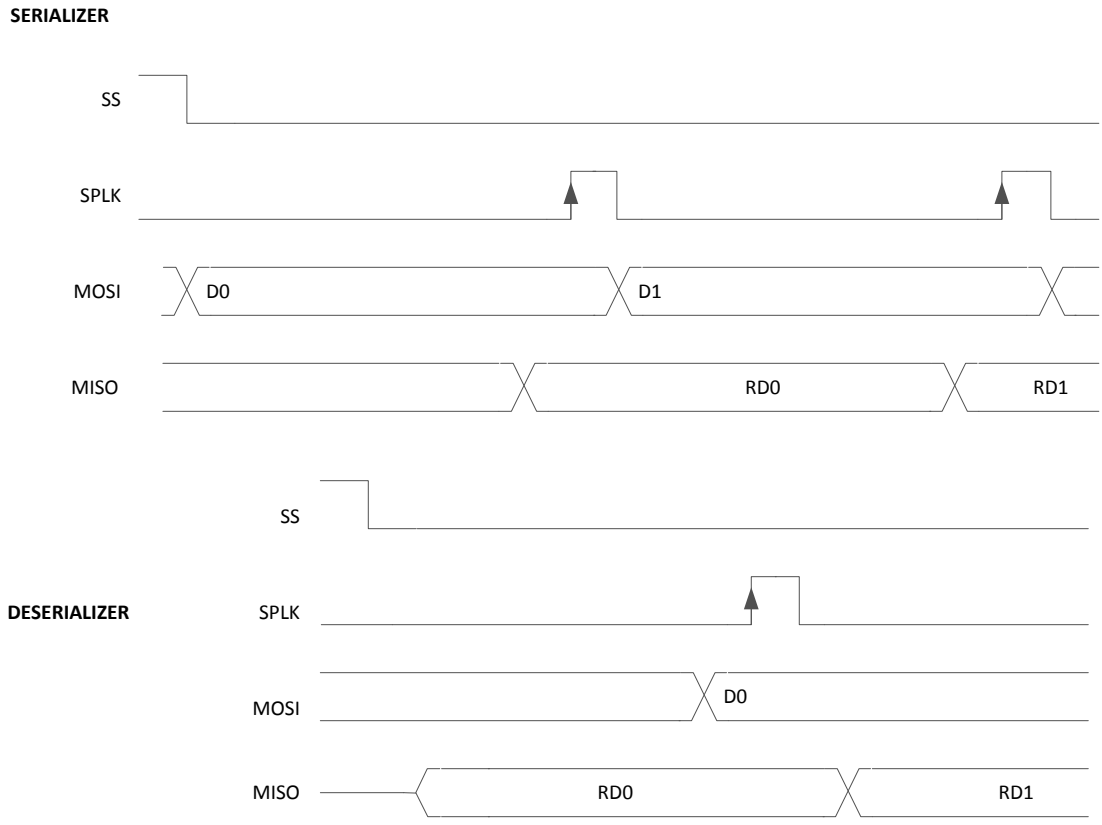


图 8-4. 正向通道 SPI 读取

8.3.10.3 反向通道 SPI 操作

在反向通道 SPI 操作中，解串器将从选择 (SS)、SPI 时钟 (SCLK) 采样到内部振荡器时钟域。此外，在检测到有效的 SPI 时钟沿时，解串器对 SPI 数据 (MOSI) 进行采样。SPI 数据样本存储在缓冲区中，以通过反向通道传输

Copyright © 2022 Texas Instruments Incorporated

给串行器。解串器将反向通道帧中的 SPI 信息发送到串行器。在每个反向通道帧中，解串器发送从选择值的指示。从选择应该在至少一个反向通道帧周期内处于无效状态（高电平），以确保传播到串行器。

因为数据在单独的反向通道帧中传送并被缓冲，所以数据可能会以突发的形式重新生成。图 8-5 显示了当数据到达三个反向通道帧时重新生成 SPI 数据的示例。第一帧传送 SS 有效指示，第二帧传送前三个数据位，第三帧传送附加数据位。

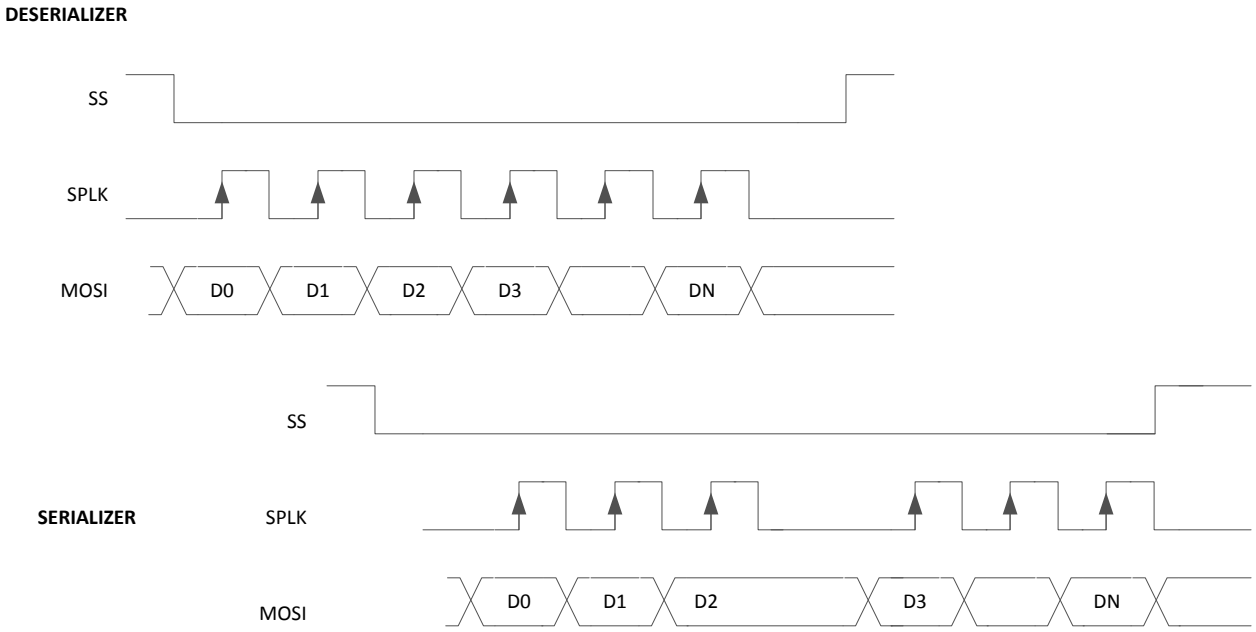


图 8-5. 反向通道 SPI 写入

对于反向通道 SPI 读取，SPI 主器件必须等待往返响应，然后才能生成 SPI 时钟的采样边沿。这类似于正向通道模式下的操作。请注意，每个反向通道帧最多将发送一个数据/时钟样本。

Copyright © 2022 Texas Instruments Incorporated

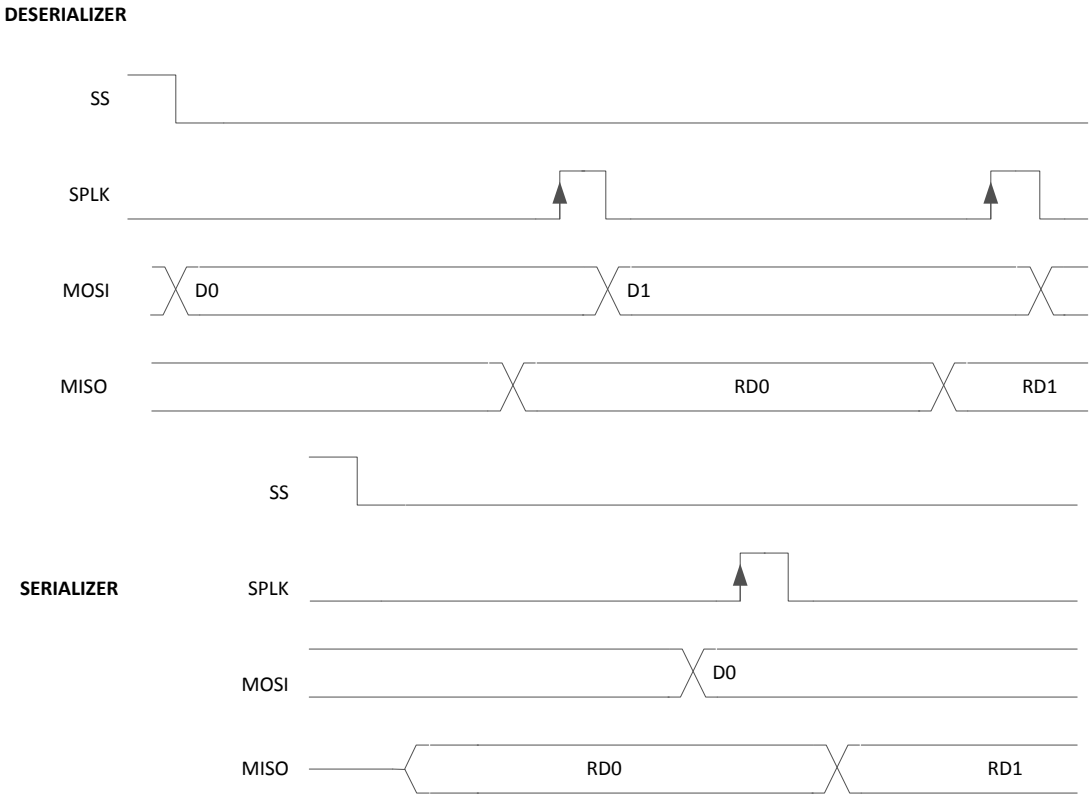


图 8-6. 反向通道 SPI 读取

对于反向通道 SPI 写入和读取，SPI_SS 信号应在至少一个反向通道帧周期内被取消置位。

表 8-5. SPI SS 取消置位要求

反向通道频率	取消置位要求
5Mbps	7.5µs
10Mbps	3.75µs
20Mbps	1.875µs

8.3.11 音频模式

8.3.11.1 I2S 音频接口

DS90UB941AS-Q1 串行器具有六个 I²S 输入引脚，与兼容的解串器配对时，可支持 7.1 高清 (HD) 环绕声音频应用。位时钟 (I2S_CLK) 支持 1MHz 和 CLK/2 或 13MHz 中较低的频率。四个 I²S 数据输入分别传输两个 I²S 格式的数字音频通道，每个通道由字选择 (I2S_WC) 输入描绘。有关 I2S 连接图和时序信息，请参阅图 8-7 和图 8-8。

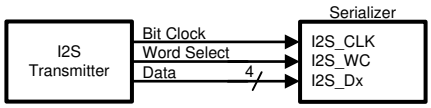


图 8-7. I²S 连接图

Copyright © 2022 Texas Instruments Incorporated

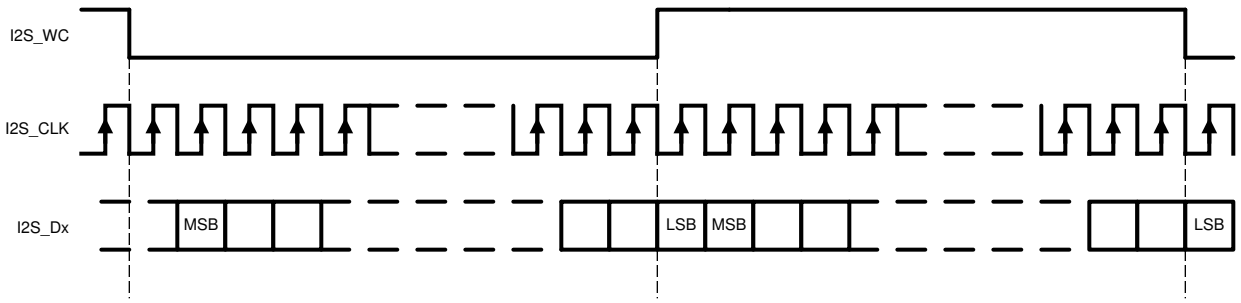


图 8-8. I2S 帧时序图

表 8-6 涵盖了几种常用 I²S 采样率：

表 8-6. 音频接口频率

采样率 (kHz)	I²S 数据字大小 (位)	I²S CLK (MHz)
32	16	1.024
44.1	16	1.411
48	16	1.536
96	16	3.072
192	16	6.144
32	24	1.536
44.1	24	2.117
48	24	2.304
96	24	4.608
192	24	9.216
32	32	2.048
44.1	32	2.822
48	32	3.072
96	32	6.144
192	32	12.288

8.3.11.1.1 I2S 传输模式

默认情况下，音频在专用数据岛传输帧中的视频消隐期间进行分组和传输。如果需要 I²S 数据的正向通道帧传输，可以从控制寄存器禁用数据岛帧。在这种模式下，只有 I2S_DA 被传输到 DS90UB928-Q1、DS90UB948-Q1 或 DS90UB940N-Q1 解串器。如果连接到 DS90UB926-Q1 解串器，则传输 I2S_DA 和 I2S_DB。环绕声模式会传输所有四个 I²S 数据输入 (I2S_D[A..D])，只能在数据岛传输模式下工作。此模式仅在连接到 DS90UB928-Q1、DS90UB948-Q1 或 DS90UB940N-Q1 解串器时可用。

8.3.11.1.2 I2S 中继器

I²S 音频可以在中继器应用中被扇出和传播。默认情况下，数据在视频消隐期间通过数据岛传输进行传播。如果需要帧传输，则应将 I²S 引脚从解串器连接到所有串行器。在顶级解串器中激活环绕声会自动配置下游序列化器和解串器以使用数据岛传输进行环绕声传输。如果希望只使用 I2S_DA 和 I2S_DB 的 4 通道操作，则必须在整个中继器树中的每个串行器和解串器控制寄存器内明确设置此模式。

8.3.11.1.3 分离器和复制模式期间的音频

在分离器或复制模式下，可以在每个下游链路上发送不同的音频。运行由 AUDIO_CFG 寄存器中的 SPLIT_AUDIO 控件控制。

如果 SPLIT_AUDIO 设置为 0，每个端口将发送相同的音频。发送的通道数将取决于 DATAPATH_CTL 寄存器设置。两个端口的配置方式相同。

Copyright © 2022 Texas Instruments Incorporated

如果 SPLIT_AUDIO 设置为 1，则上部通道和下部通道将交换端口 1。这是通过将 I2S_A/B 的 I2S 信号与 I2S_C/D 交换来完成的。在立体声模式下，这将导致在端口 1 上发送通道 C 上的 I2S 数据。

表 8-7 中显示了映射。

如果 DS90UB941AS-Q1 在上电时通过 strap 配置进入 FPD3 分离器模式，则 AUDIO_SPLIT 控制位也将设置为 1。否则，AUDIO_SPLIT 控制位将默认为 0。可以通过写入 AUDIO_CFG 寄存器来控制 AUDIO_SPLIT 寄存器位。

表 8-7. 分离器音频通道映射

SPLIT_AUDIO		端口 0	端口 1
0	A	I2S_DA	I2S_DA
	B	I2S_DB	I2S_DB
	C	I2S_DC	I2S_DC
	D	I2S_DD	I2S_DD
1	A	I2S_DA	I2S_DC
	B	I2S_DB	I2S_DD
	C	I2S_DC	I2S_DA
	D	I2S_DD	I2S_DB

8.3.11.2 TDM 音频接口

除了 I²S 音频接口，DS90UB941AS-Q1 串行器还支持 TDM 格式。TDM 格式的许多规范是常用的，DS90UB941AS-Q1 为字长、位时钟、可复用的通道数提供了灵活的支持。例如，假设字时钟信号 (I2S_WC) 周期 = 256 × 位时钟 (I2S_CLK) 时间段。在这种情况下，DS90UB941AS-Q1 可以多路复用 4 个通道，每个通道的最大字长为 64 位；或 8 个通道，每个通道的最大字长为 32 位。图 8-9 显示了 8 个通道的多路复用，字长为 24 位，格式类似于 I2S。

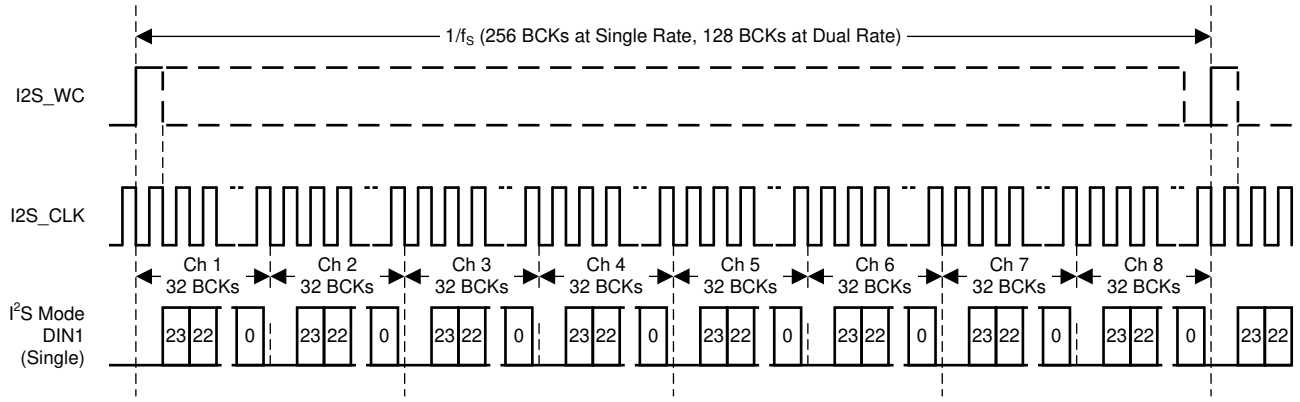


图 8-9. TDM 格式

8.3.12 内置自检测试 (BIST)

可选的全速内置自检 (BIST) 功能支持在没有外部数据连接的情况下测试高速串行链路和反向通道。这在原型阶段、设备生产、系统内测试和系统诊断中很有用。

在 BIST 模式下，反向通道的 CRC 状态在 MCLK 或 REM_INTB 引脚上显示。在分离器模式或独立 2:2 模式下，使用 REM_INTB，否则使用 MCLK。第二个反向通道的 CRC 状态在 SCLK 引脚上显示。

在分离器模式或独立 2:2 模式下，为每个端口独立启用 BIST 功能。

Copyright © 2022 Texas Instruments Incorporated

8.3.12.1 BIST 配置和状态

在解串器处通过引脚 (BISTEN) 或 BIST 配置寄存器启用 BIST 模式。测试可以选择外部像素时钟或内部振荡器时钟 (OSC) 频率。在没有外部像素时钟的情况下，用户可以通过 BISTC 引脚或 BIST 配置寄存器在解串器处选择内部 OSC 频率。

当在解串器处激活 BIST 时，BIST 使能信号通过反向通道发送到串行器。串行器输出测试图形并高速驱动链路。解串器检测测试图形并监控其错误。解串器 PASS 输出引脚切换以标记接收到的每个包含一个或多个错误的帧。串行器还跟踪每个反向通道帧中的 CRC 字段指示的错误。

可以在解串器 PASS 引脚上实时监控 BIST 状态，每个检测到的错误都将导致半像素时钟周期切换为低电平。禁用 BIST 后，最后一次测试的结果将保留在 PASS 输出上，直到复位（新的 BIST 测试或断电）。PASS 上的高电平表示未检测到错误。PASS 上的低电平表示检测到一个或多个错误。测试的持续时间由施加到解串器 BISTEN 引脚的脉冲宽度控制。LOCK 在整个 BIST 期间都有效。

BIST 模式流程图见图 8-10。

第 1 步：串行器与 FPD-Link III 解串器配对，通过 BISTEN 引脚或解串器上的寄存器 0x24[0] 或串行器上的 0x14[0] 启用 BIST 模式。在 BIST 启用后，部分 BIST 序列需要在串行器上本地切换位 0x04[5]（设置 0x04[5]=1，然后设置 0x04[5]=0）。通过解串器 BISTC 引脚或解串器上的寄存器选择所需的时钟源。

第 2 步：对全零图形进行平衡、加扰、随机化，并通过 FPD-Link III 接口发送到解串器。一旦串行器和解串器处于 BIST 模式并且解串器获得 Lock，解串器的 PASS 引脚变为高电平，BIST 开始检查数据流。如果检测到有效载荷（1 到 35）中的错误，PASS 引脚将在时钟周期的一半内切换为低电平。在 BIST 测试期间，可以对 PASS 输出进行监视和计数以确定有效载荷错误率。

第 3 步：为了停止 BIST 模式，将解串器 BISTEN 引脚设置为低电平。解串器停止检查数据。最终测试结果保存在 PASS 引脚上。如果测试运行无错误，PASS 输出将保持为高电平。如果检测到一个或多个错误，PASS 输出将输出恒定的低电平。一直保持 PASS 输出状态，直到新的 BIST 运行、器件复位或器件断电。BIST 持续时间在 BISTEN 信号时段内由用户控制。

第 4 步：在解串器 BISTEN 引脚变为低电平后，链路恢复正常工作。图 8-11 展示了两种情况下典型 BIST 测试的波形图。案例 1 无错误，案例 2 显示一个具有多个错误的示例。在大多数情况下，由于链路的稳健性（差分数据传输等）很难产生错误，因此可以通过大大延长电缆长度或使互连介质发生故障来引入错误。

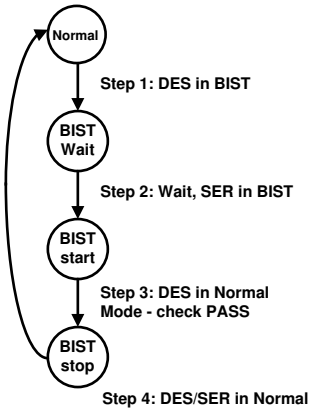


图 8-10. BIST 模式流程图

8.3.12.2 正向通道和反向通道错误检查

在 BIST 模式下，串行器会停止对 DSI 输入引脚进行采样并切换到内部全零图形。内部全零图形通过扰频器、直流平衡等，并通过串行链路传输到解串器。解串器在锁定到串行流时，将恢复的串行流与全零进行比较，并在状态寄存器中记录任何错误。错误也会在解串器的 PASS 引脚上动态报告。

Copyright © 2022 Texas Instruments Incorporated

当串行器锁定到反向通道串行流时，将检查反向通道数据的 CRC 错误，如链路检测状态所示（寄存器位 0x0C[0] - *节 8.6.1*）。CRC 错误记录在解串器的 8 位寄存器中。当串行器进入 BIST 模式时，该寄存器被清除。一旦串行器进入 BIST 模式，功能模式 CRC 寄存器就开始记录任何反向通道 CRC 错误。BIST 模式 CRC 错误寄存器仅在 BIST 模式下有效，并保留最后一次 BIST 运行的记录，直到被清除或串行器再次进入 BIST 模式。

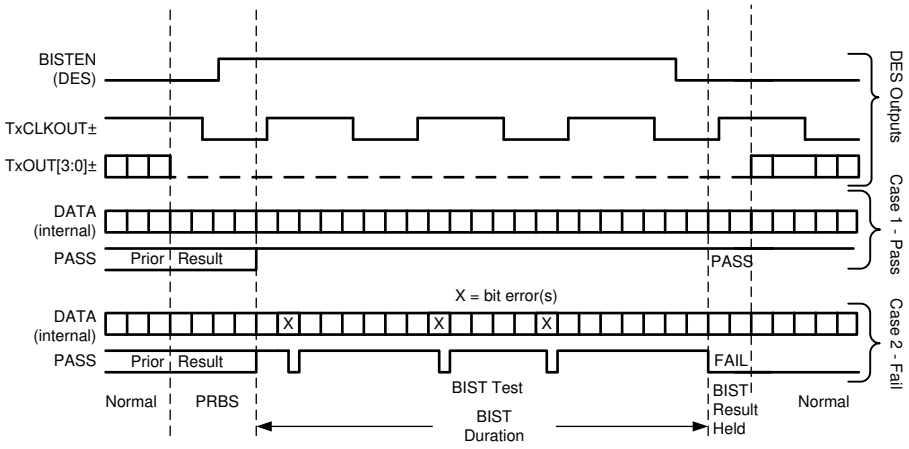


图 8-11. 与解串器信号结合的 BIST 波形

8.3.13 内部模式生成

DS90UB941AS-Q1 串行器提供内部图形生成特性。该特性允许对集成面板进行基本测试和调试。测试图形简单且重复，可以快速直观地验证面板是否工作正常。只要器件未处于断电模式，即使未应用任何输入，也会显示测试图形。如果没有收到时钟，测试图形可以配置为使用已编程的振荡器频率。有关详细信息，请参阅*探索 FPDLink III IVI 器件的内部测试图形生成特性* 应用手册 (SNLA132)。

在图形发生器 BIST 模式下，反向通道的 CRC 状态在 MCLK 或 REM_INTB 引脚上显示。在分离器模式或独立 2:2 模式下，使用 REM_INTB，否则使用 MCLK。第二个反向通道的 CRC 状态在 SCLK 引脚上显示。

8.3.13.1 图形选项

DS90UB941AS-Q1 串行器图形发生器能够生成 17 种默认图形，用于对面板进行基本测试和调试。可以使用 PATGEN_INV 0x65[1] 寄存器位对每个图形取反（参阅 *节 8.6.1*）。下面显示了一些图形显示如下：

1. 白/黑（默认/取反）
2. 黑色/白色
3. 红色/青色
4. 绿色/洋红色
5. 蓝色/黄色
6. 水平缩放黑色到白色/白色到黑色
7. 水平缩放黑色到红色/青色到白色
8. 水平缩放黑色到绿色/洋红色到白色
9. 水平缩放黑色到蓝色/黄色到白色
10. 垂直缩放黑色到白色/白色到黑色
11. 垂直缩放黑色到红色/青色到白色
12. 垂直缩放黑色到绿色/洋红色到白色
13. 垂直缩放黑色到蓝色/黄色到白色
14. 在 PGRS 中配置的自定义颜色（或其反转颜色）
15. 黑-白/白-黑棋盘（或自定义棋盘颜色，在 PGCTL 中配置）
16. YCBR/RBCY VCOM 图形，方向可从 PGCTL 配置
17. 色条（白色、黄色、青色、绿色、洋红色、红色、蓝色、黑色）— 注意：不包括在自动滚动特性中

Copyright © 2022 Texas Instruments Incorporated

此外，图形发生器包含一种用户可配置的全屏 24 位颜色，由 PGRS、PGGS 和 PGBS 寄存器控制。这是第 14 种图形。禁用自动滚动时，在 PGCTL 寄存器中静态选择图形选项之一。启用自动滚动时，PGTSC 和 PGTSO1-8 寄存器控制图形选择和顺序。

8.3.13.2 颜色模式

默认情况下，图形发生器在 24 位颜色模式下工作，其中红色、绿色和蓝色输出的所有位都是启用的。可从配置寄存器（ *节 8.6.1* ）启用 18 位颜色模式。在 18 位模式下，红色、绿色和蓝色输出的 6 个最高有效位（位 7-2）都是启用的。2 个最低有效位将为 0。

8.3.13.3 视频时序模式

图形发生器具有两种视频时序模式：外部和内部。在外部时序模式下，图形发生器会检测 DE 和 VS 输入端上的视频帧时序。如果 VS 上不存在垂直同步信号，则图形发生器会检测非活动像素时钟的数量 (DE = 0) 何时超过检测到的活动行长度的两倍来确定垂直消隐。在内部时序模式下，图形发生器使用在控制寄存器中配置的自定义视频时序。内部时序生成也可以由外部时钟驱动。默认情况下，启用外部时序模式。内部时序或带外部时钟的内部时序由控制寄存器启用（ *节 8.6.1* ）。

8.3.13.4 外部时序

在外部时序模式下，图形发生器在两个像素时钟延迟后将输入 DE、HS 和 VS 信号未经修改地传输到视频控制输出。该模式从输入信号中提取活动帧尺寸以适当地调整亮度模式。如果输入的视频流不使用 VS 信号，则图形发生器通过检测未置位 DE 的长时间像素时钟来确定垂直消隐时间。

8.3.13.5 图形反转

图形发生器还包含一个全局反转控制，位于 PGCFG 寄存器中，可执行输出图形的按位取反。例如，全屏红色图形变成全屏青色，而垂直缩放的黑色到绿色图形变成垂直缩放的白色到洋红色。

8.3.13.6 自动滚动

图形发生器支持自动滚动模式，在该模式下，输出图形在启用的图形类型列表中循环。在寄存器中最多可以定义 16 个图形的序列。这些图形可以在序列中按任何顺序出现，也可出现多次。

8.3.13.7 附加特性

通过图形发生器间接寄存器可访问其他图形发生器特性（参阅表 8-163）。

8.3.14 EMI 降低特性

8.3.14.1 输入 SSC 容差

DS90UB941AS-Q1 串行器能够跟踪来自主机源的三角形输入展频时钟 (SSC) 曲线，幅度偏差高达 ±0.25%（中心扩谱）或幅度偏差高达 0.5%（向上或向下扩谱），在 25MHz - 210MHz 下高达 33kHz 调制。

8.4 器件功能模式

8.4.1 模式选择配置设置 (MODE_SEL[1:0])

可以通过 MODE_SEL[1:0] 输入引脚或通过配置寄存器位来配置器件。建议阻值的上拉电阻和下拉电阻可用于设置 MODE_SEL[1:0] 输入的电压比。请参阅表 8-8 这些值将在上电期间锁存到寄存器位置：

表 8-8. MODE_SEL[1:0] 设置

模式	设置	功能
DSI LANES	00	1 个通道
	01	2 个通道
	10	3 个通道
	11	4 个通道
分离器模式	0	正常工作。
	1	将视频（奇/偶）分离到每个 FPD-Link III 输出端口

Copyright © 2022 Texas Instruments Incorporated

表 8-8. MODE_SEL[1:0] 设置 (continued)

模式	设置	功能
DISABLE DSI	0	DSI 输入已启用。
	1	DSI 输入已禁用。这是一个推荐的 Strap 配置选项，因为任何 DSI 输入的配置都需要在输入被禁用时进行。
COAX 模式	0	为双绞线电缆启用 FPD-Link III。
	1	为同轴电缆启用 FPD-Link III。
CLOCK 模式	0	FPD-Link III 由提供给 REFCLK 引脚的外部振荡器生成。DSI 时钟可以连续，也可以不连续。
	1	FPD-Link III 由 DSI 时钟生成，DSI 时钟必须是连续的。

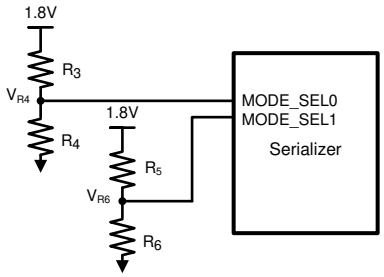


图 8-12. MODE_SEL[1:0] 连接图

表 8-9. Strap 配置 MODE_SEL0

MODE 编号	V_{R4} 电压			V_{R4} 目标电压	建议的 STRAP 配置电阻器 (1% TOL)		SPLITTER	DSI LANES
	V_{MIN}	V_{TYP}	V_{MAX}	$V_{(VDD18)}$ = 1.8V	R_3 (kΩ)	R_4 (kΩ)		
0	0	0	0.126 × $V_{(VDD18)}$	0	断开	10.0	0	1
1	0.179 × $V_{(VDD18)}$	0.211 × $V_{(VDD18)}$	0.244 × $V_{(VDD18)}$	0.38	73.2	20.0	0	2
2	0.286 × $V_{(VDD18)}$	0.325 × $V_{(VDD18)}$	0.364 × $V_{(VDD18)}$	0.585	60.4	30.1	0	3
3	0.404 × $V_{(VDD18)}$	0.441 × $V_{(VDD18)}$	0.472 × $V_{(VDD18)}$	0.794	51.1	40.2	0	4
4	0.526 × $V_{(VDD18)}$	0.556 × $V_{(VDD18)}$	0.590 × $V_{(VDD18)}$	1.001	40.2	51.1	1	1
5	0.643 × $V_{(VDD18)}$	0.673 × $V_{(VDD18)}$	0.708 × $V_{(VDD18)}$	1.211	30.1	61.9	1	2
6	0.763 × $V_{(VDD18)}$	0.790 × $V_{(VDD18)}$	0.825 × $V_{(VDD18)}$	1.421	18.7	71.5	1	3
7	0.880 × $V_{(VDD18)}$	$V_{(VDD18)}$	$V_{(VDD18)}$	1.8	10.0	断开	1	4

表 8-10. Strap 配置 MODE_SEL1

MODE 编号	V_{R6} 电压			V_{R6} 目标电压	建议的 STRAP 配置电阻器 (1% TOL)		CLOCK	COAX	DISABLE DSI
	V_{MIN}	V_{TYP}	V_{MAX}	$V_{(VDD18)}$ = 1.8V	R_5 (kΩ)	R_6 (kΩ)			
0	0	0	0.126 × $V_{(VDD18)}$	0	断开	10.0	1	0	0
1	0.179 × $V_{(VDD18)}$	0.211 × $V_{(VDD18)}$	0.244 × $V_{(VDD18)}$	0.380	73.2	20.0	1	0	1
2	0.286 × $V_{(VDD18)}$	0.325 × $V_{(VDD18)}$	0.364 × $V_{(VDD18)}$	0.585	60.4	30.1	1	1	0

Copyright © 2022 Texas Instruments Incorporated

表 8-10. Strap 配置 MODE_SEL1 (continued)

MODE 编号	V_{R6} 电压			V_{R6} 目标电压	建议的 STRAP 配置电阻器 (1% TOL)		CLOCK	COAX	DISABLE DSI
	V_{MIN}	V_{TYP}	V_{MAX}	$V_{(VDD18)}$ = 1.8V	R_5 (kΩ)	R_6 (kΩ)			
3	0.404 × $V_{(VDD18)}$	0.441 × $V_{(VDD18)}$	0.472 × $V_{(VDD18)}$	0.794	51.1	40.2	1	1	1
4	0.526 × $V_{(VDD18)}$	0.556 × $V_{(VDD18)}$	0.590 × $V_{(VDD18)}$	1.001	40.2	51.1	0	0	0
5	0.643 × $V_{(VDD18)}$	0.673 × $V_{(VDD18)}$	0.708 × $V_{(VDD18)}$	1.211	30.1	61.9	0	0	1
6	0.763 × $V_{(VDD18)}$	0.790 × $V_{(VDD18)}$	0.825 × $V_{(VDD18)}$	1.421	18.7	71.5	0	1	0
7	0.880 × $V_{(VDD18)}$	$V_{(VDD18)}$	$V_{(VDD18)}$	1.8	10.0	断开	0	1	1

表 8-11. 模式选择 [1.0] 寄存器

Strap 配置值	寄存器名称	位域	说明
MODESEL0 - SPLITTER	DUAL_CTL1，AUDIO_CFG	[2:0]，[4]	FPD3_TX_MODE，SPLIT_AUDIO
MODESEL0 - DSI LANES	BRIDGE_CTL	[3:2]	DSI_LANES
MODESEL1 - CLOCK	BRIDGE_CTL	[7]，[1:0]	DSI_CONTINUOUS_CLK
MODESEL1 - COAX	DUAL_CTL1	[7]	FPD3_COAX_MODE
MODESEL1 - DISABLE DSI	RESET_CTL	[3]	DISABLE_DSI

8.4.2 时钟模式

8.4.2.1 DSI 时钟模式

DS90UB941AS-Q1 在 DSI 接口上支持连续和非连续时钟。它可以通过在 MODE_SEL1 引脚上选择适当的电阻器来设置，或者在 BRIDGE_CTL 寄存器的第 7 位中进行配置。注意：DSI 时钟的时钟选择，FPD3 的外部时钟在 I2C 寄存器中为每个 Tx FPD3 端口写入。

- 0：非连续 DSI 时钟模式：对于不连续 DSI 时钟的操作，将 MODEL_SEL1 引脚设置为 MODE 4、5、6 或 7 或者配置 BRIDGE_CTL[7]=0。
- 1：连续 DSI 时钟模式：对于连续 DSI 时钟的操作，将 MODEL_SEL1 引脚设置为 MODE 0、1、2 或 3 或者配置 BRIDGE_CTL[7]=1。

8.4.2.2 像素时钟模式

DS90UB941AS-Q1 支持四种像素时钟模式。这些模式确定了 FPD-Link III 接口的参考时钟。可以在 BRIDGE_CFG2[1:0] 寄存器位中配置这些模式。

- 00：DSI 参考时钟模式
- 01：外部参考时钟模式
- 10：内部参考时钟模式
- 11：独立 2:2 模式的外部参考时钟

8.4.2.2.1 DSI 参考时钟模式

在这种模式下，DSI 时钟是 FPD-Link III 接口的参考时钟。DSI 时钟必须是连续的，并且设置了 BRIDGE_CTL[7] 寄存器位。DSI 时钟需要满足必要的抖动要求。在此模式下，FPD-Link III 发送器与 DSI 时钟同步。像素时钟频率与方程式 2 中给出的 DSI 时钟频率有关。

$$f_{PCLK} = \frac{f_{DSI} \cdot N_{DSI_Lanes}}{12} \quad (2)$$

同步脉冲：在典型的 DSI 参考时钟模式操作中，使用 DSI 接口上的垂直同步 (VS) 和水平同步 (HS) 信号的原始时序在 FPD-Link III 上重新生成垂直同步 (VS) 和水平同步 (HS) 信号。下述 DSI 数据包与同步脉冲一起使用：

- 0x01：VSYNC_START (VSS)；也意味着 HSS
- 0x11：VSYNC_END (VSE)；也意味着 HSS
- 0x21：HSYNC_START (HSS)
- 0x31：HSYNC_END (HSE)

FPD-Link III 上的 VS 脉冲宽度（单位为行）等于 VSS 和 VSE 数据包之间的总行数（即，包含 VSS 数据包的 HSS 数据包的总数）。当精确的视频时序在重建过程中时，VS 脉冲宽度必须是整数个像素时钟。

FPD-Link III 上的 HS 脉冲宽度（单位为像素时钟）等于 HSS 数据包结束与 HSE 数据包结束之间的像素时钟数。当精确的视频时序在重建过程中时，HS 脉冲宽度必须是整数个像素时钟。

同步事件：如果 DSI 源配置为仅发送同步事件，则 DS90UB941AS-Q1 在 FPD-Link III 上生成如寄存器中配置的 VS 和 HS 脉冲。下述 DSI 数据包与同步事件一起使用：

- 0x01：VSYNC_START (VSS)；也意味着 HSS
- 0x21：HSYNC_START (HSS)

配置同步事件：在 DSI 间接寄存器 DSI_CONFIG_0 (0x20) 中启用同步事件支持。HS 和 VS 脉冲宽度可在 DSI 间接寄存器 DSI_HSW_CFG 和 DSI_VSW_CFG 中独立配置。

8.4.2.2.2 外部参考时钟模式

在此模式下，提供给 REFCLK0 引脚的外部参考时钟是 FPD-Link III 接口的参考时钟。外部时钟需要满足必要的抖动要求。在这种模式下，DSI 时钟可以连续，也可以不连续。

8.4.2.2.3 内部参考时钟

在此模式下，FPD-Link III 接口的参考时钟是从内部常开时钟获得的。在这种模式下，DSI 时钟可以连续，也可以不连续。通常，此模式用于调试目的，因为内部参考时钟不满足必要的抖动要求。

8.4.2.2.4 独立 2:2 模式的外部参考时钟

当独立 2:2 模式下的两个通道都需要外部参考时钟时，就会使用此模式。在此模式下，提供给 REFCLK0 引脚的外部参考时钟是 FPD-Link III Port0 接口的参考时钟，而提供给 REFCLK1 引脚的外部参考时钟是 FPD-Link III Port1 接口的参考时钟。两个外部时钟都需要满足必要的抖动要求。在这种模式下，DSI 时钟可以连续，也可以不连续。

8.4.3 双 DSI 输入模式

在双 DSI 输入模式下，两个 DSI 输入端口都处于活动状态，向 DS90UB941AS-Q1 传输单个视频流。DS90UB941AS-Q1 将输入的视频合并为单个图像。此操作在输入端支持两种基本类型的视频：

- 单一图像，交替像素。第一个像素在 DSI 端口 0 上，第二个像素在 DSI 端口 1 上。
- 双图像（例如，3D 图像），其中左图像在 DSI 端口 0 上，右图像在 DSI 端口 1 上

对这两种情况的处理是相同的。输入以交替像素格式合并为单个视频图像，像素时钟周期是单端口 DSI 像素时钟频率的两倍，如图 8-13 所示。

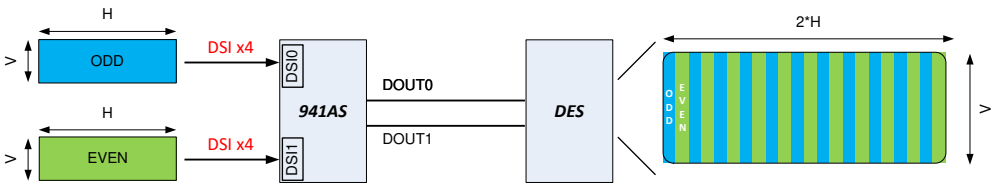


图 8-13. 将双 DSI 输入聚合为交替像素格式

第三种选项是将双图像合并为左/右格式，而不是交替像素格式，如图 8-14 所示。此选项会导致图像无法轻易被 FPD-Link III 器件分割。该选项可用于将组合图像转发到需要此格式的下游面板或处理器。

Copyright © 2022 Texas Instruments Incorporated

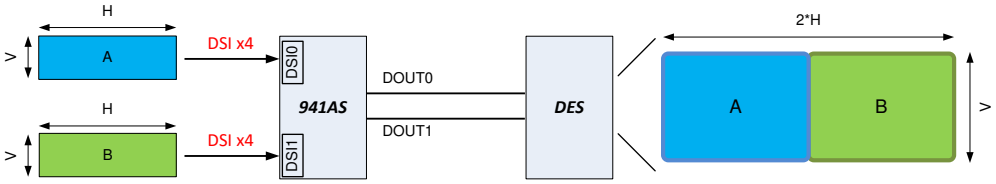


图 8-14. 将双 DSI 输入聚合为左/右格式

8.4.3.1 DSI 双路运行要求

双 DSI 输入模式的正确运行要求如下：

- DSI 输入必须发送相同的帧视频
- DSI 端口之间的偏移必须小于两个像素时钟周期（单个 DSI 像素时钟频率）
- FPD-Link III 发射器必须在双 FPD-Link III 模式下运行
- DSI 输入必须在连续 DSI 时钟模式下运行

8.4.3.2 启用双 DSI 运行

通过将 BRIDGE_CTL 寄存器中的 DUAL_DSI_EN 位设置为 1 来启用双 DSI 模式。在启用 DSI 接收器之前启用此模式。

通过设置 BRIDGE_CFG2 寄存器中的 DUAL_DSI_LR_EN 位启用左/右合并选项。此外，对于左/右合并，必须在 IMG_LINE_SIZE 和 IMG_DELAY 寄存器中设置线路长度和延迟参数。IMG_LINE_SIZE 设置为 2D 图像线路长度。IMG_DELAY 值通常设置为 12 像素的默认设置。

对于双 DSI 模式，BRIDGE_CTL 寄存器中的 DSI_PORT_SEL 位应设置为 0。

8.4.3.3 双 DSI 控制和状态

DUAL_DSI_CTL_STS 寄存器包括 DSI 输入端口之间的偏移状态。如果偏移小于等于 3 个像素，则会在此寄存器中报告。该寄存器中的状态仅为当前状态，因此如果偏移在不同视频线路间发生变化，它可能并不总是报告瞬态条件。

DUAL_DSI_CTL_STS 寄存器还为输入路径提供了偏移控制。每个输入端口最多可延迟 3 个像素。这允许对偏移公差和偏移检测进行诊断检查。此外，如果输入流已知偏移，则可以使用偏斜控制来补偿通道之间最多 3 个像素的偏移。

8.4.4 3D 格式支持（单 DSI 输入）

DS90UB941AS-Q1 支持三种 3D 格式选项，用于从单个 DSI 输入接收视频。

- 左/右 3D 格式
- 交替行 3D 格式
- 交替像素 3D 格式

对于前两个选项，DS90UB941AS-Q1 将图像重新组织为交替像素格式，以便在 DS90UB941AS-Q1 输出端或下游 DS90UB948-Q1 轻松分离。对于交替像素选项，图像已经采用适合分离的格式。

为了在工作模式之间正确切换，应在禁用 DSI 输入时启用 3D 模式。

如果启用独立 2:2 模式，左/右或备用线路处理仅在主要 DSI 到 FPD-Link III 路径上可用。

8.4.4.1 左/右 3D 格式支持

DS90UB941AS-Q1 支持接收双图像视频输入，其中双图像作为端到端（左/右图像）提供，与 HDMI 1.4b 规范中规定的端到端 3D 格式一致。DS90UB941AS-Q1 可通过编程方式将左/右格式的视频合并为具有交替像素的单个图像。生成的图像的行数量相同且大小相同，但像素经过重新排序。该图像可由 DS90UB941AS-Q1 分离，然后发送到两个独立的解串器（使用分离器模式），也可以发送给下游 DS90UB948-Q1 以便在解串器处分离为两个图像。

Copyright © 2022 Texas Instruments Incorporated

正确工作的要求如下：

- 图像必须具有相同的视频格式（行、像素、消隐间隔）
- 使用的像素时钟必须是发送单图像所需频率的两倍
- 水平消隐分量（前沿、同步周期、后沿）必须是单图像所需的像素数量的两倍
- 垂直消隐周期应与单图像所需的数量相同
- 合并图像的最大行大小为 8192 像素（24 位）

设置 BRIDGE_CFG2 寄存器（寄存器 0x56[7]）中的 LEFT_RIGHT_3D 寄存器位来启用左/右输入模式。软件还必须设置 2D 图像行大小 IMG_LINE_SIZE（寄存器 0x32 和 0x33）以及 IMG_DELAY 控制（寄存器 0x34 和 0x35）。IMG_DELAY 用于适当地延迟图像的再生，通常应设置为一个较小的值（例如，12 个时钟）。IMG_LINE_SIZE 的默认设置基于默认的 720p60 时序（60fps 时为 1280 x 720），行大小为 1280。注意，如果启用了分离器模式，则可以为每个端口单独设置 IMG_DELAY。

可在 VIDEO_3D_STS 寄存器（寄存器 0x58）中监视左/右视频处理状态。

可以在 DS90UB941AS-Q1 或下游解串器（例如 DS90UB948-Q1）分离图像。图 8-15 和图 8-16 中显示了分离示例。

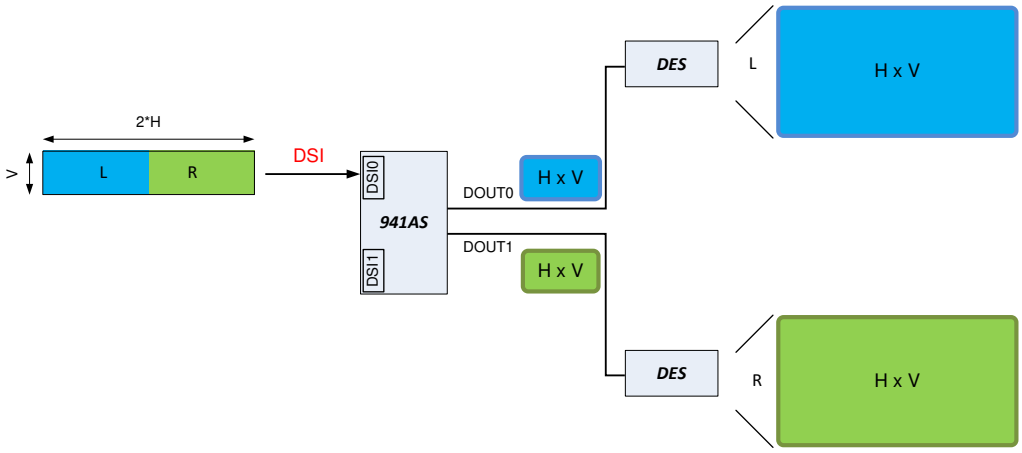


图 8-15. 在串行器分离的方法

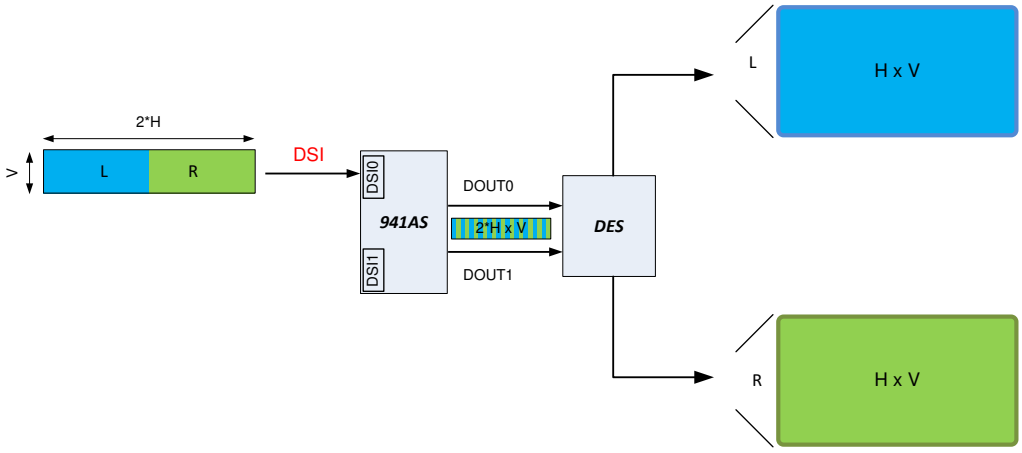


图 8-16. 在解串器分离的方法

8.4.4.2 交替线路 3D 格式支持

DS90UB941AS-Q1 支持接收双图像视频输入，其中双图像以视频数据的交替线路的形式传送，与 HDMI 1.4b 规范中规定的行交替 3D 格式一致。DS90UB941AS-Q1 可通过编程方式将交替线路格式化视频合并为具有交替像素的单个图像。生成的图像具有一半的视频行数，但这些视频行具有两倍的长度。该图像可以在在 FPD-Link III 输出

Copyright © 2022 Texas Instruments Incorporated

端处由 DS90UB941AS-Q1 分离，然后发送到两个独立的解串器（使用分离器模式），也可以发送给下游 DS90UB948-Q1 以便在解串器处分离为两个图像。

正确工作的要求如下：

- 图像必须具有相同的视频格式（行、像素、消隐间隔）
- 使用的像素时钟必须是发送单图像所需频率的两倍
- 垂直消隐分量（前沿、同步周期、后沿）必须是单图像所需的视频行周期数的两倍
- 水平消隐周期应与单图像所需的像素数相同。请注意，双图像的消隐周期是单图像的两倍。
- 最大行大小为 4095 像素（24 位）

可以设置 BRIDGE_CTL 寄存器（寄存器 0x4F[4]）中的 ALT_LINES_3D 寄存器位来启用交替线路模式。

可在 ALT_LINE_STS 寄存器（寄存器 0x58）中监视交替线路视频处理状态。

8.4.4.3 交替像素 3D 格式支持

DS90UB941AS-Q1 支持接收双图像视频输入，其中双图像以交替像素的形式传送。DS90UB941AS-Q1 不需要对此图像格式进行任何特殊处理。该图像可由 DS90UB941AS-Q1 分离，然后发送到两个独立的解串器（使用分离器模式），也可以发送给下游 DS90UB948-Q1 以便在解串器处分离为两个图像。

确保工作的要求如下：

- 图像必须具有相同的视频格式（行、像素、消隐间隔）
- 使用的像素时钟必须是发送单图像所需频率的两倍
- 水平消隐分量（前沿、同步周期、后沿）必须是单图像所需的像素数的两倍
- 垂直消隐周期应与单图像所需的数量相同
- 最大行大小为 4095 像素（24 位）

交替像素模式是 DS90UB941AS-Q1 的默认工作模式。

如果启用了分离器模式，有两个选项可以正确地重新生成水平同步时序。优选的选项是使用 IMG_DELAY 的默认设置，并使用 IMG_HSYNC_CTLx 寄存器对每个端口的水平同步和水平后沿周期进行寄存器覆盖。第二个选项是允许自动生成水平同步时序，并将 IMG_DELAY 值设置为大于 3D 图像的水平同步周期加上水平后沿周期，单位为像素。

8.4.5 独立 2:2 模式

在独立 2:2 模式下，DS90UB941AS-Q1 DSI 接收器接受两个独立的 DSI 输入（两个流）并输出到两个独立的解串器链路。一个视频流在 DSI0 上输入，并通过 DOUT0 上的单个链路输出。另一个视频流在 DSI1 上输入，并通过 DOUT1 上的单个链路输出。在此模式下，DSI0 和 DSI1 可以分别启用不同数量的 DSI 数据通道、不同的 DSI 时钟频率以及不同的视频格式。

通过设置 BRIDGE_CTL 寄存器中的 DSI_PORT_SEL 位，可以交换 DSI 输入以将 DSI0 映射到 DOUT1，并将 DSI1 映射到 DOUT0。

Copyright © 2022 Texas Instruments Incorporated

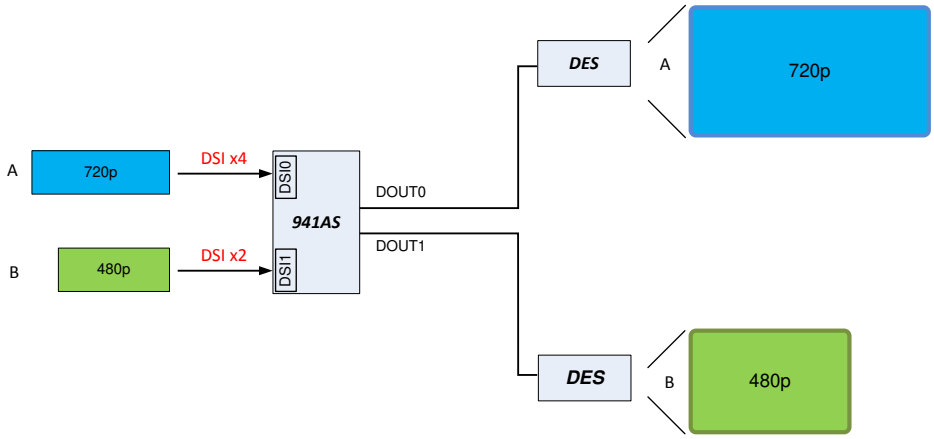


图 8-17. 具有 DSI 参考时钟的独立 2:2 模式

在连续 DSI 参考时钟模式下（图 8-17）下，每个 DSI 时钟用于确定每个 FPD-Link III 通道的时钟速率。在外部参考时钟模式下，每个外部时钟用于确定每个 FPD-Link III 通道的时钟速率。在此模式下，Port0 时钟在 REFCLK0 引脚上，而 Port1 时钟在 REFCLK1 引脚上，如图 8-18 所示。

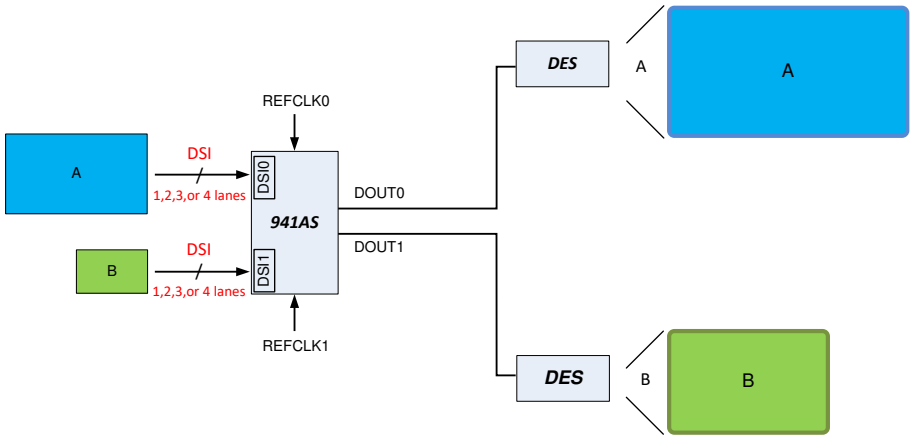


图 8-18. 具有外部参考时钟的独立 2:2 模式

此外，在独立 2:2 模式下运行时，器件可以使用从内部常开时钟派生的内部参考时钟。每个端口都可以根据来自 800MHz 内部参考的 M/N 时钟分频器以独立的时序运行。

8.4.5.1 独立 2:2 模式的配置

应在禁用 DSI 输入时启用独立 2:2 模式。这可确保正确启动器件。器件最初应在 DSI 禁用状态下进行 strap 配置，通过将寄存器 DUAL_CTL1 (0x5B) 中的 FPD3_TX_MODE[2:0] 位设置为 101 配置为独立 2:2 模式，然后通过将 RESET_CTL 寄存器中的 DISABLE_DSI 位设为 0 来启用 DSI。除非器件配置为独立 2:2 模式，否则器件将不允许对端口 1 寄存器进行写入。因此，应在配置端口 1 寄存器之前启用独立 2:2 模式。

可以为每个端口配置以下选项：

- DSI_CONTINUOUS_CLK – 寄存器 0x4F[7]
- DSI_LANES – 寄存器 0x4F[3:2]
- DSI_BYTES_PER_PIXEL – 寄存器 0x54[5:4]
- BRIDGE_CLK_MODE – 寄存器 0x56[1:0]
- FREQ_STBL_THR – 寄存器 0x5C[4:3]
- FREQ_HYST – 寄存器 0x5C[2:0]

Copyright © 2022 Texas Instruments Incorporated

- 图形发生器直接和间接寄存器 – 0x64-0x69
- 通过 DSI 间接寄存器页面配置 DPHY 和 DSI

每个端口都具有以下状态：

- FPD3_LINK_RDY – 寄存器 0x5A[7]
- FPD3_TX_STS – 寄存器 0x5A[6]
- DSI_CLK_DET – 寄存器 0x5A[3]
- NO_DSI_CLK – 寄存器 0x5A[1]
- FREQ_STABLE – 寄存器 0x5A[0]
- 通过 DSI 间接寄存器页面设置 DPHY 和 DSI 状态

8.4.5.2 配置独立 2:2 模式的代码示例

示例代码将器件配置为将 1080p 视频数据从 4 通道 DSI 源传输到连接到 FPD-Link 端口 0 的远程显示器，并将 720p 视频数据从另一个 4 通道 DSI 源传输到另一个连接到 FPD-Link 端口 1 的远程显示器。

8.4.5.3

```
WriteI2C (0x01,0x08)    //Disable DSI
WriteI2C (0x1E,0x01)    //Select FPD-Link III Port 0
WriteI2C (0x1E,0x04)    //Use I2D ID+1 for FPD-Link III Port 1 register access
WriteI2C (0x1E,0x01)    //Select FPD-Link III Port 0
WriteI2C (0x03,0x9A)    //Enable I2C_PASSTHROUGH, FPD-Link III Port 0
WriteI2C (0x1E,0x02)    //Select FPD-Link III Port 1
WriteI2C (0x03,0x9A)    //Enable I2C_PASSTHROUGH, FPD-Link III Port 1
WriteI2C (0x1E,0x01)    //Select FPD-Link III Port 0
WriteI2C (0x40,0x05)    //Select DSI Port 0 digital registers
WriteI2C (0x41,0x21)    //Select DSI_CONFIG_1 register
WriteI2C (0x42,0x60)    //Set DSI_VS_POLARITY=DSI_HS_POLARITY=1
WriteI2C (0x1E,0x02)    //Select FPD-Link III Port 1
WriteI2C (0x40,0x09)    //Select DSI Port 1 digital registers
WriteI2C (0x41,0x21)    //Select DSI_CONFIG_1 register
WriteI2C (0x42,0x60)    //Set DSI_VS_POLARITY=DSI_HS_POLARITY=1
WriteI2C (0x1E,0x01)    //Select FPD-Link III Port 0
WriteI2C (0x5B,0x05)    //Force Independent 2:2 mode
WriteI2C (0x4F,0x8C)    //Set DSI_CONTINUOUS_CLOCK, 4 lanes, DSI Port 0
WriteI2C (0x1E,0x01)    //Select FPD-Link III Port 0
WriteI2C (0x40,0x04)    //Select DSI Port 0 digital registers
WriteI2C (0x41,0x05)    //Select DPHY_SKIP_TIMING register
WriteI2C (0x42,0x1E)    //Write TSKIP_CNT value for 315 MHz DSI clock (1080p, PCLK = 105 MHz)
WriteI2C (0x1E,0x02)    //Select FPD-Link III Port 1
WriteI2C (0x4F,0x8C)    //Set DSI_CONTINUOUS_CLOCK, 4 lanes, DSI Port 1
WriteI2C (0x1E,0x01)    //Select FPD-Link III Port 0
WriteI2C (0x40,0x08)    //Select DSI Port 1 digital registers
WriteI2C (0x41,0x05)    //Select DPHY_SKIP_TIMING register
WriteI2C (0x42,0x14)    //Write TSKIP_CNT value for 225 MHz DSI clock (720p, PCLK = 75 MHz)
WriteI2C (0x01,0x00)    //Enable DSI
```

8.4.6 FPD-Link III 运行模式

FPD-Link III 传输逻辑支持多种运行模式，具体取决于下游接收器以及正在传送的视频。支持以下模式：

8.4.6.1 单链路模式

单链路模式通过单个 FPD-Link III 将视频传输到单个接收器。单链路模式支持高达 105MHz 的 24 位视频频率。在 85Mhz 或以下的频率下工作时，此模式与 DS90UB926-Q1、DS90UB928-Q1 兼容。在 96Mhz 或以下的频率下工作时，此模式与 DS90UB948-Q1 兼容。

如果支持下游器件，辅助 FPD-Link III 可用于高速控制。

在强制单链路模式下（通过 DUAL_CTL1 寄存器设置），辅助 TX PHY 和反向通道被禁用。此外，还阻止了对端口 1 寄存器的访问。

Copyright © 2022 Texas Instruments Incorporated

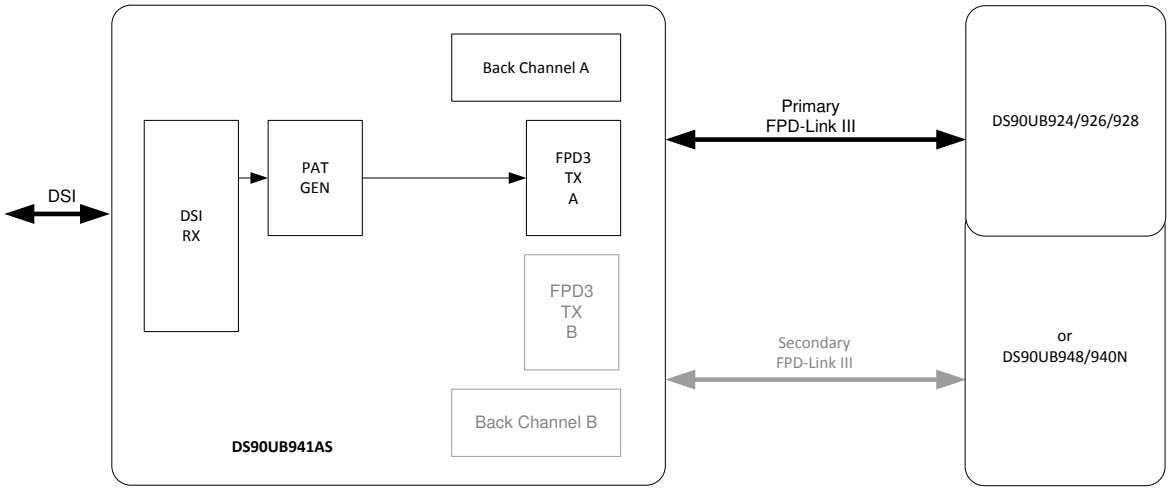


图 8-19. 单链路，1:1 模式

8.4.6.2 双链路模式

在双链路模式下，FPD-Link III TX 拆分单个视频流并在两个下游链路上发送交替像素。接收器必须是能够接收双流视频的 DS90UB948-Q1 或 DS90UB940N-Q1（最高 170MHz 像素时钟）。双链路模式能够支持高达 210MHz 的像素时钟频率，每个 FPD-Link III TX 端口都以该频率的二分之一运行。辅助 FPD-Link III 可用于高速控制。

如果视频满足最低频率要求，则在连接到 DS90UB948-Q1 或 DS90UB940N-Q1 时，可以自动配置双链路模式。也可以使用 DUAL_CTL1 寄存器强制双链路模式。

在双链路模式下，双向控制通道操作仅在主链路上可用。

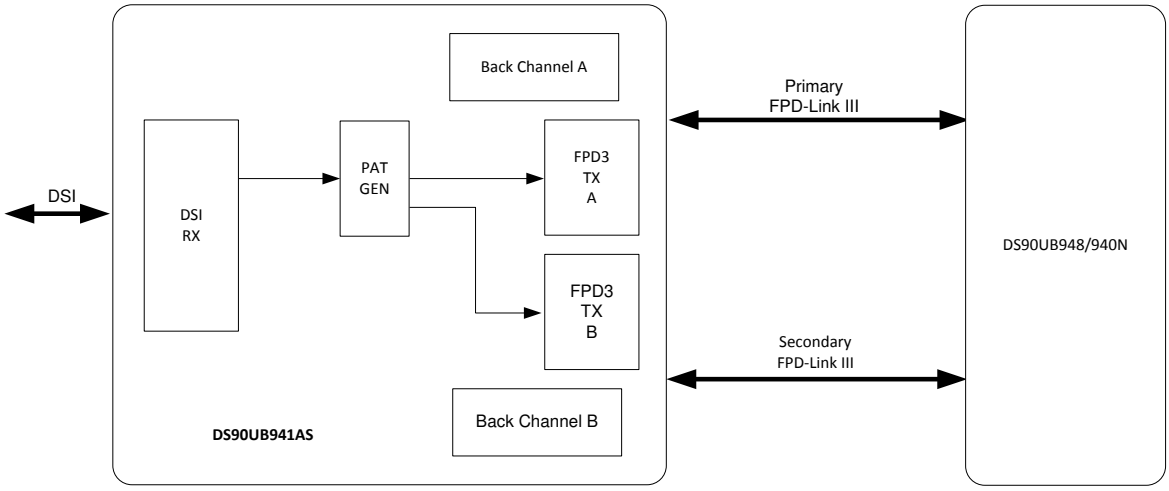


图 8-20. 双链路模式，1:2 模式

8.4.6.3 复制模式

在这种模式下，相同的视频被传送到每个接收器。FPD-Link III TX 作为 1:2 中继器工作。相同的视频（高达 105MHz，24 位颜色）被传送到每个接收器。

当器件通过 strap 配置进入非分离器模式（参阅 MODE_SEL0 表）并连接到两个独立的解串器时，可以自动配置复制模式。

在复制模式下，双向控制通道操作在两个链路上可用。

Copyright © 2022 Texas Instruments Incorporated

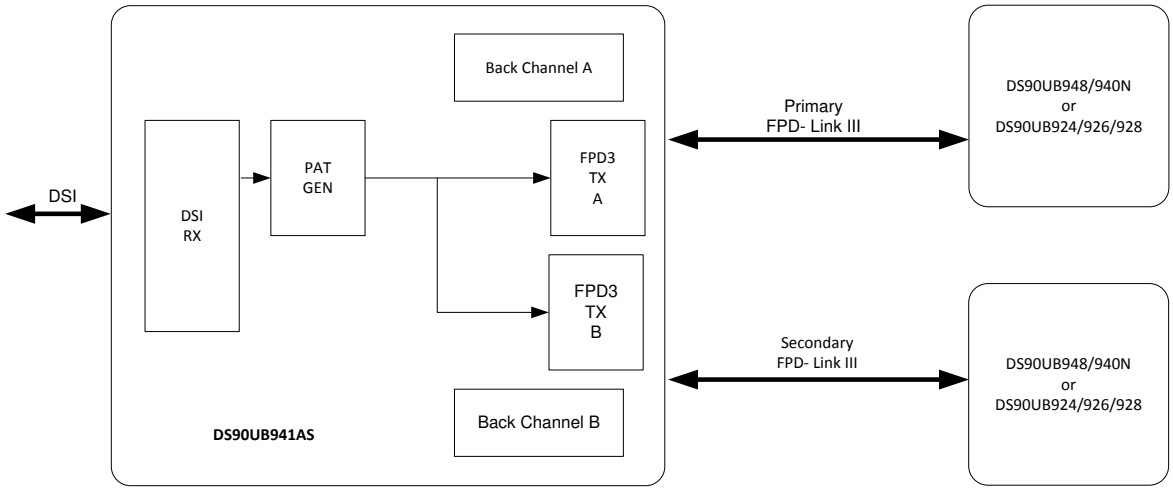


图 8-21. 复制模式

8.4.6.4 分离器模式

在分离器模式下，FPD-Link III TX 拆分单个视频流并在两个下游链路上发送交替像素到两个独立解串器。每条路径都有一个图形发生器，用于为该 FPD-Link III 输出生成视频流。分离器模式不能与自动检测功能一起使用。相反，需要在上电时通过寄存器或 Strap 配置选项将器件编程为分离器模式。

注意：TI 网站上的 DS90Ux941AS-Q1 超帧设计计算器可用于帮助设置分离器和裁剪寄存器编程。

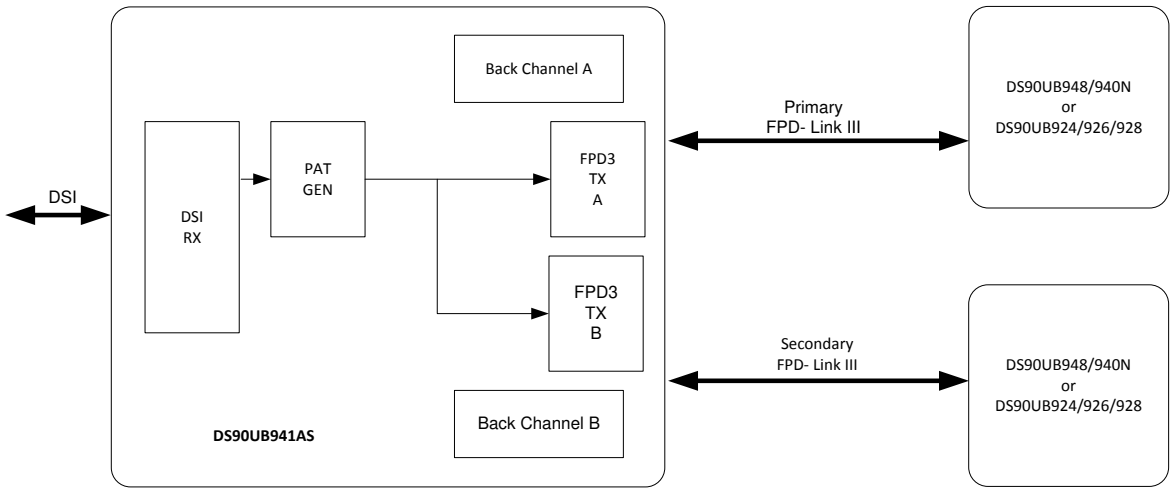


图 8-22. 分离器模式

分路器模式不适用于双 DSI 输入。若要发送多个视频帧，源应改为使用独立 2:2 模式。

在分离器模式下，双向控制通道操作在两个链路上独立可用。

8.4.6.4.1 DSI 对称分离

DS90UB941AS-Q1 DSI 接收器支持非对称视频帧并将内容拆分为单独的视频流。在此模式下，A 流在 DOUT0 上输出，B 流在 DOUT1 上输出。下述小节描述了可能的实现方式。

8.4.6.4.1.1 对称分离 - 左/右

DSI0 或 DSI1（并排）上的单输入，左像素在 DOUT0 上接收，右像素在 DOUT1 上接收。具体要求如下：

- DSI 输入的水平总像素是左或右像素数的两倍。
- 左右视频的分离必须包含相同的视频格式和参数。

- Hactive(A) = Hactive(B；Vactive(A) = Vactive(B)

  双图像视频输入排列为基于 HDMI 1.4b 规范中规定的并排 3D 格式打包的并排（左/右）图像。

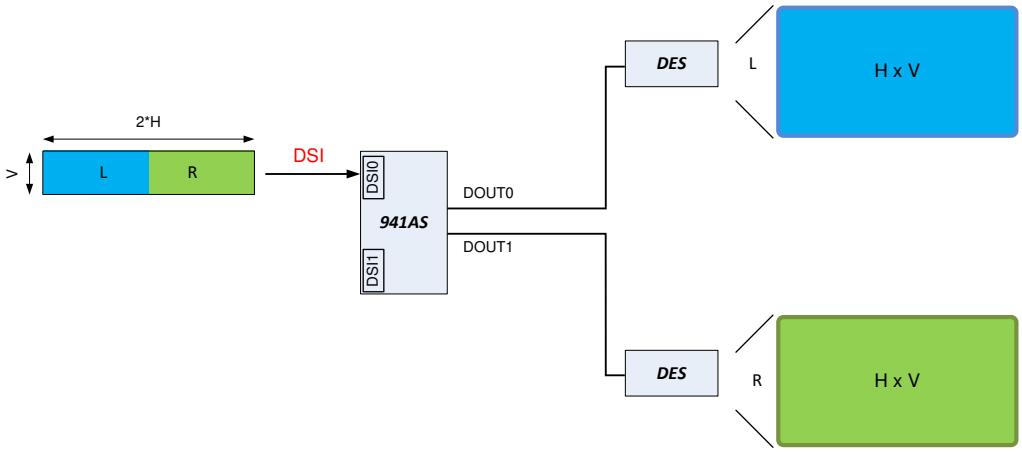


图 8-23. 单个 DSI 输入到左/右（并排）分离

8.4.6.4.1.2 对称分离 - 交替像素分离

DSI0 或 DSI1 上的单输入，带有承载 A+B 视频流的交替像素。A 像素在 DOUT0 上输出，B 像素在 DOUT1 上输出。DSI0 或 DSI1 必须具有相同数量的数据通道和视频格式。具体要求如下：

- DSI 输入的水平总像素是左或右像素数的两倍。
- A 和 B 视频的分离必须包含相同的视频格式和参数。
- Hactive(A) = Hactive(B；Vactive(A) = Vactive(B)

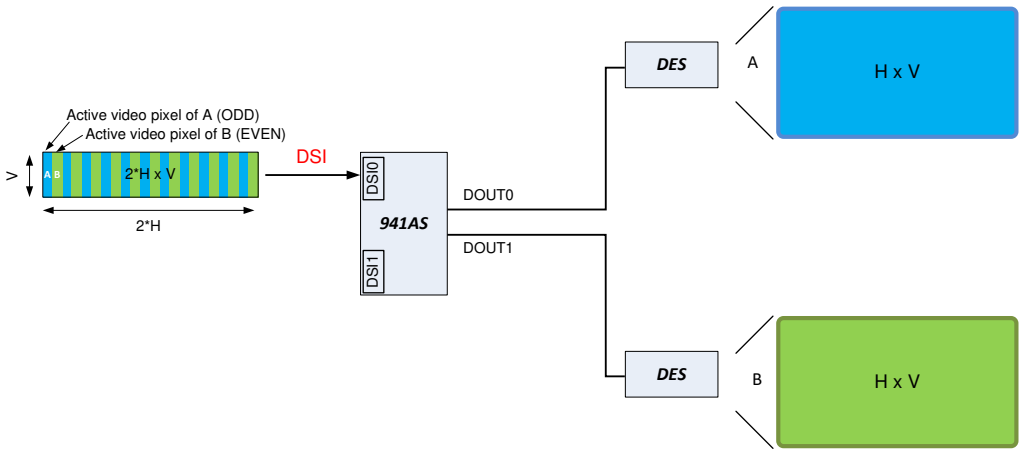


图 8-24. 交替像素分离

8.4.6.4.1.3 对称分离 - 交替线路分离

DSI0 或 DSI1 上的单输入，带有承载 A+B 视频流的交替线路。A 线在 DOUT0 上输出，B 线在 DOUT1 上输出。DSI0 或 DSI1 必须具有相同数量的数据通道和视频格式。具体要求如下：

8.4.6.4.1.4

- DSI 输入垂直总数是 A 或 B 垂直线数的两倍。
- A 和 B 视频的分离必须包含相同的视频格式和参数。
- Hactive(A) = Hactive(B；Vactive(A) = Vactive(B)

Copyright © 2022 Texas Instruments Incorporated

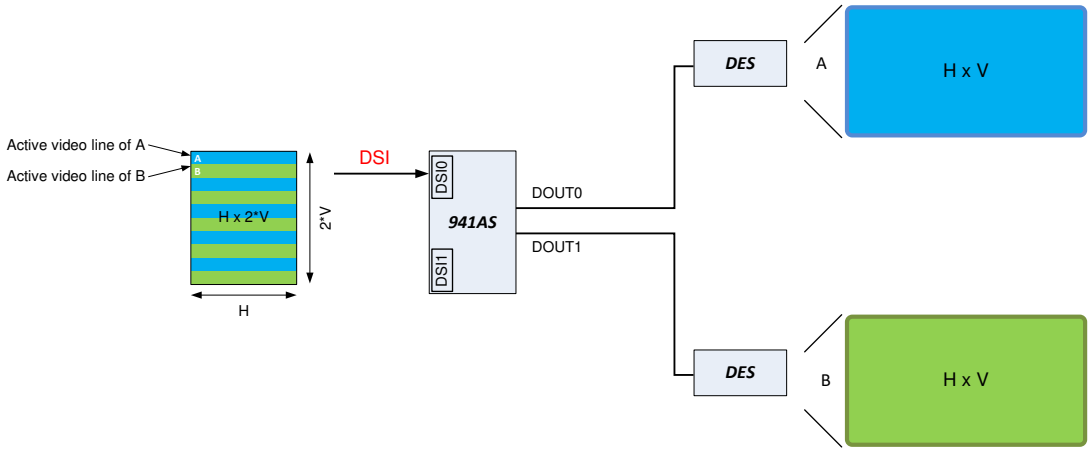


图 8-25. 交替行分离

8.4.6.4.2 DSI 非对称分离

DS90UB941AS-Q1 DSI 接收器支持非对称视频帧并将内容拆分为单独的视频流。在此模式下，A 流在 DOUT0 上输出，B 流在 DOUT1 上输出。下述小节描述了可能的实现方式。

8.4.6.4.2.1 非对称分离与裁剪

图 8-26 展示了 DSI0（也可以是 DSI1）上的一个 DSI 非对称视频流输入，并被分离成了两个不同的视频分辨率。

在这种模式下，单个 DSI 视频输入可能包含两组具有不同格式和参数的视频数据。输出端的裁剪图像尺寸减小，但保持行时序，从而导致垂直消隐更大。

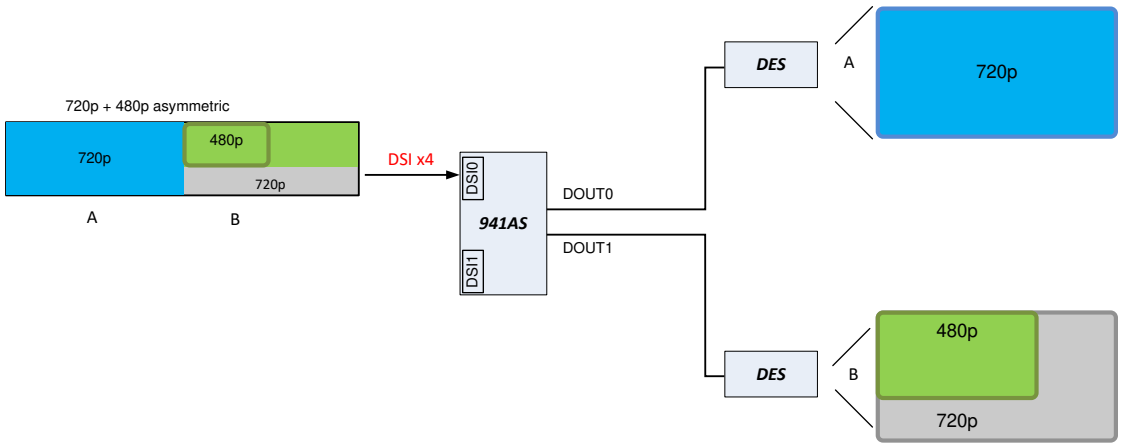


图 8-26. 非对称分离与裁剪

可以通过裁剪输出图像来完成非对称的帧分离。输入视频的要求与对称分离的要求相同。超级帧必须包含两个相同大小的图像。这些图像将在水平和垂直尺寸裁剪以生成大小减小的图像。请注意，时钟频率仍然是超级帧频率的½。此外，水平和垂直消隐间隔会随着裁剪幅度的增加而增加。

通过为每个图像启用图像裁剪来处理非对称分离的配置。对于待裁剪的每个图像，必须对水平和垂直尺寸进行编程。

裁剪是由每个端口的 CROP_START_X/Y 和 CROP_STOP_X/Y 寄存器控制的。对于每个端口，CROP_ENABLE 是 CROP_START_X1 寄存器的第 7 位。

Copyright © 2022 Texas Instruments Incorporated

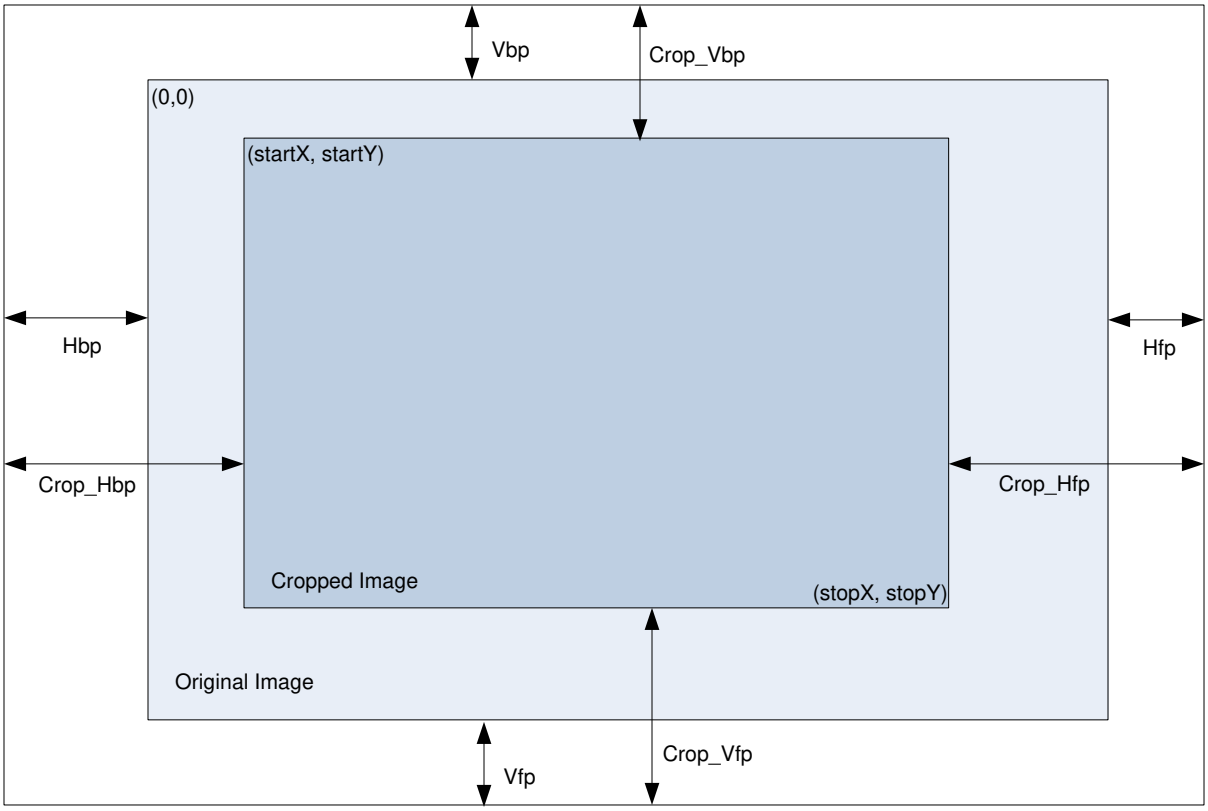


图 8-27. 裁剪示例

除了裁剪选项之外，还可以修改水平同步宽度和水平后沿周期。通常，这些值是根据输入视频自动生成的（双图像中的值的½），但可以通过设置 IMG_HSYNC_CTL 寄存器来覆盖这些值。通过设置 HSYNC_OV_EN 或 HBACK_OV_EN 控制值以及 IMG_HSYNC 和 IMG_HBACK 参数，可以单独覆盖水平同步周期和水平后沿。

默认情况下，非对称分离方法以超级帧图像的 ½ 频率生成每个结果图像。可以选择对每个生成的图像使用外部提供的参考时钟或者 DPHY 通道时钟的 1/N 分频版本。

8.4.6.4.2.2 非对称分离与 DSI VC-ID

DS90UB941AS-Q1 可以根据 DSI 虚拟通道 ID 来分割图像。在此模式下，DSI 输入（只能是单 DSI，不能是双 DSI）可以包含两幅由虚拟通道 ID 描绘的图像。 这些虚拟通道图像均应包括适当的垂直和水平同步脉冲以及独立的视频数据。建议图像具有相同的线速率，以便合并后的图像仍然可以具有准确的时序信息。DS90UB941AS-Q1 将根据 VC-ID 将两幅图像分离到单独的 FPD-Link III 输出上。

可以选择对两个图像使用共享的 VSYNC。这两个图像应始终具有独立的 HSYNC 控件。

Copyright © 2022 Texas Instruments Incorporated

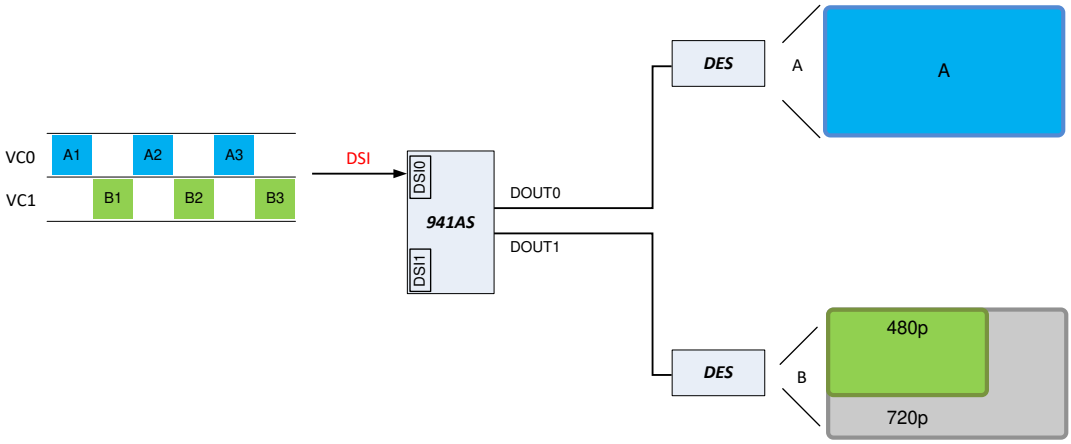


图 8-28. VC-ID 非对称分离

VC-ID 分离将根据每个端口上接收到的 HSYNC 时序再现视频时序。默认情况下，每个端口将从 HSYNC 上升沿延迟开始转发。该端口将根据接收到的值重新生成 HSYNC 宽度和后沿。有两个选项可以正确地重新生成水平同步时序。优选的选项是使用 IMG_DELAY 的默认设置，并使用 IMG_HSYNC_CTLx 寄存器对每个端口的水平同步和水平后沿周期进行寄存器覆盖。第二个选项是允许自动生成水平同步时序，并将 IMG_DELAY 值设置为大于 3D 图像的水平同步周期加上水平后沿周期，单位为像素。

为了保持正确的视频时序，建议通过 DSI 以一致的数据包顺序发送两幅图像，如下所示（使用 DSI 规范中的同步事件命名法）：

VSS_VCID0 – 垂直同步开始

VSS_VCID1 HSS_VCID0 – 垂直消隐

HSS_VCID1
HSS_VCID0
HBP_VCID0

RGB_VCID0 -- VCID0 的视频线路

HSS_VCID1
HBP_VCID1

RGB_VCID1 -- VCID1 的视频线路

…

在所有情况下，每条视频线路都应作为单个数据包发送。具有虚拟通道的合成视频流的垂直消隐与超帧实现相同，因此较小的视频流将具有较大的垂直消隐。

8.4.6.4.3 分离器运行的配置

在启用 DSI 输入之前，应配置分离器运行。这样可确保器件在转发视频之前进入适当的模式。

通过在 DUAL_CTL1 寄存器中的 FPD3_TX_MODE 控制字段上选择“强制分离器模式”选项来启用分离器模式。

如下所述，应为正确的分离器运行配置器件，具体取决于双映像处理模式。除非器件配置为分离器模式，否则器件将不允许对端口 1 寄存器进行写入。因此，应在配置端口 1 寄存器之前启用分离器模式。

对于分离器模式，应对 IMG_DELAY 值进行编程以允许适当地缓冲视频。对于左/右图像处理或交替线路图像处理，默认设置为 12 像素就足够了，但输出视频的裁剪可能需要设置更大的值以防止在有效数据可用之前传输。对于交替像素格式或基于 VC-ID 的分离，应将 IMG_DELAY 字段编程为大于水平同步周期加上 3D 图像的水平后沿周期的总和，单位为像素。IMG_DELAY 对每个端口都是可编程的。

对于左/右图像处理或交替线路图像处理，应遵循本文档 3D 格式部分中的图像处理要求。

Copyright © 2022 Texas Instruments Incorporated

对于基于 VC-ID 的分离，在 VCID_SPLIT_CTL 寄存器中设置 VCID_SPLIT_EN 控件，并使用 VCID_SEL_P0 和 VCID_SEL_P1 字段为每个端口编程 VC-ID 值。这些设置应在启用 FPD3_TX_MODE 控制寄存器中的强制分离器模式之前完成。

IMG_HSYNC_CTLx 寄存器可以覆盖 HSYNC 活动宽度和后沿宽度的重新生成。

分离器时钟生成由 SPLIT_CLK_CTLx 寄存器控制。

Copyright © 2022 Texas Instruments Incorporated

8.5 编程

8.5.1 串行控制总线

该串行器也可以通过使用与 I2C 兼容的串行控制总线进行配置。多个器件可以共享串行控制总线（最多支持 8 个器件地址）。器件地址通过连接到 IDX 引脚的电阻分压器（R1 和 R2 — 参阅图 8-29）设置。

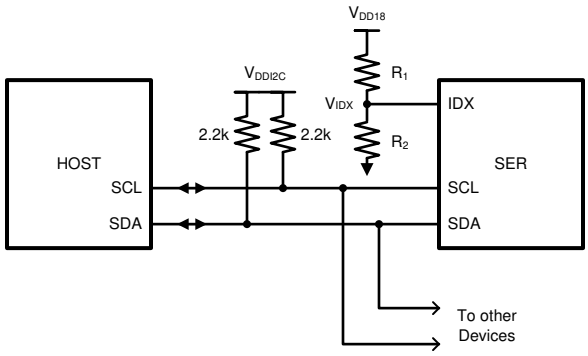


图 8-29. 串行控制总线连接

串行控制总线由两个信号组成：SCL 和 SDA。SCL 是串行总线时钟输入。SDA 是串行总线数据输入/输出信号。SCL 和 SDA 信号都需要一个外部上拉电阻到 V_{DD18} 或 V_{DD33}。对于大多数应用，建议使用 2.2kΩ 上拉电阻。但是，可以根据容性负载和数据速率要求调整上拉电阻值。请参阅 *I2C 总线上拉电阻计算*。信号要么被拉至高电平，要么被拉至低电平。

IDX 引脚将控制接口配置为八个可能的器件地址之一。上拉电阻和下拉电阻可用于在 IDX 输入引脚上设置适当的电压。请参阅表 8-12

表 8-12. IDX 的串行控制总线地址

编号	V_{IDX} 电压范围			V_{IDX} 目标电压	建议的 STRAP 配置电阻器 (1% TOL)		分配的 I2C 地址	
	V_{MIN}	V_{TYP}	V_{MAX}	$V_{(VDD18)}$ = 1.8V	R_1 (kΩ)	R_2 (kΩ)	7 位	8 位
0	0	0	0.135 × $V_{(VDD18)}$	0	断开	10.0	0x0C	0x18
1	0.176 × $V_{(VDD18)}$	0.213 × $V_{(VDD18)}$	0.247 × $V_{(VDD18)}$	0.384	73.2	20.0	0x0E	0x1C
2	0.289 × $V_{(VDD18)}$	0.327 × $V_{(VDD18)}$	0.363 × $V_{(VDD18)}$	0.589	60.4	30.1	0x10	0x20
3	0.407 × $V_{(VDD18)}$	0.441 × $V_{(VDD18)}$	0.467 × $V_{(VDD18)}$	0.793	51.1	40.2	0x12	0x24
4	0.526 × $V_{(VDD18)}$	0.555 × $V_{(VDD18)}$	0.584 × $V_{(VDD18)}$	0.999	40.2	51.1	0x14	0x28
5	0.640 × $V_{(VDD18)}$	0.671 × $V_{(VDD18)}$	0.701 × $V_{(VDD18)}$	1.208	30.1	61.9	0x16	0x2C
6	0.757 × $V_{(VDD18)}$	0.787 × $V_{(VDD18)}$	0.814 × $V_{(VDD18)}$	1.417	18.7	71.5	0x18	0x30
7	0.877 × $V_{(VDD18)}$	$V_{(VDD18)}$	$V_{(VDD18)}$	1.8	10	断开	0x1A	0x34

串行总线协议由 START、START-Repeated 和 STOP 相位控制。 当 SCL 切换为低电平而 SDA 为高电平时，将发生 START。当 SDA 切换为高电平而 SCL 也为高电平时，将发生 STOP。请参阅 图 8-30

Copyright © 2022 Texas Instruments Incorporated

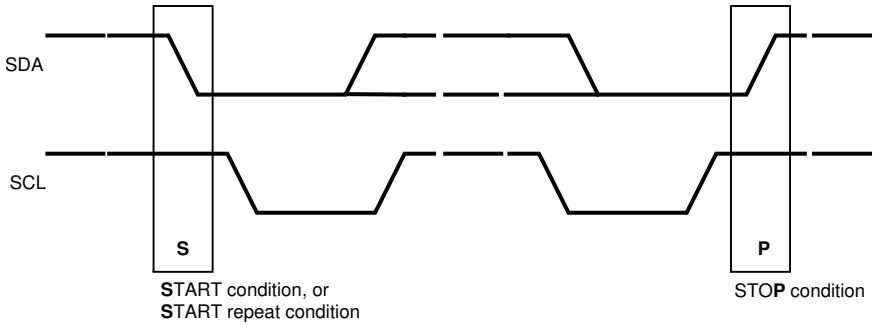


图 8-30. 启动和停止条件

为了与 I²C 从器件通信，主机控制器（主器件）发送从器件地址并监听从器件的响应。该响应称为确认位 (ACK)。如果总线上的从器件被正确寻址，则会通过将 SDA 总线驱动为低电平来确认 (ACK) 主器件。如果地址与器件的任何从器件地址不匹配，则会通过让 SDA 拉为高电平来取消确认 (NACK) 主器件。发送数据时，总线上也会发生 ACK。当主器件在写入数据时，从器件在成功接收到每个数据字节后都会进行 ACK。当主器件在读取数据时，主器件在接收到每个数据字节后都会进行 ACK，以便让从器件知道其想要接收另一个数据字节。当主器件想要停止读取时，则会在最后一个数据字节之后发出 NACK 并在总线上创建一个停止条件。总线上的所有通信都是从启动条件或重复启动条件开始。总线上的所有通信都以停止条件结束。图 8-31 中显示了 READ，图 8-32 中显示了 WRITE。

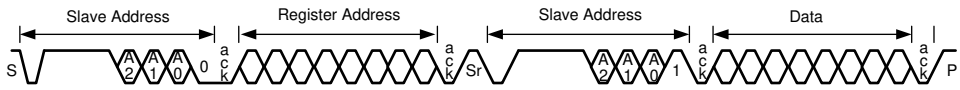


图 8-31. 串行控制总线 — 读取

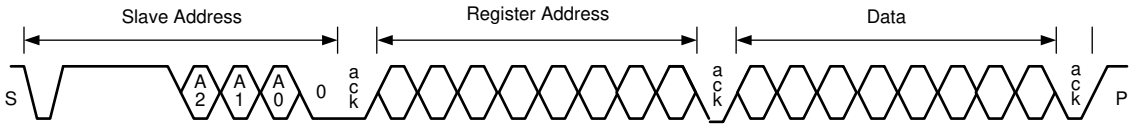


图 8-32. 串行控制总线 — 写入

位于串行器的 I²C 主器件必须支持 I²C 时钟延展。有关 I²C 接口要求和吞吐量注意事项的更多信息，请参阅*通过具有双向控制通道的 FPD-Link III 进行 I2C 通信* 应用手册 (SNLA131)。

8.5.2 多主仲裁支持

FPD-Link III 器件中的双向控制通道在代理 I²C 主实现中采用 I²C 兼容总线仲裁。发送一个数据位时，每个 I²C 主器件都会检测 SDA 线上的值。如果主器件正在发送逻辑 1 但检测到逻辑 0，则主器件已失去仲裁。它将停止驱动 SDA，当总线空闲时重试事务。因此，可以在系统中实现多个 I²C 主器件。

确保总线上的所有 I²C 主器件都支持多主仲裁。

为 I²C 总线上的所有器件分配有多个 single bit 设置为 1 的 I²C 地址。0x6A、0x7B 和 0x37 是 I²C 地址的良好选择示例。0x40 和 0x20 是 I²C 地址的错误选择示例。

如果系统确实需要在 BCC 的两个方向上进行主从操作，则必须使用某种通信方法来确保在任何时候只发生单向操作。通信方法可以包含在解串器中使用可用的读取/写入寄存器，以允许主器件相互通信从而在两个主器件之间传输控制。一个例子是使用解串器中的寄存器 0x18 或 0x19 作为邮箱寄存器，将通道的控制权从一个主器件传输到另一个主器件。

8.5.3 有关多主运行的 I2C 限制

I²C 规范不提供在某些条件下主器件之间的仲裁。系统应确保不会发生以下情况，以防止 I²C 总线上出现未定义的情况：

- 一个主器件在另一个主器件发送数据位时生成重复启动。

Copyright © 2022 Texas Instruments Incorporated

- 一个主器件在另一个主器件发送数据位时生成停止。
- 一个主器件在另一个主器件发送停止时生成重复启动。

请注意，这些限制主要适用于访问特定 I^2C 从器件中的相同寄存器偏移量。

8.5.4 对较新 FPD-Link III 器件的器件寄存器进行多主访问

使用最新一代 FPD-Link III 器件（例如 DS90UB941AS-Q1）时，可以同时从本地和远程 I^2C 主器件访问寄存器。这些器件具有内部逻辑，可以在源之间正确仲裁，以允许正确的读写访问而没有损坏的风险。

一次只能在一个方向上访问远程 I^2C 从器件。

8.5.5 对较旧 FPD-Link III 器件的器件寄存器进行多主访问

使用较旧的 FPD-Link III 器件时，从本地和远程 I^2C 主器件同时访问串行器或解串器寄存器可能会导致错误操作，因此应限制对串行器和解串器寄存器的访问。发生错误的可能性比较小，但是读写时有可能发生冲突，导致读错或写错。

推荐两个基本选项。第一个基本选项是只允许从一个控制器访问器件寄存器。这将只允许主机控制器访问串行器寄存器（本地）和解串器寄存器（远程）。解串器上的控制器将不允许访问解串器或串行器寄存器。

第二个基本选项是只允许本地寄存器访问，不能访问远程串行器或解串器寄存器。主机控制器将被允许访问串行器寄存器，而解串器上的控制器只能访问这些寄存器。仍然允许在一个方向上访问远程 I^2C 从器件。

在非常有限的情况下，可以同时允许对解串器寄存器进行远程和本地访问。如果本地和远程主器件都访问同一个解串器寄存器，则寄存器访问将正常工作。这就可以通过一种简单的方法将双向控制通道的控制权从一个主器件传输到另一个主器件。

8.5.6 有关多主运行的控制通道方向的限制

在任何时候，双向控制通道上只有一个方向上的处于活动状态。如果需要两个方向，则应采用某种方法在 I^2C 主设备之间转移控制。

Copyright © 2022 Texas Instruments Incorporated

8.6 寄存器映射

DS90UB941AS-Q1 实现以下寄存器块，可通过 I2C 以及双向控制通道访问：

- 主寄存器，汇总在表 8-13 中
- DSI 间接寄存器（两个 DSI 端口各自的独立寄存器块），汇总在表 8-121 中
- 图形发生器间接寄存器（两个 FPD-Link III 端口各自的独立寄存器块），汇总在表 8-163 中

Copyright © 2022 Texas Instruments Incorporated

8.6.1 主寄存器

表 8-13 汇总了 DS90UB941AS-Q1 的存储器映射寄存器。可通过串行控制接口 (I2C) 以及双向控制通道访问这些寄存器。表 8-13 中未列出的所有寄存器偏移地址都应视为保留的存储单元，并且不应修改寄存器内容。

表 8-13. 主寄存器汇总

地址	首字母缩写	寄存器名称	部分
0x0	I2C_DEVICE_ID		查找
0x1	RESET_CTL		查找
0x2	DEVICE_CFG		查找
0x3	GENERAL_CFG		查找
0x4	GENERAL_CFG2		查找
0x5	I2C_MASTER_CFG		查找
0x6	DES_ID_DES_ID_1		查找
0x7	SlaveID_0		查找
0x8	SlaveAlias_0		查找
0x9	SDA_SETUP		查找
0xA	CRC_ERROR0		查找
0xB	CRC_ERROR1		查找
0xC	GENERAL_STS		查找
0xD	GPIO_0_Config		查找
0xE	GPIO_1_and_GPIO_2_Config		查找
0xF	GPIO_3_Config		查找
0x10	GPIO_5_and_GPIO_6_Config		查找
0x11	GPIO_7_and_GPIO_8_Config		查找
0x12	DATAPATH_CTL		查找
0x13	TX_MODE_STS		查找
0x14	TX_BIST_CTL		查找
0x16	BCC_WDOG_CTL		查找
0x17	I2C_CONTROL		查找
0x18	SCL_HIGH_TIME		查找
0x19	SCL_LOW_TIME		查找
0x1A	DATAPATH_CTL2		查找
0x1B	BIST_BC_ERRORS		查找
0x1C	GPI_PIN_STS1		查找
0x1D	GPI_PIN_STS2		查找
0x1E	TX_PORT_SEL		查找
0x1F	FREQ_COUNTER		查找
0x20	DES_CAP1		查找
0x21	DES_CAP2		查找
0x26	LINK_DET_CTL		查找
0x2E	MAILBOX_2E		查找
0x2F	MAILBOX_2F		查找
0x30	REM_INTB_CTRL		查找
0x32	IMG_LINE_SIZE0		查找
0x33	IMG_LINE_SIZE1		查找
0x34	IMG_DELAY0 _IMG_DELAY0_P1		查找
0x35	IMG_DELAY1_IMG_DELAY_P1		查找

Copyright © 2022 Texas Instruments Incorporated

表 8-13. 主寄存器汇总 (continued)

地址	首字母缩写	寄存器名称	部分
0x36	CROP_START_X0_CROP_START_X0_P1		查找
0x37	CROP_START_X1_CROP_START_X1_P1		查找
0x38	CROP_STOP_X0_CROP_STOP_X0_P1		查找
0x39	CROP_STOP_X1_CROP_STOP_X1_P1		查找
0x3A	CROP_START_Y0_CROP_START_Y0_P1		查找
0x3B	CROP_START_Y1_CROP_START_Y1_P1		查找
0x3C	CROP_STOP_Y0_CROP_STOP_Y0_P1		查找
0x3D	CROP_STOP_Y1_CROP_STOP_Y1_P1		查找
0x3E	SPLIT_CLK_CTL0_SPLIT_CLK_CTL0_P1		查找
0x3F	SPLIT_CLK_CTL1_SPLIT_CLK_CTL1_P1		查找
0x40	IND_ACC_CTL		查找
0x41	IND_ACC_ADDR		查找
0x42	IND_ACC_DATA		查找
0x4F	BRIDGE_CTL		查找
0x50	BRIDGE_STS		查找
0x54	BRIDGE_CFG		查找
0x55	AUDIO_CFG		查找
0x56	BRIDGE_CFG2		查找
0x57	TDM_CONFIG		查找
0x58	VIDEO_3D_STS		查找
0x59	DUAL_DSI_CTL_STS		查找
0x5A	DUAL_STS_DUAL_STS_P1		查找
0x5B	DUAL_CTL1		查找
0x5C	DUAL_CTL2		查找
0x5D	FREQ_LOW		查找
0x5E	FREQ_HIGH		查找
0x5F	DSI_FREQ_DSI_FREQ_P1		查找
0x60	SPI_TIMING1		查找
0x61	SPI_TIMING2		查找
0x62	SPI_CONFIG		查找
0x63	VCID_SPLIT_CTL		查找
0x64	PGCTL_PGCTL_P1		查找
0x65	PGCFG_PGCFG_P1		查找
0x66	PGIA_PGIA_P1		查找
0x67	PGID_PGID_P1		查找
0x6A	IMG_HSYNC_CTL0_IMG_HSYNC_CTL0_P1		查找
0x6B	IMG_HSYNC_CTL1_IMG_HSYNC_CTL1_P1		查找

Copyright © 2022 Texas Instruments Incorporated

表 8-13. 主寄存器汇总 (continued)

地址	首字母缩写	寄存器名称	部分
0x6C	IMG_HSYNC_CTL2_IMG_HSYNC_CTL2_P1		查找
0x6D	BCC_STATUS		查找
0x6E	BCC_CONFIG		查找
0x6F	FC_BCC_TEST		查找
0x70	SlaveID_1		查找
0x71	SlaveID_2		查找
0x72	SlaveID_3		查找
0x73	SlaveID_4		查找
0x74	SlaveID_5		查找
0x75	SlaveID_6		查找
0x76	SlaveID_7		查找
0x77	SlaveAlias_1		查找
0x78	SlaveAlias_2		查找
0x79	SlaveAlias_3		查找
0x7A	SlaveAlias_4		查找
0x7B	SlaveAlias_5		查找
0x7C	SlaveAlias_6		查找
0x7D	SlaveAlias_7		查找
0xC2	CFG		查找
0xC4	STS		查找
0xC6	ICR		查找
0xC7	ISR		查找
0xF0	TX_ID0		查找
0xF1	TX_ID1		查找
0xF2	TX_ID2		查找
0xF3	TX_ID3		查找
0xF4	TX_ID4		查找
0xF5	TX_ID5		查找

表 8-14 显示了适用于此部分中访问类型的代码。

表 8-14. 寄存器访问类型代码

访问类型	代码	说明
R	R	只读访问
R/S	R/S	只读访问/启动时基于引脚 Strap 配置设置
R/W	R/W	读取/写入访问
R/COR	R/COR	读取以清除/然后读取状态
R/W/RC	R/W/RC	读取/写入访问/读取以清除
R/W/S	R/W/S	读取/写入访问/启动时基于引脚 Strap 配置设置

8.6.1.1 I2C_DEVICE_ID 寄存器（地址 = 0x0）[复位 = Strap]

在表 8-15 中描述了 I2C_DEVICE_ID 。

返回到汇总表。

表 8-15. I2C_DEVICE_ID 寄存器字段说明

位	字段	类型	复位	说明
7-1	DEVICE_ID DEVICE_ID_P1	R/W/S	Strap	串行器的 7 位地址： 默认为由 IDx strap 配置引脚所配置的地址 如果设置了 PORT1_I2C_EN，则此值默认为端口 1 的 IDx strap 配置值 + 1。 对该值编程时，DEVICE_ID 值的最低有效位应设置为 0，以允许正确配置第二个端口 I2C 地址。
0	SER_ID	R/W	0h	0：器件 ID 来自 IDX 引脚（默认） 1：器件 ID 来自 0x00[7:1]

8.6.1.2 RESET_CTL 寄存器（地址 = 0x1）[复位 = Strap]

在表 8-16 中描述了 RESET_CTL 。

返回到汇总表。

该寄存器是只读的

表 8-16. RESET_CTL 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0h	保留
3	DISABLE_DSI	R/W/S	Strap	DSI 复位： 复位模拟 DSI 和数字 DSI。该位不会自行清除。它是 MODE_SEL1 引脚上的 Strap 配置选项。 1：复位 0：正常工作
2	DSI_RESET	R/W	0h	DSI 复位： 用一个短脉冲复位模拟 DSI 和数字 DSI。该位会自行清除。 1：复位 0：正常工作
1	DIGITAL_RESET1	R/W	0h	数字复位： 复位整个数字模块，包括寄存器。该位会自行清除。 1：复位 0：正常工作
0	DIGITAL_RESET0	R/W	0h	数字复位： 复位整个数字模块，寄存器除外。该位会自行清除。 1：复位 0：正常工作 设置该位时，由引脚 strap 配置所加载的寄存器将恢复为其原始 strap 配置值。这些寄存器在此表中将“Strap”显示为其默认值。

8.6.1.3 DEVICE_CFG 寄存器（地址 = 0x2）[复位 = 0h]

在表 8-17 中描述了 DEVICE_CFG 。

返回到汇总表。

表 8-17. DEVICE_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	DSI1_CLK_PN_SWAP	R/W	0h	DSI 端口 1 时钟通道的 P/N 引脚顺序反向： 0：DSI 端口 1 时钟通道 P 输入映射到 P，N 输入映射到 N 1：DSI 端口 1 时钟通道 P 输入映射到 N，N 输入映射到 P

Copyright © 2022 Texas Instruments Incorporated

表 8-17. DEVICE_CFG 寄存器字段说明 (continued)

位	字段	类型	复位	说明
5	DSI1_DATA_PN_SWAP	R/W	0h	DSI 端口 1 数据通道的 P/N 引脚顺序反向： 0：DSI 端口 1 时钟通道 P 输入映射到 P，N 输入映射到 N 1：DSI 端口 1 时钟通道 P 输入映射到 N，N 输入映射到 P
4	DSI1_LANE_REVERSE	R/W	0h	DSI 端口 1 的通道顺序反向： 0：DSI 端口 1 通道 3、2、1、0 输入映射到通道 3、2、1、0 1：DSI 端口 1 通道 3、2、1、0 输入映射到通道 0、1、2、3
3	RESERVED	R	0h	保留
2	DSI0_CLK_PN_SWAP	R/W	0h	DSI 端口 0 时钟通道的 P/N 引脚顺序反向： 0：DSI 端口 0 时钟通道 P 输入映射到 P，N 输入映射到 N 1：DSI 端口 0 时钟通道 P 输入映射到 N，N 输入映射到 P
1	DSI0_DATA_PN_SWAP	R/W	0h	DSI 端口 0 数据通道的 P/N 引脚顺序反向： 0：DSI 端口 0 数据通道 P 输入映射到 P，N 输入映射到 N 1：DSI 端口 0 时钟通道 P 输入映射到 N，N 输入映射到 P
0	DSI0_LANE_REVERSE	R/W	0h	DSI 端口 0 的通道顺序反向： 0：DSI 端口 0 通道 3、2、1、0 输入映射到通道 3、2、1、0 1：DSI 端口 0 通道 3、2、1、0 输入映射到通道 0、1、2、3

8.6.1.4 GENERAL_CFG 寄存器（地址 = 0x3）[复位 = 92h]

在表 8-18 中描述了 GENERAL_CFG 。

返回到汇总表。

表 8-18. GENERAL_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	RX_CRC_CHECKER_ENABLE	R/W	1h	CRC 校验器启用 0：禁用 1：启用
6	IO_PULLDOWN_DIS	R/W	0h	I/O 下拉电阻器禁用 如果设置，将禁用下述数字 I/O 引脚上的内部下拉电阻器： GPIO0、GPIO1、D_GPIO0、D_GPIO1、D_GPIO2、D_GPIO3、 I2S_CLK、I2S_WC、I2S_DA、I2S_DB、I2S_DC 和 I2S_DD
5	TX_AUTO_ACK TX_AUTO_ACK_P1	R/W	0h	自动确认 I2C 远程写入 如果启用，对解串器（或任何远程 I2C 从器件，如果启用 I2C PASS ALL）的 I2C 写入将立即确认，而无需等待解串器确认该写入。这使得 I2C 总线上的吞吐量更高。 1：启用 0：禁用 如果设置了 PORT1_SEL，该寄存器将控制端口 1 操作
4	FILTER_ENABLE	R/W	1h	HS、VS、DE 两时钟滤波器 如果启用，DE、HS 和 VS 输入上小于两个完整 PCLK 周期的脉冲将被拒绝。 1：滤波启用 0：滤波禁用
3	I2C_PASS_THROUGH I2C_PASS_THROUGH_P1	R/W	0h	I2C 直通模式 0：直通模式禁用 1：直通模式启用 如果设置了 PORT1_SEL，该寄存器将控制端口 1 操作
2	RESERVED	R	0h	保留
1	PCLK_AUTO	R/W	1h	切换到 DSI 时钟或外部 REFCLK 1：启用自动切换 0：禁用自动切换
0	RESERVED	R	0h	保留

Copyright © 2022 Texas Instruments Incorporated

8.6.1.5 GENERAL_CFG2 寄存器（地址 = 0x4）[复位 = 0h]

在表 8-19 中描述了 GENERAL_CFG2 。

返回到汇总表。

表 8-19. GENERAL_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0h	保留
5	CRC_ERROR_RESET	R/W	0h	清除 CRC 错误计数器。该位不会自行清除。 1：清除计数器 0：正常工作
4	DE_GATE_RGB	R/W	0h	使用 DE 信号对 RGB 数据进行门控。 默认情况下，RGB 数据不使用 DE 进行门控。要在 DS90UB941AS-Q1 中启用分组音频，必须设置该位。 1：在 DS90UB941AS-Q1 中使用 DE 对 RGB 数据进行门控 0：RGB 数据在 DS90UB941AS-Q1 中独立于 DE 传输
3-2	RESERVED	R	0h	保留
1	FC_BCC_CRC6_OV FC_BCC_CRC6_OV_P1	R/W	0h	增强正向通道 CRC 和启动序列的覆盖启用 1: 使用 FC_BCC_CRC6_OV_VAL 值启用或禁用对增强正向通道 CRC 和启动序列的支持 0：使用解串器功能列表启用或禁用对增强正向通道 CRC 和启动序列的支持 如果设置了 PORT1_SEL，该寄存器将控制端口 1 操作
0	FC_BCC_CRC6_OV_VAL FC_BCC_CRC6_OV_VAL_P1	R/W	0h	启用增强正向通道 CRC 和启动序列 当 FC_BCC_CRC6_OV 为 1 时，使用该值控制对启用增强正向通道 CRC 和启动序列的支持 1：启用增强正向通道 CRC 和启动序列 0：禁用增强正向通道 CRC 和启动序列 如果设置了 PORT1_SEL，该寄存器将控制端口 1 操作

8.6.1.6 I2C_MASTER_CFG 寄存器（地址 = 0x5）[复位 = 0h]

在表 8-20 中描述了 I2C_MASTER_CFG 。

返回到汇总表。

表 8-20. I2C_MASTER_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	0h	保留
4-3	SDA_OUT_DELAY	R/W	0h	SDA 输出延迟 该字段配置 SDA 输出上的输出延迟。设置此值将增加输出延迟，单位为 40ns。SCL 到 SDA 的标称输出延迟值为： 00：200ns 01：240ns 10：280ns 11：320ns 实际延迟可能更大，具体取决于系统电容和信号上升/下降时间。
2	LOCAL_WRITE_DIS	R/W	0h	禁止对本地寄存器进行远程写入 将该位设置为 1 将防止从控制通道上对本地器件寄存器进行远程写入。这可以防止从连接到解串器的 I2C 主器件写入串行器寄存器。设置该位不会影响在串行器上对 I2C 从器件的远程访问。
1	I2C_BUS_TIMER_SPEEDUP	R/W	0h	加快 I2C 总线看门狗计时器 1：看门狗计时器在大约 50µs 后失效 0：看门狗计时器在大约 1 秒后失效。

Copyright © 2022 Texas Instruments Incorporated

表 8-20. I2C_MASTER_CFG 寄存器字段说明 (continued)

位	字段	类型	复位	说明
0	I2C_BUS_TIMER _DISABLE	R/W	0h	禁用 I2C 总线看门狗计时器 I2C 看门狗计时器可用于检测 I2C 总线何时空闲或何时在事务无效终止后挂起。如果 SDA 为高电平并且大约 1 秒内没有信号发生，则 I2C 总线将被假定为空闲。如果 SDA 为低电平且没有信号发生，则器件将尝试通过驱动 SCL 上的 9 个时钟来清除总线。

8.6.1.7 DES_ID_DES_ID_1 寄存器（地址 = 0x6）[复位 = 0h]

在表 8-21 中描述了 DES_ID_DES_ID_1 。

FPD-Link III TX 端口专用寄存器。FPD-Link III 端口选择寄存器 0x1E 配置了 I2C 读写命令可以访问哪些独特的 TX 端口寄存器。

返回到汇总表。

表 8-21. DES_ID_DES_ID_1 寄存器字段说明

位	字段	类型	复位	说明
7-1	DES_DEV_ID DES_DEV_ID_P1	R/W	0h	7 位解串器器件 ID 配置远程解串器的 I2C 从器件 ID。该字段中的值为 0 将禁用对远程解串器的 I2C 访问。一旦检测到 RX 锁定，双向控制通道便会自动配置该字段。 软件可覆盖该值，但还必须设置 FREEZE DEVICE ID 位，以防止通过双向控制通道加载。 如果设置了 PORT1_SEL，该寄存器指示连接到端口 1 的解串器的解串器器件 ID
0	FREEZE_DEVICE_ID FREEZE_DEVICE_ID_P1	R/W	0h	冻结解串器器件 ID 防止通过双向控制通道自动加载解串器器件 ID。ID 将在写入的值处冻结。 如果设置了 PORT1_SEL，该位将控制 DES_DEV_ID_P1。

8.6.1.8 SlaveID_0 寄存器（地址 = 0x7）[复位 = 0h]

在表 8-22 中描述了 SlaveID_0 。

FPD-Link III TX 端口专用寄存器。FPD-Link III 端口选择寄存器 0x1E 配置了 I2C 读写命令可以访问哪些独特的 TX 端口寄存器。

返回到汇总表。

表 8-22. SlaveID_0 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ID0 SLAVE_ID0_P1	R/W	0h	如果设置了 PORT1_SEL，则该寄存器将控制端口 1 SLAVE_ID0。7 位远程从器件 ID 0 配置连接到远程解串器的远程 I2C 从器件的物理 I2C 地址。如果 I2C 事务被寻址到从器件别名 ID0，则事务将在通过双向控制通道传输到串行器之前重新映射到该地址。
0	RESERVED	R/W	0h	保留。

8.6.1.9 SlaveAlias_0 寄存器（地址 = 0x8）[复位 = 0h]

在表 8-23 中描述了 SlaveAlias_0 。

FPD-Link III TX 端口专用寄存器。FPD-Link III 端口选择寄存器 0x1E 配置了 I2C 读写命令可以访问哪些独特的 TX 端口寄存器。

Copyright © 2022 Texas Instruments Incorporated

返回到汇总表。

表 8-23. SlaveAlias_0 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ALIAS_ID0 SLAVE_ALIAS_ID0_P1	R/W	0h	如果设置了 PORT1_SEL，则该寄存器将控制端口 1 SLAVE_ALIAS_ID0。7 位远程从器件别名 ID 0 配置解码器，以检测为连接到远程解串器的 I2C 从器件指定的事务。此事务将重新映射到从器件 ID0 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 从器件的访问。
0	RESERVED	R	0h	保留

8.6.1.10 SDA_SETUP 寄存器（地址 = 0x9）[复位 = 1h]

在表 8-24 中描述了 SDA_SETUP 。

返回到汇总表。

表 8-24. SDA_SETUP 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0h	保留
3-0	TX_SDA_SETUP	R/W	1h	远程确认 SDA 输出设置 当控制通道（远程）访问处于运行状态时，该字段配置在 ACK 周期期间，SDA 输出相对于 SCL 上升沿的建立时间。设置此值将以 640ns 为单位增加设置时间。当该字段为 0 时，SDA 到 SCL 的标称输出设置时间值为 80ns。

8.6.1.11 CRC_ERROR0 寄存器（地址 = 0xA）[复位 = 0h]

在表 8-25 中描述了 CRC_ERROR0 。

FPD-Link III TX 端口专用寄存器。FPD-Link III 端口选择寄存器 0x1E 配置了 I2C 读写命令可以访问哪些独特的 TX 端口寄存器。

返回到汇总表。

表 8-25. CRC_ERROR0 寄存器字段说明

位	字段	类型	复位	说明
7-0	CRC_ERROR_7:0 _CRC_ERROR_P1_7:0	R	0h	反向通道 CRC 错误计数器 如果设置了 PORT1_SEL，该寄存器将指示端口 1 状态。 反向通道 CRC 错误的数量 – 8 个最低有效位。使用寄存器 0x04 中的 CRC ERROR RESET 来清除该寄存器。

8.6.1.12 CRC_ERROR1 寄存器（地址 = 0xB）[复位 = 0h]

在表 8-26 中描述了 CRC_ERROR1 。

FPD-Link III TX 端口专用寄存器。FPD-Link III 端口选择寄存器 0x1E 配置了 I2C 读写命令可以访问哪些独特的 TX 端口寄存器。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-26. CRC_ERROR1 寄存器字段说明

位	字段	类型	复位	说明
7-0	CRC_ERROR_15:8 _CRC_ERROR_P1_15:8	R	0h	反向通道 CRC 错误计数器 如果设置了 PORT1_SEL，该寄存器将指示端口 1 状态：反向通道 CRC 错误的数量 – 8 个最高有效位。使用寄存器 0x04 中的 CRC ERROR RESET 来清除该寄存器。

8.6.1.13 GENERAL_STS 寄存器（地址 = 0xC）[复位 = 0h]

在表 8-27 中描述了 GENERAL_STS 。

该寄存器中的一些位是特定于 FPD-Link III TX 端口的。FPD-Link III 端口选择寄存器 0x1E 配置了 I2C 读写命令可以访问哪些独特的 TX 端口寄存器。

返回到汇总表。

表 8-27. GENERAL_STS 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	一般状态寄存器 如果设置 PORT1_SEL，该寄存器将指示所显示的端口 1 状态。 保留。
6	DSI_ERROR	R	0h	对来自 DSI 间接寄存器的 DSI_FPD3_ERR、DSI_CMD_OVER、DSI_EOT_ERR、DSI_READ_WOUT_BTA 和 DSI_ERROR_DET 进行或运算。读取时不会清除。 在双 DSI 或独立 DSI 到 FPD-Link III 模式下，该位将指示在任一 DSI 输入上检测到错误。
5	DPHY_ERROR	R	0h	对来自 DSI 间接寄存器的 LANE_SYNC_ERROR 和 DPHY_LANE_ERROR 进行或运算。读取时不会清除。 在双 DSI 或独立 2:2 模式中，该位将指示在任一 DPHY 输入上检测到错误。
4	LINK_LOST LINK_LOST_P1	R	0h	选定端口的链路丢失标志： 该位表示已经检测到链路丢失。该寄存器位将保持高电平，直到使用寄存器 0x04 中的 CRC ERROR RESET 来清除。 如果设置了 PORT1_SEL，则该寄存器指示所显示的端口 1 状态。
3	BIST_CRC_ERROR BIST_CRC_ERROR_P1	R	0h	BIST 与解串器通信期间发生 CRC 错误。该位在 BIST 重启或寄存器 0x04 中的 CRC ERROR RESET 置位时清除。 如果设置了 PORT1_SEL，则该寄存器指示所显示的端口 1 状态。
2	PCLK_DETECT PCLK_DETECT_P1	R	0h	像素时钟检测： 频率检测电路已检测到满足 FREQ_LOW 寄存器中频率要求的有效像素时钟。 1：检测到有效像素时钟 0：未检测到有效像素时钟 在分离器或独立 2:2 模式中，该位指示所选端口的状态。 如果设置了 PORT1_SEL，该寄存器指示如图所示的 Port1 状态。
1	DES_ERROR DES_ERROR_P1	R	0h	所选端口的解串器错误检测： 与解串器通信期间发生 CRC 错误。该位在链路断开或寄存器 0x04 中的 CRC ERROR RESET 置位时清除。
0	LINK_DETECT LINK_DETECT_P1	R	0h	所选端口的链路检测状态： 1：检测到电缆链路 0：未检测到电缆链路

8.6.1.14 GPIO_0_Config 寄存器（地址 = 0xD）[复位 = 20h]

在表 8-28 中描述了 GPIO_0_Config 。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-28. GPIO_0_Config 寄存器字段说明

位	字段	类型	复位	说明
7-4	REV_ID	R	2h	GPIO0 和 D_GPIO0] 配置 如果设置了 PORT1_SEL，则该寄存器将控制 D_GPIO0 引脚 修订版本 ID 0010：DS90Ux941AS-Q1
3	GPIO0_OUTPUT_VALUE D_GPIO0_OUTPUT_VALUE	R/W	0h	本地 GPIO 输出值 当启用 GPIO 功能、本地 GPIO 方向为输出且远程 GPIO 控制禁用时，该值将在 GPIO 引脚上输出。如果链路丢失，该值也会在远程默认模式下输出到 GPIO 引脚。
2-0	GPIO0_MODE D_GPIO0_MODE	R/W	0h	GPIO 0 模式 确定 GPIO 引脚的工作模式： x00：功能输入模式，GPIO0 输入 x10：三态 001：GPIO 模式，输出 011：GPIO 模式，输入 101：远程保持 - 输出远程数据，在链路丢失时保持数据 111：远程默认 - 输出远程数据，在链路丢失时驱动默认数据（输出值）

8.6.1.15 GPIO_1_and_GPIO_2_Config 寄存器（地址 = 0xE）[复位 = 0h]

在表 8-29 中描述了 GPIO_1__and_GPIO_2_Config 。

返回到汇总表。

表 8-29. GPIO_1_and_GPIO_2_Config 寄存器字段说明

位	字段	类型	复位	说明
7	GPIO2_OUTPUT_VALUE D_GPIO2_OUTPUT_VALUE	R/W	0h	GPIO1/GPIO2 和 D_GPIO1/D_GPIO2 配置 如果设置了 PORT1_SEL，则该寄存器将控制 D_GPIO1 和 D_GPIO2 引脚 本地 GPIO 输出值 当 GPIO 功能启用，本地 GPIO 方向为输出，且远程 GPIO 控制禁用时，该值将在 GPIO 引脚上输出。如果链路丢失，该值也会在远程默认模式下输出到 GPIO 引脚。
6-4	GPIO2_MODE D_GPIO2_MODE	R/W	0h	GPIO 2 模式 确定 GPIO 引脚的工作模式： x00：功能输入模式，I2S_DC 输入 x10：三态 001：GPIO 模式，输出 011：GPIO 模式，输入 101：远程保持 - 输出远程数据，在链路丢失时保持数据 111：远程默认 - 输出远程数据，在链路丢失时驱动默认数据（输出值）
3	GPIO1_OUTPUT_VALUE D_GPIO1_OUTPUT_VALUE	R/W	0h	本地 GPIO 输出值 当启用 GPIO 功能、本地 GPIO 方向为输出且远程 GPIO 控制禁用时，该值将在 GPIO 引脚上输出。如果链路丢失，该值也会在远程默认模式下输出到 GPIO 引脚。
2-0	GPIO1_MODE D_GPIO1_MODE	R/W	0h	GPIO 1 模式 确定 GPIO 引脚的工作模式： x00：功能输入模式，GPIO0 输入 x10：三态 001：GPIO 模式，输出 011：GPIO 模式，输入 101：远程保持 - 输出远程数据，在链路丢失时保持数据 111：远程默认 - 输出远程数据，在链路丢失时驱动默认数据（输出值）

Copyright © 2022 Texas Instruments Incorporated

8.6.1.16 GPIO_3_Config 寄存器（地址 = 0xF）[复位 = 0h]

在表 8-30 中描述了 GPIO_3_Config 。

返回到汇总表。

表 8-30. GPIO_3_Config 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0h	GPIO3 和 D_GPIO3 配置 如果设置了 PORT1_SEL，则该寄存器控制 D_GPIO3 引脚 保留
3	GPIO3_OUTPUT_VALUE D_GPIO3_OUTPUT_VALUE	R/W	0h	本地 GPIO 输出值 当启用 GPIO 功能、本地 GPIO 方向为输出且远程 GPIO 控制禁用时，该值将在 GPIO 引脚上输出。如果链路丢失，该值也会在远程默认模式下输出到 GPIO 引脚。
2-0	GPIO3_MODE D_GPIO3_MODE	R/W	0h	GPIO 3 模式 确定 GPIO 引脚的工作模式： x00：功能输入模式，I2S_DD 输入 x10：三态 001：GPIO 模式，输出 011：GPIO 模式，输入 101：远程保持 - 输出远程数据，在链路丢失时保持数据 111：远程默认 - 输出远程数据，在链路丢失时驱动默认数据（输出值）

8.6.1.17 GPIO_5_and_GPIO_6_Config 寄存器（地址 = 0x10）[复位 = 0h]

在表 8-31 中描述了 GPIO_5_and_GPIO_6_Config 。

返回到汇总表。

表 8-31. GPIO_5_and_GPIO_6_Config 寄存器字段说明

位	字段	类型	复位	说明
7	GPIO6_OUTPUT_VALUE	R/W	0h	本地 GPIO 输出值 当启用 GPIO 功能且本地 GPIO 方向为输出时，该值将在 GPIO 引脚上输出。
6	RESERVED	R	0h	保留
5-4	GPIO6_DIR	R/W	0h	GPIO 6 MODE 配置功能模式或 GPIO 模式的输入方向或输出方向的焊盘。 {GPIO DIR, GPIO EN} 00：功能模式输入 10：三态 01：GPIO 模式输出 11：GPIO 模式输入
3	GPIO5_OUTPUT_VALUE	R/W	0h	本地 GPIO 输出值 当启用 GPIO 功能且本地 GPIO 方向为输出时，该值将在 GPIO 引脚上输出。
2	RESERVED	R	0h	保留
1-0	GPIO5_MODE	R/W	0h	GPIO 5 MODE 配置功能模式或 GPIO 模式的输入方向或输出方向的焊盘。 {GPIO DIR, GPIO EN} 00：功能模式输入 10：三态 01：GPIO 模式输出 11：GPIO 模式输入

Copyright © 2022 Texas Instruments Incorporated

8.6.1.18 GPIO_7_and_GPIO_8_Config 寄存器（地址 = 0x11）[复位 = 0h]

在表 8-32 中描述了 GPIO_7_and_GPIO_8_Config 。

返回到汇总表。

表 8-32. GPIO_7_and_GPIO_8_Config 寄存器字段说明

位	字段	类型	复位	说明
7	GPIO8_OUTPUT_VALUE	R/W	0h	本地 GPIO 输出值 当启用 GPIO 功能且本地 GPIO 方向为输出时，该值将在 GPIO 引脚上输出。
6	RESERVED	R	0h	保留
5-4	GPIO8_MODE	R/W	0h	GPIO 8 MODE 配置功能模式或 GPIO 模式的输入方向或输出方向的焊盘。 {GPIO DIR, GPIO EN} 00：功能模式输入 10：三态 01：GPIO 模式输出 11：GPIO 模式输入
3	GPIO7_OUTPUT_VALUE	R/W	0h	本地 GPIO 输出值 当启用 GPIO 功能且本地 GPIO 方向为输出时，该值将在 GPIO 引脚上输出。
2	RESERVED	R	0h	保留
1-0	GPIO7_MODE	R/W	0h	GPIO 7 MODE 配置功能模式或 GPIO 模式的输入方向或输出方向的焊盘。 {GPIO DIR, GPIO EN} 00：功能模式输入 10：三态 01：GPIO 模式输出 11：GPIO 模式输入

8.6.1.19 DATAPATH_CTL 寄存器（地址 = 0x12）[复位 = 0h]

在表 8-33 中描述了 DATAPATH_CTL 。

返回到汇总表。

表 8-33. DATAPATH_CTL 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	RESERVED	R/W	0h	保留
5	DE_POLARITY	R/W	0h	该位指示 DE（数据使能）信号的极性。 1：DE 为负（低电平有效，高电平闲置） 0：DE 为正（高电压有效，低电平闲置）
4	I2S_RPTR_REGEN	R/W	0h	1：中继器从 I2S 引脚重新生成 I2S 0：中继器从视频引脚直通 I2S
3	I2S_B_OVERRIDE	R/W	0h	I2S 通道 B 覆盖 1：从 reg_12[0] 设置 I2S 通道 B 使能 0：禁用 I2S 通道 B
2	VIDEO_18B_EN	R/W	0h	18 位视频选择 1：选择 18 位视频模式 0：选择 24 位视频模式
1	I2S_TRANSPORT_SEL	R/W	0h	1：启用 I2S 数据正向通道帧传输 0：启用 I2S 数据岛传输

Copyright © 2022 Texas Instruments Incorporated

表 8-33. DATAPATH_CTL 寄存器字段说明 (continued)

位	字段	类型	复位	说明
0	I2S_B_EN	R/W	0h	I2S 通道 B 使能 1：启用 B1 输入上的 I2S 通道 B 0：禁用 I2S 通道 B 请注意，在中继器中，该位可能会被带内 I2S 模式检测覆盖。

8.6.1.20 TX_MODE_STS 寄存器（地址 = 0x13）[复位 = Strap]

在表 8-34 中描述了 TX_MODE_STS 。

返回到汇总表。

表 8-34. TX_MODE_STS 寄存器字段说明

位	字段	类型	复位	说明
7	MODE_SEL1_DONE	R	1h	指示 MODE_SEL1 值已稳定并被锁存
6-4	MODE_SEL1_DECODE	R/S	Strap	返回 MODE_SEL1 引脚的 3 位解码
3	MODE_SEL0_DONE	R	1h	指示 MODE_SEL0 值已稳定并被锁存
2-0	MODE_SEL0_DECODE	R/S	Strap	返回 MODE_SEL0 引脚的 3 位解码

8.6.1.21 TX_BIST_CTL 寄存器（地址 = 0x14）[复位 = 0h]

在表 8-35 中描述了 TX_BIST_CTL 。

返回到汇总表。

表 8-35. TX_BIST_CTL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	0h	保留
4	DOPL_MODE	R/W	0h	DOPL 模式启用 1: 启用 0：禁用 不能通过双向控制通道远程写入该位
3	RESERVED	R	0h	保留
2-1	CLOCK_SOURCE CLOCK_SOURCE_P1	R/W	0h	BIST 模式中的时钟源（当 0x14[0]=1 时） 00：外部像素时钟 01：33MHz 振荡器 1x：100MHz 振荡器 在分离器或独立 2:2 模式下，该字段控制所选端口。
0	BIST_EN BIST_EN_P1	R/W	0h	BIST 控制 1：启用 0：禁用 在分离器或独立 2:2 模式下，该字段控制所选端口。

8.6.1.22 BCC_WDOG_CTL 寄存器（地址 = 0x16）[复位 = FEh]

在表 8-36 中描述了 BCC_WDOG_CTL 。

返回到汇总表。

表 8-36. BCC_WDOG_CTL 寄存器字段说明

位	字段	类型	复位	说明
7-1	BCC_WATCHDOG _TIMER	R/W	7Fh	如果控制通道事务未能在设定的时间内完成，看门狗计时器允许终止控制通道事务。该字段设置双向控制通道看门狗超时值，单位为 2ms。该字段不应设置为 0。建议将该字段设置为 0x01。

Copyright © 2022 Texas Instruments Incorporated

表 8-36. BCC_WDOG_CTL 寄存器字段说明 (continued)

位	字段	类型	复位	说明
0	BCC_WDOG_DIS	R/W	0h	禁用双向控制通道看门狗计时器 1：禁用 BCC 看门狗计时器操作 0：启用 BCC 看门狗计时器操作

8.6.1.23 I2C_CONTROL 控制寄存器（地址 = 0x17）[复位 = 1Eh]

在表 8-37 中描述了 I2C_CONTROL 。

该寄存器中的一些位是特定于 FPD-Link III TX 端口的。FPD-Link III 端口选择寄存器 0x1E 配置了 I2C 读写命令可以访问哪些独特的 TX 端口寄存器。

返回到汇总表。

表 8-37. I2C_CONTROL 寄存器字段说明

位	字段	类型	复位	说明
7	I2C_PASS_ALL I2C_PASS_ALL_P1	R/W	0h	1：启用对与串行器 I2C 从器件 ID 不匹配的 I2C 从器件 ID 的所有 I2C 访问的正向控制通道直通。 0：仅对与远程解串器从器件 ID 或远程从器件 ID 匹配的 I2C 从器件 ID 的 I2C 访问启用正向控制通道直通。 如果设置了 PORT1_SEL，该位控制 I2C PASS ALL P1
6-4	SDA_HOLD_TIME	R/W	1h	内部 SDA 保持时间 该字段配置了相对于 SCL 输入的为 SDA 输入提供的内部保持时间量。单位为 40ns。
3-0	I2C_FILTER_DEPTH	R/W	Eh	I2C 干扰滤波器深度 该字段配置 SCL 和 SDA 输入上将被拒绝的干扰脉冲的最大宽度。单位为 5ns。

8.6.1.24 SCL_HIGH_TIME 寄存器（地址 = 0x18）[复位 = 7Fh]

在表 8-38 中描述了 SCL_HIGH_TIME 。

返回到汇总表。

表 8-38. SCL_HIGH_TIME 寄存器字段说明

位	字段	类型	复位	说明
7-0	TX_SCL_HIGH	R/W	7Fh	I2C 主器件 SCL 高电平时间 当串行器是本地 I2C 总线上的主器件时，该字段配置 SCL 输出的高脉冲宽度。标称振荡器时钟频率的单位为 40ns。默认值设置为在内部振荡器时钟以 26.25MHz 而不是标称的 25MHz 运行时提供最短 5µs SCL 高电平时间。延迟包含 5 个额外的振荡器时钟周期。 Min_delay = 38.0952ns × (TX_SCL_HIGH + 5)

8.6.1.25 SCL_LOW_TIME 寄存器（地址 = 0x19）[复位 = 7Fh]

在表 8-39 中描述了 SCL_LOW_TIME 。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-39. SCL_LOW_TIME 寄存器字段说明

位	字段	类型	复位	说明
7-0	TX_SCL_LOW	R/W	7Fh	I2C SCL 低电压时间 当串行器是本地 I2C 总线上的主器件时，该字段配置 SCL 输出的低脉冲宽度。该值还用作 I2C 从器件的 SDA 建立时间，用于在通过双向控制通道访问期间在释放 SCL 之前提供数据。标称振荡器时钟频率的单位为 40ns。默认值设置为，在内部振荡器时钟以 26.25MHz 而不是标称的 25MHz 运行时，提供最短 5μs SCL 低电平时间。延迟包含 5 个额外的时钟周期。 Min_delay = 38.0952ns × (TX_SCL_LOW + 5)

8.6.1.26 DATAPATH_CTL2 寄存器（地址 = 0x1A）[复位 = 1h]

在表 8-40 中描述了 DATAPATH_CTL2 。

返回到汇总表。

表 8-40. DATAPATH_CTL2 寄存器字段说明

位	字段	类型	复位	说明
7	BLOCK_REPEATER_I2S_MODE	R/W	0h	阻止中继器中的自动 I2S 模式配置 0：从中继器中的带内音频信号检测到 I2S 模式（2 声道、4 声道或环绕声）。 1：禁用 I2S 模式的自动检测
6-4	RESERVED	R	0h	保留
3	SECONDARY_AUDIO	R	0h	启用辅助音频 该寄存器指示已启用 AUX 音频通道。此功能通过 BRIDGE_CFG 寄存器（寄存器偏移量 0x54）中的 AUX_AUDIO_EN 位进行控制。
2-1	RESERVED	R	0h	保留
0	I2S_SURROUND	R/W	1h	启用 5.1 通道或 7.1 通道 I2S 音频传输 0：按照寄存器 0x12 位 3 和 0 的配置，启用 2 通道或 4 通道 I2S 音频 1：启用 5.1 通道或 7.1 通道 请注意，I2S 数据岛传输是环绕音频的唯一选择。另请注意，在中继器中，带内 I2S 模式检测可以覆盖该位。

8.6.1.27 BIST_BC_ERRORS 寄存器（地址 = 0x1B）[复位 = 0h]

在表 8-41 中描述了 BIST_BC_ERRORS 。

FPD-Link III TX 端口专用寄存器。FPD-Link III 端口选择寄存器 0x1E 配置了 I2C 读写命令可以访问哪些独特的 TX 端口寄存器。

返回到汇总表。

表 8-41. BIST_BC_ERRORS 寄存器字段说明

位	字段	类型	复位	说明
7-0	BIST_BC_ERROR_COUNT BIST_BC_ERROR_COUNT_P1	R	0h	BIST 反向通道 CRC 错误计数器 在链路丢失、 BIST 重启或在寄存器 0x04 中置位 CRC ERROR RESET 时，该寄存器将清除。 如果设置了 PORT1_SEL，该寄存器将指示端口 1 状态

8.6.1.28 GPIO_PIN_STS1 寄存器（地址 = 0x1C）[复位 = 0h]

在表 8-42 中描述了 GPIO_PIN_STS1 。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-42. GPIO_PIN_STS1 寄存器字段说明

位	字段	类型	复位	说明
7	GPIO7_PIN_STS	R	0h	GPIO7/I2S_WC 引脚状态 如果设置了 PORT1_SEL，该寄存器将为 0
6	GPIO6_PIN_STS	R	0h	GPIO6/I2S_DA 引脚状态 如果设置了 PORT1_SEL，该寄存器将为 0
5	GPIO5_PIN_STS	R	0h	GPIO5/I2S_DB 引脚状态 如果设置了 PORT1_SEL，该寄存器将为 0
4	RESERVED	R	0h	保留
3	GPIO3_PIN_STS D_GPIO3_PIN_STS	R	0h	GPIO3 / I2S_DD 引脚状态 如果设置了 PORT1_SEL，该寄存器将指示 D_GPIO3 引脚状态
2	GPIO2_PIN_STS D_GPIO2_PIN_STS	R	0h	GPIO2 / I2S_DC 引脚状态 如果设置了 PORT1_SEL，该寄存器将指示 D_GPIO2 引脚状态
1	GPIO1_PIN_STS D_GPIO1_PIN_STS	R	0h	GPIO1 引脚状态 如果设置了 PORT1_SEL，该寄存器将指示 D_GPIO1 引脚状态
0	GPIO0_PIN_STS D_GPIO0_PIN_STS	R	0h	GPIO0 引脚状态 如果设置了 PORT1_SEL，该寄存器将指示 D_GPIO0 引脚状态

8.6.1.29 GPIO_PIN_STS2 寄存器（地址 = 0x1D）[复位 = 0h]

在表 8-43 中描述了 GPIO_PIN_STS2 。

返回到汇总表。

表 8-43. GPIO_PIN_STS2 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R	0h	保留
0	GPIO8_PIN_STS	R	0h	GPIO8/I2S_CLK 引脚状态

8.6.1.30 TX_PORT_SEL 寄存器（地址 = 0x1E）[复位 = 1h]

在表 8-44 中描述了 TX_PORT_SEL 。

返回到汇总表。

表 8-44. TX_PORT_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R	0h	保留
2	PORT1_I2C_EN	R/W	0h	端口 1 I2C 使能： 启用 I2C 从地址。第二个 I2C 地址提供对端口 1 寄存器以及端口 0 和 1 之间共享的寄存器的访问。第二个 I2C 地址值将设置为器件 ID + 1（7 位格式）。当器件处于复制模式时，还必须设置 PORT1_I2C_EN 位，以允许通过第二条链路访问远程器件。
1	PORT1_SEL	R/W	0h	选择端口 1 用于从主 I2C 地址中进行寄存器访问 对于写入，端口 1 寄存器和共享寄存器都将被写入。 对于读取，将读取端口 1 寄存器和共享寄存器。必须清除该位以读取端口 0 寄存器。如果设置 PORT1_I2C_EN，该位将被忽略。
0	PORT0_SEL	R/W	1h	选择端口 0 用于从主 I2C 地址中进行寄存器访问 对于写入，端口 0 寄存器和共享寄存器都将被写入。 对于读取，将读取端口 0 寄存器和共享寄存器。请注意，如果还设置了 PORT1_SEL，则将读取端口 1 寄存器。 如果设置 PORT1_I2C_EN，该位将被忽略。

Copyright © 2022 Texas Instruments Incorporated

8.6.1.31 FREQ_COUNTER 寄存器（地址 = 0x1F）[复位 = 0h]

在表 8-45 中描述了 FREQ_COUNTER 。

返回到汇总表。

表 8-45. FREQ_COUNTER 寄存器字段说明

位	字段	类型	复位	说明
7-0	FREQ_COUNT	R/W	0h	频率计数器控制 对该寄存器的写入将使频率计数器能够在指定时间间隔内计算像素时钟的数量。时间间隔等于写入的值乘以振荡器时钟周期（标称 40ns）。读取寄存器会返回在启用间隔期间看到的像素时钟沿的数量。如果频率计数器达到最大值，其将冻结在 0xff。频率计数器将粗略估计像素时钟周期。如果已知像素时钟频率，则频率计数器可用于确定实际的振荡器时钟频率。

8.6.1.32 DES_CAP1 寄存器（地址 = 0x20）[复位 = 0h]

在表 8-46 中描述了 DES_CAP1 。

FPD-Link III TX 端口专用寄存器。FPD-Link III 端口选择寄存器 0x1E 配置了 I2C 读写命令可以访问哪些独特的 TX 端口寄存器。

返回到汇总表。

表 8-46. DES_CAP1 寄存器字段说明

位	字段	类型	复位	说明
7	FREEZE_DES_CAP FREEZE_DES_CAP_P1	R/W	0h	如果设置了 PORT1_SEL，则该寄存器指示端口 1 功能 冻结解串器功能 防止通过双向控制通道自动加载解串器功能。这些功能将被冻结在寄存器 0x20 和 0x21 中写入的值。
6	HSCC_MODE_0 _HSCC_MODE_P1_0	R/W	0h	高速控制通道位 0 3 位 HSCC 表示中的最低位。其他 2 位包含在解串器功能 2 中。一旦检测到 RX 锁定，双向控制通道便会自动配置该字段。软件可覆盖该值，但还必须设置 FREEZE DES CAP 位以防被双向控制通道覆盖。
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	DUAL_LINK_CAP DUAL_LINK_CAP_P1	R/W	0h	双链路功能 指示解串器是否能够进行双链路工作。 一旦检测到 RX 锁定，双向控制通道便会自动配置该字段。软件可覆盖该值，但还必须设置 FREEZE DES CAP 位以防被双向控制通道覆盖。
2	DUAL_CHANNEL DUAL_CHANNEL_P1	R/W	0h	双通道 0/1 指示 在支持双链路的器件中，指示这是主通道还是从通道。 0：主通道（通道 0） 1：从通道（通道 1） 一旦检测到 RX 锁定，双向控制通道便会自动配置该字段。软件可覆盖该值，但还必须设置 FREEZE DES CAP 位以防被双向控制通道覆盖。
1	VID_24B_HD_AUD VID_24B_HD_AUD_P1	R/W	0h	解串器同时支持 24 位视频和高清音频 一旦检测到 RX 锁定，双向控制通道便会自动配置该字段。软件可覆盖该值，但还必须设置 FREEZE DES CAP 位以防被双向控制通道覆盖。
0	DES_CAP_FC_GPIO DES_CAP_FC_GPIO_P1	R/W	0h	解串器支持正向通道帧中的 GPIO 一旦检测到 RX 锁定，双向控制通道便会自动配置该字段。软件可覆盖该值，但还必须设置 FREEZE DES CAP 位以防被双向控制通道覆盖。

Copyright © 2022 Texas Instruments Incorporated

8.6.1.33 DES_CAP2 寄存器（地址 = 0x21）[复位 = 0h]

在表 8-47 中描述了 DES_CAP2 。

FPD-Link III TX 端口专用寄存器。FPD-Link III 端口选择寄存器 0x1E 配置了 I2C 读写命令可以访问哪些独特的 TX 端口寄存器。

返回到汇总表。

表 8-47. DES_CAP2 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0h	保留
3	FC_BCC_CRC6	R/W	0h	启用增强型 CRC 和启动序列
2	RESERVED	R	0h	保留
1-0	HSCC_MODE_2:1 HSCC_MODE_P1_2:1	R/W	0h	高速控制通道位 0 3 位 HSCC 指示中的高位。最低位包含在解串器功能 1 中。 000：正常反向通道帧，GPIO 模式 001：高速 GPIO 模式，1 个 GPIO 010：高速 GPIO 模式，2 个 GPIO 011：高速 GPIO 模式：4 个 GPIO 100：保留 101：保留 110：高速正向通道 SPI 模式 111：高速反向通道 SPI 模式 在单链路器件中，仅支持正常反向通道帧模式。

8.6.1.34 LINK_DET_CTL 寄存器（地址 = 0x26）[复位 = 0h]

在表 8-48 中描述了 LINK_DET_CTL 。

返回到汇总表。

表 8-48. LINK_DET_CTL 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R	0h	保留
2-0	LINK_DETECT_TIMER	R/W	0h	双向控制通道链路检测计时器 该字段配置链路检测超时时间。如果计时器到期而反向通道没有进行有效的通信，则链路检测将失效。 000：162ms 001：325ms 010：650ms 011：1.3ms 100：10.25μs 101：20.5μs 110：41μs 111：82μs

8.6.1.35 MAILBOX_2E 寄存器（地址 = 0x2E）[复位 = A5h]

在表 8-49 中描述了 **MAILBOX_2E** 。

返回到汇总表。

表 8-49. MAILBOX_2E 寄存器字段说明

位	字段	类型	复位	说明
7-0	MAILBOX_2E	R/W	A5h	邮箱寄存器 该寄存器是未使用的读取/写入寄存器，可用于任何目的。

Copyright © 2022 Texas Instruments Incorporated

8.6.1.36 MAILBOX_2F 寄存器（地址 = 0x2F）[复位 = 5Ah]

在表 8-50 中描述了 MAILBOX_2F 。

返回到汇总表。

表 8-50. MAILBOX_2F 寄存器字段说明

位	字段	类型	复位	说明
7-0	MAILBOX_2F	R/W	5Ah	邮箱寄存器 该寄存器是未使用的读取/写入寄存器，可用于任何目的。

8.6.1.37 REM_INTB_CTRL 寄存器（地址 = 0x30）[复位 = 0h]

在表 8-51 中描述了 REM_INTB_CTRL 。

返回到汇总表。

表 8-51. REM_INTB_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0h	保留
3-0	REM_INTB_MODE	R/W	0h	允许选择不同的引脚来输出远程中断。如果有多个链路可用（不是在双路 FPD-Link III 工作模式下），则 REM_INTB 通常是来自两个端口的组合中断。有关允许两个端口的独立远程中断的例外情况，请参阅下述选项 0001。 确定在哪个引脚上输出远程中断： 0000：未启用 0001：REM_INTB 表示端口 0 远程中断，INTB 表示端口 1 远程中断 001x、01xx 保留 1000:GPIO0 1001:GPIO1 1010:GPIO2 1011:GPIO3 1100:D_GPIO0 1101:D_GPIO1 1110:D_GPIO2 1111:D_GPIO3

8.6.1.38 IMG_LINE_SIZE0 寄存器（地址 = 0x32）[复位 = 0h]

在表 8-52 中描述了 IMG_LINE_SIZE0 。

返回到汇总表。

表 8-52. IMG_LINE_SIZE0 寄存器字段说明

位	字段	类型	复位	说明
7-0	IMG_LINE_SIZE_7:0	R/W	0h	双图像行大小寄存器 0 双图像行大小（位 7:0） 对于处理左/右或交替像素 3D 像素格式图像以进行分割，此参数提供等效 2D 图像的行大小，单位为像素。对于默认设置，每行 1280 像素的 2D 图像将具有 2560 像素的左/右组合格式图像。默认设置为 1280 像素 (0x500)。此参数也用作双 DSI 左/右模式的 2D 图像行大小，单位为像素。双图像行大小应编程为最大值 4096 像素。

8.6.1.39 IMG_LINE_SIZE1 寄存器（地址 = 0x33）[复位 = 5h]

在表 8-53 中描述了 IMG_LINE_SIZE1 。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-53. IMG_LINE_SIZE1 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	0h	保留
4-0	IMG_LINE_SIZE_12:8	R/W	5h	双图像行大小 (位 12:8) 对于处理左/右或交替像素 3D 像素格式图像以进行分割，此参数提供等效 2D 图像的行大小，单位为像素。对于默认设置，每行 1280 像素的 2D 图像将具有 2560 像素的左/右组合格式图像。默认设置为 1280 像素 (0x500)。 此参数也用作双 DSI 左/右模式的 2D 图像行大小，单位为像素。 双图像行大小应编程为最大值 4096 像素。

Copyright © 2022 Texas Instruments Incorporated

8.6.1.40 IMG_DELAY0_IMG_DELAY0_P1 寄存器（地址 = 0x34）[复位 = Ch]

在表 8-54 中描述了 IMG_DELAY0_IMG_DELAY0_P1 。

返回到汇总表。

表 8-54. IMG_DELAY0_IMG_DELAY0_P1 寄存器字段说明

位	字段	类型	复位	说明
7-0	IMG_DELAY_7:0 IMG_DELAY_P1_7:0	R/W	Ch	双图像延迟寄存器 0 在分离器或独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。 双图像延迟（位 7:0） 对于处理左/右或交替像素 3D 格式的图像以进行分割，此参数提供延迟，用于在生成交替像素格式的 2D 图像数据之前缓冲数据，或用于分割图像。 对于左/右 3D 图像，此参数通常设置为 12 像素 (0x00C)。 对于分割交替像素 3D 格式图像，如果 IMG_HSYNC_CTL 寄存器用于设置 HSYNC 时序，则此参数通常设置为 像素为 12 的值 (0x00C)。如果 IMG_HSYNC_CTL 寄存器不用于设置 HSYNC 时序，则该值应设置为水平同步周期加上水平后沿周期，单位为像素。根据裁剪选项，可能需要修改该值以确保正确操作。 双图像延迟应编程为最大值 4096 像素。

8.6.1.41 IMG_DELAY1_IMG_DELAY_P1 寄存器（地址 = 0x35）[复位 = 0h]

在表 8-55 中描述了 IMG_DELAY1_IMG_DELAY_P1 。

返回到汇总表。

表 8-55. IMG_DELAY1_IMG_DELAY_P1 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	0h	保留
4-0	IMG_DELAY_12:8 IMG_DELAY_P1_12:8	R/W	0h	双图像延迟（位 12:8） 对于处理左/右或交替像素 3D 格式的图像以进行分割，此参数提供延迟，用于在生成交替像素格式的左/右数据之前缓冲数据，或用于分割图像。对于左/右 3D 图像，此参数通常设置为 像素为 12 的值 (0x00C)。 对于分割交替像素 3D 格式图像，如果 IMG_HSYNC_CTL 寄存器用于设置 HSYNC 时序，则此参数通常设置为像素为 12 的值 (0x00C)。如果 IMG_HSYNC_CTL 寄存器不用于设置 HSYNC 时序，则该值应设置为水平同步周期加上水平后沿周期，单位为像素）。根据裁剪选项，可能需要修改该值以确保正确操作。 双图像延迟应编程为最大值 4096 像素。

8.6.1.42 CROP_START_X0_CROP_START_X0_P1 寄存器（地址 = 0x36）[复位 = 0h]

在表 8-56 中描述了 CROP_START_X0_CROP_START_X0_P1 。

返回到汇总表。

表 8-56. CROP_START_X0_CROP_START_X0_P1 寄存器字段说明

位	字段	类型	复位	说明
7-0	CROP_START_X_7:0 CROP_START_X_P1_7:0	R/W	0h	裁剪起始 X0 寄存器 在分离器或独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。 图像裁剪起始 X 位置（位 7:0） 图像裁剪起始 X 位置指示待转发的视频行部分的水平起始位置。起始 X 位置之前的像素将不会被转发，替换为空白（DE 失效）。像素位置范围从 0 到 N-1，其中 N 是行长度，单位为像素。

Copyright © 2022 Texas Instruments Incorporated

8.6.1.43 CROP_START_X1_CROP_START_X1_P1 寄存器（地址 = 0x37）[复位 = 0h]

在表 8-57 中描述了 CROP_START_X1_CROP_START_X1_P1 。

返回到汇总表。

表 8-57. CROP_START_X1_CROP_START_X1_P1 寄存器字段说明

位	字段	类型	复位	说明
7	CROP_ENABLE CROP_ENABLE_P1	R/W	0h	裁剪起始 X1 寄存器 在分离器或独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。 启用视频裁剪： 将该位设置为 1 将启用针对所选端口的视频裁剪。使用 CROP_START_X/Y 和 CROP_STOP_X/Y 寄存器来设置 X、Y 起始和停止位置即可控制裁剪。
6-5	RESERVED	R	0h	保留
4-0	CROP_START_X_12:8 CROP_START_X_P1_12:8	R/W	0h	图像裁剪起始 X 位置（位 12:8） 在分离器或独立 2:2 模式下，该字段可以控制选定的 FPD-Link III 端口。 图像裁剪起始 X 位置指示待转发的视频行部分的水平起始位置。起始 X 位置之前的像素将不会被转发，替换为空白（DE 失效）。像素位置范围从 0 到 N-1，其中 N 是行长度，单位为像素。

8.6.1.44 CROP_STOP_X0_CROP_STOP_X0_P1 寄存器（地址 = 0x38）[复位 = 0h]

在表 8-58 中描述了 CROP_STOP_X0_CROP_STOP_X0_P1 。

返回到汇总表。

表 8-58. CROP_STOP_X0_CROP_STOP_X0_P1 寄存器字段说明

位	字段	类型	复位	说明
7-0	CROP_STOP_X_7:0 CROP_STOP_X_P1_7:0	R/W	0h	图像裁剪停止 X 位置（位 7:0） 在分离器或独立 2:2 模式下，该字段可以控制选定的 FPD-Link III 端口。 图像裁剪停止 X 位置指示启用裁剪时待转发的最后一个像素的位置。停止 X 位置之后的像素不会被转发，替换为空白（DE 将失效）。像素位置范围从 0 到 N-1，其中 N 是行长度，单位为像素。

8.6.1.45 CROP_STOP_X1_CROP_STOP_X1_P1 寄存器（地址 = 0x39）[复位 = 0h]

在表 8-59 中描述了 CROP_STOP_X1_CROP_STOP_X1_P1 。

返回到汇总表。

表 8-59. CROP_STOP_X1_CROP_STOP_X1_P1 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	0h	保留
4-0	CROP_STOP_X_12:8 CROP_STOP_X_P1_12:8	R/W	0h	图像裁剪停止 X 位置（位 12:8） 在分离器或独立 2:2 模式下，该字段可以控制选定的 FPD-Link III 端口。 图像裁剪停止 X 位置指示启用裁剪时待转发的最后一个像素的位置。停止 X 位置之后的像素不会被转发，替换为空白（DE 将失效）。像素位置范围从 0 到 N-1，其中 N 是行长度，单位为像素。

8.6.1.46 CROP_START_Y0_CROP_START_Y0_P1 寄存器（地址 = 0x3A）[复位 = 0h]

在表 8-60 中描述了 CROP_START_Y0_CROP_START_Y0_P1 。

Copyright © 2022 Texas Instruments Incorporated

返回到汇总表。

表 8-60. CROP_START_Y0_CROP_START_Y0_P1 寄存器字段说明

位	字段	类型	复位	说明
7-0	CROP_START_Y_7:0 CROP_START_Y_P1_7:0	R/W	0h	裁剪起始 Y0 寄存器 在分离器或独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。 图像裁剪起始 Y 位置（位 7:0） 图像裁剪起始 Y 位置指示启用裁剪时待转发的第一个视频行。起始 Y 位置之前的像素将不会被转发，替换为空白行（DE 将失效）。行位置范围从 0 到 N-1，其中 N 是帧中的行数。在分离器或独立 2:2 模式下，此字段可控制所选的 FPD-Link III 端口。

8.6.1.47 CROP_START_Y1_CROP_START_Y1_P1 寄存器（地址 = 0x3B）[复位 = 0h]

在表 8-61 中描述了 CROP_START_Y1_CROP_START_Y1_P1 。

返回到汇总表。

表 8-61. CROP_START_Y1_CROP_START_Y1_P1 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	0h	保留
4-0	CROP_START_Y_12:8 CROP_START_Y_P1_12:8	R/W	0h	图像裁剪起始 Y 位置（位 12:8） 在分离器或独立 2:2 模式下，该字段可以控制选定的 FPD-Link III 端口。 图像裁剪起始 Y 位置指示启用裁剪时待转发的第一个视频行。起始 Y 位置之后的视频行不会被转发，替换为空白行（DE 将失效）。行位置范围从 0 到 N-1，其中 N 是帧中的行数。

8.6.1.48 CROP_STOP_Y0_CROP_STOP_Y0_P1 寄存器（地址 = 0x3C）[复位 = 0h]

在表 8-62 中描述了 CROP_STOP_Y0_CROP_STOP_Y0_P1 。

返回到汇总表。

表 8-62. CROP_STOP_Y0_CROP_STOP_Y0_P1 寄存器字段说明

位	字段	类型	复位	说明
7-0	CROP_STOP_Y_7:0 CROP_STOP_Y_P1_7:0	R/W	0h	裁剪停止 Y0 寄存器 在分离器或独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。 图像裁剪停止 Y 位置（位 7:0） 图像裁剪停止 Y 位置指示启用裁剪时待转发的最后一个视频行。停止 Y 位置之后的视频行不会被转发，替换为空白行（DE 将失效）。行位置范围从 0 到 N-1，其中 N 是帧中的行数。

8.6.1.49 CROP_STOP_Y1_CROP_STOP_Y1_P1 寄存器（地址 = 0x3D）[复位 = 0h]

在表 8-63 中描述了 CROP_STOP_Y1_CROP_STOP_Y1_P1 。

返回到汇总表。

表 8-63. CROP_STOP_Y1_CROP_STOP_Y1_P1 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	0h	保留

Copyright © 2022 Texas Instruments Incorporated

表 8-63. CROP_STOP_Y1_CROP_STOP_Y1_P1 寄存器字段说明 (continued)

位	字段	类型	复位	说明
4-0	CROP_STOP_Y_12:8 CROP_STOP_Y_P1_12:8	R/W	0h	图像裁剪停止 Y 位置（位 12:8） 在分离器或独立 2:2 模式下，该字段可以控制选定的 FPD-Link III 端口。 图像裁剪停止 Y 位置指示启用裁剪时待转发的最后一个视频行。停止 Y 位置之后的视频行不会被转发，替换为空白行（DE 将失效）。行位置范围从 0 到 N-1，其中 N 是帧中的行数。

8.6.1.50 SPLIT_CLK_CTL0_SPLIT_CLK_CTL0_P1 寄存器（地址 = 0x3E）[复位 = 81h]

在表 8-64 中描述了 SPLIT_CLK_CTL0_SPLIT_CLK_CTL0_P1 。

返回到汇总表。

表 8-64. SPLIT_CLK_CTL0_SPLIT_CLK_CTL0_P1 寄存器字段说明

位	字段	类型	复位	说明
7	SPLIT_CLK_DIV_EN SPLIT_CLK_DIV_EN_P1	R/W	1h	分离器模式时钟控制寄存器 0 该寄存器控制选定的 FPD-Link III 端口。 分离器模式时钟分频器启用 该寄存器启用分离器模式时钟分频器。在分离器模式下，如果该寄存器设置为 0，则会禁用运行分离器的像素时钟。在更改分离器分频器设置 SPLIT_CLK_SEL、SPLIT_CLK_DIV_M 和 SPLIT_CLK_DIV_N 之前，应禁用分频器。此外，只有在禁用 DSI 输入时才应更改分频器设置，以确保正确的模式切换。 如果禁用分离器模式，则会忽略这些值。这样可控制所选的 FPD-Link III 端口。
6-5	SPLIT_CLK_SEL	R/W	0h	分离器模式时钟选择 该寄存器为所选端口选择分离器 FPD-Link III 发送侧的时钟源。 00：输入像素时钟除以 2（默认值） 01：来自 DPHY 输入时钟的 M/N 分频器 10：来自 REFCLK0 引脚上的外部时钟的 M/N 分频器 11：来自 REFCLK1 引脚上的外部时钟的 M/N 分频器 对于分离器模式，该寄存器优先于 0x56
4-0	SPLIT_CLK_DIV_M SPLIT_CLK_DIV_M_P1	R/W	1h	分离器模式时钟分频器 M 值 该寄存器控制 M/N 分频器（用于从所选的输入时钟生成分离器模式像素时钟）的 M 设置。M/N 的默认设置提供了分离对称视频通常所需的 1/2 时钟频率。 如果禁用分离器模式，则会忽略这些值。这样可控制所选的 FPD-Link III 端口。

8.6.1.51 SPLIT_CLK_CTL1_SPLIT_CLK_CTL1_P1 寄存器（地址 = 0x3F）[复位 = 2h]

在表 8-65 中描述了 SPLIT_CLK_CTL1_SPLIT_CLK_CTL1_P1 。

返回到汇总表。

表 8-65. SPLIT_CLK_CTL1_SPLIT_CLK_CTL1_P1 寄存器字段说明

位	字段	类型	复位	说明
7-0	SPLIT_CLK_DIV_N SPLIT_CLK_DIV_N_P1	R/W	2h	分离器模式时钟控制寄存器 1 该寄存器控制选定的 FPD-Link III 端口。 分离器模式时钟分频器 N 值 该寄存器控制 M/N 分频器（用于从所选的输入时钟生成分离器模式像素时钟）的 N 设置。M/N 的默认设置提供了分离对称视频通常所需的 1/2 时钟频率。 如果禁用分离器模式，则会忽略这些值。这样可控制所选的 FPD-Link III 端口。

Copyright © 2022 Texas Instruments Incorporated

8.6.1.52 IND_ACC_CTL 寄存器（地址 = 0x40）[复位 = 0h]

在表 8-66 中描述了 IND_ACC_CTL 。

返回到汇总表。

表 8-66. IND_ACC_CTL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	0h	保留
4-2	IND_ACC_SEL	R/W	0h	间接访问寄存器选择： 选择寄存器访问的目标页 000：禁用 001：DSI/D-PHY 端口 0 数字寄存器 010：DSI/D-PHY 端口 1 数字寄存器 011：保留 100：保留 101：保留 110：保留 111：保留
1	IND_ACC_AUTO_INC	R/W	0h	间接访问自动递增： 启用自动递增模式。完成读取或写入后，寄存器地址将自动加 1。对于读取时的自动递增，还应设置 IND_ACC_READ 位。
0	IND_ACC_READ	R/W	0h	间接访问寄存器读取： 通常，在读取间接访问寄存器时该位应设置为 1。写入间接访问寄存器时该位应设置为 0。 要访问第 1 页寄存器（DSI/D-PHY 数字寄存器），设置该位将允许状态寄存器“读取时清除”。如果该位设置为 0，则可以读取状态寄存器，但不会在读取时清除。 对于需要预取的模拟寄存器的访问，设置该位将允许在设置 IND_ACC_ADDR 寄存器时生成对模拟块的读取选通。在自动递增模式下，读取选通还将在读取 IND_ACC_DATA 寄存器后生效。

8.6.1.53 IND_ACC_ADDR 寄存器（地址 = 0x41）[复位 = 0h]

在表 8-67 中描述了 IND_ACC_ADDR 。

返回到汇总表。

表 8-67. IND_ACC_ADDR 寄存器字段说明

位	字段	类型	复位	说明
7-0	IND_ACC_ADDR	R/W	0h	间接访问寄存器偏移： 该寄存器包含用于间接访问的 8 位寄存器偏移。

8.6.1.54 IND_ACC_DATA 寄存器（地址 = 0x42）[复位 = 0h]

在表 8-68 中描述了 IND_ACC_DATA 。

返回到汇总表。

表 8-68. IND_ACC_DATA 寄存器字段说明

位	字段	类型	复位	说明
7-0	IND_ACC_DATA	R/W	0h	间接访问寄存器数据： 写入该寄存器会使 IND_ACC_DATA 值间接写入所选模拟块寄存器。 读取该寄存器将返回所选模拟块寄存器的值

Copyright © 2022 Texas Instruments Incorporated

8.6.1.55 BRIDGE_CTL 寄存器（地址 = 0x4F）[复位 = Strap]

在表 8-69 中描述了 BRIDGE_CTL 。

返回到汇总表。

表 8-69. BRIDGE_CTL 寄存器字段说明

位	字段	类型	复位	说明
7	DSI_CONTINUOUS_CLK DSI_CONTINUOUS_CLK_P1	R/W	Strap	DSI 连续时钟模式 该位控制对 DSI 时钟通道的处理。如果处于连续时钟模式，DSI 逻辑将假定时钟输入始终处于 HS 模式，并将绕过时钟通道的初始化要求。 在独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。 DSI_CONTINUOUS_CLK 最初从 MODE_SEL1 的 strap 配置选项中加载。 0：非连续 DSI 时钟模式 1：连续 DSI 时钟模式
6	DUAL_DSI_EN	R/W	0h	双 DSI 输入模式： 确定双 DSI 接收接口的工作模式 1：双 DSI 模式 0：单 DSI 模式 对于独立 2:2 模式，该位应设置为 0
5	DSI_PORT_SEL	R/W	0h	DSI 接收输入选择 在单 DSI 模式下，该位控制活动输入 DSI 端口的选择。 0：选择 DSI 输入端口 0 1：选择 DSI 输入端口 1 在独立 2:2 模式下，将该位设置为 1 将交换 DSI 端口，以便 DSI 端口 0 将映射到 FPD-Link III 端口 1，DSI 端口 1 将映射到 FPD-Link III 端口 0。 如果 DUAL_DSI_EN 设置为 1，则 DSI_PORT_SEL 应设置为 0。
4	ALT_LINES_3D	R/W	0h	启用交替行 3D 模式 如果设置为 1，则将视频输入处理为基于交替行格式的两个图像。器件会将图像合并为具有交替像素格式的单个图像，然后可以在 FPD-Link III 传输输出或下游器件上将其拆分为两个图像。要在 FPD-Link III 发送端口拆分图像，必须将 DUAL_CTL1 寄存器中的 FPD3_TX_MODE 设置为强制分离器模式。
3-2	DSI_LANES DSI_LANES_P1	R/W/S	Strap	DSI 通道选择 指示处于运行状态的 DSI 通道数量。 00：1 个通道（DSI 通道 0） 01：2 个通道 10：3 个通道 11：4 个通道 DSI_LANES 最初从 MODE_SEL0 引脚 strap 配置选项中加载。 为避免视频错误，只有在 DSI 输入无效时才应更改 DSI_LANES 字段。 在独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。
1	CFG_INIT	R/W	0h	从非易失性存储器初始化配置： 导致从非易失性存储器重新加载配置数据。此外，strap 配置选项将恢复为其最初的 strap 配置值。初始化完成时，该位自动清除。
0	RESERVED	R	0h	保留

8.6.1.56 BRIDGE_STS 寄存器（地址 = 0x50）[复位 = 2h]

在表 8-70 中描述了 BRIDGE_STS 。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-70. BRIDGE_STS 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	INIT_DONE	R	0h	初始化完成： 初始化序列已完成。此步骤将在配置完成 (CFG_DONE) 后完成
3	RESERVED	R	0h	保留
2	CFG_DONE	R	0h	配置完成： 表示自动配置已完成。此步骤将在初始化完成 (INIT_DONE) 之前完成。
1	CFG_CKSUM	R	1h	配置检验和状态： 指示初始化期间配置校验和的结果。器件将验证 NVM 的最后 128 个字节中的 2 补码校验和。值为 1 表示校验和通过。
0	RESERVED	R	0h	保留

8.6.1.57 BRIDGE_CFG 寄存器（地址 = 0x54）[复位 = 2h]

在表 8-71 中描述了 BRIDGE_CFG 。

返回到汇总表。

表 8-71. BRIDGE_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0h	保留
5-4	DSI_BYTES_PER_PIXEL DSI_BYTES_PER_PIXEL_P1	R/W	0h	每像素 DSI 字节数： 对于持续时钟模式，为所需的 DSI 数据类型选择每像素 DSI 字节数 00：3 字节/像素（RGB888，RGB666 松散封装，20b YCbCr 4:2:2，24b YCbCr 4:2:2，12b YCbCr 4:2:0，压缩） 01：2.25 字节/像素（RGB666 封装） 10：2 字节/像素（RGB565，16b YCbCr 4:2:2） 11：保留 注意：所有 RGB 格式都将转换为 RGB888。YCbCr 和压缩格式在不经转换的情况下传输。 在独立 2:2 模式下，该字段可控制所选端口。
3	RESERVED	R	0h	保留
2	AUDIO_TDM	R/W	0h	启用 TDM 音频： 将该位设置为 1 将启用 I2S 音频的 TDM 音频。I2S 引脚上的并行 I2S 数据将被串行化为单个 I2S_DA 信号，以便通过串行链路发送。
1	AUDIO_MODE	R/W	1h	音频模式： 选择要通过 FPD-Link III 下游链路发送的音频源。 0：禁用 1：I2S 音频来自 I2S 引脚
0	AUX_AUDIO_EN	R/W	0h	AUX 音频通道启用： 将该位设置为 1 将启用 AUX 音频通道。除 I2S 音频外，这还允许发送额外的 2 通道音频。

8.6.1.58 AUDIO_CFG 寄存器（地址 = 0x55）[复位 = Strap]

在表 8-72 中描述了 AUDIO_CFG 。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-72. AUDIO_CFG 寄存器字段说明

位	字段	类型	复位	说明
7	TDM_2_PARALLEL	R/W	0h	启用 TDM 到并行 I2S 音频转换： 设置该位时，将启用 TDM 到并行 I2S 的转换。I2S_DA 引脚上的 TDM 音频数据将拆分为四个 I2S 数据信号。
6	RESERVED	R	0h	保留
5	SWC_EDGE	R/W	0h	次级 WC 边沿采样： 将该位设置为 1 会将次级 WC 的采样边沿从 I2S_CLK 的上沿更改为下沿。 1：对 I2S CLK 负边沿上的字时钟采样 0：对 I2S CLK 正边沿上的字时钟采样
4	SPLIT_AUDIO	R/W/S	Strap	跨端口拆分音频 当 FPD-Link III Transmit 处于复制或分离器模式时，设置该位将在两个端口上拆分 I2S 音频。该位在单或双 FPD-Link III Transmit 模式中不起作用 0：音频信号将映射到两个端口（最多 8 通道音频） 1：拆分音频：端口 0 获取 I2S_DA/I2S_DB 信号，端口 1 获取 I2S_DC/I2S_DD 信号 SPLIT_AUDIO 控件在上电时从 MODE_SEL0 引脚进行 strap 配置。如果分离器模式进行了 strap 配置，SPLIT_AUDIO 将设置为 1。
3-0	RESERVED	R	0h	保留

8.6.1.59 BRIDGE_CFG2 寄存器（地址 = 0x56）[复位 = 0]

在表 8-73 中描述了 BRIDGE_CFG2 。

返回到汇总表。

表 8-73. BRIDGE_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7	LEFT_RIGHT_3D	R/W	0h	启用左/右 3D 处理： 将该位设置为 1 可以将左/右（并排）3D 图像转换为交替像素图像。这种转换允许在串行器 FPD-Link III 输出或下游解串器中拆分 3D 图像。除了设置该位，软件还应设置 IMG_LINE_SIZE 和 IMG_DELAY 参数。
6	DUAL_DSI_LR_EN	R/W	0h	启用双 DSI 左/右格式： 将该位设置为 1 可使串行器将双 DSI 输入排列为具有左/右（并排）格式的单个帧。左图是从 DSI 端口 0 收到的，而右图是从 DSI 端口 1 收到的。 此模式还要求在 BRIDGE_CTL 寄存器中设置 DUAL_DSI_EN 控制。
5-2	RESERVED	R	0h	保留
1-0	BRIDGE_CLK_MODE	R/W	0h	桥接时钟模式 00：DSI 参考时钟模式。FPD-Link III 发送器将与 DSI 时钟同步。在此模式下，DSI 时钟必须是连续的，并且必须设置 BRIDGE_CTL:DSI_CONTINUOUS_CLK。 01：外部参考时钟模式。FPD-Link III 发送器源自 REFCLK 引脚上的外部像素时钟。DSI 时钟可以连续，也可以不连续。 10：内部参考时钟模式。FPD-Link III 发送器源自始终开启的时钟生成的内部像素时钟。DSI 时钟可以连续，也可以不连续。 11：独立 2:2 模式的外部参考时钟模式。FPD-Link III 端口 0 发送器源自 REFCLK0 引脚上的外部像素时钟，而端口 1 发送器源自 REFCLK1 引脚上的外部像素时钟。DSI 时钟可以连续，也可以不连续。此选项仅在独立 2:2 模式下可用。 在独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。 该寄存器不应在分离器模式下使用。

Copyright © 2022 Texas Instruments Incorporated

8.6.1.60 TDM_CONFIG 寄存器（地址 = 0x57）[复位 = Ah]

在表 8-74 中描述了 TDM_CONFIG 。

返回到汇总表。

表 8-74. TDM_CONFIG 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0h	保留
3	TDM_FS_MODE	R/W	1h	TDM 帧同步模式： 为 TDM 音频的帧同步设置有效电平。帧同步信号提供一个有效脉冲来指示 TDM 数据信号上的第一个样本数据。 0：高电平有效帧同步 1：低电平有效帧同步（类似于 I2S 字选择） 该位同时用于 I2S 到 TDM 转换的输出和 TDM 到 I2S 转换的输入。
2	TDM_DELAY	R/W	0h	TDM 数据延迟： 控制来自活动帧同步沿的 TDM 音频样本的数据延迟。 0：数据不会从帧同步延迟（数据左平衡） 1：数据从帧同步中延迟 1 位 该位同时用于 I2S 到 TDM 转换的输出和 TDM 到 I2S 转换的输入。
1-0	TDM_FS_WIDTH	R/W	2h	TDM 帧同步宽度： 指示用于 I2S 到 TDM 转换的 TDM 帧同步脉冲宽度 00：FS 是 50/50 占空比 01：FS 是一个插槽/通道宽 1x：FS 是 1 个时钟脉冲宽

8.6.1.61 VIDEO_3D_STS 寄存器（地址 = 0x58）[复位 = 0h]

在表 8-75 中描述了 VIDEO_3D_STS 。

返回到汇总表。

表 8-75. VIDEO_3D_STS 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R	0h	保留
2	LINE_OV_ERR	R/COR	0h	行缓冲区溢出： 设置为 1 时，表示由于接收到的视频行对于 3D 视频行缓冲区来说过长，因此在该缓冲区中检测到了错误。 对于交替行 3D 模式，如果视频行包含 4096 个或更多像素，则会设置此标志。 对于左/右 3D 模式或交替像素 3D 模式，如果视频行包含 8192 个或更多像素，则会设置此标志。 该标志将在读取时被清除。
1	LINE_VID_ERR	R/COR	0h	行视频错误： 设置为 1 时，在 3D 视频处理中检测到了错误，可能是由于无效的行长度或消隐间隔。该标志将在读取时被清除。
0	LINE_MISMATCH	R/COR	0h	行不匹配错误 交替行 3D 模式： 设置为 1 时，表示已检测到奇数/偶数视频行长度不匹配。如果视频的奇数行和偶数行长度不相同，则会出现这种情况。该标志将在读取时被清除。 左/右 3D 模式： 设置为 1 时，表示已检测到行长度错误。如果接收到的视频行不是 IMG_LINE_SIZE 值的两倍，则会出现这种情况。如果接收到的行长度小于 IMG_LINE_SIZE，则可能检测不到错误。该标志将在读取时被清除。如果在水平尺寸上裁剪了图像，该错误标志可能不准确。

Copyright © 2022 Texas Instruments Incorporated

8.6.1.62 DUAL_DSI_CTL_STS 寄存器（地址 = 0x59）[复位 = 0h]

在表 8-76 中描述了 DUAL_DSI_CTL_STS 。

返回到汇总表。

表 8-76. DUAL_DSI_CTL_STS 寄存器字段说明

位	字段	类型	复位	说明
7-6	DSI1_DELAY	R/W	0h	DSI 端口 1 输入延迟 在合并双 DSI 视频数据之前，DSI 端口 1 输入最多可以延迟 3 个像素时钟。这可以用于诊断目的或补偿 DSI 端口之间的已知偏移。
5-4	DSI0_DELAY	R/W	0h	DSI 端口 0 输入延迟 在合并双 DSI 视频数据之前，DSI 端口 0 输入最多可以延迟 3 个像素时钟。这可以用于诊断目的或补偿 DSI 端口之间的已知偏移。
3	DUAL_DSI_OK	R	0h	双 DSI 状态 该寄存器指示两个 DSI 通道是否都处于运行状态并且偏移是否在可测量范围内。
2	DSI_SKEW_NEG	R	0h	双偏斜负指示 在双 DSI 模式下，该位指示 DSI 端口之间的偏移是正还是负 0：DSI 端口 0 指向 DSI 端口 1（或偏斜为 0） 1：DSI 端口 1 指向 DSI 端口 1
1-0	DSI_SKEW_MAG	R	0h	双 DSI 偏斜幅度 该寄存器指示像素时钟中 DSI 端口之间检测到的偏移幅度。

8.6.1.63 DUAL_STS_DUAL_STS_P1 寄存器（地址 = 0x5A）[复位 = 0h]

在表 8-77 中描述了 DUAL_STS_DUAL_STS_P1 。

返回到汇总表。

表 8-77. DUAL_STS_DUAL_STS_P1 寄存器字段说明

位	字段	类型	复位	说明
7	FPD3_LINK_RDY FPD3_LINK_RDY_P1	R	0h	所选端口的 FPD-Link III 链路就绪状态： 该位指示 FPD-Link III 链路已经检测到有效的下游连接并确定了下游链路的能力。 在独立 2:2 模式下，这会显示选定 FPD-Link III 端口的状态。
6	FPD3_TX_STS FPD3_TX_STS_P1	R	0h	选定端口的 FPD-Link III 传输状态： 该位指示 FPD-Link III 发送器处于运行状态，并且接收器锁定到发送时钟。仅在检测到有效输入且 FPD-Link III 发送连接已进入正确模式（即单模式而不是双模式）后，该位才会生效。 在独立 2:2 模式下，这会显示选定 FPD-Link III 端口的状态。
5-4	FPD3_PORT_STS	R	0h	选定端口的 FPD-Link III 端口状态： 如果 FPD3_TX_STS 设置为 1，则该字段指示端口模式状态，如下所示： 00：双 FPD-Link III 发送器模式 01：端口 0 上的单 FPD-Link III 发送 10：端口 1 上的单 FPD-Link III 发送 11：两个端口上的 FPD-Link III 发送（独立 2:2、复制或分离器模式）
3	DSI_CLK_DET DSI_CLK_DET_P1	R	0h	选定端口的 DSI 时钟检测： 来自 DSI PLL 控制器的 DSI 时钟检测指示。 在独立 2:2 模式下，这会显示选定 FPD-Link III 端口的状态。
2	保留	R	0h	保留
1	NO_DSI_CLK NO_DSI_CLK_P1	R	0h	未检测到选定端口的 DSI 时钟： 该位指示频率检测电路未检测到大于 FREQ_LOW 寄存器中指定值的 DSI 时钟。 在独立 2:2 模式下，这会显示选定 FPD-Link III 端口的状态。

Copyright © 2022 Texas Instruments Incorporated

表 8-77. DUAL_STS_DUAL_STS_P1 寄存器字段说明 (continued)

位	字段	类型	复位	说明
0	FREQ_STABLE FREQ_STABLE_P1	R	0h	DSI 频率稳定： 表示频率检测电路已检测到稳定的 DSI 时钟频率。 在独立 2:2 模式下，这会显示选定 FPD-Link III 端口的状态。

8.6.1.64 DUAL_CTL1 寄存器（地址 = 0x5B）[复位 = Strap]

在表 8-78 中描述了 DUAL_CTL1 。

返回到汇总表。

表 8-78. DUAL_CTL1 寄存器字段说明

位	字段	类型	复位	说明
7	FPD3_COAX_MODE	R/W	Strap	FPD-Link III 同轴电缆模式： 启用 FPD-Link III 接口布线类型的配置 0：双绞线对 1：同轴电缆 该位在加电时从 MODE_SEL1 引脚中加载。
6	DUAL_SWAP	R/W	0h	双链路交换控制： 指示双链路交换控制的当前状态。如果通过 DISABLE_DUAL_SWAP 控制禁用双链路交换的自动校正，则该位可以由软件修改。
5	RST_PLL_FREQ	R/W	0h	在频率变化时复位 FPD-Link III PLL： 当设置为 1 时，频率检测电路检测到的频率变化将导致 FPD-Link III PLL 复位。
4	FREQ_DET_PLL	R/W	0h	频率检测选择 PLL 时钟： 确定频率检测电路的时钟源： 0：DSI 时钟（在 PLL 之前） 1：DSI PLL 时钟
3	DUAL_ALIGN_DE	R/W	0h	在 DE 上进行双链路对齐： 在双链路模式下，如果该位设置为 1，则根据 DE 的置位，奇数/偶数数据分别在主/从链路上发送。如果该位设置为 0，则数据将在交替链路上发送，而不考虑奇数/偶数像素位置。
2-0	FPD3_TX_MODE	R/W/S	Strap	FPD-Link III TX 模式： 该寄存器控制 FPD-Link III 发送功能的工作模式。默认情况下，FPD-Link III 发送器会根据连接的器件自动检测最佳工作模式。也可以强制 FPD-Link III Transmit 执行特定操作。 000：自动检测 FPD-Link III 模式（单、双或复制） 001：强制进入单 FPD-Link III 发送器模式（禁用端口 1） 010：保留 011：强制进入双 FPD-Link III 发送器模式 100：自动检测 FPD-Link III 模式（仅限单或复制模式，禁用双模式） 101：强制进入独立 2:2 模式 110：保留 111：强制进入分离器模式（每个端口上各有一半的视频流） 该字段在上电时从 MODE_SEL0 引脚中加载。在上电时设置为 000 或 111。注意：只有在通过 RESET_CTL 寄存器中的 DISABLE_DSI 控制禁用 DSI 输入时，才应启用独立 2:2 模式。

8.6.1.65 DUAL_CTL2 寄存器（地址 = 0x5C）[复位 = 7h]

在表 8-79 中描述了 DUAL_CTL2 。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-79. DUAL_CTL2 寄存器字段说明

位	字段	类型	复位	说明
7	DISABLE_DUAL_SWAP	R/W	0h	禁用双链路交换： 防止自动更正交换的双链路连接。设置该位将允许写入 DUAL_CTL1 寄存器中的 DUAL_SWAP 控制
6	FORCE_LINK_RDY FORCE_LINK_RDY_P1	R/W	0h	强制链路就绪： 强制链路就绪指示，绕过反向通道链路检测。为了启用所需操作，可能需要为每个端口强制使用解串器功能寄存器（DES_CAP1 和 DES_CAP2）。 在独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。
5	FORCE_CLK_DET FORCE_CLK_DET_P1	R/W	0h	强制时钟检测： 强制 DSI 时钟检测电路指示存在一个有效输入时钟。这会旁路时钟检测电路，允许使用不满足频率或稳定性要求的输入时钟进行操作。 在独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。
4-3	FREQ_STBL_THR FREQ_STBL_THR_P1	R/W	0h	频率稳定性阈值： 频率检测电路可用于检测稳定的时钟频率。稳定性阈值确定时钟频率保持在 FREQ_HYST 范围内以便被认为稳定所需的时间量： 00：40us 01：80us 10：320us 11：1.28ms 在独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。
2-0	FREQ_HYST FREQ_HYST_P1	R/W	7h	频率检测迟滞： 频率检测迟滞设置允许忽略频率的微小波动。仅当测得频率与当前测得频率的差异超过 FREQ_HYST 设置时，才会捕获新的频率测量值。FREQ_HYST 设置以 MHz 为单位。 在独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。

8.6.1.66 FREQ_LOW 寄存器（地址 = 0x5D）[复位 = 6h]

在表 8-80 中描述了 FREQ_LOW 。

返回到汇总表。

表 8-80. FREQ_LOW 寄存器字段说明

位	字段	类型	复位	说明
7	FREQ_HYST_MODE	R/W	0h	频率检测迟滞模式： 0：当频率不稳定时，只要在上次测量的迟滞范围内，就允许更新保存的频率 1：传统操作。当频率不稳定时，只要在初始测量的迟滞范围内，就可以保持初始频率测量。
6	DSI_RST_MODE	R/W	0h	DSI Phy 复位模式： 0：模式或频率更改时复位 DSI Phy 1：模式或频率更改时勿复位 DSI Phy
5-0	FREQ_LO_THR	R/W	6h	频率低阈值： 设置 DSI 时钟频率检测电路的低阈值，单位为 MHz。该值用于确定 DSI 时钟频率是否太低而无法正常工作。

8.6.1.67 FREQ_HIGH 寄存器（地址 = 0x5E）[复位 = 2Ch]

在表 8-81 中描述了 FREQ_HIGH 。

返回到汇总表。

表 8-81. FREQ_HIGH 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留

Copyright © 2022 Texas Instruments Incorporated

表 8-81. FREQ_HIGH 寄存器字段说明 (continued)

位	字段	类型	复位	说明
6-0	FREQ_HI_THR	R/W	2Ch	频率高阈值： 设置 DSI 时钟频率检测电路的高阈值，单位为 MHz。

8.6.1.68 DSI_FREQ_DSI_FREQ_P1 寄存器（地址 = 0x5F）[复位 = 0h]

在表 8-82 中描述了 DSI_FREQ_DSI_FREQ_P1 。

返回到汇总表。

表 8-82. DSI_FREQ_DSI_FREQ_P1 寄存器字段说明

位	字段	类型	复位	说明
7-0	DSI_FREQ	R	0h	DSI 像素频率： 返回选定端口的视频数据的 DSI 像素频率值，单位为 MHz 。该寄存器指示输入数据的像素速率（像素大小为 24 位）。DSI 通道频率（单位为 Mbps)可以根据通道数按以下比率确定： 1 个通道：DSI 通道频率 = DSI 像素频率 * 24 2 个通道：DSI 通道频率 = DSI 像素频率 * 12 3 个通道：DSI 通道频率 = DSI 像素频率 * 8 4 个通道：DSI 通道频率 = DSI 像素频率 * 6 值为 0 表示 DSI 接收器未检测到有效信号。 在外部或内部参考时钟模式下，寄存器将报告用于转发视频的像素时钟频率，而不是 DSI 像素时钟。 在双 DSI 模式下，DSI 像素频率是两个端口的组合频率，或者是单个 DSI 端口频率的两倍。在这种情况下，DSI 通道频率是上述计算的值的 1/2。 在分离器模式下，该寄存器报告选定端口的 FPD-Link III 像素时钟频率，而不是 DSI 输入频率。

8.6.1.69 SPI_TIMING1 寄存器（地址 = 0x60）[复位 = 22h]

在表 8-83 中描述了 SPI_TIMING1 。

返回到汇总表。

表 8-83. SPI_TIMING1 寄存器字段说明

位	字段	类型	复位	说明
7-4	SPI_HOLD	R/W	2h	来自 SPI 时钟的 SPI 数据保持时间： 这些位设置 SPI 数据在 SPI 时钟采样边沿上的最短保持时间。此外，这还设置了 SPI 输出时钟的最小有效脉冲宽度。 保持时间 = (SPI_HOLD + 1) * 40ns 例如，默认设置为 2 将产生 120ns 的数据保持时间。
3-0	SPI_SETUP	R/W	2h	SPI 数据设置到 SPI 时钟： 这些位设置 SPI 数据到 SPI 时钟有效边沿的最短设置时间。此外，这还设置了 SPI 输出时钟的最小无效宽度。 保持时间 = (SPI_SETUP + 1) * 40ns 例如，默认设置为 2 将产生 120ns 的数据设置时间。

8.6.1.70 SPI_TIMING2 寄存器（地址 = 0x61）[复位 = 2h]

在表 8-84 中描述了 SPI_TIMING2 。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-84. SPI_TIMING2 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0h	保留
3-0	SPI_SS_SETUP	R/W	2h	SPI 从器件选择设置： 该字段控制从置位从器件选择低电平到初始数据时序的延迟。延迟以 40ns 为单位。 延迟 = (SPI_SS_SETUP + 1) * 40ns

8.6.1.71 SPI_CONFIG 寄存器（地址 = 0x62）[复位 = 0h]

在表 8-85 中描述了 SPI_CONFIG 。

返回到汇总表。

表 8-85. SPI_CONFIG 寄存器字段说明

位	字段	类型	复位	说明
7	SPI_MSTR_OVER	R	0h	SPI 主器件溢出检测： 如果 SPI 主器件检测到溢出条件，则设置该标志。如果 SPI 主器件无法以足够快的速度重新生成远程 SPI 数据来跟上远程解串器的数据，则会发生这种情况。如果出现这种情况，建议将 SPI_SETUP 和 SPI_HOLD 时间设置为较小的值。通过设置该寄存器中的 SPI_CLR_OVER 位来清除该标志。
6-3	RESERVED	R	0h	保留
2	SPI_CLR_OVER	R/W	0h	清除 SPI 主器件溢出标志： 将该位设置为 1 将清除 SPI 主器件溢出检测标志 (SPI_MSTR_OVER)。该位不会自行清除，必须设置为 0。
1	SPI_CPHA	R	0h	SPI 时钟相位设置： 确定 SPI 时钟的哪个相位用于采样数据。 0：在前导（第一个）时钟沿采样的数据 1：在后沿（第二个）时钟沿采样的数据 该位是只读的，值为 0。DS90UB949 不支持值为 1 的 CPHA。
0	SPI_CPOL	R/W	0h	SPI 时钟极性设置： 确定 SPI 时钟的基础（未运行）值。 0：时钟的基础值为 0 1：时钟的基础值为 1 该位同时影响 SPI 信号的捕获和传播。

8.6.1.72 VCID_SPLIT_CTL 寄存器（地址 = 0x63）[复位 = 0h]

在表 8-86 中描述了 VCID_SPLIT_CTL 。

返回到汇总表。

表 8-86. VCID_SPLIT_CTL 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0h	保留
5	VCID_SHARE_VS	R/W	0h	VC-ID 分离器模式，共享 VS： 在 VC-ID 分离器模式期间，设置该位将允许两个端口使用共享的 VSYNC 信号。在 DSI 输入中的 VSYNC 检测中， VC-ID 将被忽略。
4-3	VCID_SEL_P1	R/W	0h	在 VC-ID 拆分模式期间选择 VC-ID： 这些字段在 VC-ID 拆分模式期间选择端口 0 的 VC-ID。
2-1	VCID_SEL_P0	R/W	0h	在 VC-ID 拆分模式期间选择 VC-ID： 这些字段在 VC-ID 拆分模式期间选择端口 1 的 VC-ID。

Copyright © 2022 Texas Instruments Incorporated

表 8-86. VCID_SPLIT_CTL 寄存器字段说明 (continued)

位	字段	类型	复位	说明
0	VCID_SPLIT_EN	R/W	0h	启用 VC-ID 拆分： 将该位设置为 1 将允许 DS90UB941AS-Q1 基于每个视频行的虚拟通道 ID (VC-ID) 来拆分 3D 图像。

8.6.1.73 PGCTL_PGCTL_P1 寄存器（地址 = 0x64）[复位 = 10h]

在表 8-87 中描述了 PGCTL_PGCTL_P1 。

返回到汇总表。

表 8-87. PGCTL_PGCTL_P1 寄存器字段说明

位	字段	类型	复位	说明
7-4	PATGEN_SEL	R/W	1h	固定图形选择： 该字段可选择在固定图形模式下要输出的图形。缩放的图形均匀分布在水平或垂直活动区域。启用自动滚动模式时，此字段被忽略。下表显示了非反转颜色模式和反转颜色模式下的颜色选择： 0000：棋盘 0001：白色/黑色 0010：黑色/白色 0011：红色/青色 0100：绿色/洋红色 0101：蓝色/黄色 0110：水平缩放黑色到白色/白色到黑色 0111：水平缩放黑色到红色/白色到青色 1000：水平缩放黑色到绿色/白色到洋红色 1001：水平缩放黑色到蓝色/白色到黄色 1010：垂直缩放黑色到白色/白色到黑色 1011：垂直缩放黑色到红色/白色到青色 1100：垂直缩放黑色到绿色/白色到洋红色 1101：垂直缩放黑色到蓝色/白色到黄色 1110：在 PGRS、PGGS、PGBS 寄存器中配置的自定义颜色（或其反转颜色） 1111：VCOM 在独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。
3	RESERVED	R	0h	保留
2	PATGEN_COLOR_BARS	R/W	0h	启用色条 0：禁用色条 1：启用色条（白色、黄色、青色、绿色、洋红色、红色、蓝色、黑色）
1	RESERVED	R	0h	保留
0	PATGEN_EN	R/W	0h	启用图形发生器： 1：启用图形发生器 0：禁用图形发生器

8.6.1.74 PGCFG_PGCFG_P1 寄存器（地址 = 0x65）[复位 = 0h]

在表 8-88 中描述了 PGCFG_PGCFG_P1 。

返回到汇总表。

表 8-88. PGCFG_PGCFG_P1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0h	保留

Copyright © 2022 Texas Instruments Incorporated

表 8-88. PGCFG_PGCFG_P1 寄存器字段说明 (continued)

位	字段	类型	复位	说明
6	PATGEN_SCALE_CHKR	R/W	0h	缩放方格图形： 1：将方格图形（VCOM 和棋盘）缩放 8 倍（每个正方形为 8x8 像素） 0：正常操作（每个正方形为 1x1 像素） 设置该位可以更好地查看方格图形。 在独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。
5	PATGEN_CUST_CHKR	R/W	0h	使用自定义棋盘颜色 1：在棋盘图形中使用自定义颜色（图形类型 14）和黑色 0：在棋盘图形中使用白色和黑色 在独立 2:2 模式下，该字段控制选定的 FPD-Link III 端口。
4	PATGEN_18B	R/W	0h	18 位模式选择： 1：启用 18 位颜色图形生成。缩放的图形将有 64 级亮度，且 R、G 和 B 输出使用六个最高有效的颜色位。 0：启用 24 位图形生成。缩放的图形使用 256 级亮度。 在独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。
3	PATGEN_EXTCLK	R/W	0h	选择外部时钟源： 1：使用内部时序时选择外部像素时钟。 0：使用内部时序时选择内部分频时钟 该位在外部时序模式 (PATGEN_TSEL = 0) 下无效。 在独立 2:2 模式下，该字段控制选定的 FPD-Link III 端口。
2	PATGEN_TSEL	R/W	0h	时序选择控制： 1：图形生成器根据图形生成器总帧大小、活动帧大小、水平同步宽度、垂直同步宽度、水平后沿、垂直后沿和同步配置寄存器中的配置创建自己的视频时序。 0：图形发生器使用来自像素时钟、数据使能、水平同步和垂直同步信号的外部视频时序。 在独立 2:2 模式下，该字段控制选定的 FPD-Link III 端口。
1	PATGEN_INV	R/W	0h	启用反转颜色图形： 1：反转颜色输出。 0：请勿反转颜色输出。 在独立 2:2 模式下，该字段控制选定的 FPD-Link III 端口。
0	PATGEN_ASCRL	R/W	0h	自动滚动启用： 1：在图形发生器帧时间 (PGFT) 寄存器中指定的帧数之后，图形发生器将自动移动到下一个启用的图形。 0：图形发生器保持当前图形。 在独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。

8.6.1.75 PGIA_PGIA_P1 寄存器（地址 = 0x66）[复位 = 0h]

在表 8-89 中描述了 PGIA_PGIA_P1 。

返回到汇总表。

表 8-89. PGIA_PGIA_P1 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_IA	R/W	0h	间接地址： 该 8 位字段可设置用于访问间接映射寄存器的间接地址。应该在读取或写入图形发生器间接数据寄存器之前写入它。 在独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。

8.6.1.76 PGID_PGID_P1 Register 寄存器（地址 = 0x67）[复位 = 0h]

在表 8-90 中描述了 PGID_PGID_P1 。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-90. PGID_PGID_P1 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_ID	R/W	0h	间接数据： 向间接寄存器写入时，该寄存器包含待写入的数据。从间接寄存器读取时，该寄存器包含读回值。 在独立 2:2 模式下，该字段可控制选定的 FPD-Link III 端口。

8.6.1.77 IMG_HSYNC_CTL0_IMG_HSYNC_CTL0_P1 寄存器（地址 = 0x6A）[复位 = 0h]

在表 8-91 中描述了 IMG_HSYNC_CTL0_IMG_HSYNC_CTL0_P1 。

返回到汇总表。

表 8-91. IMG_HSYNC_CTL0_IMG_HSYNC_CTL0_P1 寄存器字段说明

位	字段	类型	复位	说明
7	HBACK_OV_EN HBACK_OV_EN_P1	R/W	0h	双图像 HSync 控制寄存器 0。为双图像操作（包括分离器模式）提供 HSync 生成控制。在独立 2:2 或分离器模式下，此寄存器控制选定的 FPD-Link III 端口。 启用 HBACK 覆盖 在双图像处理（3D 图像或分离器操作）期间，器件从输入数据中重新生成水平同步后沿。将该位设置为 1 将使用 IMG_HBACK 值而不是测量值。在独立 2:2 或分离器模式下，此寄存器可以控制选定的 FPD-Link III 端口。
6	RESERVED	R	0h	保留
5-4	IMG_HBACK_9:8 IMG_HBACK_P1_9:8	R/W	0h	HBACK 覆盖值（位 9:8） 在双图像处理（3D 图像或分离器操作）期间，器件从输入数据中重新生成水平同步后沿。将 HBACK_OV_EN 控制设置为 1 将使用 IMG_HBACK 值而不是测量值。IMG_HBACK 值应设置为 3D 图像水平后沿的值，或 2D 图像值的两倍。在独立 2:2 或分离器模式下，此寄存器可以控制选定的 FPD-Link III 端口。
3	HSYNC_OV_EN HSYNC_OV_EN_P1	R/W	0h	启用 HSYNC 覆盖 在双图像处理（3D 图像或分离器操作）期间，器件从输入数据中重新生成水平同步脉冲宽度。将该位设置为 1 将使用 IMG_HSYNC 值而不是测量值。在独立 2:2 或分离器模式下，此寄存器可以控制选定的 FPD-Link III 端口。
2	RESERVED	R	0h	保留
1-0	IMG_HSYNC_9:8 IMG_HSYNC_P1_9:8	R/W	0h	HSYNC 覆盖值（位 9:8） 在双图像处理（3D 图像或分离器操作）期间，器件从输入数据中重新生成水平同步脉冲宽度。将 HSYNC_OV_EN 控制设置为 1 将使用 IMG_HSYNC 值而不是测量值。IMG_HBACK 值应设置为 3D 图像水平后沿的值，或 2D 图像值的两倍。在独立 2:2 或分离器模式下，此寄存器可以控制选定的 FPD-Link III 端口。

8.6.1.78 IMG_HSYNC_CTL1_IMG_HSYNC_CTL1_P1 寄存器（地址 = 0x6B）[复位 = 0h]

在表 8-92 中描述了 IMG_HSYNC_CTL1_IMG_HSYNC_CTL1_P1 。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-92. IMG_HSYNC_CTL1_IMG_HSYNC_CTL1_P1 寄存器字段说明

位	字段	类型	复位	说明
7-0	IMG_HSYNC_7:0 IMG_HSYNC_P1_7:0	R/W	0h	双图像 HSync 控制寄存器 1 为双图像操作（包括分离器模式）提供 HSync 生成控制。 HSYNC 覆盖值（位 7:0） 在双图像处理（3D 图像或分离器操作）期间，器件从输入数据中重新生成水平同步脉冲宽度。将 HSYNC_OV_EN 控制设置为 1 将使用 IMG_HSYNC 值而不是测量值。IMG_HBACK 值应设置为 3D 图像水平后沿的值，或 2D 图像值的两倍。 在独立 2:2 或分离器模式下，此寄存器可以控制选定的 FPD-Link III 端口。

8.6.1.79 IMG_HSYNC_CTL2_IMG_HSYNC_CTL2_P1 寄存器（地址 = 0x6C）[复位 = 0h]

在表 8-93 中描述了 IMG_HSYNC_CTL2_IMG_HSYNC_CTL2_P1。

返回到汇总表。

表 8-93. IMG_HSYNC_CTL2_IMG_HSYNC_CTL2_P1 寄存器字段说明

位	字段	类型	复位	说明
7-0	IMG_HBACK_7:0 IMG_HBACK_P1_7:0	R/W	0h	双图像 HSync 控制寄存器 2 为双图像操作（包括分离器模式）提供 HSync 后沿生成控制。 HBACK 覆盖值（位 7:0） 在双图像处理（3D 图像或分离器操作）期间，器件从输入数据中重新生成水平同步后沿。将 HBACK_OV_EN 控制设置为 1 将使用 IMG_HBACK 值而不是测量值。IMG_HBACK 值应设置为 3D 图像水平后沿的值，或 2D 图像值的两倍。 在独立 2:2 或分离器模式下，此寄存器可以控制选定的 FPD-Link III 端口。

8.6.1.80 BCC_STATUS 寄存器（地址 = 0x6D）[复位 = 0h]

在表 8-94 中描述了 BCC_STATUS。

返回到汇总表。

表 8-94. BCC_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	0h	BCC 状态寄存器。该寄存器提供双向控制通道的错误状态。 保留
4	BCC_MASTER_ERR	R/COR	0h	BCC 主器件错误 该标志指示在 BCC I2C 主器件处于运行状态时，等待解串器响应期间发生了反向通道 CRC 错误或反向通道锁定丢失。该标志将在读取该寄存器时被清除。
3	BCC_MASTER_TO	R/COR	0h	BCC 从器件超时错误 如果 BCC 看门狗计时器到期，将设置该位。当 BCC I2C 主器件处于运行状态时，将等待解串器作出响应。该标志将在读取该寄存器时被清除。
2	BCC_SLAVE_ERR	R/COR	0h	BCC 从器件错误 该标志指示在 BCC I2C 从器件处于运行状态时，等待解串器响应期间发生了反向通道 CRC 错误或反向通道锁定丢失。该标志将在读取该寄存器时被清除。
1	BCC_SLAVE_TO	R/COR	0h	BCC 从器件超时错误 在 BCC I2C 从器件处于运行状态时，如果在等待解串器响应期间 BCC 看门狗计时器到期，将设置该位。该标志将在读取该寄存器时被清除。

Copyright © 2022 Texas Instruments Incorporated

表 8-94. BCC_STATUS 寄存器字段说明 (continued)

位	字段	类型	复位	说明
0	BCC_RESP_ERR	R/COR	0h	该标志指示在响应双向控制通道上的命令时检测到错误。当串行器发送控制通道帧时，解串器应在后续响应中返回 8 位数据字段。串行器检查返回的数据是否有错误，如果检测到错误，将设置此标志。该标志将在读取该寄存器时被清除。

8.6.1.81 BCC_CONFIG 寄存器（地址 = 0x6E）[复位 = 20h]

在表 8-95 中描述了 BCC_CONFIG。

返回到汇总表。

表 8-95. BCC_CONFIG 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	RESERVED	R	0h	保留
5	I2C_Master_Disable	R/W	1h	该位将禁用来自 I2C 主器件的远程读取和写入。I2C 主器件对本地寄存器的写入和读取仍然有效，但远程写入和读取将无效 1：禁用 I2C 主器件远程读取/写入 0：启用 I2C 主器件远程读取/写入
4	BCC_TERM_ON_ERR	R/RC	0h	在检测到 CRC 错误时终止控制通道事务 在控制通道操作期间，如果发生 CRC 错误，不太可能影响控制通道操作。设置该位将允许更保守的操作，如果在反向通道中检测到错误，则终止任何活动的控制通道操作。 0：请勿在 CRC 错误发生时终止 BCC 事务 1： CRC 错误发生时终止 BCC 事务 如果禁用了增强错误检查（BCC_EN_ENH_ERROR 设置为 0），该位将不起作用。
3	RESERVED	R/W	0h	保留
2	BCC_ACK_REMOTE_READ	R/RC	0h	启用控制通道以确认开始远程读取。 当使用支持双向控制通道增强错误检查的链路伙伴操作时，设置该位将允许串行器生成内部确认，以开始远程 I2C 从器件读取。这允许在解串器上进行额外的错误检测。当使用不支持增强型错误检查的解串器操作时，不应设置该位。 0：禁用 1：启用
1	BCC_EN_DATA_CHK	R/RC	0h	启用返回数据检查 增强错误检查可以在确认周期内检查通过双向控制通道发送到远程设备的返回数据上的错误。此外，如果检测到错误，该寄存器控制允许将远程 Ack 更改为 Nack，以指示本地 I2C 接口上的数据错误。当与不支持增强错误检查的解串器一起操作时，不应设置该位，因为它们在 Ack 期间并不总是返回正确的数据。 0：禁用返回数据错误检测 1：启用返回数据错误检测
0	BCC_EN_ENH_ERROR	R/RC	0h	在双向控制通道中启用增强错误检查 双向控制通道可以检测某些错误条件并在检测到错误时终止事务。通过将该位设置为 0，可禁用此功能。 0：禁用增强错误检查 1：启用增强错误检查

8.6.1.82 FC_BCC_TEST 寄存器（地址 = 0x6h）[复位 = 0h]

在表 8-96 中描述了 FC_BCC_TEST 。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-96. FC_BCC_TEST 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	FORCE_BCC_ERROR	SC	0h	强制正向通道 BCC 帧上出现错误。设置 FORCE_BCC_ERROR 位将导致正向通道 BCC 帧上强制出现错误。此寄存器中的 BCC_ERROR_SEL 和 BCC_FRAME_SEL 字段确定了待强制执行的错误类型以及哪个帧将包含错误。该位将自行清除，并始终返回 0。
5-3	BCC_ERROR_SEL	R/W	0h	BCC 错误选择 BCC 错误选择确定在正向通道 BCC 帧上强制出现哪种类型的错误。 000：无错误 001：强制 CRC 错误 010：强制序列错误（跳过一个序列号） 011：丢弃 BCC 帧（导致解串器出现序列错误） 100：强制数据字段上出现错误（随机位 1 到 7） 101：强制数据字段上出现错误，位 0（如果是在启动命令期间，则为 RW 位） 110 - 111：保留
2-0	BCC_FRAME_SEL	R/W	0h	BCC 帧选择 BCC 帧选择允许选择正向通道 BCC 帧，其中将包含在该寄存器的强制控制位中选择的错误条件。对于每个传输的块，BCC 传输以字节为单位发送。该值可以设置在 0 到 7 的范围内，以强制在 BCC 正向通道上发送的前 8 个字节中的任何一个上出现错误。

8.6.1.83 SlaveID_1 寄存器（地址 = 0x70）[复位 = 0h]

在表 8-97 中描述了 SlaveID_1 。

返回到汇总表。

表 8-97. SlaveID_1 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ID1 SLAVE_ID1_P1	R/W	0h	7 位远程从器件 ID 1 配置连接到远程解串器的远程 I2C 从器件的物理 I2C 地址。如果 I2C 事务被寻址到从器件别名 ID1，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	RESERVED	R	0h	保留

8.6.1.84 SlaveID_2 寄存器（地址 = 0x71）[复位 = 0h]

在表 8-98 中描述了 SlaveID_2。

返回到汇总表。

表 8-98. SlaveID_2 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ID2 SLAVE_ID2_P1	R/W	0h	7 位远程从器件 ID 2 配置连接到远程解串器的远程 I2C 从器件的物理 I2C 地址。如果 I2C 事务被寻址到从器件别名 ID2，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	RESERVED	R	0h	保留

8.6.1.85 SlaveID_3 寄存器（地址 = 0x72）[复位 = 0h]

在表 8-99 中描述了 SlaveID_3 。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-99. SlaveID_3 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ID3 SLAVE_ID3_P1	R/W	0h	7 位远程从器件 ID 3 配置连接到远程解串器的远程 I2C 从器件的物理 I2C 地址。如果 I2C 事务被寻址到从器件别名 ID3，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	RESERVED	R	0h	保留

8.6.1.86 SlaveID_4 寄存器（地址 = 0x73）[复位 = 0h]

在表 8-100 中描述了 SlaveID_4。

返回到汇总表。

表 8-100. SlaveID_4 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ID4 SLAVE_ID4_P1	R/W	0h	7 位远程从器件 ID 4 配置连接到远程解串器的远程 I2C 从器件的物理 I2C 地址。如果 I2C 事务被寻址到从器件别名 ID4，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	RESERVED	R	0h	保留

8.6.1.87 SlaveID_5 寄存器（地址 = 0x74）[复位 = 0h]

在表 8-101 中描述了 SlaveID_5。

返回到汇总表。

表 8-101. SlaveID_5 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ID5 SLAVE_ID5_P1	R/W	0h	7 位远程从器件 ID 5 配置连接到远程解串器的远程 I2C 从器件的物理 I2C 地址。如果 I2C 事务被寻址到从器件别名 ID5，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	RESERVED	R	0h	保留

8.6.1.88 SlaveID_6 寄存器（地址 = 0x75）[复位 = 0h]

在表 8-102 中描述了 SlaveID_6。

返回到汇总表。

表 8-102. SlaveID_6 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ID6 SLAVE_ID6_P1	R/W	0h	7 位远程从器件 ID 6 配置连接到远程解串器的远程 I2C 从器件的物理 I2C 地址。如果 I2C 事务被寻址到从器件别名 ID6，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	ESERVED	R	0h	保留

8.6.1.89 SlaveID_7 寄存器（地址 = 0x76）[复位 = 0h]

在表 8-103 中描述了 SlaveID_7。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-103. SlaveID_7 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ID7 SLAVE_ID7_P1	R/W	0h	7 位远程从器件 ID 7；配置连接到远程解串器的远程 I2C 从器件的物理 I2C 地址。如果 I2C 事务被寻址到从器件别名 ID7，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	RESERVED	R	0h	保留

8.6.1.90 SlaveAlias_1 寄存器（地址 = 0x77）[复位 = 0h]

在表 8-104 中描述了 SlaveAlias_1。

返回到汇总表。

表 8-104. SlaveAlias_1 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ALIAS_ID1 SLAVE_ALIAS_ID1_P1	R/W	0h	7 位远程从器件别名 ID 1 配置解码器，以检测为连接到远程解串器的 I2C 从器件指定的事务。此事务将重新映射到从器件 ID1 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 从器件的访问。
0	RESERVED	R	0h	保留

8.6.1.91 SlaveAlias_2 寄存器（地址 = 0x78）[复位 = 0h]

在表 8-105 中描述了 SlaveAlias_2。

返回到汇总表。

表 8-105. SlaveAlias_2 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ALIAS_ID2 SLAVE_ALIAS_ID2_P1	R/W	0h	7 位远程从器件别名 ID 2 配置解码器，以检测为连接到远程解串器的 I2C 从器件指定的事务。此事务将重新映射到从器件 ID2 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 从器件的访问。
0	RESERVED	R	0h	保留

8.6.1.92 SlaveAlias_3 寄存器（地址 = 0x79）[复位 = 0h]

在表 8-106 中描述了 SlaveAlias_3。

返回到汇总表。

表 8-106. SlaveAlias_3 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ALIAS_ID3 SLAVE_ALIAS_ID3_P1	R/W	0h	7 位远程从器件别名 ID 3 配置解码器，以检测为连接到远程解串器的 I2C 从器件指定的事务。此事务将重新映射到从器件 ID3 寄存器中指定的地址。该字段中的值 0 将禁用对远程 I2C 从器件的访问。
0	RESERVED	R	0h	保留

8.6.1.93 SlaveAlias_4 寄存器（地址 = 0x7A）[复位 = 0h]

在表 8-107 中描述了 SlaveAlias_4。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-107. SlaveAlias_4 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ALIAS_ID4 SLAVE_ALIAS_ID4_P1	R/W	0h	7 位远程从器件别名 ID 4 配置解码器，以检测为连接到远程解串器的 I2C 从器件指定的事务。此事务将重新映射到从器件 ID4 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 从器件的访问。
0	RESERVED	R	0h	保留

8.6.1.94 SlaveAlias_5 寄存器（地址 = 0x7B）[复位 = 0h]

在表 8-108 中描述了 SlaveAlias_5。

返回到汇总表。

表 8-108. SlaveAlias_5 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ALIAS_ID5 SLAVE_ALIAS_ID5_P1	R/W	0h	7 位远程从器件别名 ID 5 配置解码器，以检测为连接到远程解串器的 I2C 从器件指定的事务。此事务将重新映射到从器件 ID5 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 从器件的访问。
0	RESERVED	R	0h	保留

8.6.1.95 SlaveAlias_6 寄存器（地址 = 0x7C）[复位 = 0h]

在表 8-109 中描述了 SlaveAlias_6。

返回到汇总表。

表 8-109. SlaveAlias_6 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ALIAS_ID6 SLAVE_ALIAS_ID6_P1	R/W	0h	7 位远程从器件别名 ID 6 配置解码器，以检测为连接到远程解串器的 I2C 从器件指定的事务。此事务将重新映射到从器件 ID6 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 从器件的访问。
0	RESERVED	R	0h	保留

8.6.1.96 SlaveAlias_7 寄存器（地址 = 0x7D）[复位 = 0h]

在表 8-110 中描述了 SlaveAlias_7。

返回到汇总表。

表 8-110. SlaveAlias_7 寄存器字段说明

位	字段	类型	复位	说明
7-1	SLAVE_ALIAS_ID7 SLAVE_ALIAS_ID7_P1	R/W	0h	7 位远程从器件别名 ID 7 配置解码器，以检测为连接到远程解串器的 I2C 从器件指定的事务。此事务将重新映射到从器件 ID7 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 从器件的访问。
0	RESERVED	R	0h	保留

8.6.1.97 CFG 寄存器（地址 = 0xC2）[复位 = 82h]

在表 8-111 中描述了 CFG。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-111. CFG 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R/W	1h	保留
6	保留	R/W	0h	保留
5	保留	R/W	0h	保留
4-3	保留	R/W	0h	保留
2	保留	R/W	0h	保留
1	RX_DET_SEL	R/W	1h	RX 检测选择： 控制使接收器检测中断生效。如果设置为 0，接收器检测中断将在检测到 FPD-Link III 接收器时生效。如果设置为 1，接收器检测中断还需要接收器发出的接收锁定指示。
0	保留	R/W	0h	保留

8.6.1.98 STS 寄存器（地址 = 0xC4）[复位 = 0h]

在表 8-112 中描述了 STS。

返回到汇总表。

表 8-112. STS 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R/COR	0h	保留
6	RX_INT	R	0h	RX 中断： RX 中断信号的状态。该信号是从连接的 接收器接收的，并且是 接收器的 INTB_IN 引脚上的状态。该信号为有效低电平，因此 0 表示中断条件。
5	RX_LOCK_DET	R	0h	接收器锁定检测： 该位指示下游接收器已指示传入串行数据出现接收锁定。
4	保留	R/COR	0h	保留
3	RX_DETECT	R	0h	接收器检测： 该位表示检测到了下游接收器。
2	保留	R	0h	保留
1	保留	R	0h	保留
0	保留	R	0h	保留

8.6.1.99 ICR 寄存器（地址 = 0xC6）[复位 = 0h]

在表 8-113 中描述了 ICR。

返回到汇总表。

表 8-113. ICR 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/RC	0h	保留
6	IE_RXDET_INT	R/W	0h	检测到接收器时中断： 启用检测到下游接收器时中断。如果 CFG:RX_DET_SEL 设置为 1，中断将等待接收器锁定检测。
5	IE_RX_INT	R/W	0h	接收器中断时的中断： 在 接收器指示时启用中断。允许从下游器件传播中断。
4	保留	R/RC	0h	保留
3	保留	R/W	0h	保留
2	保留	R/W	0h	保留

Copyright © 2022 Texas Instruments Incorporated

表 8-113. ICR 寄存器字段说明 (continued)

位	字段	类型	复位	说明
1	保留	R/W	0h	保留
0	INT_EN	R/W	0h	启用全局中断： 对控制器的中断信号启用中断。

8.6.1.100 ISR 寄存器（地址 = 0xC7）[复位 = 0h]

在表 8-114 中描述了 ISR。

返回到汇总表。

表 8-114. ISR 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	IS_RXDET_INT	R	0h	接收器检测中断时的中断： 检测到下游接收器。如果 CFG:RX_DET_SEL 设置为 1，中断将等待接收器锁定检测。
5	IS_RX_INT	R	0h	接收器中断时的中断： 接收器已指示收到下游器件的中断请求。
4	保留	R	0h	保留
3	保留	R	0h	保留
2	保留	R	0h	保留
1	保留	R	0h	保留
0	INT	R	0h	全局中断： 如果指示任何已启用的中断，则置位。

8.6.1.101 TX_ID0 寄存器（地址 = 0xF0）[复位 = 5Fh]

在表 8-115 中描述了 TX_ID0。

返回到汇总表。

表 8-115. TX_ID0 寄存器字段说明

位	字段	类型	复位	说明
7-0	TX_ID0	R	5Fh	TX_ID0：ID 代码的第 1 个字节，'_'

8.6.1.102 TX_ID1 寄存器（地址 = 0xF1）[复位 = 55h]

在表 8-116 中描述了 TX_ID1。

返回到汇总表。

表 8-116. TX_ID1 寄存器字段说明

位	字段	类型	复位	说明
7-0	TX_ID1	R	55h	TX_ID1：ID 代码的第 2 个字节，'U'

8.6.1.103 TX_ID2 寄存器（地址 = 0xF2）[复位 = 42h]

在表 8-117 中描述了 TX_ID2 。

返回到汇总表。

Copyright © 2022 Texas Instruments Incorporated

表 8-117. TX_ID2 寄存器字段说明

位	字段	类型	复位	说明
7-0	TX_ID2	R	42h	TX_ID2：ID 代码的第 3 个字节。'B'

8.6.1.104 TX_ID3 寄存器（地址 = 0xF3）[复位 = 39h]

在表 8-118 中描述了 TX_ID3。

返回到汇总表。

表 8-118. TX_ID3 寄存器字段说明

位	字段	类型	复位	说明
7-0	TX_ID3	R	39h	TX_ID3: ID 代码的第 4 个字节，'9 '

8.6.1.105 TX_ID4 寄存器（地址 = 0xF4）[复位 = 34h]

在表 8-119 中描述了 TX_ID4。

返回到汇总表。

表 8-119. TX_ID4 寄存器字段说明

位	字段	类型	复位	说明
7-0	TX_ID4	R	34h	TX_ID4：ID 代码的第 5 个字节，'4'

8.6.1.106 TX_ID5 寄存器（地址 = 0xF5）[复位 = 31h]

在表 8-120 中描述了 TX_ID5 。

返回到汇总表。

表 8-120. TX_ID5 寄存器字段说明

位	字段	类型	复位	说明
7-0	TX_ID5	R	31h	TX_ID5：ID 代码的第 6 个字节，'1'

Copyright © 2022 Texas Instruments Incorporated

8.6.2 DSI 端口 0 和端口 1 间接寄存器

DSI 间接寄存器摘要汇总了 DS90UB941AS-Q1 间接 DSI 寄存器。表 8-121 中未列出的所有寄存器偏移地址都应视为保留的存储单元，并且不应修改寄存器内容。

寄存器访问是通过间接访问寄存器（IND_ACC_CTL、IND_ACC_ADDR 和 IND_ACC_DATA）的间接访问机制提供的。这些寄存器位于主寄存器空间中的偏移地址 0x40-0x42 处。

间接地址机制涉及设置控制寄存器以选择所需的块，设置寄存器偏移地址，以及读取或写入数据寄存器。此外，控制寄存器中提供了自动递增功能，可以在每次读取或写入数据寄存器后自动递增偏移地址。

对于写入，其过程如下：

1. 写入 IND_ACC_CTL 寄存器以选择所需的寄存器块
   - 如需选择 DSI/D-PHY 端口 0 间接寄存器，请设置 0x40 = 0x04
   - 如需选择 DSI/D-PHY 端口 1 间接寄存器，请设置 0x40 = 0x08
2. 写入 IND_ACC_ADDR 寄存器以设置寄存器偏移
3. 向 IND_ACC_DATA 寄存器写入数据值

如果在 IND_ACC_CTL 寄存器中设置了自动递增，重复步骤 3 会将额外的数据字节写入后续寄存器偏移位置

对于读取，其过程如下：

1. 写入 IND_ACC_CTL 寄存器以选择所需的寄存器块
   - 如需选择 DSI/D-PHY 端口 0 间接寄存器并从中读取，请设置 0x40 = 0x05
   - 如需选择 DSI/D-PHY 端口 1 间接寄存器并从中读取，请设置 0x40 = 0x09
2. 写入 IND_ACC_ADDR 寄存器以设置寄存器偏移
3. 从 IND_ACC_DATA 寄存器读取

如果在 IND_ACC_CTL 寄存器中设置了自动递增，重复步骤 3 会从后续寄存器偏移位置读取额外的数据字节。

表 8-121. DSI 间接寄存器摘要

偏移量	首字母缩写词	寄存器名称	段
0x1	DPHY_TINIT_TIMING		节 8.6.2.2
0x2	DPHY_TERM_TIMING		节 8.6.2.3
0x3	DPHY_CLK_SETTLE_TIMING		节 8.6.2.4
0x4	DPHY_HS_SETTLE_TIMING		节 8.6.2.5
0x5	DPHY_SKIP_TIMING		节 8.6.2.6
0x6	DPHY_LP_POLARITY		节 8.6.2.7
0x7	DPHY_BYPASS		节 8.6.2.8
0x8	HSRX_TO_CNT		节 8.6.2.9
0xF	DPHY_STATUS		节 8.6.2.10
0x10	DPHY_DLANE0_ERR		节 8.6.2.11
0x11	DPHY_DLANE1_ERR		节 8.6.2.12
0x12	DPHY_DLANE2_ERR		节 8.6.2.13
0x13	DPHY_DLANE3_ERR		节 8.6.2.14
0x14	DPHY_ERR_CLK_LANE		节 8.6.2.15
0x15	DPHY_SYNC_STS		节 8.6.2.16
0x20	DSI_CONFIG_0		节 8.6.2.17
0x21	DSI_CONFIG_1		节 8.6.2.18
0x22	DSI_ERR_CFG_0		节 8.6.2.19
0x23	DSI_ERR_CFG_1		节 8.6.2.20
0x28	DSI_STATUS		节 8.6.2.21

Copyright © 2022 Texas Instruments Incorporated

表 8-121. DSI 间接寄存器摘要 (continued)

偏移量	首字母缩写词	寄存器名称	段
0x29	DSI_ERR_COUNT		节 8.6.2.22
0x2A	DSI_VC_DTYPE		节 8.6.2.23
0x2B	DSI_ERR_RPT_0		节 8.6.2.24
0x2C	DSI_ERR_RPT_1		节 8.6.2.25
0x2D	DSI_ERR_RPT_2		节 8.6.2.26
0x30	DSI_HSW_CFG_HI		节 8.6.2.27
0x31	DSI_HSW_CFG_LO		节 8.6.2.28
0x32	DSI_VSW_CFG_HI		节 8.6.2.29
0x33	DSI_VSW_CFG_LO		节 8.6.2.30
0x34	DSI_SYNC_DLY_CFG_HI		节 8.6.2.31
0x35	DSI_SYNC_DLY_CFG_LO		节 8.6.2.32
0x36	DSI_EN_HSRX		节 8.6.2.33
0x37	DSI_EN_LPRX		节 8.6.2.34
0x38	DSI_EN_RXTERM		节 8.6.2.35
0x3A	DSI_PCLK_DIV_M		节 8.6.2.36
0x3B	DSI_PCLK_DIV_N		节 8.6.2.37

表 8-122 显示了适用于此部分中访问类型的代码。

表 8-122. 寄存器访问类型代码

访问类型	代码	说明
R	R	只读访问
R/W	R/W	读取/写入访问
R/W/RC	R/W/RC	读取/写入访问/读取以清除

8.6.2.1 DPHY_TINIT_TIMING 寄存器（偏移 = 0x1）[复位 = 0h]

在表 8-123 中描述了 DPHY_TINIT_TIMING 。

返回到表 8-121。

表 8-123. DPHY_TINIT_TIMING 寄存器字段说明

位	字段	类型	复位	说明
7-3	保留	R	0h	保留
2-0	TINIT_TIME	R/W	0h	上电后的 D-PHY 初始化时间，单位为 100µs 初始化时间 = (TINIT_TIME + 1) * 100µs

8.6.2.2 DPHY_TERM_TIMING 寄存器（偏移 = 0x2）[复位 = 0h]

在表 8-124 中描述了 DPHY_TERM_TIMING 。

返回到表 8-121。

表 8-124. DPHY_TERM_TIMING 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6-4	保留	R	0h	保留
3	保留	R	0h	保留

Copyright © 2022 Texas Instruments Incorporated

表 8-124. DPHY_TERM_TIMING 寄存器字段说明 (continued)

位	字段	类型	复位	说明
2-0	DPHY_TERM_DATA_TIMING	R/W	0h	TD TermEn 端子计数

8.6.2.3 DPHY_CLK_SETTLE_TIMING 寄存器（偏移 = 0x3）[复位 = 1Dh]

在表 8-125 中描述了 DPHY_CLK_SETTLE_TIMING 。

返回到表 8-121。

表 8-125. DPHY_CLK_SETTLE_TIMING 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6-0	TCLK_SETTLE_CNT	R/W	1Dh	TCLK-SETTLE Tclk 稳定端子计数，单位为 10ns

8.6.2.4 DPHY_HS_SETTLE_TIMING 寄存器（偏移 = 0x4）[复位 = 14h]

在表 8-126 中描述了 DPHY_HS_SETTLE_TIMING 。

返回到表 8-121。

表 8-126. DPHY_HS_SETTLE_TIMING 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6-0	THS_SETTLE_CNT	R/W	14h	THS-SETTLE 稳定端子计数，单位为 10ns 。

8.6.2.5 DPHY_SKIP_TIMING 寄存器（偏移 = 0x5）[复位 = 3Ah]

在表 8-127 中描述了 DPHY_SKIP_TIMING 。

返回到表 8-121。

表 8-127. DPHY_SKIP_TIMING 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6-1	TSKIP_CNT	R/W	1Dh	Tskip 计数 该寄存器控制在传输检测结束时将被忽略的数据量。此值以 DDR 时钟为单位（即两个 UI 间隔）。该寄存器的设置将取决于 D-PHY 通道频率。
0	RESERVED	R	0h	保留

8.6.2.6 DPHY_LP_POLARITY 寄存器（偏移 = 0x6）[复位 = 0h]

在表 8-128 中描述了 DPHY_LP_POLARITY 。

返回到表 8-121。

表 8-128. DPHY_LP_POLARITY 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	R	0h	保留
4	POL_LP_CLK0	R/W	0h	LP 时钟 0 极性

Copyright © 2022 Texas Instruments Incorporated

表 8-128. DPHY_LP_POLARITY 寄存器字段说明 (continued)

位	字段	类型	复位	说明
3-0	POL_LP_DATA	R/W	0h	LP 数据极性

8.6.2.7 DPHY_BYPASS 寄存器（偏移 = 0x7）[复位 = 0h]

在表 8-129 中描述了 DPHY_BYPASS 。

返回到表 8-121。

表 8-129. DPHY_BYPASS 寄存器字段说明

位	字段	类型	复位	说明
7	BYPASS_TINIT	R/W	0h	旁路 Tinit 等待时间
6	BYPASS_TCK_MISS	R/W	0h	旁路 Tck 错过时间
5	BYPASS_ULPS_CK0	R/W	0h	CLK0 的旁路 ULPS
4-0	BYPASS_LP	R/W	0h	clk 和数据通道 3、2、1、0 上的旁路 Lp

8.6.2.8 HSRX_TO_CNT 寄存器（偏移 = 0x8）[复位 = 0h]

在表 8-130 中描述了 HSRX_TO_CNT 。

返回到表 8-121。

表 8-130. HSRX_TO_CNT 寄存器字段说明

位	字段	类型	复位	说明
7-0	HSRX_TO_CNT	R/W	0h	超时计数器，单位为 ms 。计时器的量程为 1ms 示例：如果 HSRX_TO_CNT = 1，则超时将发生在 0-1ms，如果 HSRX_TO_CNT = 255，则超时将发生在 254-255ms 之间。如果寄存器值为 0，则超时将关闭。

8.6.2.9 DPHY_STATUS 寄存器（偏移 = 0xF）[复位 = 0h]

在表 8-131 中描述了 DPHY_STATUS 。

返回到表 8-121。

表 8-131. DPHY_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6	LANE_SYNC_ERROR	R/ROC	0h	D-PHY 通道同步错误 该标志表示未在所有数据通道上同时检测到正确同步。每个启用的通道都希望在同一时间检测同步序列。如果未正确发生，将设置此标志。此外，可以读取 DPHY_SYNC_STS 寄存器以确定最近错误条件下的同步状态。
5	DPHY_LANE_ERROR	R	0h	检测到 D-PHY 通道错误 如果设置了该位，则一个或多个时钟或数据通道检测到错误。要确定错误，请读取 DPHY_DLANEx_ERR 和 DPHY_CLANE_ERR 寄存器。当通道错误寄存器被读取时，该标志将被清除。
4	C_LANE_ACTIVE	R	0h	时钟通道激活 0：时钟通道未激活 1：时钟通道激活

Copyright © 2022 Texas Instruments Incorporated

表 8-131. DPHY_STATUS 寄存器字段说明 (continued)

位	字段	类型	复位	说明
3-0	D_LANE_ACTIVE	R	0h	数据通道激活 对于每个数据通道，该寄存器会报告是否检测到该通道是处于活动状态。 0：数据通道未激活 1：数据通道处于活动状态

8.6.2.10 DPHY_DLANE0_ERR 寄存器（偏移 = 0x10）[复位 = 0h]

在表 8-132 中描述了 DPHY_DLANE0_ERR 。

返回到表 8-121。

表 8-132. DPHY_DLANE0_ERR 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	R	0h	保留
4	EOT_SYNC_ERROR_0	R/ROC	0h	传输同步结束错误 - 无法更正
3	SOT_ERROR_0	R/ROC	0h	SYNC 序列中的位错误 - 可更正
2	SOT_SYNC_ERROR_0	R/ROC	0h	SYNC 序列错误 - 不可更正
1	CNTRL_ERR_HSRQST_0	R/ROC	0h	HS 请求模式中的控制错误
0	HS_RX_TO_ERROR_0	R/ROC	0h	HS 传输超时错误

8.6.2.11 DPHY_DLANE1_ERR 寄存器（偏移 = 0x11）[复位 = 0h]

在表 8-133 中描述了 DPHY_DLANE1_ERR 。

返回到表 8-121。

表 8-133. DPHY_DLANE1_ERR 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	R	0h	保留
4	EOT_SYNC_ERROR_1	R/ROC	0h	传输同步结束错误 - 无法更正
3	SOT_ERROR_1	R/ROC	0h	SYNC 序列中的位错误 - 可更正
2	SOT_SYNC_ERROR_1	R/ROC	0h	SYNC 序列错误 - 不可更正
1	CNTRL_ERR_HSRQST_1	R/ROC	0h	HS 请求模式中的控制错误
0	HS_RX_TO_ERROR_1	R/ROC	0h	HS 传输超时错误

8.6.2.12 DPHY_DLANE2_ERR 寄存器（偏移 = 0x12）[复位 = 0h]

在表 8-134 中描述了 DPHY_DLANE2_ERR 。

返回到表 8-121。

表 8-134. DPHY_DLANE2_ERR 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	R	0h	保留
4	EOT_SYNC_ERROR_2	R/ROC	0h	传输同步结束错误 - 无法更正
3	SOT_ERROR_2	R/ROC	0h	SYNC 序列中的位错误 - 可更正
2	SOT_SYNC_ERROR_2	R/ROC	0h	SYNC 序列错误 - 不可更正
1	CNTRL_ERR_HSRQST_2	R/ROC	0h	HS 请求模式中的控制错误

Copyright © 2022 Texas Instruments Incorporated

表 8-134. DPHY_DLANE2_ERR 寄存器字段说明 (continued)

位	字段	类型	复位	说明
0	HS_RX_TO_ERROR_2	R/ROC	0h	HS 传输超时错误

8.6.2.13 DPHY_DLANE3_ERR 寄存器（偏移 = 0x13）[复位 = 0h]

在表 8-135 中描述了 DPHY_DLANE3_ERR 。

返回到表 8-121。

表 8-135. DPHY_DLANE3_ERR 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	R	0h	保留
4	EOT_SYNC_ERROR_3	R/ROC	0h	传输同步结束错误 - 无法更正
3	SOT_ERROR_3	R/ROC	0h	SYNC 序列中的位错误 - 可更正
2	SOT_SYNC_ERROR_3	R/ROC	0h	SYNC 序列错误 - 不可更正
1	CNTRL_ERR_HSRQST_3	R/ROC	0h	HS 请求模式中的控制错误
0	HS_RX_TO_ERROR_3	R/ROC	0h	HS 传输超时错误

8.6.2.14 DPHY_ERR_CLK_LANE 寄存器（偏移 = 0x14）[复位 = 0h]

在表 8-136 中描述了 DPHY_ERR_CLK_LANE 。

返回到表 8-121。

表 8-136. DPHY_ERR_CLK_LANE 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R	0h	保留
3	CNTRL_ERR_ULPRQST_CLK	R/ROC	0h	ULP 请求模式中的控制错误
2	CNTRL_ERR_HSRQST_CLK	R/ROC	0h	HS 请求模式中的控制错误
1	ULPS_INVALID_ERR_CLK	R/ROC	0h	在 ULP 模式下检测到无效 ULP 状态
0	HS_RX_TO_ERROR_CLK	R/ROC	0h	HS 传输超时错误

8.6.2.15 DPHY_SYNC_STS 寄存器（偏移 = 0x15）[复位 = 0h]

在表 8-137 中描述了 DPHY_SYNC_STS 。

返回到表 8-121。

表 8-137. DPHY_SYNC_STS 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R	0h	保留
3	DLANE3_SYNC_STS	R	0h	DLANE 3 的同步状态 在最近的同步错误期间报告数据通道 3 的同步状态
2	DLANE2_SYNC_STS	R	0h	DLANE 2 的同步状态 在最近的同步错误期间报告数据通道 3 的同步状态
1	DLANE1_SYNC_STS	R	0h	DLANE 1 的同步状态 在最近的同步错误期间报告数据通道 3 的同步状态

Copyright © 2022 Texas Instruments Incorporated

表 8-137. DPHY_SYNC_STS 寄存器字段说明 (continued)

位	字段	类型	复位	说明
0	DLANE0_SYNC_STS	R	0h	DLANE 0 的同步状态 在最近的同步错误期间报告数据通道 3 的同步状态

8.6.2.16 DSI_CONFIG_0 寄存器（偏移 = 0x20）[复位 = 7Fh]

在表 8-138 中描述了 DSI_CONFIG_0 。

返回到表 8-121。

表 8-138. DSI_CONFIG_0 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6	DSI_TRY_RECOVERY	R/W	1h	DSI 尝试恢复 如果设置为 1，DSI 协议模块将尝试从错误条件中恢复。
5	DSI_IGNORE_HS_CMD	R/W	1h	忽略 DSI HS 命令 0：处理 HS 命令 1：忽略 HS 命令
4	DSI_SYNC_PULSES	R/W	1h	控制对同步脉冲的生成 0：不重新生成原始 VS/HS 时序 1：重新生成原始 VS/HS 时序
3-0	DSI_VC_ENABLE	R/W	Fh	启用 VC-ID 这四位字段中的每一位都启用四个虚拟通道 ID 中的一个。如果接收到的数据包没有预期的 VC-ID，则会报告错误。为了在 DSI_ERR_DET 位中报告错误，还必须设置 DSI_INV_VC_ERR_EN 位。这些控件不会过滤掉带有无效 VC-ID 的数据包。

8.6.2.17 DSI_CONFIG_1 寄存器（偏移 = 0x21）[复位 = 0h]

在表 8-139 中描述了 DSI_CONFIG_1 。

返回到表 8-121。

表 8-139. DSI_CONFIG_1 寄存器字段说明

位	字段	类型	复位	说明
7	DSI_NO_GRAYSCALE	R/W	0h	禁用灰度插值 对于小于 24 位的 DSI RGB 数据类型，转换为 RGB888 会基于其他未使用最低有效子像素位复制最高有效子像素位，以实现更高的灰度范围。 0：启用灰度插值 1：禁用灰度插值
6	DSI_VS_POLARITY	R/W	0h	DSI VS 极性控制 0：VS 信号为有效高电平 1：VS 信号为有效低电平
5	DSI_HS_POLARITY	R/W	0h	DSI HS 极性控制 0：HS 信号为有效高电平 1：HS 信号为有效低电平
4	DSI_HOLD_ERR	R/W	0h	Hold Error 如果设置为 1，将在 dsi_err 状态指示（而非脉冲）上指示锁存错误条件。
3	DSI_NULL_CRC_DIS	R/W	0h	NULL 和 BLANK 长数据包的错误报告
2	保留	R/W	0h	保留
1	DSI_NO_FILTER	R/W	0h	禁用数据包字数过滤器

Copyright © 2022 Texas Instruments Incorporated

表 8-139. DSI_CONFIG_1 寄存器字段说明 (continued)

位	字段	类型	复位	说明
0	DSI_NO_EOTPKT	R/W	0h	无 EOT 数据包模式 如果设置为 0，当传输结束而没有 EOT 数据包时，器件将指示错误。 如果设置为 0，则不会指示错误。在 DSI_STATUS 寄存器的 DSI_EOT_ERR 位中指示错误。

8.6.2.18 DSI_ERR_CFG_0 寄存器（偏移 = 0x22）[复位 = FFh]

DSI_ERR_CFG_0 在表 8-140 中描述了 DSI_ERR_CFG_0 。

返回到表 8-121。

表 8-140. DSI_ERR_CFG_0 寄存器字段说明

位	字段	类型	复位	说明
7	DSI_ECC1_ERR_EN	R/W	1h	在 dsi_err 状态下启用 Single-bit ECC 错误
6	DSI_CONT_LP1_ERR_EN	R/W	1h	在 dsi_err 状态下启用 LP-1 争用错误
5	DSI_CONT_LP0_ERR_EN	R/W	1h	在 dsi_err 状态下启用 LP-0 争用错误
4	DSI_LP_SYNC_ERR_EN	R/W	1h	在 dsi_err 状态下启用 LP 同步错误
3	DSI_HSRX_TO_ERR_EN	R/W	1h	在 dsi_err 状态下启用 HS 接收超时错误
2	DSI_ESC_ENTRY_ERR_EN	R/W	1h	在 dsi_err 状态下启用 escape Entry 错误
1	DSI_SOT_SYNC_ERR_EN	R/W	1h	在 dsi_err 状态下启用 SOT 同步错误
0	DSI_SOT_ERR_EN	R/W	1h	在 dsi_err 状态下启用 SOT 错误

8.6.2.19 DSI_ERR_CFG_1 寄存器（偏移 = 0x23）[复位 = 7Fh]

在表 8-141 中描述了 DSI_ERR_CFG_1 。

返回到表 8-121。

表 8-141. DSI_ERR_CFG_1 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6	DSI_EOT_SYNC_ERR_EN	R/W	1h	在 dsi_err 状态下启用 EOT 同步错误
5	DSI_PROT_ERR_EN	R/W	1h	在 dsi_err 状态下启用 DSI 协议错误
4	DSI_INV_LEN_ERR_EN	R/W	1h	在 dsi_err 状态下启用无效长度错误
3	DSI_INV_VC_ERR_EN	R/W	1h	在 dsi_err 状态下启用无效 VC 错误
2	DSI_INV_DT_ERR_EN	R/W	1h	在 dsi_err 状态下启用无效 DT 错误
1	DSI_CHKSUM_ERR_EN	R/W	1h	在 dsi_err 状态下启用 16 位 CRC 校验和错误
0	DSI_ECC2_ERR_EN	R/W	1h	在 dsi_err 状态下启用多位 ECC 错误

Copyright © 2022 Texas Instruments Incorporated

8.6.2.20 DSI_STATUS 寄存器（偏移 = 0x28）[复位 = 0h]

在表 8-142 中描述了 DSI_STATUS 。

返回到表 8-121。

表 8-142. DSI_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6	DSI_FIFO_OVERFLOW	R/ROC	0h	DSI 至 FPD-Link III FIFO 溢出 当为 1 时，该位表示在 DSI 和 FPD-Link III 域之间的视频数据传输中发生了一个或多个 FIFO 溢出错误。除非出现另一个溢出，否则该位在读取时被清除。
5	DSI_FIFO_UNDERFLOW	R/ROC	0h	
4	DSI_FPD3_ERR	R/ROC	0h	DSI 至 FPD-Link III 缓冲区错误 该标志表示 DSI 协议逻辑和 FPD-Link III 发送器之间发生了缓冲区溢出。该标志将在读取时被清除。
3	DSI_CMD_OVER	R/ROC	0h	DSI 命令 FIFO 溢出 如果 DSI 命令 FIFO 溢出，该位将被设置。该标志将在读取时被清除。因为没有实现命令模式，故不支持这一点。
2	DSI_EOT_ERR	R/ROC	0h	检测到 DSI EOT 错误 如果位置该位，则在没有 EOT 数据包的情况下检测到 DSI 传输结束 (EOT)。 该位只会在 DSI_NO_EOTPKT 设置为 0 时设置。该标志将在读取时被清除。
1	DSI_READ_WOUT_BTA	R/ROC	0h	DSI 读取而无总线转弯 (BTA) 如果设置该位，则检测到 DSI 读取，但没有总线转弯。该标志将在读取时被清除。因为没有实现命令模式，故不支持这一点。
0	DSI_ERROR_DET	R/ROC	0h	检测到 DSI 错误 如果设置了该位，则检测到一个或多个 DSI 错误。可导致 DSI 错误的错误条件是通过 DSI_ERR_CFG_0/1 寄存器配置的。该标志将在读取时被清除。DSI 错误事件的数量可以从 DSI_ERR_COUNT 寄存器中读取。

8.6.2.21 DSI_ERR_COUNT 寄存器（偏移 = 0x29）[复位 = 0h]

在节 8.6.2.22 中描述了 DSI_ERR_COUNT 。

返回到表 8-121。

表 8-143. DSI_ERR_COUNT 寄存器字段说明

位	字段	类型	复位	说明
7-0	DSI_ERROR_COUNT	R/W/RC	0h	DSI 错误计数 该寄存器会报告已检测到的 DSI 错误数。该值将在读取时被清除。DSI 错误计数器仅用于诊断目的，可能不是对检测到的错误数量的准确计数。为了准确读取错误计数，请在读取计数器之前通过清除 DSI_ERR_CFG_0/1 寄存器来禁用错误计数。

8.6.2.22 DSI_VC_DTYPE 寄存器（偏移 = 0x2A）[复位 = 0h]

在表 8-144 中描述了 DSI_VC_DTYPE 。

返回到表 8-121。

Copyright © 2022 Texas Instruments Incorporated

表 8-144. DSI_VC_DTYPE 寄存器字段说明

位	字段	类型	复位	说明
7-6	DSI_VC	R	0h	DSI 虚拟通道 ID 该字段返回最近接收到的像素流数据包的虚拟通道 ID。每当检测到 DTYPE 的低 4 位在 0xB 到 0xE 范围内的数据包头时， DSI 协议逻辑就会更新该字段。
5-0	DSI_DTYPE	R	0h	DSI 数据类型 该字段返回最近接收到的像素流数据包的数据类型。每当检测到 DTYPE 的低 4 位在 0xB 到 0xE 范围内的数据包头时， DSI 协议逻辑就会更新该字段。

8.6.2.23 DSI_ERR_RPT_0 寄存器（偏移 = 0x2B）[复位 = 0h]

在表 8-145 中描述了 DSI_ERR_RPT_0 。

返回到表 8-121。

表 8-145. DSI_ERR_RPT_0 寄存器字段说明

位	字段	类型	复位	说明
7	DSI_PROT_ERR	R	0h	dsi_err 状态下的 DSI 协议错误
6	保留	R	0h	保留
5	DSI_INV_LEN_ERR	R	0h	dsi_err 状态下的无效长度错误
4	DSI_INV_VC_ERR	R	0h	dsi_err 状态下的无效 VC 错误
3	DSI_INV_DT_ERR	R	0h	dsi_err 状态下的无效 DT 错误
2	DSI_CHKSUM_ERR	R	0h	dsi_err 状态下的 16 位 CRC 校验和错误
1	DSI_ECC_MULTI_ERR	R	0h	dsi_err 状态下的多位 ECC 错误
0	DSI_ECC_SINGLE_ERR	R	0h	dsi_err 状态下的 Single-bit ECC 错误

8.6.2.24 DSI_ERR_RPT_1 寄存器（偏移 = 0x2C）[复位 = 0h]

在表 8-146 中描述了 DSI_ERR_RPT_1 。

返回到表 8-121。

表 8-146. DSI_ERR_RPT_1 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6	DSI_CTRL_ERR	R	0h	dsi_err 状态下的 EOT 同步错误
5	DSI_HSRX_TO_ERR	R	0h	dsi_err 状态下的 HS 接收超时错误
4	DSI_LP_SYNC_ERR	R	0h	dsi_err 状态下的 LP 同步错误
3	DSI_ESC_ENTRY_ERR	R	0h	dsi_err 状态下的 escape Entry 错误
2	DSI_EOT_SYNC_ERR	R	0h	dsi_err 状态下的 EOT 同步错误
1	DSI_SOT_SYNC_ERR	R	0h	dsi_err 状态下的 SOT 同步错误
0	DSI_SOT_ERR	R	0h	dsi_err 状态下的 SOT 错误

8.6.2.25 DSI_ERR_RPT_2 寄存器（偏移 = 0x2D）[复位 = 0h]

在表 8-147 中描述了 DSI_ERR_RPT_2 。

返回到表 8-121。

Copyright © 2022 Texas Instruments Incorporated

表 8-147. DSI_ERR_RPT_2 寄存器字段说明

位	字段	类型	复位	说明
7-3	保留	R	0h	保留
2	CMD_FIFO_ OVERFLOW_ERR	R	0h	命令 FIFO 溢出错误
1	EOT_WITHOUT_ EOT_PKT_ERR	R	0h	EOT，无 EOT 数据包错误
0	READ_WITHOUT_ BTA_ERR	R	0h	读取，无位转弯错误

8.6.2.26 DSI_HSW_CFG_HI 寄存器（偏移 = 0x30）[复位 = 0h]

在表 8-148 中描述了 DSI_HSW_CFG_HI 。

返回到表 8-121。

表 8-148. DSI_HSW_CFG_HI 寄存器字段说明

位	字段	类型	复位	说明
7-2	保留	R	0h	保留
1-0	DSI_HSYNC_WIDTH_HI	R/W	0h	Hsync 脉冲宽度 启用 DSI 同步事件时 (DSI_CONFIG_0:DSI_SYNC_PULSES = 0)，该字段会配置生成的 Hsync 脉冲的宽度，单位为像素时钟。此寄存器包含 DSI_HSYNC_WIDTH 的第 9:8 位

8.6.2.27 DSI_HSW_CFG_LO 寄存器（偏移 = 0x31）[复位 = 20h]

在表 8-149 中描述了 DSI_HSW_CFG_LO 。

返回到表 8-121。

表 8-149. DSI_HSW_CFG_LO 寄存器字段说明

位	字段	类型	复位	说明
7-0	DSI_HSYNC_WIDTH_LO	R/W	20h	Hsync 脉冲宽度 启用 DSI 同步事件时 (DSI_CONFIG_0:DSI_SYNC_PULSES = 0)，该字段会配置生成的 Hsync 脉冲的宽度，单位为像素时钟。此寄存器包含 DSI_HSYNC_WIDTH 的第 7:0 位

8.6.2.28 DSI_VSW_CFG_HI 寄存器（偏移 = 0x32）[复位 = 0h]

在表 8-150 中描述了 DSI_VSW_CFG_HI 。

返回到表 8-121。

表 8-150. DSI_VSW_CFG_HI 寄存器字段说明

位	字段	类型	复位	说明
7-2	保留	R	0h	保留
1-0	DSI_VSYNC_WIDTH_HI	R/W	0h	Vsync 脉冲宽度 启用 DSI 同步事件时 (DSI_CONFIG_0:DSI_SYNC_PULSES = 0)，该字段会配置生成的 Vsync 脉冲的宽度，单位为行（即 Hsync 脉冲数）。此寄存器包含 DSI_VSYNC_WIDTH 的第 9:8 位

8.6.2.29 DSI_VSW_CFG_LO 寄存器（偏移 = 0x33）[复位 = 4h]

在表 8-151 中描述了 DSI_VSW_CFG_LO 。

Copyright © 2022 Texas Instruments Incorporated

返回到表 8-121。

表 8-151. DSI_VSW_CFG_LO 寄存器字段说明

位	字段	类型	复位	说明
7-0	DSI_VSYNC_WIDTH_LO	R/W	4h	Vsync 脉冲宽度 启用 DSI 同步事件时 (DSI_CONFIG_0:DSI_SYNC_PULSES = 0)，该字段会配置生成的 Vsync 脉冲的宽度，单位为行（即 Hsync 脉冲数）。此寄存器包含 DSI_VSYNC_WIDTH 的第 7:0 位

8.6.2.30 DSI_SYNC_DLY_CFG_HI 寄存器（偏移 = 0x34）[复位 = 0h]

在表 8-152 中描述了 DSI_SYNC_DLY_CFG_HI 。

返回到表 8-121。

表 8-152. DSI_SYNC_DLY_CFG_HI 寄存器字段说明

位	字段	类型	复位	说明
7-2	保留	R	0h	保留
1-0	DSI_SYNC_DELAY_HI	R/W	0h	同步延时 此 10 位字段用于配置延迟（以像素时钟为单位），从 DSI 协议逻辑中的 Hsync 或 Vsync 检测到 DSI 至 FPD-Link III FIFO 的输出，并因此设置域之间的 FIFO 的深度。 该寄存器包含 DSI_SYNC_DELAY 的第 9:8 位。DSI_SYNC_DELAY 的最大值为 766 (0x2FE)

8.6.2.31 DSI_SYNC_DLY_CFG_LO 寄存器（偏移 = 0x35）[复位 = 20h]

在表 8-153 中描述了 DSI_SYNC_DLY_CFG_LO 。

返回到表 8-121。

表 8-153. DSI_SYNC_DLY_CFG_LO 寄存器字段说明

位	字段	类型	复位	说明
7-0	DSI_SYNC_DELAY_LO	R/W	20h	同步延时 此 10 位字段用于配置延迟（以像素时钟为单位），从 DSI 协议逻辑中的 Hsync 或 Vsync 检测到 DSI 至 FPD-Link III FIFO 的输出，并因此设置域之间的 FIFO 的深度。 该寄存器包含 DSI_SYNC_DELAY 的第 7:0 位。DSI_SYNC_DELAY 的最大值为 766 (0x2FE)

8.6.2.32 DSI_EN_HSRX 寄存器（偏移 = 0x36）[复位 = 0h]

在表 8-154 中描述了 DSI_EN_HSRX 。

返回到表 8-121。

表 8-154. DSI_EN_HSRX 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6	EN_HSRX_OV	R/W	0h	覆盖以启用 CSI RX HS 接收器
5	保留	R/W	0h	保留
4	EN_HSRX_CLK0	R/W	0h	Enable HSRX CLK0
3	EN_HSRX_D3	R/W	0h	Enable HSRX D3
2	EN_HSRX_D2	R/W	0h	Enable HSRX D2
1	EN_HSRX_D1	R/W	0h	启用 HSRX D1

Copyright © 2022 Texas Instruments Incorporated

表 8-154. DSI_EN_HSRX 寄存器字段说明 (continued)

位	字段	类型	复位	说明
0	EN_HSRX_D0	R/W	0h	Enable HSRX D0

8.6.2.33 DSI_EN_LPRX 寄存器（偏移 = 0x37）[复位 = 0h]

DSI_EN_LPRX 在表 8-155 中描述了 DSI_EN_LPRX 。

返回到表 8-121。

表 8-155. DSI_EN_LPRX 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6	EN_LPRX_OV	R/W	0h	覆盖 CSI LP 接收器
5	保留	R	0h	保留
4	EN_LPRX_CLK0	R/W	0h	启用 CLK0 的 LP 接收器
3	EN_LPRX_D3	R/W	0h	启用 D3 的 LP 接收器
2	EN_LPRX_D2	R/W	0h	启用 D2 的 LP 接收器
1	EN_LPRX_D1	R/W	0h	启用 D1 的 LP 接收器
0	EN_LPRX_D0	R/W	0h	启用 D0 的 LP 接收器

8.6.2.34 DSI_EN_RXTERM 寄存器（偏移 = 0x38）[复位 = 0h]

在表 8-156 中描述了 DSI_EN_RXTERM 。

返回到表 8-121。

表 8-156. DSI_EN_RXTERM 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留
6	EN_RXTERM_OV	R/W	0h	覆盖 CSI RX HS 端接
5	保留	R	0h	保留
4	EN_RXTERM_CLK0	R/W	0h	启用 CSI CLK0 的 RX 终端
3	EN_RXTERM_D3	R/W	0h	启用 CSI D3 的 RX 终端
2	EN_RXTERM_D2	R/W	0h	启用 CSI D2 的 RX 终端
1	EN_RXTERM_D1	R/W	0h	启用 CSI D1 的 RX 终端
0	EN_RXTERM_D0	R/W	0h	启用 CSI D1 的 RX 终端

8.6.2.35 DSI_PCLK_DIV_M 寄存器（偏移 = 0x3A）[复位 = X]

在表 8-157 中描述了 DSI_PCLK_DIV_M 。

返回到表 8-121。

表 8-157. DSI_PCLK_DIV_M 寄存器字段说明

位	字段	类型	复位	说明
7	EN_PCLK_DIV_OV	R/W	0h	启用对 DSI PCLK M/N 分频器的覆盖 当设置为 1 时，DSI_DIV_M 和 DSI_DIV_N 寄存器值将用于 M/N 分频器，以便从 DSI 时钟生成像素时钟。
6-5	保留	R	0h	保留

Copyright © 2022 Texas Instruments Incorporated

表 8-157. DSI_PCLK_DIV_M 寄存器字段说明 (continued)

位	字段	类型	复位	说明
4-0	DSI_DIV_M	R/W	X	DSI Pclk 分频器 M 值 该寄存器控制 M/N 分频器（用于从 DSI 输入时钟生成像素时钟）的 M 设置。通常，该值基于 DSI 通道数、每个像素的字节数和 DSI 输入模式（单对双）。 如果 EN_PCLK_DIV_OV 设置为 0，则该寄存器返回自动确定的 M/N 分频器的 M 设置。 如果 EN_PCLK_DIV_OV 设置为 1，则该寄存器值用作 M/N 分频器的 M 设置。

8.6.2.36 DSI_PCLK_DIV_N 寄存器（偏移 = 0x3B）[复位 = X]

在表 8-158 中描述了 DSI_PCLK_DIV_N 。

返回到表 8-121。

表 8-158. DSI_PCLK_DIV_N 寄存器字段说明

位	字段	类型	复位	说明
7-0	DSI_DIV_N	R/W	X	DSI Pclk 分频器 N 值 该寄存器控制 M/N 分频器（用于从 DSI 输入时钟生成像素时钟）的 N 设置。通常，M/N 设置基于 DSI 通道数、每个像素的字节数和 DSI 输入模式（单对双）。如果 EN_PCLK_DIV_OV 设置为 1，则使用 DSI_DIV_M 和 DSI_DIV_N 值。 如果 EN_PCLK_DIV_OV 设置为 0，则该寄存器返回自动确定的 M/N 分频器的 M 设置。 如果 EN_PCLK_DIV_OV 设置为 1，则该寄存器值用作 M/N 分频器的 M 设置。

Copyright © 2022 Texas Instruments Incorporated

8.6.3 模拟间接寄存器

模拟间接寄存器摘要列出了 DS90UB941AS-Q1 寄存器的存储器映射寄存器。所有未在模拟间接寄存器摘要中列出的寄存器偏移地址都应视为保留的存储单元，并且不应修改寄存器内容。

寄存器访问是通过间接访问寄存器（IND_ACC_CTL、IND_ACC_ADDR 和 IND_ACC_DATA）的间接访问机制提供的。这些寄存器位于主寄存器空间中的偏移地址 0x40-0x42 处。

间接地址机制涉及设置控制寄存器以选择所需的块，设置寄存器偏移地址，以及读取或写入数据寄存器。此外，控制寄存器中提供了自动递增功能，可以在每次读取或写入数据寄存器后自动递增偏移地址。

对于写入，其过程如下：

1. 写入 IND_ACC_CTL 寄存器以选择所需的寄存器块
   - 如需选择 DSI/D-PHY 模拟间接寄存器，请设置 0x40 = 0x10
   - 如需选择 FPD-Link III 模拟间接寄存器，请设置 0x40 = 0x14
2. 写入 IND_ACC_ADDR 寄存器以设置寄存器偏移
3. 向 IND_ACC_DATA 寄存器写入数据值

如果在 IND_ACC_CTL 寄存器中设置了自动递增，重复步骤 3 将向随后的寄存器偏移位置写入额外的数据字节

对于读取，其过程如下：

1. 写入 IND_ACC_CTL 寄存器以选择所需的寄存器块
   - 如需选择 DSI/D-PHY 模拟间接寄存器并从中读取，请设置 0x40 = 0x11
   - 如需选择 FPD-Link III 模拟间接寄存器并从中读取，请设置 0x40 = 0x15
2. 写入 IND_ACC_ADDR 寄存器以设置寄存器偏移
3. 从 IND_ACC_DATA 寄存器读取

如果在 IND_ACC_CTL 寄存器中设置了自动递增，重复步骤 3 会从后续寄存器偏移位置读取额外的数据字节。

表 8-159. 模拟间接寄存器摘要

偏移量	首字母缩写词	寄存器名称	段
0x86	DSI0_CLK_INVERSION		
0x94	DSI1_CLK_INVERSION		

寄存器访问类型代码显示了适用于此部分中访问类型的代码。

表 8-160. 寄存器访问类型代码

访问类型	代码	说明
R	R	只读访问
R/W	R/W	读取/写入访问

8.6.3.1 DSI0_CLK_INVERSION 寄存器（偏移 = 0x86）[复位 = 8h]

在 DSI0_CLK_INVERSION 寄存器字段说明中描述了 DSI_PLL_STATE_MC_CTL。

返回到汇总表。

表 8-161. DSI0_CLK_INVERSION 寄存器字段说明

位	字段	类型	复位	描述
7-2	保留	R/W	2h	保留
1	DSI0_CLK_INVERSION	R/W	0h	反相内部 DSI 采样时钟 0：同相采样时钟 1：反相采样时钟（正常工作） 注意：根据第 10.2 节中的上电和初始化序列，将该位设置为 1 ，用于所有应用。这与寄存器 0x2 中的时钟极性设置无关

Copyright © 2022 Texas Instruments Incorporated

表 8-161. DSI0_CLK_INVERSION 寄存器字段说明 (continued)

位	字段	类型	复位	描述
0	RESERVED	R/W	0h	保留

8.6.3.2 DSI1_CLK_INVERSION 寄存器（偏移 = 0x94）[复位 = 8h]

在 DSI0_CLK_INVERSION 寄存器字段说明中描述了 DSI_PLL_STATE_MC_CTL。

返回到汇总表。

表 8-162. DSI1_CLK_INVERSION 寄存器字段说明

位	字段	类型	复位	描述
7-2	保留	R/W	2h	保留
1	DSI1_CLK_INVERSION	R/W	0h	反相内部 DSI 采样时钟 0：同相采样时钟 1：反相采样时钟（正常工作） 注意：根据第 10.2 节中的上电和初始化序列，将该位设置为 1，用于所有应用。这与寄存器 0x2 中的时钟极性设置无关
0	保留	R/W	0h	保留

Copyright © 2022 Texas Instruments Incorporated

8.6.4 端口 0 和端口 1 图形发生器间接寄存器

表 8-163 汇总了 DS90UB941AS-Q1 图形发生器的存储器映射寄存器。表 8-163 中未列出的所有寄存器偏移地址都应视为保留的存储单元，并且不应修改寄存器内容。

寄存器访问是通过图形发生器间接访问寄存器（(PGIA 和 PGID）的间接访问机制提供的。这些寄存器位于主寄存器空间中的偏移地址 0x66 和 0x67 处。

间接地址机制涉及设置寄存器偏移地址，以及读取或写入数据寄存器。

对于写入，其过程如下：

1. 写入 TX_PORT_SEL 寄存器以选择所需的 FPD-Link III 端口
   - 要选择端口 0，请设置 TX_PORT_SEL (0x1E) 寄存器中的 PORT0_SEL 位（默认）
   - 要选择端口 1，请设置 TX_PORT_SEL (0x1E) 寄存器中的 PORT1_SEL 位
2. 写入 PGIA 寄存器以设置寄存器偏移
3. 向 PGID 寄存器写入数据值

对于读取，其过程如下：

1. 写入 TX_PORT_SEL 寄存器以选择所需的 FPD-Link III 端口
   - 要选择端口 0，请设置 TX_PORT_SEL (0x1E) 寄存器中的 PORT0_SEL 位（默认）
   - 要选择端口 1，请设置 TX_PORT_SEL (0x1E) 寄存器中的 PORT1_SEL 位
2. 写入 PGIA 寄存器以设置寄存器偏移
3. 从 PGID 寄存器读取

表 8-163. 图形发生器间接寄存器汇总

偏移	首字母缩写	寄存器名称	部分
0x0	PGRS		查找
0x1	PGGS		查找
0x2	PGBS		查找
0x3	PGCDC1		查找
0x4	PGTFS1		查找
0x5	PGTFS2		查找
0x6	PCTFS3		查找
0x7	PGAFS1		查找
0x8	PGAFS2		查找
0x9	PGAFS3		查找
0xA	PGHSW		查找
0xB	PGVSW		查找
0xC	PGHBP		查找
0xD	PGVBP		查找
0xE	PBSC		查找
0xF	PGFT		查找
0x10	PGTSC		查找
0x11	PGTSO1		查找
0x12	PGTSO2		查找
0x13	PGTSO3		查找
0x14	PGTSO4		查找
0x15	PGTSO5		查找
0x16	PGTSO6		查找
0x17	PGTSO7		查找
0x18	PGTSO8		查找

Copyright © 2022 Texas Instruments Incorporated

表 8-163. 图形发生器间接寄存器汇总 (continued)

偏移	首字母缩写	寄存器名称	部分
0x19	PGBE		查找
0x1A	PGCDC2		查找

表 8-164 显示了适用于此部分中访问类型的代码。

表 8-164. 寄存器访问类型代码

访问类型	代码	说明
R	R	只读访问
R/W	R/W	读取/写入访问
R/W/RC	R/W/RC	读取/写入访问/读取以清除

8.6.4.1 PGRS 寄存器（偏移 = 0x0）[复位 = 0h]

在表 8-165 中描述了 PGRS。

返回到汇总表。

表 8-165. PGRS 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_RSP	R/W	0h	红色子像素：该字段是自定义颜色的 8 位红色子像素

8.6.4.2 PGGS 寄存器（偏移 = 0x1）[复位 = 0h]

在表 8-166 中描述了 PGGS。

返回表 8-163。

表 8-166. PGGS 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_GSP	R/W	0h	绿色子像素：该字段是自定义颜色的 8 位绿色子像素

8.6.4.3 PGBS 寄存器（偏移 = 0x2）[复位 = 0h]

在表 8-167 中描述了 PGBS。

返回表 8-163。

表 8-167. PGBS 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_BSP	R/W	0h	蓝色子像素：该字段是自定义颜色的 8 位蓝色子像素

8.6.4.4 PGCDC1 寄存器（偏移 = 0x3）[复位 = 8h]

在表 8-168 中描述了 PGCDC1。

返回表 8-163。

表 8-168. PGCDC1 寄存器字段说明

位	字段	类型	复位	说明
7	保留	R	0h	保留

Copyright © 2022 Texas Instruments Incorporated

表 8-168. PGCDC1 寄存器字段说明 (continued)

位	字段	类型	复位	说明
6-0	PATGEN_CDIV_N	R/W	8h	时钟分频器： 该字段为内部生成的像素时钟配置时钟分频器。如果 PGCDC2:PGEN_CDIV_M 为 1，则内部像素时钟频率的标称值为（200/N）MHz。如果 PGCDC2:PGEN_CDIV_M 大于 1，则内部像素时钟频率的标称值为 (800*M/N) MHz。

8.6.4.5 PGTFS1 寄存器（偏移 = 0x4）[复位 = 48h]

在表 8-169 中描述了 PGTFS1。

返回表 8-163。

表 8-169. PGTFS1 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_THW_7:0	R/W	48h	总水平宽度： 该字段是帧的 12 位总水平宽度的 8 个最低有效位，单位为像素。只有在禁用图形发生器时，才应写入该字段。

8.6.4.6 PGTFS2 寄存器（偏移 = 0x5）[复位 = 53h]

在表 8-170 中描述了 PGTFS2。

返回表 8-163。

表 8-170. PGTFS2 寄存器字段说明

位	字段	类型	复位	说明
7-4	PATGEN_TVW_3:0	R/W	5h	总垂直宽度： 该字段是帧的 12 位总垂直宽度的 4 个最低有效位，单位为行。只有当禁用图形发生器时，才应写入该字段
3-0	PATGEN_THW_11:8	R/W	3h	总水平宽度： 该字段是帧的 12 位总水平宽度的 4 个最高有效位，单位为像素。只有当禁用图形发生器时，才应写入该字段。

8.6.4.7 PCTFS3 寄存器（偏移 = 0x6）[复位 = 1Eh]

在表 8-171 中描述了 PCTFS3。

返回表 8-163。

表 8-171. PCTFS3 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_TVW_11:4	R/W	1Eh	总垂直宽度： 该字段是帧的 12 位总垂直宽度的 8 个最高有效位，单位为行。只有当禁用图形发生器时，才应写入该字段

8.6.4.8 PGAFS1 寄存器（偏移 = 0x7）[复位 = 20h]

在表 8-172 中描述了 PGAFS1。

返回表 8-163。

Copyright © 2022 Texas Instruments Incorporated

表 8-172. PGAFS1 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_AHW_7:0	R/W	20h	有效水平宽度： 该字段是帧的 12 位活动水平宽度的 8 个最低有效位，单位为像素。只有当禁用图形发生器时，才应写入该字段。

8.6.4.9 PGAFS2 寄存器（偏移 = 0x8）[复位 = 3h]

在表 8-173 中描述了 PGAFS2。

返回表 8-163。

表 8-173. PGAFS2 寄存器字段说明

位	字段	类型	复位	说明
7-4	PATGEN_AVW_3:0	R/W	0h	有效垂直宽度： 该字段是帧的 12 位活动垂直宽度的 4 个最低有效位，单位为行。只有当禁用图形发生器时，才应写入该字段。
3-0	PATGEN_AHW_11:8	R/W	3h	有效水平宽度： 该字段是帧的 12 位活动水平宽度的 4 个最高有效位，单位为像素。只有当禁用图形发生器时，才应写入该字段。

8.6.4.10 PGAFS3 寄存器（偏移 = 0x9）[复位 = 1Eh]

在表 8-174 中描述了 PGAFS3。

返回表 8-163。

表 8-174. PGAFS3 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_AVW_11:4	R/W	1Eh	有效垂直宽度： 该字段是帧的 12 位活动垂直宽度的 8 个最高有效位，单位为行。只有当禁用图形发生器时，才应写入该字段。

8.6.4.11 PGHSW 寄存器（偏移 = 0xA）[复位 = Ah]

在表 8-175 中描述了 PGHSW。

返回表 8-163。

表 8-175. PGHSW 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_HSW	R/W	Ah	水平同步宽度： 该字段可控制水平同步脉冲的宽度，单位为像素。有效值为 1-255。只有当禁用图形发生器时，才应写入该字段。

8.6.4.12 PGVSW 寄存器（偏移 = 0xB）[复位 = 2h]

在表 8-176 中描述了 PGVSW。

返回表 8-163。

Copyright © 2022 Texas Instruments Incorporated

表 8-176. PGVSW 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_VSW	R/W	2h	垂直同步宽度： 该字段可控制垂直同步脉冲的宽度，单位为行。有效值为 1-255。只有当禁用图形发生器时，才应写入该字段。

8.6.4.13 PGHBP 寄存器（偏移 = 0xC）[复位 = Ah]

在表 8-177 中描述了 PGHBP。

返回表 8-163。

表 8-177. PGHBP 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_HBP	R/W	Ah	水平后沿宽度： 该字段可控制水平后沿的宽度，单位为像素。有效值为 1-255。只有当禁用图形发生器时，才应写入该字段。

8.6.4.14 PGVBP 寄存器（偏移 = 0xD）[复位 = 2h]

在表 8-178 中描述了 PGVBP。

返回表 8-163。

表 8-178. PGVBP 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_VBP	R/W	2h	垂直后沿宽度： 该字段可控制垂直后沿的宽度，单位为行。有效值为 1-255。只有当禁用图形发生器时，才应写入该字段。

8.6.4.15 PBSC 寄存器（偏移 = 0xE）[复位 = 3h]

在表 8-179 中描述了 PBSC。

返回表 8-163。

表 8-179. PBSC 寄存器字段说明

位	字段	类型	复位	说明
7-4	保留	R	0h	保留
3	保留	R	0h	保留
2	PATGEN_HS_DIS	R/W	0h	水平同步禁用： 当图形发生器处于内部时序模式时，禁用水平同步信号。当图形发生器处于外部时序模式时，该位无效。只有当禁用图形发生器时，才应写入该位。
1	PATGEN_VS_POL	R/W	1h	垂直同步极性： 如果为 1，图形发生器将在处于内部时序模式时反转垂直同步信号。当图形发生器处于外部时序模式时，该位无效。只有当禁用图形发生器时，才应写入该位。
0	PATGEN_HS_POL	R/W	1h	水平同步极性： 如果为 1，图形发生器将在处于内部时序模式时反转水平同步信号。当图形发生器处于外部时序模式时，该位无效。只有当禁用图形发生器时，才应写入该位

Copyright © 2022 Texas Instruments Incorporated

8.6.4.16 PGFT 寄存器（偏移 = 0xF）[复位 = 1Eh]

在表 8-180 中描述了 PGFT。

返回表 8-163。

表 8-180. PGFT 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_FTIME	R/W	1Eh	帧时间： 启用自动滚动后，该字段以两帧为增量控制每个图形显示的帧数。有效的寄存器值为 1-255，给出了 2 和 510 之间（含 2 和 510）偶数的可编程范围。

8.6.4.17 PGTSC 寄存器（偏移 = 0x10）[复位 = Ch]

在表 8-181 中描述了 PGTSC。

返回表 8-163。

表 8-181. PGTSC 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	R	0h	保留
4-0	PATGEN_TSLOT	R/W	Ch	时隙： 该字段可配置为自动滚动启用的时隙数。有效值为 1-16

8.6.4.18 PGTSO1 寄存器（偏移 = 0x11）[复位 = 21h]

在表 8-182 中描述了 PGTSO1。

返回表 8-163。

表 8-182. PGTSO1 寄存器字段说明

位	字段	类型	复位	说明
7-4	PATGEN_TS2	R/W	2h	时隙 2 图形： 该字段可配置在时隙 2 中启用的图形。有效值为 0-15
3-0	PATGEN_TS1	R/W	1h	时隙 1 图形： 该字段可配置在时隙 1 中启用的图形。有效值为 0-15

8.6.4.19 PGTSO2 寄存器（偏移 = 0x12）[复位 = 43h]

在表 8-183 中描述了 PGTSO2。

返回表 8-163。

表 8-183. PGTSO2 寄存器字段说明

位	字段	类型	复位	说明
7-4	PATGEN_TS4	R/W	4h	时隙 4 图形： 该字段可配置在时隙 4 中启用的图形。有效值为 0-15
3-0	PATGEN_TS3	R/W	3h	时隙 3 图形： 该字段可配置在时隙 3 中启用的图形。有效值为 0-15

8.6.4.20 PGTSO3 寄存器（偏移 = 0x13）[复位 = 65h]

在表 8-184 中描述了 PGTSO3。

Copyright © 2022 Texas Instruments Incorporated

返回表 8-163。

表 8-184. PGTSO3 寄存器字段说明

位	字段	类型	复位	说明
7-4	PATGEN_TS6	R/W	6h	时隙 6 图形： 该字段可配置在时隙 6 中启用的图形。有效值为 0-15
3-0	PATGEN_TS5	R/W	5h	时隙 5 图形： 该字段可配置在时隙 5 中启用的图形。有效值为 0-15

8.6.4.21 PGTSO4 寄存器（偏移 = 0x14）[复位 = 87h]

在表 8-185 中描述了 PGTSO4。

返回表 8-163。

表 8-185. PGTSO4 寄存器字段说明

位	字段	类型	复位	说明
7-4	PATGEN_TS8	R/W	8h	时隙 8 图形： 该字段可配置在时隙 8 中启用的图形。有效值为 0-15
3-0	PATGEN_TS7	R/W	7h	时隙 7 图形： 该字段可配置在时隙 7 中启用的图形。有效值为 0-15

8.6.4.22 PGTSO5 寄存器（偏移 = 0x15）[复位 = A9h]

在表 8-186 中描述了 PGTSO5。

返回表 8-163。

表 8-186. PGTSO5 寄存器字段说明

位	字段	类型	复位	说明
7-4	PATGEN_TS10	R/W	Ah	时隙 10 图形： 该字段可配置在时隙 10 中启用的图形。有效值为 0-15
3-0	PATGEN_TS9	R/W	9h	时隙 9 图形： 该字段可配置在时隙 9 中启用的图形。有效值为 0-15

8.6.4.23 PGTSO6 寄存器（偏移 = 0x16）[复位 = CBh]

在表 8-187 中描述了 PGTSO6 。

返回表 8-163。

表 8-187. PGTSO6 寄存器字段说明

位	字段	类型	复位	说明
7-4	PATGEN_TS12	R/W	Ch	时隙 12 图形： 该字段可配置在时隙 12 中启用的图形。有效值为 0-15
3-0	PATGEN_TS11	R/W	Bh	时隙 11 图形： 该字段可配置在时隙 11 中启用的图形。有效值为 0-15

8.6.4.24 PGTSO7 寄存器（偏移 = 0x17）[复位 = EDh]

在表 8-188 中描述了 PGTSO7。

返回表 8-163。

Copyright © 2022 Texas Instruments Incorporated

表 8-188. PGTSO7 寄存器字段说明

位	字段	类型	复位	说明
7-4	PATGEN_TS14	R/W	Eh	时隙 14 图形： 该字段可配置在时隙 14 中启用的图形。有效值为 0-15
3-0	PATGEN_TS13	R/W	Dh	时隙 13 图形： 该字段可配置在时隙 13 中启用的图形。有效值为 0-15

8.6.4.25 PGTSO8 寄存器（偏移 = 0x18）[复位 = Fh]

在表 8-189 中描述了 PGTSO8。

返回表 8-163。

表 8-189. PGTSO8 寄存器字段说明

位	字段	类型	复位	说明
7-4	PATGEN_TS16	R/W	0h	时隙 16 图形： 该字段可配置在时隙 16 中启用的图形。有效值为 0-15
3-0	PATGEN_TS15	R/W	Fh	时隙 15 图形： 该字段可配置在时隙 15 中启用的图形。有效值为 0-15

8.6.4.26 PGBE 寄存器（偏移 = 0x19）[复位 = 0h]

在表 8-190 中描述了 PGBE。

返回表 8-163。

表 8-190. PGBE 寄存器字段说明

位	字段	类型	复位	说明
7-0	PATGEN_BIST_ERRS	R	0h	读取时被清零

8.6.4.27 PGCDC2 寄存器（偏移 = 0x1A）[复位 = 1h]

在表 8-191 中描述了 PGCDC2。

返回表 8-163。

表 8-191. PGCDC2 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	R	0h	保留
4-0	PATGEN_CDIV_M	R/W	1h	时钟分频器： 该字段为内部生成的像素时钟配置时钟分频器。如果 PGCDC2:PGEN_CDIV_M 为 1，则内部像素时钟频率的标称值为（200/N）MHz。如果 PGCDC2:PGEN_CDIV_M 大于 1，则内部像素时钟频率的标称值为 (800*M/N) MHz。

Copyright © 2022 Texas Instruments Incorporated

9 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

DS90UB941AS-Q1、DS90UB940N-Q1 或 DS90UB948-Q1 解串器结合使用，旨在连接主机（图形处理器）和显示器，支持 24 位色深 (RGB888) 和高清 (1080p) 数字视频格式。该解串器可以接收像素时钟频率高达 210MHz 的 8 位 RGB 流以及四个 I2S 音频流。DS90UB941AS-Q1 与 DS90UB940N-Q1 配对时可支持高达 170MHz 的像素时钟，与 DS90UB948-Q1 配对时可支持高达 192MHz 的像素时钟。

Copyright © 2022 Texas Instruments Incorporated

9.2 典型应用

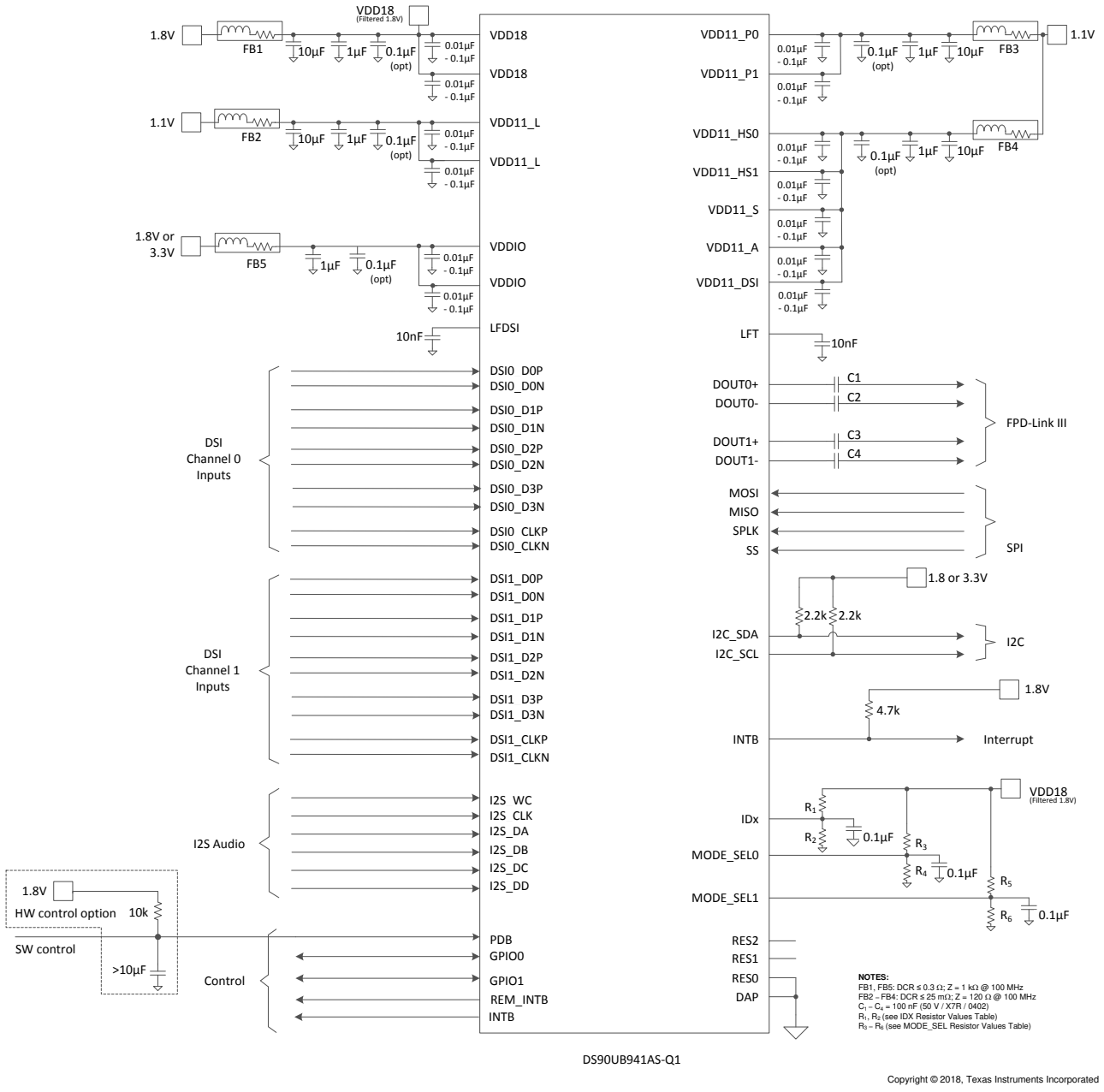


图 9-1. 典型连接图 - STP

Copyright © 2022 Texas Instruments Incorporated

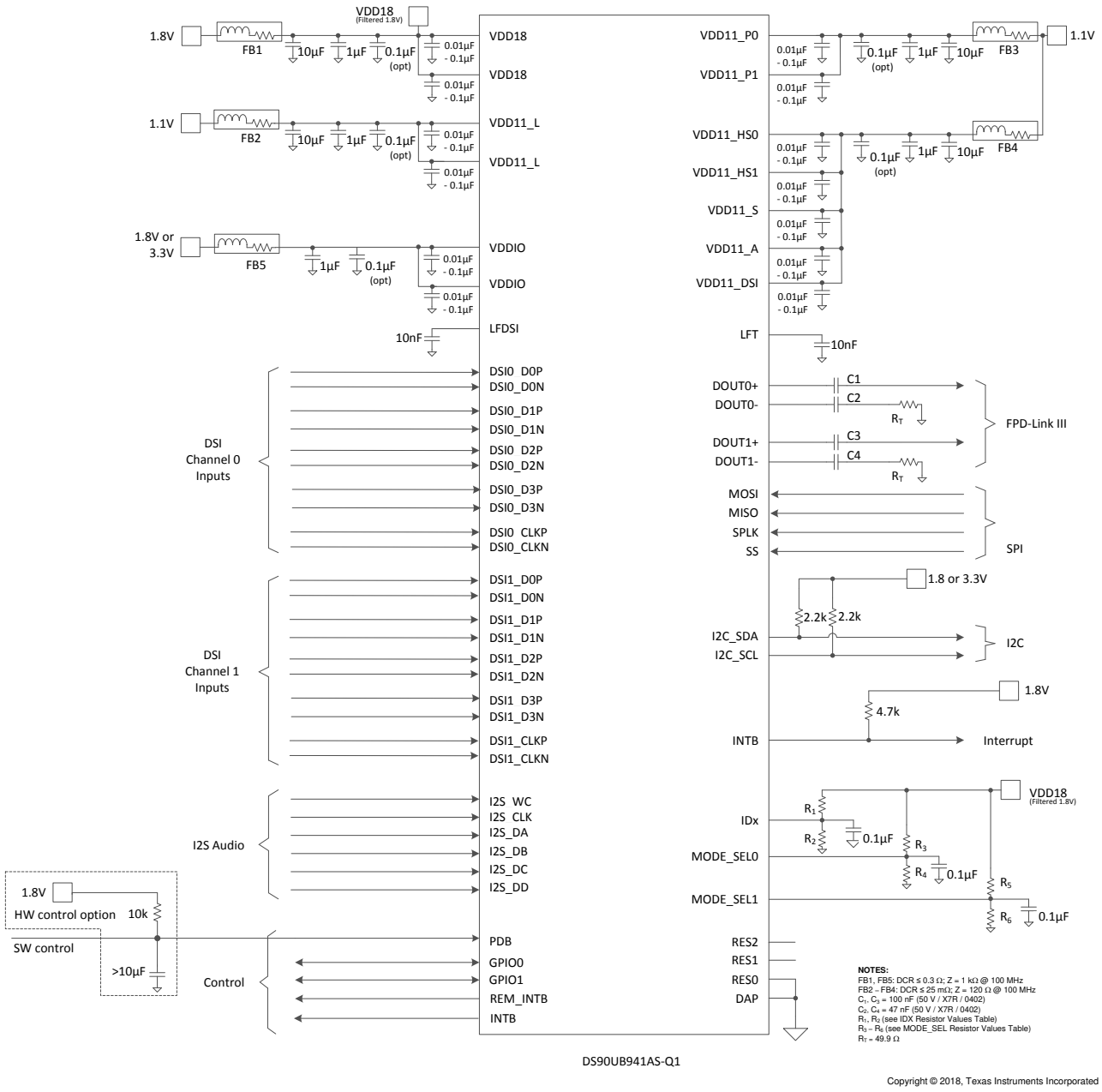


图 9-2. 典型连接图 - 同轴电缆

9.2.1 设计要求

FPD-Link III 接口通过集成的直流平衡解码方案仅支持交流耦合互连。 外部交流耦合电容器必须串联放置在 FPD-Link III 信号路径中，如图 9-3 和图 9-4 所示。

表 9-1. 设计参数

设计参数	示例值
VDDIO	1.8V
STP 的交流耦合电容器：DOUT0± 和 DOUT1±	100nF (50V / X7R / 0402)
同轴的交流耦合电容器：DOUT0+ 和 DOUT1+	100nF (50V / X7R / 0402)
同轴的交流耦合电容器：DOUT0- 和 DOUT1-	47nF (50V / X7R / 0402)

对于使用单端 50Ω 同轴电缆的应用，使用交流耦合电容器和 50Ω 电阻端接未使用的数据引脚（DOUT0-、DOUT1-）。

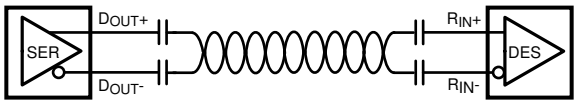


图 9-3. 交流耦合连接 (STP)

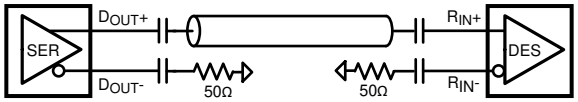


图 9-4. 交流耦合连接（同轴）

对于高速 FPD-Link III 传输，交流耦合电容器应使用最小的可用封装。这将有助于尽可能减少由于封装寄生引起的信号质量下降。

9.2.2 详细设计过程

9.2.2.1 高速互连指南

有关完整详细信息，请参阅 *AN-1108 通道链路 PCB 和互连设计指南* (SNLA008) 和 *AN-905 传输线路 RAPIDESIGNER 操作和应用指南* (SNLA035)。

- 使用 100Ω 耦合差分对
- 在间距中使用 S/2S/3S 规则
  - S = 对之间的时间间隔
  - 2S = 对之间的时间间隔
  - 3S = LVCMOS 信号的间隔
- 尽可能减少通路数量
- 在 500Mbps 线速以上运行时使用差分连接器
- 保持布线的平衡
- 尽可能减小对内的偏斜
- 尽可能靠近 TX 输出和 RX 输入端接

可在 ti.com 上的 *LVDS 用户手册* (SNLA187) 中找到其他通用指导。

Copyright © 2022 Texas Instruments Incorporated

9.2.3 应用曲线

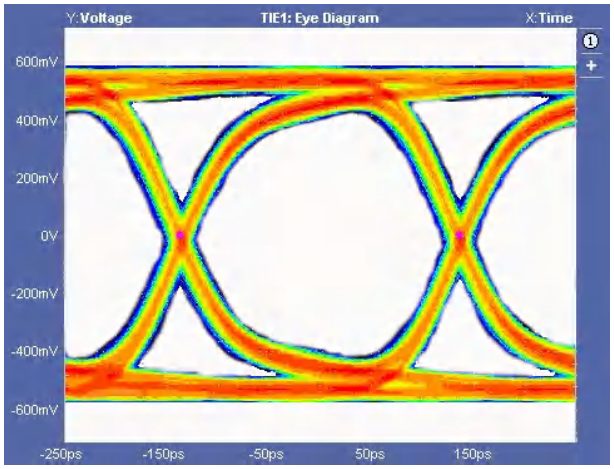


图 9-5. 3.675Gbps 时的串行器输出，双链路 FPD-Link 210Mhz PCLK

10 电源相关建议

此器件为电路的不同部分提供单独的电源和接地引脚。这样做是为了隔离电路不同部分之间的开关噪声效应。通常不需要在 PCB 上有单独的平面。节 引脚功能 部分提供了有关哪些电路块连接到哪些电源引脚的指导。在某些情况下，可以使用外部滤波器为 PLL 等敏感电路提供清洁电源。

10.1 VDD 电源

每个 VDD 电源引脚必须有一个 10nF（或 100nF）电容接地，尽可能靠近 DS90UB941AS-Q1 DS90UB941AS-Q1 器件。TI 建议使用额外的去耦电容（1μF 和 10μF）并将引脚连接到一个坚固的电源平面。

10.2 上电和初始化

有两种推荐的上电顺序可用于 DS90UB941AS-Q1。

序列 A：

1. 应用 V_{DDIO} 和 V_{DD18}
   - 如果选择 1.8V V_{DDIO} 选项，则需要使用同一电源为 V_{DDIO} 和 V_{DD18} 供电。
   - 如果选择 3.3V V_{DDIO} 选项， V_{DDIO} 可以在 V_{DD18} 之前或之后上电。
2. V_{DD11}
3. 一直等到所有电源都稳定
4. 应用像素时钟（DSI 时钟或 REFCLK）
5. 等待像素时钟稳定在目标频率的 0.5% 以内
6. 置位 PDB
7. 应用 DSI 输入
8. 初始化器件

请参阅图 10-2。

图 10-2 中所示的初始化序列 941AS Init 由任何用户定义的器件配置和以下内容组成：

1. 如果器件在启用 DSI 输入（MODE_SEL1 strap 配置选项）的情况下上电，则通过在 RESET_CTL 寄存器中设置 DISABLE_DSI 0x01[3]=1 来禁用 DSI 输入。
2. 在此处插入任何用户定义的器件配置。
3. 根据工作的 DSI 时钟频率设置 DSI 间接寄存器 0x05 中的 TSKIP_CNT 字段。有关更多信息，请参阅 *节 8.3.1.2*。
4. 初始化内部 DSI 时钟设置：
   - 寄存器 0x40 = 0x10
   - 寄存器 0x41 = 0x86
   - 寄存器 0x42 = 0x0A
   - 寄存器 0x41 = 0x94
   - 寄存器 0x42 = 0x0A
5. 通过在 RESET_CTL 寄存器中设置 DISABLE_DSI 0x01[3]=0 来启用 DSI 输入。

序列 B：

1. 应用 V_{DDIO} 和 V_{DD18}
   - 如果选择 1.8V V_{DDIO} 选项，则需要使用同一电源为 V_{DDIO} 和 V_{DD18} 供电。
   - 如果选择 3.3V V_{DDIO} 选项， V_{DDIO} 可以在 V_{DD18} 之前或之后上电。
2. V_{DD11}
3. 一直等到所有电源都稳定
4. 置位 PDB
5. 应用像素时钟（DSI 时钟或 REFCLK）
6. 应用 DSI 输入

Copyright © 2022 Texas Instruments Incorporated

7. 等待像素时钟稳定在目标频率的 0.5% 以内
8. 初始化器件

请参阅图 10-3。

图 10-2 中所示的初始化序列 941AS Init 由任何用户定义的器件配置和以下内容组成：

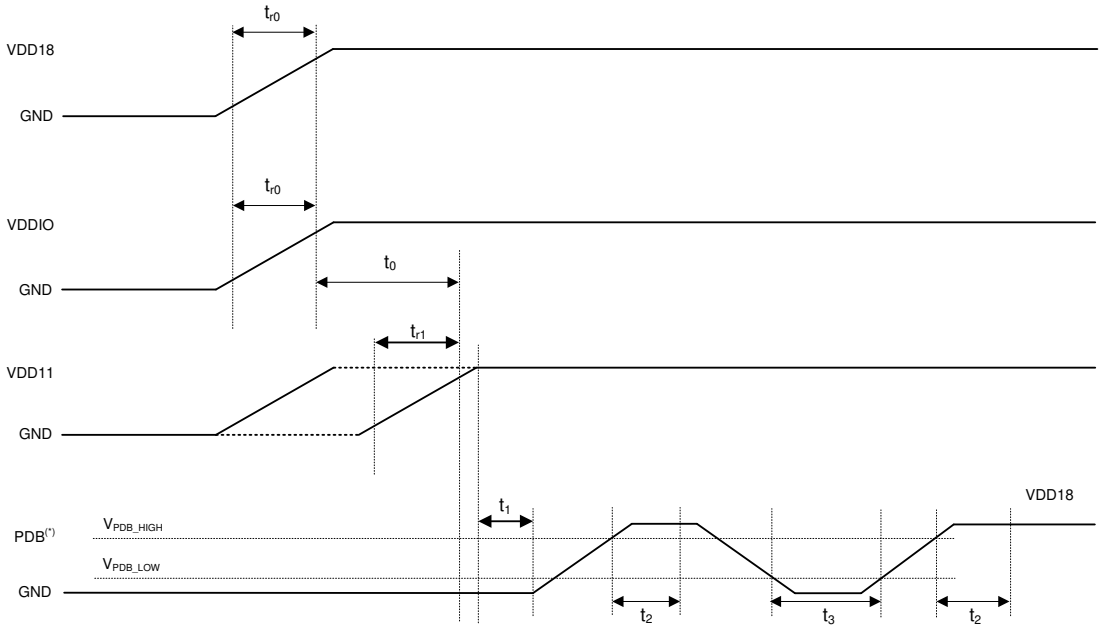
1. 通过在 RESET_CTL 寄存器中设置 DIGITAL_RESET1 0x01[1]=1 来复位器件。
2. 如果器件在启用 DSI 输入（MODE_SEL1 strap 配置选项）的情况下上电，则通过在 RESET_CTL 寄存器中设置 DISABLE_DSI 0x01[3]=1 来禁用 DSI 输入。
3. 在此处插入任何用户定义的器件配置。
4. 根据工作的 DSI 时钟频率设置 DSI 间接寄存器 0x05 中的 TSKIP_CNT 字段。有关更多信息，请参阅 *节 8.3.1.2*。
5. 初始化内部 DSI 时钟设置：
   - 寄存器 0x40 = 0x10
   - 寄存器 0x41 = 0x86
   - 寄存器 0x42 = 0x0A
   - 寄存器 0x41 = 0x94
   - 寄存器 0x42 = 0x0A
6. 通过在 RESET_CTL 寄存器中设置 DISABLE_DSI 0x01[3]=0 来启用 DSI 输入。

有关器件调通的更多详细信息，请参阅 *DS90UB941AS-Q1 DSI 调通指南* 应用手册 (SNLA356)。

表 10-1. 上电和初始化序列的时序图

参数		最小值	典型值	最大值	单位	注意事项
t_{r0}	VDD18 / VDDIO 上升时间	0.2			ms	@10/90%
t_{r1}	VDD11 上升时间	0.05			ms	@10/90%
t_0	VDD18 / VDDIO 至 VDD11 延时	0			ms	
t_1	VDDx 至 PDB 延时	0			ms	在所有电源都启动并稳定后释放 PDB。
t_2	PDB 到 I2C 就绪（IDX 和 MODE 有效）延迟	2			ms	
t_3	器件复位所需的 PDB 负脉冲宽度	2			ms	硬复位
t_4	DSI 延迟时间	0			ms	释放 PDB 后应用 DSI
t_5	像素时间延迟时间	0			ms	所有电源均启动后应用像素时钟（DSI 时钟或 REFCLK）。时钟可以独立于 PDB 状态应用，但是，如果在 PDB 之前应用，则应遵循序列 A，否则应遵循序列 B。
t_6	像素时钟稳定到初始化延迟时间	1			µs	像素时钟（DSI 时钟或 REFCLK）频率必须在目标频率的 0.5% 以内，并且在器件初始化（序列 B）或 PDB 释放（序列 A）之前稳定。

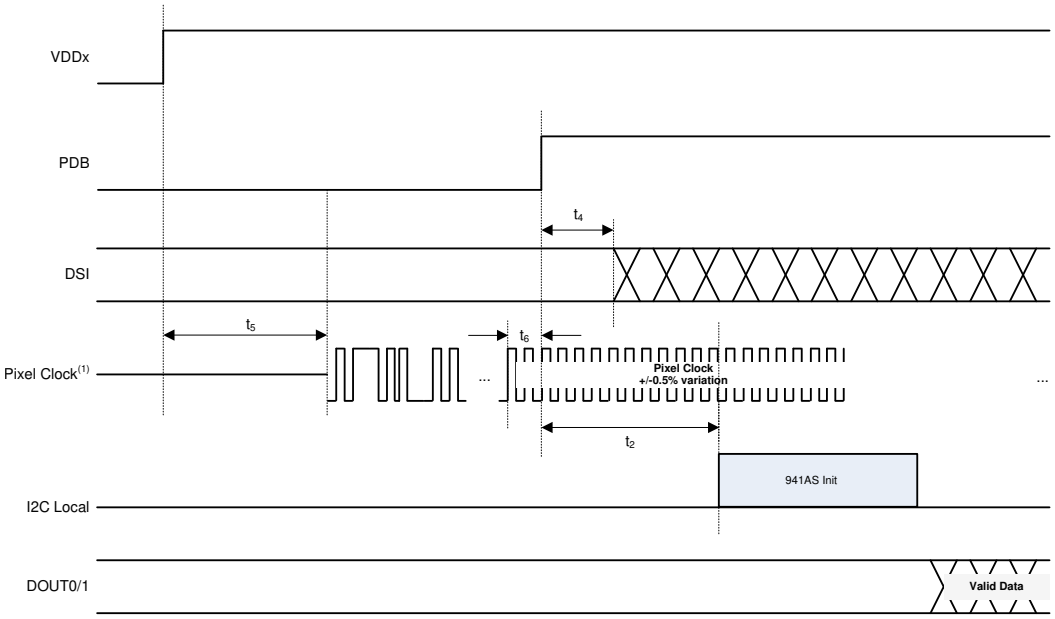
Copyright © 2022 Texas Instruments Incorporated



(*) It is recommended to assert PDB (active High) with a microcontroller rather than an RC filter network to help ensure proper sequencing of PDB pin after settling of power supplies.

Copyright © 2018, Texas Instruments Incorporated

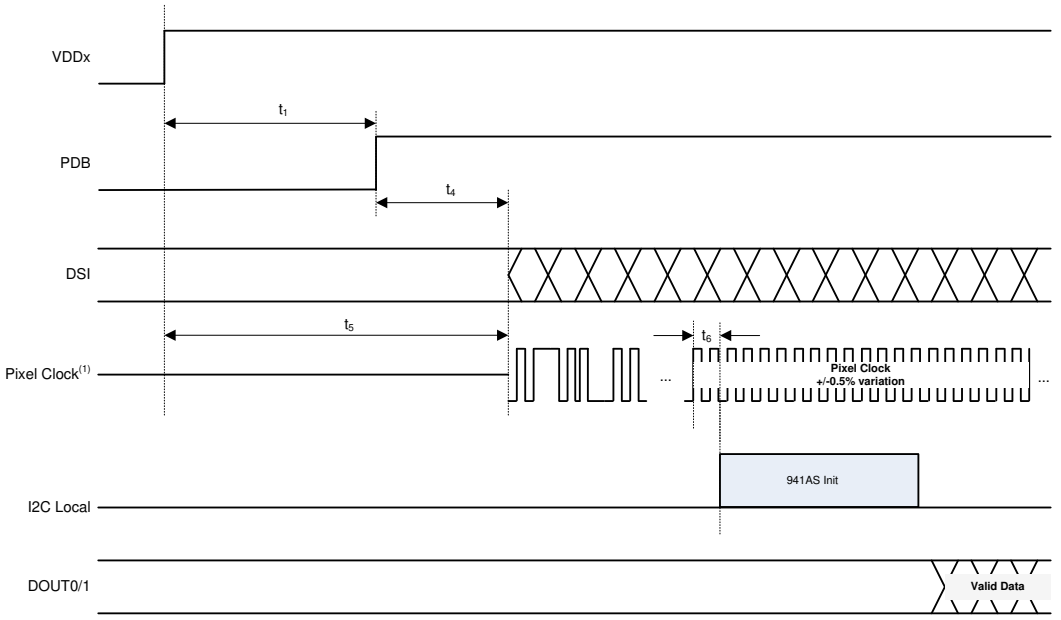
图 10-1. 上电序列



(1) Pixel clock is a clock reference for the FPD-Link III transceiver. Depending on the mode of operation, the pixel clock may be derived from a DSI clock, an external clock source, or an internal clock reference.

Copyright © 2018, Texas Instruments Incorporated

图 10-2. 初始化序列 A



(1) Pixel clock is a clock reference for the FPD-Link III transceiver. Depending on the mode of operation, the pixel clock may be derived from a DSI clock, an external clock source, or an internal clock reference.

Copyright © 2018, Texas Instruments Incorporated

图 10-3. 初始化序列 B

11 布局

11.1 布局指南

FPD-Link III 串行器和解串器器件的电路板布局布线和叠层设计应向器件提供低噪声电源。良好的布局实践也会分离高频或高电平输入和输出，以最大程度地减少不需要的杂散噪声、反馈和干扰。使用薄电介质（2 到 4mil）作为电源/接地夹层可以大大提高电源系统性能。这种布置在 PCB 电源系统中使用平面电容，并且具有低电感，经证明在高频下尤其有效，并对外部旁路电容器的容值和放置要求不那么高。外部旁路电容器应包括射频陶瓷和钽电解电容器两种类型。射频电容器可以使用 0.01 µF 至 0.1 µF 范围的容值。钽电容器容值范围为 2.2 µF 至 10 µF。钽电容的额定电压至少应为所用电源电压的 5 倍。

TI 推荐使用表面贴装电容器，因为其寄生特性较小。当每个电源引脚使用多个电容器时，将容值较小的电容器靠近引脚放置。建议在电源输入点使用大容量电容器。这通常在 50 µF 至 100 µF 范围内，可缓和低频开关噪声。TI 建议用户将电源和接地引脚直接连接到电源和接地层，并在连接到该层的旁路电容器的两端放置一个过孔。将电源或接地引脚连接到外部旁路电容器会增加路径的电感。

外部旁路建议使用小尺寸 X7R 贴片电容，如 0603 或 0402。其封装尺寸小，减小了电容器的寄生电感。用户必须注意这些外部旁路电容器的共振频率，通常在 20MHz 至 30MHz 的范围内。为了提供有效的旁路，通常使用多个电容器以便在检测频率下使电源轨之间具有低阻抗。在高频下，从电源引脚和接地引脚到平面之间使用两个过孔也是常见做法，以降低高频下的阻抗。

一些器件为电路的不同部分提供单独的电源和接地引脚。这样做是为了隔离电路不同部分之间的开关噪声效应。通常不需要在 PCB 上有单独的平面。有关哪些电路块连接到哪些电源引脚对的指南，请参阅 *节 6* 部分的“引脚功能”表。在某些情况下，可以使用外部滤波器为 PLL 等敏感电路提供清洁电源。

将 DSI 信号远离 FPD-Link III 线路布置，以防止 DSI 线路与 FPD-Link III 线路耦合。50Ω 的单端阻抗用于同轴互连，100Ω 的差分阻抗通常推荐用于 STP 互连。紧密耦合的线路有助于确保耦合噪声以共模形式出现，从而被接收器拒绝。紧密耦合的线路辐射也较少。

11.1.1 接地

TI 建议在 PCB 设计中为高速信号使用一致的接地平面参考，以便为平行于该平面的信号走线提供最佳的图像平面。

使用过孔将 DS90UB941AS-Q1 的散热焊盘连接到该平面。从器件中心 DAP 到接地层至少需要 9 个散热过孔。它们将器件接地连接到 PCB 接地层，并将热量从封装的裸露焊盘传导到 PCB 接地层。TI *AN-1187 Leadless Leadframe Package (LLP)* 应用手册 (SNOA401) 中提供了有关 VQFN 样式封装的信息。

11.1.2 路由 FPD-Link III 信号布线

在 DOUT± 引脚和连接器之间布线 FPD-Link III 信号布线是成功的 DS90UB941AS-Q1 PCB 布局的最关键环节之一。图 11-1 显示了 DS90UB941AS-Q1 的示例 PCB 布局，配置为通过 STQ 电缆连接到配套解串器模块。有关该示例的其他 PCB 布局详细信息，请查看 DS90Ux941AS-Q1EVM 用户指南。

以下列表提供了在 DS90UB941AS-Q1 TX 引脚 (DOUT±) 和连接器之间布线 FPD-Link III 信号走线的基本建议。

- 如果担心 EMI，FPD-Link III 走线的布线可以全部位于顶层或部分嵌入中间层。
- 交流耦合电容应位于顶层并靠近 DS90UB941AS-Q1 TX 引脚。
- 将交流耦合电容器和连接器之间的 DOUT 走线布线为 100Ω 差分或 50Ω 单端微带，具有严格的阻抗控制 (±10%)。根据 PCB 堆叠情况，计算合适的布线宽度。
- 如果布线为 100Ω、差分微带，请将线对内长度失配保持在 < 5mil。
- 如果布线为 50Ω 单端微带，则 DOUT+ 走线与 DOUT+ 走线的耦合最小 (S > 3W)。
- 要了解经过优化的连接器尺寸，请咨询连接器制造商。如果连接器与 IC 安装在同一侧，则通过在连接器安装侧的另一侧布线高速信号迹线，将穿孔连接器残桩的影响降至最低。
- 选择实现共模扼流圈来降低通用模式时，尽可能消除任何不匹配影响。

11.1.3 路由 DSI 信号布线

1. 使用受控的 100Ω 差分阻抗 (±20%) 或 50Ω Ω 单端阻抗 (±15%) 路由 DSI 信号对。

Copyright © 2022 Texas Instruments Incorporated

2. 远离其他高速信号。
3. 保持对内长度不匹配 < 5mil。
4. 在单个 DSI RX 端口内保持对内长度不匹配 < 50mil。DSI RX 端口 0 差分布线无需匹配 DSI 端口 1 差分布线。
5. 长度匹配应在不匹配位置附近。
6. 每对应至少间隔信号布线宽度的 3 倍。
7. 尽量减少使用弯曲的差分布线。使用弯曲时，左右弯曲数量必须尽可能相等，弯曲角度应 ≥ 135 度。这种布置最大程度地减少了由弯曲引起的任何长度不匹配，因此最大程度地减少弯曲对 EMI 的影响。
8. 尽量减少 VIAS 数量。TI 建议将 VIA 数量保持在 2 个或更少。
9. 在靠近接地平面的层上保留布线。
10. 请勿在任何平面分割点布线差分对。
11. 添加测试点会导致阻抗不连续，从而对信号性能产生负面影响。如果使用测试点，应将其串联并对称放置。测试点的放置方式不得使差分对上产生残桩。

Copyright © 2022 Texas Instruments Incorporated

11.2 布局示例

图 11-1 PCB 布局示例源自 DS90UB941AS-Q1EVM 评估板的布局设计。在设计串行器电路板时，图案和布局描述用于确定正确的布线。高速 FPD-Link III 布线以差分方式路由到连接器。布线埋在一个内部层中，每个相邻层上都有一个 GND 层和电源层。掩埋布线有助于减少辐射，请勿在这些关键信号布线附近路由其他高速信号。无论是 STP 还是同轴电缆应用，都尽可能保持 100Ω 的差分特性阻抗和 50Ω 的单端特性阻抗布线。对于同轴电缆板的布局，100Ω 耦合布线应与靠近连接器的 DOUT 端接一起使用。

图 11-1 显示了靠近 DOUT± 引脚的高速 FPD-Link III 布线。交流耦合电容器和共模扼流圈紧密放置在一起，以使阻抗不连续性尽可能紧密地组合在一起。

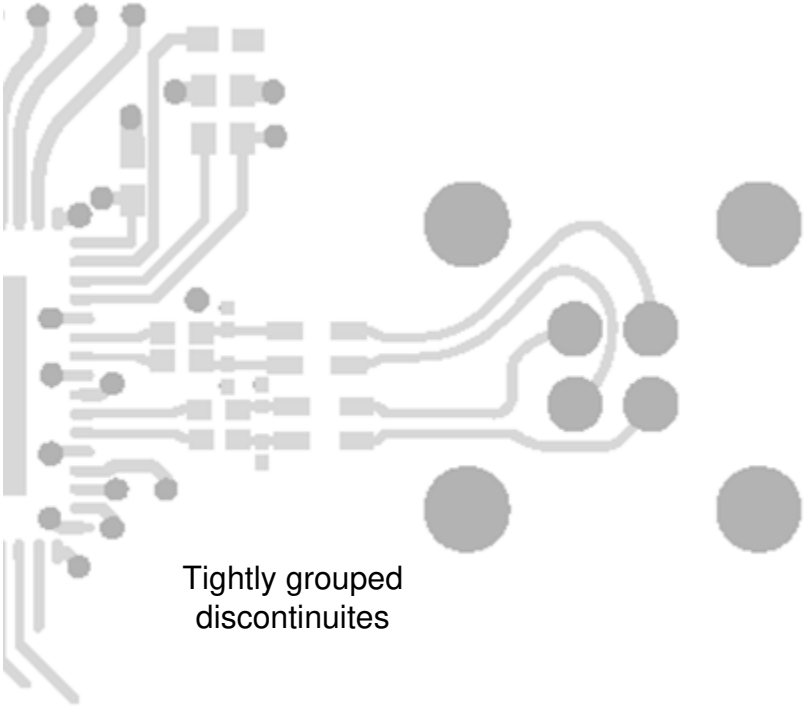


图 11-1. DS90UB941AS-Q1 串行器示例布局

Copyright © 2022 Texas Instruments Incorporated

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

相关文档如下：

- *焊接规格应用报告*，SNOA549
- *IC 封装热度量指标应用报告*，SPRA953
- *通道链路 PCB 和互连设计指南*，SNLA008
- *传输线路 RAPIDESIGNER 操作和应用指南*，SNLA035
- *LVDS 用户手册*，SNLA187
- *通过具有双向控制通道的 FPD-Link III 进行 I2C 通信*，SNLA131
- *使用 DS90Ux92x FPD-Link III 器件的 I2S 音频接口*，SNLA221
- *探索 720p FPD-Link III 器件的内部测试图形生成特性*，SNLA132
- *I2C 总线上拉电阻器计算* (SLVA689)
- FPD-Link 学习中心
- *一种适用于 FPD-Link III SerDes 的 EMC/EMI 系统设计和测试方法* (SLYT719)
- *按照车用 EMC/EMI 要求进行成功设计的 10 个技巧*(SLYT636)

12.2 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

12.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

12.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2022 Texas Instruments Incorporated

13 机械、封装和可订购信息

下述页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的基于浏览器的版本，请查阅左侧的导航栏。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DS90UB941ASRTDRQ1	Active	Production	VQFN (RTD) | 64	2000 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 105	UB941ASQ
DS90UB941ASRTDRQ1.A	Active	Production	VQFN (RTD) | 64	2000 | LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 105	UB941ASQ
DS90UB941ASRTDRQ1.B	Active	Production	VQFN (RTD) | 64	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 105	
DS90UB941ASRTDTQ1	Active	Production	VQFN (RTD) | 64	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 105	UB941ASQ
DS90UB941ASRTDTQ1.A	Active	Production	VQFN (RTD) | 64	250 | SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 105	UB941ASQ
DS90UB941ASRTDTQ1.B	Active	Production	VQFN (RTD) | 64	250 | SMALL T&R	-	Call TI	Call TI	-40 to 105	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

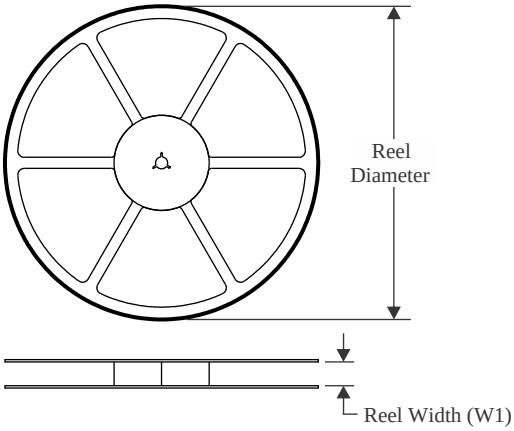
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

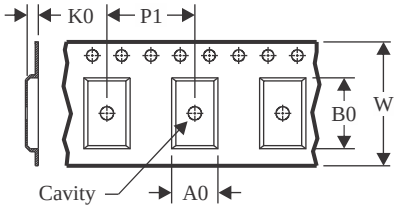
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

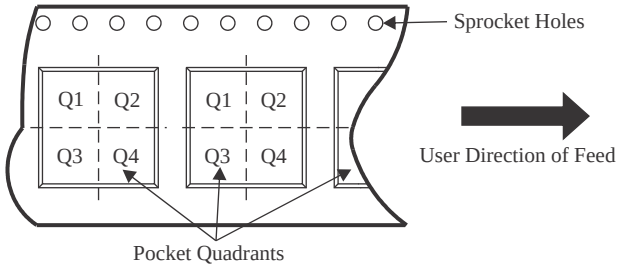


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

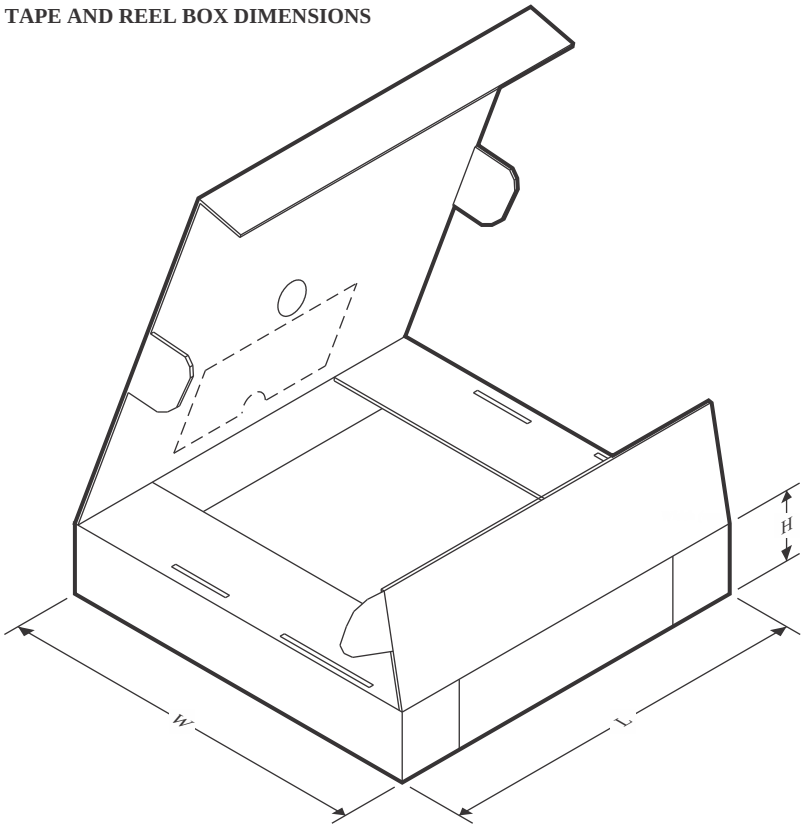
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DS90UB941ASRTDRQ1	VQFN	RTD	64	2000	330.0	16.4	9.3	9.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

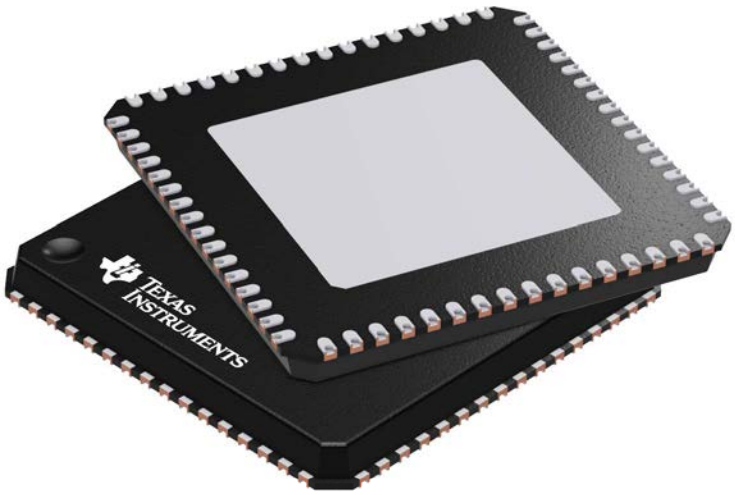
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DS90UB941ASRTDRQ1	VQFN	RTD	64	2000	367.0	367.0	38.0

GENERIC PACKAGE VIEW

RTD 64

VQFNP - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



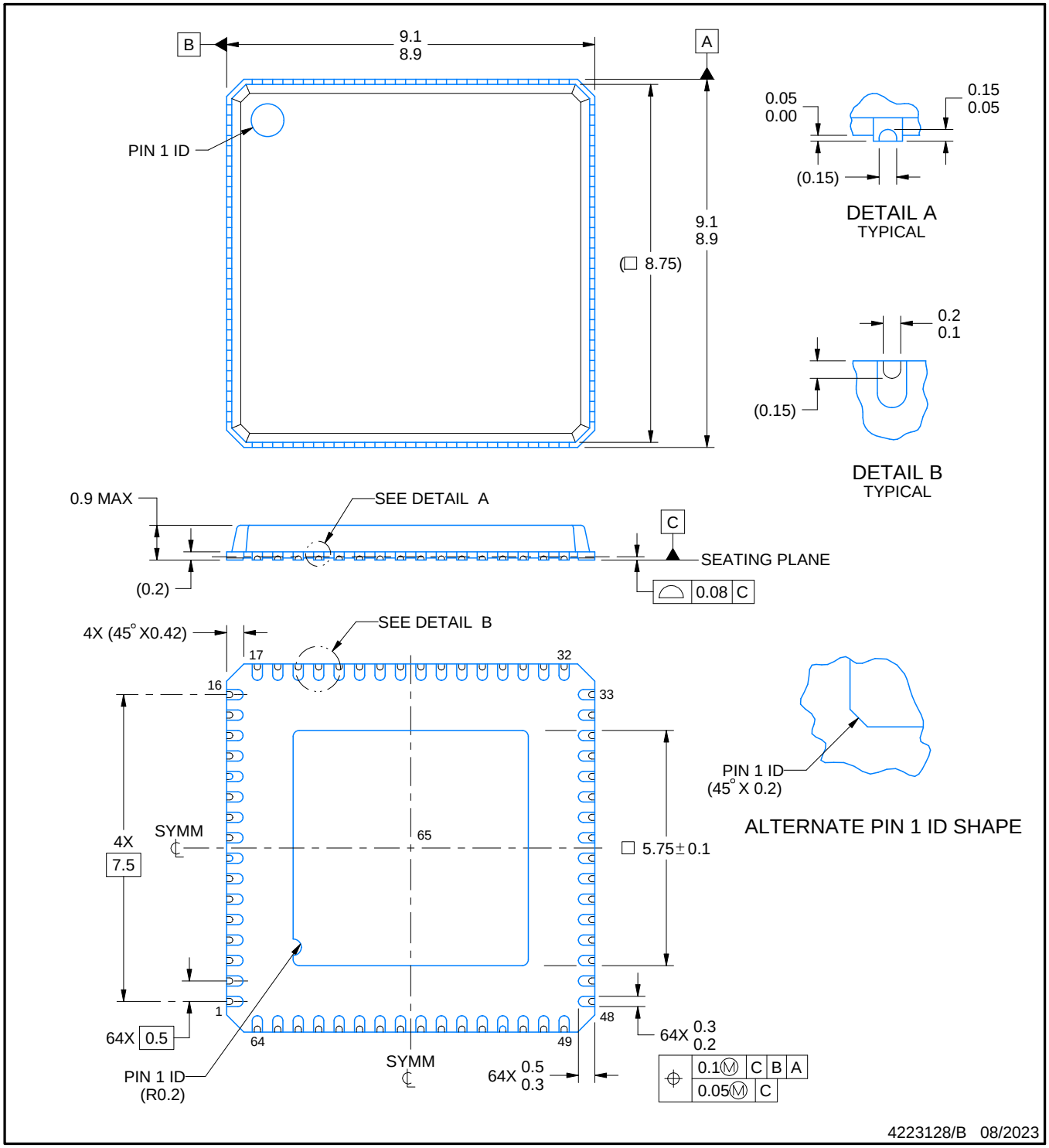
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

RTD0064F

PACKAGE OUTLINE

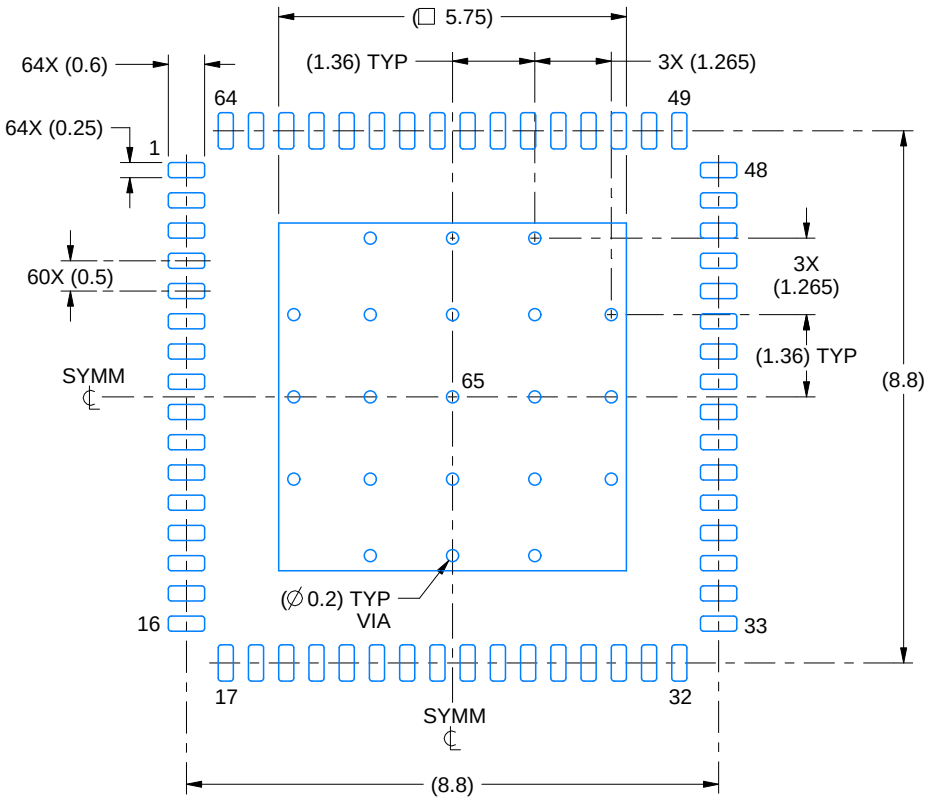
VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

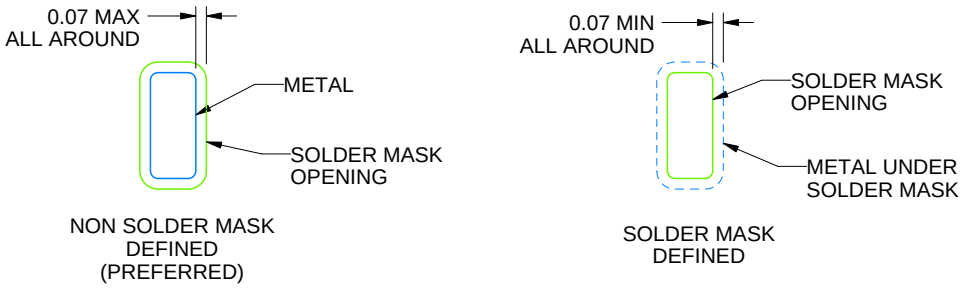


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:8X

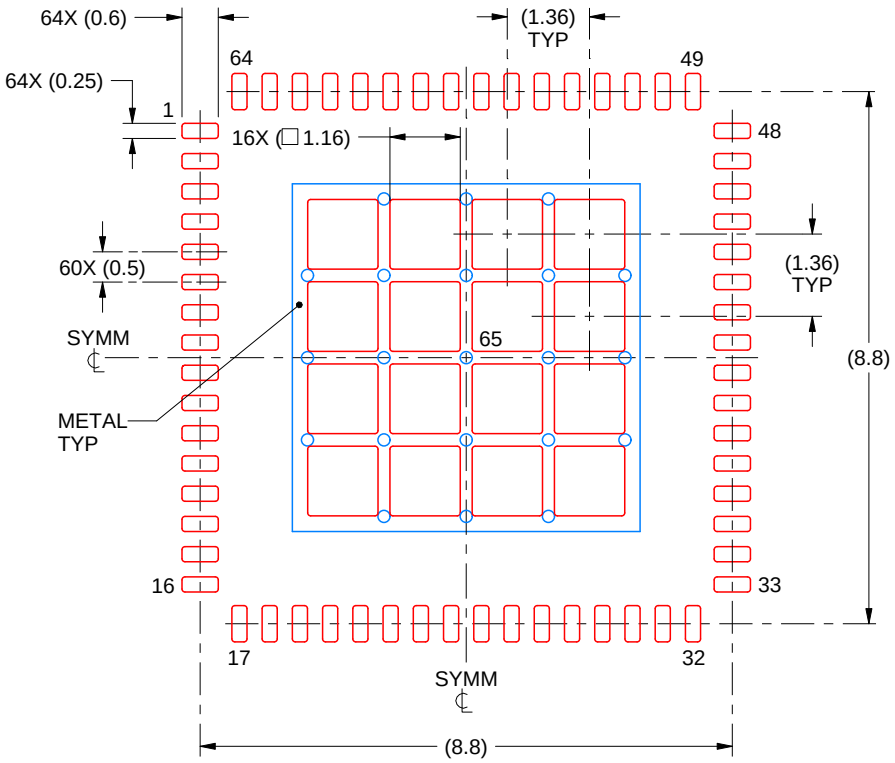


SOLDER MASK DETAILS

4223128/B 08/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 65:
65% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:8X

4223128/B 08/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月