DS90UB935-Q1 具有 CSI-2 接口的 FPD-Link III 3Gbps 串行器

1 特性

- 符合面向汽车应用的 AEC-Q100（2 级）标准：
  - 器件温度：环境工作温度范围为 -40°C 至 +105°C
- 符合 ISO 10605 和 IEC 61000-4-2 ESD 标准
- 同轴电缆供电 (PoC) 兼容收发器
- 符合 D-PHY v1.2 和 CSI-2 v1.3 标准的系统接口
  - 高达 2.528Gbps 的 CSI-2 带宽
  - 支持多达四个虚拟通道
- 精密多摄像头时钟和同步
- 灵活的可编程输出时钟发生器
- 高级数据保护和诊断，包括 CRC 数据保护、传感器数据完整性检查、I2C 写保护、电压和温度测量、可编程警报以及线路故障检测
- 支持单端同轴或屏蔽双绞线 (STP) 电缆
- 超低延迟双向 I2C 和 GPIO 控制通道支持从 ECU 侧进行 ISP 控制
- 单个 1.8V 电源
- 低功耗（0.28W 典型值）
- 功能安全型
  - 有助于进行 ISO 26262 系统设计的文档
- 兼容 DS90UB936-Q1、DS90UB954-Q1、DS90UB960-Q1、DS90UB934-Q1、DS90UB914A-Q1 解串器
- 引脚与 FPD-Link IV 兼容：DS90UB971-Q1 和 FPD-Link III：DS90UB953-Q1、DS90UB953A-Q1、DS90UB951-Q1 串行器
- 小型 5mm × 5mm VQFN 封装和 PoC 解决方案尺寸，适合紧凑型摄像头模块设计

2 应用

- 高级驾驶辅助系统 (ADAS)
  - 环视系统 (SVS)
  - 摄像头监控系统 (CMS)
  - 前视摄像头 (FC)
  - 驾驶员监控系统 (DMS)
  - 后视摄像头 (RVC)
  - 汽车卫星雷达 & 激光雷达模块
  - 飞行时间 (ToF) 传感器
- 安防和监控摄像头
- 工业和医疗成像

3 说明

DS90UB935-Q1 串行器属于 TI FPD-Link III 器件系列，旨在支持高速原始数据传感器，包括摄像头、卫星雷达、激光雷达和飞行时间 (ToF) 传感器。该芯片提供高速正向通道和超低延迟双向控制通道，并支持通过单根同轴 (PoC) 或 STP 电缆进行供电。DS90UB935-Q1 具有先进的数据保护和诊断功能，可支持 ADAS 和自动驾驶。在结合配套解串器的情况下，DS90UB935-Q1 可提供精确的多摄像头传感器时钟和传感器同步。

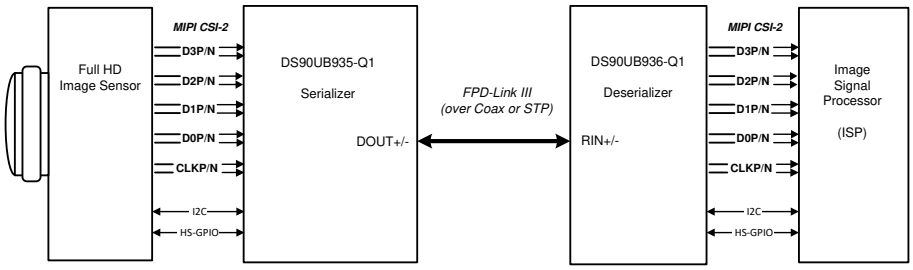
DS90UB935-Q1 完全符合 AEC-Q100 标准，具有 -40°C 至 105°C 的宽温度范围。该串行器采用 5mm × 5mm 小型 VQFN 封装，适用于空间受限型传感器应用。

器件信息

器件型号	封装 (1)	本体尺寸（标称值）(2)
DS90UB935-Q1	VQFN (32)	5.00mm × 5.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 u 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....6
5.4 热性能信息.....6
5.5 电气特性.....7
5.6 推荐的串行控制总线时序.....11
5.7 时序图.....12
5.8 典型特性.....12
6 详细说明.....13
6.1 概述.....13
6.2 功能方框图.....13
6.3 特性说明.....14
6.4 器件功能模式.....21
6.5 编程.....26
6.6 图形生成.....28
6.7 寄存器映射.....32
7 应用和实施.....65
7.1 应用信息.....65
7.2 典型应用.....68
7.3 电源相关建议.....72
7.4 布局.....76
8 器件和文档支持.....78
8.1 文档支持.....78
8.2 接收文档更新通知.....78
8.3 支持资源.....78
8.4 商标.....78
8.5 静电放电警告.....78
8.6 术语表.....78
9 修订历史记录.....78
10 机械、封装和可订购信息.....80

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

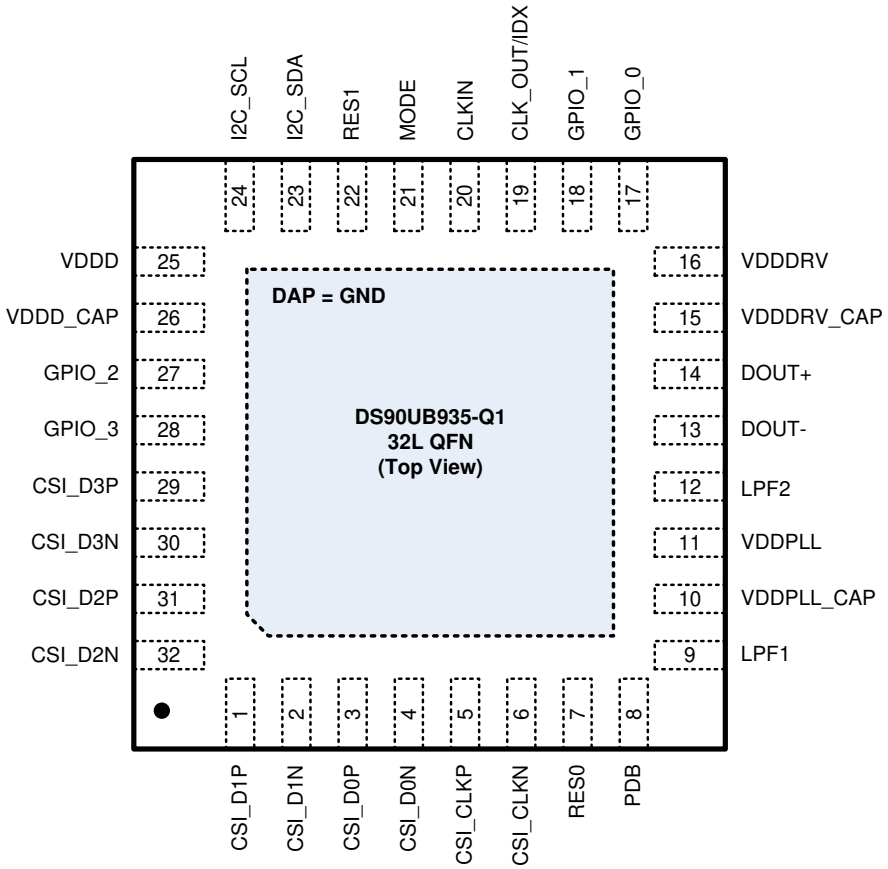


图 4-1. RHB 封装
32 引脚 VQFN
俯视图

表 4-1. 引脚功能

引脚		I/O	说明
名称	编号		
CSI 接口			
CSI_CLKP	5	I，DPHY	CSI-2 时钟输入引脚。连接到具有匹配 100Ω (±5%) 阻抗互连的 CSI-2 时钟源。
CSI_CLKN	6	I，DPHY	
CSI_D0P	3	I，DPHY	CSI-2 数据输入引脚。连接到具有匹配 100Ω (±5%) 阻抗互连的 CSI-2 数据源。如果不使用这些引脚，可使其保持悬空状态。
CSI_D0N	4	I，DPHY	
CSI_D1P	1	I，DPHY	
CSI_D1N	2	I，DPHY	
CSI_D2P	31	I，DPHY	
CSI_D2N	32	I，DPHY	
CSI_D3P	29	I，DPHY	
CSI_D3N	30	I，DPHY	
串行控制接口			
I2C_SDA	23	OD	I2C 数据和时钟引脚。根据 IDX 设置上拉至 1.8V 或 3.3V 电源轨。有关 DS90UB935-Q1 I2C 实现的详细信息，请参阅 *I2C 接口配置* 。请参阅 I2C 总线上拉电阻器计算 (SVLA689)。
I2C_SCL	24	OD	
配置及控制			
RES0	7	I	保留引脚 – 连接到 GND

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		I/O	说明
名称	编号		
RES1	22	I	保留引脚 – 不连接（保持悬空）
PDB	8	I，PD	关断反相输入引脚。内部 1MΩ 下拉。通常通过下拉连接到处理器 GPIO。当 PDB 输入为高电平时，启用器件，并使内部寄存器和状态机复位为默认值。置位 PDB 信号为低电平将关闭器件并产生极少功耗。这个引脚的缺省功能是 PDB = 低电平；断电。PDB 会保持低电平，直到施加电源并达到所需的最低电平。有关 PDB 功能的更多详细信息，请参阅 *断电 (PDB)* 。 **PDB 输入不能承受 3.3V 电压**。 PDB = 1.8V，器件启用（正常工作） PDB = 0，器件关断。
模式	21	I，S	模式选择配置输入。默认工作模式在启动时根据 PDB 从低电平转换为高电平时的 MODE 输入电压进行配置。通常通过外部上拉电阻连接到 VDD18，通过下拉电阻连接到 GND，并施加适当的偏置电压。请查看 *MODE* 了解详细信息。
CLK_OUT/IDX	19	I/O、S	IDX 引脚设置 I2C 上拉电压和器件地址；连接至外部上拉电阻至 VDD，并下拉至 GND 以创建分压器。当 PDB 从低电平转换为高电平时，在 CLOCK_OUT/IDX 引脚上检测配置 (strap) 输入电压以确定功能，然后将其转换为 CLK_OUT。有关详细信息，请参阅 *I2C 接口配置* 。如果使用了 CLK_OUT，则引脚上的最小电阻为 35kΩ。如果未使用，CLK_OUT/IDX 可以连接到 GND。
FPD-LINK III 接口			
DOUT-	13	I/O	FPD-Link III 输入/输出引脚。这些引脚必须交流耦合。有关典型连接图，请参阅图 7-5 和图 7-6；有关建议的电容器值，请参阅表 7-3。
DOUT+	14	I/O	
电源和接地			
VDDD_CAP	26	D，P	内部模拟稳压器去耦电容器的连接。通常连接到 10μF、0.1μF 和 0.01μF 接地电容器。不要连接到外部电源轨。有关更多详细信息，请参阅 *典型应用* 。
VDDDRV_CAP	15	D，P	内部模拟稳压器去耦电容器的连接。通常连接到 10μF、0.1μF 和 0.01μF 接地电容器。不要连接到外部电源轨。有关更多详细信息，请参阅 *典型应用* 。
VDDPLL_CAP	10	D，P	内部模拟稳压器去耦电容器的连接。通常连接到 10μF、0.1μF 和 0.01μF 接地电容器。不要连接到外部电源轨。有关更多详细信息，请参阅 *典型应用* 。
VDDD	25	P	1.8V (±5%) 电源引脚。 通常连接到 1μF 和 0.01μF 接地电容器。
VDDDRV	16	P	1.8V (±5%) 模拟电源引脚。 通常连接到 1μF 和 0.01μF 接地电容器。
VDDPLL	11	P	1.8V (±5%) 模拟电源引脚。 通常连接到 1μF 和 0.01μF 接地电容器。
GND	DAP	G	DAP 是底部的大型金属触点，位于 VQFN 封装的中心。连接到接地平面 (GND)。
环路滤波器			
LPF1	9	P	环路滤波器 1：按照 *节 7.2.2.4* 中所述进行连接。
LPF2	12	P	环路滤波器 2：按照 *节 7.2.2.4* 中所述进行连接。
时钟接口和 GPIO			
GPIO_0	17	I/O，PD	通用输入/输出引脚。这些引脚还可以配置为检测其输入端的电压。请参阅 *电压和温度检测* 。加电时，这些 GPIO 引脚默认为带有 300kΩ（典型值）内部下拉电阻器的输入。如果未使用这些引脚，可以将其保持悬空状态，但 TI 建议将 GPIOx_INPUT_EN 设置为 0 以禁用这些引脚。有关可编程性，请参阅 *节 6.3.6* 。
GPIO_1	18	I/O，PD	
GPIO_2	27	I/O，PD	通用输入/输出引脚。加电时，这些 GPIO 引脚默认为带有 300kΩ（典型值）内部下拉电阻器的输入。如果未使用这些引脚，可以将其保持悬空状态，但 TI 建议将 GPIOx_INPUT_EN 设置为 0 以禁用这些引脚。有关可编程性，请参阅 *节 6.3.6* 。
GPIO_3	28	I/OPD	
CLKIN	20	I	基准时钟输入引脚。如果在非同步外部时钟模式下运行，请将该引脚连接到本地时钟源。如果未使用（与其他时钟模式类似），该引脚可以保持断开。更多有关时钟模式的信息，请参阅表 6-8。

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 u 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

	引脚或频率	最小值	最大值	单位
电源电压，VDD	VDDD、VDDDRV、VDDPLL	-0.3	2.16	V
输入电压	GPIO[3:0]、PDB、CLKIN、IDX、MODE、CSI_CLKP/N、CSI_D0P/N、CSI_D1P/N、CSI_D2P/N、CSI_D3P/N	-0.3	V_{DD} + 0.3	V
FPD-Link III 输出电压	DOUT+、DOUT-	-0.3	1.21	V
开漏电压	I2C_SDA、I2C_SCL	-0.3	3.96	V
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM) ESD 分类等级 3A，符合 AEC-Q100-002(1)	除媒体相关接口引脚外的所有引脚	±4000	V
			媒体相关接口引脚		
		充电器件模型 (CDM) ESD 分类等级 C6，符合 AEC-Q100-011 标准		±1500	V
		IEC 61000-4-2 R_D = 330Ω，C_S = 150pF	接触放电（DOUT+ 和 DOUT-）	±8000	V
			空气放电（DOUT+ 和 DOUT-）	±18000	V
		ISO 10605 R_D = 330Ω，C_S = 150pF 和 330pF R_D = 2kΩ，C_S = 150pF 和 330pF	接触放电（DOUT+ 和 DOUT-）	±8000	V
			空气放电（DOUT+ 和 DOUT-）	±18000	V

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

Copyright © 2024 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
电源电压	VDD（VDDD、VDDDRV、VDDPLL）	1.71	1.8	1.89	V
开漏电压	I2C_SDA，I2C_SCL = $V_{(I2C)}$	1.71		3.6	V
自然通风工作温度范围 (T_A)		-40	25	105	°C
温度斜降最终温度（Ts = 初始温度） (3)	10°C < Ts ≤ 105°C	-10			°C
温度斜降最终温度（Ts = 初始温度） (3)	Ts ≤ 10°C	Ts-20			°C
MIPI 数据速率（每个 CSI-2 通道）		80		832 (4)	Mbps
MIPI 组合数据速率				2.528	Gbps
基准时钟输入频率		25		104	MHz
本地 I^2C 频率 (f_{I2C})				1	MHz
电源噪声 (5)	VDD（VDDD、VDDDRV、VDDPLL）			25	mV_{p-p}
DOUT+ 和 DOUT- 之间的差分电源噪声 (PSR)	f = 10kHz - 50MHz（仅限同轴电缆模式）			25	mV_{p-p}
	f = 30Hz，10%-90% 上升/下降时间 > 100µs（仅限同轴电缆模式）			25	mV_{p-p}
非同步模式的输入时钟抖动 (t_{JIT})	CLKIN			0.05	UI_CLK_IN (2)
反向通道输入抖动 (t_{JIT-BC})	DOUT+、DOUT-			0.4	UI_BC (1)

(1) 反向通道单位间隔 (UI_BC) 为 1/(BC 线路速率)。例如，典型的 UI_BC 为 1/100MHz = 10ns。如果抖动容限为 0.4UI，则使用以下公式将以 UI 表示的抖动转换为以秒为单位： 10ns × 0.4UI = 4ns
(2) 非同步模式 - 对于给定时钟，UI 定义为 1/clock_freq。例如，当时钟 = 50MHz 时，UI_CLK_IN 典型值为 1/50MHz = 20ns。
(3) 使用软件配置的连续 PLL 锁定的温度斜降最终温度。请参阅节 7.3.1.1 了解器件配置。
(4) 对于一个或两个 CSI-2 通道，最大 MIPI 数据速率为每通道 832Mbps。对于四个通道，最大数据速率为每通道 632Mbps，组合数据速率为 2.528Gbps
(5) 直流 - 50MHz

5.4 热性能信息

热性能指标(1)		DS90UB935-Q1 RHB (VQFN) 32 引脚	单位
$R_{\theta JA}$	结至环境热阻	31.5	°C/W
$R_{\theta JB}$	结至电路板热阻	10.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	20	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1	°C/W
Ψ_{JT}	结至顶部特征参数	0.2	°C/W
Ψ_{JB}	结至电路板特征参数	10.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅 *半导体和 IC 封装热指标* 应用报告，SPRA953。

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性

在建议的工作电压和温度范围内测得（除非另外说明）。

参数		测试条件	引脚或频率	最小值	典型值	最大值	单位
功耗							
I_{DD_TOTAL}	电源电流	4 通道模式，棋盘图形	VDDPLL、VDDD、VDDDRV		160	225	mA
I_{DDPLL}			VDDPLL		55	80	
I_{DDD}			VDDD		45	70	
I_{DDDRV}			VDDDRV		60	75	
1.8V LVCMOS I/O (VDD) = 1.71V 至 1.89V							
V_{OH}	高电平输出电压	I_{OH} = -4mA	GPIO[3:0]，CLK_OUT	$V_{(VDD)}$ – 0.45		$V_{(VDD)}$	V
V_{OL}	低电平输出电压	I_{OL} = +4mA	GPIO[3:0]，CLK_OUT	GND		0.45	V
V_{IH}	高电平输入电压		GPIO[3:0]、PDB、CLKIN	$V_{(VDD)}$ × 0.65		$V_{(VDD)}$	V
V_{IL}	低电平输入电压		GPIO[3:0]、PDB、CLKIN	GND		$V_{(VDD)}$ × 0.35	V
I_{IH}	输入高电流	V_{IN} = $V_{(VDD)}$	GPIO[3:0]、PDB、CLKIN			20	µA
I_{IL}	输入低电流	V_{IN} = GND	GPIO[3:0]、PDB、CLKIN	-20			µA
I_{OS}	输出短路电流	V_{OUT} = 0V			-36		mA
I_{OZ}	三态输出电流	V_{OUT} = $V_{(VDD)}$，V_{OUT} = GND	GPIO[3:0]，CLK_OUT			±20	µA
C_{IN}	输入电容				5		pF

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

在建议的工作电压和温度范围内测得（除非另外说明）。

参数		测试条件	引脚或频率	最小值	典型值	最大值	单位
FPD-LINK III 输入/输出							
V_{IN-BC}	单端输入电压	同轴配置、50Ω、最大电缆长度	DOUT+、DOUT-	120			mV
V_{ID-BC}	差分输入电压	STP 配置、100Ω、最大电缆长度	DOUT+、DOUT-	240			mV
E_{H-FC}	正向通道眼图高度	同轴配置、FPD-Link 正向通道 = 4.16Gbps	DOUT+、DOUT-		425		mVp-p
		STP 配置、FPD-Link 正向通道 = 4.16Gbps	DOUT+、DOUT-		850		mVp-p
t_{TR-FC}	正向通道输出转换时间	FPD-Link 正向通道 = 4.16Gbps；20% 至 80%	DOUT+、DOUT-		65		ps
t_{JIT-FC}	正向通道输出抖动	同步模式，使用 f/15 –3dB CDR 环路 BW 测得	DOUT+、DOUT-		0.21		UI
		非同步模式，使用 f/15 –3dB CDR 环路 BW 测得	DOUT+、DOUT-		0.22		UI
f_{REF}	内部基准频率	非同步内部时钟模式		24.2		25.5	MHz
FPD-LINK III 驱动器规格（差分）							
V_{ODp-p}	输出差分电压	R_L = 100Ω	DOUT+、DOUT-	1040	1150	1340	mV_{p-p}
ΔV_{OD}	输出电压不平衡		DOUT+、DOUT-		5	24	mV
V_{OS}	输出差分失调电压		DOUT+、DOUT-		575		mV
ΔV_{OS}	失调电压不平衡		DOUT+、DOUT-		2		mV
I_{OS}	输出短路电流	DOUT = 0V	DOUT+、DOUT-		-22		mA
R_T	内部端接电阻	DOUT+ 和 DOUT- 之间	DOUT+、DOUT-	80	100	120	Ω
FPD-LINK III 驱动器规格（单端）							
V_{OUT}	输出单端电压	R_L = 50Ω	DOUT+、DOUT-	520	575	670	mV_{p-p}
I_{OS}	输出短路电流	DOUT = 0V	DOUT+、DOUT-		-22		mA
R_T	单端端接电阻		DOUT+、DOUT-	40	50	60	Ω
电压和温度检测							
V_{ACC}	电压精度	请参阅 *电压和温度检测*	GPIO[1:0]		±1		LSB
T_{ACC}	温度精度	请参阅 *电压和温度检测*			±1		LSB

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

在建议的工作电压和温度范围内测得（除非另外说明）。

参数		测试条件	引脚或频率	最小值	典型值	最大值	单位
CSI-2 HS 接口直流规格							
$V_{CMRX(DC)}$	共模电压 HS 接收模式		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N	70		330	mV
V_{IDTH}	差分输入高阈值		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N			70	mV
V_{IDTL}	差分输入低阈值		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N	-70			mV
Z_{ID}	差分输入阻抗		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N	80	100	125	Ω
CSI-2 HS 接口交流规格							
t_{HOLD}	数据到时钟建立时间		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N	0.15			UI
t_{SETUP}	数据到时钟保持时间		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N	0.15			UI
CSI-2 LP 接口直流规格							
V_{IH}	逻辑高电平输入电压		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N	880	790		mV
V_{IL}	逻辑低电平输入电压		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N		710	550	mV
V_{HYST}	输入迟滞		CSI_D3P/N、CSI_D2P/N、CSI_D1P/N、CSI_D0P/N、CSI_CLKP/N	25	75		mV

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性（续）

在建议的工作电压和温度范围内测得（除非另外说明）。

参数		测试条件	引脚或频率	最小值	典型值	最大值	单位
LVCMOS I/O							
t_{CLH}	LVCMOS 低电平到高电平切换时间	$V_{(VDD)}$ = 1.71V 至 1.89V	GPIO[3:0]		2		ns
t_{CHL}	LVCMOS 高电平到低电平切换时间	$V_{(VDD)}$ = 1.71V 至 1.89V	GPIO[3:0]		2		ns
t_{PDB}	PDB 复位脉冲宽度	施加电压电源并且稳定	PDB	3			ms
串行控制总线							
V_{IH}	输入高电平		I2C_SCL、I2C_SDA	0.7 × $V_{(I2C)}$		$V_{(I2C)}$	mV
V_{IL}	输入低电平		I2C_SCL、I2C_SDA	GND		0.3 × $V_{(I2C)}$	mV
V_{HY}	输入迟滞		I2C_SCL、I2C_SDA		>50		mV
V_{OL}	输出低电平	$V_{(I2C)}$ < 2V，I_{OL} = 3mA，标准模式/快速模式	I2C_SCL、I2C_SDA	0		0.2 × $V_{(I2C)}$	V
		$V_{(I2C)}$ < 2V，I_{OL} = 20mA，超快速模式	I2C_SCL、I2C_SDA	0		0.2 × $V_{(I2C)}$	V
		$V_{(I2C)}$ > 2V，I_{OL} = 3mA，标准模式/快速模式	I2C_SCL、I2C_SDA	0		0.4	V
		$V_{(I2C)}$ > 2V，I_{OL} = 20mA，超快速模式	I2C_SCL、I2C_SDA	0		0.4	V
I_{IH}	输入高电流	V_{IN} = $V_{(I2C)}$	I2C_SCL、I2C_SDA	-10		10	µA
I_{IL}	输入低电流	V_{IN} = 0V	I2C_SCL、I2C_SDA	-10		10	µA
I_{IL}	输入低电流	V_{IN} = 0V	I2C_SCL、I2C_SDA	-10		10	µA
C_{IN}	输入电容		I2C_SCL、I2C_SDA		5		pf

Copyright © 2024 Texas Instruments Incorporated

5.6 推荐的串行控制总线时序

在 I^2C 电源和温度范围内（除非另外说明）。

			最小值	典型值	最大值	单位
f_{SCL}	SCL 时钟频率	标准模式	>0		100	kHz
		快速模式	>0		400	kHz
		超快速模式	>0		1	MHz
t_{LOW}	SCL 低电平周期	标准模式	4.7			µs
		快速模式	1.3			µs
		超快速模式	0.5			µs
t_{HIGH}	SCL 高电平周期	标准模式	4.0			µs
		快速模式	0.6			µs
		超快速模式	0.26			µs
$t_{HD;STA}$	启动或重复启动条件的保持时间	标准模式	4.0			µs
		快速模式	0.6			µs
		超快速模式	0.26			µs
$t_{SU;STA}$	启动或重复启动条件的设置时间	标准模式	4.7			µs
		快速模式	0.6			µs
		超快速模式	0.26			µs
$t_{HD;DAT}$	数据保持时间	标准模式	0			µs
		快速模式	0			µs
		超快速模式	0			µs
$t_{SU;DAT}$	数据设置时间	标准模式	250			ns
		快速模式	100			ns
		超快速模式	50			ns
$t_{SU;STO}$	STOP 条件的设置时间	标准模式	4.0			µs
		快速模式	0.6			µs
		超快速模式	0.26			µs
t_{BUF}	STOP 和 START 之间的总线空闲时间	标准模式	4.7			µs
		快速模式	1.3			µs
		超快速模式	0.5			µs
t_r	SCL 和 SDA 上升时间	标准模式			1000	ns
		快速模式			300	ns
		超快速模式			120	ns
t_f	SCL 和 SDA 下降时间	标准模式			300	ns
		快速模式			300	ns
		超快速模式			120	ns
C_b	每个总线的容性负载	标准模式			400	pF
		快速模式			400	pF
		超快速模式			550	pF
$t_{VD:DAT}$	数据有效时间	标准模式			3.45	µs
		快速模式			0.9	µs
		超快速模式			0.45	µs
$t_{VD;ACK}$	数据有效确认时间	标准模式			3.45	µs
		快速模式			0.9	µs
		超快速模式			0.45	µs

Copyright © 2024 Texas Instruments Incorporated

5.6 推荐的串行控制总线时序（续）

在 I²C 电源和温度范围内（除非另外说明）。

		最小值	典型值	最大值	单位
t_{SP} 输入滤波器	快速模式			50	ns
	超快速模式			50	ns

5.7 时序图



图 5-1. LVCMOS 转换时间

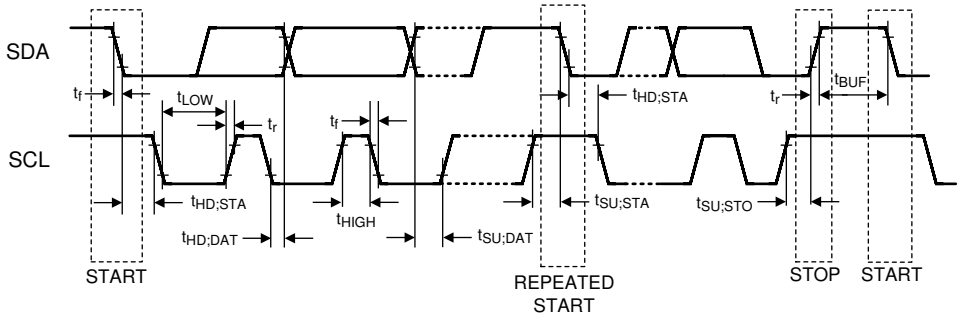


图 5-2. I²C 串行控制总线计时

5.8 典型特性

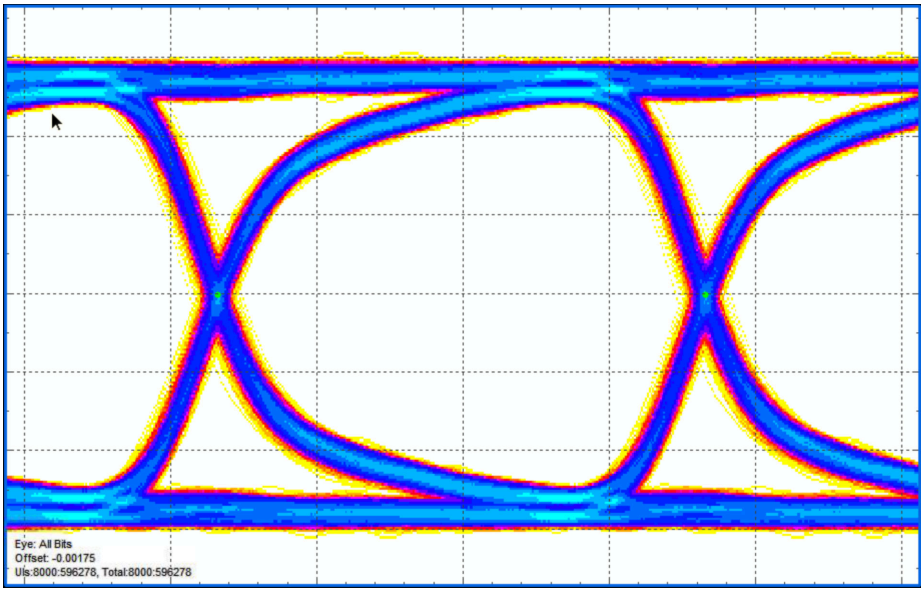


图 5-3. 来自串行器输出的 FPD-Link III 正向通道的眼图。垂直标度：100mV/DIV，水平标度：100ps/DIV

Copyright © 2024 Texas Instruments Incorporated

6 详细说明

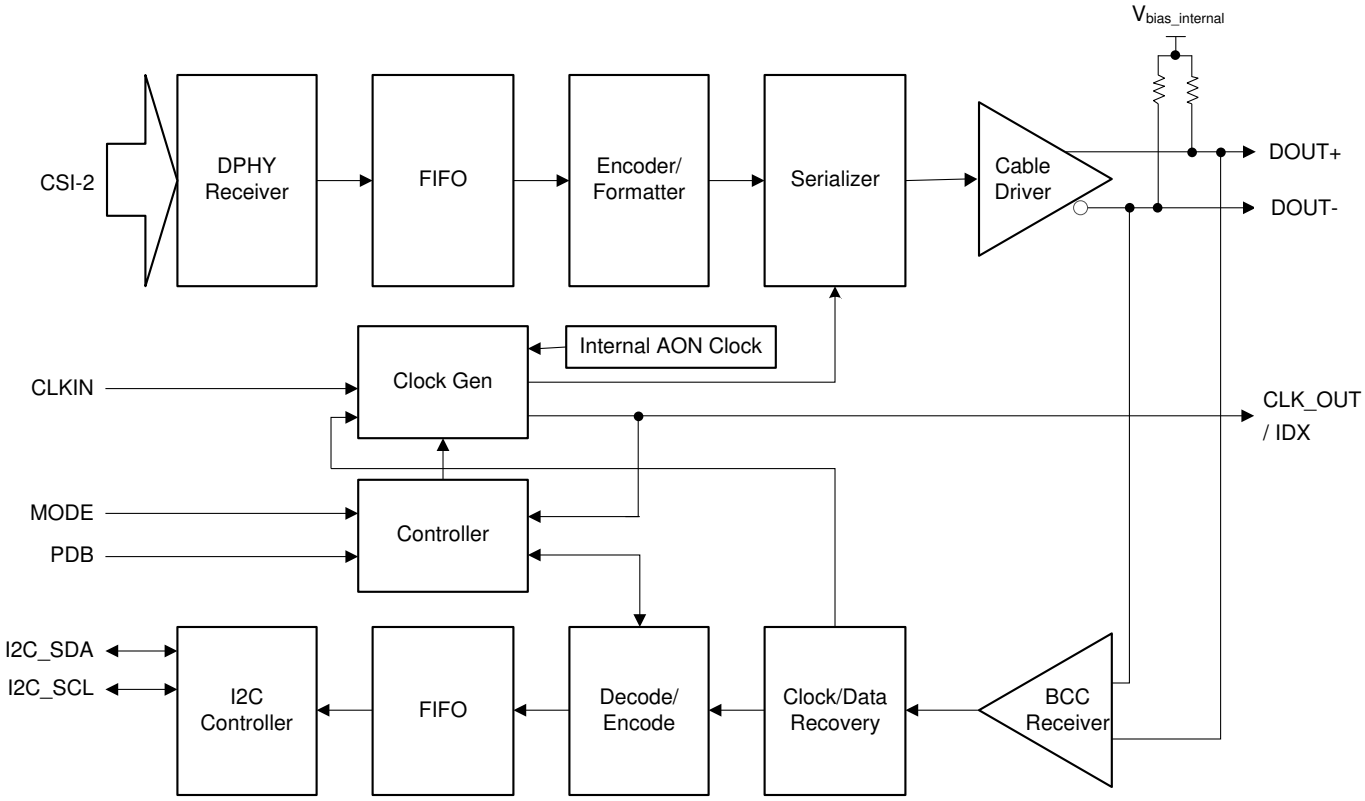
6.1 概述

DS90UB935-Q1 使用 MIPI CSI-2 接口对来自高分辨率图像传感器或其他传感器的数据进行串行化处理。DS90UB935-Q1 串行器经过优化，可连接 DS90UB936-Q1 或 DS90UB954-Q1 解串器（双路集线器）、DS90UB960-Q1 解串器（四路集线器）、DS90UB934-Q1 和 DS90UB914A-Q1 解串器以及未来可能的其他解串器。串行器和解串器之间的互连可以采用同轴电缆或屏蔽双绞线 (STP) 电缆。DS90UB935-Q1 旨在支持环视等多传感器系统，因此能够通过 DS90UB936-Q1、 DS90UB954-Q1 和 DS90UB960-Q1 集线器同步传感器。

DS90UB935-Q1 串行器和配套解串器包含一个与 I2C 兼容的接口。与 I2C 兼容的接口允许通过本地主机控制器对串行器或解串器器件进行编程。此外，这些器件具有一个双向控制通道 (BCC)，允许在串行器和解串器之间以及远程 I2C 目标器件之间进行通信。

双向控制通道 (BCC) 通过高速正向通道（串行器到解串器）中的嵌入式信号以及反向通道（解串器到串行器）中的低速信号来实现。通过该接口，BCC 提供了一种机制，可以跨串行链路将 I2C 事务从一条 I2C 总线桥接到另一条 I2C 总线。

6.2 功能方框图



6.3 特性说明

DS90UB935-Q1 FPD-Link III 串行器旨在支持高速原始数据传感器，包括 60fps 的 摄像头、卫星雷达、激光雷达和飞行时间 (ToF) 摄像头。该芯片具有高达 4.16Gbps 的正向通道，2.528Gbps 的视频带宽以及超低延迟 50Mbps 双向控制通道。支持通过同轴电缆（同轴电缆供电）或 STP 电缆进行正向通道、双向控制通道和电力的传输。DS90UB935-Q1 具有先进的数据保护和诊断功能，可支持 ADAS 和自动驾驶。DS90UB935-Q1 与配套的解串器一起提供精确的多摄像头传感器时钟和传感器同步。

6.3.1 CSI-2 接收器

DS90UB935-Q1 可接收来自传感器的 CSI-2 视频数据。在 CSI-2 操作期间，D-PHY 包含一个时钟通道和一个或多个数据通道。DS90UB935-Q1 是目标器件，仅支持正向单向通道。不支持低功耗逃逸模式。

6.3.1.1 CSI-2 接收器工作模式

在正常运行期间，数据通道将处于控制模式或高速模式。在高速模式下，数据传输以突发形式发生，在停止状态 (LP-11) 下开始和结束。有一个过渡状态可使 D-PHY 从正常模式进入低功耗状态。

进入高速模式的顺序是：LP-11、LP-01、LP-00。进入该序列后，数据通道保持高速模式，直到接收到停止状态 (LP-11)。

6.3.1.2 CSI-2 接收器高速模式

在高速数据传输过程中，数字 D-PHY 会启用终止信号以允许模拟 D-PHY 的 HS RX 正确终止，而 LP RX 应保持在 LP-00 状态。CSI-2 数据通道和时钟通道都以相同的方式运行。DS90UB935-Q1 支持 CSI-2 连续和非连续时钟通道模式，必须使用寄存器 0x02[6] 来设置这些模式，并且应遵循图像传感器时钟模式。在连续时钟通道模式下，时钟通道保持高速模式。

6.3.1.3 CSI-2 协议层

有两种不同类型的 CSI-2 数据包：短数据包和长数据包。短数据包具有诸如帧开始/行开始的信息，而长数据包则携带帧开始有效后的数据。图 6-1 所示为包含短数据包和长数据包的 CSI-2 协议层结构。DS90UB935-Q1 支持 1、2 和 4 通道配置。

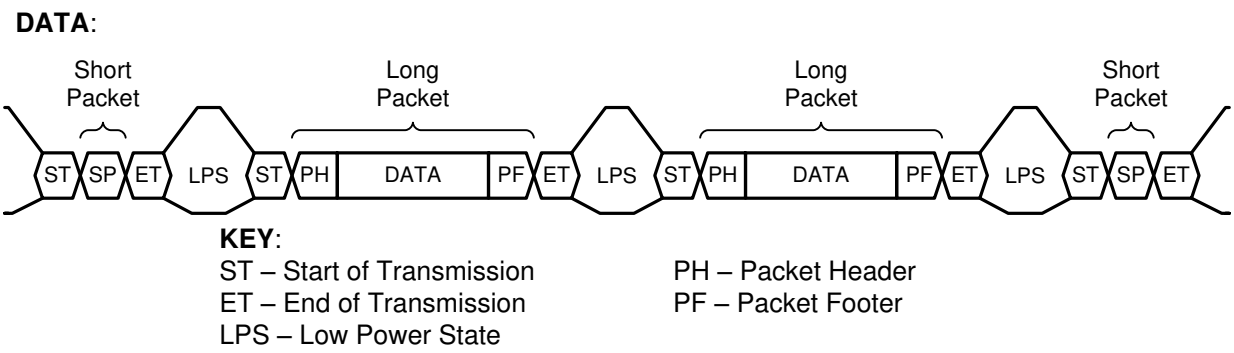


图 6-1. 包含短数据包和长数据包的 CSI-2 协议层

6.3.1.4 CSI-2 短数据包

短数据包提供帧或线路同步。图 6-2 展示了短数据包的结构。短数据包由数据类型 0x00 至 0x0F 标识。

Copyright © 2024 Texas Instruments Incorporated

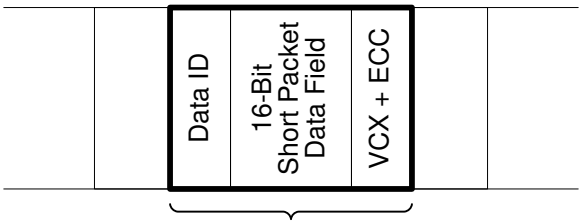


图 6-2. CSI-2 短数据包结构

6.3.1.5 CSI-2 长数据包

一个长数据包包含三个元素：一个 32 位数据包报头 (PH)、一个具有可变数量 8 位数据字的应用特定数据净负荷和一个 16 位数据包报尾 (PF)。进一步而言，数据包报头由三个元素组成：一个 8 位数据标识符、一个 16 位字节数字段和一个 8 位 ECC。数据包报尾只有一个元素，即 16 位校验和。图 6-3 展示了长数据包的结构。

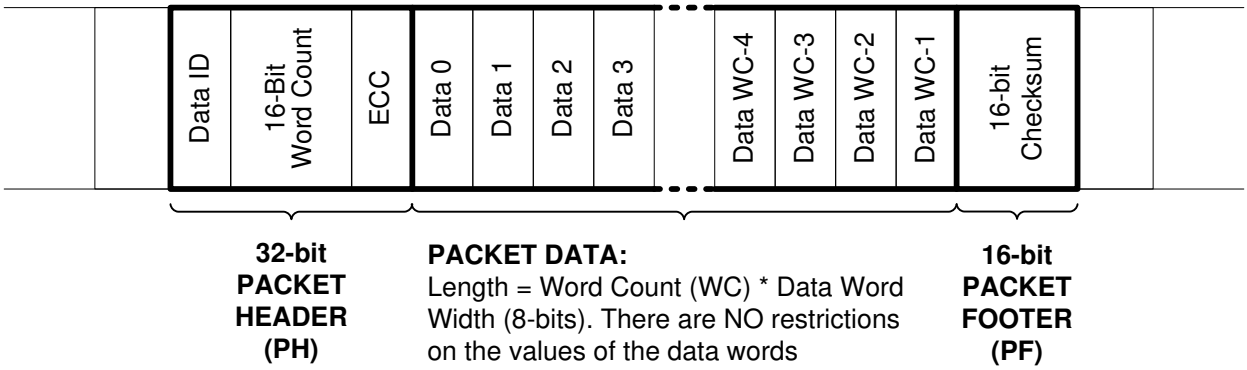


图 6-3. CSI-2 长数据包结构

表 6-1. CSI-2 长数据包结构说明

数据包部分	字段名称	大小 (位)	说明
报头	VC / 数据 ID	8	包含虚拟通道标识符和数据类型信息。
	字数	16	数据包数据中的数据字数量。一个字是 8 位。
	ECC	8	数据 ID 和 WC 字段的 ECC。允许 1 位错误恢复和 2 位错误检测。
数据	数据	WC × 8	应用特定有效载荷 (8 位 WC 字) 。
报尾	校验码	16	数据包数据的 16 位循环冗余校验 (CRC)。

6.3.1.6 CSI-2 错误和检测

6.3.1.6.1 CSI-2 ECC 检测和校正

CSI-2 数据包报头包含 6 位纠错码 (ECC)。当存在 1 位错误时，可以纠正 32 位长数据包报头中的 ECC；当存在 2 位错误时、可以检测到 ECC。添加此功能是为了监控 CSI-2 输入以进行 ECC 1 位错误校正。检测到 ECC 错误时，将设置 ECC 错误检测寄存器，并向解串器发送警报指示位以指示已检测到 ECC 错误。寄存器控制可用于启用或禁用警报。

6.3.1.6.2 CSI-2 校验和检测

CSI-2 长数据包报头在传输结束之前包含一个 16 位校验和。DS90UB935-Q1 会计算传入 CSI-2 数据的校验和。如果检测到校验和错误，校验和错误状态可保存在 CSI_ERR_STATUS 寄存器 (0x5D) 中，然后通过双向控制通道转发给解串器。

Copyright © 2024 Texas Instruments Incorporated

6.3.1.6.3 D-PHY 错误检测

DS90UB935-Q1 会检测并报告 SoT 和 SoT 同步错误。

6.3.1.6.4 CSI-2 接收器状态

对于接收端口，可通过寄存器访问跟踪和监控多种状态功能。状态指示可用于指示错误状况以及线路长度测量值变化指示。这些可通过 CSI_ERR_CNT (0x5C)、CSI_ERR_STATUS (0x5D)、CSI_ERR_DLANE01 (0x5E)、CSI_ERR_DLANE23 (0x5F) 和 CSI_ERR_CLK_LANE (0x60) 寄存器获得。

6.3.2 FPD-Link III 正向通道发送器

DS90UB935-Q1 具有高速信号发送器，能够以高达 4.16Gbps 的速率驱动信号。

6.3.2.1 帧格式

DS90UB935-Q1 可将数据格式化为 40 位长帧。对每一帧进行编码，以确保直流平衡以及确保足够的数据线路转换。每个帧包含视频有效载荷数据、I2C 正向通道数据、CRC 信息、成帧信息和有关 CSI-2 接口状态的信息。

6.3.3 FPD-Link III 反向通道接收器

FPD-Link III 反向通道通过 FPD-Link III 接口接收编码反向通道信号。反向通道帧是一个 30 位帧，包含 I2C 命令和 GPIO 数据。反向通道帧从解串器接收编码时钟和数据，因此数据比特率为接收到的最高频率的一半。

反向通道频率可编程，以便与兼容的解串器配合使用。默认设置由 MODE 配置 (strap) 引脚决定。使用 DS90UB936-Q1、DS90UB954-Q1 或 DS90UB960-Q1 时，必须在 DS90UB935-Q1 同步模式下将反向通道编程为 50Mbps 运行，并在非同步模式下编程为 10Mbps 运行。

6.3.4 串行器状态和监控

DS90UB935-Q1 具有增强的 FPD-Link III 诊断、系统监控和内置自检功能。该器件会监控正向通道和反向通道数据是否存在错误，并在状态寄存器中报告这些错误。该器件还支持测量电压和温度以进行系统级诊断。借助内置自检特性，可在无需外部数据连接的情况下测试正向通道和反向通道数据传输。

DS90UB935-Q1 可以通过正向通道发送警报和传感器状态数据，以监控 CSI-2 接口、双向控制通道 (BCC)、GPIO 电压传感器和内部温度传感器。然后，可通过兼容的链接解串器上的 SENSOR_STS_x 寄存器 (0x51) 至 (0x54) 访问数据。状态位一直被传输，并且需要在串行器上从寄存器 (0x1C) 至 (0x1E) 启用警报位的传输。

Copyright © 2024 Texas Instruments Incorporated

表 6-2. 解串器警报状态中断

位	SENSOR_STS_0	SENSOR_STS_1	SENSOR_STS_2	SENSOR_STS_3
7	0	0	0	0
6	0	Volt1 检测电平	0	0
5	CSI 警报	Volt1 检测电平	0	0
4	BCC 警报	Volt1 检测电平	0	CSI 2 位 ECC 错误
3	BC 链路检测	0	0	CSI 校验和错误
2	温度检测警报	Volt0 检测电平	温度检测电平	D-PHY SOT 错误
1	Volt1 检测警报	Volt0 检测电平	温度检测电平	D-PHY 同步错误
0	Volt0 检测警报	Volt0 检测电平	温度检测电平	D-PHY 控制错误

解串器 SENSOR_STS 上的 CSI-2 错误状态和警报为：CSI-2 警报、CSI-2 控制错误、CSI-2 同步错误、CSI-2 启动传输错误、CSI-2 校验和错误和 CSI-2 ECC 2 位错误。也可从串行器上的寄存器 (0x5D) 至 (0x60) 读取这些位的状态。BCC 错误警报由 BCC 链路检测和 CRC 错误触发，这些错误可以从寄存器 (0x52) 读取。

电压检测电平和电压检测警报对应于 Sensor_V0 (0x58) 和 Sensor_V1 (0x59)。温度检测水平和警报通过 Sensor_T (0x5A) 进行监控。

6.3.4.1 正向通道诊断

DS90UB935-Q1 可监控正向通道链路的状态。正向通道高速 PLL 锁定状态在 HS_PLL_LOCK 位（寄存器 0x52[2]）中报告。与 DS90UB936-Q1 或 DS90UB954-Q1 配对使用时，RX_LOCK_DETECT 位（寄存器 0x52[6]）中也会报告 FPD-Link III 解串器锁定状态。

6.3.4.2 反向通道诊断

DS90UB935-Q1 可监控反向通道链路的状态。反向通道 CRC 错误在 CRC_ERR 位（寄存器 0x52[1]）中报告。CRC 错误的数量存储在 CRC 错误计数器中，并在 CRC_ERR_CNT1（寄存器 0x55）和 CRC_ERR_CNT2（寄存器 0x56）寄存器中进行报告。通过将 CRC_ERR_CLR（寄存器 0x49[3]）设置为 1，可以复位 CRC 错误计数器。

运行 BIST 函数时，DS90UB935-Q1 会在 BIST_CRC_ERR 位（寄存器 0x52[3]）中报告是否检测到 BIST CRC 错误。BIST 错误的数量在 BIST_ERR_CNT 字段（寄存器 0x54）中报告。通过将 BIST_CRC_ERR_CLR（寄存器 0x49[5]）设置为 1，可以复位 BIST CRC 错误计数器。

6.3.4.3 电压和温度检测

DS90UB935-Q1 支持电压测量和温度测量。温度和电压传感器都配备了 3 位 ADC。工程师可将这些传感器配置为监控信号，并在信号超出设定的限值时生成标志。例如，电压传感器可用于监控 1.8V 线路，并在电压高于 1.85V 或低于 1.75V 时生成标志。然后，该标志可以传输到解串器，并在链路的解串器端设置中断。类似地，当 DS90UB935-Q1 的内部温度超出范围时，温度传感器会触发警报位。

GPIO0 和 GPIO1 均可配置为检测施加在其输入端的电压。表 6-32 至表 6-37 介绍特定于本节的寄存器。

对于给定的电压或温度，测量精度为 ±1 LSB。这意味着，对于与表 6-3 和表 6-4 中最接近的值相对应的给定输入电压或温度，生成的 ADC 输出代码精确到最接近的 ±1 代码。

Copyright © 2024 Texas Instruments Incorporated

表 6-3. ADC 代码与输入电压间的关系

GPIO VIN (V)	代码
VIN < 0.85	000
0.85 < VIN < 0.90	001
0.90 < VIN < 0.95	010
0.95 < VIN < 1.00	011
1.00 < VIN < 1.05	100
1.05 < VIN < 1.10	101
1.10 < VIN < 1.15	110
1.15 < VIN	111

表 6-4. ADC 代码与温度间的关系

温度 (°C)	代码
T < – 30	000
– 30 < T < – 10	001
– 10 < T < 15	010
15 < T < 35	011
35 < T < 55	100
55 < T < 75	101
75 < T < 100	110
100 < T	111

Copyright © 2024 Texas Instruments Incorporated

6.3.4.3.1 编程示例

本节举例说明了如何配置 DS90UB935-Q1 和 DS90UB936-Q1 以监测 DS90UB935-Q1 GPIO1 上的电压并设置警报，而后可将 DS90UB936-Q1 上的 INT 引脚置位。

```
# DS90UB935-Q1 Settings
WriteI2C(0x17,0x3E) # Enable Sensor, Select GPIO1 to sense
WriteI2C(0x18,0x80) # Enable Sensor Gain Setting (Use Default)
WriteI2C(0x1A,0x62) # Set Sensor Upper and Lower Limits (Use Default)
WriteI2C(0x1D,0x3F) # Enable Sensor Alarms
WriteI2C(0x1E,0x7F) # Enable Sending Alarms over BCC
# Register 0x57 readout (bits 2 and 3), indicates if the voltage on the GPIO1 is below or above the
thresholds set in the register 0x1A.
# DS90UB936-Q1 Settings
WriteI2C(0x23,0x81) # Enable Interrupts, Enable Interrupts for the camera attached to RX0
WriteI2C(0x4C,0x01) # Enable Writes to RX0 registers
WriteI2C(0xD8,0x08) # Interrupt on change in Sensor Status
# Register 0x51 and 0x52  readouts indicate Sensor data. Register 0x24[7] bit readout indicates the
Alarm bit. The alarm bit can be routed to GPIO3/INT through GPIO_PIN_CTL and GPIO_OUT_SRC registers.
```

6.3.4.4 内置自检

可选的全速内置自检 (BIST) 功能支持在没有外部数据连接的情况下测试高速串行链路和反向通道。这在原型阶段、设备生产、系统内测试和系统诊断中很有用。

BIST 模式由解串器上的 BIST 配置寄存器 0xB3[0] 启用，且仅在同步模式下运行。当在解串器处激活 BIST 时，BIST 使能信号通过反向通道发送到串行器。串行器输出假随机序列的连续流并高速驱动链路。解串器检测测试图形并监控其错误。串行器还跟踪每个反向通道帧中的 CRC 字段指示的错误。虽然需要锁定指示来识别开始正确接收数据，但任何链路故障或数据损坏的最佳指示是解串器侧每个 RX 端口的 BIST_ERR_COUNT 寄存器 0x57 中错误计数器的内容。BIST 模式在原型阶段、设备生产、系统内测试和系统诊断中很有用。

6.3.5 帧同步操作

与兼容的解串器配对使用时，可将任何 DS90UB935-Q1 GPIO 引脚用于帧同步。当多个传感器连接到解串器集线器时，此功能非常有用。可以使用任何反向通道 GPIO 通过反向通道发送帧同步信号 (FrameSync)。FrameSync 信号以有限的偏差到达串行器。

6.3.5.1 外部帧同步

在外部帧同步模式下，外部信号通过器件上的其中一个 GPIO 引脚输入到解串器。外部帧同步信号可通过反向通道中的 GPIO 信号传播到一个或多个连接的 FPD-Link III 串行器。外部帧同步模式的预期偏差时序约为一个反向通道帧周期，在 50Mbps 下运行时为 600ns。

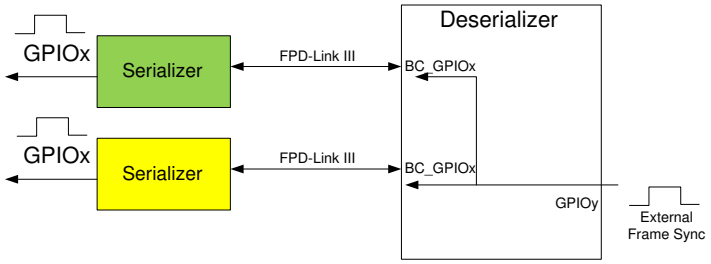


图 6-4. 外部帧同步

在解串器端启用外部帧同步模式。更多信息、请参阅解串器数据表。

6.3.5.2 内部生成的帧同步

在内部帧同步模式下，内部生成的帧同步信号通过反向通道中的 GPIO 信号发送到一个或多个连接的 FPD-Link III 串行器。

Copyright © 2024 Texas Instruments Incorporated

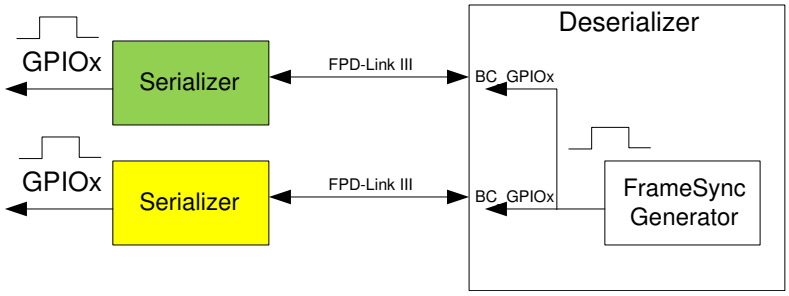


图 6-5. 内部帧同步

帧同步操作由解串器寄存器控制。更多信息、请参阅解串器数据表。

6.3.6 GPIO 支持

DS90UB935-Q1 支持四个引脚，即 GPIO0 到 GPIO3，可通过寄存器 0x0D、0x0E 和 0x53 中的 I2C 总线对这些引脚进行监控、配置和控制。这些 GPIO 可编程以用于多种情况。GPIO0 和 GPIO1 具有额外的诊断功能，可以通过编程来检测外部电压电平。

6.3.6.1 GPIO 状态

可通过 GPIO_PIN_STS 寄存器 0x53 读取每个 GPIO 引脚 0 至 3 的状态高电平或低电平。当通过设置寄存器 (0x0E) 上相应的 GPIOx_INPUT_EN 位将 GPIO 引脚配置为输入时，该寄存器读取操作会提供该引脚的状态。要在 GPIO 用作输出时读取 GPIO 状态，必须设置寄存器 (0x0E) 上的 GPIOx_INPUT_EN 和 GPIOx_OUT_EN 位。

表 6-5. GPIO 配置

配置	有效	有效	有效	无效
用途	GPIO 用作输出	GPIO 用作输出	GPIO 用作输入	GPIO 用作输入
GPIOx_INPUT_EN	0	1	1	1
GPIOx_OUT_EN	1	1	0	1
GPIO_STS	无法正常工作	正常工作 (1)	正常工作	不适用

备注

(1) 设置 GPIOx_INPUT_EN 后，内部下拉电阻器连接到 GPIO 输出，用户需要确保下拉电阻器不会干扰应用特定用途。

6.3.6.2 GPIO 输入控制

初始化时，GPIO0 到 GPIO3 默认作为输入启用。GPIO_INPUT_CTRL (0x0E) 寄存器（位 3:0）允许控制输入使能。如果 GPIO_INPUT_CTRL[3:0] 位设置为 1，则相应的 GPIO_INPUT_CTRL[7:4] 位必须设置为 0。应使用寄存器 (0x33) 中的 FC_GPIO_EN 设置和启用 GPIO 的数量。

6.3.6.3 GPIO 输出控制

可通过表 6-27 中的 GPIO_INPUT_CTRL (0x0E) 寄存器（位 7:4）对各个 GPIO 输出控制进行编程。GPIO_INPUT_CTRL[7:4] 位设置为 1，以将 GPIO 用作输出引脚。

6.3.6.4 正向通道 GPIO

DS90UB935-Q1 GPIO 引脚上的输入可通过 FPD-Link III 接口转发到兼容的解串器。在正向方向上最多支持四个 GPIO。

正向通道 GPIO 的时序取决于在串行器处分配的 GPIO 数量。当来自 DS90UB935-Q1 串行器的单个 GPIO 输入链接到兼容的解串器 GPIO 输出时，在每个正向通道传输帧对该值进行采样。每两个正向通道帧对两个链接的 GPIO 进行采样，每五个帧对三个或四个链接的 GPIO 进行采样。GPIO 的典型延迟约为 225ns，但随着电缆长度的变化而变化。由于信息分布在多个帧上，抖动通常按采样周期（正向通道帧数）的顺序增加。TI 建议用户为链

Copyright © 2024 Texas Instruments Incorporated

接的 GPIO 吞吐量保持 4 倍过采样率。例如，当在 4Gbps 同步模式下运行且 REFCLK = 25MHz 时，根据正向通道上链接的 GPIO 数量，建议的最大 GPIO 输入频率如表 6-6 所示。

表 6-6. 正向通道 GPIO 典型时序

链接正向通道 GPIO 的数量 (FC_GPIO_EN)	FPD-Link III 线路速率 = 4Gbps 时的采样频率 (MHz)	建议的最大正向通道 GPIO 频率 (MHz)	典型延迟 (ns)	抖动典型值 (ns)
1	100	25	225	12
2	50	12.5	225	24
4	20	5	225	60

6.3.6.5 反向通道 GPIO

当编程为输出时，每个 DS90UB935-Q1 GPIO 引脚都可以使用 LOCAL_GPIO_DATA 寄存器 (0x0D) 编程为输出来自兼容解串器的远程数据。可通过 FPD-Link III 反向通道接收的最大信号频率取决于 DS90UB935-Q1 时钟模式，如表 6-7 所示。

表 6-7. 反向通道 GPIO 典型时序

DS90UB935-Q1 时钟模式	反向通道速率 (Mbps)	采样频率 (kHz)	建议的最大反向通道 GPIO 频率 (kHz)	典型延时 (µs)	抖动典型值 (µs)
同步模式	50	1670	416	1.5	0.7
非同步模式	10	334	83.5	3.2	3
DVP 模式	2.5	83.5	20	12.2	12

6.4 器件功能模式

6.4.1 时钟模式

DS90UB935-Q1 支持多种时钟方案，可通过 MODE 引脚进行选择。在 DS90UB935-Q1 中，正向通道的工作带宽高于所传输视频数据所要求的带宽，正向通道数据速率由基准时钟设定。时钟模式决定了器件用作基准时钟的器件，常见的配置是无需本机基准振荡器的同步模式。有关更多信息，请参阅表 6-8。

DS90UB935-Q1 的默认模式由上电期间在 MODE 引脚上施加偏置来设置。有关设置运行模式的更多信息，请参阅 *节 6.4.2* 。

表 6-8. 时钟模式

模式	分频值	基准源	基准频率 (f) (MHz)	FC 数据速率	CSI 带宽 ≤	CLK_OUT (3)
同步	不适用	反向通道(1)	23 - 26	f × 160	2.528 Gbps	f × 160 / HS_CLK_DIV × (M/N)
同步（半速率）	不适用	反向通道(1)	11.5 - 13	f × 160	1.264Gbps	f × 160 / HS_CLK_DIV × (M/N)
非同步外部时钟	CLKIN_DIV = b000	外部时钟(2)	25 - 52	f × 80	f × 64 或 2.528Gbps 中的较小者	f × 80 / HS_CLK_DIV × (M/N)
	CLKIN_DIV = b001	外部时钟(2)	50 - 104	f × 40	f × 32 或 2.528Gbps 中的较小者	f × 40 / HS_CLK_DIV × (M/N)
非同步内部时钟	OSCCLK_SEL = 1	内部时钟	48.4 - 51	f × 80	2.528 Gbps	不适用
非同步内部时钟（半速率）	OSCCLK_SEL = 0	内部时钟	24.2 - 25.5	f × 80	1.264Gbps	不适用

Copyright © 2024 Texas Instruments Incorporated

表 6-8. 时钟模式（续）

模式	分频值	基准源	基准频率 (f) (MHz)	FC 数据速率	CSI 带宽 ≤	CLK_OUT (3)
DVP 外部时钟解串器模式：RAW10	不适用	外部时钟	25 - 66.5	f × 28	f × 20	f × 28 / HS_CLK_DIV × (M/N)
DVP 外部时钟解串器模式：RAW12 HF	不适用	外部时钟	25 - 70	f × 28	f × 18	f × 28 / HS_CLK_DIV × (M/N)

(1) 反向通道从 FPD-Link III 双向控制通道恢复。不需要本地基准时钟源。有关反向通道频率设置，请参阅解串器数据表。
(2) 需要本地基准时钟源。为 DS90UB935-Q1 的 CLKIN 引脚提供时钟源。
(3) HS_CLK_DIV 通常必须设置为 16、8 或 4（默认值）。

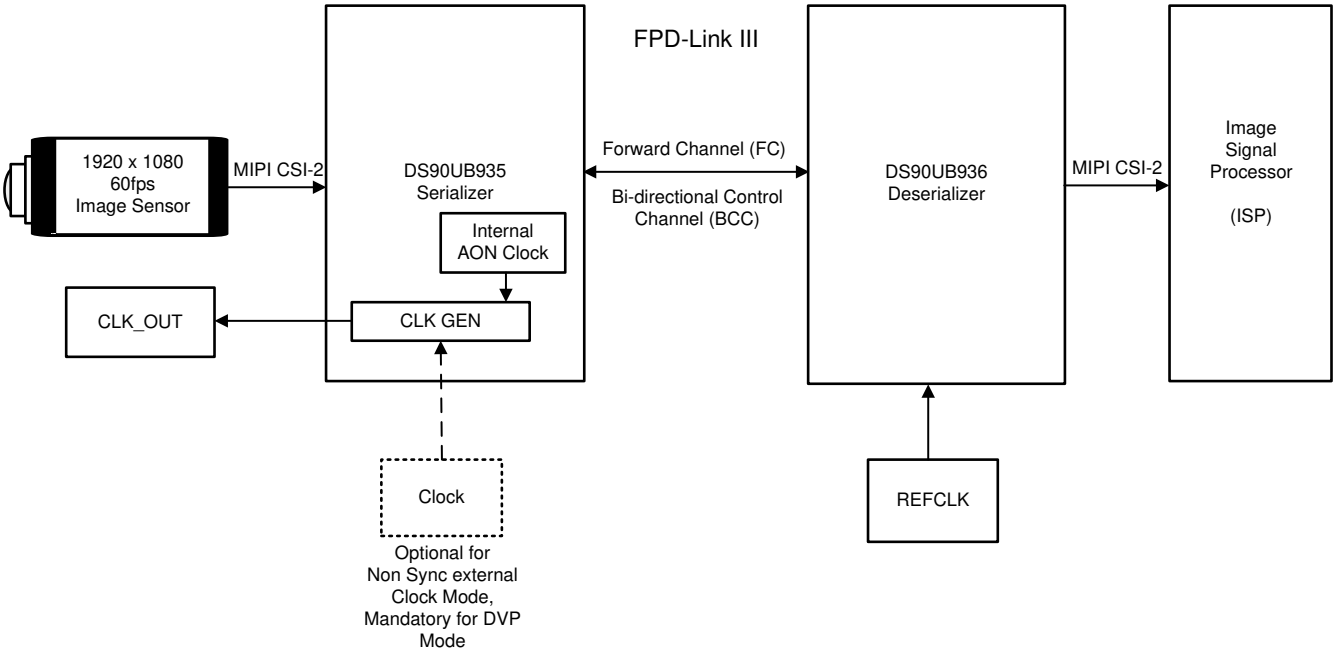


图 6-6. 时钟系统图

6.4.1.1 同步模式

同步模式下的运行的优势是，多传感器系统中的接收器和所有传感器均锁定到同一时钟域中的公共时钟，从而减少或消除对数据缓冲和重新同步的需求。同步时钟模式还避免了传感器模块内基准振荡器的成本、空间和潜在故障点。

在此模式下，时钟通过 FPD-Link III 反向通道从解串器传递到串行器，串行器既可以将该时钟用作所连接图像传感器的基准时钟，也可以用作返回解串器的链路（FPD-Link III 正向通道）的基准时钟。在此模式下运行时，DS90UB935-Q1 必须与可支持此功能的解串器配对，例如 DS90UB936-Q1、DS90UB954-Q1、DS90UB962-Q1 或 DS90UB960-Q1。

6.4.1.2 非同步时钟模式

在非同步时钟模式下，外部基准时钟提供给串行器。串行器使用该时钟为连接的图像传感器提供 FPD-Link III 正向通道和外部基准时钟。在 CSI-2 模式下，CSI-2 接口可与此时钟同步。CSI-2 速率必须低于线速率 x 32/40 和 MIPI 组合数据速率 2.528Gbps 的较小者。例如，使用 52MHz 时钟时，FPD-Link III 正向通道速率为 4.16Gbps，CSI-2 吞吐量必须 ≤ 2.52Gbps（请参阅表 6-8）。

Copyright © 2024 Texas Instruments Incorporated

6.4.1.3 非同步内部模式

在非同步内部时钟模式下，串行器使用内部常开时钟 (AON) 作为正向通道的基准时钟。当使用内部时钟模式时，OSCCLK_SEL 选择必须生效 (0x05[3]=1) 以启用最大数据速率，并且必须禁用 CLK_OUT 功能。为图像传感器或 ISP 提供了单独的基准。CSI-2 速率必须低于线速率。CSI-2 速率必须满足表 6-8 中所示的公式。

6.4.1.4 DVP 向后兼容模式

DS90UB935-Q1 可置于 DVP 模式，以便向后兼容 DS90UB964-Q1、DS90UB934-Q1 或 DS90UB914A-Q1。虽然应该已经使用 DS90UB935-Q1 上的 Mode 引脚配置了该模式，但可以使用寄存器 MODE_SEL 0x03[2:0] 来验证或覆盖当前模式。该字段始终指示器件的模式设置。当此寄存器的位 4 为 0 时，该字段为只读，并显示模式设置。当 PDB 从低电平转换为高电平时，模式从自举值中锁存。如果电阻配置 (strap) 正确设置为 DVP 外部时钟向后兼容模式，则该值应读回 101 (0x5)。或者，当该寄存器的第 4 位设置为 1 时，MODE 字段可读/写，并可编程为 101 以分配正确的向后兼容 MODE。表 6-16 展示了这种情况。

在使用 DVP 外部时钟模式时，提供给 DS90UB935-Q1 的 CSI-2 输入数据必须与施加到 CLKIN 的输入频率同步。当处于 DVP 外部时钟模式时，DS90UB934-Q1 或 DS90UB914A-Q1 解串器的 PCLK 频率输出与 CLKIN 相关。如需更多信息，请参阅 *可与并行输出解串器搭配运行的后向兼容模式* (SNLA270)。

表 6-9. 用于 DVP 配置的寄存器列表

寄存器	寄存器名称	寄存器说明
0X03	MODE_SEL	用于覆盖和验证配置的值，必要时使用外部时钟为 DVP 进行配置。
0X04	BC_MODE_SELECT	允许 DVP 模式覆盖为 RAW 10 或 RAW 12。
0X10	DVP_CFG	允许在 DVP 模式下配置数据。这包括数据类型，如 long、YUV 和指定类型。
0X11	DVP_DT	如果 DVP_DT_MATCH_EN 被置位，则无论在 RAW 10 模式还是 RAW 12 模式下，都允许具有特定数据类型的数据包。

6.4.1.5 配置 CLK_OUT

在同步或非同步外部时钟模式下使用 DS90UB935-Q1 时，CLK_OUT 用作图像传感器的基准时钟。当在非同步内部时钟模式下运行时，CLK_OUT 功能被禁用。外部 CLK_OUT 频率的设置请参阅方程式 1 和方程式 2。

$$CLK_OUT = FC \times \frac{M}{HS_CLK_DIV \times N} \quad (1)$$

其中

- FC 是正向通道数据速率，M、HS_CLK_DIV 和 N 是由寄存器 0x06 和 0x07 设置的参数

$$\frac{FC}{HS_CLK_DIV} < 1.05\ GHz \quad (2)$$

生成 CLK_OUT 的 PLL 是数字 PLL，因此，如果比率 N/M 为整数，抖动非常低。如果 N/M 不是整数，则信号抖动约等于 HS_CLK_DIV/FC - 因此如果不可能具有 N/M 的整数比，则为 HS_CLK_DIV 选择较小的值。

如果系统需要特定的 CLK_OUT 频率（例如 37.125MHz），设计人员可以选择 M=9、N=0xF2 和 HS_CLK_DIV=4，以实现 37.190MHz 的输出频率和 0.175% 的频率误差以及大约 1ns 的相关抖动。此外，设计人员可以对 CLK_OUT = 37.037MHz 使用 M=1、N=0x1B、HS_CLK_DIV=4，并对较少的抖动使用 0.24% 的频率误差。第三种替代方法是使用 M=1、N=0x1B 和 HS_CLK_DIV=4，但在同步模式下，解串器不使用 25.000MHz 基准时钟频率 (REFCLK)，而是使用 25.059MHz 频率。2x 基准随后从解串器反向通道馈送到 DS90UB935-Q1，允许生成具有低抖动和低频误差的 CLK_OUT = 37.124MHz。

Copyright © 2024 Texas Instruments Incorporated

6.4.2 模式

DS90UB935-Q1 可在四种可选择模式之一下运行。用户可以在上电期间向 MODE 引脚施加偏置电压，以在默认模式下运行。要设置该电压，可在 VDDPLL 和 GND 之间使用电位分压器来施加适当的偏置。该电位分压器应以 VDDD 引脚上的电位为基准。上电后，可以通过寄存器访问读取或更改 MODE。

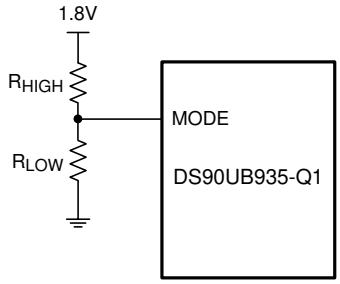


图 6-7. MODE 配置

Copyright © 2024 Texas Instruments Incorporated

表 6-10. Strap 配置模式选择

模式选择		V_{TARGET} 电压范围			V_{TARGET} 配置电压	建议的 STRAP 配置电阻器 (1% TOL)		说明
模式	名称	最小比率	比率典型值	比率最大值	$V_{(VDD)}$ = 1.8V	R_{HIGH} (kΩ)	R_{LOW} (kΩ)	
0	同步	0	0	0.133 x $V_{(VDD)}$	0	开路	10	CSI-2 同步模式 – 源自解串器的 FPD-Link III 时钟基准。
2	非同步外部时钟	0.288 x $V_{(VDD)}$	0.325 x $V_{(VDD)}$	0.367 x $V_{(VDD)}$	0.586	75	35.7	CSI-2 非同步时钟 – 源自 CLKIN 引脚上的外部时钟基准输入的 FPD-Link III 时钟基准。
3	非同步内部时钟	0.412 x $V_{(VDD)}$	0.443 x $V_{(VDD)}$	0.474 x $V_{(VDD)}$	0.792	71.5	56.2	CSI-2 非同步 – 源自内部 AON 时钟的 FPD-Link III 时钟基准。
5 (1)	DVP 模式	0.642 x $V_{(VDD)}$	0.673 x $V_{(VDD)}$	0.704 x $V_{(VDD)}$	1.202	39.2	78.7	具有外部时钟的 DVP。

(1) DS90UB934-Q1 和 DS90UB914A-Q1 解串器还包含一个 Mode 引脚 (21)。不过，解串器上的 MODE 引脚会确定预期的数据格式：RAW10、RAW12 LF 或 RAW12 HF。请注意，DS90UB935-Q1 不支持 RAW12 LF。

Copyright © 2024 Texas Instruments Incorporated

6.5 编程

6.5.1 I2C 接口配置

该串行器可以通过使用与 I2C 兼容的串行控制总线进行配置。多个器件可以共享串行控制总线（最多支持两个器件地址）。器件地址通过连接到 IDX 引脚的电阻分压器（R_{HIGH} 和 R_{LOW} – 请参阅图 6-8）设置。

6.5.1.1 CLK_OUT/IDX

CLK_OUT/IDX 引脚提供两个功能。上电时，IDX 引脚上的电压与 VDD 进行比较，该比率会设置 DS90UB935-Q1 配置的各种参数。配置 DS90UB935-Q1 后，CLK_OUT/IDX 引脚切换到时钟源，旨在为图像传感器提供基准时钟。使用 CLK_OUT 功能时，需要在 35kΩ 的 CLK_OUT/IDX 引脚上具有最小负载阻抗。

6.5.1.1.1 IDX

IDX 引脚将控制接口配置到两个可能的器件地址之一：1.8V 或 3.3V 基准 I2C 地址。上拉电阻和下拉电阻必须用于在 IDX 输入引脚上设置适当的电压（请参阅图 6-8）。IDX 电阻分压器必须以引脚 25 为基准（在 DS90UB935-Q1 引脚侧采用铁氧体滤波器之后）。

表 6-11. IDX 配置设置

IDX	V_{TARGET} 电压范围			V_{IDX} 目标电压	建议的 STRAP 配置电阻器 (1% TOL)		I2C 8 位地址	I2C 7 位地址	$V_{(I2C)}$（I2C I/O 电压）
	最小比率	比率典型值	比率最大值	V_{VDD} = 1.8V	R_{HIGH} (kΩ)	R_{LOW} (kΩ)			
1	0	0	0.131 x $V_{(VDD18)}$	0	开路	40.2	0x30	0x18	1.8V
2	0.178 x $V_{(VDD18)}$	0.214 x $V_{(VDD18)}$	0.256 x $V_{(VDD18)}$	0.385	180	47.5	0x32	0x19	1.8V
3	0.537 x $V_{(VDD18)}$	0.564 x $V_{(VDD18)}$	0.591 x $V_{(VDD18)}$	1.015	82.5	102	0x30	0x18	3.3V
4	0.652 x $V_{(VDD18)}$	0.679 x $V_{(VDD18)}$	0.706 x $V_{(VDD18)}$	1.223	68.1	137	0x32	0x19	3.3V

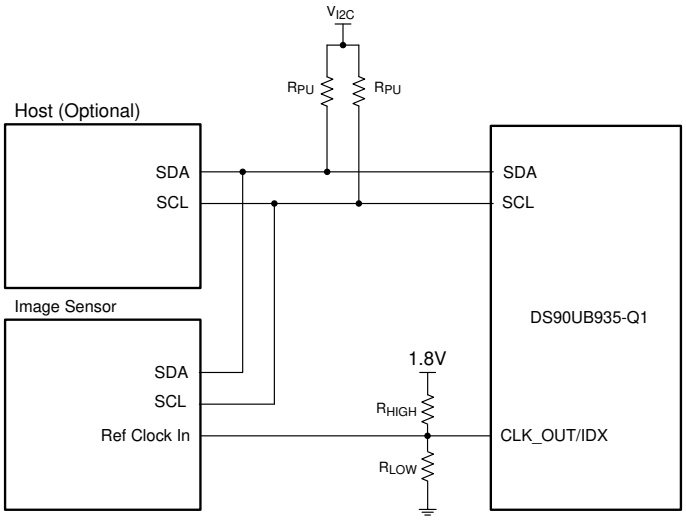


图 6-8. 偏置 IDX 引脚的电路

6.5.2 I2C 接口运行

串行控制总线由两个信号组成：SCL 和 SDA。SCL 是串行总线时钟输入/输出信号，SDA 是串行总线数据输入/输出信号。SCL 和 SDA 信号都需要一个外部上拉电阻到 V_{I2C}，选为 1.8V 或 3.3V。

对于标准和快速 I2C 模式，建议使用 R_{PU} = 4.7kΩ 的上拉电阻，而对于快速+ 模式，建议使用 R_{PU} = 470Ω 的上拉电阻。但是，可以根据容性负载和数据速率要求另外调整上拉电阻值。信号要么被拉至高电平，要么被拉至低

Copyright © 2024 Texas Instruments Incorporated

电平。IDX 引脚将控制接口配置为两个可能的器件地址之一。上拉电阻 (R_{HIGH}) 和下拉电阻 (R_{LOW}) 可用于在 IDX 输入引脚上设置适当的电压。

串行总线协议由 START、START-Repeated 和 STOP 相位控制。当 SDA 切换为低电平而 SCL 为高电平时，将发生 START。当 SDA 切换为高电平而 SCL 也为高电平时，将发生 STOP。请参阅图 6-9。

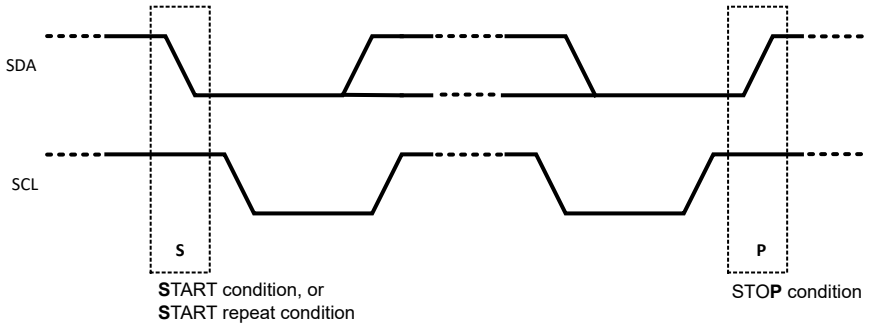


图 6-9. 启动和停止条件

为了与 I2C 目标器件通信，主机控制器（控制器）会将数据发送到目标地址并等待响应。该响应称为确认位 (ACK)。如果总线上的目标器件被正确寻址，则会通过将 SDA 总线驱动为低电平来确认 (ACK) 控制器。如果地址与器件的目标器件地址不匹配，则目标器件会通过让 SDA 拉为高电平来取消确认 (NACK) 控制器。发送数据时，总线上也会发生 ACK。当控制器在写入数据时，目标器件在成功接收到每个数据字节后都会进行 ACK。当控制器在读取数据时，控制器在接收到每个数据字节后都会进行 ACK，以便让目标器件知道控制器想要接收另一个数据字节。当控制器想要停止读取时，则会在最后一个数据字节之后发出 NACK 并在总线上创建一个停止条件。总线上的所有通信都是从启动条件或重复启动条件开始。总线上的所有通信都以停止条件结束。图 6-10 中显示了 READ，图 6-11 中显示了 WRITE。

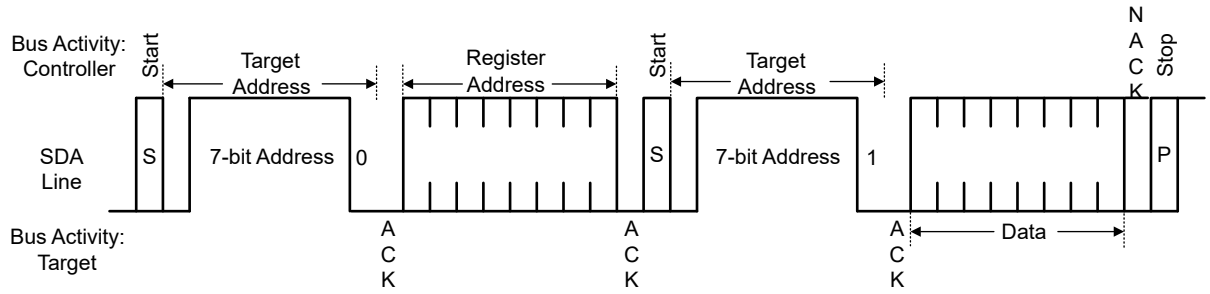


图 6-10. I2C 总线读取

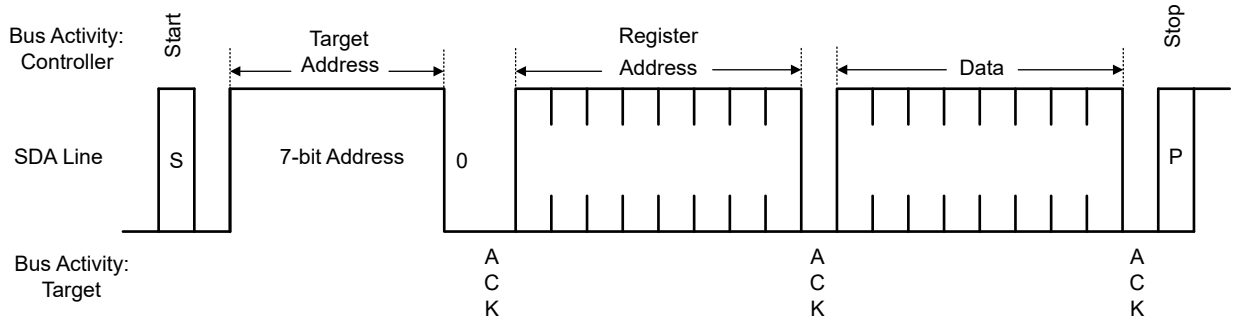


图 6-11. I2C 总线写入

位于串行器的任何 I2C 控制器必须支持 I2C 时钟延展。有关 I2C 接口要求和吞吐量注意事项的更多信息，请参阅 TI 应用手册 *通过具有双向控制通道的 FPD-Link III 进行 I2C 通信* (SNLA131)。

Copyright © 2024 Texas Instruments Incorporated

6.5.3 I2C 时序

代理控制器时序参数基于内部基准时钟。I2C 控制器使用寄存器 0x0B 和 0x0C 中的时序控制重新生成 I2C 读取或写入访问，以在标准、快速或快速+ 工作模式下重新生成时钟和数据信号，从而满足所需的 I2C 时序。

寄存器 0x0B 中设置了 I2C 控制器 SCL 高电平时间。当串行器是本地 I2C 总线上的控制器时，该字段配置 SCL 输出的高脉冲宽度。默认值设置为提供具有 26.25MHz 下内部基准时钟的最小 5μs SCL 高电平时间，包括五个额外的振荡器时钟周期或同步和响应时间。标称振荡器时钟频率的单位为 38.1ns，得到 Min_delay = 38.1ns × (SCL_HIGH_TIME + 5)。

寄存器 0x0C 中设置了 I2C 控制器 SCL 低电平时间。当串行器是本地解串器 I2C 总线上的控制器时，该字段配置 SCL 输出的低脉冲宽度。该值还用作 I2C 目标器件的 SDA 建立时间，用于在通过双向控制通道访问期间在释放 SCL 之前提供数据。默认值设置为提供具有 26.25MHz 下基准时钟的最小 5μs SCL 高电平时间，包括五个额外的振荡器时钟周期或同步和响应时间。标称振荡器时钟频率的单位为 38.1ns，得到 Min_delay = 38.1ns × (SCL_HIGH_TIME + 5)。有关标准模式、快速模式和快速+ 模式时序的示例设置，请参阅表 6-12。

表 6-12. 典型 I2C 时序寄存器设置

I2C 模式	SCL 高电平时间		SCL 低电平时间	
	0x0B	标称延迟	0x0C	标称延迟
标准	0x7F	5.03μs	0x7F	5.03μs
快	0x13	0.914μs	0x26	1.64μs
快速+	0x06	0.419μs	0x0B	0.648μs

6.6 图形生成

DS90UB935-Q1 支持内部图形生成特性，可提供一种简单的方法来为 CSI-2 发送器输出生成视频测试图形。支持两种类型的图形：间接寄存器集中的图形发生器页 0 访问的参考彩色条图形和固定彩色条图形。更多有关内部寄存器的信息，请参阅 *节 6.7.2* 。

6.6.1 参考彩色条图形

参考彩色条图形基于 mipi_CTS_for_D-PHY_v1-1_r03 规范的附录 D 中定义的图形。该图形是 8 彩色条形图形，旨在在 CSI-2 传输数据通道上提供高、低和中频输出。

CSI-2 参考图形默认提供 8 个彩色条，彩色条的字节数据如下：0xAA 的 X 字节（高频图形，反相）、0x33 的 X 字节（中频图形）、0xF0 的 X 字节（低频图形，反相）、0x7F 的 X 字节（独立 0 图形）、0x55 的 X 字节（高频图形）、0xCC 的 X 字节（中频图形、反相）、0x0F 的 X 字节（低频图形）和 0x80 的 Y 字节（长 1 图形）。在大多数情况下，Y 与 X 相同。对于某些数据类型，最后一个彩色条可能需要大于其他彩色条才能正确填充视频行尺寸。

图形发生器可通过以下选项进行编程：

- 彩色条数量（1、2、4 或 8）
- 每行字节数量
- 每个彩色条的字节数
- CSI-2 数据类型字段和 VC-ID
- 每帧有效视频行数
- 每帧总行数（有效加消隐）
- 线周期（可能以 10ns 为单位进行编程）
- 垂直前沿 – FrameEnd 数据包之前的消隐行数
- 垂直后沿 – FrameStart 数据包后的消隐行数

图形发生器依靠软件进行适当编程，以确保彩色条宽度设置为指定数据类型所需块（或字）大小的倍数。例如，对于 RGB888，数据块大小为 3 个字节，这也与像素大小相匹配。在本例中，每个彩色条的字节数必须是 3 的倍数。图形发生器在 CSI-2 发送时钟域中实现，从而直接向 CSI-2 发送器提供图形。电路会生成 CSI-2 格式的数据。

Copyright © 2024 Texas Instruments Incorporated

6.6.2 固定彩色条图形

当通过编程设置为固定彩色条图形模式时，图形发生器可以生成具有可编程固定数据图形的视频图像。图像尺寸的基本编程字段与彩色条图形使用的字段相同。发送固定彩色条图形时，用户可使用彩色条控件在固定图形数据和固定图形数据的逐位反向数据之间进行切换。

固定彩色条图形假设字节模式具有固定的块大小。块大小可通过寄存器进行编程，旨在支持大多数 8 位、10 位和 12 位像素格式。块大小应根据转换为字节整数倍数的块的像素大小来设置。例如，RGB888 模式将包含 3 字节像素，因此需要 3 字节块大小。2x12 位像素图像还需要 3 字节块大小，而 3x12 位像素图像需要 9 字节（2 像素）才能发送整数个字节。发送 RAW10 图形通常需要 4 个像素的 5 字节块大小，因此可以以 5 字节块大小发送 1x10 位和 2x10 位。对于 3x10 位，则需要 15 字节的块大小。

固定彩色条图形支持的块长度可达 16 字节，允许在某些情况下使用额外的图形选项。例如，通过使用十二字节块大小，RGB888 图像可以交替使用四个不同的像素。通过将前三个字节设置为 0xFF，将后三个字节设置为 0x00，可以以 6 字节的块大小发送交替的黑白 RGB888 图像。

为了支持高达 16 字节块大小，器件实现了一组十六个寄存器，以允许对每个数据字节的值进行编程。

Copyright © 2024 Texas Instruments Incorporated

6.6.3 数据包发生器编程

本节中的信息详细介绍了如何对图形发生器进行编程，以根据数据类型、帧大小和行大小提供特定的彩色条图形。

大多数基本配置信息直接根据预期的视频帧参数确定。要求应包括数据类型、帧速率（每秒帧数）、每帧有效行数、每帧总行数（有效加消隐）以及每行像素数。

- PGEN_ACT_LPF – 每帧有效行数
- PGEN_TOT_LPF – 每帧总行数
- PGEN_LSIZE – 以字节为单位的视频行长度。计算依据是每行像素乘以像素大小（以字节为单位）
- CSI-2 数据类型字段和 VC-ID。
- 可选：PGEN_VBP – 垂直后沿。这是帧有效后垂直消隐的行数。
- 可选：PGEN_VFP – 垂直前沿。这是帧有效之前垂直消隐的行数。
- PGEN_LINE_PD – 以 40/FC 单位表示的线路周期。根据帧速率、每帧总行数和正向通道速率进行计算。
  - PGEN Line Period = 1/ (Frame rate * PGEN_TOT_LPF) * Forward Channel Rate (Gbps)/40
- PGEN_BAR_SIZE – 以字节为单位的彩色条大小。基于数据类型和以字节为单位的行长度进行计算（请参阅下面的详细信息）。

6.6.3.1 确定彩色条大小

应根据所发送视频的数据类型，以块或字大小为单位对彩色条图形进行编程。在 MIPI CSI-2 规范中定义了大小。例如，RGB888 要求块大小为 3 字节，该块大小与像素大小相同。RAW10 需要等于 4 像素的 5 字节块大小。RAW12 需要等于 2 像素的 3 字节块大小。

对图形发生器进行编程时，软件应根据行大小和条数计算所需的条大小（以字节为单位）。对于标准 8 彩色条图形，将需要以下算法：

- 选择所需的数据类型以及该数据类型的有效长度（以像素为单位）。
- 将像素/行转换为块/行（通过除以像素/块数量，如数据类型规范中定义的那样）。
- 将块/行结果除以彩色条数量 (8)，得到块/条。
- 将结果向下舍入到最接近的整数。
- 将块/条转换为字节/条，并将该值编程到 PGEN_BAR_SIZE 寄存器中。

或者，可以通过将像素/行转换为字节/行并除以字节/块来计算块/行。

Copyright © 2024 Texas Instruments Incorporated

6.6.4 图形发生器的代码示例

```
#Patgen RGB888 1920x1080p30 Fixed 8 Colorbar
WriteI2C(0xB0,0x00) # Indirect Pattern Gen Registers
WriteI2C(0xB1,0x01) # PGEN_CTL
WriteI2C(0xB2,0x01)
WriteI2C(0xB1,0x02) # PGEN_CFG
WriteI2C(0xB2,0x33)
WriteI2C(0xB1,0x03) # PGEN_CSI_DI
WriteI2C(0xB2,0x24) # RGB888
WriteI2C(0xB1,0x04) # PGEN_LINE_SIZE1
WriteI2C(0xB2,0x16)
WriteI2C(0xB1,0x05) # PGEN_LINE_SIZE0
WriteI2C(0xB2,0x80)
WriteI2C(0xB1,0x06) # PGEN_BAR_SIZE1
WriteI2C(0xB2,0x02)
WriteI2C(0xB1,0x07) # PGEN_BAR_SIZE0
WriteI2C(0xB2,0xD0)
WriteI2C(0xB1,0x08) # PGEN_ACT_LPF1
WriteI2C(0xB2,0x04)
WriteI2C(0xB1,0x09) # PGEN_ACT_LPF0
WriteI2C(0xB2,0x38)
WriteI2C(0xB1,0x0A) # PGEN_TOT_LPF1
WriteI2C(0xB2,0x04)
WriteI2C(0xB1,0x0B) # PGEN_TOT_LPF0
WriteI2C(0xB2,0x65)
WriteI2C(0xB1,0x0C) # PGEN_LINE_PD1
WriteI2C(0xB2,0x0B)
WriteI2C(0xB1,0x0D) # PGEN_LINE_PD0
WriteI2C(0xB2,0x93)
WriteI2C(0xB1,0x0E) # PGEN_VBP
WriteI2C(0xB2,0x21)
WriteI2C(0xB1,0x0F) # PGEN_VFP
WriteI2C(0xB2,0x0A)
```

Copyright © 2024 Texas Instruments Incorporated

6.7 寄存器映射

在 *TYPE* 和 *DEFAULT* 标题下的寄存器定义中，适用以下定义：

- R = 只读访问
- R/W = 读/写访问
- R/RC = 只读访问，读取以清除
- (R/W)/SC = 读/写访问，自清零位
- (R/W)/S = 读/写访问，在启动时基于配置 (strap) 引脚配置设置
- LL = 锁存为低电平并保持，直到读取
- LH = 锁存为高电平并保持，直到读取
- S = 在启动时基于配置 (strap) 引脚配置设置

6.7.1 主寄存器

6.7.1.1 I2C 器件 ID 寄存器

表 6-13. 器件 ID 寄存器（地址 0x00）

位	字段	类型	默认值	说明
7:1	DEVICE_ID	S、R/W	S	串行器的 7 位 I2C ID。 该字段始终指示 I2C ID 的当前值。当此寄存器的位 0 为 0 时，该字段为只读，并显示配置的 ID。当此寄存器的位 0 为 1 时，该字段为读/写，可用于分配任何有效 I2C ID。
0	SER_ID_OVERRIDE	R/W	0x0	0：器件 ID 来自配置 (strap) 1：寄存器 I2C 器件 ID 会覆盖配置的值

6.7.1.2 复位

表 6-14. RESET_CTL 寄存器（地址 0x01）

位	字段	类型	默认值	说明
7:3	RESERVED	R/W	0x00	保留。
2	RESTART_AUTOLOAD	(R/W)/SC	0x0	重新启动 ROM 自动加载。 将该位设置为 1 会导致 ROM 重新加载。该位会自行清除。
1	DIGITAL_RESET_1	(R/W)/SC	0x0	数字复位 1。 复位整个数字模块，包括寄存器。该位会自行清除。 1：复位 0：正常运行
0	DIGITAL_RESET_0	(R/W)/SC	0x0	数字复位 0。 复位整个数字模块，寄存器除外。该位会自行清除。 1：复位 0：正常运行

6.7.1.3 一般配置

表 6-15. General_CFG（地址 0x02）

位	字段	类型	默认值	说明
7	RESERVED	R/W	0x0	保留。
6	CONTS_CLK	R/W	0x0	CSI-2 时钟通道配置。 0：非连续时钟 1：连续时钟
5:4	CSI_LANE_SEL	R/W	0x3	CSI-2 数据通道配置。 00：单通道配置 01：双通道配置 11：4 通道配置
3:2	RESERVED	R/W	0x0	保留。

Copyright © 2024 Texas Instruments Incorporated

表 6-15. General_CFG（地址 0x02）（续）

位	字段	类型	默认值	说明
1	CRC_TX_GEN_ENABLE	R/W	0x1	发送器 CRC 发生器。 0：禁用 1：启用
0	I2C_STRAP_MODE	S、R/W	S	I2C 配置 (strap) 模式。 该字段表示器件的 I2C 电压电平。器件启动时，该字段将显示来自配置 IDX 引脚的 I2C 电压电平设置。该字段支持写入，可用于分配 I2C 电压电平。只能通过所连接解串器的反向通道远程对该位进行编程以更改 I2C 电压电平。 0：3.3V 1： 1.8V

6.7.1.4 正向通道模式选择

表 6-16. MODE_SEL（地址 0x03）

位	字段	类型	默认值	说明
7	RESERVED	R/W	0x0	保留。
6	RESERVED	S、R	S	保留。
5	RESERVED	R/W	0x0	保留。
4	MODE_OV	R/W	0x0	0：来自配置的 MODE 引脚的串行器模式 1：寄存器模式会覆盖配置的值
3	MODE_DONE	R	0x0	指示 MODE 值已稳定并被锁存。
2:0	模式	S、R/W	S	该字段始终指示器件的 MODE 设置。当此寄存器的位 4 为 0 时，该字段为只读，并显示模式设置。当此寄存器的位 4 为 1 时，该字段为读/写，可用于分配 MODE。当 PDB 从低电平转换为高电平时，将从配置 (strap) 值锁存 MODE。 工作模式： 000：CSI-2 同步模式 001：保留 010：CSI-2 非同步外部时钟模式（需要本地时钟源） 011：CSI-2 非同步内部 AON 时钟 101：DVP 外部时钟向后兼容模式（需要本地时钟源）

6.7.1.5 BC_MODE_SELECT

表 6-17. BC_MODE_SELECT（地址 0x04）

位	字段	类型	默认值	说明
7:3	RESERVED	R/W	0x0	保留。
2	MODE_OVERWRITE_100m	R/W	0x0	28 位原始 10 模式运行。 一旦检测到 RX 锁定，双向控制通道便会自动配置向后兼容的原始 10 DVP 模式（28 位）。软件可覆盖该值，但还必须设置 DVP_MODE_OVER_EN 以防被双向控制通道覆盖。
1	MODE_OVERWRITE_75m	R/W	0x0	28 位原始 12 模式运行。 一旦检测到 RX 锁定，双向控制通道便会自动配置向后兼容的原始 12 HF DVP 模式（28 位）。软件可覆盖该值，但还必须设置 DVP_MODE_OVER_EN 以防被双向控制通道覆盖。
0	DVP_MODE_OVER_EN	R/W	0x0	防止双向控制通道自动加载向后兼容的 DVP 模式（28 位）运行。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.6 PLL 时钟控制

表 6-18. PLLCLK_CTRL 寄存器（地址 0x05）

位	字段	类型	默认值	说明
7	RESERVED	R/W	0x0	保留。
6:4	CLKIN_DIV	R/W	0x0	用于生成内部基准的 CLKIN 时钟分频比。 3'b000：CLKIN 1 分频 3'b001：CLKIN 2 分频 3'b010：CLKIN 4 分频 3'b011：CLKIN 8 分频 3'b100 - 3'b111：RESERVED
3	OSCCLK_SEL	R/W	0x0	当以非同步内部时钟运行或未检测到外部系统时钟时，内部生成的 OSC 时钟基准。 0：24.2MHz 至 25.5MHz，设置为 2Gbps 线路速率 1：48.4MHz 至 51MHz，在非同步内部时钟模式下设置为 4 Gbps 线路速率。
2:0	RESERVED	R/W	0x3	保留。

6.7.1.7 时钟输出控制 0

DS90UB935-Q1 提供可编程基准时钟的选项，以满足各种传感器的系统时钟输入要求。时钟输出频率的控制由输入分频器、寄存器 0x06 中的 M 值和寄存器 0x07 中的 N 值设置。

表 6-19. CLKOUT_CTRL0（地址 0x06）

位	字段	类型	默认值	说明
7:5	HS_CLK_DIV	R/W	0x2	M/N 分频器的时钟源是由正向通道数据速率除以该寄存器字段得到的。 000：1 分频 001：2 分频 010：4 分频 011：8 分频 100：16 分频
4:0	DIV_M_VAL	R/W	0x01	CLKOUT 的 M/N 分频器的 M 值。CLKOUT 可以根据系统传感器要求，使用内部高速时钟的 M/N 比率进行编程，以生成时钟输出。当选择 M/N 比率时，应将它们设置为产生小于 100MHz 的 CLKOUT 频率。M 值应 ≥ 0。将 M 设置为 0 将禁用 CLKOUT，输出将保持静态高电平或低电平。

6.7.1.8 时钟输出控制 1

DS90UB935-Q1 提供可编程基准时钟的选项，以满足各种传感器的系统时钟输入要求。时钟输出频率的控制由输入分频器、寄存器 0x06 中的 M 值和寄存器 0x07 中的 N 值设置。

表 6-20. CLKOUT_CTRL1（地址 0x07）

位	字段	类型	默认值	说明
7:0	DIV_N_VAL	R/W	0x28	CLKOUT 的 M/N 分频器的 N 值。CLKOUT 可以根据系统传感器要求，使用内部高速时钟的 M/N 比率进行编程，以生成时钟输出。当选择 M/N 比率时，应将它们设置为产生小于 100MHz 的 CLKOUT 频率。N 必须设置为非零值。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.9 反向通道看门狗控制

表 6-21. BCC_WATCHDOG（地址 0x08）

位	字段	类型	默认值	说明
7:1	BCC_WD_TIMER	R/W	0x7F	BCC_WD_TIMER 会设置双向控制通道看门狗超时值，单位为 2ms。该字段不应设置为 0。如果控制通道事务未能在设定的时间内完成，看门狗计时器允许终止控制通道事务。
0	BCC_WD_TIMER_DISABLE	R/W	0x0	禁用双向控制通道看门狗计时器。 1：禁用 BCC 看门狗计时器操作 0：启用 BCC 看门狗计时器操作

6.7.1.10 I2C 控制 1

表 6-22. I2C_CONTROL1（地址 0x09）

位	字段	类型	默认值	说明
7	LCL_WRITE_禁用	R/W	0x0	禁用对本地寄存器的远程写入。 将该位设置为 1 会防止从控制通道上对本地器件寄存器进行远程写入。这可以防止从连接到解串器的 I2C 控制器写入串行器寄存器。设置该位不会影响在串行器上对 I2C 目标器件的远程访问。
6:4	I2C_SDA_HOLD	R/W	0x1	内部 SDA 保持时间。 该字段配置了相对于 SCL 输入的为 SDA 输入提供的内部保持时间量。单位为 50 纳秒。
3:0	I2C_FILTER_DEPTH	R/W	0xE	I2C 干扰滤波器深度。 该字段配置 SCL 和 SDA 输入上会被拒绝的干扰脉冲的最大宽度。单位为 5 纳秒。

6.7.1.11 I2C 控制 2

表 6-23. I2C_CONTROL2（地址 0x0A）

位	字段	类型	默认值	说明
7:4	SDA_OUTPUT_SETUP	R/W	0x1	远程确认 SDA 输出设置。 当控制通道（远程）访问处于运行状态时，该字段配置在 ACK 周期期间，SDA 输出相对于 SCL 上升沿的建立时间。 设置此值将以 640ns 为单位增加设置时间。当该字段为 0 时，SDA 到 SCL 的标称输出设置时间值为 80ns。
3:2	SDA_OUTPUT_DELAY	R/W	0x0	SDA 输出延迟。 该字段会配置 SDA 输出相对于 SCL 下降沿的额外延迟。设置此值将以 40ns 为单位增加输出延迟。 SCL 到 SDA 的标称输出延迟值为： 00：240ns 01：280ns 10：320ns 11：360ns
1	I2C_BUS_TIMER_SPEEDUP	R/W	0x0	加快 I2C 总线看门狗计时器。 1：看门狗计时器在大约 50 微秒后失效 0：看门狗计时器在大约 1 秒后失效。
0	I2C_BUS_TIMER_DISABLE	R/W	0x0	禁用 I2C 总线看门狗计时器。 I2C 总线看门狗计时器可用于检测 I2C 总线何时空闲或何时在事务无效终止后挂起。如果 SDA 为高电平并且大约 1 秒内没有信号发生，则 I2C 总线会被假定为空闲。如果 SDA 为低电平且没有信号发生，则器件会尝试通过驱动 SCL 上的 9 个时钟来清除总线。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.12 SCL 高电平时间

表 6-24. SCL_HIGH_TIME（地址 0x0B）

位	字段	类型	默认值	说明
7:0	SCL_HIGH_TIME	R/W	0x7F	I2C 控制器 SCL 高电平时间。 当串行器是本地 I2C 总线上的控制器时，该字段配置 SCL 输出的高脉冲宽度。标称振荡器时钟频率 26.25MHz 的单位为 38.1ns。默认值设置为，在内部振荡器时钟以 26.25MHz 运行时，提供最短 5µs SCL 高电平时间。延迟包含 5 个额外的振荡器时钟周期。 Min_delay = 38.0952ns × (SCL_HIGH_TIME + 5)

6.7.1.13 SCL 低电平时间

表 6-25. SCL_LOW_TIME（地址 0x0C）

位	字段	类型	默认值	说明
7:0	SCL_LOW_TIME	R/W	0x7F	I2C SCL 低电平时间。 当串行器是本地 I2C 总线上的控制器时，该字段配置 SCL 输出的低脉冲宽度。该值还用作 I2C 目标器件的 SDA 建立时间，用于在通过双向控制通道访问期间在释放 SCL 之前提供数据。标称振荡器时钟频率为 26.25MHz，单位为 38.1ns。默认值设置为，在内部振荡器时钟以 26.25MHz 运行时，提供最短 5µs SCL 低电平时间。延迟包含 5 个额外的时钟周期。 Min_delay = 38.0952ns × (SCL_LOW_TIME + 5)

6.7.1.14 本地 GPIO 数据

表 6-26. LOCAL_GPIO_DATA（地址 0x0D）

位	字段	类型	默认值	说明
7:4	GPIO_RMTEN	R/W	0xF	在本地 GPIO 上启用远程解串器 GPIO 数据。 位 7：当该位设置为 1 时启用远程 GPIO3 位 6：当该位设置为 1 时启用远程 GPIO2 位 5：当该位设置为 1 时启用远程 GPIO1 位 4：当该位设置为 1 时启用远程 GPIO0
3:0	GPIO_OUT_SRC	R/W	0x0	GPIO 输出源。 该寄存器会设置 4 个 GPIO 的逻辑输出，必须禁用 GPIO_RMTEN 且必须启用 GPIOx_OUT_EN。 位 3：在 GPIO3 上写入 0/1 位 2：在 GPIO2 上写入 0/1 位 1：在 GPIO1 上写入 0/1 位 0：在 GPIO0 上写入 0/1

6.7.1.15 GPIO 输入控制

表 6-27. GPIO_INPUT_CTRL（地址 0x0E）

位	字段	类型	默认值	说明
7	GPIO3_OUT_EN	R/W	0x0	GPIO3 输出启用。 0：禁用 1：启用
6	GPIO2_OUT_EN	R/W	0x0	GPIO2 输出启用。 0：禁用 1：启用
5	GPIO1_OUT_EN	R/W	0x0	GPIO1 输出启用。 0：禁用 1：启用
4	GPIO0_OUT_EN	R/W	0x0	GPIO0 输出启用。 0：禁用 1：启用

Copyright © 2024 Texas Instruments Incorporated

表 6-27. GPIO_INPUT_CTRL（地址 0x0E）（续）

位	字段	类型	默认值	说明
3	GPIO3_INPUT_EN	R/W	0x1	GPIO3 输入使能。 0：禁用 1：启用
2	GPIO2_INPUT_EN	R/W	0x1	GPIO2 输入使能。 0：禁用 1：启用
1	GPIO1_INPUT_EN	R/W	0x1	GPIO1 输入使能。 0：禁用 1：启用
0	GPIO0_INPUT_EN	R/W	0x1	GPIO0 输入使能。 0：禁用 1：启用

6.7.1.16 DVP_CFG

表 6-28. DVP_CFG（地址 0x10）

位	字段	类型	默认值	说明
7:5	RESERVED	R/W	0x0	保留。
4	DVP_DT_ANY_EN	R/W	0x0	置为有效时，允许通过 DVP 传输任何具有长数据类型 (DT) 数据包的数据包。
3	DVP_DT_MATCH_EN	R/W	0x0	置位后，允许根据 DVP_DT 寄存器中的值进行数据类型匹配。注意：此位生效后，将阻止对 DVP_DT 寄存器的写入。
2	DVP_DT_YUV_EN	R/W	0x0	生效后，在 mode_100m 也生效时，允许 YUV 10 位 DT 通过 DVP（YUV 10 位 DTS 为 0x19、0x1d 和 0x1f）。
1	DVP_FV_IN	R/W	0x0	反相帧有效极性。
0	DVP_LV_INV	R/W	0x0	反相线路有效极性。

6.7.1.17 DVP_DT

表 6-29. DVP_DT（地址 0x11）

位	字段	类型	默认值	说明
7:6	RESERVED	R/W	0x0	保留。
5:0	DVP_DT_MATCH_VAL	R/W	0x0	当寄存器 DVP_CFG (0x10) 中的 DVP_DT_MATCH_EN 位生效时，无论 mode_75m 或 mode_100m 设置为何，DVP 块都将允许使用带有此 DT 的数据包。DT 值必须为较长的 DT 值（必须设置位 5 或位 4）才能匹配。

6.7.1.18 强制 BIST 错误

表 6-30. FORCE_BIST_ERR（地址 0x13）

位	字段	类型	默认值	说明
7	FORCE_FC_ERR	SC	0x0	FORCE_ERR_CNT 允许根据 FORCE_FC_CNT 中的值强制设置多个正向通道奇偶校验错误。在 BIST 模式下，奇偶校验错误将在进入 BIST 模式时自动生成。在正常运行时，为了注入奇偶校验错误，该位必须设置为 1。 0：强制禁用 1：强制启用
6:0	FORCE_FC_CNT	R/W	0x00	强制错误计数。将该值设置为所需的强制奇偶校验错误数。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.19 远程 BIST 控制

表 6-31. REMOTE_BIST_CTRL（地址 0x14）

位	字段	类型	默认值	说明
7:4	FORCE_ERR_CNT	R/W	0x0	设置为根据 FORCE_ERR_CNT 强制实施 FC 错误。 0：强制禁用 1：强制启用
3	LOCAL_BIST_EN	R/W	0x0	强制 DS90UB935-Q1 进入 BIST 模式。
2:1	BIST_CLOCK	R/W	0x0	BIST 时钟源选择。 00：外部/系统时钟 01：50MHz 内部时钟 1X：25MHz 内部时钟
0	REMOTE_BIST_EN	R/W	0x0	向后兼容的远程 BIST 使能寄存器。

6.7.1.20 传感器电压增益

表 6-32. SENSOR_VGAIN（地址 0x15）

位	字段	类型	默认值	说明
7	RESERVED	R/W	0x0	保留。
6:0	VOLT_GAIN	R/W	0x20	电压传感器增益设置。VOLT_GAIN = (128 / REG_VALUE)。 0x40 = 增益为 2 0x20 = 增益为 4 0x10 = 增益为 8

6.7.1.21 传感器控制 0

表 6-33. SENSOR_CTRL0（地址 0x17）

位	字段	类型	默认值	说明
7:4	RESERVED	R/W	0x3	保留。
3:2	SENSOR_ENABLE	R/W	0x3	温度和电压传感器使能。 00：禁用 11：启用
1:0	SENSE_V_GPIO	R/W	0x0	启用 GPIO 0/1 以进行输入电压传感器 0/1 测量。 00：无电压检测 01：GPIO0 电压检测 10：GPIO1 电压检测 11：GPIO0 和 GPIO1 电压检测

6.7.1.22 传感器控制 1

表 6-34. SENSOR_CTRL1（地址 0x18）

位	字段	类型	默认值	说明
7	SENSE_GAIN_EN	R/W	0x1	启用传感器的增益设置。
6:0	RESERVED	R/W	0x00	保留。

6.7.1.23 电压传感器 0 阈值

表 6-35. SENSOR_V0_THRESH（地址 0x19）

位	字段	类型	默认值	说明
7	RESERVED	R/W	0x0	保留。
6:4	SENSE_V0_HI	R/W	0x6	GPIO0/V0 传感器上限。当 GPIO0 配置为电压传感器并且测得的电压高于 SENSE_V0_HI 时，会触发 SENSOR_STATUS 寄存器中的 V0_SENSOR_HI 警报。可以从 VOLTAGE_SENSOR_V0_MAX 读取最大读数。
3	RESERVED	R/W	0x0	保留。

Copyright © 2024 Texas Instruments Incorporated

表 6-35. SENSOR_V0_THRESH（地址 0x19）（续）

位	字段	类型	默认值	说明
2:0	SENSE_V0_LO	R/W	0x2	GPIO0/V0 传感器下限。当 GPIO0 配置为电压传感器并且测得的电压低于 SENSE_V0_LO 时，会触发 SENSOR_STATUS 寄存器中的 V0_SENSOR_LOW 警报。可以从 VOLTAGE_SENSOR_V0_MIN 读取最小读数。

6.7.1.24 电压传感器 1 阈值

表 6-36. SENSOR_V1_THRESH（地址 0x1A）

位	字段	类型	默认值	说明
7	RESERVED	R/W	0x0	保留。
6:4	SENSE_V1_HI	R/W	0x6	GPIO1/V1 传感器上限。当 GPIO1 配置为电压传感器并且测得的电压高于 SENSE_V1_HI 时，会触发 SENSOR_STATUS 寄存器中的 V1_SENSOR_HI 警报。可以从 VOLTAGE_SENSOR_V1_MAX 读取最大读数。
3	RESERVED	R/W	0x0	保留。
2:0	SENSE_V1_LO	R/W	0x2	GPIO1/V1 传感器下限。当 GPIO1 配置为电压传感器并且测得的电压低于 SENSE_V1_LO 时，会触发 SENSOR_STATUS 寄存器中的 V1_SENSOR_LOW 警报。可以从 VOLTAGE_SENSOR_V1_MIN 读取最小读数。

6.7.1.25 温度传感器阈值

表 6-37. SENSOR_T_THRESH（地址 0x1B）

位	字段	类型	默认值	说明
7	RESERVED	R/W	0x0	保留。
6:4	SENSE_T_HI	R/W	0x6	温度传感器上限阈值。当启用温度传感器且测得的温度高于 SENSE_T_HI 限值时，将触发 SENSOR_STATUS 下的 T_SENSOR_HI 警报。
3	RESERVED	R/W	0x0	保留。
2:0	SENSE_T_LO	R/W	0x2	温度传感器下限阈值。当启用温度传感器且测得的温度低于 SENSE_T_LO 限值时，将触发 SENSOR_STATUS 下的 T_SENSOR_LOW 警报。

6.7.1.26 CSI-2 警报使能

表 6-38. ALARM_CSI_EN（地址 0x1C）

位	字段	类型	默认值	说明
7:6	RESERVED	R/W	0x0	保留。
5	CSI_NO_FV_EN	R/W	0x1	CSI-2 无帧有效警报使能。 1：启用 0：禁用
4	DPHY_SYNC_ERR_EN	R/W	0x1	DPHY_SYNC_ERR 警报使能。 1：启用 0：禁用
3	DPHY_CTRL_ERR_EN	R/W	0x1	DPHY_CTRL_ERR 警报启用。 1：启用 0：禁用
2	CSI_ECC_2_EN	R/W	0x1	CSI_ECC2 警报使能。 1：启用 0：禁用
1	CSI_CHKSUM_ERR_EN	R/W	0x1	CSI-2 校验和错误警报使能。 1：启用 0：禁用

Copyright © 2024 Texas Instruments Incorporated

表 6-38. ALARM_CSI_EN（地址 0x1C）（续）

位	字段	类型	默认值	说明
0	CSI_LENGTH_ERR_EN	R/W	0x1	CSI-2 长度错误警报使能。 1：启用 0：禁用

6.7.1.27 警报感应使能

表 6-39. ALARM_SENSE_EN（地址 0x1D）

位	字段	类型	默认值	说明
7:6	RESERVED	R/W	0x0	保留。
5	T_OVER	R/W	0x0	针对上限警报启用温度传感器。
4	T_UNDER	R/W	0x0	针对下限警报启用温度传感器。
3	V1_OVER	R/W	0x0	针对上限警报启用 Voltage1 传感器。
2	V1_UNDER	R/W	0x0	在下限警报下启用 Voltage1 传感器。
1	V0_OVER	R/W	0x0	针对上限警报启用 Voltage0 传感器。
0	V0_UNDER	R/W	0x0	在下限警报下启用 Voltage0 传感器。

6.7.1.28 反向通道警报使能

表 6-40. ALARM_BC_EN（地址 0x1E）

位	字段	类型	默认值	说明
7	RESERVED	R/W	0x0	保留。
6	BCC_TARGET_TO_ERROR_EN	R/W	0x0	启用 BCC_TARGET_TO_ERROR_EN 警报。
5	BCC_TARGET_ERROR_EN	R/W	0x0	启用 BCC_TARGET_ERROR_EN 警报。
4	BCC_MSTR_TO_ERROR_EN	R/W	0x0	启用 BCC_MSTR_TO_ERROR_EN 警报。
3	BCC_MSTR_ERROR_EN	R/W	0x0	启用 BCC_MSTR_ERROR_EN 警报。
2	BCC_DATA_ERROR_EN	R/W	0x0	启用 BCC_DATA_ERROR_EN 警报。
1	CRC_ERR_EN	R/W	0x0	启用 CRC_ERR 警报。
0	LINK_DETECT_EN	R/W	0x0	启用 LINK_DETECT 警报。

6.7.1.29 CSI-2 极性选择

CSI-2 极性选择寄存器允许更改每个数据通道的 P/N 输入极性。

表 6-41. CSI_POL_SEL（地址 0x20）

位	字段	类型	默认值	说明
7:5	RESERVED	R	0x0	保留。
4	POLARITY_CLK0	R/W	0x0	CSI-2 CLK 通道 0 极性。
3	POLARITY_D3	R/W	0x0	CSI-2 数据通道 3 极性。
2	POLARITY_D2	R/W	0x0	CSI-2 数据通道 2 极性。
1	POLARITY_D1	R/W	0x0	CSI-2 数据通道 1 极性。
0	POLARITY_D0	R/W	0x0	CSI-2 数据通道 0 极性。

6.7.1.30 CSI-2 LP 模式极性

CSI-2 LP 模式极性寄存器允许在低功耗模式下更改所有时钟和数据通道的极性。

Copyright © 2024 Texas Instruments Incorporated

表 6-42. CSI_LP_POLARITY (地址 0x21)

位	字段	类型	默认值	说明
7:5	RESERVED	R/W	0x0	保留。
4	POL_LP_CLK0	R/W	0x0	LP CSI-2 时钟通道极性。
3:0	POL_LP_DATA	R/W	0x0	LP CSI-2 数据通道极性。

6.7.1.31 CSI-2 高速 RX 使能

CSI-2 高速 RX 使能寄存器用于系统调试，应将其设置为 0x00 以实现正常运行。

表 6-43. CSI_EN_HSRX (地址 0x22)

位	字段	类型	默认值	说明
7	RESERVED	R	0x0	保留。
6:0	RESERVED	R/W	0x00	保留。

6.7.1.32 CSI-2 低功耗使能

CSI-2 低功耗使能寄存器用于系统调试。

表 6-44. CSI_EN_LPRX (地址 0x23)

位	字段	类型	默认值	说明
7	RESERVED	R	0x0	保留。
6:0	RESERVED	R/W	0x00	保留。

6.7.1.33 CSI-2 端接启用

CSI-2 端接使能寄存器用于系统调试。

表 6-45. CSI_EN_RXTERM (地址 0x24)

位	字段	类型	默认值	说明
7:4	RESERVED	R/W	0x0	保留。
3	EN_RXTERM_D3	R/W	0x0	保留。
2	EN_RXTERM_D2	R/W	0x0	保留。
1	EN_RXTERM_D1	R/W	0x0	保留。
0	EN_RXTERM_D0	R/W	0x0	保留。

6.7.1.34 CSI-2 数据包报头控制

表 6-46. CSI_PKT_HDR_TINIT_CTRL (地址 0x31)

位	字段	类型	默认值	说明
7:6	PKT_HDR_SEL_VC	R/W	0x0	对于交错式 VC 数据包，请选择 VC ID 以显示数据包报头。这仅在位 4 设置为高电平时有效 (PKT_HDR_VCI_ENABLE)。
5	PKT_HDR_CORRECTED	R/W	0x1	1：显示发送到接收器的已更正 CSI-2 数据包报头 (出现错误时) 0：显示从成像仪接收到的 CSI-2 数据包报头
4	PKT_HDR_VCI_ENABLE	R/W	0x0	基于 VC 为交错模式启用 CSI-2 数据包报头选型。对于交错式 VC 数据包，设置该位以记录每个 VC 的数据包报头。对于常规数据包，应忽略该位。
3	RESERVED	R/W	0x0	保留。

Copyright © 2024 Texas Instruments Incorporated

表 6-46. CSI_PKT_HDR_TINIT_CTRL（地址 0x31）（续）

位	字段	类型	默认值	说明
2:0	TINIT_TIME	R/W	0x0	上电后的 CSI-2 初始时间。对于所有 CSI-2 通道，在此期间会忽略任何 LP 控制数据。 000 = 100µs 001 = 200µs 010 = 300µs 111 = 800µs 以此类推。

6.7.1.35 反向通道配置

表 6-47. BCC_CONFIG（地址 0x32）

位	字段	类型	默认值	说明
7	I2C_PASS_THROUGH_ALL	R/W	0x0	I2C 直通所有事务。 0：禁用 1：启用
6	I2C_PASS_THROUGH	R/W	0x0	如果解码匹配，则 I2C 直通至解串器。 0：直通模式禁用 1：直通模式已启用
5	AUTO_ACK_ALL	R/W	0x0	无论正向通道锁定状态或远程确认的状态如何，都自动确认所有 I2C 写入。 1：启用 0：禁用
4	RESERVED	R/W	0x0	保留。
3	RX_PARITY_CHECKER_ENABLE	R/W	0x1	奇偶校验器启用。 0：禁用 1：启用
2	RESERVED	R/W	0x0	保留。
1	RESERVED	R/W	0x0	保留。
0	RESERVED	R/W	0x1	保留。

6.7.1.36 数据路径控制 1

表 6-48. DATAPATH_CTL1（地址 0x33）

位	字段	类型	默认值	说明
7:3	RESERVED	R/W	0x00	保留。
2	DCA_CRC_EN	R/W	0x1	DCA CRC 启用。 如果设置为 1，则正向通道发送 CRC 作为 DCA 序列的一部分。DCA CRC 会保护 DCA 序列的前 8 个字节。 CRC 作为第 9 个字节发送。
1:0	FC_GPIO_EN	R/W	0x0	正向通道 GPIO 使能。 配置已启用的正向通道 GPIO 的数量。 00：禁用 GPIO 01：一个 GPIO 10：两个 GPIO 11：四个 GPIO

6.7.1.37 远程合作伙伴能力 1

表 6-49. REMOTE_PAR_CAP1（地址 0x35）

位	字段	类型	默认值	说明
7	FREEZE_DES_CAP	R/W	0x0	冻结伙伴能力。 防止通过双向控制通道自动加载伙伴能力。这些功能被冻结后保持寄存器 0x1E 和 0x1F 中写入的值。
6	RESERVED	R/W	0x0	保留。

Copyright © 2024 Texas Instruments Incorporated

表 6-49. REMOTE_PAR_CAP1（地址 0x35）（续）

位	字段	类型	默认值	说明
5	BIST_EN	R/W	0x0	链路 BIST 使能。 该位指示远程伙伴正在通过 FPD-Link III 接口请求 BIST 操作。 一旦检测到反向通道链路，双向控制通道便会自动配置该字段。软件可覆盖该值，但还必须设置 FREEZE_DES_CAP 位以防被双向控制通道覆盖。
4	MPORT	R/W	0x0	支持远程伙伴多端口。 0：远程伙伴是单端口解串器器件 1：远程伙伴是一个多端口解串器器件 一旦检测到反向通道链路，双向控制通道就会自动配置该字段。软件可覆盖该值，但还必须设置 FREEZE_DES_CAP 位以防被双向控制通道覆盖。
3:0	PORT_NUM	R/W	0x0	远程伙伴端口号。 连接到多端口器件时，该字段指示串行器连接到的端口号。 一旦检测到反向通道链路，双向控制通道便会自动配置该字段。软件可覆盖该值，但还必须设置 FREEZE_DES_CAP 位以防被双向控制通道覆盖。

6.7.1.38 合作伙伴解串器 ID

表 6-50. DES_ID（地址 0x37）

位	字段	类型	默认值	说明
7:1	DES_ID	R/W	0x3D	远程解串器 ID。 此字段通常从远程解串器自动加载。
0	FREEZE_ DEVICE_ID	R/W	0x0	冻结解串器器件 ID。 防止从反向通道自动加载解串器器件 ID。ID 会在写入的值处冻结。

6.7.1.39 目标 0 ID

表 6-51. TARGET_ID_0（地址 0x39）

位	字段	类型	默认值	说明
7:1	TARGET_ID_0	R/W	0x00	7 位远程目标器件 ID 0。 配置连接到远程解串器的远程 I2C 目标器件的物理 I2C 地址。如果 I2C 事务被寻址到目标器件别名 ID0，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	RESERVED	R	0x0	保留。

6.7.1.40 目标 1 ID

表 6-52. TARGET_ID_1（地址 0x3A）

位	字段	类型	默认值	说明
7:1	TARGET_ID_1	R/W	0x00	7 位远程目标器件 ID 1。 配置连接到远程解串器的远程 I2C 目标器件的物理 I2C 地址。如果 I2C 事务被寻址到目标器件别名 ID1，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	RESERVED	R	0x0	保留。

6.7.1.41 目标 2 ID

表 6-53. TARGET_ID_2（地址 0x3B）

位	字段	类型	默认值	说明
7:1	TARGET_ID_2	R/W	0x00	7 位远程目标器件 ID 2。 配置连接到远程解串器的远程 I2C 目标器件的物理 I2C 地址。如果 I2C 事务被寻址到目标器件别名 ID2，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	RESERVED	R	0x0	保留。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.42 目标 3 ID

表 6-54. TARGET_ID_3 (地址 0x3C)

位	字段	类型	默认值	说明
7:1	TARGET_ID_3	R/W	0x00	7 位远程目标器件 ID 3。 配置连接到远程解串器的远程 I2C 目标器件的物理 I2C 地址。如果 I2C 事务被寻址到目标器件别名 ID3，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	RESERVED	R	0x0	保留。

6.7.1.43 目标 4 ID

表 6-55. TARGET_ID_4 (地址 0x3D)

位	字段	类型	默认值	说明
7:1	TARGET_ID_4	R/W	0x00	7 位远程目标器件 ID 4。 配置连接到远程解串器的远程 I2C 目标器件的物理 I2C 地址。如果 I2C 事务被寻址到目标器件别名 ID4，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	RESERVED	R	0x0	保留。

6.7.1.44 目标 5 ID

表 6-56. TARGET_ID_5 (地址 0x3E)

位	字段	类型	默认值	说明
7:1	TARGET_ID_5	R/W	0x00	7 位远程目标器件 ID 5。 配置连接到远程解串器的远程 I2C 目标器件的物理 I2C 地址。如果 I2C 事务被寻址到目标器件别名 ID5，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	RESERVED	R	0x0	保留。

6.7.1.45 目标 6 ID

表 6-57. TARGET_ID_6 (地址 0x3F)

位	字段	类型	默认值	说明
7:1	TARGET_ID_6	R/W	0x00	7 位远程目标器件 ID 6。 配置连接到远程解串器的远程 I2C 目标器件的物理 I2C 地址。如果 I2C 事务被寻址到目标器件别名 ID6，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	RESERVED	R	0x0	保留。

6.7.1.46 目标 7 ID

表 6-58. TARGET_ID_7 (地址 0x40)

位	字段	类型	默认值	说明
7:1	TARGET_ID_7	R/W	0x00	7 位远程目标器件 ID 7。 配置连接到远程解串器的远程 I2C 目标器件的物理 I2C 地址。如果 I2C 事务被寻址到目标器件别名 ID7，则事务将在通过双向控制通道传输到解串器之前重新映射到该地址。
0	RESERVED	R	0x0	保留。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.47 目标 0 别名

表 6-59. TARGET_ID_ALIAS_0（地址 0x41）

位	字段	类型	默认值	说明
7:1	TARGET_ID_ALIAS_0	R/W	0x00	7 位远程目标器件别名 ID 0。 配置解码器，以检测为连接到远程解串器的 I2C 目标器件指定的事务。此事务将重新映射到目标器件 ID0 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 目标器件的访问。
0	TARGET_AUTO_ACK_0	R/W	0x0	无论正向通道锁定状态或远程解串器确认的状态如何，都自动确认对远程目标 0 器件的所有 I2C 写入。 1：启用 0：禁用 这仅用于调试，不建议用于正常运行。

6.7.1.48 目标 1 别名

表 6-60. TARGET_ID_ALIAS_1（地址 0x42）

位	字段	类型	默认值	说明
7:1	TARGET_ID_ALIAS_1	R/W	0x00	7 位远程目标器件别名 ID 1。 配置解码器，以检测为连接到远程解串器的 I2C 目标器件指定的事务。此事务将重新映射到目标器件 ID1 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 目标器件的访问。
0	TARGET_AUTO_ACK_1	R/W	0x0	无论正向通道锁定状态或远程解串器确认的状态如何，都自动确认对远程目标 1 器件的所有 I2C 写入。 1：启用 0：禁用 这仅用于调试，不建议用于正常运行。

6.7.1.49 目标 2 别名

表 6-61. TARGET_ID_ALIAS_2（地址 0x43）

位	字段	类型	默认值	说明
7:1	TARGET_ID_ALIAS_2	R/W	0x00	7 位远程目标器件别名 ID 2。 配置解码器，以检测为连接到远程解串器的 I2C 目标器件指定的事务。此事务将重新映射到目标器件 ID2 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 目标器件的访问。
0	TARGET_AUTO_ACK_2	R/W	0x0	无论正向通道锁定状态或远程解串器确认的状态如何，都自动确认对远程目标 2 器件的所有 I2C 写入。 1：启用 0：禁用 这仅用于调试，不建议用于正常运行。

6.7.1.50 目标 3 别名

表 6-62. TARGET_ID_ALIAS_3（地址 0x44）

位	字段	类型	默认值	说明
7:1	TARGET_ID_ALIAS_3	R/W	0x00	7 位远程目标器件别名 ID 3。 配置解码器，以检测为连接到远程解串器的 I2C 目标器件指定的事务。此事务将重新映射到目标器件 ID3 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 目标器件的访问。
0	TARGET_AUTO_ACK_3	R/W	0x0	无论正向通道锁定状态或远程解串器确认的状态如何，都自动确认对远程目标 3 器件的所有 I2C 写入。 1：启用 0：禁用 这仅用于调试，不建议用于正常运行。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.51 目标 4 别名

表 6-63. TARGET_ID_ALIAS_4 (地址 0x45)

位	字段	类型	默认值	说明
7:1	TARGET_ID_ALIAS_4	R/W	0x00	7 位远程目标器件别名 ID 4。 配置解码器，以检测为连接到远程解串器的 I2C 目标器件指定的事务。此事务将重新映射到目标器件 ID4 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 目标器件的访问。
0	TARGET_AUTO_ACK_4	R/W	0x0	无论正向通道锁定状态或远程解串器确认的状态如何，都自动确认对远程目标 4 器件的所有 I2C 写入。 1：启用 0：禁用 这仅用于调试，不建议用于正常运行。

6.7.1.52 目标 5 别名

表 6-64. TARGET_ID_ALIAS_5 (地址 0x46)

位	字段	类型	默认值	说明
7:1	TARGET_ID_ALIAS_5	R/W	0x00	7 位远程目标器件别名 ID 5。 配置解码器，以检测为连接到远程解串器的 I2C 目标器件指定的事务。此事务将重新映射到目标器件 ID5 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 目标器件的访问。
0	TARGET_AUTO_ACK_5	R/W	0x0	无论正向通道锁定状态或远程解串器确认的状态如何，都自动确认对远程目标 5 器件的所有 I2C 写入。 1：启用 0：禁用 这仅用于调试，不建议用于正常运行。

6.7.1.53 目标 6 别名

表 6-65. TARGET_ID_ALIAS_6 (地址 0x47)

位	字段	类型	默认值	说明
7:1	TARGET_ID_ALIAS_6	R/W	0x00	7 位远程目标器件别名 ID 6。 配置解码器，以检测为连接到远程解串器的 I2C 目标器件指定的事务。此事务将重新映射到目标器件 ID6 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 目标器件的访问。
0	TARGET_AUTO_ACK_6	R/W	0x0	无论正向通道锁定状态或远程解串器确认的状态如何，都自动确认对远程目标 6 器件的所有 I2C 写入。 1：启用 0：禁用 这仅用于调试，不建议用于正常运行。

6.7.1.54 目标 7 别名

表 6-66. TARGET_ID_ALIAS_7 (地址 0x48)

位	字段	类型	默认值	说明
7:1	TARGET_ID_ALIAS_7	R/W	0x00	7 位远程目标器件别名 ID 7。 配置解码器，以检测为连接到远程解串器的 I2C 目标器件指定的事务。此事务将重新映射到目标器件 ID7 寄存器中指定的地址。该字段中的值为 0 将禁用对远程 I2C 目标器件的访问。
0	TARGET_AUTO_ACK_7	R/W	0x0	无论正向通道锁定状态或远程解串器确认的状态如何，都自动确认对远程目标 7 器件的所有 I2C 写入。 1：启用 0：禁用 这仅用于调试，不建议用于正常运行。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.55 反向通道控制

表 6-67. BC_CTRL（地址 0x49）

位	字段	类型	默认值	说明
7:6	RESERVED	R	0x0	保留。
5	BIST_CRC_ERR_CLR	(R/W)/SC	0x0	清除 BIST CRC 错误计数器。 0：禁用清除 1：启用清除
4	RESERVED	R/W	0x0	保留。
3	CRC_ERR_CLR	(R/W)/SC	0x0	清除 CRC 错误。 0：禁用清除 1：启用清除
2:0	LINK_DET_TIMER	R/W	0x0	TX-RX 链路检测计时器值。

6.7.1.56 修订 ID

表 6-68. REV_MASK_ID（地址 0x50）

位	字段	类型	默认值	说明
7:4	REVISION_ID	R	0x2	修订 ID。
3:0	MASK_ID	R	0x0	掩码 ID。

6.7.1.57 器件状态

表 6-69. 器件 STS（地址 0x51）

位	字段	类型	默认值	说明
7	CFG_CKSUM_STS	R	0x0	配置校验和已通过。 如果电子保险丝 ROM 中的配置数据具有一个有效的校验和，这个位在初始化后被置位。
6	CFG_INIT_DONE	R	0x0	上电初始化完成。 该位在初始化完成后置位。基于电子保险丝 ROM 的配置已完成。
5:0	RESERVED	R	0x00	保留。

6.7.1.58 常规状态

表 6-70. GENERAL_STATUS（地址 0x52）

位	字段	类型	默认值	说明
7	RESERVED	R	0x0	保留。
6	RX_LOCK_DETECT	R	0x0	解串器锁定状态该位指示解串器的锁定状态。
5	RESERVED	R	0x0	保留。
4	LINK_LOST_FLAG	R	0x0	反向通道链路中断状态已更改。 如果检测到 BC 链路 DET 中断状态变化，则设置该位。此位在读取 CRC ERR CLR 寄存器或 HS PLL 失锁时被清除。
3	BIST_CRC_ERR	R	0x0	检测到 BIST 错误。 BIST_ERR_CNT 寄存器包含反向通道 BIST 错误的数量。
2	HS_PLL_LOCK	R	0x1	正向通道高速 PLL 锁定标志。
1	CRC_ERR	R	0x0	检测到反向通道 CRC 错误。 如果在 BC 链路 DET 置位时检测到反向通道错误，则会设置该位。 读取 CRC_ERR_CLR 寄存器后，会清除该位。
0	LINK_DET	R	0x1	反向通道链路检测。 当 BC 链路有效时会设置该位。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.59 GPIO 引脚状态

表 6-71. 仅用于输入状态的 GPIO_PIN_STS（地址 0x53）

位	字段	类型	默认值	说明
7:4	RESERVED	R	0x0	保留。
3:0	GPIO_STS	R	0x0	GPIO 引脚状态。 该寄存器读取 GPIO 引脚的电流值。 位 3 读取 GPIO3 引脚状态。 位 2 读取 GPIO2 引脚状态。 位 1 读取 GPIO1 引脚状态。 位 0 读取 GPIO0 引脚状态。

6.7.1.60 BIST 错误计数

表 6-72. BIST_ERR_CNT（地址 0x54）

位	字段	类型	默认值	说明
7:0	BIST_BC_ERRCNT	R	0x00	BIST 模式下的 CRC 错误计数。

6.7.1.61 CRC 错误计数 1

表 6-73. CRC_ERR_CNT1（地址 0x55）

位	字段	类型	默认值	说明
7:0	CRC_ERR_CNT1	R	0x00	CRC 错误计数 (LSB)。

6.7.1.62 CRC 错误计数 2

表 6-74. CRC_ERR_CNT2（地址 0x56）

位	字段	类型	默认值	说明
7:0	CRC_ERR_CNT2	R	0x00	CRC 错误计数 (MSB)。

6.7.1.63 传感器状态

表 6-75. SENSOR_STATUS（地址 0x57）

位	字段	类型	默认值	说明
7:6	RESERVED	R	0x0	保留。
5	T_SENSOR_HI	R	0x0	设置后，该位表示内部温度传感器高于 SENSE_T_HI 限值。该位在读出时被清零。
4	T_SENSOR_LOW	R	0x0	设置后，该位表示内部温度传感器低于 SENSE_T_LO 限值。该位在读出时被清零。
3	V1_SENSOR_HI	R	0x0	设置后，该位表示 GPIO1 输入高于 SENSE_V1_HI 限值。该位在读出时被清零。
2	V1_SENSOR_LOW	R	0x0	设置后，该位表示 GPIO1 输入低于 SENSO_V1_LO 限值。该位在读出时被清零。
1	V0_SENSOR_HI	R	0x0	设置后，该位表示 GPIO0 输入高于 SENSE_V0_HI 限值。执行读操作时此位将清零。
0	V0_SENSOR_LOW	R	0x0	设置后，该位表示 GPIO0 输入低于 SENSO_V0_LO 限值。执行读操作时此位将清零。

6.7.1.64 传感器 V0

表 6-76. SENSOR_V0（地址 0x58）

位	字段	类型	默认值	说明
7	RESERVED	R/W	0x0	保留。

Copyright © 2024 Texas Instruments Incorporated

表 6-76. SENSOR_V0（地址 0x58）（续）

位	字段	类型	默认值	说明
6:4	VOLTAGE_SENSOR_V0_MAX	RC	0x0	GPIO0 电压高于 SENSE_V0_HI 限制时，GPIO0 电压传感器读数最大。该位在读出时被清零。0 表示未触发警报。
3	RESERVED	R/W	0x0	保留。
2:0	VOLTAGE_SENSOR_V0_MIN	RC	0x7	GPIO0 电压低于 SENSE_V0_LO 限制时，GPIO0 电压传感器读数最小。该位在读出时被清零。7 表示未触发警报。

6.7.1.65 传感器 V1

表 6-77. SENSOR_V1（地址 0x59）

位	字段	类型	默认值	说明
7	RESERVED	R/W	0x0	保留。
6:4	VOLTAGE_SENSOR_V1_MAX	RC	0x0	GPIO1 电压高于 SENSE_V1_HI 限制时，GPIO1 电压传感器读数最大。该位在读出时被清零。 0 表示未触发警报。
3	RESERVED	R/W	0x0	保留。
2:0	VOLTAGE_SENSOR_V1_MIN	RC	0x7	GPIO1 电压低于 SENSE_V1_LO 限制时，GPIO1 电压传感器读数最小。该位在读出时被清零。 7 表示未触发警报。

6.7.1.66 传感器 T

表 6-78. SENSOR_T（地址 0x5A）

位	字段	类型	默认值	说明
7	RESERVED	R/W	0x0	保留。
6:4	TEMP_MAX	RC	0x0	当温度高于 SENSE_T_HI 限制时的内部温度传感器最大读数。该位在读出时被清零。 0 表示未触发警报。
3	RESERVED	R/W	0x0	保留
2:0	TEMP_MIN	RC	0x7	当温度低于 SENSE_T_LO 限制时的内部温度传感器的最小读数。该位在读出时被清零。 7 表示未触发警报。

6.7.1.67 CSI-2 错误计数

表 6-79. CSI_ERR_CNT（地址 0x5C）

位	字段	类型	默认值	说明
7:0	CSI_ERR_CNT	RC	0x00	CSI-2 错误计数器寄存器。 此寄存器会计算自上次读取计数器以来收到并有错误的 CSI-2 数据包的数量。

6.7.1.68 CSI-2 错误状态

表 6-80. CSI_ERR_STATUS（地址 0x5D）

位	字段	类型	默认值	说明
7:4	RESERVED	R	0x0	保留。
3	LINE_LEN_MISMATCH	R/RC	0x0	指示行长度小于接收到的数据包报头字计数。
2	CHKSUM_ERR	R/RC	0x0	指示在传入数据中检测到校验和错误（不可更正）。
1	ECC_2BIT_ERR	R/RC	0x0	指示数据包报头中的 2 位 ECC 错误（不可更正）。
0	ECC_1BIT_ERR	R/RC	0x0	指示在数据包报头中检测到 1 位 ECC 错误。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.69 CSI-2 错误数据通道 0 和 1

表 6-81. CSI_ERR_DLANE01（地址 0x5E）

位	字段	类型	默认值	说明
7	SOT_ERROR_1	R	0x0	通道 1：SYNC 序列中的 Single-bit 错误 - 可更正。
6	SOT_SYNC_ERROR_1	R	0x0	通道 1：SYNC 序列中的多位错误 - 不可更正。
5	CNTRL_ERR_HSRQST_1	R	0x0	通道 1：HS 请求模式中的控制错误。
4	RESERVED	R	0x0	保留。
3	SOT_ERROR_0	R	0x0	通道 0：SYNC 序列中的 Single-bit 错误 - 可更正。
2	SOT_SYNC_ERROR_0	R	0x0	通道 0：SYNC 序列中的多位错误 - 不可更正。
1	CNTRL_ERR_HSRQST_0	R	0x0	通道 0：HS 请求模式中的控制错误。
0	RESERVED	R	0x0	保留。

6.7.1.70 CSI-2 错误数据通道 2 和 3

表 6-82. CSI_ERR_DLANE23（地址 0x5F）

位	字段	类型	默认值	说明
7	SOT_ERROR_3	R	0x0	通道 3：SYNC 序列中的 Single-bit 错误 - 可更正。
6	SOT_SYNC_ERROR_3	R	0x0	通道 3：SYNC 序列中的多位错误 - 不可更正。
5	CNTRL_ERR_HSRQST_3	R	0x0	通道 3：HS 请求模式中的控制错误。
4	RESERVED	R	0x0	保留。
3	SOT_ERROR_2	R	0x0	通道 2：SYNC 序列中的 Single-bit 错误 - 可更正。
2	SOT_SYNC_ERROR_2	R	0x0	通道 2：SYNC 序列中的多位错误 - 不可更正。
1	CNTRL_ERR_HSRQST_2	R	0x0	通道 2：HS 请求模式中的控制错误。
0	RESERVED	R	0x0	保留。

6.7.1.71 CSI-2 错误时钟通道

表 6-83. CSI_ERR_CLK_LANE（地址 0x60）

位	字段	类型	默认值	说明
7:2	RESERVED	R	0x00	保留。
1	CNTRL_ERR_HSRQST_CK0	R	0x0	CLK 通道：HS 请求模式中的控制错误。
0	RESERVED	R	0x0	保留。

6.7.1.72 CSI-2 数据包报头数据

表 6-84. CSI_PKT_HDR_VC_ID（地址 0x61）

位	字段	类型	默认值	说明
7:6	LONG_PKT_VCHNL_ID	R	0x0	来自 CSI-2 数据包报头的虚拟通道 ID。
5:0	LONG_PKT_DATA_ID	R	0x00	来自 CSI-2 数据包报头的数据 ID。

Copyright © 2024 Texas Instruments Incorporated

6.7.1.73 数据包标头字计数 0

表 6-85. PKT_HDR_WC_LSB（地址 0x62）

位	字段	类型	默认值	说明
7:0	LONG_PKT_WRD_CNT_LSB	R	0x00	来自 CSI-2 数据包报头的有效载荷计数低位字节。

6.7.1.74 数据包标头字计数 1

表 6-86. PKT_HDR_WC_MSB（地址 0x63）

位	字段	类型	默认值	说明
7:0	LONG_PKT_WRD_CNT_MSB	R	0x00	来自 CSI-2 数据包报头的有效载荷计数高位字节。

6.7.1.75 CSI-2 ECC

表 6-87. CSI_ECC（地址 0x64）

位	字段	类型	默认值	说明
7	LINE_LENGTH_变化	R	0x0	表示每帧检测到的线长度变化。
6	RESERVED	R	0x0	保留。
5:0	CSI-2_ECC	R	0x00	来自数据包报头的 CSI-2 ECC 字节。

6.7.1.76 IND_ACC_CTL

表 6-88. IND_ACC_CTL（地址 0xB0）

位	字段	类型	默认值	说明
7:5	RESERVED	R	0x0	保留。
4:2	IA_SEL	R/W	0x0	间接寄存器选择： 选择寄存器访问的目标 000：PATGEN 001：模拟寄存器
1	IA_AUTO_INC	R/W	0x0	间接访问自动递增： 启用自动递增模式。完成读取或写入后，寄存器地址会自动加 1。
0	IA_READ	R/W	0x0	间接访问读取： 设置该位会在设置 IND_ACC_ADDR 寄存器时生成所选寄存器块的读取选通。在自动递增模式下，读取选通还会在读取 IND_ACC_DATA 寄存器后生效。只有需要预取寄存器数据的块才需要此功能。

6.7.1.77 IND_ACC_ADDR

表 6-89. IND_ACC_ADDR（地址 0xB1）

位	字段	类型	默认值	说明
7:0	IND_ACC_ADDR	R/W	0x00	间接访问寄存器偏移： 该寄存器包含用于间接访问的 8 位寄存器偏移。

6.7.1.78 IND_ACC_DATA

表 6-90. IND_ACC_DATA（地址 0xB2）

位	字段	类型	默认值	说明
7:0	IND_ACC_DATA	R/W	0x00	间接访问寄存器数据： 写入该寄存器会使 IND_ACC_DATA 值间接写入所选模拟块寄存器。读取该寄存器会返回所选模拟块寄存器的值

Copyright © 2024 Texas Instruments Incorporated

6.7.1.79 FPD3_TX_ID0

表 6-91. FPD3_TX_ID0（地址 0xF0）

位	字段	类型	默认值	说明
7:0	FPD3_TX_ID0	R	0x5F	FPD3_TX_ID0：ID 代码的第 1 个字节：“_”。

6.7.1.80 FPD3_TX_ID1

表 6-92. FPD3_TX_ID1（地址 0xF1）

位	字段	类型	默认值	说明
7:0	FPD3_TX_ID1	R	0x55	FPD3_TX_ID1：ID 代码的第 2 个字节：“U”。

6.7.1.81 FPD3_TX_ID2

表 6-93. FPD3_TX_ID2（地址 0xF2）

位	字段	类型	默认值	说明
7:0	FPD3_TX_ID2	R	0x42	FPD3_TX_ID2：ID 代码的第 3 个字节：“B”。

6.7.1.82 FPD3_TX_ID3

表 6-94. FPD3_TX_ID3（地址 0xF3）

位	字段	类型	默认值	说明
7:0	FPD3_TX_ID3	R	0x39	FPD3_TX_ID3：ID 代码的第 4 个字节：“9”。

6.7.1.83 FPD3_TX_ID4

表 6-95. FPD3_TX_ID4（地址 0xF4）

位	字段	类型	默认值	说明
7:0	FPD3_TX_ID4	R	0x35	FPD3_TX_ID4：ID 代码的第 5 个字节：“5”。

6.7.1.84 FPD3_TX_ID5

表 6-96. FPD3_TX_ID5（地址 0xF5）

位	字段	类型	默认值	说明
7:0	FPD3_TX_ID5	R	0x33	FPD3_TX_ID5：ID 代码的第 6 个字节：“3”。

Copyright © 2024 Texas Instruments Incorporated

6.7.2 间接访问寄存器

几个功能块包括包含在间接访问映射中的寄存器组；即图形发生器和模拟控制。寄存器访问是通过间接访问寄存器（IND_ACC_CTL、IND_ACC_ADDR 和 IND_ACC_DATA）的间接访问机制提供的。这些寄存器位于主寄存器空间中的偏移地址 0xB0-0xB2 处。

间接地址机制涉及设置控制寄存器以选择所需的块，设置寄存器偏移地址，以及读取或写入数据寄存器。此外，控制寄存器中提供了自动递增功能，可以在每次读取或写入数据寄存器后自动递增偏移地址。

对于写入，其过程如下：

1. 写入 IND_ACC_CTL 寄存器以选择所需的寄存器块
2. 写入 IND_ACC_ADDR 寄存器以设置寄存器偏移
3. 向 IND_ACC_DATA 寄存器写入数据值

如果在 IND_ACC_CTL 寄存器中设置了自动递增，重复步骤 3 会向随后的寄存器偏移位置写入额外的数据字节

对于读取，其过程如下：

1. 写入 IND_ACC_CTL 寄存器以选择所需的寄存器块
2. 写入 IND_ACC_ADDR 寄存器以设置寄存器偏移
3. 从 IND_ACC_DATA 寄存器读取

如果在 IND_ACC_CTL 寄存器中设置了自动递增，重复步骤 3 会从后续寄存器偏移位置读取额外的数据字节。

Copyright © 2024 Texas Instruments Incorporated

6.7.2.1 PATGEN 寄存器

表 6-97 列出了 PATGEN 寄存器的存储器映射寄存器。表 6-97 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 6-97. PATGEN 寄存器

地址	首字母缩写词	寄存器名称	部分
0x1	PGEN_CTL	PGEN_CTL	前往
0x2	PGEN_CFG	PGEN_CFG	前往
0x3	PGEN_CSI_DI	PGEN_CSI_DI	前往
0x4	PGEN_LINE_SIZE1	PGEN_LINE_SIZE1	前往
0x5	PGEN_LINE_SIZE0	PGEN_LINE_SIZE0	前往
0x6	PGEN_BAR_SIZE1	PGEN_BAR_SIZE1	前往
0x7	PGEN_BAR_SIZE0	PGEN_BAR_SIZE0	前往
0x8	PGEN_ACT_LPF1	PGEN_ACT_LPF1	前往
0x9	PGEN_ACT_LPF0	PGEN_ACT_LPF0	前往
0xA	PGEN_TOT_LPF1	PGEN_TOT_LPF1	前往
0xB	PGEN_TOT_LPF0	PGEN_TOT_LPF0	前往
0xC	PGEN_LINE_PD1	PGEN_LINE_PD1	前往
0xD	PGEN_LINE_PD0	PGEN_LINE_PD0	前往
0xE	PGEN_VBP	PGEN_VBP	前往
0xF	PGEN_VFP	PGEN_VFP	前往
0x10	PGEN_COLOR0	PGEN_COLOR0	前往
0x11	PGEN_COLOR1	PGEN_COLOR1	前往
0x12	PGEN_COLOR2	PGEN_COLOR2	前往
0x13	PGEN_COLOR3	PGEN_COLOR3	前往
0x14	PGEN_COLOR4	PGEN_COLOR4	前往
0x15	PGEN_COLOR5	PGEN_COLOR5	前往
0x16	PGEN_COLOR6	PGEN_COLOR6	前往
0x17	PGEN_COLOR7	PGEN_COLOR7	前往
0x18	PGEN_COLOR8	PGEN_COLOR8	前往
0x19	PGEN_COLOR9	PGEN_COLOR9	前往
0x1A	PGEN_COLOR10	PGEN_COLOR10	前往
0x1B	PGEN_COLOR11	PGEN_COLOR11	前往
0x1C	PGEN_COLOR12	PGEN_COLOR12	前往
0x1D	PGEN_COLOR13	PGEN_COLOR13	前往
0x1E	PGEN_COLOR14	PGEN_COLOR14	前往
0x1F	PGEN_COLOR15	PGEN_COLOR15	前往

复杂的位访问类型经过编码可适应小型表单元。表 6-98 展示了适用于此部分中访问类型的代码。

表 6-98. PATGEN 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		

Copyright © 2024 Texas Instruments Incorporated

表 6-98. PATGEN 访问类型代码（续）

访问类型	代码	说明
-n		复位后的值或默认值

6.7.2.1.1 PGEN_CTL 寄存器（地址 = 0x1）[默认值 = 0x00]

表 6-99 展示了 PGEN_CTL。

返回到汇总表。

表 6-99. PGEN_CTL 寄存器字段说明

位	字段	类型	默认值	说明
7:1	RESERVED	R	0x0	保留
0	PGEN_ENABLE	R/W	0x0	启用图形发生器 1：启用图形发生器 0：禁用图形发生器

6.7.2.1.2 PGEN_CFG 寄存器（地址 = 0x2）[默认值 = 0x33]

表 6-100 展示了 PGEN_CFG。

返回到汇总表。

表 6-100. PGEN_CFG 寄存器字段说明

位	字段	类型	默认值	说明
7	PGEN_FIXED_EN	R/W	0x0	固定图形启用 设置该位将启用固定彩色条图形。 0：发送彩色条图形 1：发送固定彩色条图形
6	RESERVED	R	0x0	保留
5:4	NUM_CBARS	R/W	0x3	彩色条数量 00：1 个彩色条 01：2 个彩色条 10：4 个彩色条 11：8 个彩色条
3:0	BLOCK_SIZE	R/W	0x3	块大小。 对于固定彩色条图形，该字段控制固定彩色条字段的大小，以字节为单位。允许的值为 1 至 12。

6.7.2.1.3 PGEN_CSI_DI 寄存器（地址 = 0x3）[默认值 = 0x24]

表 6-101 展示了 PGEN_CSI_DI。

返回到汇总表。

表 6-101. PGEN_CSI_DI 寄存器字段说明

位	字段	类型	默认值	说明
7:6	PGEN_CSI_VC	R/W	0x0	CSI 虚拟通道标识符 该字段控制在虚拟通道标识符的 CSI 数据包中发送的值
5:0	PGEN_CSI_DT	R/W	0x24	CSI 数据类型 该字段控制在数据类型的 CSI 数据包中发送的值。默认值 (0x24) 表示 RGB888。

Copyright © 2024 Texas Instruments Incorporated

6.7.2.1.4 PGEN_LINE_SIZE1 寄存器（地址 = 0x4）[默认值 = 0x07]

表 6-102 展示了 PGEN_LINE_SIZE1。

返回到汇总表。

表 6-102. PGEN_LINE_SIZE1 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_LINE_SIZE[15:8]	R/W	0x7	图形发生器行大小的最高有效字节。这是有效行长度，以字节为单位。对于 640 像素行宽度，默认设置是 1920 字节。

6.7.2.1.5 PGEN_LINE_SIZE0 寄存器（地址 = 0x5）[默认值 = 0x80]

表 6-103 展示了 PGEN_LINE_SIZE0。

返回到汇总表。

表 6-103. PGEN_LINE_SIZE0 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_LINE_SIZE[7:0]	R/W	0x80	图形发生器行大小的最低有效字节。这是有效行长度，以字节为单位。对于 640 像素行宽度，默认设置是 1920 字节。

6.7.2.1.6 PGEN_BAR_SIZE1 寄存器（地址 = 0x6）[默认值 = 0x00]

表 6-104 展示了 PGEN_BAR_SIZE1。

返回到汇总表。

表 6-104. PGEN_BAR_SIZE1 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_BAR_SIZE[15:8]	R/W	0x0	图形发生器彩色条大小的最高有效字节。这是彩色条的活动长度，以字节为单位。此值用于除最后一个彩色条以外的所有颜色。最后一个彩色条由 PGEN_LINE_SIZE 值定义的剩余字节决定。

6.7.2.1.7 PGEN_BAR_SIZE0 寄存器（地址 = 0x7）[默认值 = 0xF0]

表 6-105 展示了 PGEN_BAR_SIZE0。

返回到汇总表。

表 6-105. PGEN_BAR_SIZE0 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_BAR_SIZE[7:0]	R/W	0xF0	图形发生器彩色条大小的最低有效字节。这是彩色条的活动长度，以字节为单位。此值用于除最后一个彩色条以外的所有颜色。最后一个彩色条由 PGEN_LINE_SIZE 值定义的剩余字节决定。

6.7.2.1.8 PGEN_ACT_LPF1 寄存器（地址 = 0x8）[默认值 = 0x01]

表 6-106 展示了 PGEN_ACT_LPF1。

返回到汇总表。

Copyright © 2024 Texas Instruments Incorporated

表 6-106. PGEN_ACT_LPF1 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_ACT_LPF[15:8]	R/W	0x1	每帧有效扫描行数 每帧有效扫描行数的最高有效字节。默认设置为每帧 480 个有效扫描行数。

6.7.2.1.9 PGEN_ACT_LPF0 寄存器（地址 = 0x9）[默认值 = 0xE0]

表 6-107 展示了 PGEN_ACT_LPF0。

返回到汇总表。

表 6-107. PGEN_ACT_LPF0 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_ACT_LPF[7:0]	R/W	0xE0	每帧有效扫描行数 每帧有效扫描行数的最低有效字节。默认设置为每帧 480 个有效扫描行数。

6.7.2.1.10 PGEN_TOT_LPF1 寄存器（地址 = 0xA）[默认值 = 0x02]

表 6-108 展示了 PGEN_TOT_LPF1。

返回到汇总表。

表 6-108. PGEN_TOT_LPF1 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_TOT_LPF[15:8]	R/W	0x2	每帧总行数 包括垂直消隐在内的每帧总行数的最高有效字节

6.7.2.1.11 PGEN_TOT_LPF0 寄存器（地址 = 0xB）[默认值 = 0x0D]

表 6-109 展示了 PGEN_TOT_LPF0。

返回到汇总表。

表 6-109. PGEN_TOT_LPF0 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_TOT_LPF[7:0]	R/W	0xD	每帧总行数 包括垂直消隐在内的每帧总行数的最低有效字节

6.7.2.1.12 PGEN_LINE_PD1 寄存器（地址 = 0xC）[默认值 = 0x0C]

表 6-110 展示了 PGEN_LINE_PD1。

返回到汇总表。

表 6-110. PGEN_LINE_PD1 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_LINE_PD[15:8]	R/W	0xC	线周期 线周期的最高有效字节，以 40/FC 为单位。

6.7.2.1.13 PGEN_LINE_PD0 寄存器（地址 = 0xD）[默认值 = 0x67]

表 6-111 展示了 PGEN_LINE_PD0。

Copyright © 2024 Texas Instruments Incorporated

返回到汇总表。

表 6-111. PGEN_LINE_PD0 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_LINE_PD[7:0]	R/W	0x67	线周期 线周期的最高有效字节，以 40/FC 为单位。

6.7.2.1.14 PGEN_VBP 寄存器（地址 = 0xE）[默认值 = 0x21]

表 6-112 展示了 PGEN_VBP。

返回到汇总表。

表 6-112. PGEN_VBP 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_VBP	R/W	0x21	垂直后沿 此值提供垂直消隐间隔的垂直后沿部分。此值提供 FrameStart 数据包和第一个视频数据包之间的消隐行数。

6.7.2.1.15 PGEN_VFP 寄存器（地址 = 0xF）[默认值 = 0x0A]

表 6-113 展示了 PGEN_VFP。

返回到汇总表。

表 6-113. PGEN_VFP 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_VFP	R/W	0xA	垂直前沿 此值提供垂直消隐间隔的垂直前沿部分。此值提供最后一个视频行和 FrameEnd 数据包之间的消隐行数。

6.7.2.1.16 PGEN_COLOR0 寄存器（地址 = 0x10）[默认值 = 0xAA]

表 6-114 展示了 PGEN_COLOR0。

返回到汇总表。

表 6-114. PGEN_COLOR0 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR0	R/W	0xAA	图形发生器颜色 0 对于参考彩色条图形，该寄存器控制在彩色条 0 期间发送的字节数据值。 对于固定彩色条图形，该寄存器控制固定彩色条图形的第一个字节。

6.7.2.1.17 PGEN_COLOR1 寄存器（地址 = 0x11）[默认值 = 0x33]

表 6-115 展示了 PGEN_COLOR1。

返回到汇总表。

Copyright © 2024 Texas Instruments Incorporated

表 6-115. PGEN_COLOR1 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR1	R/W	0x33	图形发生器颜色 1 对于参考彩色条图形，该寄存器控制在彩色条 1 期间发送的字节数据值。 对于固定彩色条图形，该寄存器控制固定彩色条图形的第二个字节。

6.7.2.1.18 PGEN_COLOR2 寄存器（地址 = 0x12）[默认值 = 0xF0]

表 6-116 展示了 PGEN_COLOR2。

返回到汇总表。

表 6-116. PGEN_COLOR2 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR2	R/W	0xF0	图形发生器颜色 2 对于参考彩色条图形，该寄存器控制在彩色条 2 期间发送的字节数据值。 对于固定彩色条图形，该寄存器控制固定彩色条图形的第三个字节。

6.7.2.1.19 PGEN_COLOR3 寄存器（地址 = 0x13）[默认值 = 0x7F]

表 6-117 展示了 PGEN_COLOR3。

返回到汇总表。

表 6-117. PGEN_COLOR3 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR3	R/W	0x7F	图形发生器颜色 3 对于参考彩色条图形，该寄存器控制在彩色条 3 期间发送的字节数据值。 对于固定彩色条图形，该寄存器控制固定彩色条图形的第四个字节。

6.7.2.1.20 PGEN_COLOR4 寄存器（地址 = 0x14）[默认值 = 0x55]

表 6-118 展示了 PGEN_COLOR4。

返回到汇总表。

表 6-118. PGEN_COLOR4 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR4	R/W	0x55	图形发生器颜色 4 对于参考彩色条图形，该寄存器控制在彩色条 4 期间发送的字节数据值。 对于固定彩色条图形，该寄存器控制固定彩色条图形的第五个字节。

6.7.2.1.21 PGEN_COLOR5 寄存器（地址 = 0x15）[默认值 = 0xCC]

表 6-119 展示了 PGEN_COLOR5。

返回到汇总表。

Copyright © 2024 Texas Instruments Incorporated

表 6-119. PGEN_COLOR5 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR5	R/W	0xCC	图形发生器颜色 5 对于参考彩色条图形，该寄存器控制在彩色条 5 期间发送的字节数据值。 对于固定彩色条图形，该寄存器控制固定彩色条图形的第六个字节。

6.7.2.1.22 PGEN_COLOR6 寄存器（地址 = 0x16）[默认值 = 0x0F]

表 6-120 展示了 PGEN_COLOR6。

返回到汇总表。

表 6-120. PGEN_COLOR6 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR6	R/W	0xF	图形发生器颜色 6 对于参考彩色条图形，该寄存器控制在彩色条 6 期间发送的字节数据值。 对于固定彩色条图形，该寄存器控制固定彩色条图形的第七个字节。

6.7.2.1.23 PGEN_COLOR7 寄存器（地址 = 0x17）[默认值 = 0x80]

表 6-121 展示了 PGEN_COLOR7。

返回到汇总表。

表 6-121. PGEN_COLOR7 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR7	R/W	0x80	图形发生器颜色 7 对于参考彩色条图形，该寄存器控制在彩色条 7 期间发送的字节数据值。 对于固定彩色条图形，该寄存器控制固定彩色条图形的第八个字节。

6.7.2.1.24 PGEN_COLOR8 寄存器（地址 = 0x18）[默认值 = 0x00]

表 6-122 展示了 PGEN_COLOR8。

返回到汇总表。

表 6-122. PGEN_COLOR8 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR8	R/W	0x0	图形发生器颜色 8 对于固定彩色条图形，该寄存器控制固定彩色条图形的第九个字节。

6.7.2.1.25 PGEN_COLOR9 寄存器（地址 = 0x19）[默认值 = 0x00]

表 6-123 展示了 PGEN_COLOR9。

返回到汇总表。

表 6-123. PGEN_COLOR9 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR9	R/W	0x0	图形发生器颜色 9 对于固定彩色条图形，该寄存器控制固定彩色条图形的第十个字节。

Copyright © 2024 Texas Instruments Incorporated

6.7.2.1.26 PGEN_COLOR10 寄存器（地址 = 0x1A）[默认值 = 0x00]

表 6-124 展示了 PGEN_COLOR10。

返回到汇总表。

表 6-124. PGEN_COLOR10 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR10	R/W	0x0	图形发生器颜色 10 对于固定彩色条图形，该寄存器控制固定彩色条图形的第十一个字节。

6.7.2.1.27 PGEN_COLOR11 寄存器（地址 = 0x1B）[默认值 = 0x00]

表 6-125 展示了 PGEN_COLOR11。

返回到汇总表。

表 6-125. PGEN_COLOR11 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR11	R/W	0x0	图形发生器颜色 11 对于固定彩色条图形，该寄存器控制固定彩色条图形的第十二个字节。

6.7.2.1.28 PGEN_COLOR12 寄存器（地址 = 0x1C）[默认值 = 0x00]

表 6-126 展示了 PGEN_COLOR12。

返回到汇总表。

表 6-126. PGEN_COLOR12 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR12	R/W	0x0	图形发生器颜色 12 对于固定彩色条图形，该寄存器控制固定彩色条图形的第十三个字节。

6.7.2.1.29 PGEN_COLOR13 寄存器（地址 = 0x1D）[默认值 = 0x00]

表 6-127 展示了 PGEN_COLOR13。

返回到汇总表。

表 6-127. PGEN_COLOR13 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR13	R/W	0x0	图形发生器颜色 13 对于固定彩色条图形，该寄存器控制固定彩色条图形的第十四个字节。

6.7.2.1.30 PGEN_COLOR14 寄存器（地址 = 0x1E）[默认值 = 0x00]

表 6-128 展示了 PGEN_COLOR14。

返回到汇总表。

Copyright © 2024 Texas Instruments Incorporated

表 6-128. PGEN_COLOR14 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR14	R/W	0x0	图形发生器颜色 14 对于固定彩色条图形，该寄存器控制固定彩色条图形的第十五个字节。

6.7.2.1.31 PGEN_COLOR15 寄存器（地址 = 0x1F）[默认值 = 0x00]

表 6-129 展示了 PGEN_COLOR15。

返回到汇总表。

表 6-129. PGEN_COLOR15 寄存器字段说明

位	字段	类型	默认值	说明
7:0	PGEN_COLOR15	R/W	0x0	图形发生器颜色 15 对于固定彩色条图形，该寄存器控制固定彩色条图形的第十六个字节。

Copyright © 2024 Texas Instruments Incorporated

6.7.2.2 模拟寄存器

表 6-130 列出了模拟寄存器的存储器映射寄存器。表 6-130 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 6-130. ANALOG 寄存器

地址	首字母缩写词	寄存器名称	部分
0x4B	TEMP_RAMP_DYNAMIC_CFG	TEMP_RAMP_DYNAMIC_CFG	前往
0x4C	TEMP_RAMP_STATIC_CFG	TEMP_RAMP_STATIC_CFG	前往

复杂的位访问类型经过编码可适应小型表单元。表 6-131 展示了适用于此部分中访问类型的代码。

表 6-131. 模拟访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

6.7.2.2.1 TEMP_RAMP_DYNAMIC_CFG 寄存器（地址 = 0x4B）[默认值 = 0x8X]

表 6-132 展示了 TEMP_RAMP_DYNAMIC_CFG。

返回到汇总表。

表 6-132. TEMP_RAMP_DYNAMIC_CFG 寄存器字段说明

位	字段	类型	默认值	说明
7	RESERVED	R	0x0	保留
6	RESERVED	R	0x0	保留
5	TEMP_RAMP_OV	R/W	0x0	温度升降覆盖 将字段设为 0x1 可启用温度升降配置覆盖。
4	RESERVED	R	0x0	保留
3:0	TEMP_RAMP_DYNAMIC_CFG	R/W	0x0	温度升降动态配置 根据串行器芯片温度实现寄存器偏移。有关更多详细信息，请参阅第 7.3.1.1 节“系统初始化”。 温度 < -10：回读值 - 1 -10 < 温度 < 35：未实现偏移 35 < 温度 < 100：回读值 + 1 温度 > 100：回读值 + 3

6.7.2.2.2 TEMP_RAMP_STATIC_CFG 寄存器（地址 = 0x4C）[默认值 = 0x00]

表 6-133 展示了 TEMP_RAMP_STATIC_CFG。

返回到汇总表。

表 6-133. TEMP_RAMP_STATIC_CFG 寄存器字段说明

位	字段	类型	默认值	说明
7	RESERVED	R	0x0	保留
6:4	TEMP_RAMP_STATIC_CFG	R/W	0x0	温度升降静态配置 在系统初始化期间将该字段设置为 0x3。请参阅第 7.3.1.1 节“系统初始化”。

Copyright © 2024 Texas Instruments Incorporated

表 6-133. TEMP_RAMP_STATIC_CFG 寄存器字段说明（续）

位	字段	类型	默认值	说明
3:0	RESERVED	R	0x0	保留

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

DS90UB935-Q1 和配套解串器之间的链路有两条不同的数据路径。第一个路径是正向通道，其标称运行速率高达 4.16Gbps 并在编码后使该通道占用从 20MHz 到 2.1GHz 的带宽。第二条路径是从解串器到串行器的反向通道，它占据从 10MHz 到 50MHz 的标称频率范围。

为了使这两个通信链路正常运行，串行器和解串器之间的电路必须具有 50Ω 的特征阻抗。与该 50Ω 特征阻抗的偏差将导致在串行器或解串器上发生信号反射，从而导致位错误。

7.1.1 同轴电缆供电

DS90UB935-Q1 旨在支持同轴电缆供电 (PoC) 方法来为远程传感器系统供电。采用这种方法时，电力通过高速数字视频数据、双向控制和诊断数据传输所用的相同介质（同轴电缆）进行传输。此方法使用无源网络或滤波器，将传输线路与直流/直流稳压器电路的负载以及链路两侧的连接电源布线相隔离，如图 7-1 所示。

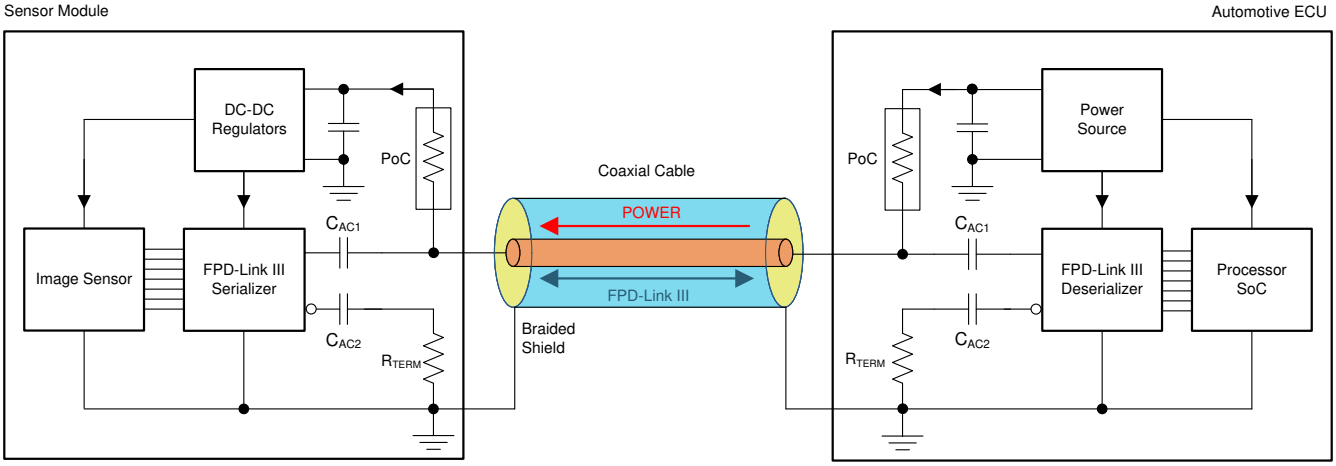


图 7-1. 同轴电缆供电 (PoC) 系统图

建议使用 PoC 网络在特定频段上的 ≥ 1kΩ 阻抗将传输线路与稳压器电路的负载隔离开。较高的 PoC 网络阻抗有助于在高速通道中实现良好的插入损耗和回波损耗特性。频带下限定义为反向通道频率 f_{BC} 的 ½。频带上限是正向高速通道的频率 f_{FC}。但是，总高速通道需要满足的主要标准（包括串行器 PCB、解串器 PCB 和电缆）是总通道要求 (1) 中针对整个系统定义的插入损耗和回波损耗限制，而系统处于最大电流负载和极端温度条件 (2) 下。

1. 有关为每个单独的 FPD-Link 器件定义的所需通道规格的更多信息，请联系 TI。
2. PoC 网络和 PCB 上沿高速布线的所有元件都会影响 PCB 损耗预算。TI 建议了整体高速通道中每个单独 PCB 和电缆元件的损耗预算分配，但必须满足通道规范中为整个通道定义的损耗限制。

图 7-2 展示了设计用于“4G”FPD-Link III 的示例 PoC 网络，其中包含 DS90UB935-Q1 和 DS90UB936-Q1、DS90UB954-Q1、 或 DS90UB960-Q1 对，具有在 50Mbps (½ f_{BCC} = 25MHz) 下运行的双向通道以及在 4.16Gbps (f_{FC} ≈ 2.1GHz) 下运行的正向通道。只要满足印刷电路板回波损耗要求，其他 PoC 网络就可以使用，并且在串行器和解串器板上可能有所不同。

Copyright © 2024 Texas Instruments Incorporated

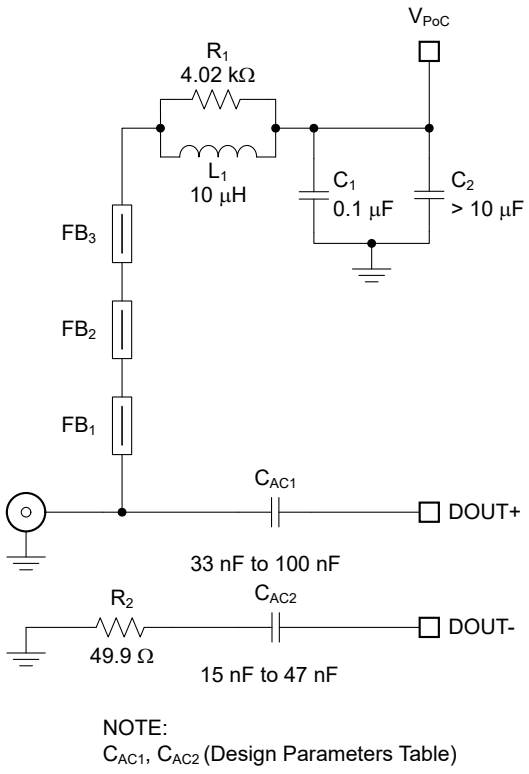


图 7-2. “4G” FPD-Link III 的典型 PoC 网络

表 7-1 列出了该特定 PoC 网络的基本元件。请注意，铁氧体磁珠的阻抗特性会随偏置电流而变化。因此，建议将流经网络的电流保持在 150mA 以下。

Copyright © 2024 Texas Instruments Incorporated

表 7-1. “4G” FPD-Link III PoC 网络的建议元件

数量	参考位号	说明	器件型号	制造商
1	L1	电感器，10µH，0.288Ω（最大值），530mA（最小值，Isat、Itemp）30MHz SRF 最小值，3mm × 3mm，通用	LQH3NPN100MJR	Murata
		电感器，10µH，0.288Ω（最大值），530mA（最小值，Isat、Itemp）30MHz SRF（最小值），3mm × 3mm，AEC-Q200	LQH3NPZ100MJR	Murata
		电感器，10µH，0.360Ω（最大值），450mA（最小值，Isat、Itemp）30MHz SRF（最小值），3.2mm × 2.5mm，AEC-Q200	NLCV32T-100K-EFD	TDK
		电感器，10µH，0.400Ω（典型值），550mA（最小值，Isat、Itemp）39MHz SRF（典型值），3mm x 3mm，AEC-Q200	TYS3010100M-10	Laird
		电感器，10µH，0.325Ω（最大值），725mA（最小值，Isat、Itemp）41MHz SRF（典型值），3mm x 3mm，AEC-Q200	TYS3015100M-10	Laird
3	FB1-FB3	铁氧体磁珠，1GHz 下为 1.5kΩ，85°C、500mA 直流时最大 0.5Ω，0603 SMD，通用	BLM18HE152SN1	Murata
		铁氧体磁珠，1GHz 时为 1.5kΩ，85°C、500mA 直流时最大 0.5Ω，0603 SMD，AEC-Q200	BLM18HE152SZ1	Murata

除了选择 PoC 网络元件之外，布置和布局也起着至关重要的作用。

- 将最小的元件（通常是铁氧体磁珠或片式电感器）尽可能靠近连接器放置。将高速布线穿过其中一个焊盘以避免出现残桩。
- 应使用制造商设计规则允许的最小元件焊盘。在元件焊盘下方的内部平面中添加反焊盘，以更大限度地减小阻抗压降。
- 要了解经过优化的连接器尺寸，请咨询连接器制造商。如果连接器与 IC 安装在同一侧，则通过在连接器安装侧的另一侧布线高速信号迹线，尽可能降低穿孔连接器残桩的影响。
- 从器件引脚到交流耦合电容器使用耦合 100Ω 差分信号布线。从交流耦合电容器到连接器使用 50Ω 单端布线。
- 使用标准 49.9Ω 电阻器端接靠近连接器的反相信号布线。

表 7-2 列出了串行器或解串器电路板的单端 PCB 布线（微带线或带状线）的建议特性。在测试布线是否符合建议的限值时，必须考虑 PoC 网络的影响。

表 7-2. 连接了 PoC 网络的单端 PCB 布线的建议特性

参数		最小值	典型值	最大值	单位
L_{trace}	从器件引脚到连接器引脚的单端 PCB 布线长度			5	cm
Z_{trace}	单端 PCB 布线特性阻抗	45	50	55	Ω
Z_{con}	连接器（已安装）特性阻抗	40	50	60	Ω

必须尽可能减小串行器侧 V_{POC} 波动（由传感器的瞬态电流消耗、电缆和 PoC 元件的直流阻抗引起）。增加 V_{POC} 电压并添加额外的去耦电容 (> 10µF) 有助于降低 V_{POC} 波动的振幅和压摆率。

Copyright © 2024 Texas Instruments Incorporated

7.2 典型应用

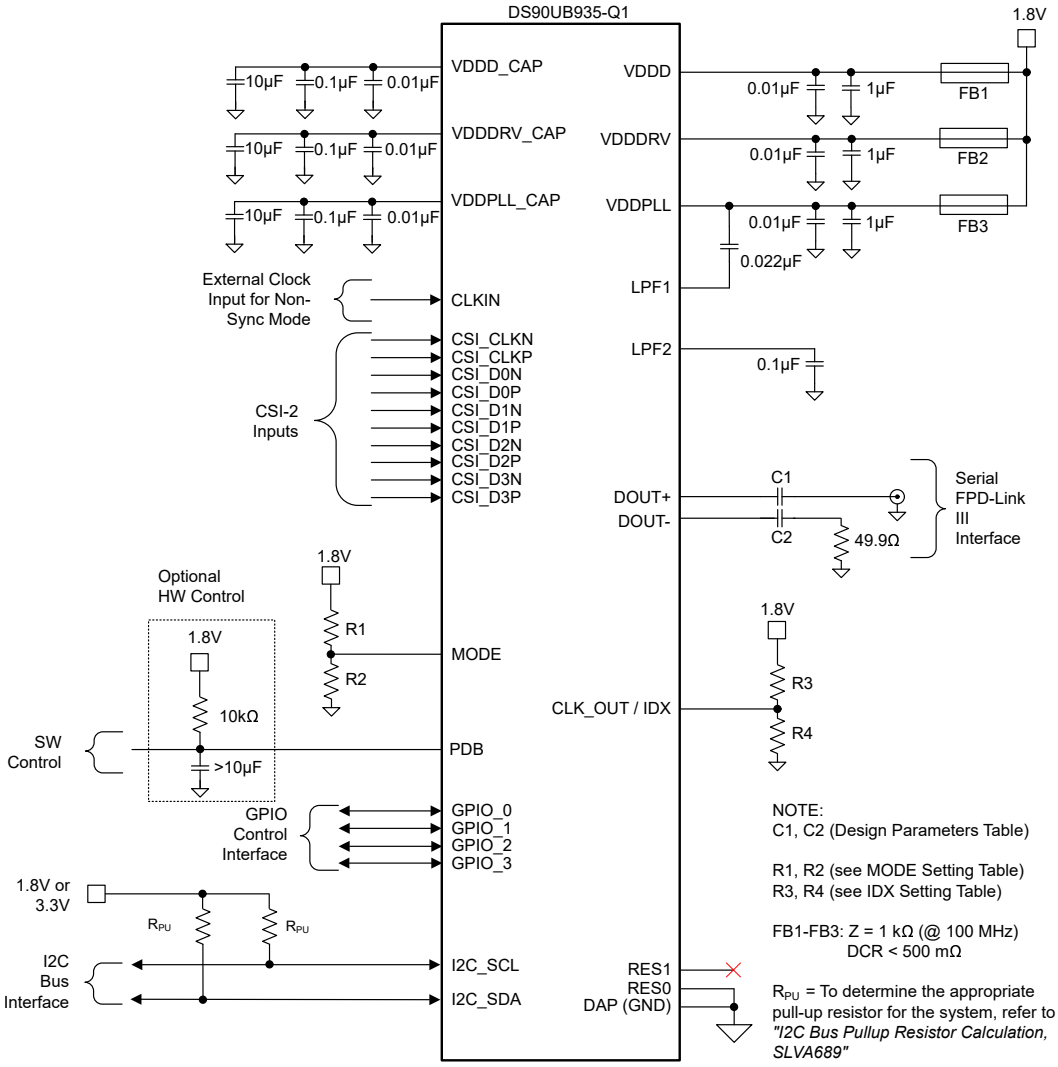


图 7-3. 典型连接图同轴电缆

Copyright © 2024 Texas Instruments Incorporated

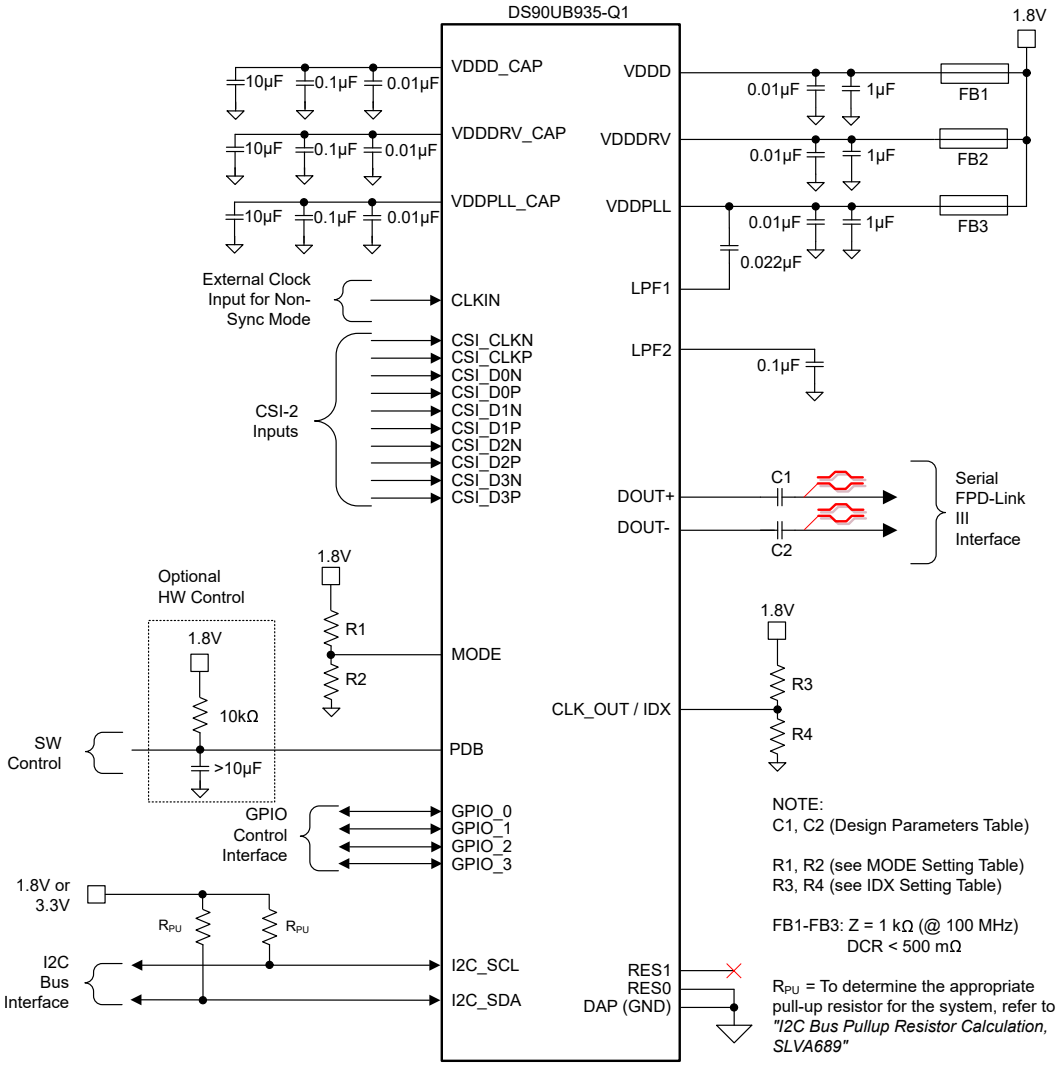


图 7-4. 典型连接图 STP

7.2.1 设计要求

对于典型设计应用，请使用表 7-3 中列出的参数。

表 7-3. 设计参数

设计参数	引脚	值
$V_{(VDD)}$	VDDD、VDDDRV、VDDPLL	1.8V
同步模式的交流耦合电容器，同轴连接	DOUT+	33nF – 100nF (50V / X7R / 0402)
	DOUT –	15nF – 47nF (50V / X7R / 0402)
同步模式的交流耦合电容器，STP 连接	DOUT+、DOUT-	33nF – 100nF (50V / X7R / 0402)
用于非同步和 DVP 向后兼容模式的交流耦合电容器，同轴连接	DOUT+	100nF (50V / X7R / 0402)
	DOUT –	47nF (50V / X7R / 0402)
用于非同步和 DVP 向后兼容模式的交流耦合电容器，STP 连接	DOUT+、DOUT-	100nF (50V / X7R / 0402)

SER/DES 通过集成的直流平衡解码方案仅支持交流耦合互连。外部交流耦合电容器必须串联放置在 FPD-Link III 信号路径中，如图 7-5 和图 7-6 所示。对于使用单端 50Ω 同轴电缆的应用，使用交流耦合电容器和 50Ω 电阻端接未使用的数据引脚（DOUT+、DOUT-）。

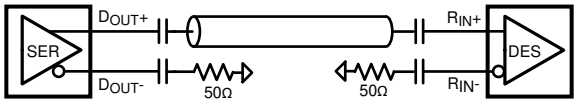


图 7-5. 交流耦合连接（同轴）

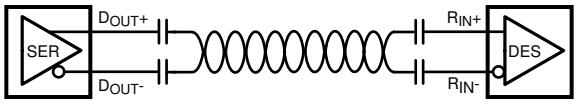


图 7-6. 交流耦合连接 (STP)

对于高速 FPD-Link III 传输，请对交流耦合电容器使用极小的可用封装，以便尽可能减少由于封装寄生引起的信号质量下降。

7.2.2 详细设计过程

节 7.2 图 7-3 展示了 DS90UB935-Q1 的典型应用电路。接下来几节将重点介绍针对关键器件引脚的建议。

7.2.2.1 CSI-2 接口

DS90UB935-Q1 上的 CSI-2 输入端口符合 MIPI D-PHY v1.2 和 CSI-2 v1.3 规范。CSI-2 接口包含一个时钟以及一个、两个或四个数据通道选项。时钟和每个数据通道均为差分线路。DS90UB935-Q1 CSI-2 输入必须与兼容的 CSI-2 发送器进行直流耦合。请遵循 *节 7.4.1.1* 中给出的 PCB 布局指南。

7.2.2.2 FPD-Link III 输入/输出

DS90UB935-Q1 串行数据输出信号以不同的数据速率运行，具体取决于器件的运行模式。在同步模式下，基准时钟由解串器提供，串行数据速率高达 4.16Gbps。

DOUT+ 和 DOUT – 处的信号必须为交流耦合。DOUT+ 和 DOUT- 上使用的交流耦合电容值取决于所用的模式和电缆，如表 7-3 所示。连接到同轴电缆时，负极端子 (DOUT –) 上的交流耦合电容器应约为 DOUT+ 上交流耦合电容器值的 ½，并端接至 50Ω 负载。请务必遵循 *节 7.4.2* 中给出的关键 PCB 布局指南。

Copyright © 2024 Texas Instruments Incorporated

7.2.2.3 内部稳压器旁路

DS90UB935-Q1 具有三个必须旁路至 GND 的内部稳压器。VDDD_CAP、VDDDRV_CAP 和 VDDPLL_CAP 引脚可外露内部稳压器的输出以实现旁路。TI 建议每个引脚都有一个连接到 GND 的 10μF、0.1μF 和 0.01μF 电容器。0.01μF 电容器必须尽可能靠近旁路引脚放置。

7.2.2.4 环路滤波器去耦

LPF1 和 LPF2 引脚用于将滤波电容器连接到内部 PLL 电路。LPF1 必须在 VDD_PLL 引脚（引脚 11）上连接一个 0.022μF 的电容器。连接在 LPF1 和 VDDPLL 之间的电容器必须尽可能小地封闭一个环路。LPF2 必须有一个 0.1μF 电容器，将引脚连接至 GND。其中一个 PLL 生成用于输出串行化的高速时钟，而另一个 PLL 用于 CSI-2 接收端口。耦合到这些引脚的噪声会降低 DS90UB935-Q1 中 PLL 的性能，因此电容器必须靠近所连接的引脚放置，并且必须尽可能减小环路的封闭面积。

7.2.3 应用曲线

蓝色布线的下降沿表示器件应从 LP 模式切换到 HS 模式，之后出现大约一个分段的上升沿是当 DS90UB935-Q1 开启内部端接，以便器件准备好接收 HS 数据时。转换为 CSI-2 数据，然后蓝色布线的下降则表示端接已关闭。

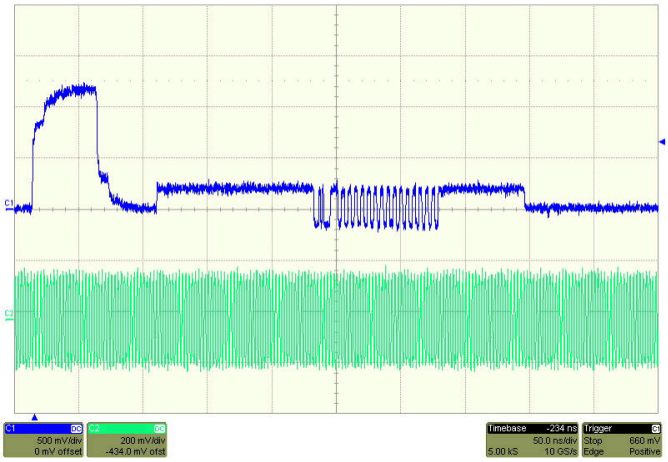


图 7-7. CSI-2 LP 至 HS 模式转换

7.3 电源相关建议

此器件为电路的不同部分提供单独的电源和接地引脚。这样做是为了隔离电路不同部分之间的开关噪声效应。通常不需要在 PCB 上有单独的平面。有关哪些电路块连接到哪些电源引脚对的指南，请参阅 *引脚配置和功能* 一节。在某些情况下，可以使用外部滤波器为 PLL 等敏感电路提供清洁电源。

7.3.1 上电时序

DS90UB935-Q1 的上电序列如下所示：

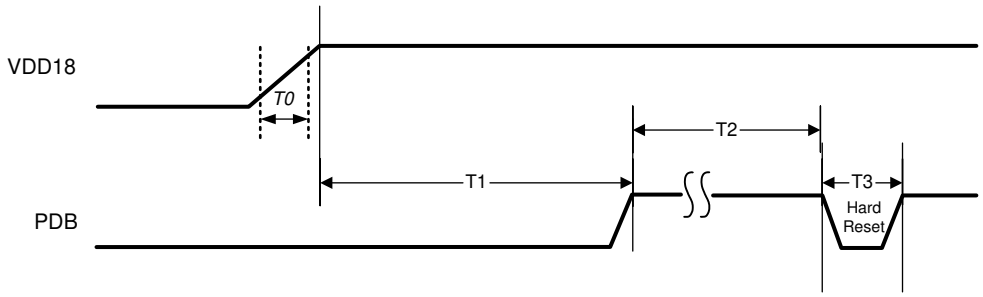


图 7-8. 电源时序

表 7-4. 电源启动和初始化序列的时序图

参数		最小值	典型值	最大值	单位	注释
T0	VDD18 上升时间	0.05			ms	在 10/90%
T1	VDD18 至 PDB	0			ms	在 VDD18 稳定后
T2	PDB 硬复位前的 PDB 高电平时间	1			ms	
T3	PDB 高电平到低电平的脉冲宽度	3			ms	硬复位（可选）
T4	PDB 到 I2C 就绪	2			ms	请参阅“初始化序列：同步时钟模式”

7.3.1.1 系统初始化

在初始化解串器集线器和 DS90UB935-Q1 之间的通信链路时，系统时序取决于为生成串行器基准时钟所选择的模式。选择同步时钟模式后，串行器会在可用时重新锁定到提取的反向通道基准时钟，因此传感器模块无需本地晶体振荡器。初始化序列遵循初始化序列中给出的图示：同步时钟模式。

Copyright © 2024 Texas Instruments Incorporated

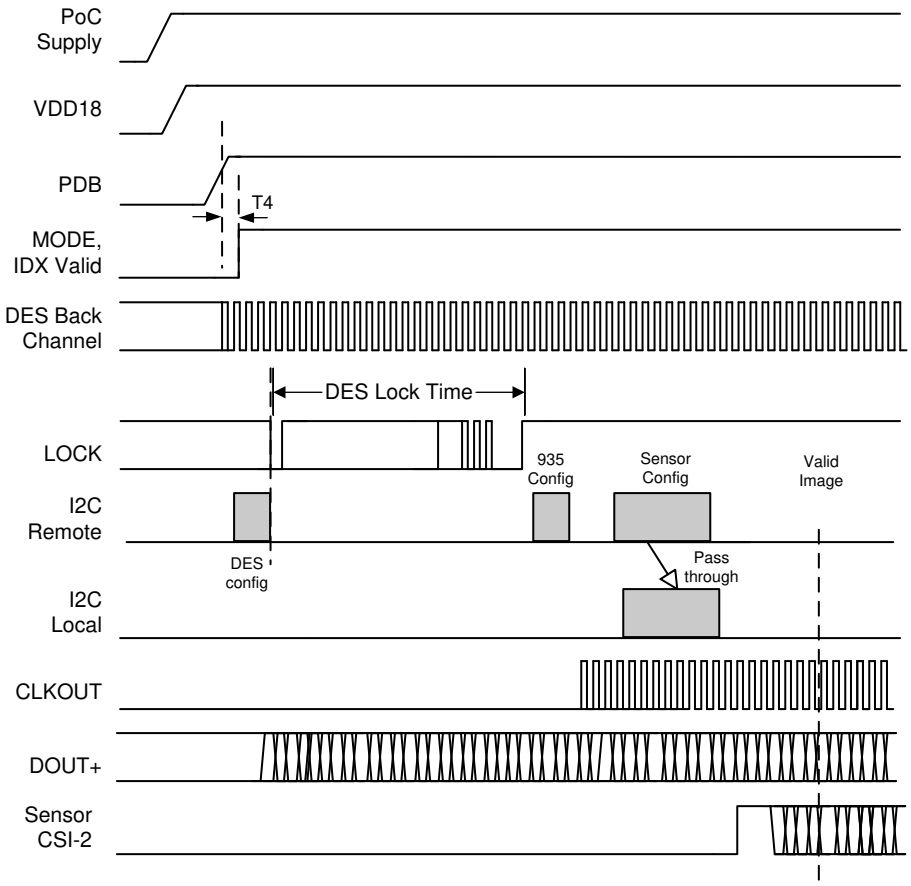


图 7-9. 初始化序列：同步时钟模式

为了实现更快的系统启动时间，TI 建议在尝试从解串器通过反向通道访问连接到 SER 的远程 I2C 目标器件之前，对 I2C 看门狗计时器加速 (0x0A = 0x12) 进行编程。这样，即使串行器 I2C 总线在传感器模块上电期间遇到意外噪声，也能缩短远程传感器访问时间。

建议进行软件配置以根据器件的初始温度扩展 DS90UB935-Q1 串行器的温度斜降范围，从而实现连续 PLL 锁定。对于高于 10°C 和低于 10°C 的温度，将温度从启动温度降低的范围有所不同。从 10°C 到 105°C 的初始温度的最终温度至少为 -10°C，以在应用软件配置的情况下保持连续 PLL 锁定。初始温度低于 10°C 时，与初始温度的最大温度降幅为 20°C。

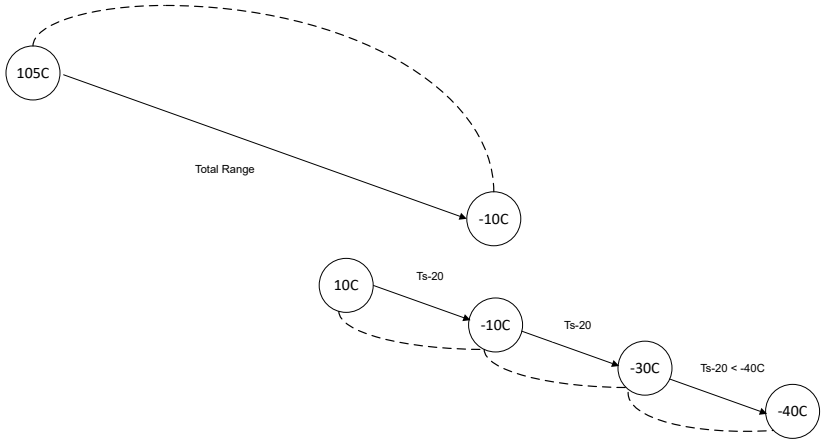


图 7-10. 温度斜降范围

寄存器配置包含动态配置、静态配置和用于启用设置的覆盖功能。在初始化期间，建议将模拟寄存器 0x4C[6:4] TEMP_RAMP_STATIC_CFG 设置为 0x7。模拟寄存器 TEMP_RAMP_DYNAMIC_CFG 的值在初始化过程中会有所不同。建议使用偏移值来递减或递增与芯片温度相关的 TEMP_RAMP_DYNAMIC_CFG 的读回值。串行器温度在配对的解串器的 SENSOR_STS_2[2:0] 中报告。表 7-5 中引用了温度偏移值。若要应用软件配置，将 TEMP_RAMP_DYNAMIC_CFG[5] 设置为 0x1。

表 7-5. 芯片温度的动态配置偏移

解串器 0x53 SENSOR_STS_2 [2:0]	起始芯片温度 (°C)	动态配置偏移值
0	T < -30	-1
1	-30 < T < -10	-1
2	-10 < T < 15	0
3	15 < T < 35	0
4	35 < T < 55	1
5	55 < T < 75	1
6	75 < T < 100	1
7	T > 100	3

Copyright © 2024 Texas Instruments Incorporated

7.3.1.1.1 温度斜坡初始化的代码示例

```
# Deserializer Settings
desAddr=0x7a
serAlias=0x1A
# Deserializer configuration for I2C passthrough
# Refer to Deserializer datasheet for I2C passthrough configuration
reg_0x58 = board.ReadI2C(desAddr,0x58)
reg_0x58 = reg_0x58 | 0x40
# Enable I2C Passthrough
board.WriteI2C(desAddr,0x58,reg_0x58)
temp_code = board.ReadI2C(desAddr,0x53)
# DS90UB935-Q1 Settings
board.WriteI2C(serAlias,0xB0,0x04)
board.WriteI2C(serAlias,0xB1,0x4B)
dynamic_config_ori = board.ReadI2C(serAlias,0xB2)
temp_ramp_dynamic_config= dynamic_config_ori | 0x20
board.WriteI2C(serAlias,0xB1,0x4C)
temp_ramp_static_config=board.ReadI2C(serAlias,0xB2)
temp_ramp_static_config=(temp_ramp_static_config & 0x8F) | 0x70
board.WriteI2C(serAlias,0xB2, temp_ramp_static_config)
board.WriteI2C(serAlias,0xB1,0x4B)
dynamic_offset= { 0: -1,
                  1: -1,
                  2: 0,
                  3: 0,
                  4: 1,
                  5: 1,
                  6: 1,
                  7: 3}
board.WriteI2C(serAlias,0xB2,temp_ramp_dynamic_config + dynamic_offset[temp_code])
reg_0x58 = reg_0x58 | 0x20 # Enable all auto ACK I2C Passthrough on deserializer
board.WriteI2C(desAddr,0x58,reg_0x58)
board.WriteI2C(serAddr,0x01,0x01) #Soft Reset to apply serializer updates, reinitialization of lock
# wait for deserializer lock time
```

7.3.2 断电 (PDB)

串行器有一个 PDB 输入引脚来启用器件或使其关断。此引脚可由外部器件或通过 VDD 进行控制，其中 VDD = 1.71V 至 1.89V。电路板上的所有电源稳定后，PDB 会变为高电平。

当 PDB 被驱动为低电平时，请确保将引脚驱动至 0V 至少 3ms 后再释放该引脚或将其驱动为高电平。在 PDB 直接上拉到 VDD 的情况下，需要一个 10kΩ 的上拉电阻和一个 > 10µF 的接地电容。

将 PDB 切换为低电平使器件关断，并将所有控制寄存器复位为默认值。上电后，如果发现任何错误，TI 建议清除寄存器以复位错误。

确保在 VDDPLL 之前或与 VDDPLL 同时加电 VDDDRV。

Copyright © 2024 Texas Instruments Incorporated

7.4 布局

7.4.1 布局指南

FPD-Link III 器件的电路板布局布线和叠层设计必须向器件提供低噪声电力馈送。良好的布局实践也会分离高频或高电平输入和输出，以更大限度减少不需要的杂散噪声拾取、反馈和干扰。外部旁路必须采用具有高质量电介质的低 ESR 陶瓷电容器。陶瓷电容的额定电压至少必须为所用电源电压的 2 倍。

TI 推荐使用表面贴装电容器，因为寄生效应较小。当每个电源引脚使用多个电容器时，将容值较小的电容器放置在最靠近引脚的位置。建议在电源输入点使用大容量电容器。这通常在 47 µ F 至 100 µ F 范围内，可缓和低频开关噪声。TI 建议将电源和接地引脚直接连接到电源和接地平面，并将旁路电容器连接到该平面。TI 还建议用户在电容器两端放置一个过孔。将电源或接地引脚连接到外部旁路电容器会增加路径的电感。

外部旁路建议使用小尺寸 X7R 贴片电容，如 0603 或 0402。其封装尺寸小，减小了电容器的寄生电感。用户必须注意这些外部旁路电容器的共振频率，通常在 20MHz 至 30MHz 的范围内。为了提供有效的旁路，通常使用多个电容器以便在检测频率下使电源轨之间具有低阻抗。在高频下，从电源引脚和接地引脚到平面之间使用两个过孔，以降低高频下的阻抗。

一些器件为电路的不同部分提供单独的电源和接地引脚。这样做是为了隔离电路不同部分之间的开关噪声效应。通常不需要在 PCB 上有单独的平面。引脚说明表通常提供有关哪些电路块连接到哪些电源引脚对的指导（有关更多信息，请参阅 *引脚配置和功能* ）。在某些情况下，可以使用外部滤波器为 PLL 等敏感电路提供清洁电源。

至少使用一个具有专用接地平面的四层电路板。将 CSI-2 信号放置在远离单端或差分 FPD-Link III RX 输入布线的位置，以防止 CSI-2 线路与 Rx 输入线路耦合。50Ω 的单端阻抗通常推荐用于同轴互连，100Ω 的差分阻抗通常推荐用于 STP 互连。紧密耦合的线路有助于确保耦合噪声以共模形式出现，从而被接收器拒绝。紧密耦合的线路辐射也较少。

7.4.1.1 CSI-2 指南

1. 使用受控的 100Ω 差分阻抗 (±20%) 或 50Ω 单端阻抗 (±15%) 路由 CSI0_D*P/N 对。
2. 远离其他高速信号。
3. 将差分对之间的长度差保持在彼此 5mil 的范围内。
4. 确保长度匹配位于不匹配位置附近。
5. 将时钟对和每个数据对之间的布线长度匹配为 < 25mil。
6. 每对应至少间隔信号布线宽度的 3 倍。
7. 尽量减少使用弯曲的差分布线。使用弯曲时，左右弯曲数量必须尽可能相等，弯曲角度必须 ≥ 135 度。这种布置更大限度减少了由弯曲引起的任何长度不匹配，因此更大限度减少弯曲对 EMI 的影响。
8. 将所有差分对布置在同一层，以便匹配布线阻抗特性。
9. 尽量减少 VIAS 数量 - TI 建议将 VIA 数量保持在 2 个或更少。
10. 在靠近接地平面的层上保留布线。
11. 请勿在任何平面分割点布线差分对。

备注

添加测试点可能导致阻抗不连续，从而对信号性能产生负面影响。如果使用测试点，应将其串联并对称放置。测试点的放置方式不得使差分对上产生残桩。

7.4.2 布局示例

DS90UB953-Q1 EVM 平台可用于评估 DS90UB935-Q1。 图 7-11 和图 7-12 展示了 DS90UB953-Q1EVM 的电路板布局布线。所有 EVM 层均包含在 *DS90UB953-Q1EVM 用户指南* (SNLU224) 中。

在 DOUT 引脚和连接器之间布线 FPD-Link III 信号布线以及将 PoC 滤波器连接到这些布线是成功的 DS90UB935-Q1 PCB 布局的关键环节之一。以下列表提供了在驱动器输出引脚和 FAKRA 连接器之间布线 FPD-Link III 信号走线以及连接 PoC 滤波器的基本建议。

Copyright © 2024 Texas Instruments Incorporated

- 如果担心 EMI，FPD-Link III 走线的布线可以全部位于顶层或部分嵌入中间层。
- 交流耦合电容器必须位于顶层并非常靠近接收器输入引脚，以更大限度地缩短引脚和电容器之间耦合的差分布线对的长度。
- 将交流耦合电容器和 FAKRA 连接器之间的 DOUT+ 走线布线为 50Ω 单端微带，具有严格的阻抗控制 (±10%)。根据 PCB 堆叠情况，计算 50Ω 阻抗的合适布线宽度。确保布线可以承载远程传感器模块提供的最大负载条件下的 PoC 电流。
- PoC 滤波器可通过铁氧体磁珠或射频电感器连接到 DOUT+ 布线。铁氧体磁珠必须与高速布线接触，以更大程度地减小传输线路上的残桩长度。在与布线接触的铁氧体磁珠焊盘下方形成一个反焊盘或 MOAT。反焊盘必须是顶层正下方接地平面的切口，而不会切断布线下方的接地基准。反焊盘的目的是保持阻抗尽可能接近 50Ω。
- 当在内层上布线 DOUT+ 时，单端布线的长度匹配不会提供显著的优势。如果用户希望在顶层或底层对 DOUT+ 进行布线，请布置 DOUT – 布线，使其与 DOUT+ 布线松散耦合，长度与 DOUT+ 布线长度类似。这有助于实现接收器的差分特性，以消除可能存在于环境中且可能耦合到信号布线的任何共模噪声。

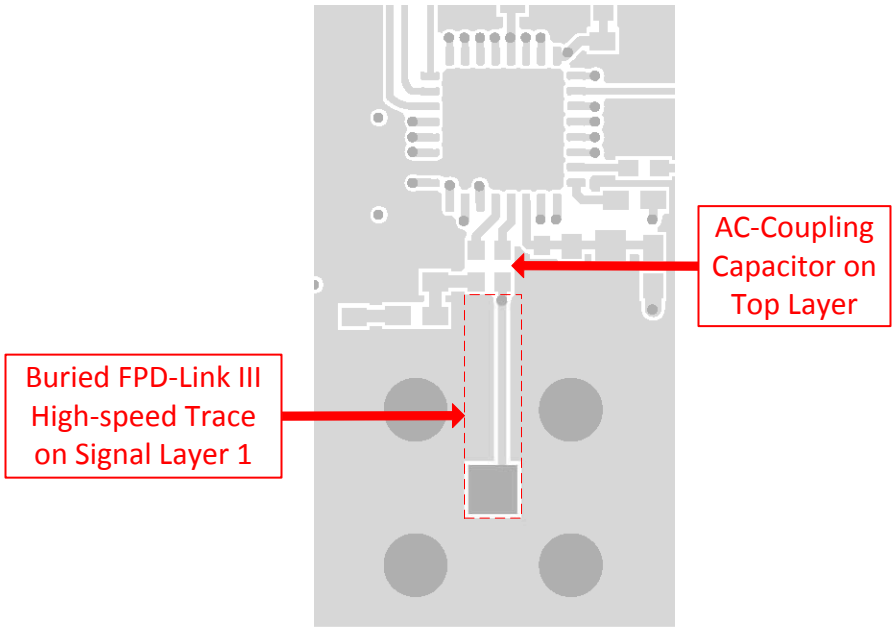


图 7-11. DS90UB935-Q1 串行器 DOUT+ 布线布局

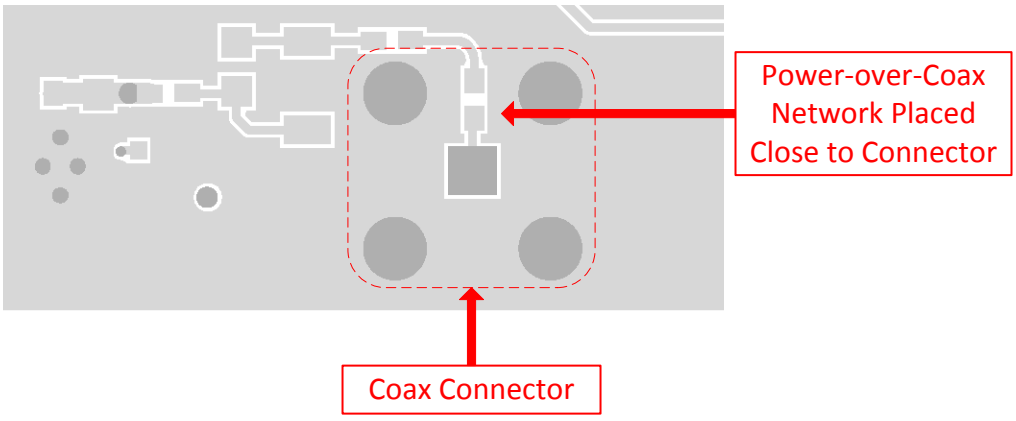


图 7-12. DS90UB935-Q1 同轴电缆供电布局

Copyright © 2024 Texas Instruments Incorporated

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- *如何设计 FPD-Link III 系统* (SNLA267)
- *通过具有双向控制通道的 FPD-Link III 进行 I2C 通信* (SNLA131)
- *I2C 总线上拉电阻器计算* (SLVA689)
- FPD-Link 学习中心培训材料
- *一种适用于 FPD-Link III 串行器/解串器的 EMC/EMI 系统设计和测试方法* (SLYT719)
- *按照车用 EMC/EMI 要求进行成功设计的 10 个技巧* (SLYT636)
- *可与并行输出解串器搭配运行的后向兼容模式* (SNLA270)
- *同轴电缆供电设计指南* (SNLA272)
- *AN-1108 通道链路 PCB 和互连设计指南* (SNLA008)
- *DS90UB953-Q1EVM 用户指南* (SNLU224)

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

Changes from Revision B (March 2023) to Revision C (April 2024) **Page**

- 添加了特性要点“功能安全型”和“引脚兼容” 1
- 向 I2C_SCL 和 I2C_SDA 引脚说明添加了对“I2C 总线上拉电阻器计算”应用手册的引用 3
- 添加了环境温度从启动降低时的最终温度规格 6
- 阐明了正向通道链路速率为 4.16Gbps，视频带宽为 2.528Gbps 14
- 添加了“D-PHY 错误检测”部分 16
- 为解串器 SENSOR_STS_x 位描述添加了表格 16
- 阐明了线速率和 MIPI 组合数据速率导致的 CSI-2 速率限制 22

Copyright © 2024 Texas Instruments Incorporated

- 所表示的 CSI-2 速率必须满足“时钟模式”表中所示的限制 23
- 阐明了 PGEN_LINE_PD 是根据帧速率、每帧总行数和正向通道速率计算得出的 30
- 已发布的模拟寄存器 0x4B 和 0x4C 53
- 将正向通道速率更新为标称运行速率高达 4.16Gbps 65
- 更新了典型 PoC 网络示例，以包含对设计参数表的引用 65
- 更新了说明以列出正向通道标称运行速率高达 4.16Gbps 65
- 更改了同轴和 STP 的典型应用图，以参考 Rpu 和同轴电缆连接，从而显示 DOUT- 上的端接电阻器 68
- 添加了介绍串行器系统初始化以保持连续 PLL 锁定的信息 72
- 为串行器温度斜升期间的连续 PLL 锁定添加了初始化序列示例 75

Changes from Revision A (October 2020) to Revision B (March 2023) **Page**

- 更新了首页上的典型功耗要点以匹配电气特性表 1
- 更正了拼写错误 - 首页上缺少最高环境温度 1
- 为电源噪声频率范围添加了注释 6
- 将 I2C 术语更改为“控制器”和“目标” 13
- 删除了功能方框图中从 DPHY 接收器指向时钟生成器块的额外箭头 13
- 添加了非连续时钟通道模式的描述 14
- 添加了解串器 SENSOR_STS 寄存器的说明 16
- 更新了电压监控的脚本示例 19
- 更新了设置为输出时对读取 GPIO 状态的描述并添加了 GPIO 配置表 20
- 添加了有关使用 FC_GPIO_EN 启用正向通道 GPIO 的信息 20
- 更新了用于启用寄存器 0x0E 的“GPIO 输出控制”部分说明 20
- 向正向通道 GPIO 表添加了典型延迟 20
- 更新了“时钟模式”表，添加了其他模式、频率说明和 CSI-2 带宽说明 21
- 在寄存器 0x05 中添加了“设置为 4Gbps 线路速率” 34
- 更正了设置寄存器 0x06 中 M 值的影响 34
- 更新了寄存器 0x11 中引用“DVP_DT_MATCH_EN”的说明。 37
- 将 0x17[7:4] 默认值从 0x0 更改为 0x3 38
- 向寄存器 0x19 中的电压传感器阈值说明添加了最大和最小读数 38
- 更新了 SENSOR_V1_THRESH 说明，使其与寄存器 0x1A 中的 SENSOR_V0_THRESH 匹配 39
- 将寄存器 0x57 中的“GPIO0 传感器”更改为“内部温度传感器” 48
- 将寄存器 0xF0-0xF5 中的“FPD3_RX_ID”更改为“FPD3_TX_ID” 52
- 将 PoC 网络阻抗建议从 2kΩ 更改为 1kΩ 65
- 更新了 PoC 说明 65
- 从“连接了 PoC 网络的单端 PCB 布线的建议特性”表中删除了 IL 和 RL 值 65
- 将 FB1-FB3 要求更改为 DCR < 500mΩ 68
- 添加了有关为系统初始化设置看门狗计时器的注释 72
- 将 PDB 电容器从 1µF 更正为 10µF 75

Changes from Revision * (July 2018) to Revision A (October 2020) **Page**

- 新增了特性要点“提供功能安全型” 1

Copyright © 2024 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是所指定器件的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DS90UB935TRHBRQ1	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	Call TI | Nipdau	Level-3-260C-168 HR	-40 to 105	UB935
DS90UB935TRHBRQ1.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	UB935
DS90UB935TRHBTQ1	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	UB935
DS90UB935TRHBTQ1.A	Active	Production	VQFN (RHB) | 32	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	UB935

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

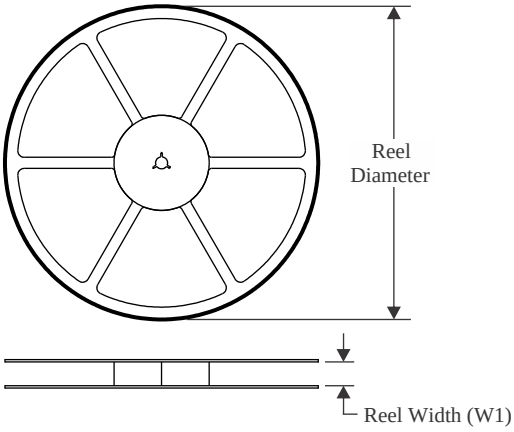
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

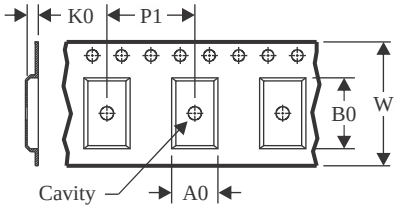
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

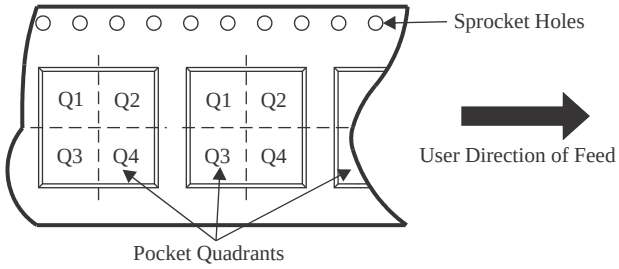


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

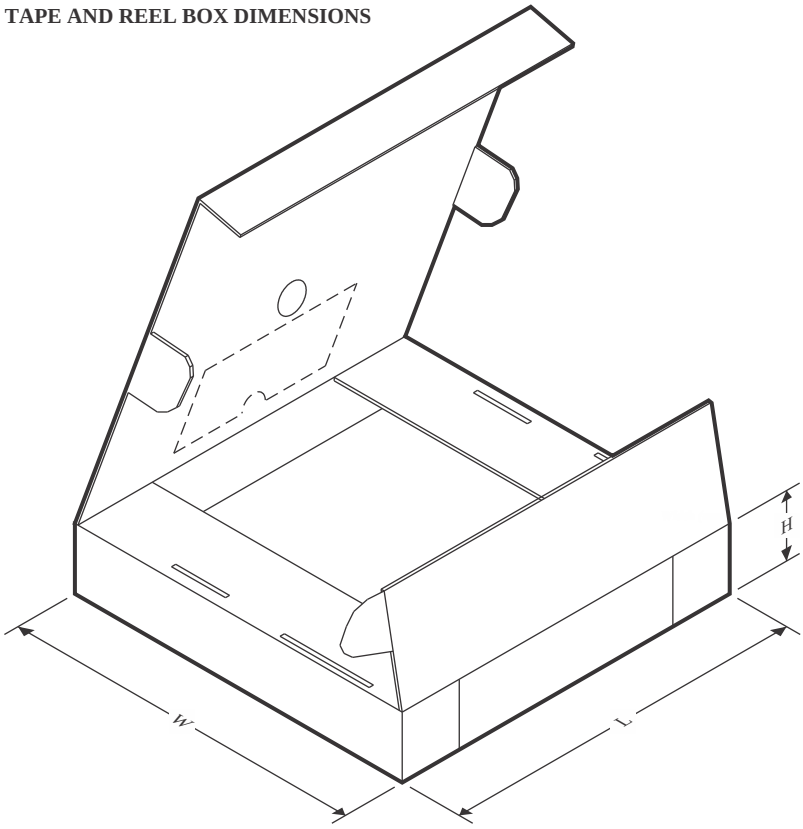
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DS90UB935TRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DS90UB935TRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DS90UB935TRHBTQ1	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DS90UB935TRHBTQ1	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DS90UB935TRHBRQ1	VQFN	RHB	32	3000	346.0	346.0	33.0
DS90UB935TRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0
DS90UB935TRHBTQ1	VQFN	RHB	32	250	210.0	185.0	35.0
DS90UB935TRHBTQ1	VQFN	RHB	32	250	210.0	185.0	35.0

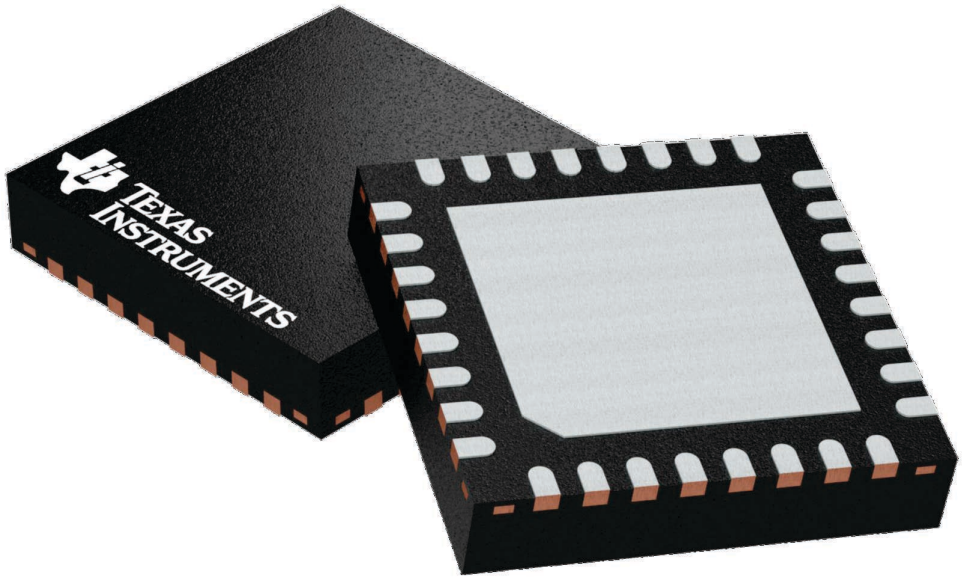
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

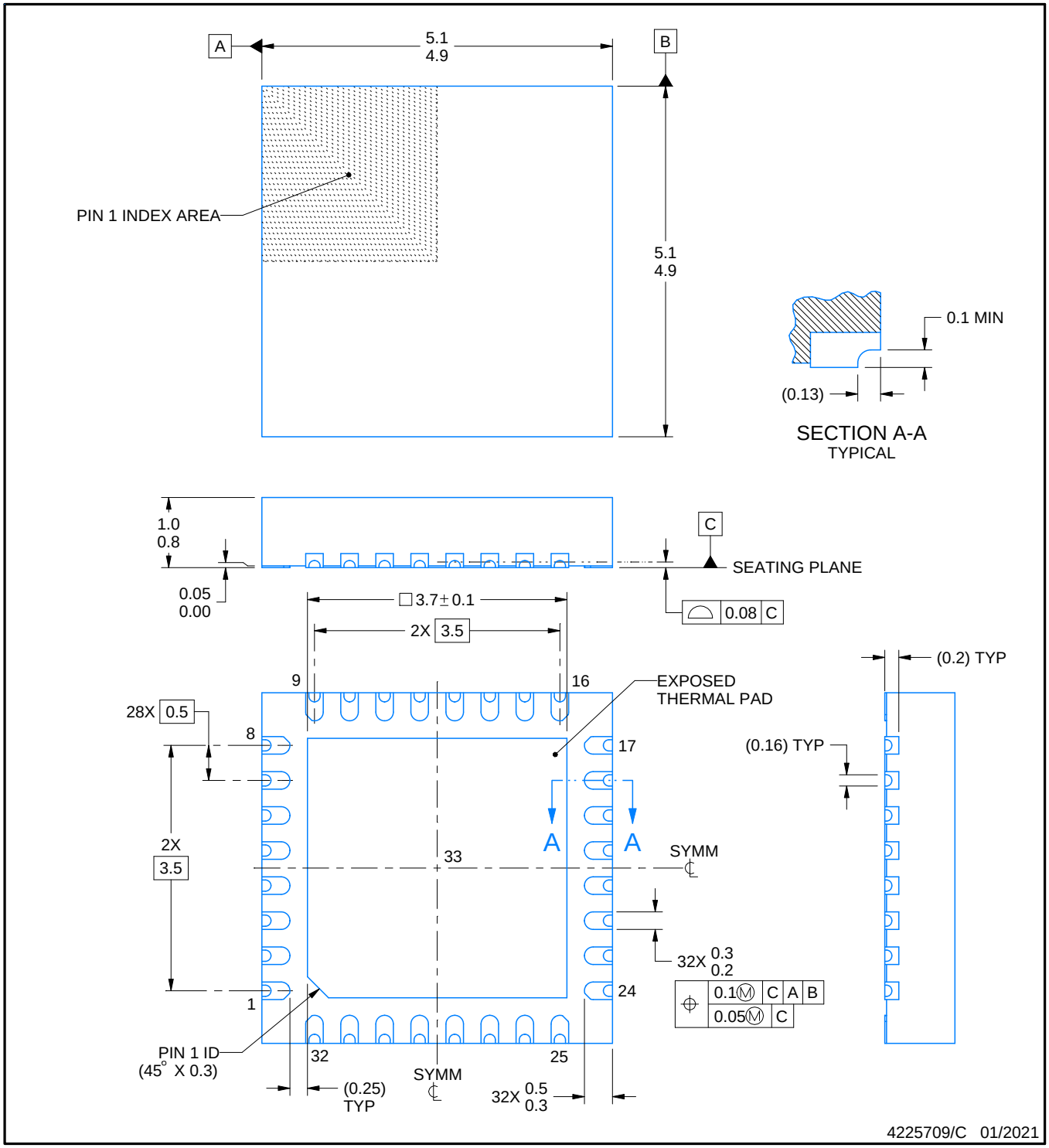
4224745/A

RHB0032U

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

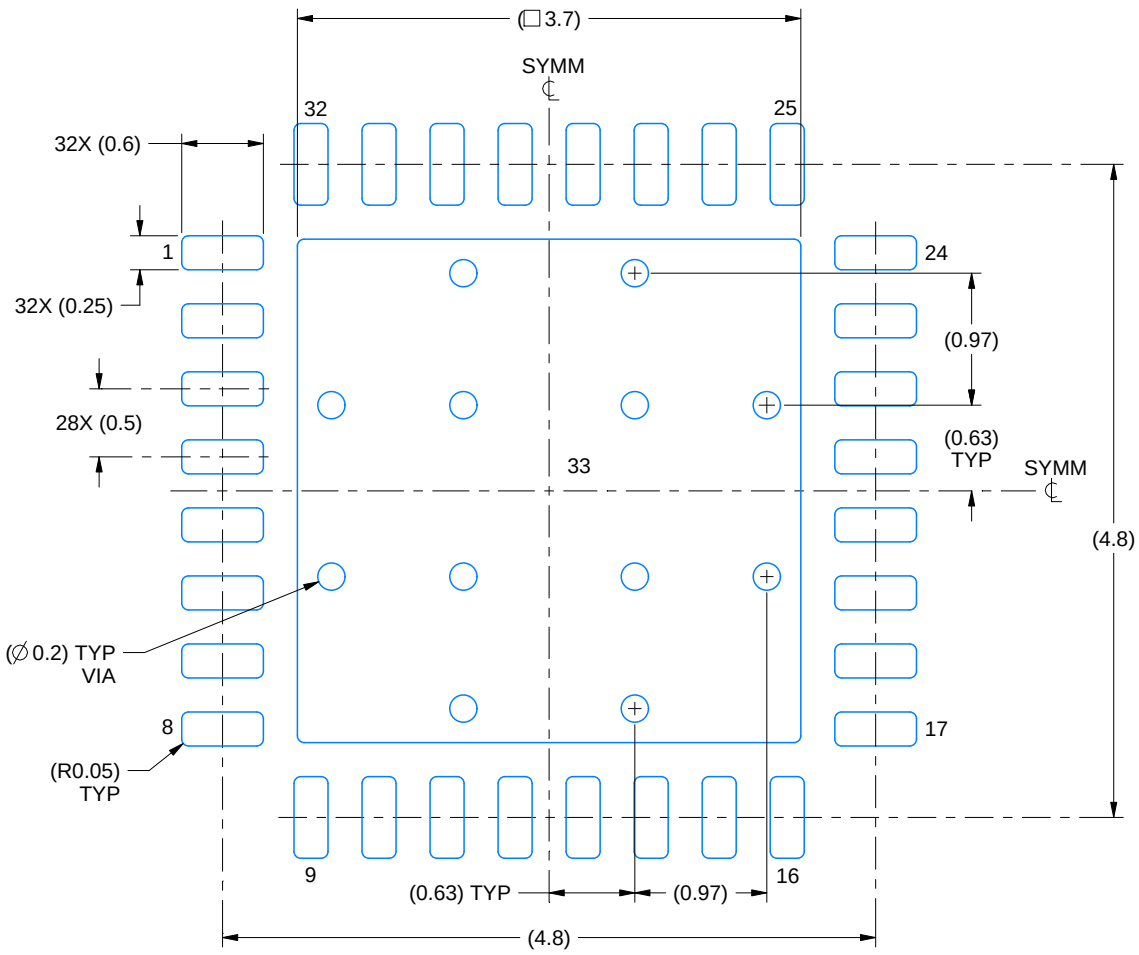
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

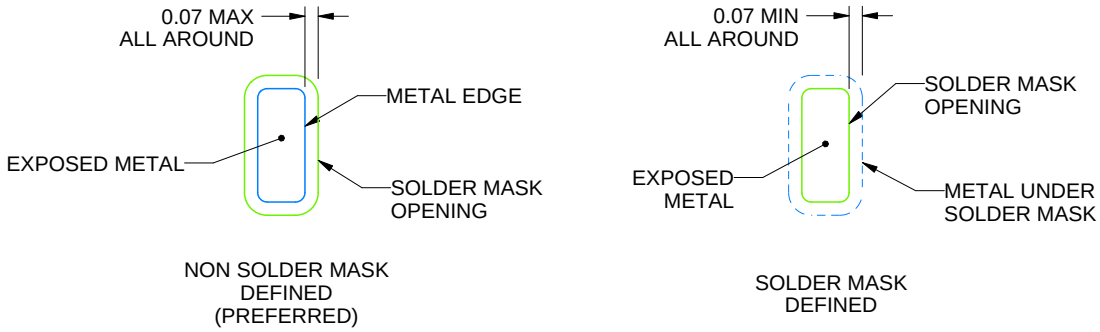
RHB0032U

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

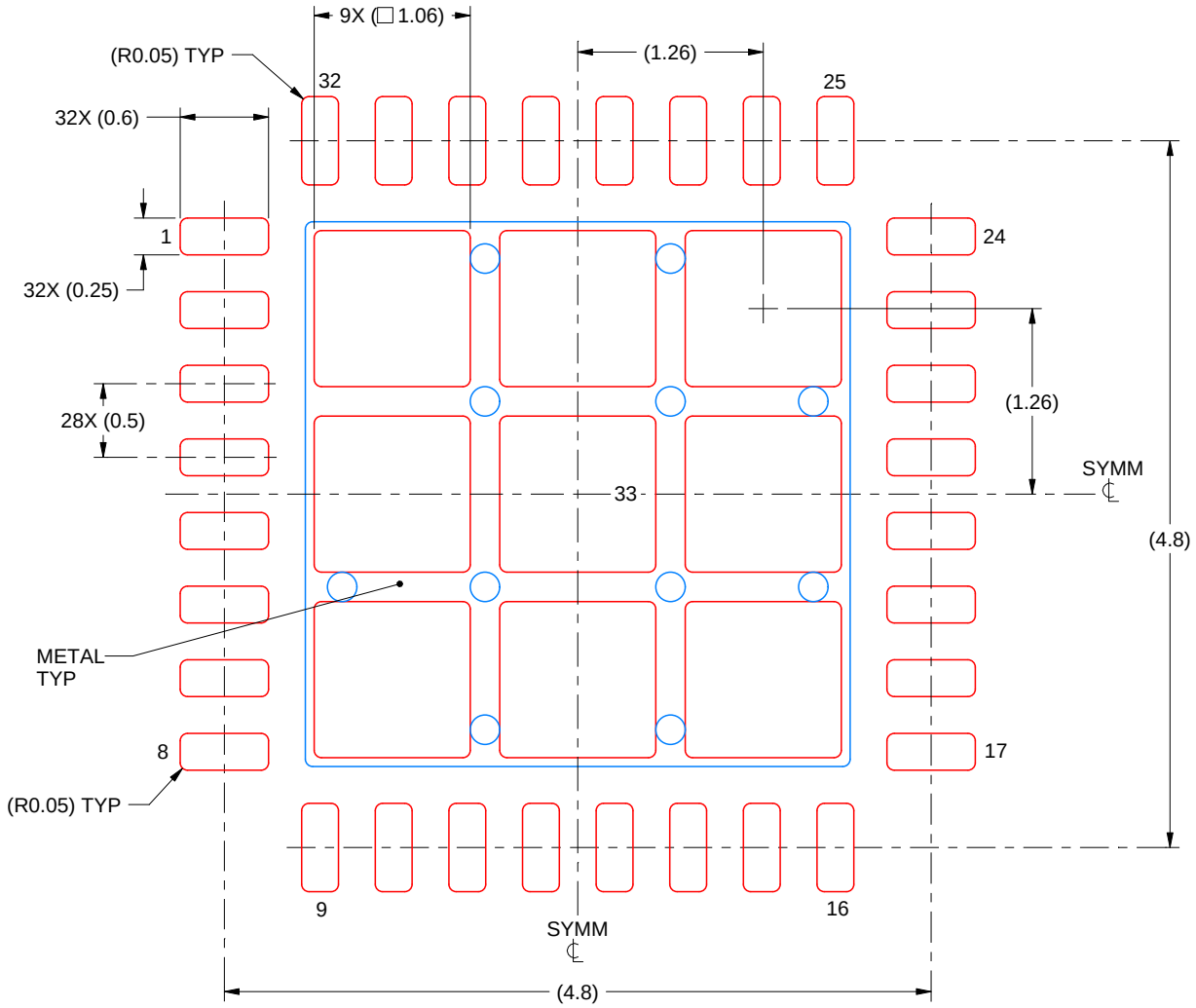


SOLDER MASK DETAILS

4225709/C 01/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4225709/C 01/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月