DRV8952 具有电流检测输出的四通道半桥驱动器

1 特性

- 四通道半桥驱动器
  - **独立控制**每个半桥
- **4.5V 至 55V** 工作电源电压范围
- 低 $R_{DS(ON)}$：每个 FET **50mΩ**（24V，25°C）
- 高电流容量：
  - DDW 封装：**每路输出的电流高达 5A**
  - PWP 封装：**每路输出的电流高达 4A**
- 可驱动各种类型的负载 -
  - 多达四个螺线管或阀门
  - 一个步进电机
  - 两个有刷直流电机
  - 一个或两个热电冷却器 (TEC)
  - 一个三相无刷直流电机
  - 一个三相永磁同步电机 (PMSM)
- 集成式电流检测和调节
  - 高侧 MOSFET 上的电流检测
  - 每个半桥 (DDW) 的 **IPROPI** 输出
  - 最大电流下为 **5%** 检测精度
  - 可选外部检测电阻
- 与以下器件引脚对引脚兼容：
  - DRV8955PWP：48V、4 通道半桥驱动器
  - DRV8962DDW：65V、4 通道半桥驱动器
- 单独的逻辑电源电压 (**VCC**) (DDW)
- 可编程输出上升/下降时间 (DDW)
- 可编程故障恢复方法 (DDW)
- 支持 1.8V、3.3V、5.0V 逻辑输入
- 低电流睡眠模式 (3μA)
- 保护特性
  - VM 欠压锁定 (UVLO)
  - 电荷泵欠压 (CPUV)
  - 过流保护 (OCP)
  - 热关断 (OTSD)
  - 故障状态输出 (nFAULT)

2 应用

- 工厂自动化、步进驱动器和机器人
- 医疗成像、诊断和设备
- 舞台照明
- PLC
- TEC 驱动器
- BLDC 电机模块
- 有刷直流和步进电机驱动器

3 说明

DRV8952 是一款宽电压、高功率、四通道半桥驱动器，适用于各种工业应用。该器件最高支持 55V 的电源电压；导通电阻接近 50mΩ 的集成式 MOSFET 允许 DDW 封装的每个输出端产生高达 5A 的电流，允许 PWP 封装的每个输出端产生高达 4A 的电流。

该器件可用于驱动最多四个螺线管或阀门、一个步进电机、两个有刷直流电机、一个 BLDC 或 PMSM 电机以及最多两个热电冷却器（珀耳帖元件）。器件的输出级包括配置为四个独立半桥的 N 沟道功率 MOSFET、电荷泵稳压器、电流检测和调节电路、电流检测输出以及保护电路。

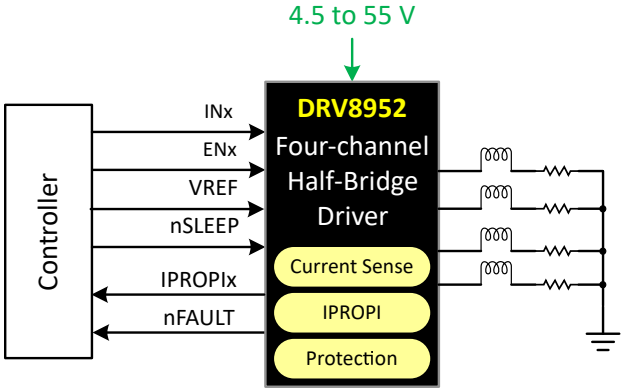
高侧 MOSFET 上的集成电流检测功能可让器件在负载从输出端接地时调节电流。利用可调外部电压基准 (VREF)，可设置电流调节限值。对于 DDW 封装，该器件还提供四个比例电流输出引脚，每个引脚对应一个半桥高侧 FET。可选的外部检测电阻可从 PGND 引脚连接到系统接地。

该器件提供一种低功耗睡眠模式，可实现超低静态电流。提供的内部保护特性包括：电源欠压锁定 (UVLO)、电荷泵欠压 (CPUV) 保护、输出过流 (OCP) 保护和器件过热 (OTSD) 保护。

器件信息

器件型号	封装 [1]	封装尺寸（标称值）(2)
DRV8952DDWR	HTSSOP (44)	14mm x 8.1mm
DRV8952PWPR	HTSSOP (28)	9.7mm x 6.4mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



DRV8952 简化原理图

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....6
5.1 绝对最大额定值.....6
5.2 ESD 等级.....6
5.3 建议运行条件.....6
5.4 热性能信息.....7
5.5 电气特性.....7
5.6 典型特性.....9
6 详细说明.....12
6.1 概述.....12
6.2 功能方框图.....13
6.3 特性说明.....14
6.4 独立半桥运行.....14
6.5 电流检测和调节.....15
6.6 电荷泵.....18
6.7 线性稳压器.....19
6.8 VCC 电压电源.....19
6.9 逻辑电平引脚图.....20
6.10 保护电路.....20
6.11 器件功能模式.....22
7 应用和实施.....24
7.1 应用信息.....24
7.2 电源相关建议.....37
7.3 布局.....37
8 封装散热注意事项.....39
8.1 DDW 封装.....39
9 器件和文档支持.....42
9.1 相关文档.....42
9.2 接收文档更新通知.....42
9.3 支持资源.....42
9.4 商标.....42
9.5 静电放电警告.....42
9.6 术语表.....42
10 修订历史记录.....42
11 机械、封装和可订购信息.....43
11.1 卷带封装信息.....50

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

DRV8952 采用热增强型 44 引脚 HTSSOP (DDW) 和 28 引脚 HTSSOP (PWP) 封装。

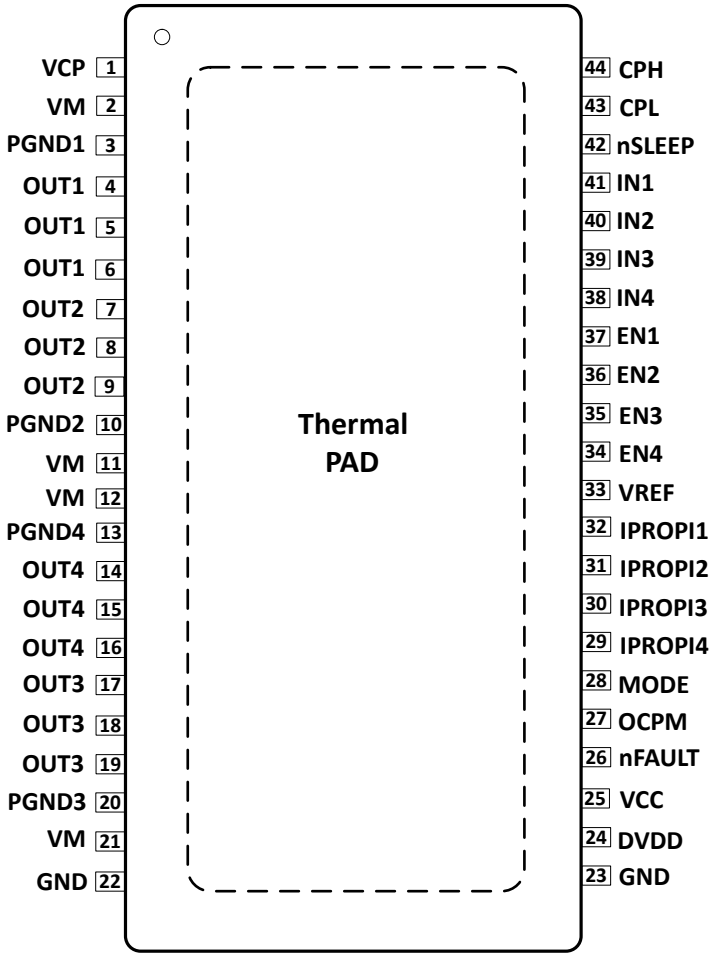


图 4-1. DDW 封装，顶视图

Copyright © 2025 Texas Instruments Incorporated

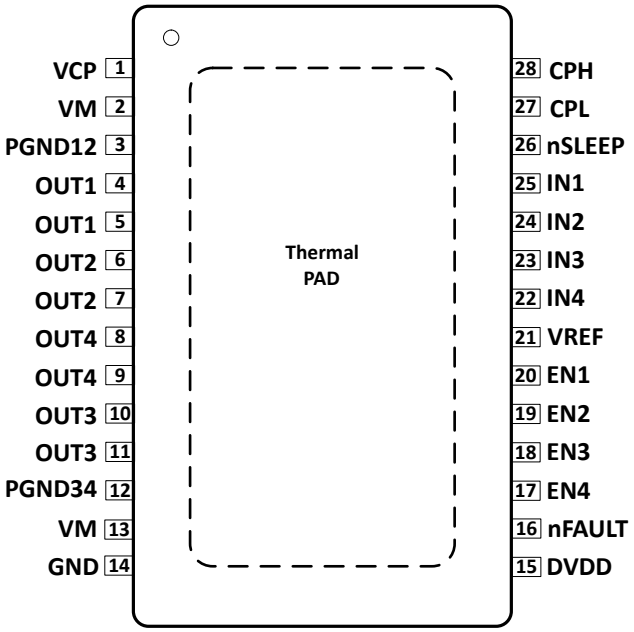


图 4-2. PWP 封装（28 引脚 HTSSOP），顶视图

引脚			类型	说明
名称	DDW	PWP		
VCP	1	1	Power	电荷泵输出。将 X7R 1 µ F 16V 陶瓷电容器从 VCP 连接至 VM。
VM	2、11、12、21	2、13	电源	电源。连接至电机电源电压，并通过 0.01 µ F 陶瓷电容器和一个额定电压为 VM 的大容量电容器旁路至 PGND 引脚。
IPROPI1	32	-	输出	半桥 1 的电流检测输出。
IPROPI2	31	-	输出	半桥 2 的电流检测输出。
IPROPI3	30	-	输出	半桥 3 的电流检测输出。
IPROPI4	29	-	输出	半桥 4 的电流检测输出。
EN1	37	20	输入	半桥 1 的使能输入。
EN2	36	19	输入	半桥 2 的使能输入。
EN3	35	18	输入	半桥 3 的使能输入。
EN4	34	17	输入	半桥 4 的使能输入。
IN1	41	25	输入	半桥 1 的 PWM 输入。
IN2	40	24	输入	半桥 2 的 PWM 输入。
IN3	39	23	输入	半桥 3 的 PWM 输入。
IN4	38	22	输入	半桥 4 的 PWM 输入。
CPH	44	28	电源	电荷泵开关节点。在 CPH 到 CPL 之间连接一个额定电压为 VM 的 X7R 0.022 µ F 陶瓷电容器。
CPL	43	27		
PGND12	-	3	电源	半桥 1 和 2 的共用电源接地。连接到系统接地端。
PGND34	-	12	电源	半桥 3 和 4 的共用电源接地。连接到系统接地。
PGND1	3	-	电源	半桥 1 的电源地。连接到系统地。
PGND2	10	-	电源	半桥 2 的电源地。连接到系统地。
PGND3	20	-	电源	半桥 3 的电源地。连接到系统地。

Copyright © 2025 Texas Instruments Incorporated

引脚			类型	说明
名称	DDW	PWP		
PGND4	13	-	电源	半桥 4 的电源地。连接到系统地。
OUT1	4、5、6	4、5	输出	连接至负载端子。
OUT2	7、8、9	6、7	输出	连接至负载端子。
OUT3	17、18、19	10、11	输出	连接至负载端子。
OUT4	14、15、16	8, 9	输出	连接至负载端子。
GND	22、23	14	电源	器件接地。连接到系统接地端。
DVDD	24	15	电源	内部 LDO 输出。通过电容为 0.47 µ F 至 1 µ F、额定电压为 6.3V 或 10V 的 X7R 陶瓷电容器连接至 GND。
VREF	33	21	输入	用于设置电流调节阈值的电压基准输入。DVDD 可用于通过电阻分压器提供 VREF。
VCC	25	-	电源	内部逻辑块的电源电压。当单独的逻辑电源电压不可用时，将 VCC 引脚连接至 DVDD 引脚。
nFAULT	26	16	漏极开路	故障指示输出。在发生故障时，下拉为逻辑低电平。开漏输出需要外部上拉电阻。
模式	28	-	输入	该引脚对输出上升/下降时间进行编程。
OCPM	27	-	输入	确定故障恢复方法。根据 OCPM 电压，故障恢复功能可以是闭锁型或自动重试型。
nSLEEP	42	26	输入	睡眠模式输入。逻辑高电平用于启用器件；逻辑低电平用于进入低功耗睡眠模式。窄的 nSLEEP 复位脉冲可清除锁存故障。
PAD	-	-	-	散热焊盘。连接到系统接地端。

Copyright © 2025 Texas Instruments Incorporated

5 规格

在自然通风条件下的工作温度范围内（除非另有说明）(1) (2)

5.1 绝对最大额定值

	最小值	最大值	单位
电源电压 (VM)	– 0.3	60	V
电荷泵电压（VCP、CPH）	– 0.3	V_{VM} + 5.75	V
电荷泵负开关引脚 (CPL)	– 0.3	V_{VM}	V
nSLEEP 引脚电压 (nSLEEP)	– 0.3	V_{VM}	V
内部稳压器电压 (DVDD)	– 0.3	5.75	V
外部逻辑电源 (VCC)	-0.3	5.75	V
基准输入引脚电压 (VREF)	-0.3	5.75	V
IPROPI 引脚电压 (IPROPI)	-0.3	DVDD + 0.3	V
控制引脚电压	– 0.3	5.75	V
PGNDx 至 GND 电压	-0.5	0.5	V
PGNDx 至 GND 电压，< 1 µs	-2.5	2.5	V
开漏输出电流 (nFAULT)	0	10	mA
OUTx 引脚连续电压	– 1	V_{VM} + 1	V
OUTx 引脚 100ns 瞬态电压	– 3	V_{VM} + 3	V
峰值驱动电流	受内部限制		A
工作环境温度，T_A	-40	125	°C
工作结温，T_J	-40	150	°C
贮存温度，T_{stg}	-65	150	°C

(1) 超出*最大绝对额定值*下列出的值的应力可能会对器件造成永久损坏。这些仅为应力额定值，对于在应力额定值下或者在任一其它超过*建议的工作条件*中所标出的额定值的器件的功能运行情况，在此并未说明。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 所有电压值均以网络接地端 GND 为基准。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 [1]		±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 [2]	转角引脚	±750	
			其他引脚	±500	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_{VM}	可确保正常（直流）运行的电源电压范围	4.5	55	V
V_I	逻辑电平输入电压	0	5.5	V
V_{VCC}	VCC 引脚电压	3.05	5.5	V
V_{REF}	基准电压 (VREF)	0.05	3.3	V
f_{PWM}	施加的 PWM 信号	0	200	kHz
I_{DDW}	每路输出的电流，DDW 封装	0	5	A)
I_{PWP}	每路输出的电流，PWP 封装	0	4	A

Copyright © 2025 Texas Instruments Incorporated

5.3 建议运行条件（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
T_A	工作环境温度	-40	125	°C
T_J	工作结温	-40	150	°C

5.4 热性能信息

热指标		DDW	PWP	单位
$R_{\theta JA}$	结至环境热阻	22.5	24.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	9.8	13.5	°C/W
$R_{\theta JB}$	结至电路板热阻	5.9	5.2	°C/W
ψ_{JT}	结至顶部的特征参数	0.2	0.2	°C/W
ψ_{JB}	结至电路板特征参数	5.8	5.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.9	0.9	°C/W

5.5 电气特性

典型值都是在 T_A = 25°C 且 V_{VM} = 24V 条件下的值。除非另有说明，否则所有限值都是在推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
电源电压（VM、DVDD）						
I_{VM}	VM 工作电源电流	nSLEEP = 1，无负载，VCC = 外部 5V		4	7	mA
		nSLEEP = 1，无负载，VCC = DVDD		6	9	
I_{VMQ}	VM 睡眠模式电源电流	nSLEEP = 0		3	8	μA
t_{SLEEP}	睡眠时间	nSLEEP = 0 至睡眠模式	120			μs
t_{RESET}	nSLEEP 复位脉冲	nSLEEP 低电平至清除故障	20		40	μs
t_{WAKE}	唤醒时间	nSLEEP = 1 至输出转换		0.85	1.2	ms
t_{ON}	导通时间	VM > UVLO 至输出转换		0.85	1.3	ms
V_{DVDD}	内部稳压器电压	无外部负载，6V < V_{VM} < 55V	4.75	5	5.25	V
		无外部负载，V_{VM} = 4.5V	4.35	4.45		V
电荷泵（VCP、CPH、CPL）						
V_{VCP}	VCP 工作电压	6 V < V_{VM} < 55 V		V_{VM} + 5		V
$f_{(VCP)}$	电荷泵开关频率	V_{VM} > UVLO；nSLEEP = 1		360		kHz
逻辑电平输入（IN1、IN2、IN3、IN4、EN1、EN2、EN3、EN4、MODE、OCPM、nSLEEP）						
V_{IL}	输入逻辑低电平电压		0		0.6	V
V_{IH}	输入逻辑高电平电压		1.5		5.5	V
V_{HYS}	输入逻辑迟滞（除 nSLEEP 以外的所有引脚）			100		mV
V_{HYS_nSLEEP}	nSLEEP 逻辑迟滞			300		mV
I_{IL}	输入逻辑低电平电流	V_{IN} = 0V	-1		1	μA
I_{IH}	输入逻辑高电平电流	V_{IN} = DVDD			50	μA
t_1	ENx 高电平到 OUTx 高电平延迟	INx = 1			2	μs
t_2	ENx 低电平到 OUTx 低电平延迟	INx = 1			2	μs
t_3	ENx 高电平到 OUTx 低电平延迟	INx = 0			2	μs

Copyright © 2025 Texas Instruments Incorporated

典型值都是在 T_A = 25°C 且 V_{VM} = 24V 条件下的值。除非另有说明，否则所有限值都是在推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
t_4	ENx 低电平到 OUTx 高电平延迟	INx = 0			2	µs
t_5	INx 高电平到 OUTx 高电平延迟			600		ns
t_6	INx 低电平到 OUTx 低电平延迟			600		ns
控制输出 (nFAULT)						
V_{OL}	输出逻辑低电平电压	I_O = 5mA			0.35	V
I_{OH}	输出逻辑高电平漏电流		-1		1	µA
电机驱动器输出（OUT1、OUT2、OUT3、OUT4）						
$R_{DS(ONH)}$	高侧 FET 导通电阻	T_J = 25°C、I_O = -5A		54	63	mΩ
		T_J = 125°C、I_O = -5A		80	94	mΩ
		T_J = 150°C、I_O = -5A		90	105	mΩ
$R_{DS(ONL)}$	低侧 FET 导通电阻	T_J = 25°C、I_O = 5A		58	66	mΩ
		T_J = 125°C、I_O = 5A		85	98	mΩ
		T_J = 150°C、I_O = 5A		94	107	mΩ
t_{RF}	输出上升/下降时间	在 DDW 封装或 PWP 封装中，I_O = 5A、MODE = 0、介于 10% 和 90% 之间		140		ns
		对于 DDW 封装，I_O = 5A，MODE = 1，介于 10% 和 90% 之间		70		ns
t_D	输出死区时间	VM = 24V，I_O = 5A		300		ns
电流检测和调节（IPROPI、VREF）						
A_{IPROPI}	电流镜增益			212		µA/A
K_V	跨阻增益	VREF = 3.3V，PWP 封装	0.625	0.66	0.695	V/A
A_{ERR}	电流镜比例误差	10% 至 20% 额定电流	-7		9	%
		20% 至 40% 额定电流	-4		6	
		40% 至 100% 额定电流	-3.5		5	
I_{VREF}	VREF 漏电流	VREF = 3.3V			20	nA
t_{OFF}	PWM 关断时间			16		µs
t_{DEG}	电流调节抗尖峰脉冲时间			0.5		µs
t_{BLK}	电流调节消隐时间			1.5		µs
t_{DELAY}	电流检测延迟时间			2		µs
保护电路						
V_{UVLO}	VM UVLO 锁定	VM 下降	4.1	4.23	4.35	V
		VM 上升	4.2	4.35	4.47	
VCC_{UVLO}	VCC UVLO 锁定	VCC 下降	2.7	2.8	2.9	V
		VCC 上升	2.75	2.92	3.05	
$V_{UVLO,HYS}$	欠压迟滞	上升至下降阈值		110		mV
V_{CPUV}	电荷泵欠压	VCP 下降		V_{VM} + 2		V
I_{OCP}	过流保护	流经任何 FET 的电流	7.6			A
t_{OCP}	过流检测延迟			2.2		µs
t_{RETRY}	过流重试时间			4.1		ms

Copyright © 2025 Texas Instruments Incorporated

典型值都是在 T_A = 25°C 且 V_{VM} = 24V 条件下的值。除非另有说明，否则所有限值都是在推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
T_{OTSD}	热关断	内核温度 T_J	150	165	180	°C
T_{HYS_OTSD}	热关断迟滞	内核温度 T_J		20		°C

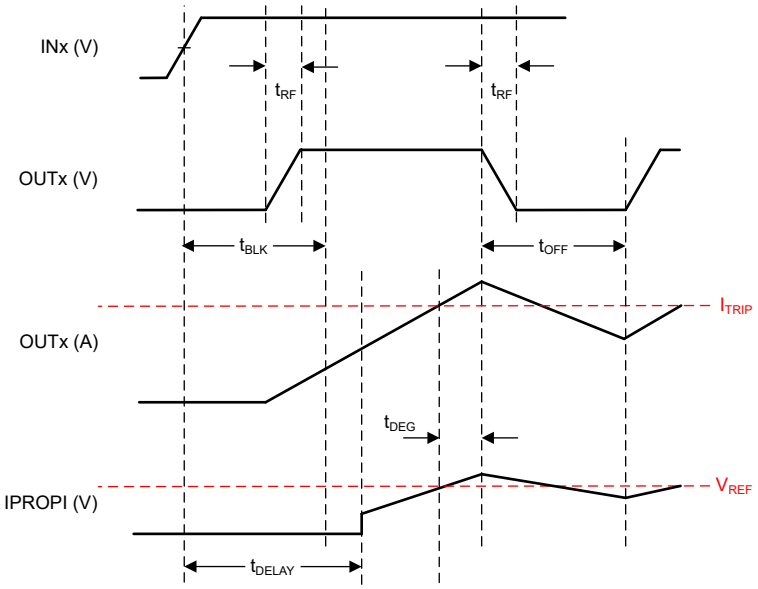


图 5-1. IPROPI 时序图

5.6 典型特性

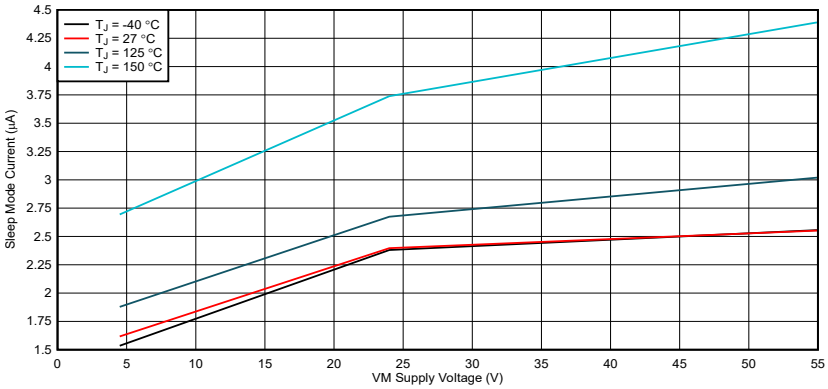


图 5-2. 睡眠模式电源电流

Copyright © 2025 Texas Instruments Incorporated

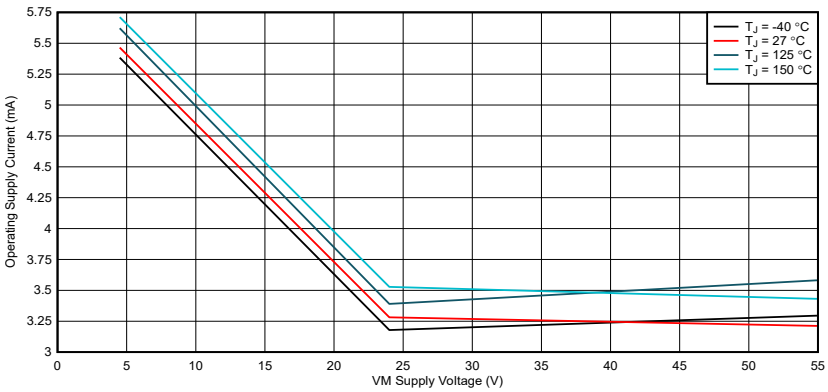


图 5-3. 工作电源电流，VCC = 外部 5V

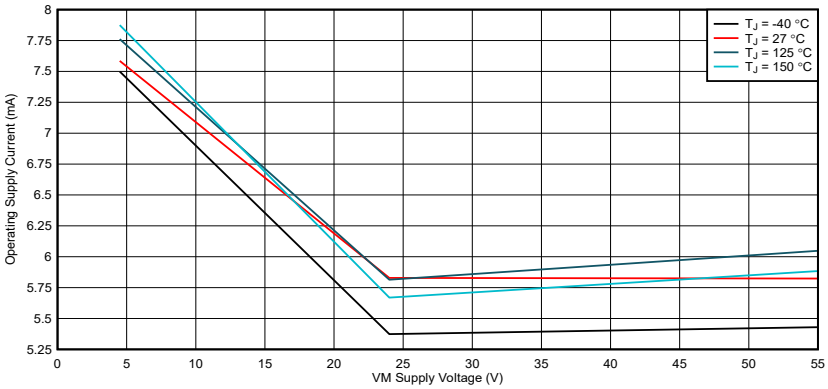


图 5-4. 工作电源电流，VCC = DVDD

Copyright © 2025 Texas Instruments Incorporated

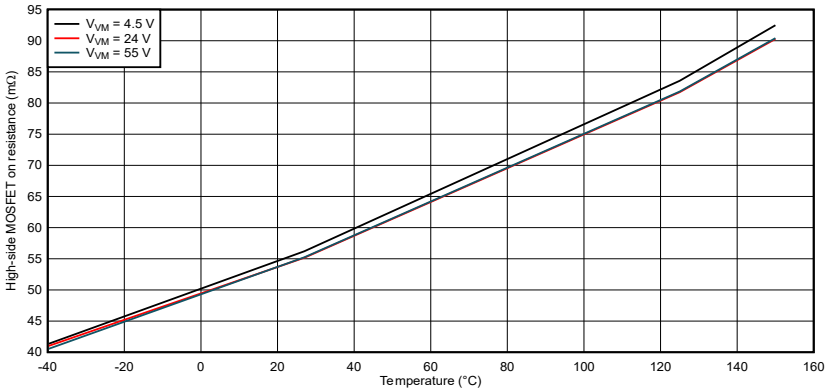


图 5-5. 高侧 FET 导通电阻

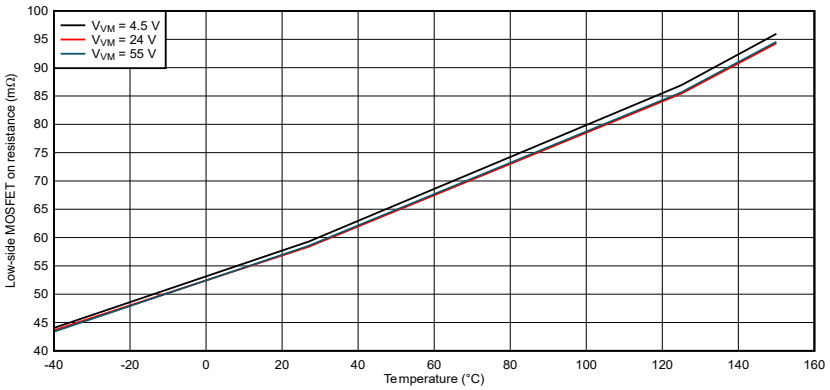


图 5-6. 低侧 FET 导通电阻

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

DRV8952 是一款四通道半桥驱动器，其工作电压范围为 4.5V 至 55V，并支持各种负载电流，适用于各种类型的负载。该器件集成了四个半桥输出功率级，还集成了一个电荷泵稳压器，从而支持高效的高侧 N 沟道 MOSFET 和 100% 占空比运行。DRV8952 可由单一电源输入 (VM) 供电。另外，使用 DDW 封装时，VCC 引脚可连接至第二个电源，为内部逻辑块供电。nSLEEP 引脚提供了一种超低功耗模式，可以在系统不活动期间尽可能地减少电流消耗。

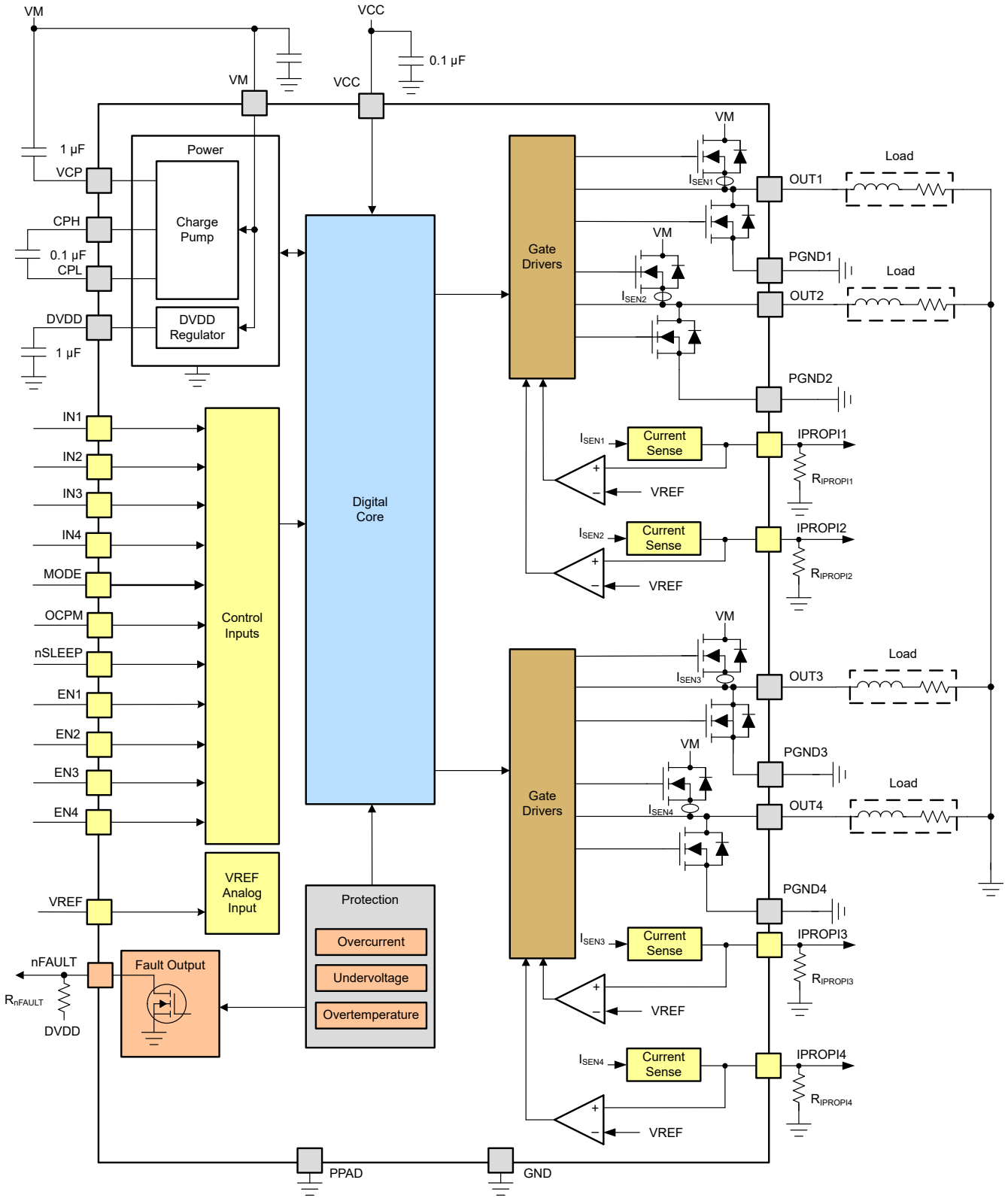
该器件采用两种封装 - 44 引脚 HTSSOP (DDW) 封装和另一种 28 引脚 HTSSOP (PWP) 封装。DDW 封装为每个输出提供高达 5A 的电流，而 PWP 封装可为每个输出提供高达 4A 的电流。DRV8952 DDW 封装与 DRV8962 引脚对引脚兼容，DRV8952 PWP 封装与 DRV8955 引脚对引脚兼容。可以提供的实际电流取决于环境温度、电源电压和 PCB 热设计。

DRV8952 DDW 封装提供电流检测输出。IPROPI 引脚提供一个小电流，该电流与高侧 MOSFET 中的电流成正比。可以使用外部电阻器 (R_{IPROPI}) 将 IPROPI 引脚处的电流转换为比例电压。集成的电流检测功能使 DRV8952 能够利用一个关断时间固定的 PWM 斩波方案来限制输出电流，并为外部控制器提供负载信息，从而检测负载的变化。在 40% 至 100% 的额定电流下，IPROPI 输出的检测精度为 -3.5%/+5%。如果需要更高精度的检测，也可以连接外部功率检测电阻。在运行期间，可以通过 VREF 引脚来配置电流调节电平，从而根据系统的需求限制负载电流。

各种集成保护特性将在出现系统故障时保护器件。这些保护功能包括欠压锁定 (UVLO)、电荷泵欠压 (CPUV)、过流保护 (OCP) 和过热关断 (OTSD)。故障情况通过 nFAULT 引脚指示。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图


VM
VCC
0.1 µF
1 µF
VCP
CPH
0.1 µF
CPL
DVDD
1 µF
Power
Charge Pump
DVDD Regulator
IN1
IN2
IN3
IN4
MODE
OCPM
nSLEEP
EN1
EN2
EN3
EN4
VREF
Control Inputs
VREF Analog Input
Digital Core
Protection
Overcurrent
Undervoltage
Overtemperature
nFAULT
RnFAULT
Fault Output
Gate Drivers
ISEN1
ISEN2
ISEN3
ISEN4
OUT1
OUT2
OUT3
OUT4
PGND1
PGND2
PGND3
PGND4
Load
Current Sense
VREF
IPROPI1
IPROPI2
IPROPI3
IPROPI4
RIPROPI1
RIPROPI2
RIPROPI3
RIPROPI4
PPAD
GND

6.3 特性说明

下表展示了 DRV8952 外部组件的建议值。

表 6-1. 外部组件

组件	引脚 1	引脚 2	推荐
C_{VM1}	VM	PGND1	额定电压为 VM 的 X7R 0.01μF 陶瓷电容器
C_{VM2}	VM	PGND3	额定电压为 VM 的 X7R 0.01μF 陶瓷电容器
C_{VM3}	VM	PGND1	额定电压为 VM 的大容量电容器
C_{VCP}	VCP	VM	X7R 1μF 16V 陶瓷电容器
C_{SW}	CPH	CPL	额定电压为 VM 的 X7R 0.1μF 陶瓷电容器
C_{DVDD}	DVDD	GND	额定电压为 6.3V 或 10V 的 X7R 1μF 陶瓷电容器
C_{VCC}	VCC	GND	额定电压为 6.3V 或 10V 的 X7R 0.1μF 陶瓷电容器
R_{nFAULT}	DVDD 或 VCC	nFAULT	10kΩ 电阻
R_{REF1}	VREF	DVDD	用于设置电流调节阈值的电阻。
R_{REF2}	VREF	GND	
$R_{IPROPIx}$	IPROPIx	GND	有关详细信息，请参阅节 6.5.1

6.4 独立半桥运行

- DRV8952 可以同时驱动四个半桥负载。
- 对于 DDW 封装，MODE 引脚将输出的典型上升和下降时间配置为 70ns 或 140ns。
- PWP 封装的上升和下降时间为 140ns。
- ENx 引脚可启用或禁用（高阻态）输出。
- INx 引脚控制输出的状态（高电平或低电平）
  - INx 引脚可接受静态或脉宽调制 (PWM) 信号。
  - 在施加 VM 之前，可以为 INx 和 ENx 输入供电。
- 真值表并未考虑内部电流调节功能。
- 当在半桥的高侧和低侧 MOSFET 之间切换时，该器件会自动处理死区时间生成。

表 6-2. 独立半桥运行真值表

nSLEEP	INx	ENx	OUTx	说明
0	X	X	高阻态	睡眠模式，所有半桥禁用（高阻态）
1	X	0	Hi-Z	禁用单独输出（高阻态）
1	0	1	L	OUTx 低侧导通
1	1	1	H	OUTx 高侧导通

还可以使用输入进行 PWM 控制，例如控制直流电机的转速。当使用 PWM 控制绕组时，如果驱动电流中断，电机的感应性质将要求电流必须继续流动。这称为再循环电流。为了处理此再循环电流，H 桥可在两种不同的状态下运行：快速衰减或慢速衰减。在快速衰减模式下，将会禁用 H 桥，再循环电流将会流过体二极管；在慢速衰减模式下，将会短接电机绕组。

使用快速衰减执行 PWM 操作时，会将 PWM 信号应用到 ENx 引脚；使用慢速衰减时，会将 PWM 信号应用到 INx 引脚。下表是使用 OUT1 和 OUT2 作为 H 桥来驱动直流电机的示例：

表 6-3. PWM 功能

IN1	EN1	IN2	EN2	功能
1	1	PWM	1	正向 PWM，慢速衰减
PWM	1	1	1	反向 PWM，慢速衰减

Copyright © 2025 Texas Instruments Incorporated

表 6-3. PWM 功能（续）

IN1	EN1	IN2	EN2	功能
1	PWM	0	PWM	正向 PWM，快速衰减
0	PWM	1	PWM	反向 PWM，快速衰减

6.5 电流检测和调节

DRV8952 在高侧 MOSFET 两端集成了电流检测、电流调节和电流检测反馈功能。这些特性使该器件能够检测输出节点和地之间的负载的电流，而无需连接外部检测电阻或检测电路；缩减了系统尺寸并降低了成本和复杂程度。DDW 封装的电流检测比例输出 (IPROPI) 使器件能够向控制器提供有关负载电流的详细反馈。

6.5.1 电流检测和反馈

采用 DDW 封装的 DRV8952 支持四路 IPROPI 输出，每个半桥有一路输出。IPROPI 输出表示每个高侧 MOSFET 的电流，如下所示：

$$I_{PROPI} = I_{HS} \times A_{IPROPI} \quad (1)$$

其中，I_{HS} 是流经高侧 MOSFET 的电流，A_{IPROPI} 是电流镜增益。

应将每个 IPROPI 引脚连接至一个接地的外部电阻器 (R_{IPROPI})，从而在 IPROPI 引脚上产生一个比例电压 (V_{IPROPI})。这样即可使用标准模数转换器 (ADC) 将电流作为 R_{IPROPI} 电阻器两端的压降进行测量。可以根据应用中的预期负载电流来调节 R_{IPROPI} 电阻器的大小，以利用控制器 ADC 的整个量程。该器件采用了一个内部钳位电路，可限制 VREF 引脚上相对于 V_{VREF} 的 V_{IPROPI}，并在出现输出过流或发生意外高电流事件时保护外部 ADC。IPROPI 电压应小于 VREF 的最大建议值，即 3.3V。

可以使用如下公式计算对应于输出电流的 IPROPI 电压：

$$V_{IPROPI}\ (V) = I_{PROPI}\ (A) \times R_{IPROPI}\ (\Omega) \quad (2)$$

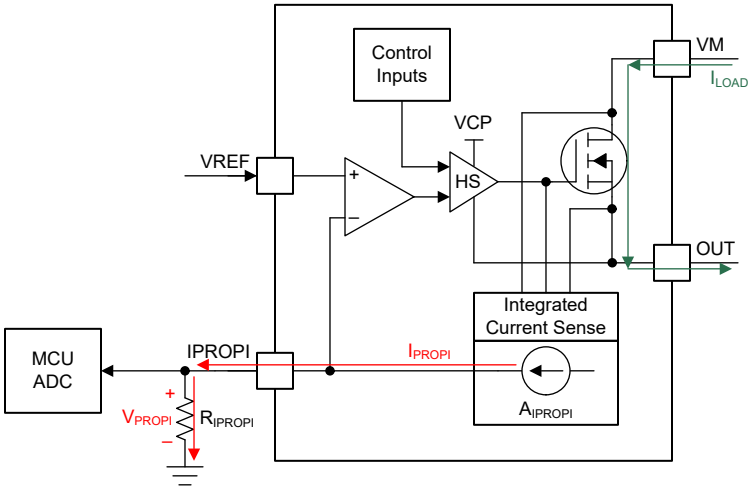


图 6-1. 集成电流检测

“电气特性”表中的 A_{ERR} 参数是与 A_{IPROPI} 增益相关的误差。它表示 I_{OUT} 电流中增加的偏移量误差和增益误差带来的综合影响。

6.5.2 使用外部电阻器进行电流检测

在 40% 至 100% 的额定电流下，IPROPI 输出精度为 -3.5% 至 +5%。如果需要精确度更高的电流检测，或用于 PWP 封装，也可以在 PGND 引脚和系统地之间使用外部检测电阻来检测负载电流，如下所示。

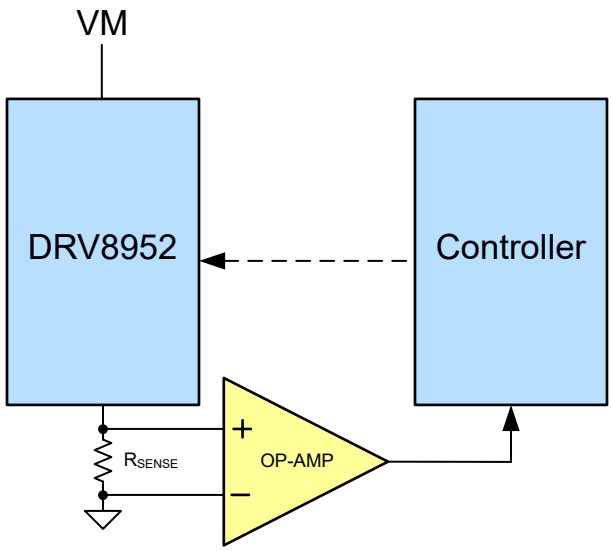


图 6-2. 使用外部电阻器进行电流检测

外部检测电阻两端的压降不应超过 300mV。

将检测电阻尽可能靠近相应的 IC 引脚放置。使用对称的检测电阻布局，从而确保实现良好匹配。应使用低电感检测电阻来防止电压尖峰和振铃。为获得出色性能，检测电阻应当是额定功率足够高的表面贴装电阻。

6.5.3 电流调节

对于采用 DDW 封装的 DRV8952，可通过 VREF 电压 (V_{VREF}) 与 IPROPI 输出电阻器 (R_{IPROPI}) 的组合来设置电流斩波阈值 (I_{TRIP})。可通过将外部 R_{IPROPI} 电阻器和 V_{VREF} 之间的压降与内部比较器进行比较来执行此操作。

$$I_{TRIP}\ (A) \times A_{IPROPI}\ (\mu A/A) = V_{VREF}\ (V) / R_{IPROPI}\ (\Omega) \quad (3)$$

例如，要将 I_{TRIP} 设为 5A，V_{VREF} 设为 3.3V，R_{IPROPI} 必须为：

$R_{IPROPI} = V_{VREF}/(I_{TRIP} \times A_{IPROPI}) = 3.3/(5 \times 212 \times 10^{-6}) = 3.09k\Omega$

可以禁用内部电流调节，方法是将 IPROPI 绑定到 GND 并将 VREF 引脚电压设置为高于 GND 的值（如果不需要电流反馈）。如果需要电流反馈但不需要电流调节，则需要设置 V_{VREF} 和 R_{IPROPI}，使 V_{IPROPI} 永远不会达到 V_{VREF} 阈值。

对于采用 PWP 封装的 DRV8952，电流斩波阈值 (I_{TRIP}) 通过 VREF 电压 (V_{VREF}) 来设置，如下所示：

$$I_{TRIP}\ (A) = V_{VREF}\ (V) / K_V\ (V/A) \quad (4)$$

DRV8952 可同时驱动多达四个电阻或电感负载。在将输出负载接地后，可将负载电流调节至 I_{TRIP} 电平。PWM 关断时间 (t_{OFF}) 固定为 16 μs。固定关断时间模式允许在外部控制器不介入的情况下使用简单的电流斩波方案。固定关断时间模式将支持 100% 占空比的电流调节。

控制负载电流的另外一种方式是逐周期控制模式，在该模式下，必须控制 INx 输入引脚的 PWM 脉冲宽度。这样即可通过外部控制器来额外控制电流斩波方案。

下面介绍了驱动高侧和低侧负载的几种情况：

- **电阻负载接地：**

稳定电流不会超过 I_{TRIP}。如果 I_{TRIP} 高于 (VM/R_{LOAD})，则在 INx = 1 时，会将负载电流调节至 VM/R_{LOAD} 电平（如图 6-3 所示）。

Copyright © 2025 Texas Instruments Incorporated

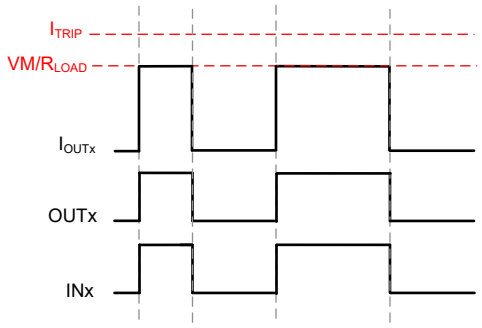


图 6-3. 电阻负载接地，逐周期控制

- **电感负载接地：**

应确保在每个周期对电流进行足够衰减，以防失控和触发过流保护。

- 对于图 6-4 所示的情况，当 INx = 1 时，低侧 MOSFET 在 I_{OUT} 超过 I_{TRIP} 后，在 t_{OFF} 时间内保持导通状态。t_{OFF} 后，将再次导通高侧 MOSFET，直至 I_{OUT} 再次超过 I_{TRIP}。

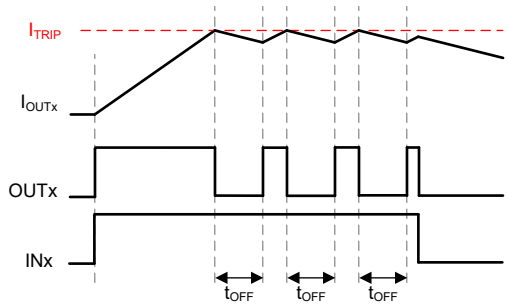


图 6-4. 电感负载接地，固定关断时间电流斩波

如果在 t_{OFF} 时间过后，电流仍高于 I_{TRIP} 电平，则器件将强制执行时间相同的另一个 t_{OFF} 时间段。将持续延长关断时间，直至检测到的电流在 t_{OFF} 时间结束时小于 I_{TRIP}。

- 也可以使用逐周期方法来控制负载。当 INx = 1 时，流经该负载的电流将增加；当 INx = 0 时，流经该负载的电流将衰减。通过适当选择 INx 脉冲的占空比，可以将电流调节到目标值。图 6-5 和图 6-6 显示了上述情况。

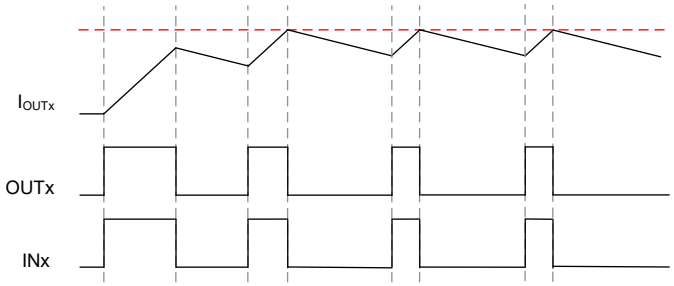


图 6-5. 电感负载接地，逐周期控制

在第二种情况中，需要对 INx 引脚的占空比进行调节（T 必须小于 T_{OFF}），从而确保电流不会失控。

Copyright © 2025 Texas Instruments Incorporated

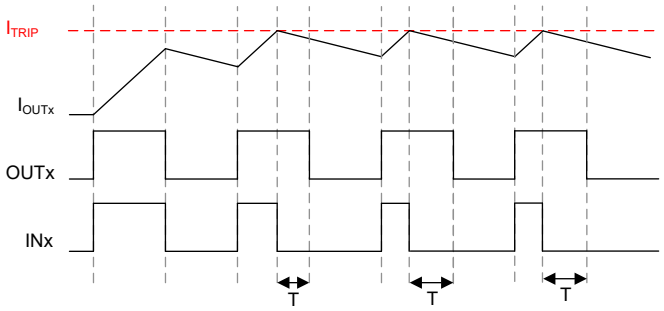


图 6-6. 电感负载接地，逐周期控制

- **负载连接至 VM：**

可以通过控制 INx 引脚脉冲宽度来控制此类负载：INx = 0 时，电流会增加；INx = 1 时，电流会衰减，如图 6-7 和图 6-8 所示。

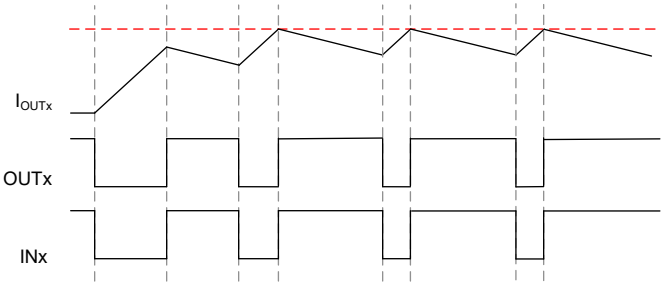


图 6-7. 电感负载连接至 VM，逐周期控制

在这种情况下，需要对 INx 引脚的占空比进行调节，以确保电流不会失控。

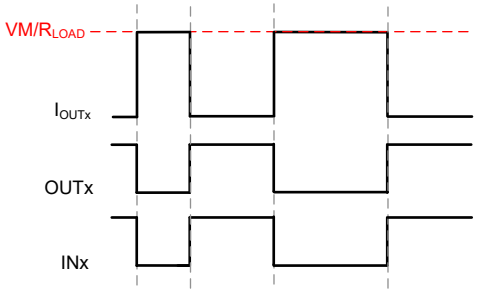


图 6-8. 电阻负载接地，逐周期控制

6.6 电荷泵

集成了一个电荷泵以提供高侧 N 沟道 MOSFET 栅极驱动电压。需要在 VM 和 VCP 引脚之间为电荷泵放置一个电容作为储能电容。此外，还需要在 CPH 和 CPL 引脚之间放置一个一个陶瓷电容作为飞跨电容。

Copyright © 2025 Texas Instruments Incorporated

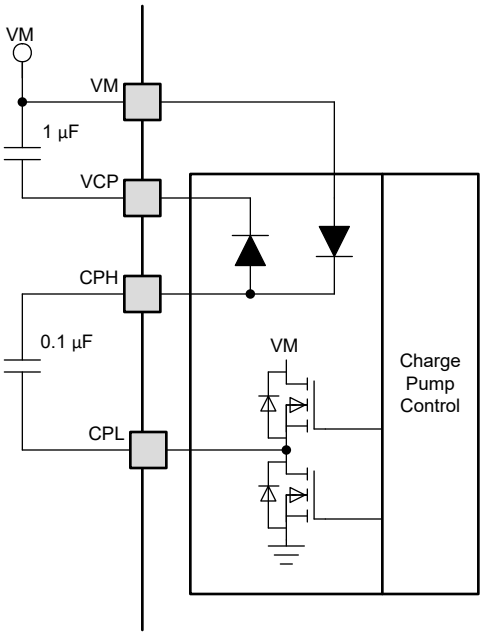


图 6-9. 电荷泵方框图

6.7 线性稳压器

该器件中集成了一个线性稳压器。当 VCC 引脚连接至 DVDD 时，DVDD 稳压器为低侧栅极驱动器和所有内部电路供电。为确保正常运行，请使用 1 µF 陶瓷电容器将 DVDD 引脚旁路至 GND。DVDD 输出的标称值为 5V。

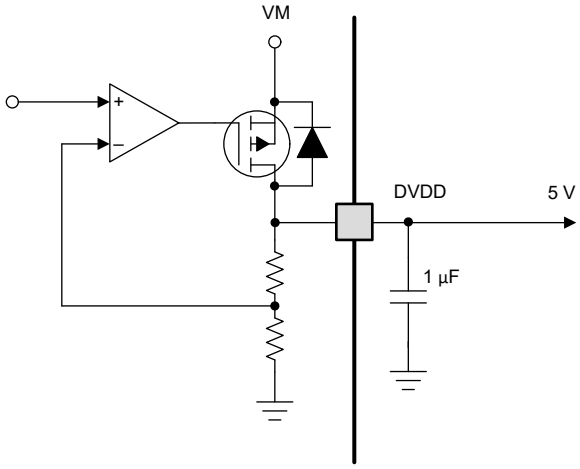


图 6-10. 线性稳压器方框图

如果数字输入须一直连接高电平，则宜将输入连接至 DVDD 引脚而不是外部稳压器。此方法可在未应用 VM 引脚或处于睡眠模式时省电：DVDD 稳压器被禁用，电流不会流经输入下拉电阻器。作为参考，逻辑电平输入的典型下拉电阻为 200kΩ。

请勿将 nSLEEP 引脚连接至 DVDD，否则器件将无法退出睡眠模式。

6.8 VCC 电压电源

对于采用 DDW 封装的 DRV8952，可在 VCC 引脚施加外部电压，从而为内部逻辑电路供电。VCC 引脚上的电压应介于 3.05V 和 5.5V 之间，并应经过良好调节。当外部电源不可用时，VCC 必须连接到该器件的 DVDD 引脚。

Copyright © 2025 Texas Instruments Incorporated

当由 VCC 供电时，内部逻辑块不会消耗 VM 电源轨的功率，从而降低 DRV8952 中的功率损耗。这在高电压应用和环境温度较高时非常有用。使用 0.1 µ F 陶瓷电容器将 VCC 引脚旁路至接地。

6.9 逻辑电平引脚图

下面的引脚图显示了 INX、ENx、MODE、OCPM 和 nSLEEP 引脚的输入结构。

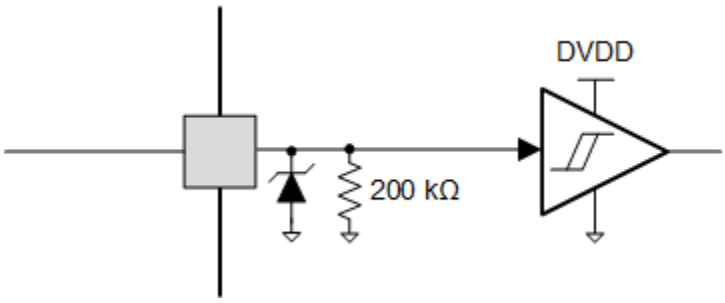


图 6-11. 逻辑电平输入引脚图

6.10 保护电路

这些器件可完全防止电源欠压、电荷泵欠压、输出过流和器件过热事件。

6.10.1 VM 欠压锁定 (UVLO)

无论 VM 引脚电压何时降至 UVLO 阈值电压以下：

- 都会禁用所有输出（高阻态）
- nFAULT 引脚被驱动为低电平
- 电荷泵会被禁用

当 VM 电压恢复至 UVLO 上升阈值电压以上时，器件将恢复正常运行（驱动器运行且释放 nFAULT 引脚）。

如果 VM 电压降至内部数字复位电压（最大值 3.9V）以下，则会禁用内部逻辑电路，还会禁用 nFAULT 上的下拉电阻。因此，当 VM 降至大约 3.9V 以下时，nFAULT 会再次被拉高。

6.10.2 VCP 欠压锁定 (CPUV)

无论 VCP 引脚电压何时降至 CPUV 电压以下：

- 都会禁用所有输出（高阻态）
- nFAULT 引脚被驱动为低电平
- 电荷泵保持有效状态

消除 VCP 欠压条件后，器件将恢复正常运行（驱动器运行且释放 nFAULT 引脚）。

6.10.3 逻辑电源上电复位 (POR)

无论 VCC 引脚电压何时降至 VCC_{UVLO} 阈值以下：

- 都会禁用所有输出（高阻态）
- 电荷泵会被禁用

nFAULT 引脚上未报告 VCC UVLO。VCC 欠压情况消失后，电机驱动器将恢复正常运行。

6.10.4 过流保护 (OCP)

每个 MOSFET 上的模拟电流限制电路通过移除栅极驱动来限制通过 MOSFET 的电流。如果该电流限制的持续时间超过 t_{OCP}，则会检测到过流故障。

- 仅会禁用发生过流的半桥

Copyright © 2025 Texas Instruments Incorporated

- nFAULT 被驱动为低电平
- 电荷泵保持有效状态

高侧和低侧 MOSFET 上的过流情况；这意味着接地短路或电源短路将导致过流故障检测。

消除过流条件后，恢复机制取决于 DDW 封装的 OCPM 引脚设置。OCPM 引脚对闭锁或自动重试型恢复进行编程。

- 当 OCPM 引脚为逻辑低电平时，该器件具有闭锁型恢复功能，这意味着消除 OCP 条件后，器件会在施加 nSLEEP 复位脉冲或下电上电后恢复正常运行。
- 当 OCPM 引脚为逻辑高电平时，经过 t_{RETRY} 时间且故障条件消失后，器件将自动恢复正常运行（驱动器运行且释放 nFAULT 引脚）。

PWP 封装将仅支持闭锁型恢复，在应用 nSLEEP 复位脉冲或下电上电后将恢复正常运行。

6.10.5 热关断 (OTSD)

如果内核温度超过热关断限值 (T_{OTSD})，则会检测到热关断。当检测到热关断时：

- 会禁用半桥中的所有 MOSFET
- nFAULT 被驱动为低电平
- 电荷泵会被禁用

消除热关断条件后，恢复机制取决于 DDW 封装的 OCPM 引脚设置。OCPM 引脚对闭锁或自动重试型恢复进行编程。

- 当 OCPM 引脚为逻辑低电平时，该器件具有闭锁型恢复功能，这意味着结温降至过热阈值限值减去迟滞 (T_{OTSD} – T_{HYS_OTSD}) 所得的值以下后，器件会在施加 nSLEEP 复位脉冲或下电上电后恢复正常运行。
- 当 OCPM 引脚为逻辑高电平时，结温降至过热阈值限值减去迟滞 (T_{OTSD} – T_{HYS_OTSD}) 所得的值以下后，器件将自动恢复正常运行。

对于 PWP 封装，在结温降至低于过热阈值限值减去迟滞 (T_{OTSD} – T_{HYS_OTSD}) 所得的值之后，在热关断故障后会自动恢复正常运行。

6.10.6 nFAULT 输出

nFAULT 引脚具有开漏输出且应上拉至 5V、3.3V 或 1.8V 电源电压。当检测到故障时，nFAULT 引脚将变成逻辑低电平；上电后，则变成高电平。对于 5V 上拉，nFAULT 引脚可通过一个电阻连接至 DVDD 引脚。对于 3.3V 或 1.8V 上拉，必须使用一个外部电源。

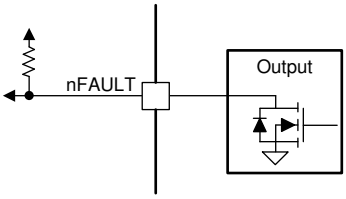


图 6-12. nFAULT 引脚

6.10.7 故障条件汇总

表 6-4. 故障条件汇总

故障	条件	错误报告	H 桥	电荷泵	逻辑	恢复
VM 欠压 (UVLO)	VM < V_{UVLO}	nFAULT	禁用	禁用	复位	VM > V_{UVLO}
VCP 欠压 (CPUV)	VCP < V_{CPUV}	nFAULT	禁用	工作	工作	VCP > V_{CPUV}
逻辑电源 POR	VCC < VCC_{UVLO}	-	禁用	禁用	复位	VCC > VCC_{UVLO}

Copyright © 2025 Texas Instruments Incorporated

表 6-4. 故障条件汇总（续）

故障	条件	错误报告	H 桥	电荷泵	逻辑	恢复
过流（OCP）	$I_{OUT} > I_{OCP}$、OCPM = 0（DDW 封装）	nFAULT	禁用	工作	工作	锁存：nSLEEP 复位脉冲
	$I_{OUT} > I_{OCP}$、OCPM = 1（DDW 封装）	nFAULT	禁用	工作	工作	自动重试：t_{RETRY}
	$I_{OUT} > I_{OCP}$、PWP 封装	nFAULT	禁用	工作	工作	锁存：nSLEEP 复位脉冲
热关断 (OTSD)	$T_J > T_{TSD}$，OCPM = 0（DDW 封装）	nFAULT	禁用	禁用	工作	锁存：nSLEEP 复位脉冲
	$T_J > T_{TSD}$，OCPM = 1（DDW 封装）	nFAULT	禁用	禁用	工作	自动：$T_J < T_{OTSD} - T_{HYS_OTSD}$
	$T_J > T_{TSD}$，PWP 封装	nFAULT	禁用	禁用	工作	自动：$T_J < T_{OTSD} - T_{HYS_OTSD}$

6.11 器件功能模式

6.11.1 睡眠模式 (nSLEEP = 0)

当 nSLEEP 引脚为低电平时，该器件将进入低功耗睡眠模式。在睡眠模式下，将会禁用所有内部 MOSFET、DVDD 稳压器、SPI 和电荷泵。必须在 nSLEEP 引脚上的下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。如果 nSLEEP 引脚变为高电平，该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

6.11.2 工作模式

在以下情况下启用该模式：

- nSLEEP 为高电平
- VM > UVLO

必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

6.11.3 nSLEEP 复位脉冲

锁存故障可通过 nSLEEP 复位脉冲清除。该脉冲的宽度必须在 20µs 至 40µs 之间。如果 nSLEEP 在 40µs 至 120µs 的时间内保持低电平，则会清除故障，但器件有可能会关断，也有可能不关断，如下面的时序图中所示。该复位脉冲不影响电荷泵或其他功能块的状态。

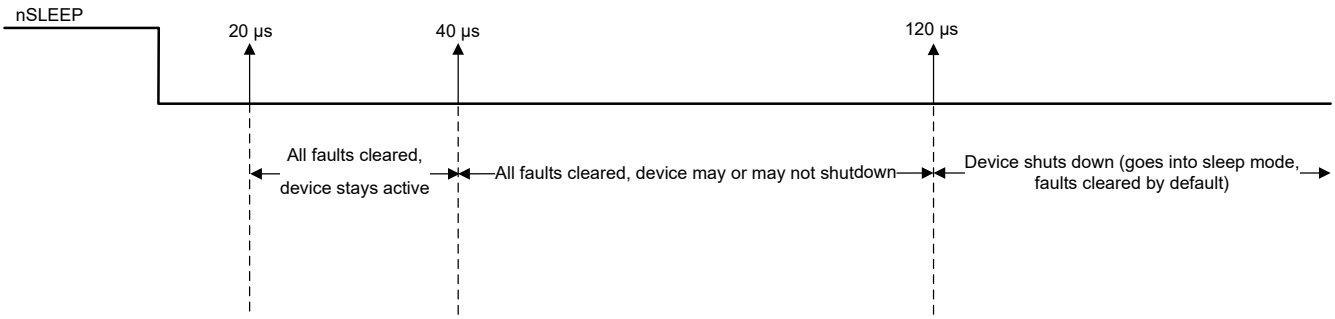


图 6-13. nSLEEP 复位脉冲

Copyright © 2025 Texas Instruments Incorporated

6.11.4 功能模式汇总

汇总了功能模式。

表 6-5. 功能模式汇总

条件		配置	H 桥	DVDD 稳压器	电荷泵	逻辑
睡眠模式	4.5V < VM < 55 V	nSLEEP 引脚 = 0	禁用	禁用	禁用	禁用
工作	4.5V < VM < 55 V	nSLEEP 引脚 = 1	工作	工作	工作	工作

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

DRV8952 可用于驱动以下类型的负载：

- 高达四个螺线管负载
- 一个步进电机
- 两个有刷直流电机
- 一个三相正弦控制无刷直流电机
- 一个三相永磁同步电机 (PMSM)
- 一个或两个热电冷却器 (TEC)

7.1.1 驱动螺线管负载

DRV8952 可同时驱动四个螺线管负载。对于接地负载，IPROPI 引脚输出负载电流信息（对于 DDW 封装）；并且负载电流可调节至由 VREF 引脚上的电压确定的 I_{TRIP} 电平。

对于四个半桥中的每一个，DRV8952 都支持独立的 IN 和 EN 引脚。所有这四个半桥也具有单独的 PGND 引脚。

7.1.1.1 螺线管驱动器典型应用

图 7-1 展示了 DRV8952 驱动四个接地负载的原理图。

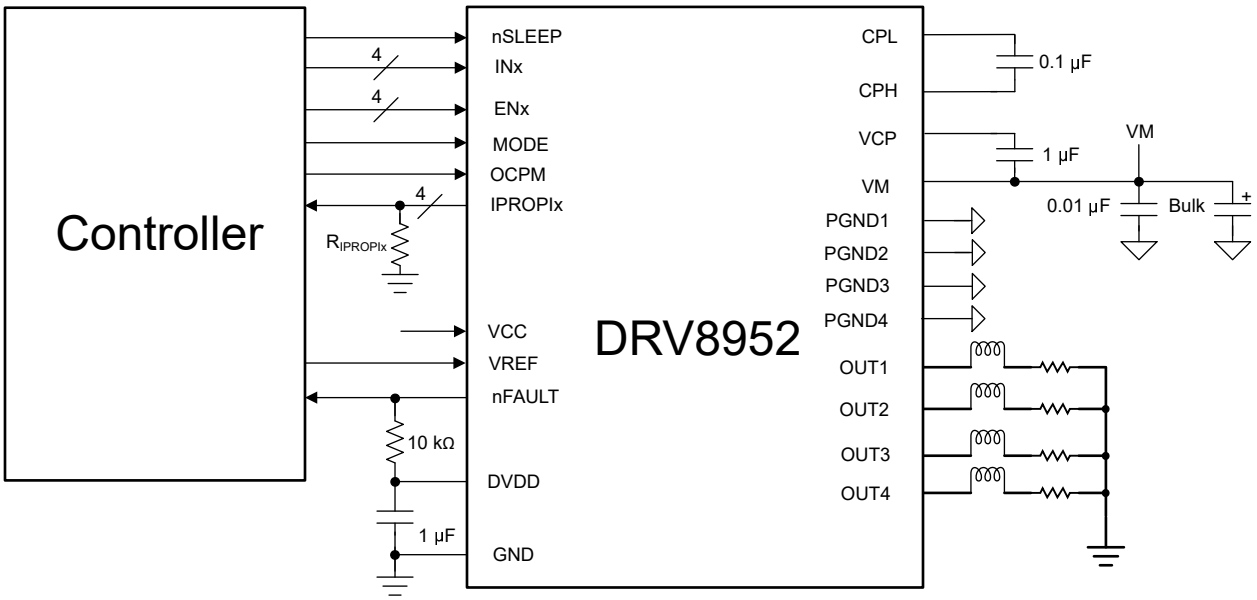


图 7-1. 使用 DRV8952 驱动螺线管

7.1.1.2 热计算

此器件的输出电流和功率损耗能力在很大程度上取决于 PCB 设计和外部系统状况。本节提供了一些用于计算这些值的指导信息。

Copyright © 2025 Texas Instruments Incorporated

此器件的总功率耗散由三个主要部分组成。它们是功率 MOSFET $R_{DS(ON)}$（导通）损耗、功率 MOSFET 开关损耗和静态电源电流损耗。尽管其他的一些因素可能会造成额外的功率损耗，但与这三个主要因素相比，这些其他因素通常微不足道。

7.1.1.2.1 功率损耗计算

每个半桥中的总功率损耗可计算为：

$$P_{HB} = P_{HS} + P_{LS} = [R_{DS(ON)} \times I_L{}^2] + [((2 \times V_D \times t_D) + (VM \times t_{RF})) \times I_L \times f_{PWM}]$$

其中，

- $R_{DS(ON)}$ = 每个 FET 的导通电阻
  - 对于 DRV8952，25°C 时的平均值通常为 56mΩ
- f_{PWM} = PWM 开关频率
- VM = 驱动器电源电压
- I_L = 负载电流
- D = PWM 占空比（介于 0 和 1 之间）
- t_{RF} = 输出电压上升/下降时间
  - 对于 DRV8952，DDW 封装的上升/下降时间为 70ns 或 140ns；PWP 封装的上升/下降时间为 140ns。
- V_D = FET 体二极管正向偏置电压
  - 对于 DRV8952，该值为 1V
- t_D = 死区时间
  - 对于 DRV8952，该值为 300ns

因此，DRV8952 的总功率损耗为：

$$P_{TOT} = n \times P_{HB} + P_Q$$

其中 n 是同时开关的半桥数量，P_Q 是静态功率损耗。

在本示例中，我们假设：

- 所有四个半桥都在开关
- VM = 24 V
- I_L = 3 A
- 环境温度 (T_A) = 25°C
- t_{RF} = 140ns
- 输入 PWM 频率 = 20kHz

当 VCC 引脚连接至外部电源时，静态电流为 4mA，因此 P_Q 为 (24V × 4mA) = 96mW。

$$P_{HB} = [56m\Omega \times 3^2] + [((2 \times 1V \times 300ns) + (24V \times 140ns)) \times 3A \times 20kHz] = 0.742W$$

$$P_{TOT} = (4 \times 0.742) + 0.096 = 3.062W$$

7.1.1.2.2 结温估算

结温估算值为：$T_J = T_A + (P_{TOT} \times \theta_{JA})$

在符合 JEDEC 标准的 PCB 中，DDW 封装的结至环境热阻 θ_{JA} 为 22.5°C/W，PWP 封装的结至环境热阻为 24.5°C/W。

因此，DDW 封装结温的第一个估算值为：

$$T_J = T_A + (P_{TOT} \times \theta_{JA}) = 25 + (3.062 \times 22.5) = 93.9°C$$

PWP 封装结温的第一个估算值为：

$$T_J = T_A + (P_{TOT} \times \theta_{JA}) = 25 + (3.062 \times 24.5) = 100\ °C$$

Copyright © 2025 Texas Instruments Incorporated

如需更准确地计算该值，请考虑典型工作特性部分所示的器件结温对 FET 导通电阻的影响。

Copyright © 2025 Texas Instruments Incorporated

7.1.1.3 应用性能曲线图

从上到下的布线：OUT1、OUT2、OUT3、OUT4、IPROPI1

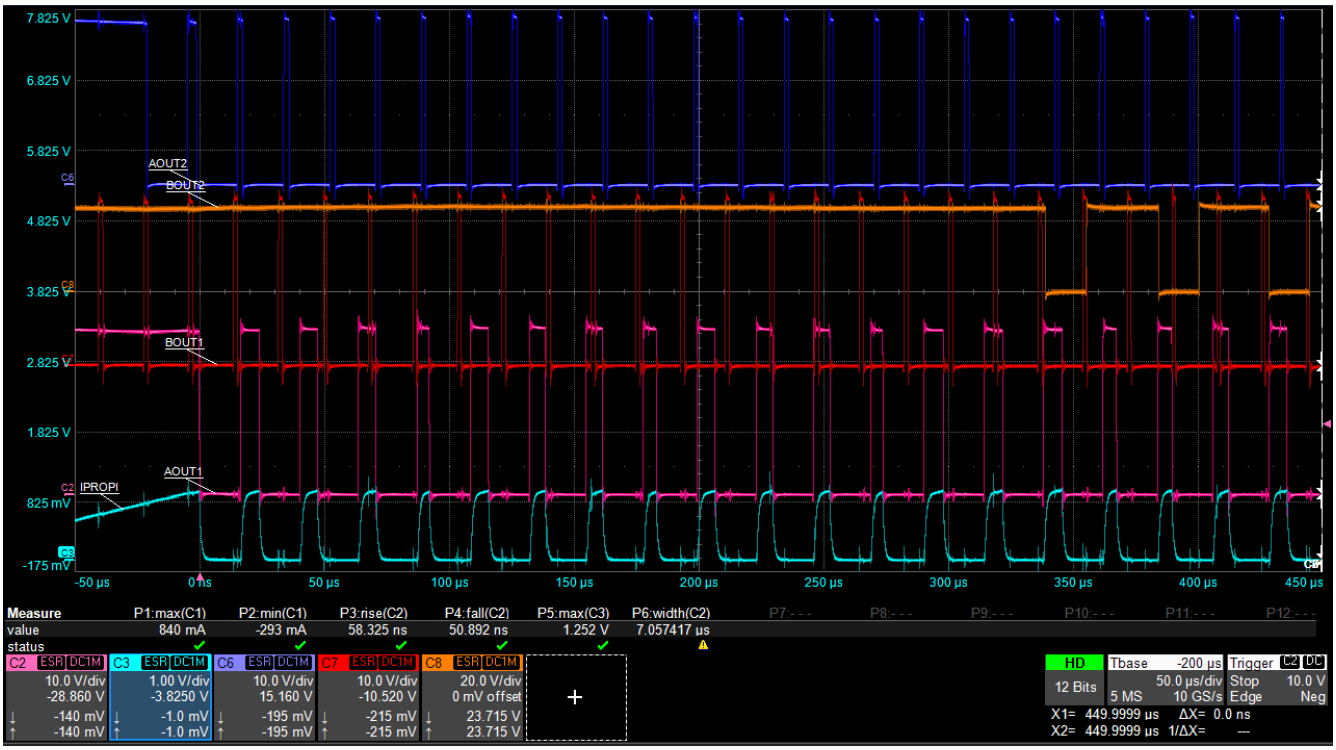


图 7-2. 同时驱动四个负载

从上到下的布线：OUT1、IOUT1、IN1、IPROPI1

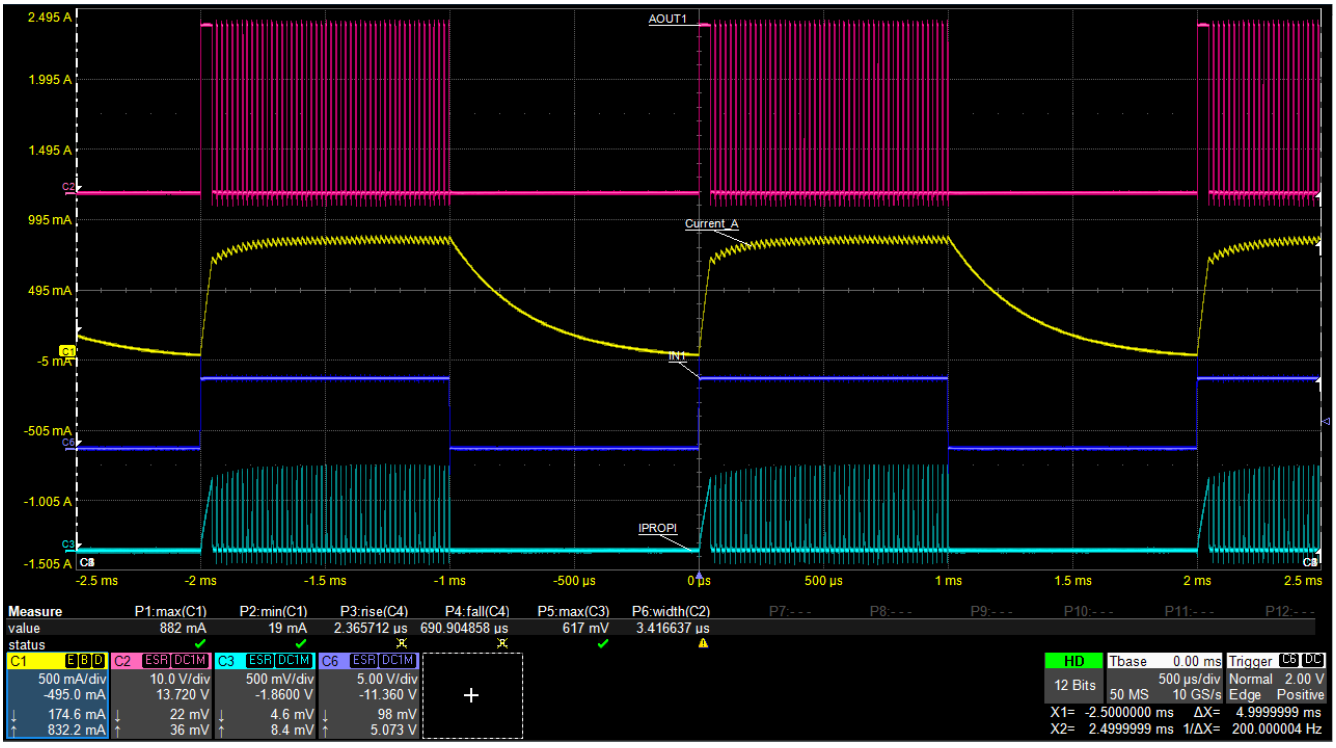


图 7-3. 通过 IPROPI 输出进行电流调节

Copyright © 2025 Texas Instruments Incorporated

7.1.2 驱动步进电机

DRV8952 可使用 PWM 输入接口驱动一个步进电机。

7.1.2.1 步进驱动器典型应用

以下原理图展示了驱动步进电机的 DRV8952。

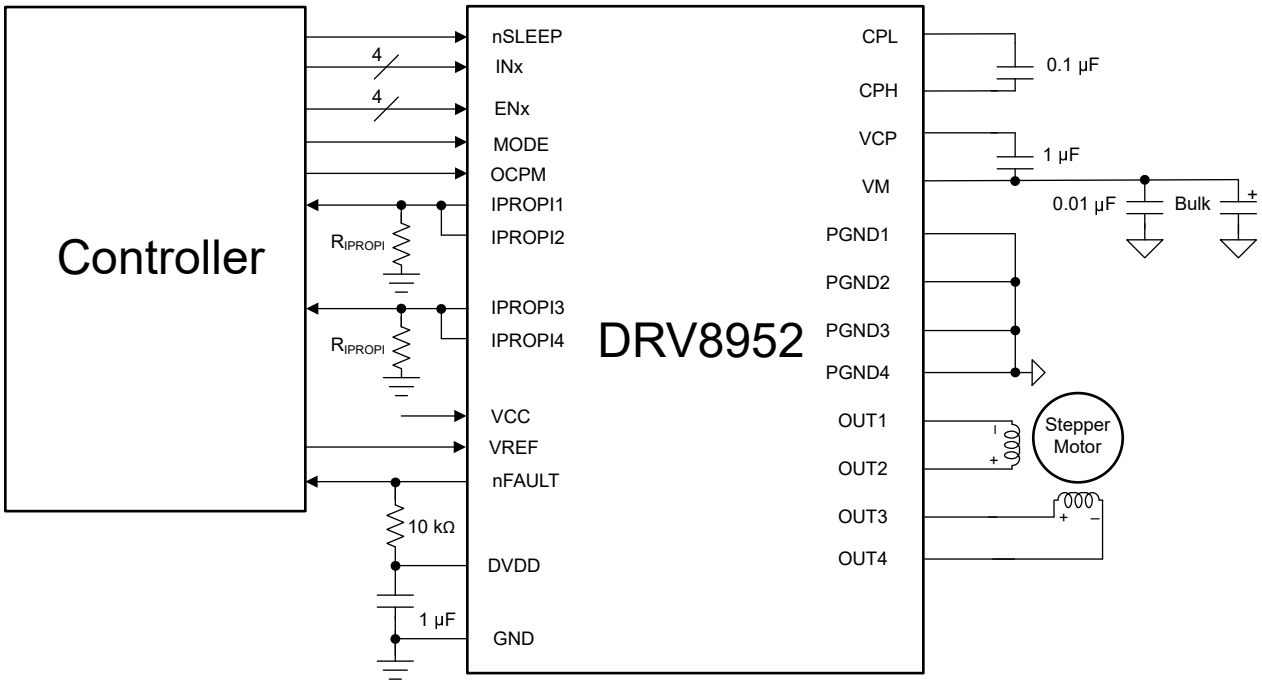


图 7-4. 使用 DRV8952 驱动步进电机

满量程电流 (I_{FS}) 是通过任一绕组的最大电流。该数量取决于 VREF 电压和从 IPROPI 引脚连接到接地的电阻器（对于 DDW 封装）或 K_V 参数（对于 PWP 封装）。VREF 引脚上允许的最大电压为 3.3V。DVDD 可用于通过电阻分压器提供 VREF。

备注

I_{FS} 电流还必须遵循方程式 5，以避免电机饱和。VM 是电机电源电压，R_L 是电机绕组电阻。

$$I_{FS}\ (A) < \frac{VM\ (V)}{R_L\ (\Omega) + 2 \times R_{DS(ON)}\ (\Omega)} \tag{5}$$

如果目标电机转速过高，则电机不会旋转。请确保电机可以支持目标转速。

对于所需的电机转速 (v)、微步进级别 (n_m) 和电机全步进角 (θ_{step})，按如下公式确定输入波形的频率：

$$f_{step}\ (steps/s) = \frac{v\ (rpm) \times 360\ (°/rot)}{\theta_{step}\ (°/step) \times n_m\ (steps/microstep) \times 60\ (s/min)} \tag{6}$$

θ_{step} 的值载于步进电机数据表中或印于电机上。

频率 f_{step} 提供了 DRV8952 上输入变化的频率。下图中，$1/f_{step} = t_{step}$。方程式 7 显示了 120rpm 目标速度和 1/2 步进的示例计算。

Copyright © 2025 Texas Instruments Incorporated

$$f_{step}\,(steps/s) = \frac{120\ rpm \times 360°/rot}{1.8°/step \times 1/2\ steps/microstep \times 60\ s/min} = 800Hz \quad (7)$$

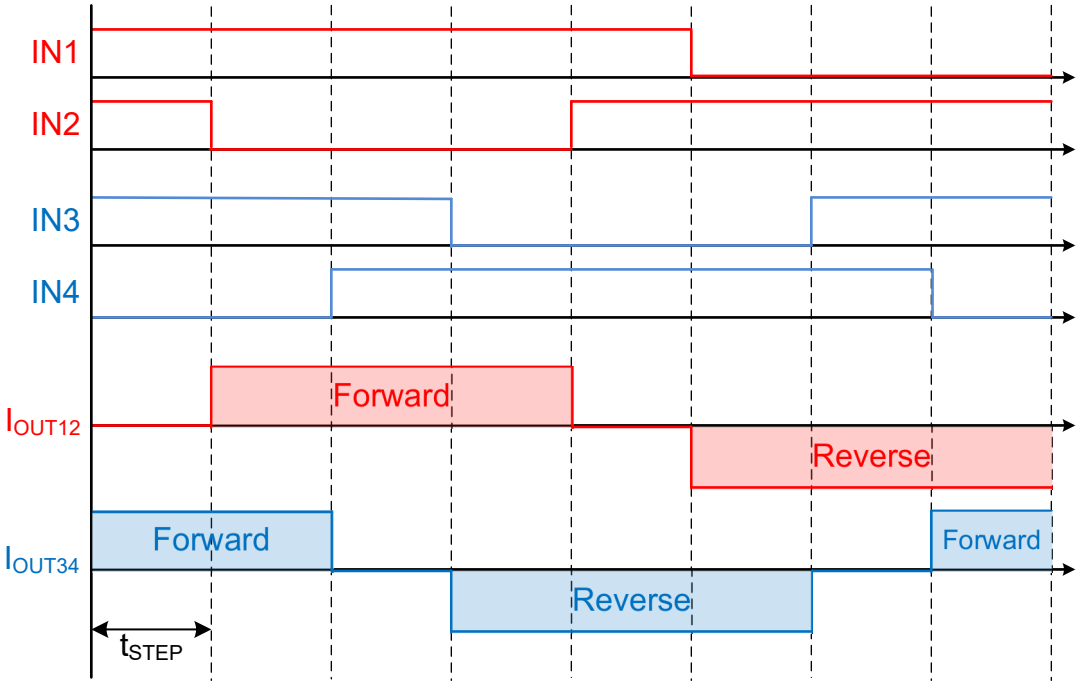


图 7-5. 示例 1/2 步进运行

对于 DDW 封装，将对应于同一 H 桥的 IPROPI 输出连接在一起。IPROPI1 和 IPROPI2 连接在一起时，表示在驱动和慢速衰减（高侧再循环）模式下重新输出步进器线圈 A（连接在 OUT1 和 OUT2 之间）的电流。同样，连接在一起的 IPROPI3 和 IPROPI4 将代表线圈 B 的电流。当两个 IPROPI 引脚连接在一起时，有效电流镜增益通常为 424 μA/A。应相应地选择从组合 IPROPI 引脚至接地的电阻器。

7.1.2.2 功率损耗计算

以下计算假设电源电压为 24V，满量程电流为 5A，上升/下降时间为 140ns，输入 PWM 频率为 30kHz。

总功率损耗由三个主要部分组成：导通损耗 (P_{COND})、开关损耗 (P_{SW}) 和静态电流消耗导致的功率损耗 (P_Q)。

导通损耗 (P_{COND}) 取决于电机的均方根电流 (I_{RMS}) 以及高侧 ($R_{DS(ONH)}$) 和低侧 ($R_{DS(ONL)}$) 的导通电阻（如所示）方程式 8。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) \quad (8)$$

节 7.1.2.1 中计算了方程式 9 中显示的典型应用的导通损耗。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) = 2 \times (5A/\sqrt{2})^2 \times (0.112\,\Omega) = 2.8W \quad (9)$$

由 PWM 开关频率引起的功率损耗取决于输出电压上升/下降时间 (t_{RF})、电源电压、电机均方根电流和 PWM 开关频率。每个 H 桥在上升时间和下降时间内的开关损耗计算公式如方程式 10 和方程式 11 所示。

$$P_{SW_RISE} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RF} \times f_{PWM} \quad (10)$$

$$P_{SW_FALL} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RF} \times f_{PWM} \quad (11)$$

将相应的值代入各种参数后，则每个 H 桥内的开关损耗计算如下：

Copyright © 2025 Texas Instruments Incorporated

$$P_{SW_RISE} = 0.5 \times 24V \times (5A/\sqrt{2}) \times (140ns) \times 30kHz = 0.178W \quad (12)$$

$$P_{SW_FALL} = 0.5 \times 24V \times (5A/\sqrt{2}) \times (100ns) \times 30kHz = 0.178W \quad (13)$$

在计算步进电机驱动器的总开关损耗 (P_{SW}) 时，取上升时间开关损耗 (P_{SW_RISE}) 和下降时间开关损耗 (P_{SW_FALL}) 之和的两倍：

$$P_{SW} = 2 \times (P_{SW_RISE} + P_{SW_FALL}) = 2 \times (0.178W + 0.178W) = 0.712W \quad (14)$$

备注

输出上升/下降时间 (t_{RF}) 预计会根据电源电压、温度和器件规格的变化而变化。

当 VCC 引脚连接至外部电压时，静态电流通常为 4mA。由于电源消耗的静态电流造成的功率损耗的计算公式如下所示：

$$P_Q = V_{VM} \times I_{VM} \quad (15)$$

代入相应值，可以如下方式计算出静态功率损耗：

$$P_Q = 24V \times 4mA = 0.096W \quad (16)$$

备注

计算静态功率损耗需要使用典型工作电流 (I_{VM})，该值取决于电源电压、温度和器件规格。

总功率损耗 (P_{TOT}) 是导通损耗、开关损耗和静态功率损耗之和，如方程式 17 所示。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 2.8W + 0.712W + 0.096W = 3.608W \quad (17)$$

7.1.2.3 结温估算

如果已知环境温度 T_A 和总功率损耗 (P_{TOT})，则结温 (T_J) 的计算公式为：

$T_J = T_A + (P_{TOT} \times R_{\theta JA})$

在一个符合 JEDEC 标准的 4 层 PCB 中，采用 DDW 封装时的结至环境热阻 ($R_{\theta JA}$) 为 22.5°C/W，而采用 PWP 封装时则为 24.5°C/W。

假设环境温度为 25°C，则采用 DDW 封装时的结温计算方式如下 -

$$T_J = 25°C + (3.608W \times 22.5\ °C/W) = 106.2\ °C \quad (18)$$

PWP 封装的结温计算方式如下 -

$$T_J = 25°C + (3.608W \times 24.5\ °C/W) = 113.4\ °C \quad (19)$$

如需更准确地计算该值，请考虑典型工作特性部分所示的器件结温对 FET 导通电阻的影响。

7.1.3 驱动有刷直流电机

DRV8952 可用于驱动单个或两个有刷直流电机。

7.1.3.1 有刷直流驱动器典型应用

下面的原理图展示了驱动两个有刷直流电机的 DRV8952。

Copyright © 2025 Texas Instruments Incorporated

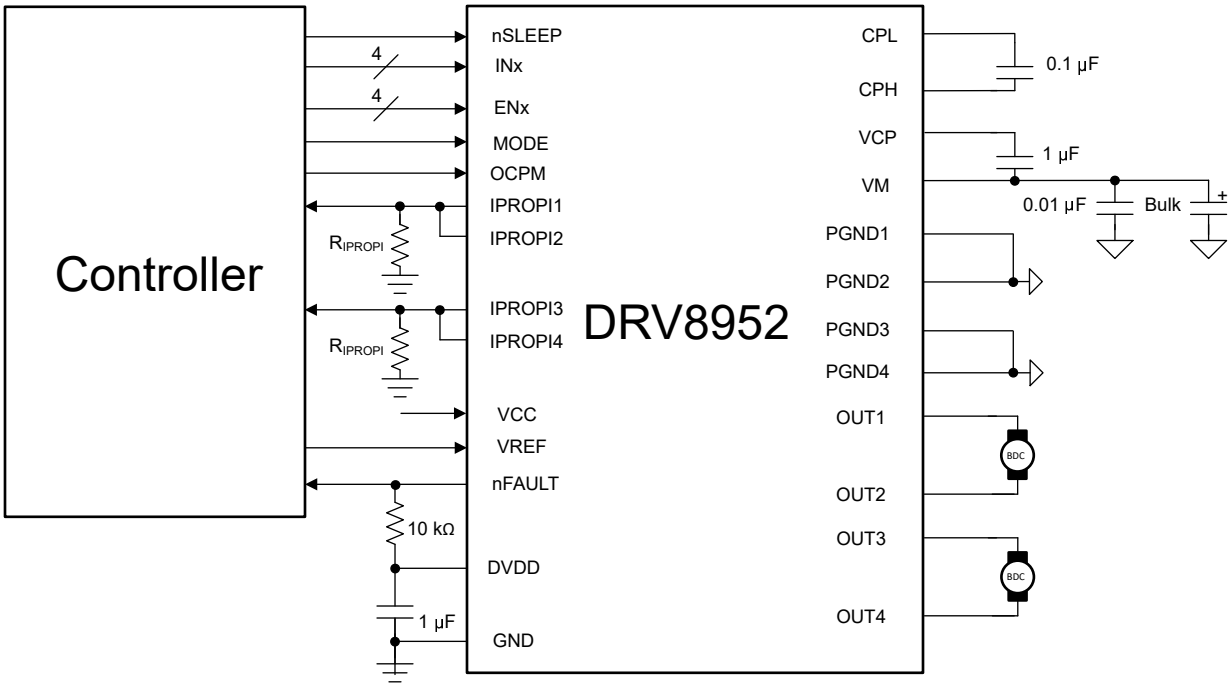


图 7-6. 使用 DRV8952 驱动两个有刷直流电机

以下真值表描述了如何控制有刷直流电机：

表 7-1. 有刷直流电机真值表

功能	EN1	EN2	IN1	IN2	OUT1	OUT2
正激	1	1	1	PWM	H	H/L
取负	1	1	PWM	1	H/L	H
制动	1	1	1	1	H	H
制动*	1	1	0	0	L	低电平
滑行*	0	X	X	X	Z	X
滑行*	X	0	X	X	X	Z

备注

*DDW 封装的 IPROPI 引脚在这些条件下无法输出比例电流。

7.1.3.2 功率损耗计算

对于具有高侧再循环功能的 H 桥，每个 FET 的功率损耗近似值计算如下：

- $P_{HS1} = R_{DS(ON)} \times I_L^2$
- $P_{LS1} = 0$
- $P_{HS2} = [R_{DS(ON)} \times I_L^2 \times (1 - D)] + [2 \times V_D \times I_L \times t_D \times f_{PWM}]$
- $P_{LS2} = [R_{DS(ON)} \times I_L^2 \times D] + [VM \times I_L \times t_{RF} \times f_{PWM}]$

对于估算反向负载电流的功率损耗，可采用相同的公式，仅将 HS1 与 HS2 和 LS1 与 LS2 互换。

在上面的公式中替换以下值：

- VM = 24 V

Copyright © 2025 Texas Instruments Incorporated

- I_L = 4A
- $R_{DS(ON)}$ = 56mΩ
- D = 0.5
- V_D = 1V
- t_D = 300ns
- t_{RF} = 140ns
- f_{PWM} = 20kHz

每个 FET 中的损耗可按以下公式计算：

$P_{HS1} = 56m\Omega \times 4^2 = 0.896W$

$P_{LS1} = 0$

$P_{HS2} = [56m\Omega \times 4^2 \text{ x } (1\text{-}0.5)] + [2 \text{ x } 1V \text{ x } 4A \text{ x } 300ns \text{ x } 20KHz] = 0.496W$

$P_{LS2} = [\ 56m\Omega \times 4^2 \text{ x } 0.5] + [24 \text{ x } 4A \text{ x } 140ns \text{ x } 20kHz] = 0.717W$

静态电流损耗 $P_Q = 24V \times 4mA = 0.096W$

$P_{TOT} = 2 \times (P_{HS1} + P_{LS1} + P_{HS2} + P_{LS2}) + P_Q = 2 \times (0.896 + 0 + 0.496 + 0.717) + 0.096 = 4.314W$

7.1.3.3 结温估算

如果已知环境温度 T_A 和总功率损耗 (P_{TOT})，则结温 (T_J) 的计算公式为：

$T_J = T_A + (P_{TOT} \text{ x } R_{\theta JA})$

在一个符合 JEDEC 标准的 4 层 PCB 中，采用 DDW 封装时的结至环境热阻 ($R_{\theta JA}$) 为 22.5°C/W，而采用 PWP 封装时则为 24.5°C/W。

假设环境温度为 25°C，则采用 DDW 封装时的结温计算方式如下 -

$$T_J = 25°C + (4.314W \text{ x } 22.5\ °C/W) = 122.1\ °C \quad (20)$$

为了更准确地计算该值，应考虑 FET 导通电阻与器件结温的相关性。

7.1.3.4 驱动单个有刷直流电机

可将 DRV8952 的输出并联从而增加驱动电流。图 7-7 展示了 DRV8952 驱动单个有刷直流电机的原理图。

Copyright © 2025 Texas Instruments Incorporated

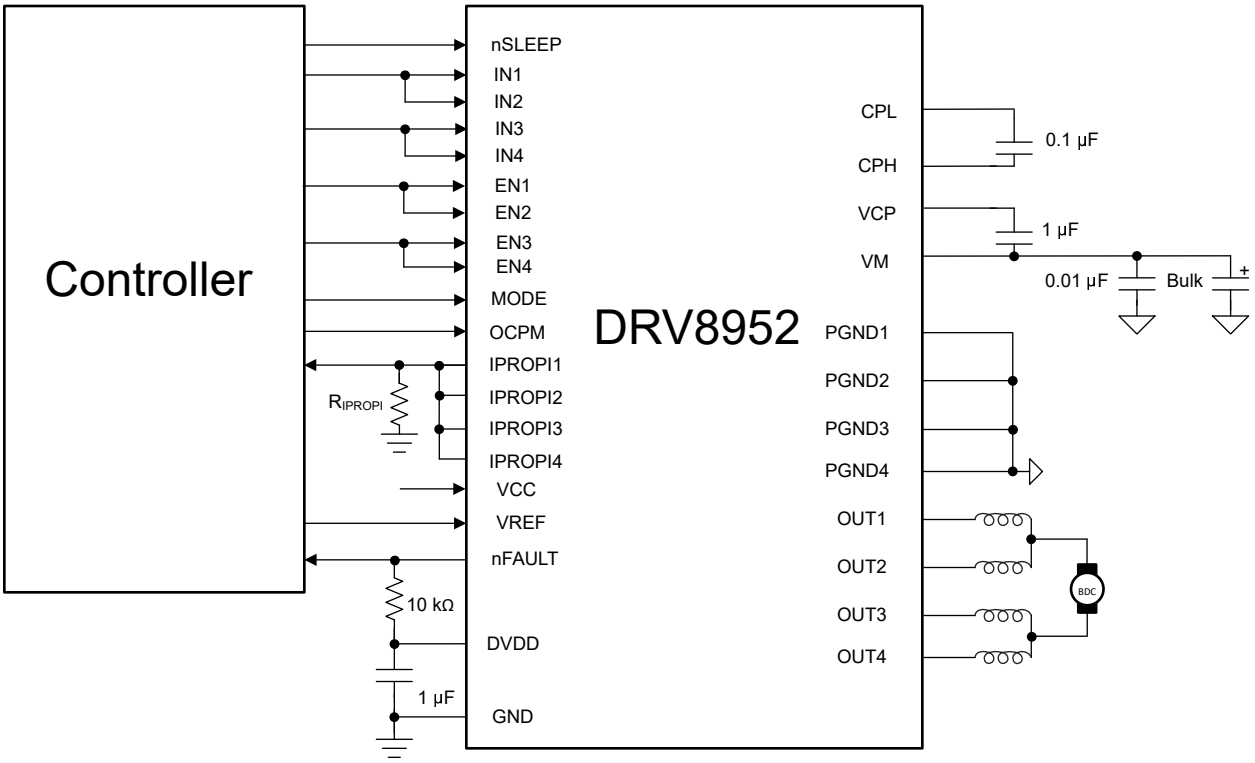


图 7-7. 使用 DRV8952 驱动单个有刷直流电机

在此模式下，在将两个通道连接在一起之前，输出引脚后至少需要 30nH 至 100nH 的电感或铁氧体磁珠。这将有助于防止由于并联通道不匹配（例如，不对称的 PCB 布局布线等）导致开关瞬态期间两个并联通道之间发生任何击穿。

7.1.4 驱动热电冷却器 (TEC)

热电冷却器 (TEC) 的工作原理是珀耳帖效应。当在 TEC 两端施加电压时，直流电流流经半导体的接合处，导致温差。热量从 TEC 的一侧传递到另一侧，这会在 TEC 元件上产生“热”侧和“冷”侧。如果直流电流反向，则热侧和冷侧会互换。

调制流经 TEC 的电流的一种常见方法是，使用 PWM 驱动并通过改变导通和关断占空比来改变平均电流。为实现通过单电源进行加热和冷却，需要使用 H 桥拓扑。DRV8952 可以驱动两个 H 桥，从而以高达 5A 的电流双向驱动两个 TEC。还可以将一对半桥并联在一起，从而驱动电流高达 10A 的单个 TEC。

采用 DDW 封装的 DRV8952 还具有精度为 5% 的电流检测输出 (IPROPI)，无需在闭环控制拓扑中使用两个外部分流电阻器，从而节省了物料清单成本和空间。图 7-8 展示了连接至 DRV8952 驱动器的两个 TEC 的原理图。

Copyright © 2025 Texas Instruments Incorporated

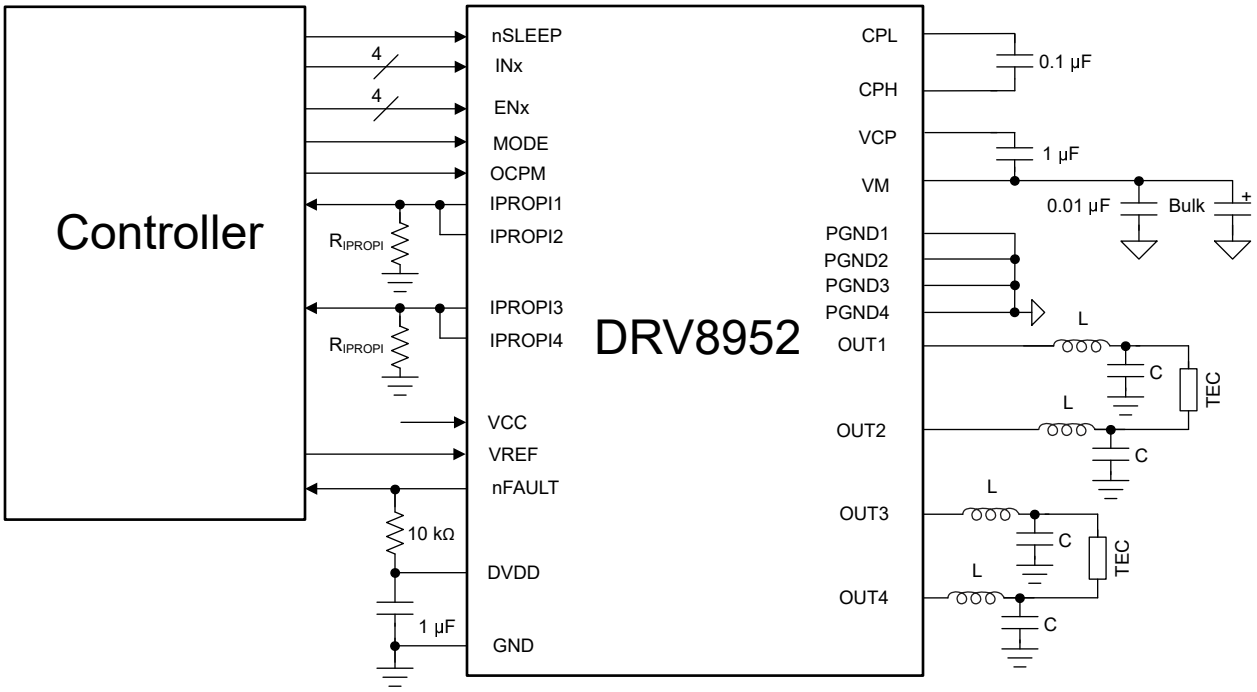


图 7-8. 驱动两个 TEC

图 7-9 显示了使用更高电流驱动一个 TEC 的原理图。

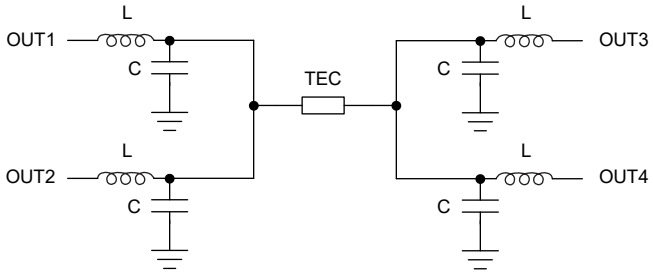


图 7-9. 使用更高电流驱动一个 TEC

连接至输出节点的 LC 滤波器将 DRV8952 的 PWM 输出转换为 TEC 两端的低纹波直流电压。需要使用滤波器来尽可能减小纹波电流，因为快速瞬变（例如，方波电源）会缩短 TEC 的寿命。建议最大纹波电流小于最大电流的 10%。TEC 两端的最大温差随着纹波电流的增加而减小，其计算公式如下：

$$\Delta T = \Delta T_{MAX}/(1 + N^2) \quad (21)$$

其中，ΔT 是实际温差，ΔT_{MAX} 是 TEC 数据表中指定的最大可能温差，N 是纹波和最大电流之间的比率。N 不应大于 0.1。

选择输入 PWM 频率时，需要在开关损耗与使用较小的电感器和电容器之间进行权衡。高 PWM 频率还意味着 TEC 两端的电压受到严格控制，并且 LC 元件的成本可能更低。

二阶低通滤波器的传递函数如方程式 21 所示：

$$H(j\omega) = 1/(1 - (\omega/\omega_0)^2 + j\omega/Q\omega_0) \quad (22)$$

其中，

Copyright © 2025 Texas Instruments Incorporated

ω_0 = 1/ √(LC)，滤波器谐振频率

Q = 品质因数

ω = DRV8952 输入 PWM 频率

通常选择至少比 PWM 频率低一个数量级的滤波器谐振频率。根据此假设，方程式 21 可以简化为：

H（以 dB 为单位）= – 40 log (f_S/f_0)

其中，f_0 = 1/2π √(LC)，f_S 是输入 PWM 开关频率。

- 如果 L = 10 µH 且 C = 22 µF，则谐振频率为 10.7kHz。
- 该谐振频率对应于 100kHz 开关频率下的 39dB 衰减。
- 对于 VM = 24 V 的情况，39dB 衰减意味着 TEC 元件两端的纹波电压将大概为 270 mV。
- 因此，对于电阻为 1.5Ω 的 TEC 元件，流经 TEC 的纹波电流将为 180 mA。
- 在 DRV8952 的 5A 最大输出电流下，180mA 对应于 3.6% 的纹波电流。
- 根据方程式 21，这将导致 TEC 元件的最大温差降低约 0.13 %。

根据电源电压和流经 TEC 元件的直流电流调整 LC 值。DRV8952 支持高达 200kHz 的输入 PWM 频率。在选择输入 PWM 频率之前，必须仔细考虑器件在任何给定环境温度下的功率损耗。

在某些基于 TEC 的加热和冷却系统中，实现闭合的电流环路非常重要。采用 DDW 封装的 DRV8952 无需外部电流分流电阻器即可实现这一点。内部电流镜用于监测每个半桥的电流，该信息可通过 IPROPI 引脚获得。微控制器可以根据 IPROPI 引脚电压检测和调整 PWM 占空比。驱动两个 TEC 时，将对应半桥的 IPROPI 引脚连接在一起，即可测量 H 桥电流。例如，在图 7-8 所示的原理图中，IPROPI1 和 IPROPI2 连接在一起，IPROPI3 和 IPROPI4 也连接在一起。如图 7-9 所示，仅驱动一个 TEC 时，将所有 IPROPI 引脚连接在一起。

此外，DRV8952 可以通过向器件提供外部电压基准 (VREF) 来调节电流调节跳闸点，从而在内部调节电流。然后，电流环路将在 H 桥（本体）内闭合。

7.1.5 驱动无刷直流电机

DRV8952 还可用于驱动三相无刷直流 (BLDC) 电机。DRV8952 支持对驱动 BLDC 电机所需的三个相位进行独立控制。通过将相应的 EN 引脚接地，可在驱动 BLDC 电机时禁用 DRV8952 的四个半桥中的一个。图 7-10 展示了 DRV8952 驱动 BLDC 电机的原理图。

Copyright © 2025 Texas Instruments Incorporated

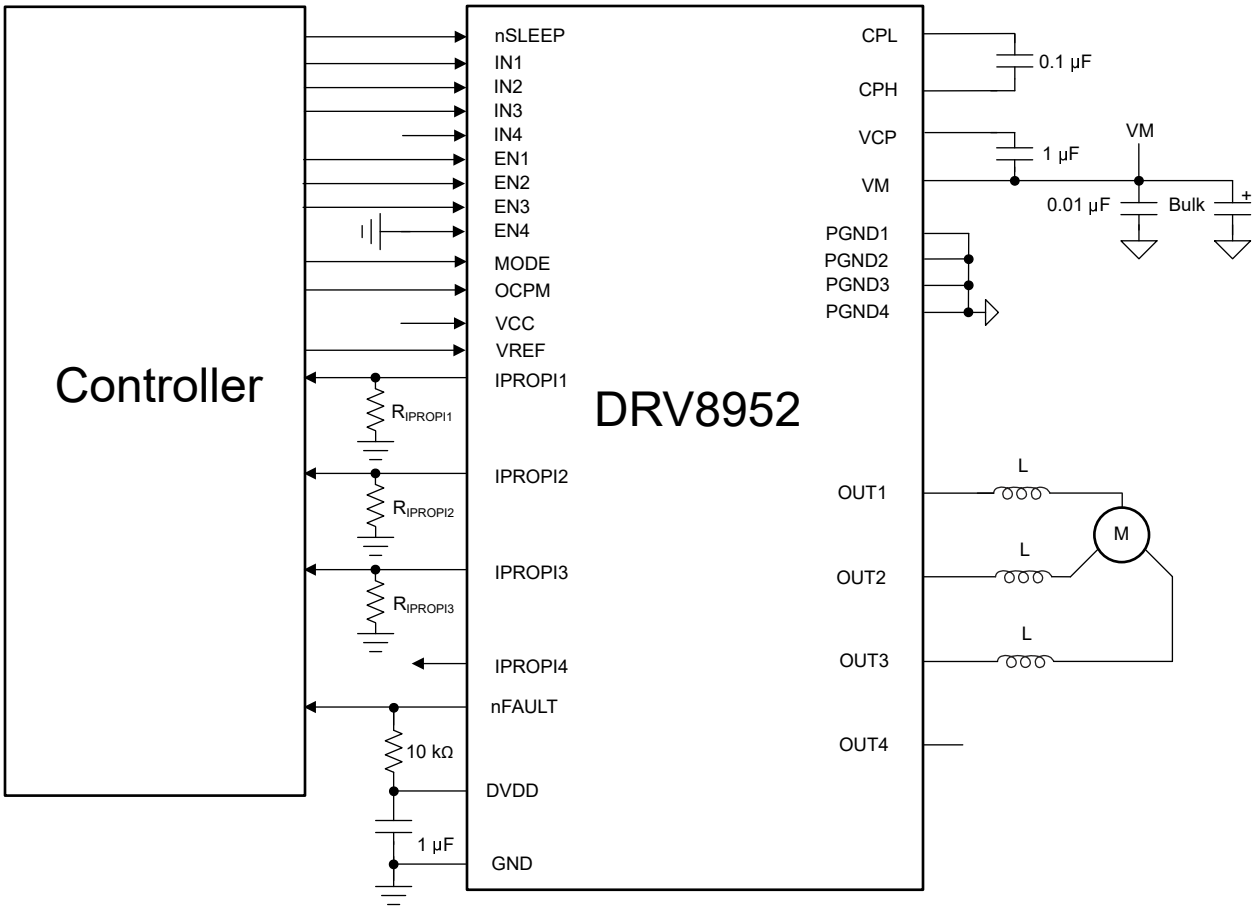


图 7-10. 使用 DRV8952 驱动 BLDC 电机

驱动 BLDC 电机所需的三个半桥可由六路输入控制，即 EN1、EN2、EN3 和 IN1、IN2、IN3。

- 当 EN1 为低电平时，OUT1 变为高阻抗，这样，电流可流经高侧和低侧 FET 的内部体二极管。
- 当 EN1 为高电平且 IN1 为低电平时，OUT1 被驱动为低电平（低侧 FET 被启用）。
- 当 EN1 为高电平且 IN1 为高电平时，OUT1 被驱动为高电平（高侧 FET 被启用）。
- 同样，OUT2 和 OUT3 也是如此。
- EN4 可以接地，从而永久禁用 OUT4。

必须在输出引脚后连接至少 30nH 至 100nH 的电感或铁氧体磁珠。这将有助于防止由于通道间的不匹配（例如，工艺变化、不对称的 PCB 布局布线等）造成的任何击穿。

DDW 封装的 IPROPI 引脚输出的电流与流经每个半桥的高侧 FET 的电流成正比。最大额定电流下的 IPROPI 输出精度为 5%。

$I_{PROPI} = I_{HS} \times A_{IPROPI}$

应将每个 IPROPI 引脚连接至一个接地的外部电阻器 (R_{IPROPI})，从而在 IPROPI 引脚上产生一个比例电压 (V_{IPROPI})。这样即可使用标准模数转换器 (ADC) 将负载电流作为 R_{IPROPI} 电阻器两端的压降进行测量。

$V_{IPROPI} = IPROPI \times R_{IPROPI}$

如果对电流检测精度有更高的要求或用于 PWP 封装，可以在 PGND 引脚和系统地之间放置外部检测电阻。外部检测电阻两端的压降不应超过 300mV。

Copyright © 2025 Texas Instruments Incorporated

7.2 电源相关建议

DRV8952 可在 4.5V 至 55V 的输入电压电源 (VM) 范围内正常工作。必须靠近 DRV8952 的 VM 引脚放置一个额定电压为 VM 的 0.01µF 陶瓷电容器。此外，VM 上必须放置一个大容量电容器。

7.2.1 大容量电容

配备合适的局部大容量电容是系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点是增加了成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 系统所需的最高电流
- 电源的电容和拉电流的能力
- 电源和系统之间的寄生电感大小
- 可接受的电压纹波

电源和系统之间的电感将限制电源电流的变化速率。如果局部大容量电容太小，系统将以电压变化的方式对电流不足或过剩电流作出响应。当使用足够的大容量电容时，电压保持稳定并且可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

大容量电容的额定电压应高于工作电压，以便在电机向电源传递能量时提供裕度。

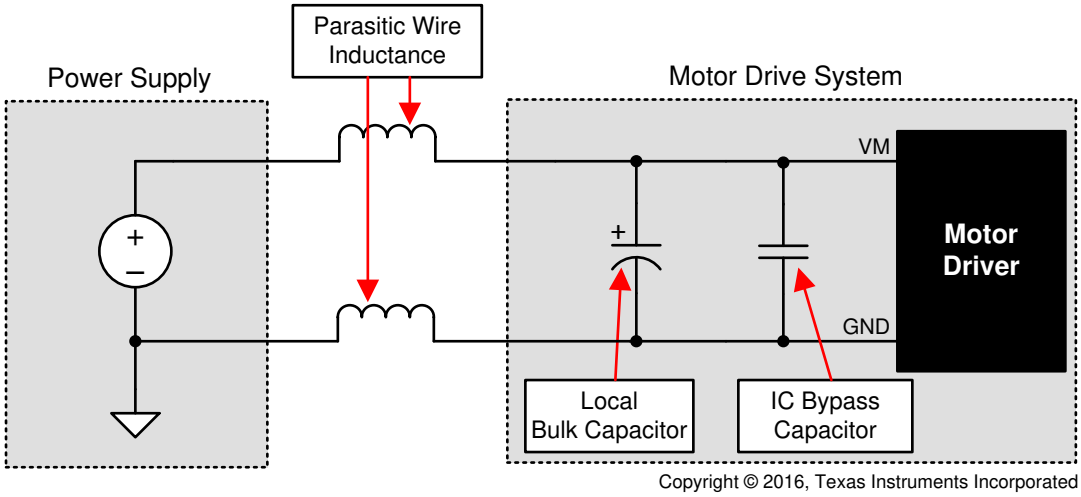


图 7-11. 带外部电源的系统设置示例

7.2.2 电源

DRV8952 只需单个连接至 VM 引脚的电源电压。

- VM 引脚为半桥提供电源。
- 内部稳压器为数字和低压模拟电路提供 5V 电源 (DVDD)。不建议将 DVDD 引脚用作外部电路的电压源。
- 对于 DDW 封装，可将外部低压电源连接至 VCC 引脚，从而为内部电路供电。应在靠近 VCC 引脚处放置 0.1µF 去耦电容器，从而在瞬态期间提供恒定电压。
- 此外，高侧栅极驱动需要的电压电源更高，该电源由需要外部电容器的内置电荷泵产生。

7.3 布局

7.3.1 布局指南

- 应使用推荐电容为 0.01µF 且额定电压为 VM 的低 ESR 陶瓷旁路电容器将 VM 引脚旁路至 PGND 引脚。此类电容器应尽可能靠近 VM 引脚放置，并通过较宽的布线或接地平面与器件 PGND 引脚连接。
- 应使用额定电压为 VM 的大容量电容器将 VM 引脚旁路至 PGND。该组件可以是电解电容器。

Copyright © 2025 Texas Instruments Incorporated

- 必须在 CPL 和 CPH 引脚之间放置一个低 ESR 陶瓷电容器。建议使用一个电容值为 0.1µF、额定电压为 VM 的电容器。将此组件尽可能靠近引脚放置。
- 必须在 VM 和 VCP 引脚之间放置一个低 ESR 陶瓷电容器。建议使用一个电容值为 1µF、额定电压为 16V 的电容器。将此组件尽可能靠近引脚放置。
- 使用低 ESR 陶瓷电容器将 DVDD 引脚旁路至接地。建议使用一个电容值为 1µF、额定电压为 6.3 V 的电容器。将此旁路电容器尽可能靠近引脚放置。
- 对于 DDW 封装，使用低 ESR 陶瓷电容器将 VCC 引脚旁路至接地。建议使用一个电容值为 0.1µF、额定电压为 6.3 V 的电容器。将此旁路电容器尽可能靠近引脚放置。
- 通常，必须避免电源引脚和去耦电容器之间的电感。
- 散热焊盘必须连接到系统接地端。
  - 建议为整个系统/电路板使用一个大的不间断单一接地平面。接地平面可在 PCB 底层制成。
  - 为了尽可能地减小阻抗和电感，在通过通孔连接至底层接地平面之前，接地引脚的布线应尽可能短且宽。
  - 建议使用多个通孔来降低阻抗。
  - 尽量清理器件周围的空间（尤其是在 PCB 底层），从而改善散热。
  - 连接至散热焊盘的单个或多个内部接地平面也有助于散热并降低热阻。

7.3.2 PCB 材料推荐

建议使用 FR-4 玻璃环氧树脂材料，并在顶层和底层采用 2oz (70 µm) 铜，从而提升热性能并增加 EMI 裕量（由于 PCB 布线电感较低）。

7.3.3 散热注意事项

封装的散热焊盘安装在器件底部，从而提升散热能力。散热焊盘必须在 PCB 上焊接良好，从而提供数据表中指定的功率。有关更多详细信息，请参阅节 7.3.1。

Copyright © 2025 Texas Instruments Incorporated

8 封装散热注意事项

8.1 DDW 封装

封装的散热焊盘必须在 PCB 上焊接良好，从而提供数据表中指定的功率。有关更多详细信息，请参阅节 7.3.1。

8.1.1 热性能

数据表指定的结至环境热阻 $R_{\theta JA}$ 主要用于比较各种驱动器或者估算热性能。不过，实际系统性能可能比此值更好或更差，具体情况取决于 PCB 层叠、布线、过孔数量以及散热焊盘周围的铜面积。驱动器驱动特定电流的时间长度也会影响功耗和热性能。本节介绍了如何设计稳态和瞬态温度条件。

本节中的数据是按如下标准仿真得出的：

HTSSOP（DDW 封装）

- 2 层 PCB（尺寸 114.3mm x 76.2mm x 1.6mm），标准 FR4，1oz（35mm 铜厚度）或 2oz 铜厚度。散热过孔仅存在于散热焊盘下方（13 x 5 散热过孔阵列，1.1mm 间距，0.2mm 直径，0.025mm 铜镀层）。
  - 顶层：HTSSOP 封装尺寸和铜平面散热器。顶层覆铜区在仿真中有所不同。
  - 底层：接地层通过驱动器的散热焊盘下方的过孔进行热连接。底层铜面积随顶层铜面积而变化。
- 4 层 PCB（尺寸 114.3mm x 76.2mm x 1.6mm），标准 FR4。外侧平面具有 1oz（35mm 覆铜厚度）或 2oz 覆铜厚度。内侧平面保持在 1oz。散热过孔仅存在于散热焊盘下方（13 x 5 散热过孔阵列，1.1mm 间距，0.2mm 直径，0.025mm 铜镀层）。
  - 顶层：HTSSOP 封装尺寸和铜平面散热器。顶层铜面积在模拟中有所不同。
  - 中间层 1：GND 平面通过过孔热连接至散热焊盘。接地平面的面积随顶部铜面积的变化而变化。
  - 中间层 2：电源平面，无热连接。电源平面的面积随顶部铜面积的变化而变化。
  - 底层：信号层通过来自顶部和内部 GND 平面的过孔拼接进行热连接。底层散热焊盘的尺寸与顶层覆铜区相同。

图 8-1 展示了 DDW 封装的模拟电路板示例。表 8-1 显示了每次仿真时使用的不同板尺寸。

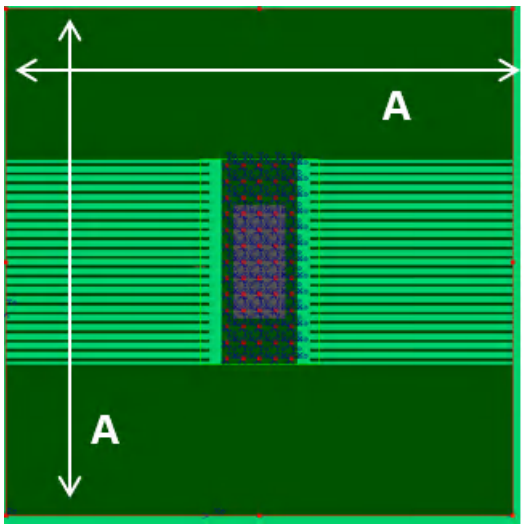


图 8-1. DDW PCB 模型顶层

表 8-1. DDW 封装的尺寸 A

铜面积 (cm^2)	尺寸 A（mm）
2	19.79
4	26.07
8	34.63
16	46.54

Copyright © 2025 Texas Instruments Incorporated

表 8-1. DDW 封装的尺寸 A（续）

铜面积 (cm^2)	尺寸 A（mm）
32	63.25

8.1.1.1 稳态热性能

“稳态”条件假设驱动器在很长一段时间内以恒定的 RMS 电流工作。本部分中的图显示了 $R_{\theta JA}$ 和 Ψ_{JB}（结至电路板特征参数）如何随 PCB 的铜面积、覆铜厚度和 层数而变化。铜面积越大、层数越多、铜平面越厚，$R_{\theta JA}$ 和 Ψ_{JB} 就越小，表明 PCB 布局的热性能越强。

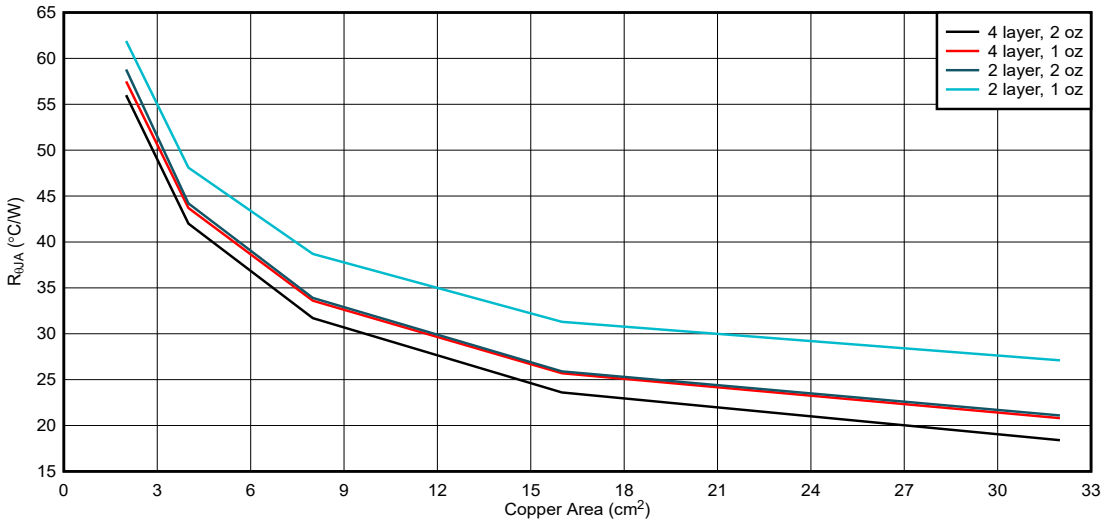


图 8-2. DDW 封装、PCB 结至环境热阻与铜面积间的关系

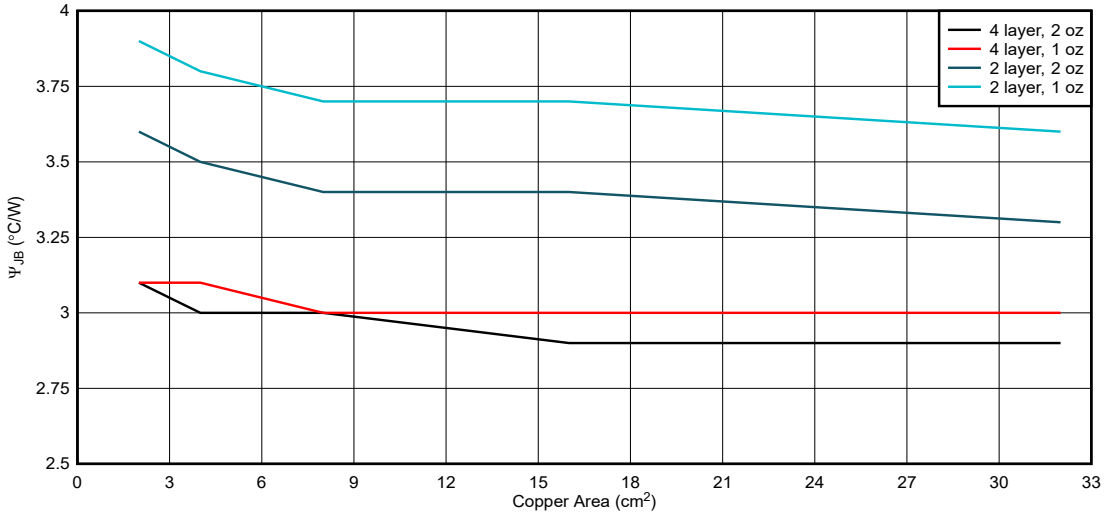


图 8-3. DDW 封装、结至电路板特征参数与铜面积间的关系

8.1.1.2 瞬态热性能

驱动器可能会遇到不同的瞬态驱动条件，导致大电流在短时间内流动。这些条件可能包括

- 转子最初静止时的电机启动。
- 电机输出之一的电源或接地短路且触发过流保护时的故障条件。
- 在有限的时间内为电机或螺线管短暂通电，然后再断电。

Copyright © 2025 Texas Instruments Incorporated

对于这些瞬态情况，除了铜面积和覆铜厚度之外，驱动持续时间是影响热性能的另一个因素。在瞬态情况中，热阻抗参数 $Z_{\theta JA}$ 表示结至环境热性能。本部分中的图展示了 DDW 封装的 1oz 和 2oz 铜布局的模拟热阻抗。这些图表表明，短电流脉冲具有更好的热性能。对于更短的驱动时间，器件的裸片尺寸和封装决定了热性能。对于更长的驱动脉冲，电路板布局布线对热性能的影响更大。这两个图表都显示了随着驱动脉冲持续时间的增加，层数和覆铜区导致的热阻抗分裂曲线。可以将长脉冲视为稳态性能。

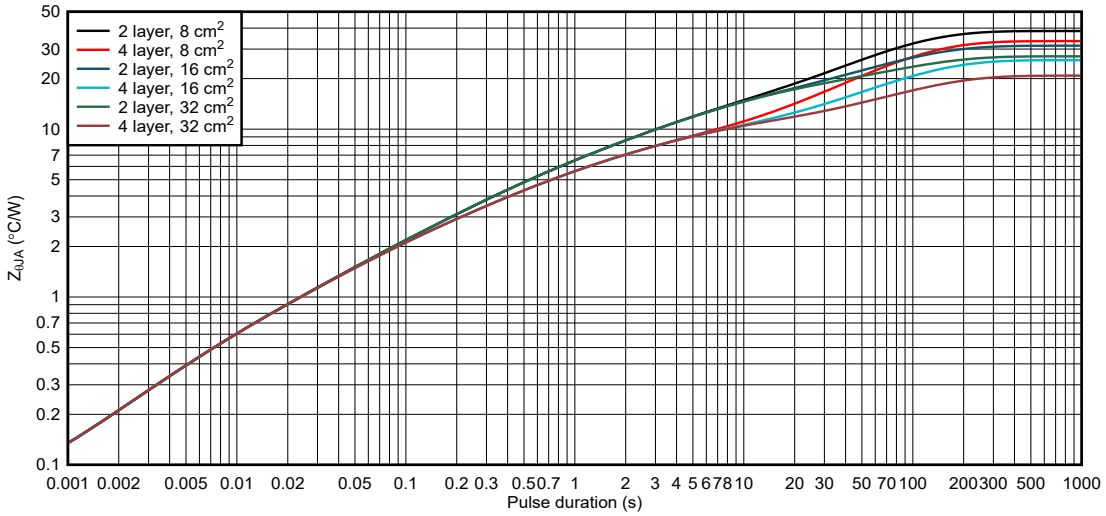


图 8-4. 1oz 铜布局的 DDW 封装结至环境热阻抗

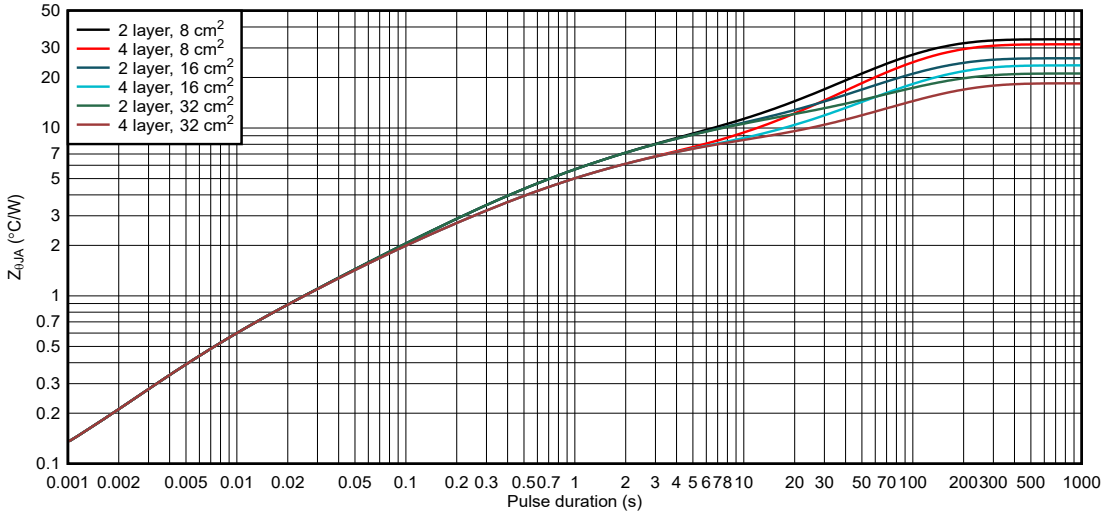


图 8-5. 2oz 铜布局的 DDW 封装结至环境热阻抗

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 相关文档

- 德州仪器 (TI)，*如何使用 DRV8xxx 驱动单极步进电机* 应用报告
- 德州仪器 (TI)，*计算电机驱动器的功耗* 应用报告
- 德州仪器 (TI)，*电流再循环和衰减模式* 应用报告
- 德州仪器 (TI)，*了解电机驱动器电流额定值* 应用报告
- 德州仪器 (TI)，*电机驱动器布局指南* 应用报告
- 德州仪器 (TI)，*半导体和 IC 封装热指标* 应用报告
- 德州仪器 (TI)，*驱动 TEC 应考虑哪些电机驱动器*

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (March 2023) to Revision A (January 2025)	Page
• 向数据表添加了 PWP 封装。	1

Copyright © 2025 Texas Instruments Incorporated

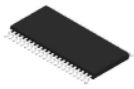
11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

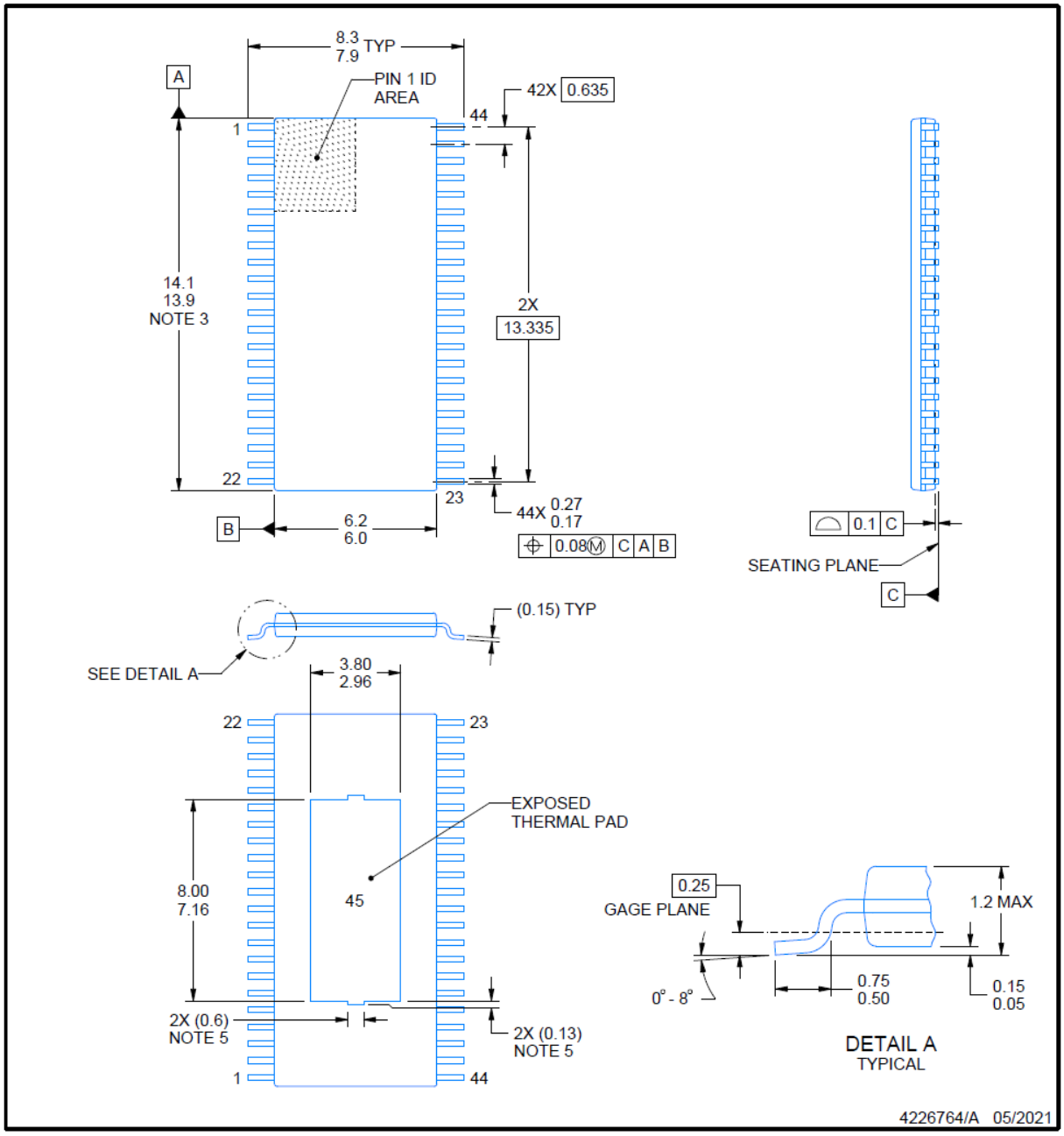
PACKAGE OUTLINE

DDW0044E



PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

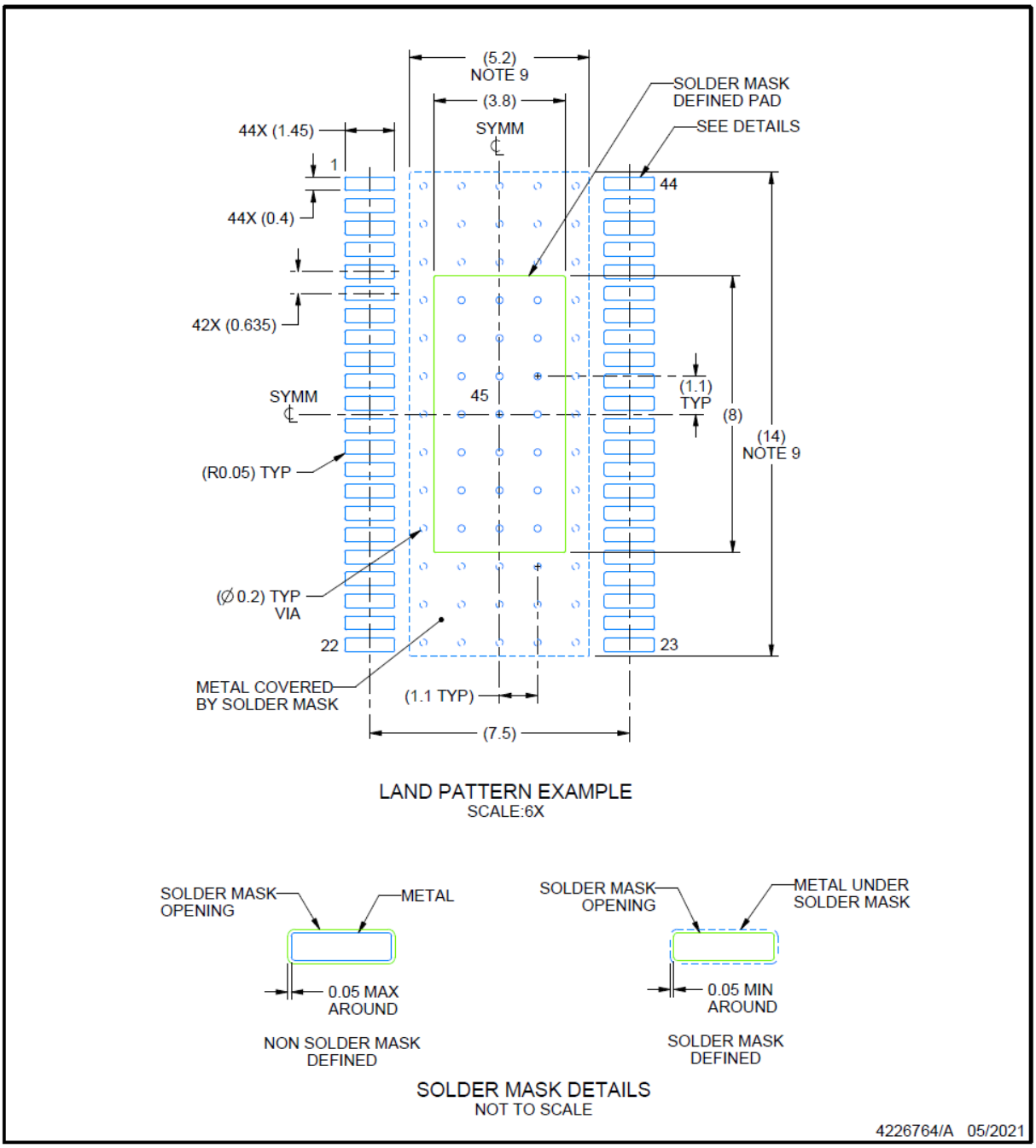
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

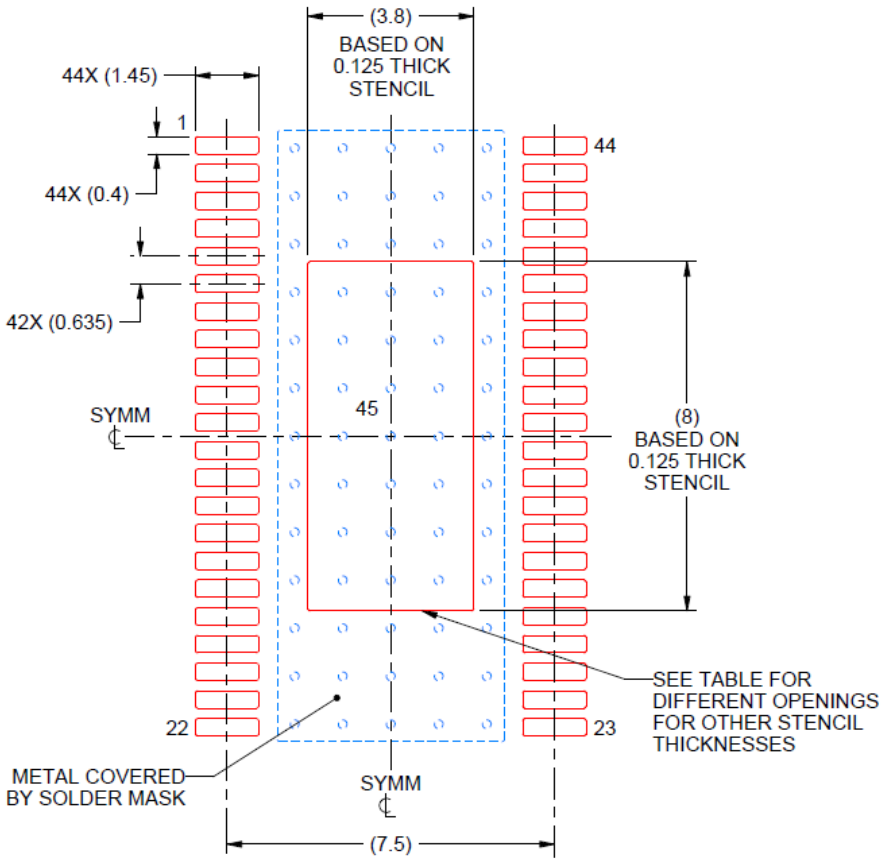
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
PAD 45:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.25 X 8.94
0.125	3.80 X 8.00 (SHOWN)
0.15	3.47 X 7.30
0.175	3.21 X 6.76

4226764/A 05/2021

NOTES: (continued)

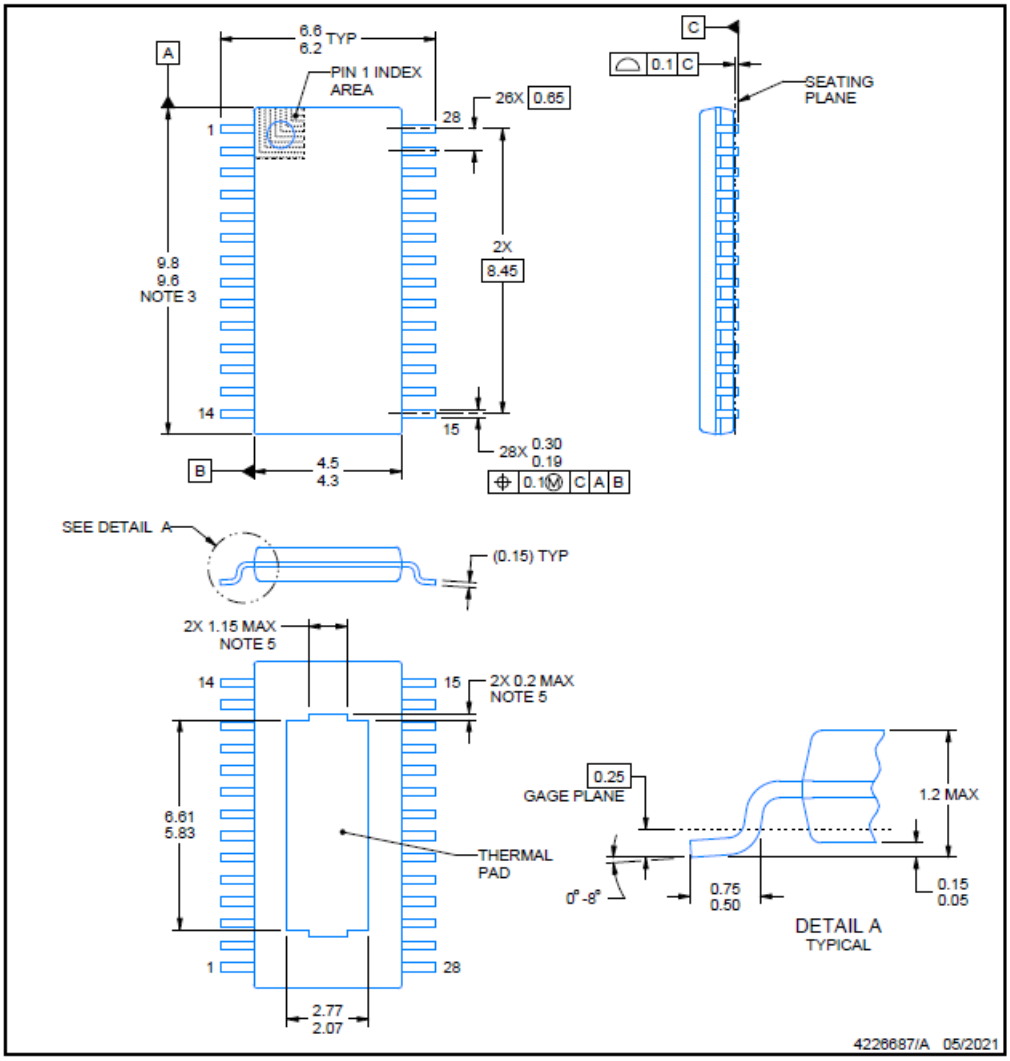
10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

PWP0028T  **PowerPAD™ TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

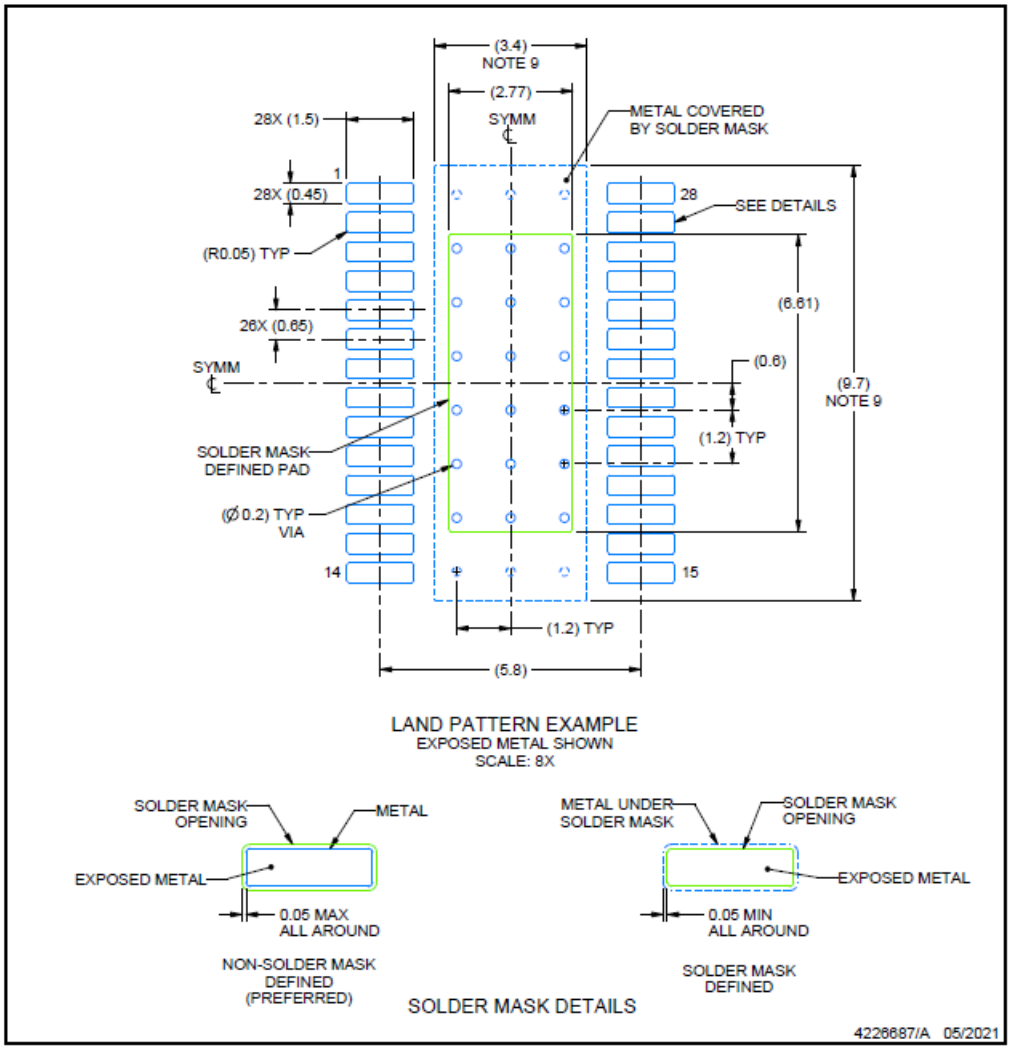
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PWP0028T — **PowerPAD™ TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

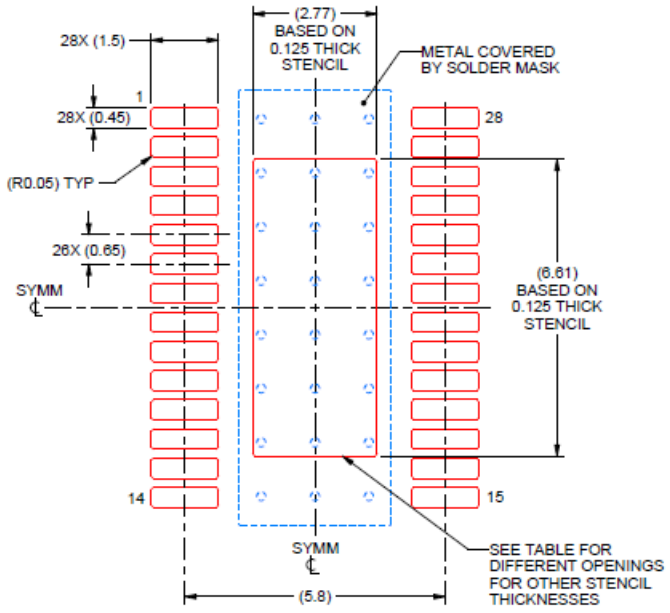
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PWP0028T — **PowerPAD™ TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.10 X 7.39
0.125	2.77 X 6.61 (SHOWN)
0.15	2.53 X 6.03
0.175	2.34 X 5.59

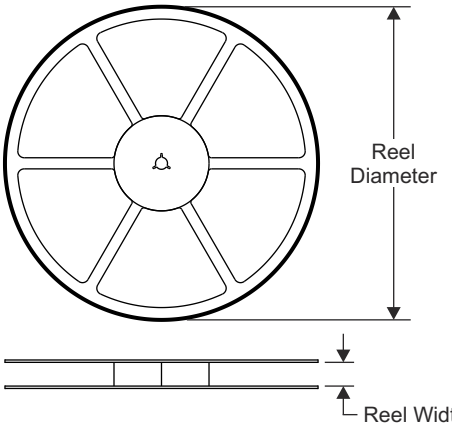
4226687/A 05/2021

NOTES: (continued)

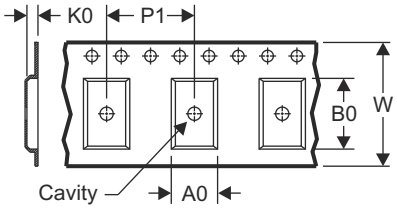
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

11.1 卷带封装信息

REEL DIMENSIONS

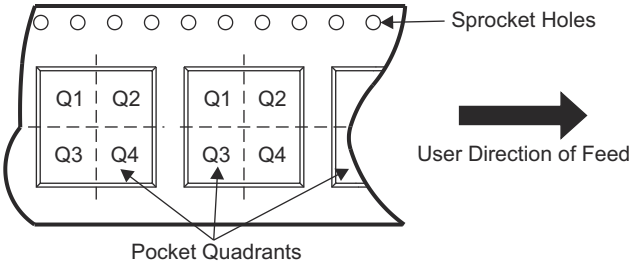


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

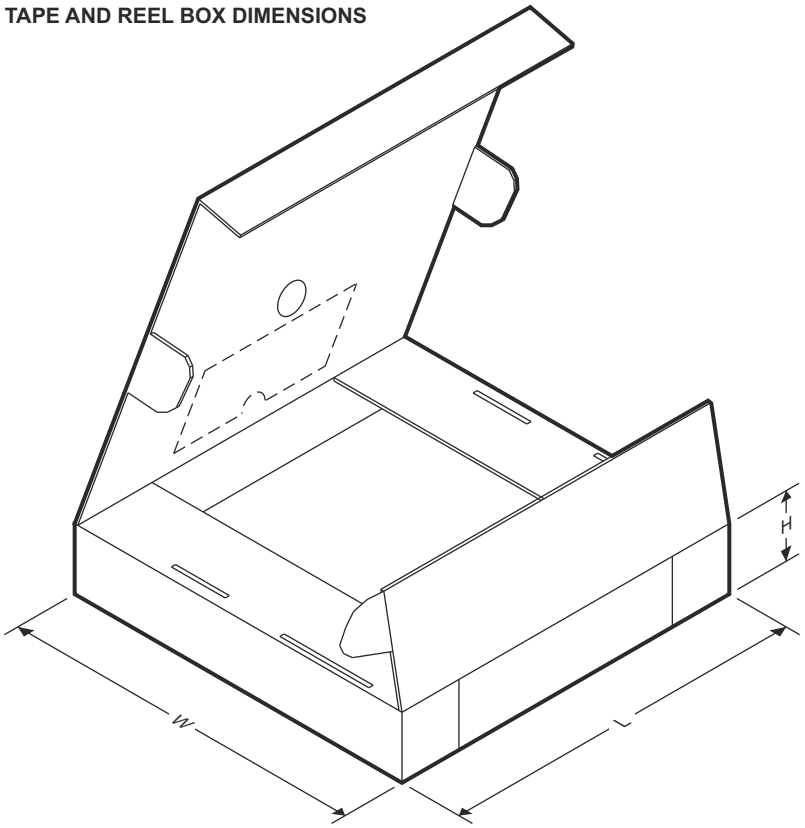
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
DRV8952PWPR	HTSSOP	PWP	28	2500	330.0	16.4	6.75	10.1	1.8	12	16	Q1
DRV8952DDWR	HTSSOP	DDW	44	2500	330.0	24.4	8.9	14.7	1.4	12	24	Q1

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
DRV8952PWPR	HTSSOP	PWP	28	2500	356.0	356.0	35.0
DRV8952DDWR	HTSSOP	DDW	44	2500	367.0	367.0	45.0

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8952DDWR	Active	Production	HTSSOP (DDW) | 44	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8952
DRV8952DDWR.A	Active	Production	HTSSOP (DDW) | 44	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8952
DRV8952PWPR	Active	Production	HTSSOP (PWP) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8952
DRV8952PWPR.A	Active	Production	HTSSOP (PWP) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8952

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

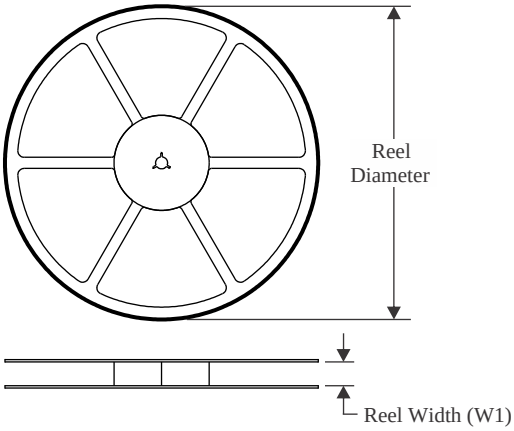
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

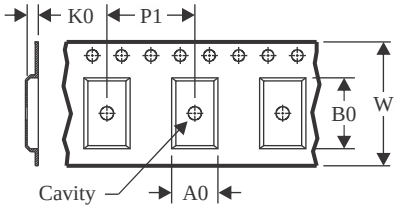
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

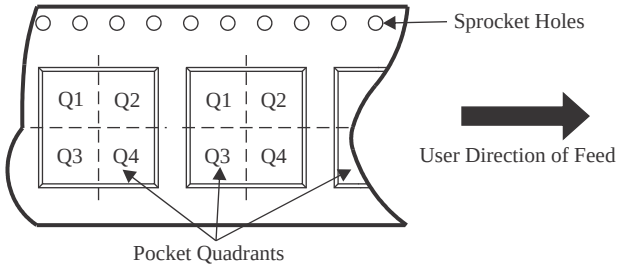


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

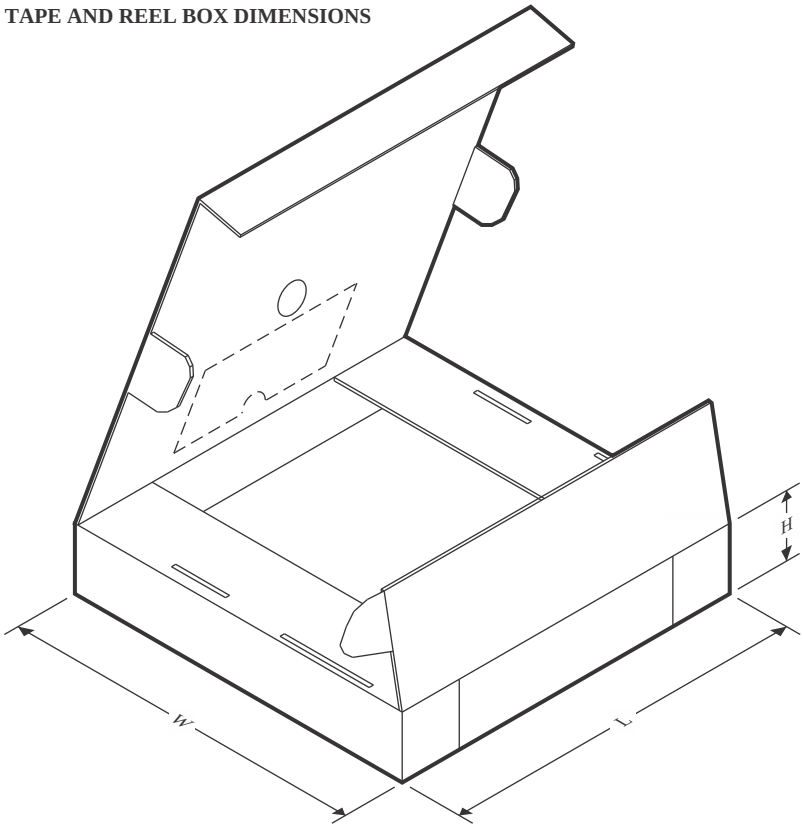
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8952DDWR	HTSSOP	DDW	44	2500	330.0	24.4	8.9	14.7	1.4	12.0	24.0	Q1
DRV8952PWPR	HTSSOP	PWP	28	2500	330.0	16.4	6.75	10.1	1.8	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8952DDWR	HTSSOP	DDW	44	2500	356.0	356.0	45.0
DRV8952PWPR	HTSSOP	PWP	28	2500	353.0	353.0	32.0

GENERIC PACKAGE VIEW

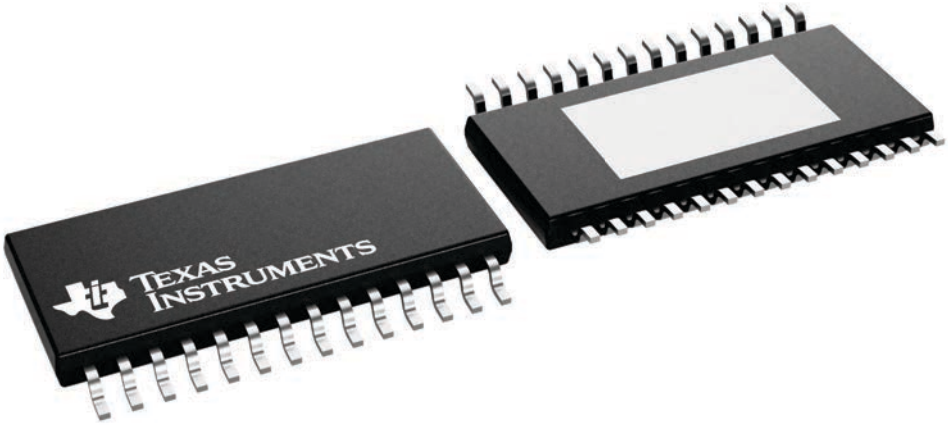
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

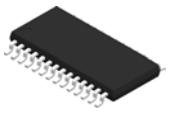
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B

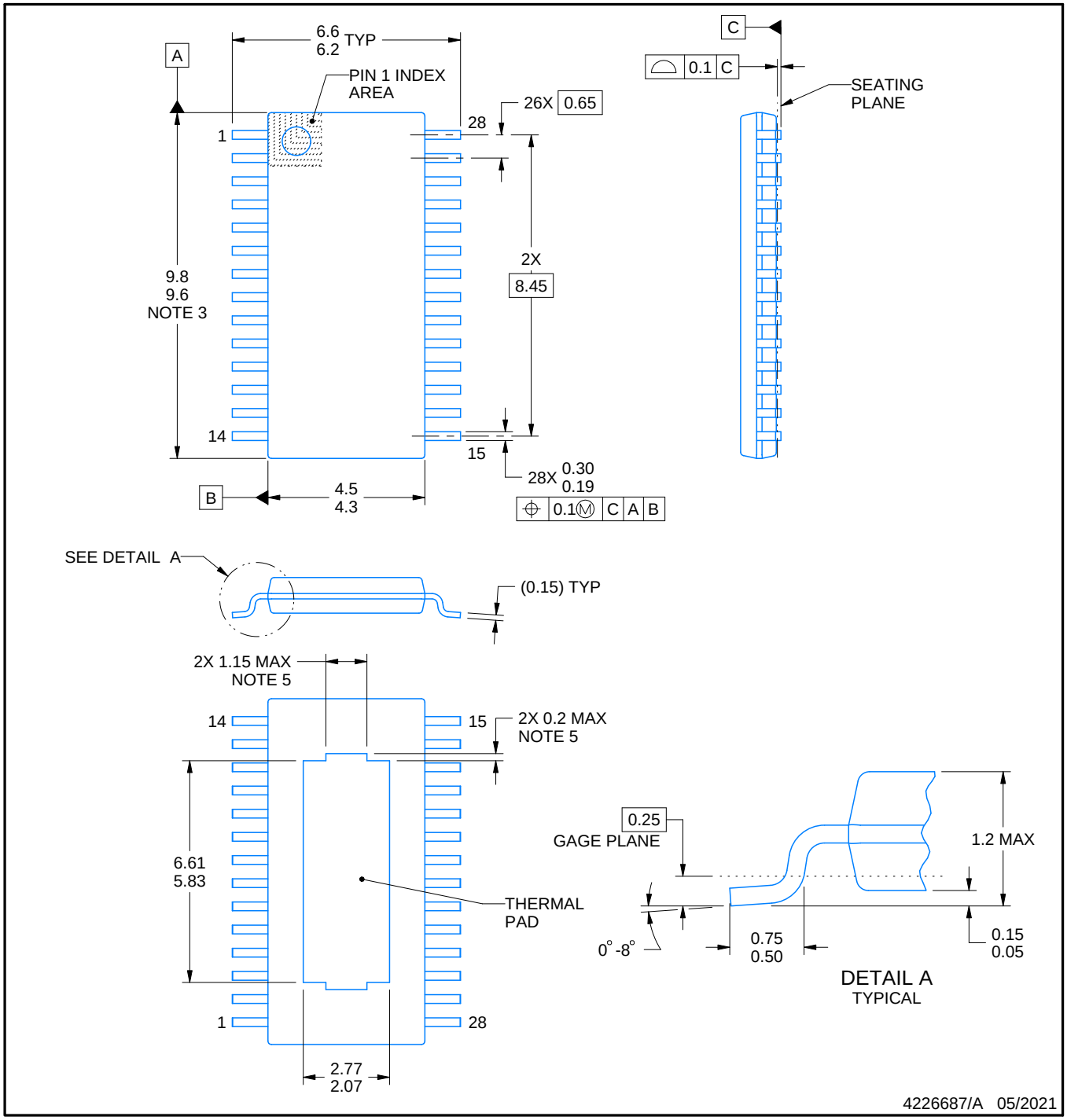
PACKAGE OUTLINE

PWP0028T



PowerPAD™ TSSOP - 1.2 mm max height

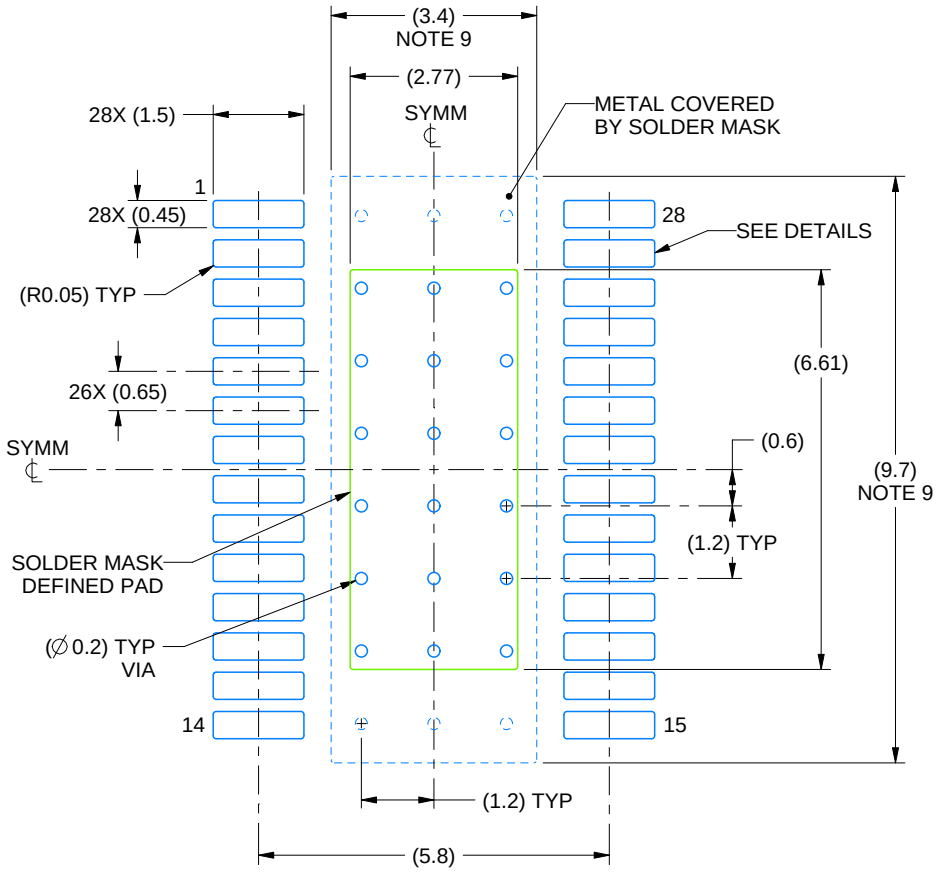
SMALL OUTLINE PACKAGE



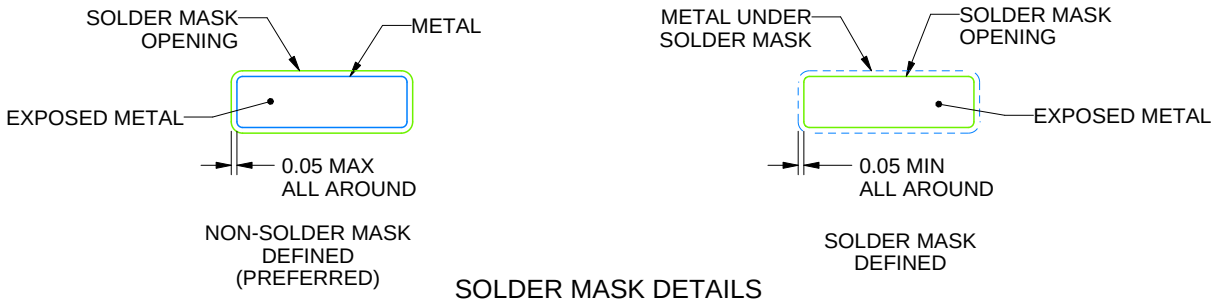
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X

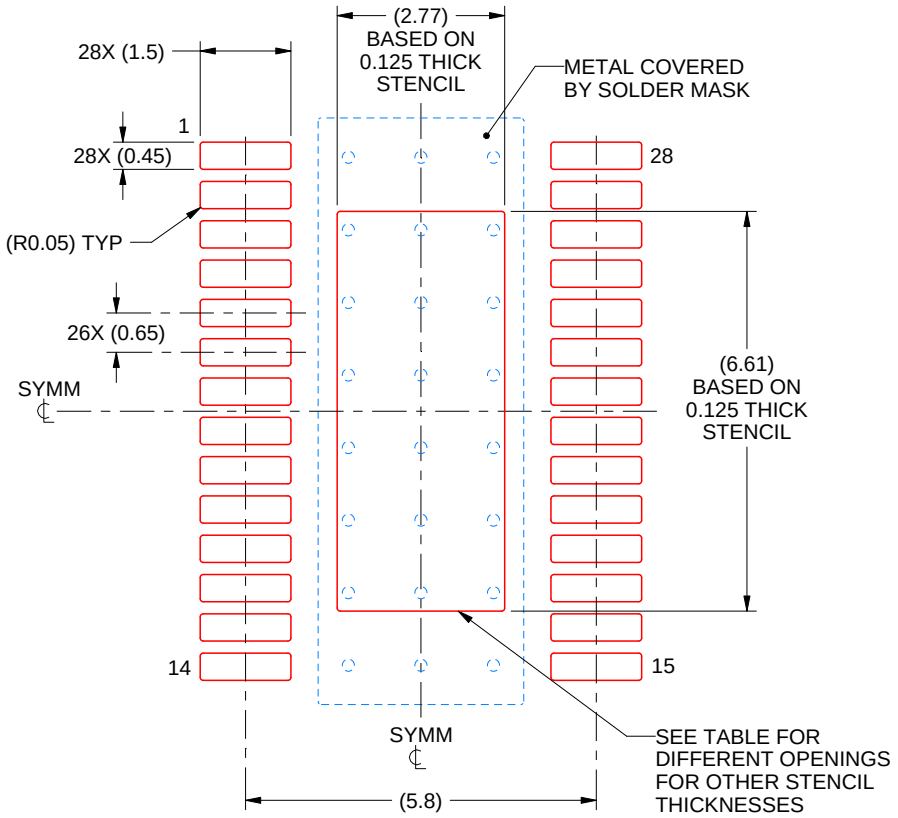


SOLDER MASK DETAILS

4226687/A 05/2021

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.10 X 7.39
0.125	2.77 X 6.61 (SHOWN)
0.15	2.53 X 6.03
0.175	2.34 X 5.59

4226687/A 05/2021

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

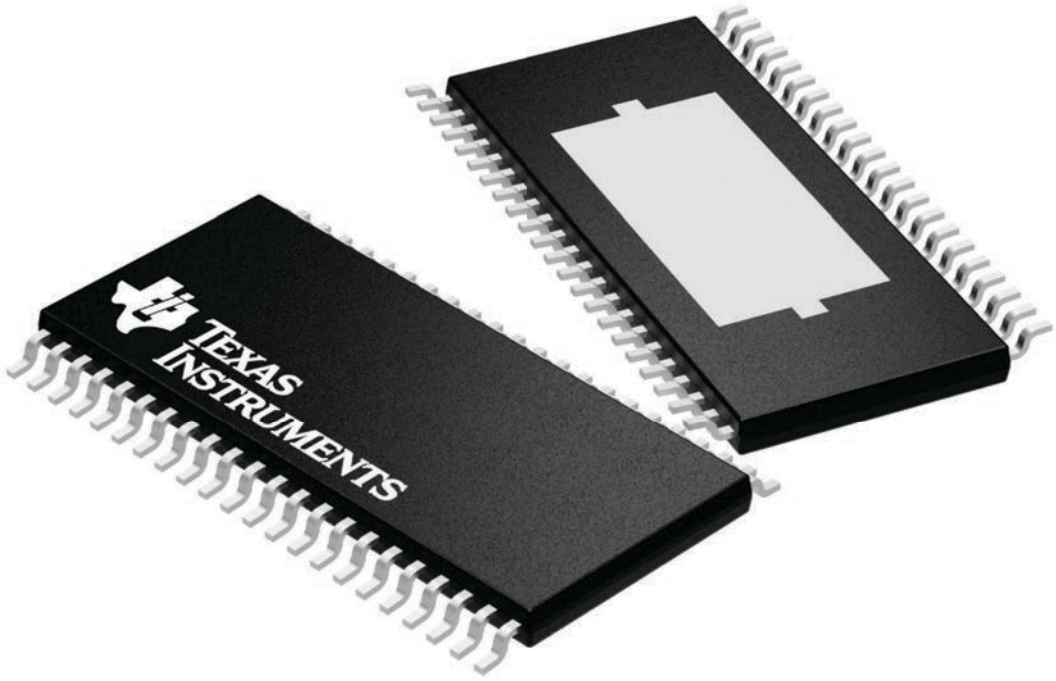
DDW 44

PowerPAD TSSOP - 1.2 mm max height

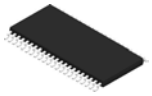
6.1 x 14, 0.635 mm pitch

PLASTIC SMALL OUTLINE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224876/A

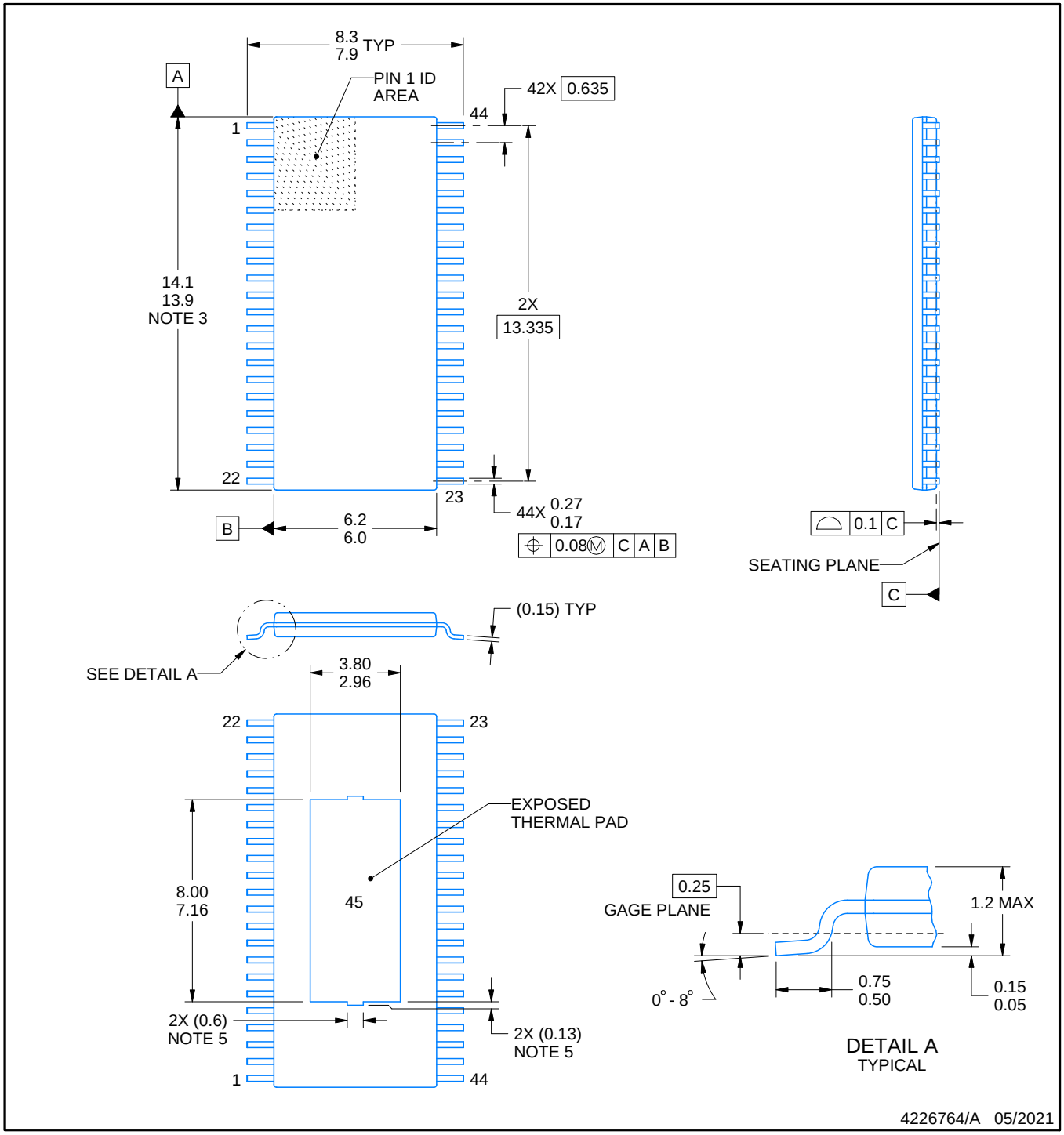


PACKAGE OUTLINE

DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

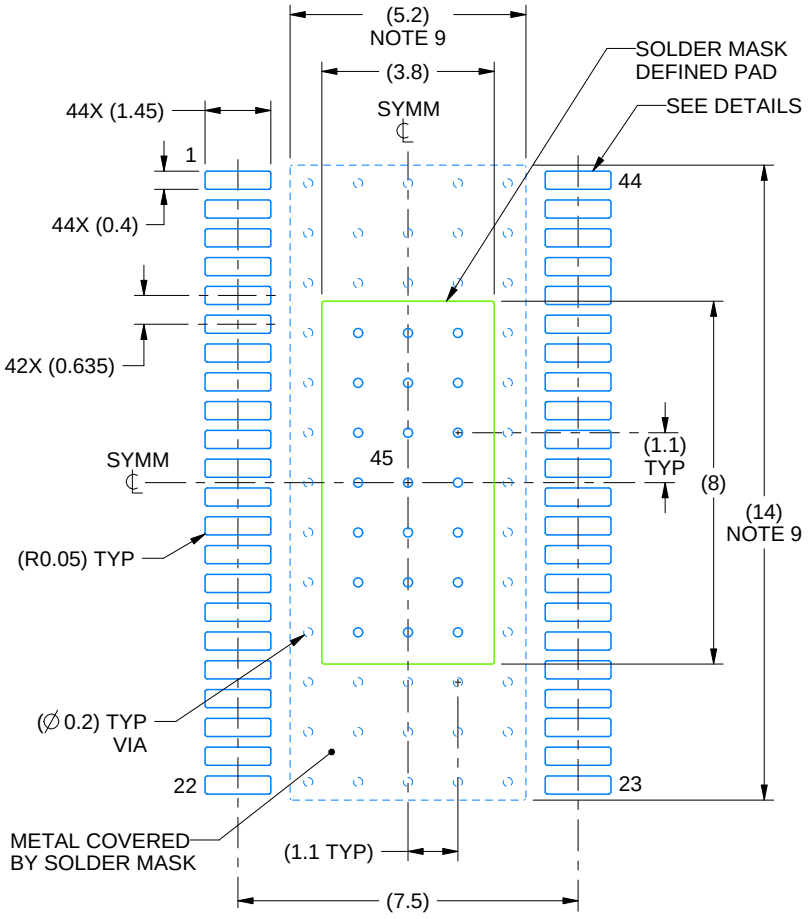
PLASTIC SMALL OUTLINE



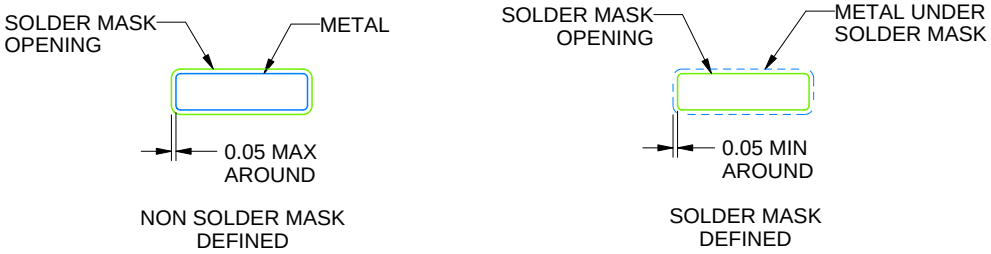
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE:6X

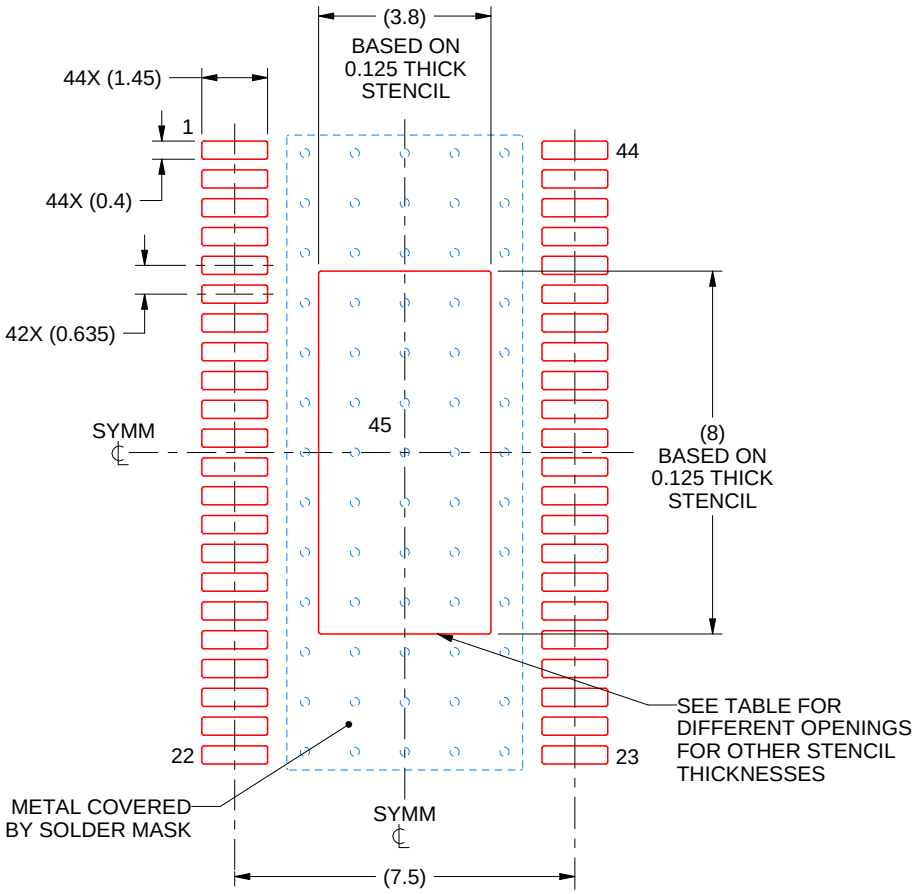


SOLDER MASK DETAILS
NOT TO SCALE

4226764/A 05/2021

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
PAD 45:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.25 X 8.94
0.125	3.80 X 8.00 (SHOWN)
0.15	3.47 X 7.30
0.175	3.21 X 6.76

4226764/A 05/2021

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月