DRV8847 双路 H 桥电机驱动器

1 特性

- 双 H 桥电机驱动器
  - 一个或两个有刷直流电机
  - 一个双极步进电机
  - 螺线管负载
- 2.7V 至 18V 工作电压范围
- 每个 H 桥均提供高输出电流
  - T_A = 25°C 时，驱动器电流为 1A RMS
  - 并联模式下 T_A = 25°C 时，驱动器电流为 2A RMS
- VM > 5V 时具有低导通电阻
  - T_A = 25°C 时，$R_{DS(ON)}$ (HS + LS) 为 1000mΩ
- 多种控制连接选项
  - 4 引脚连接
  - 2 引脚连接
  - 并联桥式连接
  - 独立桥式连接
- 采用 20μs 固定关断时间进行电流调节
- 输出电流调节至 50% 的扭矩标量
- 支持 1.8V、3.3V、5V 逻辑输入
- 低功耗睡眠模式
  - V_{VM} = 12V、T_A = 25°C 时，睡眠模式电源电流为 1.7μA
- 提供 I²C 器件版本 (DRV8847S)
  - I²C 寄存器上显示详细诊断
  - 多从运行支持
  - 支持标准和快速 I²C 模式
- 小型封装和尺寸
  - 16 引脚 TSSOP（无散热垫）
  - 16 引脚 HTSSOP PowerPAD™ 封装
  - 16 引脚 WQFN 热封装
- 内置保护特性
  - VM 欠压锁定
  - 过流保护
  - 开路负载检测
  - 热关断
  - 故障状态指示引脚 (nFAULT)

2 应用

- 冰箱风门和制冰机
- 洗衣机、烘干机和洗碗机
- 电子销售终端 (ePOS) 打印机
- 舞台照明设备
- 微型断路器和智能仪表

3 说明

DRV8847 器件是一款适用于工业应用、家用电器、ePOS 打印机及其他机电一体化应用的双 H 桥电机驱动器。本器件可用于驱动两个直流电机、一个双极步进电机或继电器等其他负载。借助简单的 PWM 接口，可轻松与控制器连接。DRV8847 器件由单一电源供电，支持 2.7V 至 18V 的宽输入电源范围。

驱动器的输出级由配置为两个全 H 桥的 N 沟道功率 MOSFET 构成，用于驱动电机绕组或四个独立半桥（在独立桥式连接配置中）。固定关断时间控制电桥中的峰值电流，该电流能够驱动一个 1A 的负载（并行模式下 25°C T_A 时，在散热适当的条件下，可驱动 2A 的负载）。

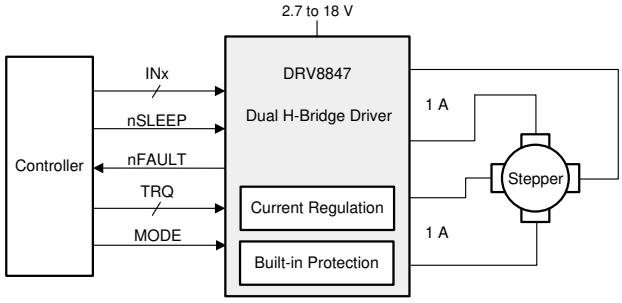
提供了低功耗睡眠模式，以通过关断大量内部电路实现较低的静态电流消耗。此外，附带的扭矩标量能够通过数字输入引脚动态调节输出电流。该特性可降低控制器所需电流，实现更低功耗。

还提供了各种内部保护功能，如欠压锁定、每个 FET 的过流保护、短路保护、开路负载检测和过热保护等。故障状态通过 nFAULT 引脚指示。I²C 器件版本 (DRV8847S) 提供详细诊断。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
DRV8847	HTSSOP (16)	5.00mm × 4.40mm
	TSSOP (16)	5.00mm × 4.40mm
	WQFN (16)	3.00mm × 3.00mm
DRV8847S	TSSOP (16)	5.00mm × 4.40mm
DRV88471	WQFN (16)	3.00mm × 3.00mm

(1) 有关所有的可用封装，请参阅数据表末尾的可订购产品附录。



简化版原理图

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....3
5 引脚配置和功能.....4
6 规格.....7
6.1 绝对最大额定值.....7
6.2 ESD 等级.....7
6.3 建议运行条件.....7
6.4 热性能信息.....8
6.5 电气特性.....8
6.6 I2C 时序要求.....10
6.7 典型特性.....13
7 详细说明.....15
7.1 概述.....15
7.2 功能方框图.....16
7.3 特性说明.....18
7.4 器件功能模式.....40
7.5 编程.....42
7.6 寄存器映射.....44
8 应用和实施.....49
8.1 应用信息.....49
8.2 典型应用.....49
9 布局.....67
9.1 布局指南.....67
9.2 布局示例.....67
9.3 散热注意事项.....69
9.4 功率损耗.....69
10 器件和文档支持.....70
10.1 器件支持（可选）.....70
10.2 文档支持.....70
10.3 接收文档更新通知.....70
10.4 社区资源.....70
10.5 商标.....70
11 机械、封装和可订购信息.....70

Copyright © 2024 Texas Instruments Incorporated

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (April 2019) to Revision C (December 2023) **Page**

- 添加了 DRV88471 型号引脚排列和引脚功能表 4
- 添加了 DRV88471 桥控制模式行为说明 21
- 添加了 DRV88471 扭矩标量 TRQ 行为说明。 28

Changes from Revision A (July 2018) to Revision B (April 2019) **Page**

- 将低导通状态电阻更改为 VM > 5V 时的指示值 1
- 将 nFAULT 引脚类型更改为 OD/I 4
- 更改了 VM 说明，以指示 0.1uF 电容器应为陶瓷电容器 4
- 将数字引脚电压（IN1、IN2、IN3、IN4、TRQ、nSLEEP、nFAULT、SCL、SDA）最大电压从 5.5V 更改为 5.75V 7
- 将相位节点引脚电压规格名称更改为连续相位节点引脚电压 7
- 为 ISEN12、ISEN34 规格添加了一个脚注，指出在小于 25ns 的情况下可接受 +- 1V 的瞬变 7
- 为峰值驱动电流（OUT1、OUT2、OUT3、OUT4）规格添加了脚注，说明必须观察功率耗散和热限值 7
- 将 V(ESD) 规格值更改为 4000V 7
- 根据测试条件 VM < 7V 和 VM >= 7V 将 V_{IL} 规格更改成了两个规格 8
- 针对测试条件 IN1、IN2、IN3、IN4、TRQ、VIN = 5V 将 I_{IH} 规格的最小值更改为 18uA，针对测试条件 nSLEEP、V_{IN} = 最小值（VM，5V）将此规格的最小值更改为 10uA 8
- 向 I_{OCP} 规格添加了最小值 8
- 更改了 DRV8847S 方框图的引脚命名 16
- 从 C_{VM1} 中删除了陶瓷 18
- 更改了继电器或螺线管线圈负载要点，使其更加清晰 25
- 添加了用来阐明检测到开路负载时 nFAULT 引脚行为的句子 37
- 添加了用来澄清加电期间 nFAULT 引脚行为的句子 40
- 添加了“开路负载实现”部分 57
- 添加了双层板图 16 引脚 QFN 封装的布局建议 67

Changes from Revision * (July 2018) to Revision A (August 2018) **Page**

- 将数据表状态从 *预告信息* 更改为 *量产数据* 1
- 更改了双层板图 16 引脚 HTSSOP 封装布局建议中的引脚命名 67

Copyright © 2024 Texas Instruments Incorporated

5 引脚配置和功能

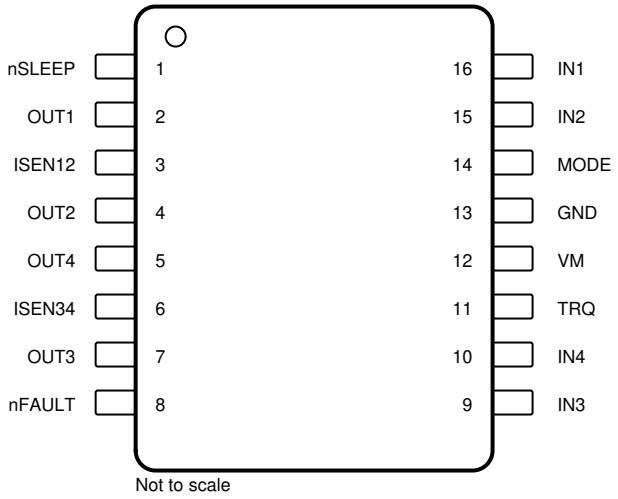


图 5-1. DRV8847 PW 封装 16 引脚 TSSOP 顶视图

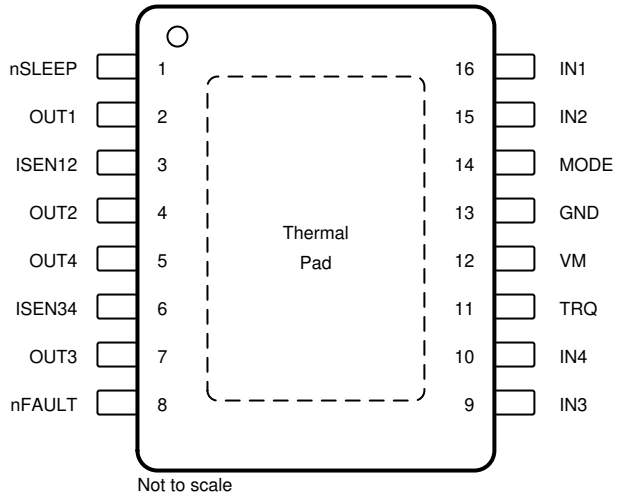


图 5-2. DRV8847 PWP PowerPAD™ 封装 16 引脚 HTSSOP 顶视图

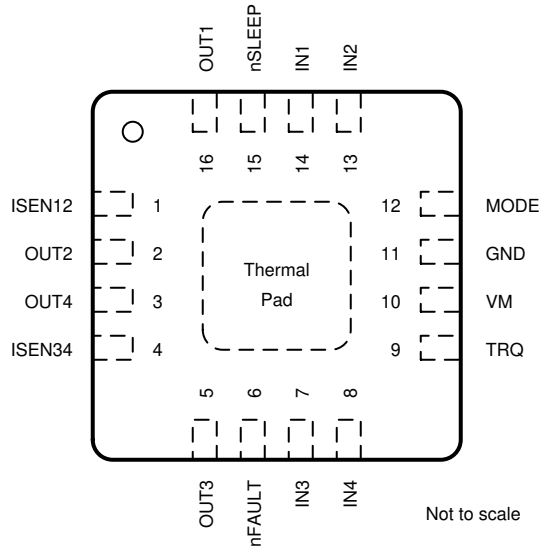


图 5-3. DRV8847 RTE 封装 16 引脚 WQFN（带有外露散热焊盘）俯视图

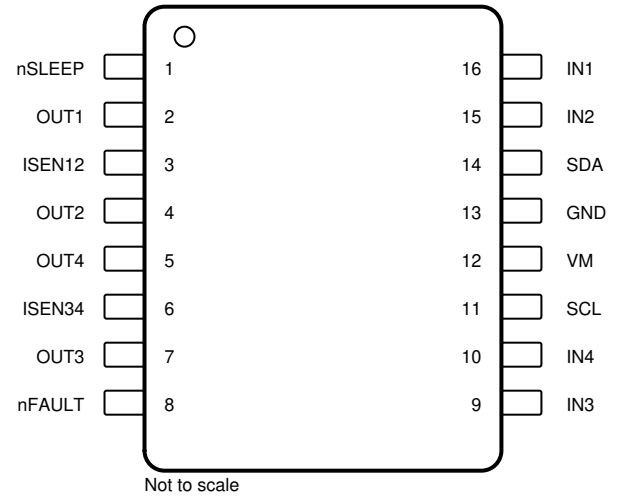


图 5-4. DRV8847S PW 封装 16 引脚 TSSOP 顶视图

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚功能

引脚				类型(1)	说明
名称	DRV8847		DRV8847S		
	TSSOP HTSSOP	WQFN	TSSOP		
GND	13	11	13	PWR	器件接地。建议将 GND 引脚和器件散热焊盘（HTSSOP 和 WQFN 封装）接地
IN1	16	14	16	I	半桥输入 1
IN2	15	13	15	I	半桥输入 2
IN3	9	7	9	I	半桥输入 3
IN4	10	8	10	I	半桥输入 4
ISEN12	3	1	3	O	全桥 12 检测。将此引脚连接到全桥 12 的电流检测电阻。如果不需要电流调节，请将此引脚连接至 GND 引脚。
ISEN34	6	4	6	O	全桥 34 检测。将此引脚连接到全桥 34 的电流检测电阻。如果不需要电流调节，请将此引脚连接至 GND 引脚。
MODE	14	12	—	I	用于选择驱动器工作模式的三态引脚
nFAULT	8	6	8	OD / I	故障指示引脚。该引脚在故障条件下被拉至逻辑低电平。该开漏输出需要一个外部上拉电阻。该引脚还用作 DRV8847S 器件的输入引脚，用于释放 I^2C 总线。
nSLEEP	1	15	1	I	睡眠模式输入。将此引脚设置为逻辑高电平以启用器件。将此引脚设置为逻辑低电平以进入低功耗睡眠模式
OUT1	2	16	2	O	半桥输出 1
OUT2	4	2	4	O	半桥输出 2
OUT3	7	5	7	O	半桥输出 3
OUT4	5	3	5	O	半桥输出 4
SCL	—	—	11	I	I^2C 时钟信号。
SDA	—	—	14	OD	I^2C 数据信号。SDA 引脚需要一个上拉电阻器。
TRQ	11	9	—	I	扭矩电流标量
VM	12	10	12	PWR	电源。将 VM 引脚连接到电机电源。使用额定电压为 VM 的 0.1μF（陶瓷）和 10μF（最小值）电容器将此引脚旁路至接地。

(1) I = 输入，O = 输出，OD = 开漏输出，PWR = 功率

Copyright © 2024 Texas Instruments Incorporated

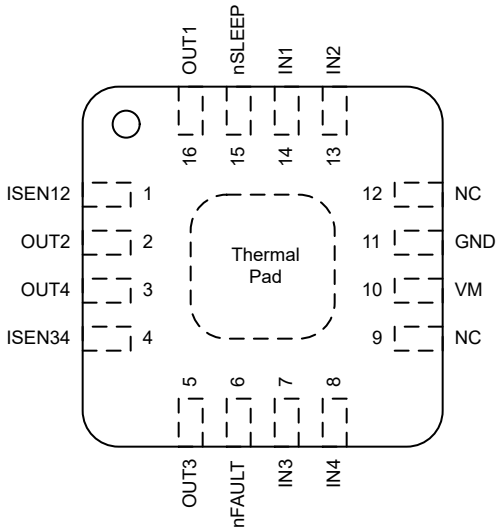


图 5-5. DRV88471 RTE 封装 16 引脚 WQFN（带有外露散热焊盘）顶视图

表 5-2. 新的引脚功能

引脚		类型(1)	说明
DRV8471 WQFN	编号		
GND	11	PWR	器件接地。建议将 GND 引脚和器件散热焊盘接地
IN1	14	I	半桥输入 1
IN2	13	I	半桥输入 2
IN3	7	I	半桥输入 3
IN4	8	I	半桥输入 4
ISEN12	1	O	全桥 12 检测。将此引脚连接到全桥 12 的电流检测电阻。如果不需要电流调节，请将此引脚连接至 GND 引脚。
ISEN34	4	O	全桥 34 检测。将此引脚连接到全桥 34 的电流检测电阻。如果不需要电流调节，请将此引脚连接至 GND 引脚。
NC	9	-	无连接
NC	12	-	无连接
nFAULT	6	OD	故障指示引脚。该引脚在故障条件下被拉至逻辑低电平。该开漏输出需要一个外部上拉电阻。
nSLEEP	15	I	睡眠模式输入。将此引脚设置为逻辑高电平以启用器件。将此引脚设置为逻辑低电平以进入低功耗睡眠模式。
OUT1	16	O	半桥输出 1
OUT2	2	O	半桥输出 2
OUT3	5	O	半桥输出 3
OUT4	3	O	半桥输出 4
VM	10	PWR	电源。将 VM 引脚连接到电机电源。使用额定电压为 VM 的 0.1μF（陶瓷）和 10μF（最小值）电容器将此引脚旁路至接地。

(1) I = 输入，O = 输出，OD = 开漏输出，PWR = 功率

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
电源引脚电压 (VM)	-0.3	20	V
电源电压斜升速率 (VM)	0	2	V/µs
数字引脚电压（IN1、IN2、IN3、IN4、TRQ、nSLEEP、nFAULT、SCL、SDA）	-0.3	5.75	V
连续相位节点引脚电压（OUT1、OUT2、OUT3、OUT4）	-0.7	VM + 0.6	V
分流放大器输入引脚电压（ISEN12、ISEN34）(2)	-0.6	0.6	V
峰值驱动电流（OUT1、OUT2、OUT3、OUT4），V_{VM} <= 16.5V(3)	受内部限制		A
峰值驱动电流（OUT1、OUT2、OUT3、OUT4），V_{VM} > 16.5V(3)	0	4	A
环境温度，T_A	-40	125	°C
结温，T_J	-40	150	°C
贮存温度，T_{stg}	-65	150	°C

(1) 超出*绝对最大额定值*下列出的压力可能会对器件造成损坏。这些仅是压力额定值，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 在小于 25ns 的情况下可接受 ±1V 的瞬变。
(3) 必须遵循功率耗散和热限值。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚(1)	±4000	V
		充电器件模式（CDM），符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）。TA = 25°C 且 V_{VM} = 12V 时，适用典型限值。

		最小值	标称值	最大值	单位
V_{VM}	电源电压 (VM)	2.7		18	V
V_{IN}	逻辑输入电压（IN1、IN2、IN3、IN4、TRQ、nSLEEP、SCL、SDA）	0		5	V
I_{RMS}	每个桥的电机 RMS 电流（OUT1、OUT2、OUT3、OUT4）	0		1(1)	A
f_{PWM}	PWM 频率（IN1、IN2、IN3、IN4）	0		250(1)	kHz
V_{OD}	开漏上拉电压 (nFAULT)	0		5	V
I_{OD}	开漏输出电流 (nFAULT)	0		5	mA
T_A	运行环境温度	-40		85	°C
T_J	工作结温	-40		150	°C

(1) 必须遵循功率耗散和热限值。取决于封装的热性能。

Copyright © 2024 Texas Instruments Incorporated

6.4 热性能信息

热指标(1)		DRV8847、DRV8847S	DRV8847	DRV8847	单位
		PW (TSSOP)	PWP (HTSSOP)	RTE (QFN)	
		16 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	107.9	46.5	46.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	38.5	40.1	47.5	°C/W
$R_{\theta JB}$	结至电路板热阻	54.2	18.8	21.2	°C/W
Ψ_{JT}	结至顶部特征参数	3.1	1.3	0.9	°C/W
Ψ_{JB}	结至电路板特征参数	53.6	19.0	21.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	5.9	6.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.5 电气特性

在建议运行条件下测得（除非另有说明）。T_A = 25°C 且 V_{VM} = 12V 时，适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
电源 (VM)						
I_{VM}	VM 工作电源电流	VM = 2.7V；nSLEEP = 1；INx = 0		2	2.5	mA
		VM = 5V；nSLEEP = 1；INx = 0		3	3.5	mA
		VM = 12V；nSLEEP = 1；INx = 0		3	3.5	mA
I_{VMQ}	VM 睡眠模式电流	VM = 2.7V；nSLEEP = 0；TA = 25°C		0.1		μA
		VM = 2.7V；nSLEEP = 0；TA = 85°C			0.5	μA
		VM = 5V；nSLEEP = 0；TA = 25°C		0.2		μA
		VM = 5V；nSLEEP = 0；TA = 85°C			1	μA
		VM = 12V；nSLEEP = 0；TA = 25°C		1.7		μA
		VM = 12V；nSLEEP = 0；TA = 85°C			2.5	μA
t_{SLEEP}	睡眠时间	nSLEEP = 0 以进入睡眠模式		2		μs
t_{WAKE}	唤醒时间	nSLEEP = 1 至输出转换			1.5	ms
t_{ON}	开通时间	VM > UVLO 至输出转换 (nSLEEP = 1)			1.5	ms
逻辑电平输入（IN1、IN2、IN3、IN4、NSLEEP、TRQ、SCL、SDA）						
V_{IL}	输入逻辑低电平电压	VM < 7 V	0		0.6	V
		VM >= 7V (1)	0		1.0	V
V_{IH}	输入逻辑高电平电压		1.6		5.5	V
V_{HYS}	输入逻辑迟滞	nSLEEP 引脚	40			mV
V_{HYS}	输入逻辑迟滞	IN1、IN2、IN3、IN4、TRQ、SCL 引脚	100			mV
VIL	nSLEEP		0		0.6	V
VIH	nSLEEP		1.6		5.5	V
VHYS	nSLEEP		40			mV
I_{IL}	输入逻辑低电平电流	V_{IN} = 0V	-1		1	μA
I_{IH}	输入逻辑高电流	IN1、IN2、IN3、IN4、TRQ、V_{IN} = 5V	18		35	μA
		nSLEEP，V_{IN} = 最小值（VM，5V）	10		25	μA
t_{PD}	传播延迟	INx 边沿到输出	100	400	600	ns
$t_{DEGLITCH}$	输入逻辑抗尖峰			50		ns
三电平输入（MODE）						
V_{IL}	三电平输入逻辑低电平电压		0		0.6	V

Copyright © 2024 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）。T_A = 25°C 且 V_{VM} = 12V 时，适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
V_{IZ}	三电平输入高阻抗电压			1.2		V
V_{IH}	三电平输入逻辑高电平电压		1.6		5.5	V
I_{IL}	三电平输入逻辑低电平电流	V_{IN} = 0V	-9		-4	μA
I_{IH}	三电平输入逻辑高电平电流	V_{IN} = 5V	8		25	μA
开漏输出 (nFAULT)						
V_{OL}	输出逻辑低电压	I_{OD} = 5mA			0.5	V
I_{OH}	输出逻辑高电流	V_{OD} = 3.3 V	-1		1	μA
开漏输出 (SDA)						
V_{OL}	输出逻辑低电压	I_{OD} = 5mA			0.5	V
I_{OH}	输出逻辑高电流	V_{OD} = 3.3 V	-1		1	μA
C_B	每个总线的容性负载				400	pF
驱动器输出（OUT1、OUT2、OUT3、OUT4）						
$R_{DS(ON)_HS}$	高侧 MOSFET 导通电阻	V_{VM} = 2.7V；I_{OUT} = 0.5A；T_A = 25°C		690		mΩ
		V_{VM} = 2.7V；I_{OUT} = 0.5A；T_A = 85°C			950	mΩ
		V_{VM} = 5V；I_{OUT} = 0.5A；T_A = 25°C		530		mΩ
		V_{VM} = 5V；I_{OUT} = 0.5A；T_A = 85°C			740	mΩ
		V_{VM} = 12V；I_{OUT} = 0.5A；T_A = 25°C		520		mΩ
		V_{VM} = 12V；I_{OUT} = 0.5A；T_A = 85°C			700	mΩ
$R_{DS(ON)_LS}$	低侧 MOSFET 导通电阻	V_{VM} = 2.7V；I_{OUT} = 0.5A；T_A = 25°C		570		mΩ
		V_{VM} = 2.7V；I_{OUT} = 0.5A；T_A = 85°C			900	mΩ
		V_{VM} = 5V；I_{OUT} = 0.5A；T_A = 25°C		460		mΩ
		V_{VM} = 5V；I_{OUT} = 0.5A；T_A = 85°C			690	mΩ
		V_{VM} = 12V；I_{OUT} = 0.5A；T_A = 25°C		450		mΩ
		V_{VM} = 12V；I_{OUT} = 0.5A；T_A = 85°C			680	mΩ
I_{OFF}	关断状态漏电流	V_{VM} = 5V；T_J = 25°C；V_{OUT} = 0V	-1		1	μA
t_{RISE}	输出上升时间	V_{VM} = 12V；I_{OUT} = 0.5A		150		ns
t_{FALL}	输出下降时间	V_{VM} = 12V，I_{OUT} = 0.5A		150		ns
t_{DEAD}	输出死区时间	内部死区时间		200		ns
V_{SD}	体二极管正向电压	I_{OUT} = 0.5A		1.1		V
PWM 电流控制（ISEN12、SEN34）						
V_{TRIP}	ISENxx 跳变电压	100% 时的转矩 (TRQ = 0)	140	150	160	mV
		50% 时的转矩 (TRQ = 1)	63.75	75	86.25	mV
t_{BLANK}	电流检测消隐时间			1.8		μs
t_{OFF}	电流控制恒定关断时间			20		μs
保护电路						
V_{UVLO}	电源欠压锁定	电源上升			2.7	V
		电源下降	2.4			V
V_{UVLO_HYS}	电源欠压迟滞	上升至下降阈值		50		mV
t_{UVLO}	电源欠压抗尖峰脉冲时间	VM 下降；UVLO 报告		10		μs
I_{OCP}	过流保护跳变点(2)		1.6	2		A)
t_{OCP}	过流保护抗尖峰脉冲时间	V_{VM} < 15V		3		μs
		V_{VM} >= 15V		1		μs
t_{RETRY}	过流保护重试时间			1		ms
I_{OL_PU}	开路负载上拉电流	OUTx 引脚上 < 15nF，V_{VM} = 2.7V		100		μA

Copyright © 2024 Texas Instruments Incorporated

在建议运行条件下测得（除非另有说明）。T_A = 25°C 且 V_{VM} = 12V 时，适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
I_{OL_PU}	开路负载上拉电流	OUTx 引脚上 < 15nF		200		μA
I_{OL_PD}	开路负载下拉电流	OUTx 引脚上 < 15nF，V_{VM} = 2.7V		130		μA
I_{OL_PD}	开路负载下拉电流	OUTx 引脚上 < 15nF		230		μA
I_{OL}	开路负载上拉和下拉电流			230		μA
V_{OL_HS}	开路负载检测阈值（高侧）	V_{VM} = 2.7 V		1.3		V
V_{OL_HS}	开路负载检测阈值（高侧）			2.3		V
V_{OL_LS}	开路负载检测阈值（低侧）	V_{VM} = 2.7 V		0.67		V
V_{OL_LS}	开路负载检测阈值（低侧）			1.2		V
V_{OL}	开路负载检测阈值电压			1.1		V
T_{TSD}	热关断温度		150	160	180	°C
T_{HYS}	热关断迟滞			40		°C
$V_{b_BJT_27C}$	OTS 中 BJT 的基极电压（12V 电源下的测试焊盘输出）					

(1) 取决于具体的设计和特性
(2) V_M > 16.5V 时，OUTx 上的输出电流必须限制为 4A

6.6 I2C 时序要求

		最小值	标称值	最大值	单位
标准模式					
f_{SCL}	SCL 时钟频率	0		100	kHz
$t_{HD,STA}$	（重复）START 条件后的保持时间。在此时间段之后，生成第一个时钟脉冲	4			μs
t_{LOW}	SCL 时钟的低电平周期	4.7			μs
t_{HIGH}	SCL 时钟的高电平周期	4			μs
$t_{SU,STA}$	重复 START 条件的建立时间	4.7			μs
$t_{HD,DAT}$	数据保持时间：对于 I2C 总线器件	0		3.45	μs
$t_{SU,DAT}$	数据建立时间	250			ns
t_R	SDA 和 SCL 上升时间			1000	ns
t_F	SDA 和 SCL 下降时间			300	ns
$t_{SU,STO}$	STOP 条件的建立时间	4			μs
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	4.7			μs
快速模式					
f_{SCL}	SCL 时钟频率	0		400	kHz
$t_{HD,STA}$	（重复）START 条件后的保持时间。在此时间段之后，生成第一个时钟脉冲	0.6			μs
t_{LOW}	SCL 时钟的低电平周期	1.3			μs
t_{HIGH}	SCL 时钟的高电平周期	0.6			μs
$t_{SU,STA}$	重复 START 条件的建立时间	0.6			μs
$t_{HD,DAT}$	数据保持时间：对于 I2C 总线器件	0		0.9	μs
$t_{SU,DAT}$	数据建立时间	250			ns
t_R	SDA 和 SCL 上升时间			300	ns
t_F	SDA 和 SCL 下降时间			300	ns
$t_{SU,STO}$	STOP 条件的建立时间	0.6			μs
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	1.3			μs

Copyright © 2024 Texas Instruments Incorporated

		最小值	标称值	最大值	单位
t_{SP}	由输入噪声滤波器抑制的尖峰脉冲宽度		50		ns

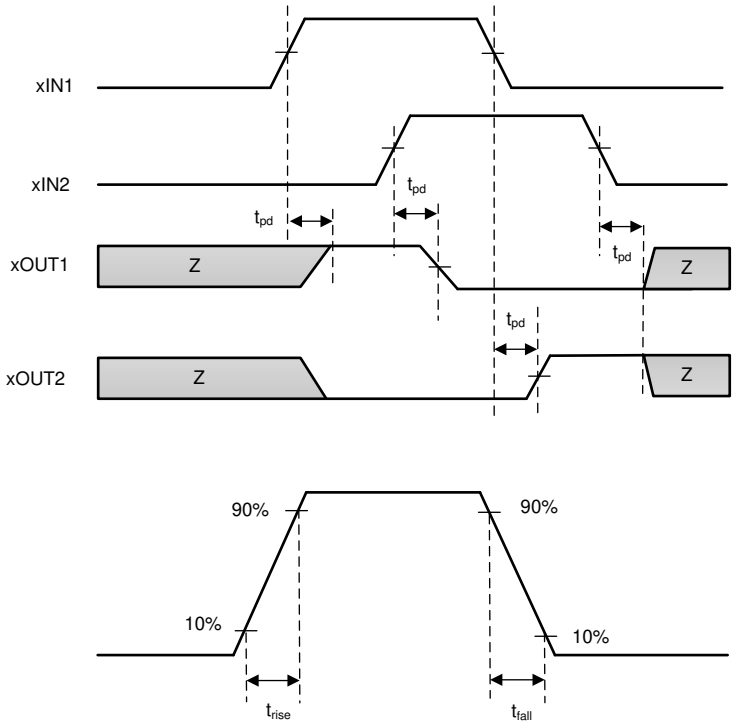


图 6-1. 时序图

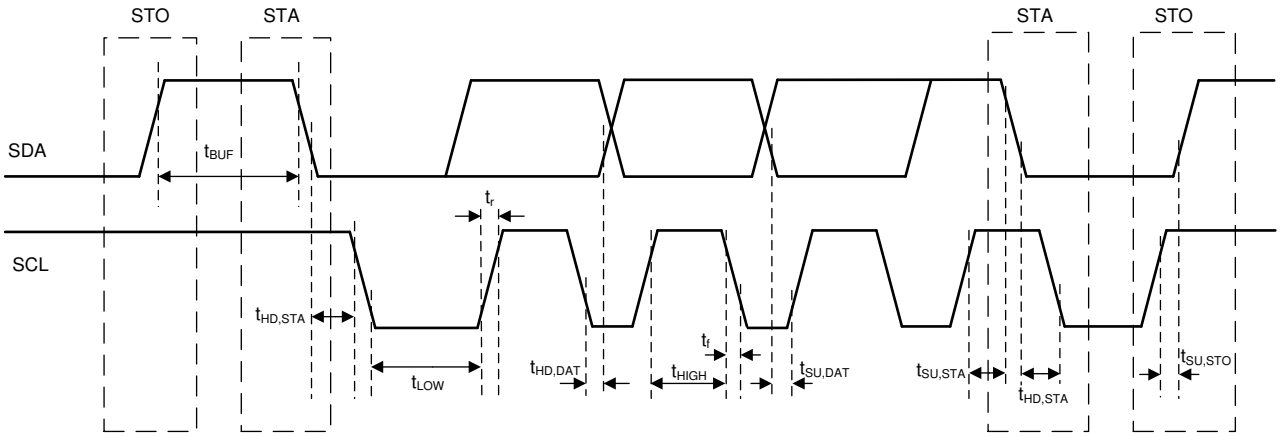


图 6-2. I²C 时序图

Copyright © 2024 Texas Instruments Incorporated

6.7 典型特性

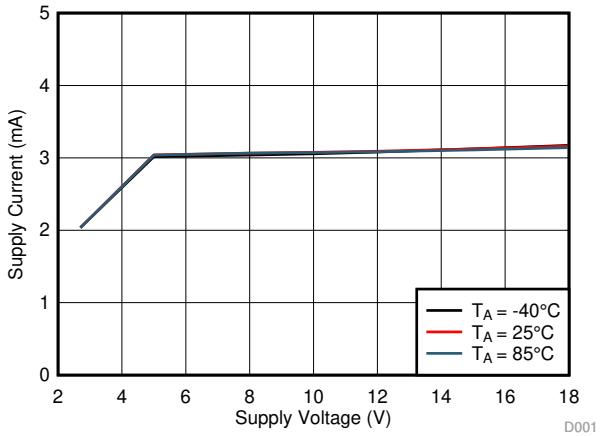


图 6-3. 工作电源电流 (I_{VM}) 与电源电压 (V_{VM}) 间的关系

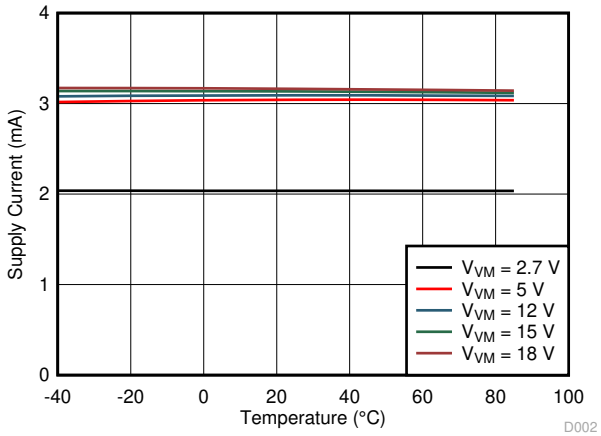


图 6-4. 工作电源电流 (I_{VM}) 与环境温度 (T_A) 间的关系

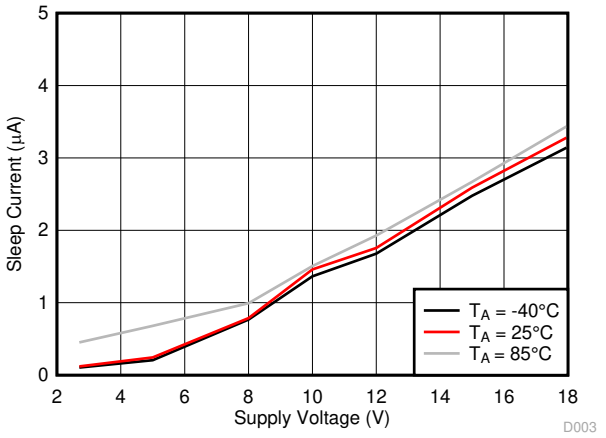


图 6-5. 睡眠模式电源电流 (I_{VMQ}) 与电源电压 (V_{VM}) 间的关系

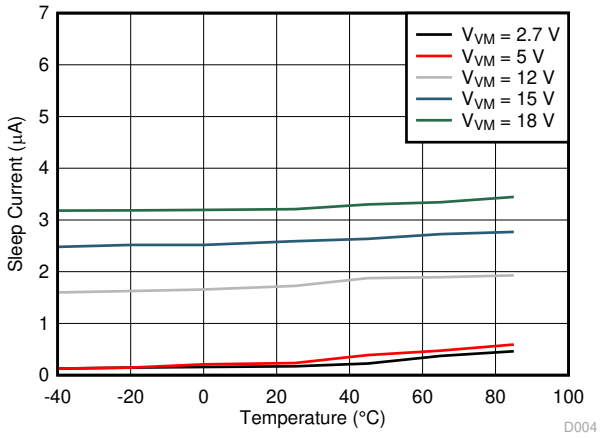


图 6-6. 睡眠模式电源电流 (I_{VMQ}) 与环境温度 (T_A) 间的关系

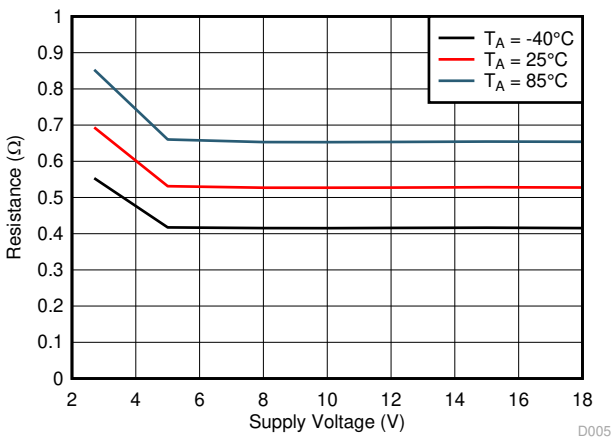


图 6-7. 高侧导通状态电阻 ($R_{DS(ON)_HS}$) 与电源电压 (V_{VM}) 间的关系

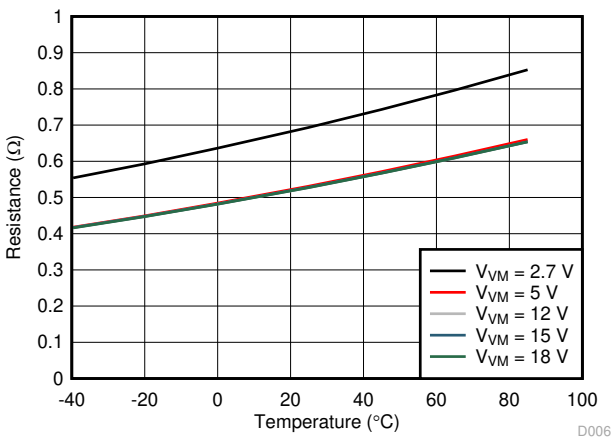


图 6-8. 高侧导通状态电阻 ($R_{DS(ON)_HS}$) 与环境温度 (T_A) 间的关系

Copyright © 2024 Texas Instruments Incorporated

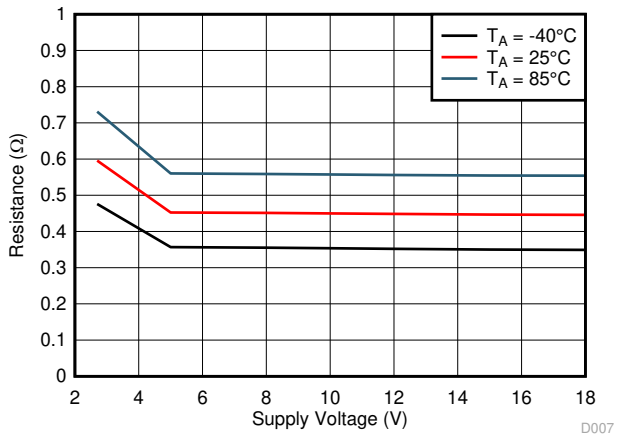


图 6-9. 低侧导通状态电阻 ($R_{DS(ON)_LS}$) 与电源电压 (V_{VM}) 间的关系

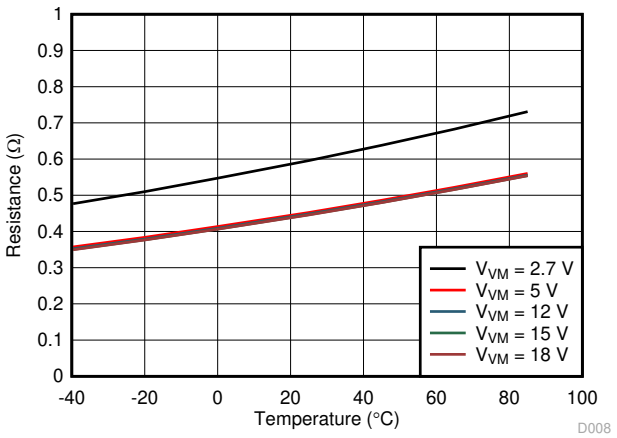


图 6-10. 低侧导通状态电阻 ($R_{DS(ON)_LS}$) 与环境温度 (T_A) 间的关系

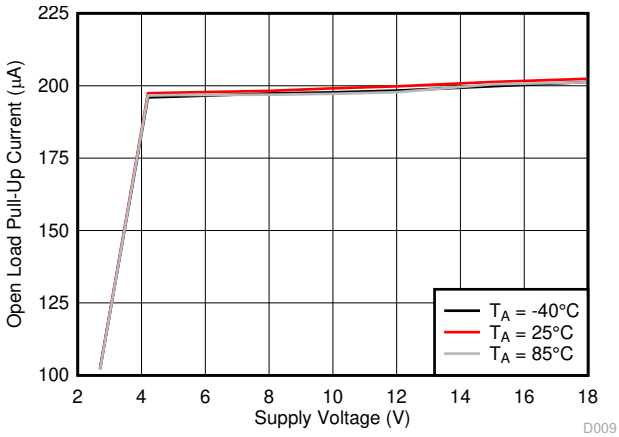


图 6-11. 开路负载上拉电流 (I_{OL_PU}) 与电源电压 (V_{VM}) 间的关系

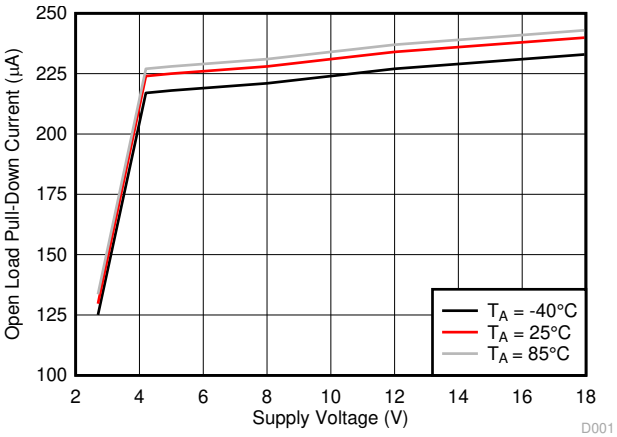


图 6-12. 开路负载下拉电流 (I_{OL_PD}) 与电源电压 (V_{VM}) 间的关系

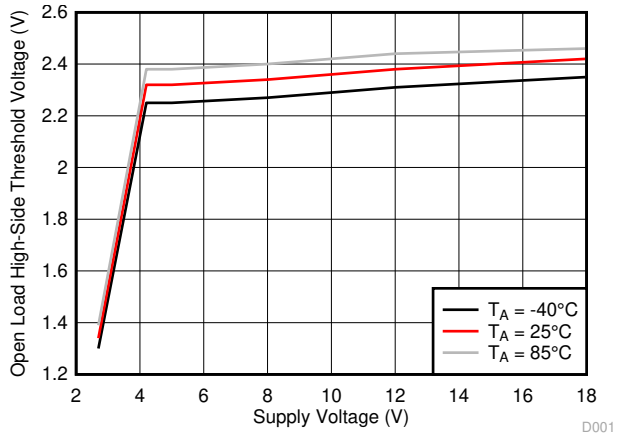


图 6-13. 开路负载高侧阈值电压 (V_{OL_HS}) 与电源电压 (V_{VM}) 间的关系

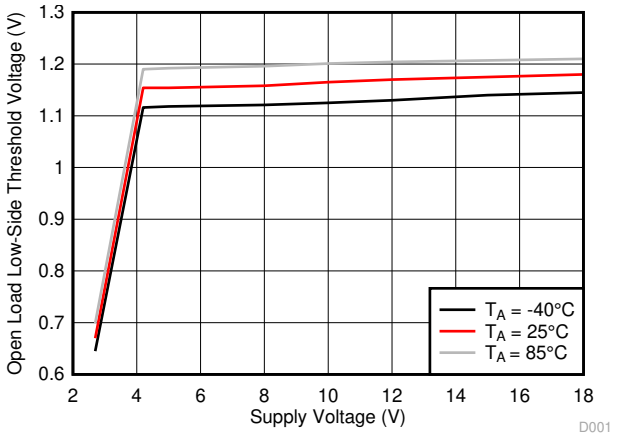


图 6-14. 开路负载低侧阈值电压 (V_{OL_LS}) 与电源电压 (V_{VM}) 间的关系

Copyright © 2024 Texas Instruments Incorporated

7 详细说明

7.1 概述

DRV8847 器件是一款集成式 2.7V 至 18V 双通道电机驱动器，适用于工业有刷和步进电机应用。此驱动器可以驱动两个直流电机、一个双极步进电机或螺线管负载。该器件集成了两个使用 NMOS 低侧和高侧驱动器的 H 桥以及电流检测调节电路。DRV8847 器件使用低 $R_{DS(ON)}$ 集成 MOSFET，支持每个 H 桥 1A RMS 的高输出电流。

借助简单的 PWM 接口选项，可轻松连接至 H 桥输出。可以使用 DRV8847 器件中的 MODE 和 IN3 引脚配置连接选项。在 I^2C 器件型号 (DRV8847S) 中，可以通过 I^2C 接口来配置连接选项。

电流调节使用固定关断时间 (t_{OFF}) PWM 方案。电流调节的跳变点由检测电阻值和固定内部 V_{TRIP} 值控制。

系统包括低功耗睡眠模式，以便在不驱动电机时省电。

DRV8847 器件提供三种不同的封装：

- 16 引脚 TSSOP（无散热焊盘）
- 16 引脚 HTSSOP (PowerPAD)
- 16 引脚 WQFN（散热焊盘）

DRV8847 器件的 I^2C 型号还可用于满足详细的诊断要求，以及在 I^2C 总线通过多从运行控制实现多从运行。

DRV8847S 器件型号采用一种 16 引脚 TSSOP 封装（无散热焊盘）。

DRV8847 器件具有广泛的集成保护特性。这些特性包括电源欠压锁定、开路负载检测、过流故障和热关断。

Copyright © 2024 Texas Instruments Incorporated

7.2 功能方框图

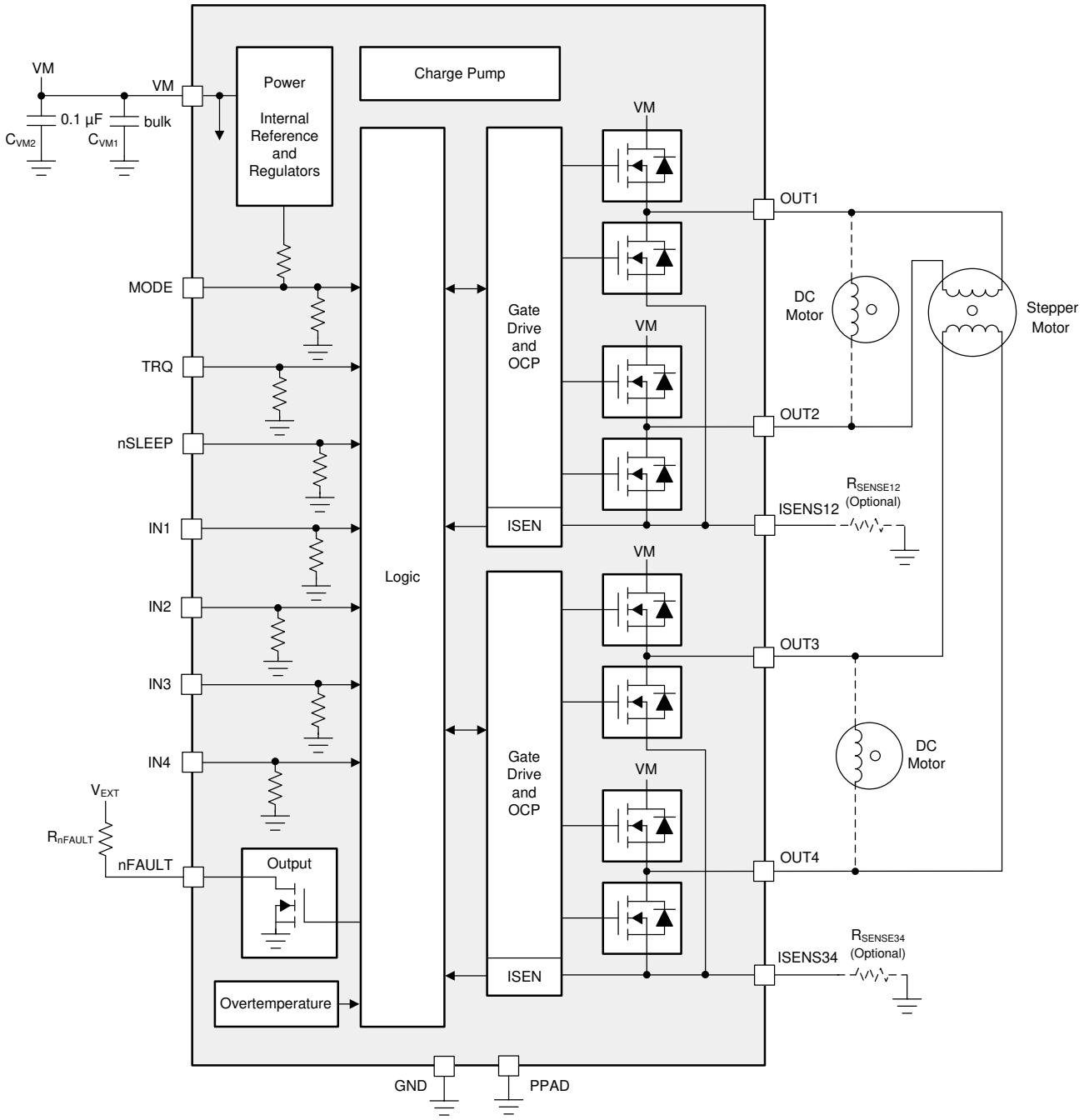


图 7-1. DRV8847 的方框图

Copyright © 2024 Texas Instruments Incorporated

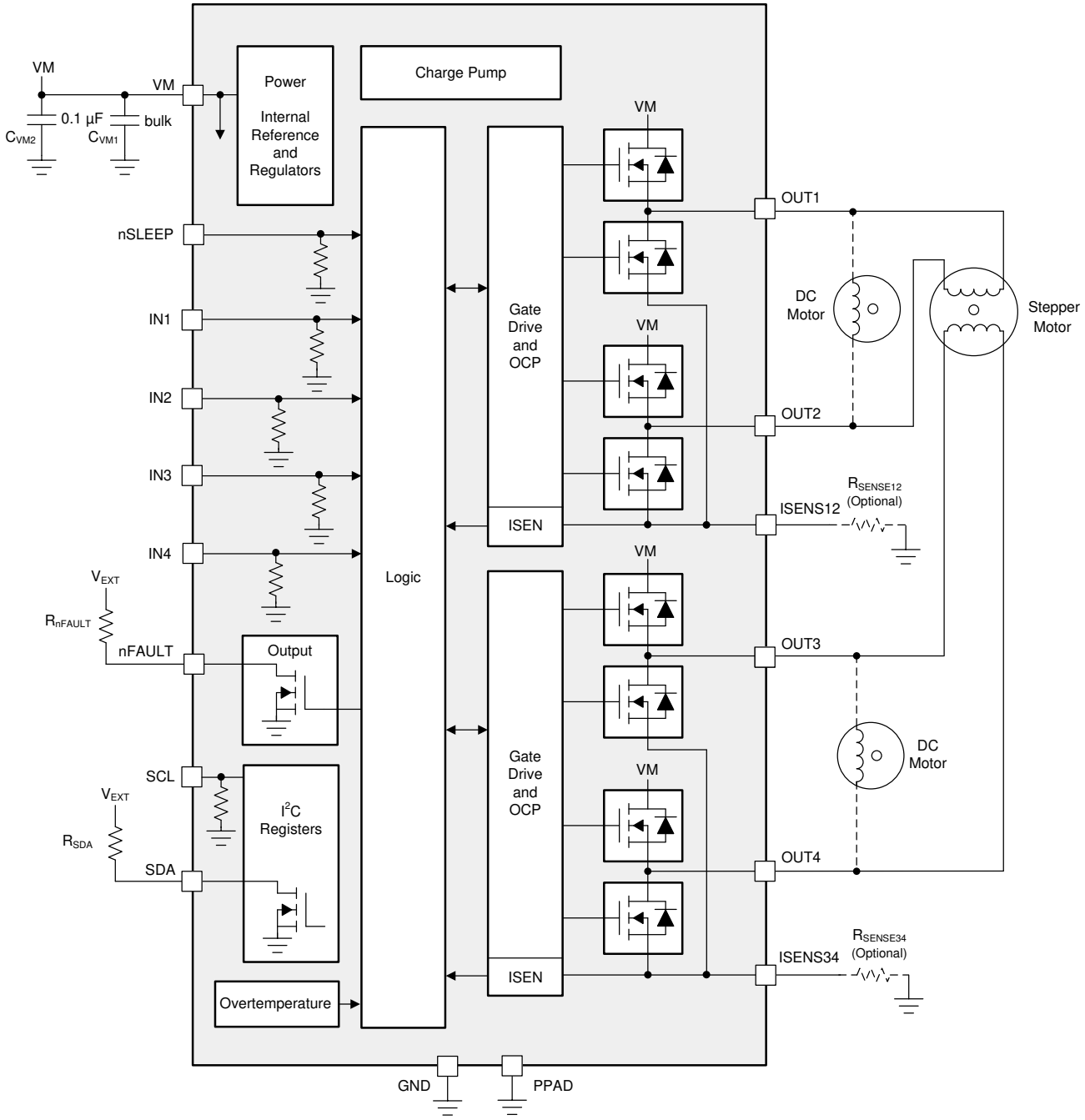


图 7-2. DRV8847S 的方框图

7.3 特性说明

表 7-1 列出了栅极驱动器外部元件的建议值。

表 7-1. DRV8847 外部元件

元件	引脚 1	引脚 2	推荐
C_{VM1}	VM	GND	额定电压为 VM 的 10μF（最小值）电容器
C_{VM2}	VM	GND	额定电压为 VM 的 0.1μF 陶瓷电容器
R_{nFAULT}	VEXT(1)	nFAULT	>1kΩ
R_{ISEN12}	ISEN12	GND	检测电阻，请参阅 节 8.2 以了解尺寸
R_{ISEN34}	ISEN34	GND	检测电阻，请参阅 节 8.2 以了解尺寸

(1) VEXT 不是 DRV8847 器件上的引脚，但开漏输出 nFAULT 需要 VEXT 外部电源电压上的上拉电阻器。

7.3.1 PWM 电机驱动器

DRV8847 器件具有两个完全相同的 H 桥电机驱动器以及电流控制 PWM 电路。图 7-3 展示了该电路的方框图。根据接口选项，两个 H 桥也可以用作四个独立的半桥。ISENxx 引脚只能与两个半桥配合使用。

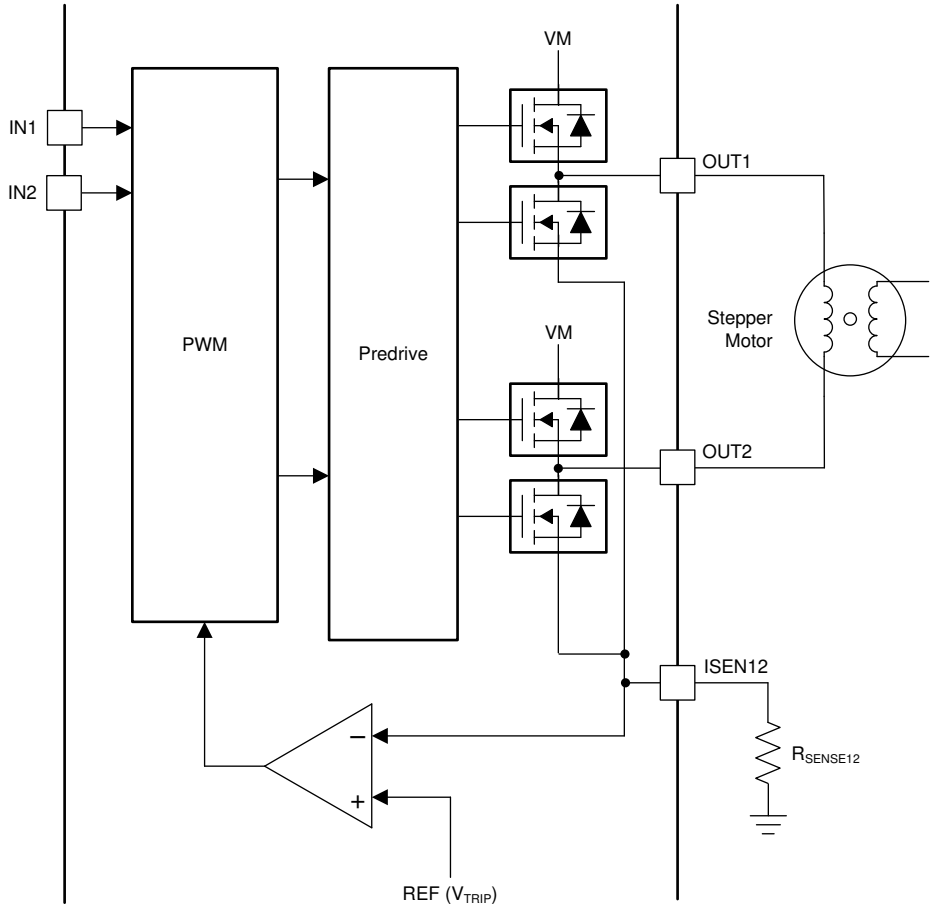


图 7-3. PWM 电机驱动器电路

Copyright © 2024 Texas Instruments Incorporated

7.3.2 桥运行

全桥可以在四种不同的工作模式下工作：正向、反向、滑行（快速衰减）和制动（慢速衰减）运行。

7.3.2.1 正向运行

这种工作模式是指电机的正向旋转，以使电流从端子 A（OUT1 或 OUT3）流向端子 B（OUT2 或 OUT4），如图 7-4 所示。在此模式下，端子 A 连接到 VM，端子 B 接地。

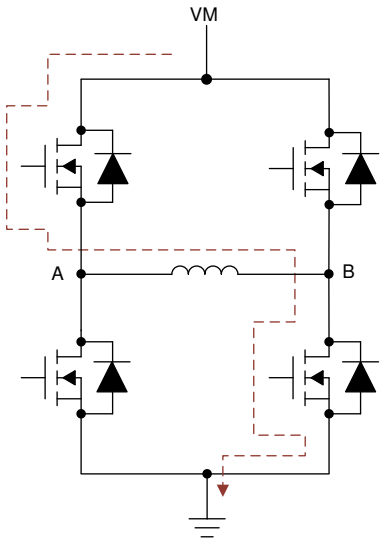


图 7-4. 正向运行

7.3.2.2 反向运行

这种工作模式是指电机的反向旋转，以使电流从端子 B（OUT2 或 OUT4）流向端子 A（OUT1 或 OUT3），如图 7-5 所示。在此模式下，端子 A 接地，端子 B 连接到 VM。

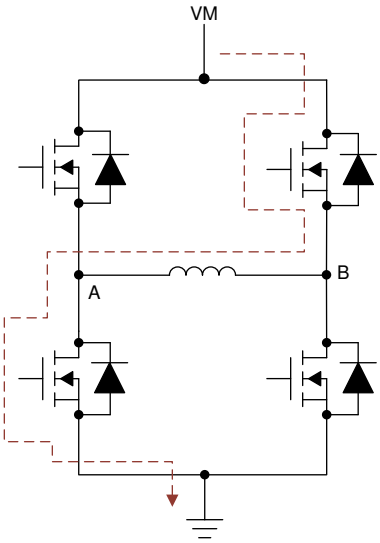


图 7-5. 反向运行

Copyright © 2024 Texas Instruments Incorporated

7.3.2.3 滑行运行（快速衰减）

在该工作模式下，全桥的所有 FET 均处于高阻抗 (Hi-Z) 状态。电机也进入高阻态状态，电机开始滑行。这种工作模式还有助于更快地衰减电机电流，因此也称为快速衰减模式。如果电机最初以正向运行（电流从端子 A 流向端子 B）连接，并应用滑行运行，则由于电机负载的电感性质，电流会继续沿同一方向流动（A 至 B），并且交替 FET 的反向并联二极管开始传导，如图 7-6 所示。由于电源电压 VM 产生的较高负电势，这种流经反并联二极管的电流使电流快速降低。

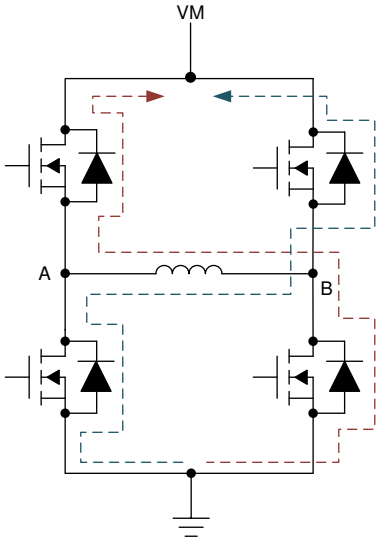


图 7-6. 滑行运行（快速衰减）

7.3.2.4 制动运行（慢速衰减）

此工作模式是通过打开全桥的两个低侧 FET 实现的，如图 7-7 所示。当两个低侧 FET 均导通时，提供电流循环路径。由于存在这种循环路径，电流利用电机和低侧 FET 的电阻衰减到接地端。由于低电势差，该电流衰减与滑行运行相比较小，因此该模式也称为慢速衰减模式。

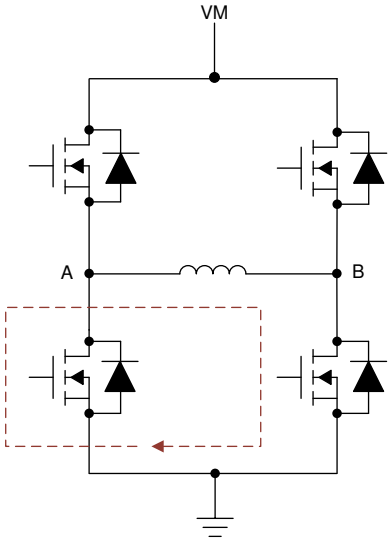


图 7-7. 制动运行（慢速衰减）

Copyright © 2024 Texas Instruments Incorporated

7.3.3 桥控制

DRV8847 器件可根据用户要求配置为四种不同的工作模式。MODE 和 IN3 引脚用于将 DRV8847 配置为以下四种不同的连接模式之一：4 引脚连接、2 引脚连接、并联桥式连接和独立桥式连接。在 DRV8847S 器件型号中，模式选择是使用 I^2C 寄存器实现的（请参阅 *节 7.5*）。表 7-2 列出了用于选择桥工作模式的配置。

备注

在 DRV88471 上，桥控制模式固定为 4 引脚连接。

表 7-2. 桥模式选择（DRV8847 硬件器件型号）

nSLEEP	MODE	IN3	连接
0	X	X	睡眠模式
1	0	X	4 引脚连接
1	1	0	2 引脚连接
1	1	1	并联桥式连接
1	Z	X	独立桥式连接

备注

在驱动器运行期间，MODE 引脚不会被锁存。因此，TI 不建议将此引脚连接到随时要使用的控制器。

7.3.3.1 4 引脚连接

在 4 引脚连接中，DRV8847 器件配置为驱动一个步进电机或两个具有全功能模式的 BDC 电机。要配置 4 引脚连接模式，请将 MODE 引脚接地并使用 IN1、IN2、IN3 和 IN4 引脚来控制驱动器。在此模式下，步进或有刷直流电机可以在所有四种模式（正向、反向、滑行和制动模式）下运行，并且步进电机可以在全步进模式或非循环半步进模式下运行。检测电阻可以连接到 ISEN12 和 ISEN34 引脚，分别用于桥 12 和桥 34 中的独立电流调节。

对以下负载使用此连接选项：

- 全步进模式下的步进电机（具有或不具有电流调节功能）
- 半步进模式下的步进电机（具有或不具有电流调节功能）
- 具有全功能 BDC 模式（正向、反向、制动和滑行模式）的单或双 BDC 电机（具有或不具有电流调节功能）

表 7-3 列出了 4 引脚连接的配置，图 7-8 展示了 4 引脚连接运行的应用示意图。

表 7-3. 4 引脚连接 (MODE = 0)

nSLEEP	IN1	IN2	IN3	IN4	OUT1	OUT2	OUT3	OUT4	功能（直流电机）
0	X	X	X	X	Z	Z	Z	Z	睡眠模式
1	0	0			Z	Z			电机滑行（快速衰减）
1	0	1			L	H			反向
1	1	0			H	L			正向
1	1	1			L	L			电机制动（慢速衰减）
1			0	0			Z	Z	电机滑行（快速衰减）
1			0	1			L	H	反向
1			1	0			H	L	正向
1			1	1			L	L	电机制动（慢速衰减）

Copyright © 2024 Texas Instruments Incorporated

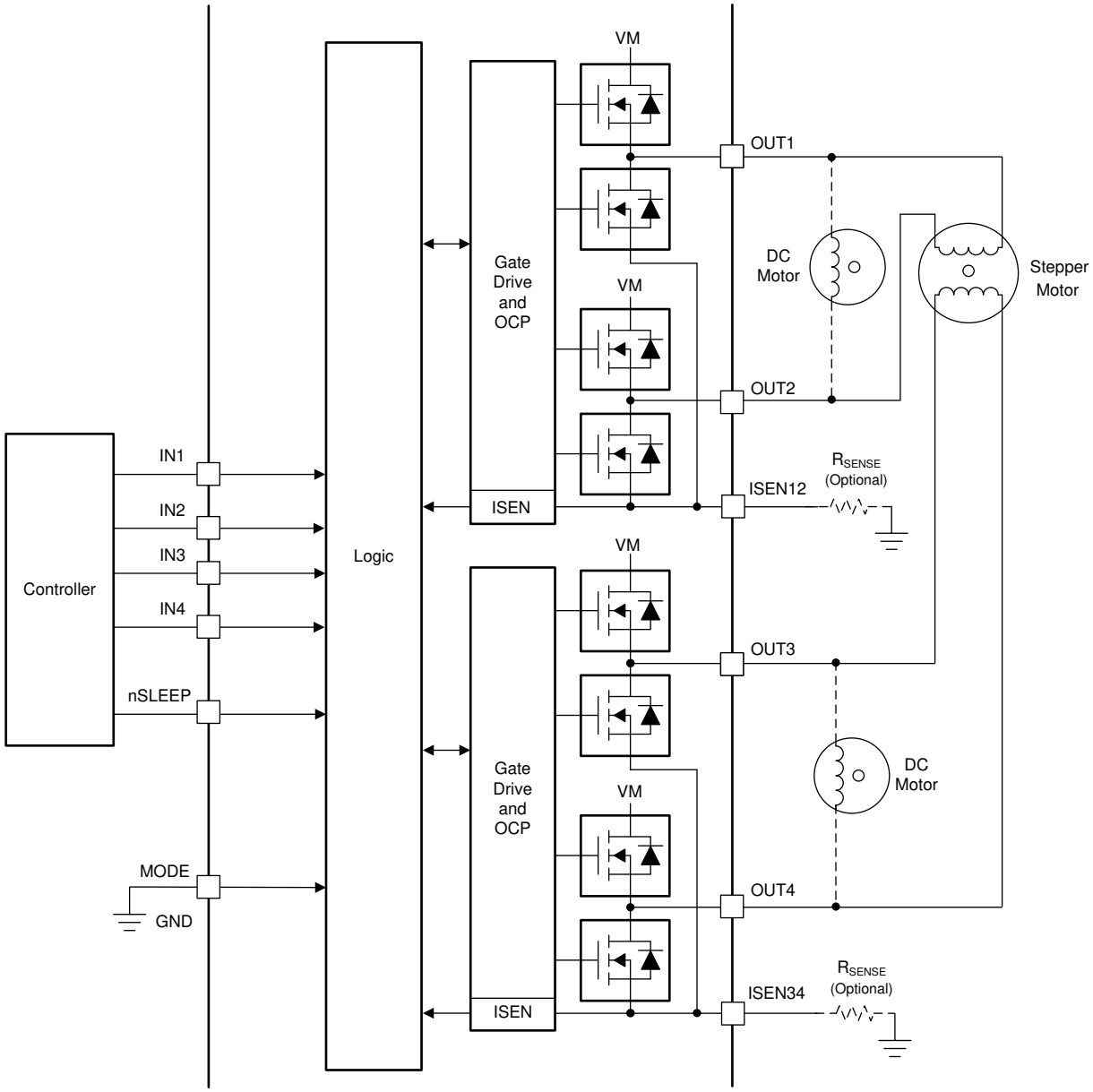


图 7-8. 4 引脚连接运行

7.3.3.2 2 引脚连接

在 2 引脚连接中，DRV8847 器件配置为通过较少数量的微控制器控制输入来驱动一个步进电机或两个 BDC 电机。要配置 2 引脚连接模式，请将 MODE 引脚连接到外部电源（3.3V 或 5V），将 IN3 引脚接地，并使用 IN1 和 IN2 引脚控制驱动器。在该模式下，步进电机或有刷直流电机仅以两种模式（正向模式和反向模式）运行，即步进电机仅支持全步进运行。这种 2 引脚连接模式对于冰箱风门等低 GPIO 应用非常有用。检测电阻可以连接到 ISEN12 和 ISEN34 引脚以进行电流调节。

对以下负载使用此连接选项：

- 全步进模式下的步进电机（具有或不具有电流调节功能）
- 具有精简功能 BDC 模式（仅限正向和反向模式）的单或双 BDC 电机（具有或不具有电流调节功能）

表 7-4 列出了 2 引脚连接的配置，图 7-9 展示了 2 引脚连接运行的应用示意图。

Copyright © 2024 Texas Instruments Incorporated

表 7-4. 2 引脚连接（MODE = 1，IN3 = 0）

nSLEEP	IN1	IN2	IN3	IN4	OUT1	OUT2	OUT3	OUT4	功能（直流电机）
0	X	X	X	X	Z	Z	Z	Z	睡眠模式
1	0		0	X	L	H			反向
1	1		0	X	H	L			正向
1		0	0	X			L	H	反向
1		1	0	X			H	L	正向

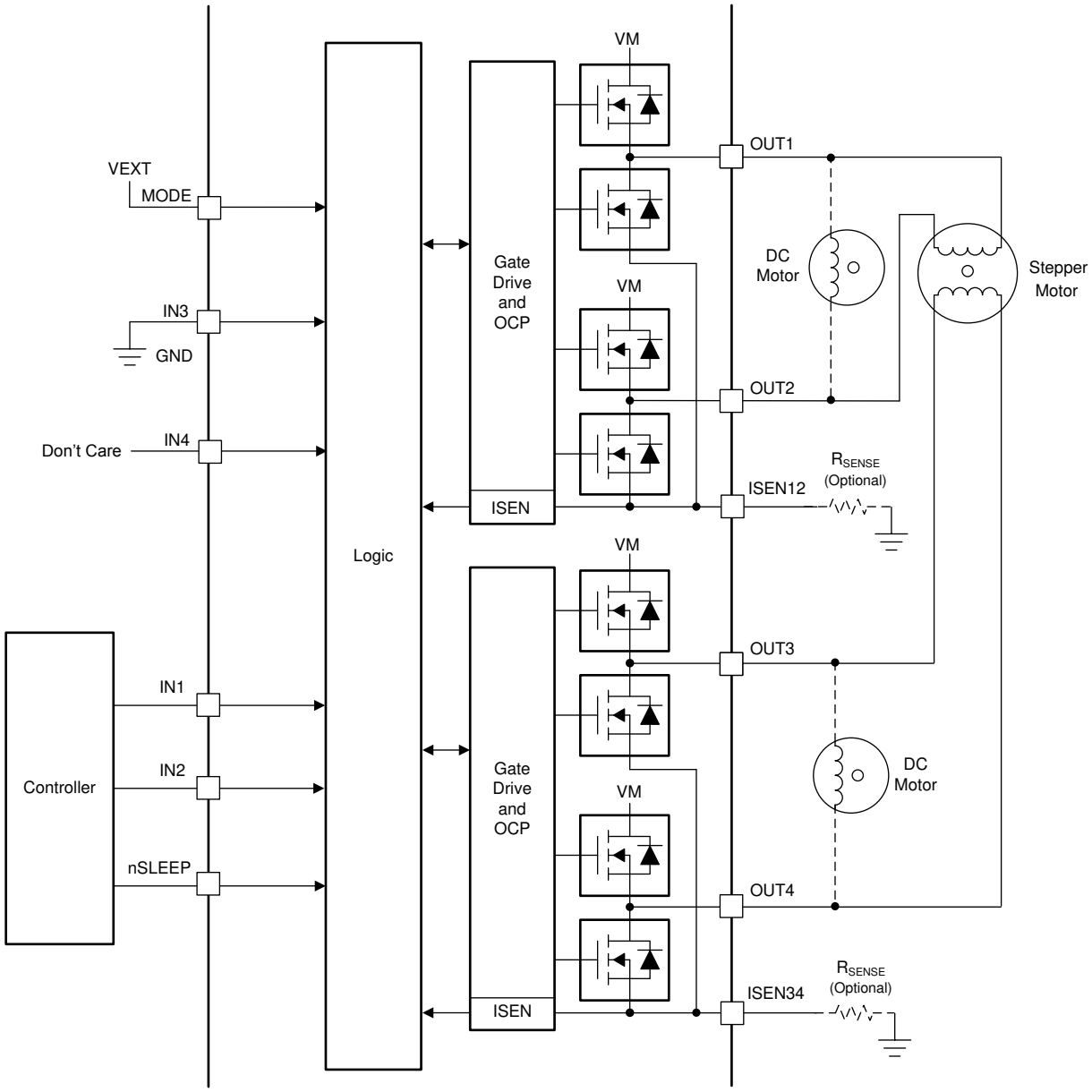


图 7-9. 2 引脚连接运行

Copyright © 2024 Texas Instruments Incorporated

备注

在此模式下，如果器件处于非睡眠状态（nSLEEP = 高电平），则两个 OUTx 引脚始终处于“ON”状态。因此，要切断连接到 OUTx 引脚的电机线圈的电源，用户必须下拉 nSLEEP 引脚。

7.3.3.3 并联桥式连接

在并联桥式连接中，DRV8847 器件配置为通过并联驱动器来驱动电流更大的 BDC 电机，从而提供两倍的电机电流。要进行并联桥式连接配置，请将 MODE 和 IN3 引脚连接到外部电源（3.3V 或 5V），并使用 IN1 和 IN2 引脚控制驱动器。该模式可以通过所有四种模式（正向、反向、滑行和制动模式）提供 BDC 电机控制的全部功能。

对以下负载使用此连接选项：

- 一个具有全功能 BDC 模式（正向、反向、制动和滑行模式）的高电流 BDC 电机（具有或不具有电流调节功能）
- 两个具有全功能 BDC 模式（正向、反向、制动和滑行模式）的独立 BDC 电机一起运行（具有或不具有电流调节功能）

表 7-5 列出了并联桥式连接的配置，图 7-10 展示了并联桥式连接运行的应用示意图。

表 7-5. 并联连接（MODE = 1，IN3 = 1）

nSLEEP	IN1	IN2	IN3	IN4	OUT1	OUT2	OUT3	OUT4	功能（直流电机）
0	X	X	X	X	Z	Z	Z	Z	睡眠模式
1	0	0	1	X	Z	Z	Z	Z	电机滑行（快速衰减）
1	0	1	1	X	L	H	L	H	反向
1	1	0	1	X	H	L	H	L	正向
1	1	1	1	X	L	L	L	L	电机制动（慢速衰减）

Copyright © 2024 Texas Instruments Incorporated

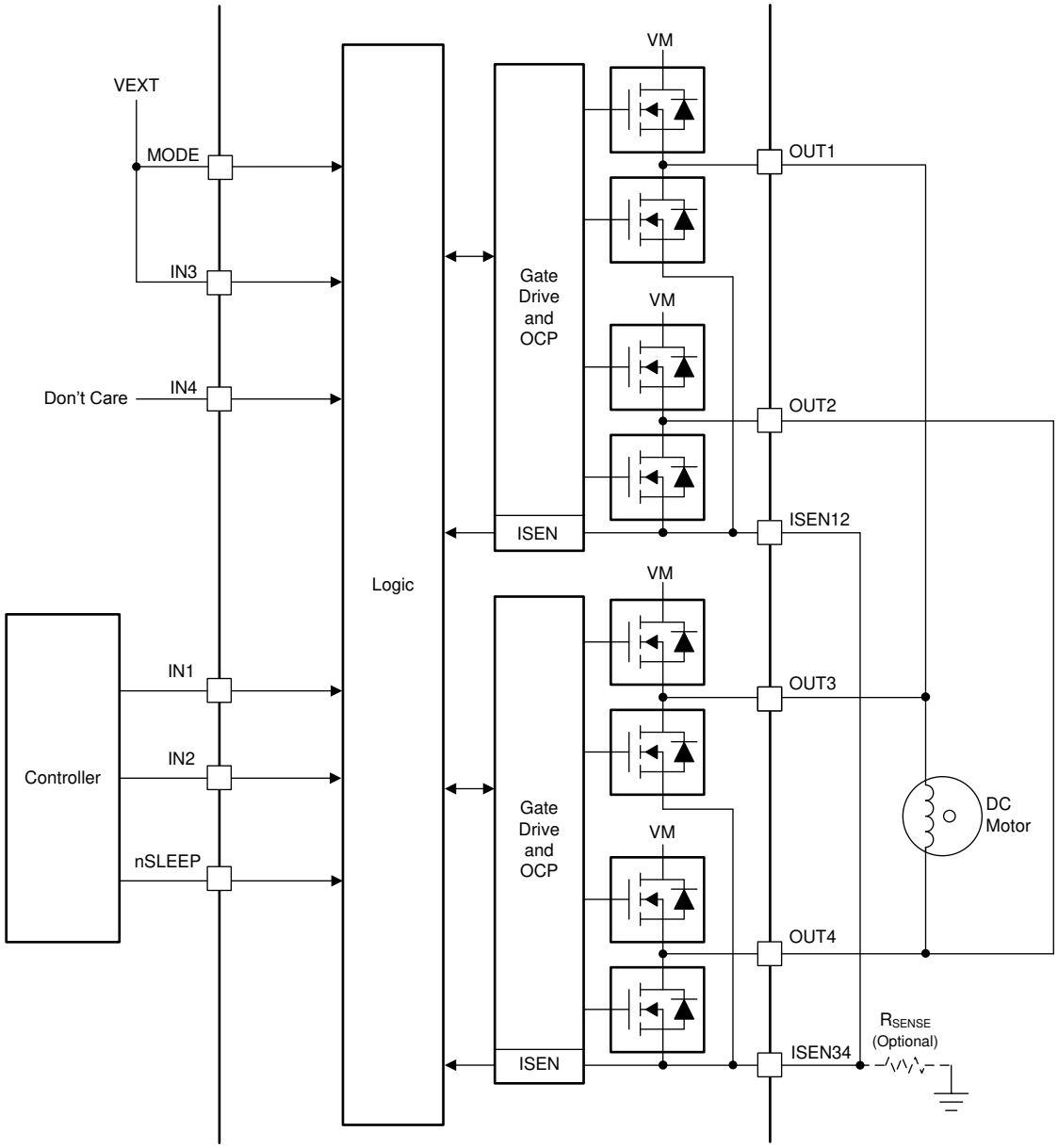


图 7-10. 并联模式运行

7.3.3.4 独立桥式连接

在独立桥式连接中，DRV8847 器件配置为独立半桥运行。要配置独立桥式连接模式，请将 MODE 引脚保持未连接状态（高阻态），并使用 IN1、IN2、IN3 和 IN4 引脚分别独立控制 OUT1、OUT2、OUT3 和 OUT4 引脚。只能控制 OUTx 引脚的两种输出状态（连接到 VM 或连接到 GND）。该模式用于驱动独立负载，例如继电器和螺线管。

对以下负载使用此连接选项：

- OUTx 和 VM/接地引脚之间连接的继电器或螺线管线圈，无电流调节功能
- 具有三种功能 BDC 模式（仅限正向、反向和制动模式）的单或双 BDC 电机（具有或不具有电流调节功能）
- 全步进模式下的步进电机（具有或不具有电流调节功能）
- 半步进模式（具有或不具有电流调节）下使用制动模式的步进电机

表 7-6 列出了独立桥式连接的配置，图 7-11 展示了独立桥式连接运行的应用示意图。

Copyright © 2024 Texas Instruments Incorporated

表 7-6. 独立桥式连接（MODE = 高阻态）

nSLEEP	IN1	IN2	IN3	IN4	OUT1	OUT2	OUT3	OUT4	功能（直流电机）
0	X	X	X	X	Z	Z	Z	Z	睡眠模式
1	0				L				OUT1 连接至 GND
1	1				H				OUT1 连接至 VM
1		0				L			OUT2 连接至 GND
1		1				H			OUT2 连接至 VM
1			0				L		OUT3 连接至 GND
1			1				H		OUT3 连接至 VM
1				0				L	OUT4 连接至 GND
1				1				H	OUT4 连接至 VM

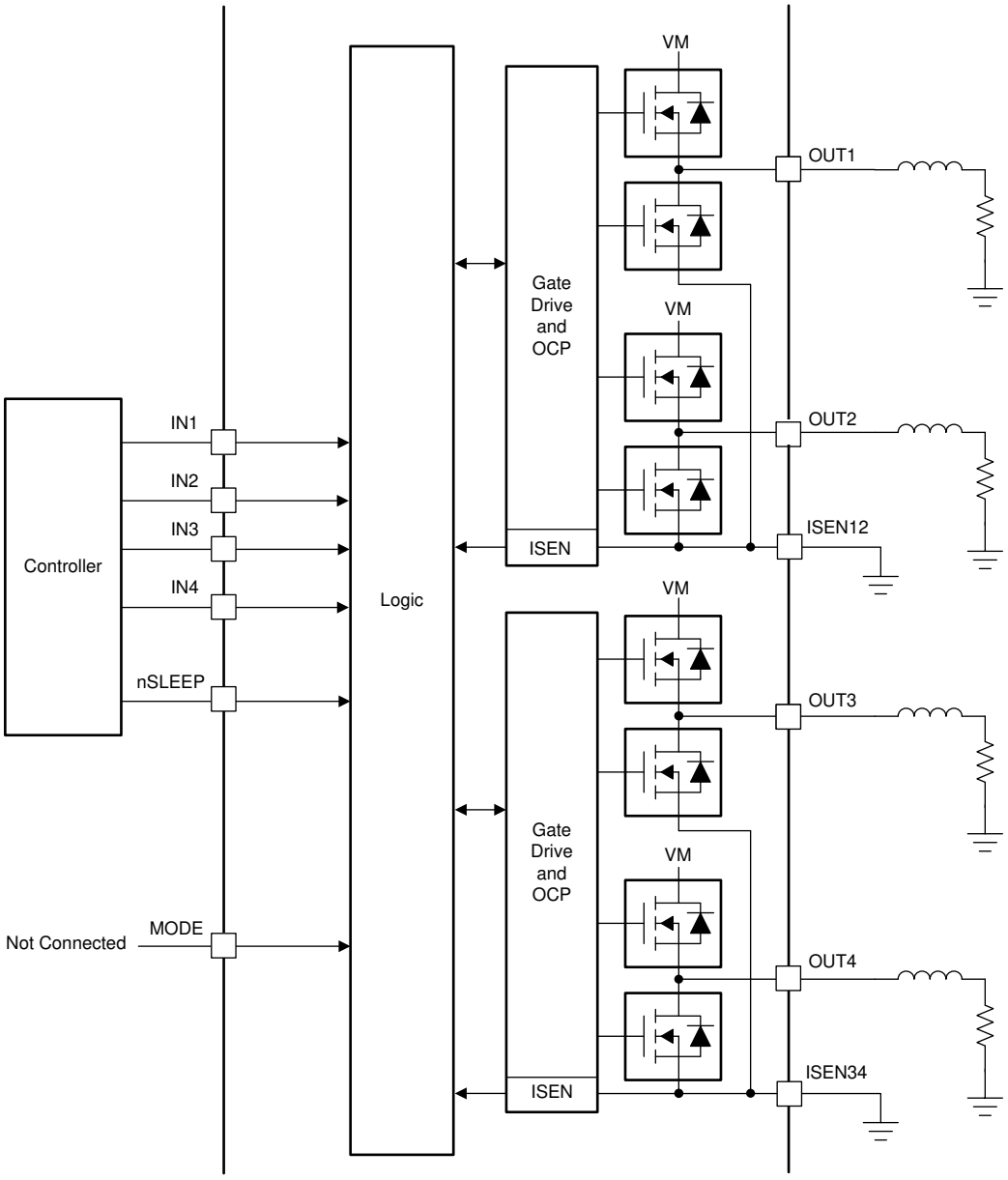


图 7-11. 独立桥式连接

Copyright © 2024 Texas Instruments Incorporated

7.3.4 电流调节

流经电机绕组的电流由一个固定关断时间的 PWM 电流调节电路进行调节。对于有刷直流电机，电流调节可用于限制电机的失速电流（也是启动电流）。

电流调节的工作原理如下：当 H 桥被启用时，通过绕组的电流以一定的速率上升，该速率取决于电源电压和绕组电感。如果电流达到电流跳变阈值，电桥会在启动下一个 PWM 周期之前禁用电流一段时间 t_{OFF}。

备注

接通电流后，ISENxx 引脚上的电压将立即被忽略一段时间 (t_{BLANK})，然后再使能电流检测电路。该消隐时间还设置了 PWM 周期的最短导通时间。

PWM 跳变电流由比较器设置，比较器将连接到 ISENxx 引脚的电流检测电阻两端的电压与基准电压进行比较。该基准电压 (V_{TRIP}) 在片上生成并决定当前跳变电平。

绕组中的满量程跳变电流的计算方法如方程式 1 所示。

$$I_{TRIP} = \text{Torque} \frac{V_{TRIP}}{R_{SENSExx}} \quad (1)$$

其中

- I_{TRIP} 是稳定电流。
- V_{TRIP} 是内部产生的跳变电压。
- $R_{SENSExx}$ 为检测电阻器的电阻。
- 扭矩是扭矩标量，其值取决于 TRQ 引脚上的输入。TRQ 引脚连接到 GND (DRV8847) 或 TRQ 位设置为 0 (DRV8847S) 时，TRQ = 100%，连接到 V_{EXT} (DRV8847) 或 TRQ 位设置为 1 (DRV8847S) 时，TRQ = 50%。

例如，如果 V_{TRIP} 电压为 150mV，而检测电阻的值为 150mΩ，则满量程跳变电流为 1A (150mV / (150mΩ) = 1A)。

备注

如果不需要电流控制，请将 ISENxx 引脚直接接地。

7.3.5 电流再循环和衰减模式

在 PWM 电流跳变运行期间，将启用 H 桥以驱动电流流过电机绕组，直至达到电流调节的跳变阈值。达到跳变电流阈值后，驱动电流会中断，但由于电机的电感性质，电流必须继续流动一段时间。这种持续电流称为再循环电流。混合衰减通过使用快速和慢速衰减来优化电流纹波，从而实现更好的电流调节。

混合衰减是慢速衰减模式和快速衰减模式的组合。在快速衰减模式下，相对 FET 的反向并联二极管导通，以使电流衰减更快，如图 7-12 所示（请参阅案例 2）。在慢速衰减模式下，通过启用桥中的两个低侧 FET 来实现绕组电流的再循环（请参阅图 7-12 中的案例 3）。混合衰减从快速衰减开始，然后进入慢速衰减。在 DRV8847 器件中，混合衰减比率为快速衰减的 25%，慢速衰减的 75%，如图 7-13 所示。

Copyright © 2024 Texas Instruments Incorporated

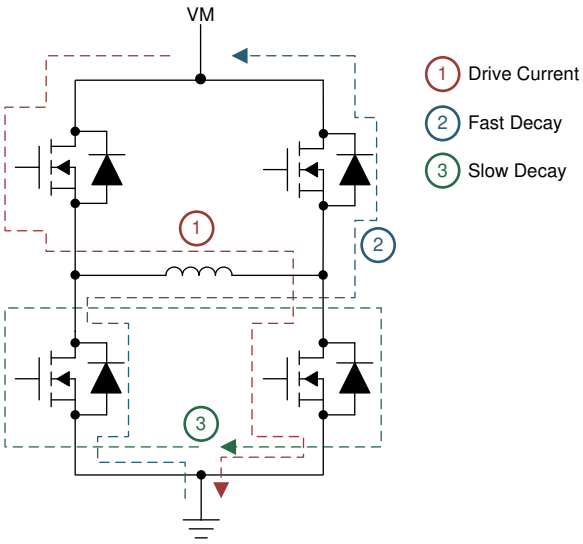


图 7-12. 衰减模式

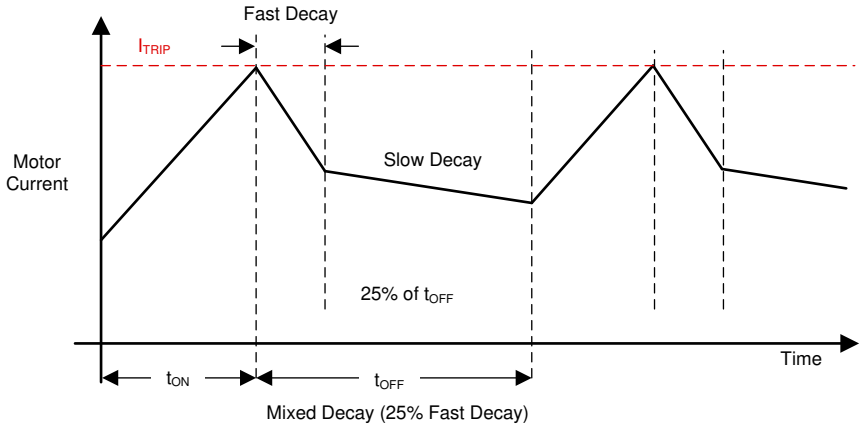


图 7-13. 混合衰减

备注

电流调节方案使用单个检测电阻，因此即使在“独立桥接口”中使用时，也始终适用于两个半桥。建议不要对使用独立半桥的负载使用电流调节。

7.3.6 扭矩标量

扭矩标量用于通过数字输入引脚 TRQ 动态调整输出电流。该扭矩标量会将输出电流的跳变基准值降低到 50%（只要 TRQ 引脚被拉高时）。扭矩标量可用于调节步进电机的保持扭矩。对于 I^2C 器件型号 (DRV8847S)，此功能是通过 I^2C 寄存器实现的。

备注

在 DRV88471 上，扭矩标量值固定为 100%。

当 TRQ 引脚被拉至低电平（或 DRV8847S 器件型号中的 TRQ 位被复位）时，可使用方程式 2 计算跳变电流。

Copyright © 2024 Texas Instruments Incorporated

$$I_{TRIP} = \frac{Torque \times V_{TRIP}}{R_{SENSExx}} \quad (2)$$

当 TRQ 引脚被拉至高电平（或 DRV8847S 器件型号中的 TRQ 位被置位）时，可使用方程式 3 计算跳变电流。

$$I_{TRIP} = 0.5\frac{V_{TRIP}}{R_{SENSExx}} \quad (3)$$

7.3.7 步进模式

DRV8847 器件用于通过以下桥配置，以全步进模式或非循环半步进模式驱动步进电机：

- 全步进模式（具有或不具有电流调节）
  - 采用 4 引脚连接配置
  - 采用 2 引脚连接配置
- 半步进模式（具有或不具有电流调节）
  - 采用 4 引脚连接配置

7.3.7.1 全步进模式（4 引脚连接）

在全步进模式下，全桥以两种模式（正向或反向模式）中的任意一种模式运行，两个绕组之间的相移为 90°。

在 4 引脚连接中，PWM 输入施加到 IN1、IN2、IN3 和 IN4 引脚上（如图 7-14 所示），并且驱动器仅在正向 (FRW) 和反向 (REV) 模式下运行。

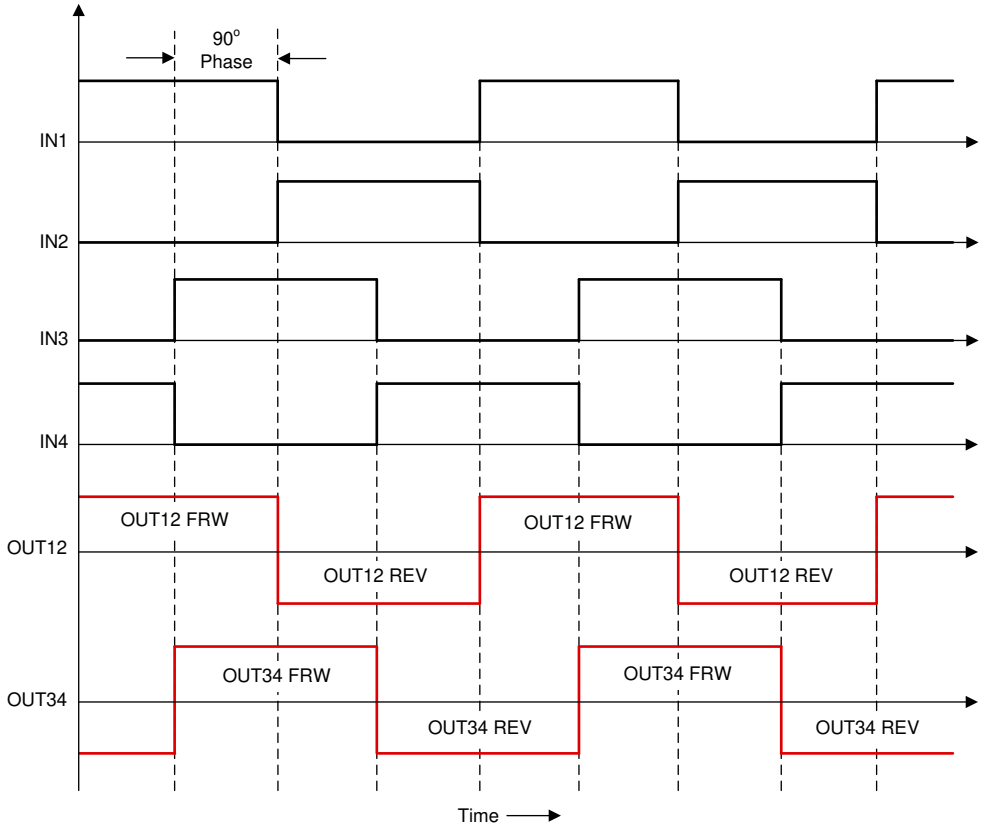


图 7-14. 采用 4 引脚连接的全步进模式

Copyright © 2024 Texas Instruments Incorporated

7.3.7.2 全步进模式（2 引脚连接）

在使用 2 引脚连接的全步进模式下，PWM 输入仅施加到 IN1 和 IN2 引脚，而 IN3 接地（请参阅*图 7-9* 部分）。图 7-15 显示了使用 2 引脚连接的步进电机的全步进模式

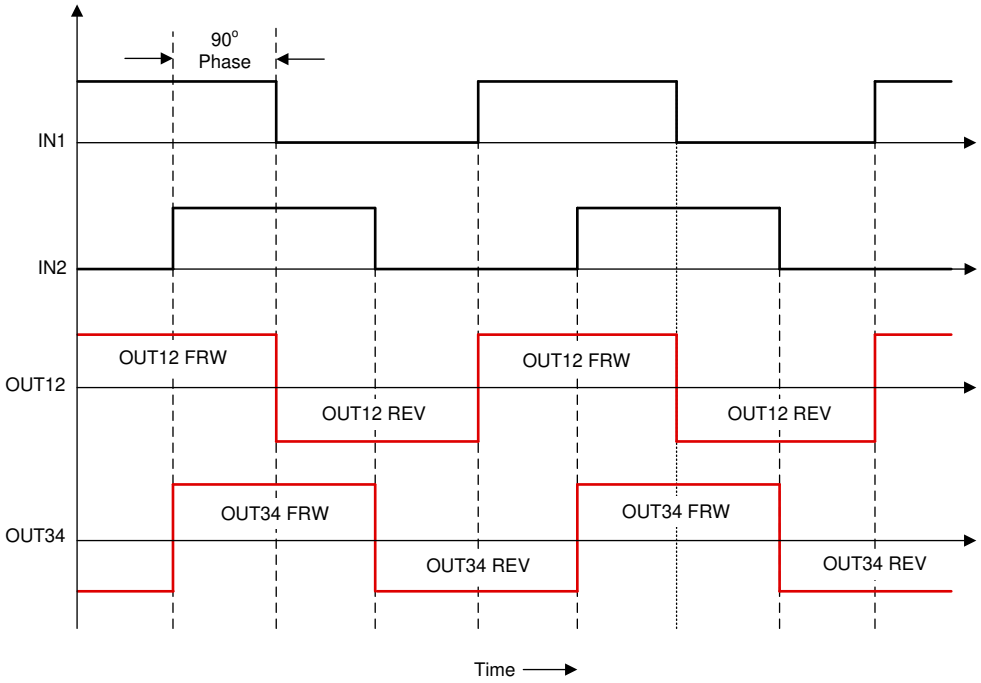


图 7-15. 采用 2 引脚连接的全步进模式

7.3.7.3 半步进模式（非驱动快速衰减）

在半步进模式下，全桥以三种模式（正向、反向或滑行模式）中的任意一种模式运行，两个绕组之间的相移为 45°。

在 4 引脚连接中，PWM 输入连接到 IN1、IN2、IN3 和 IN4 引脚上（如图 7-16 所示），并且驱动器在正向、反向和滑行模式下运行。

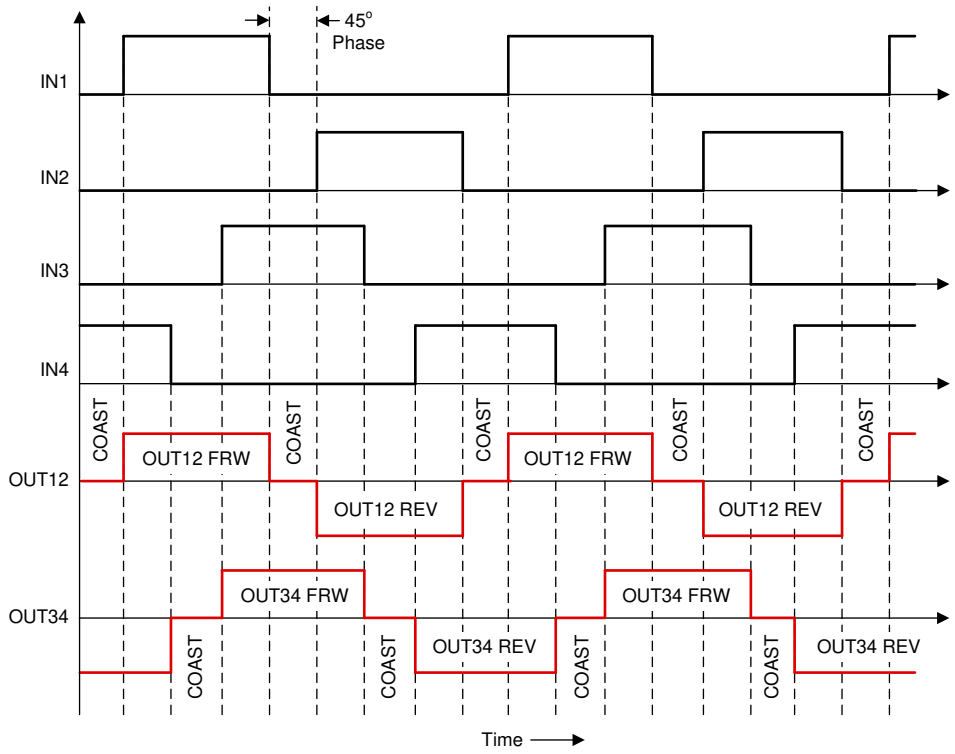


图 7-16. 使用 4 引脚连接的半步进模式（非驱动快速衰减）

Copyright © 2024 Texas Instruments Incorporated

7.3.7.4 半步进模式（非驱动慢速衰减）

在这种半步进模式下，非驱动状态为慢速衰减（制动模式）。因此，全桥以三种模式（正向、反向或制动模式）中的任意一种模式运行，两个绕组之间的相移为 45°。

在 4 引脚连接中，PWM 输入连接到 IN1、IN2、IN3 和 IN4 引脚上（如图 7-17 所示），并且驱动器在正向、反向和制动模式下运行。

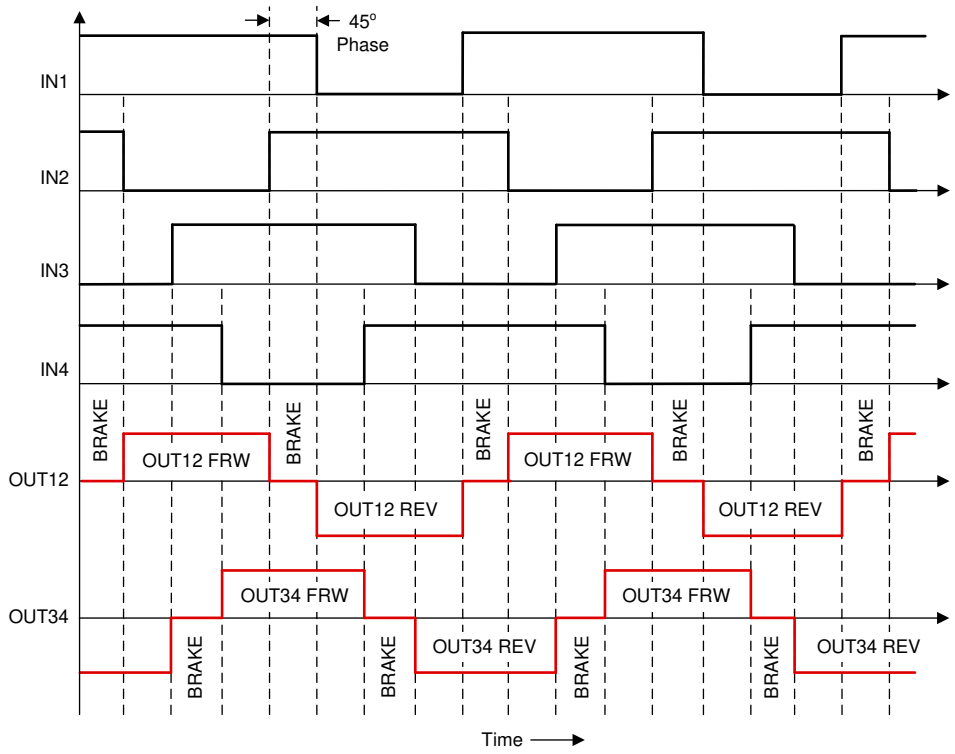


图 7-17. 使用 4 引脚连接的半步进模式（非驱动慢速衰减）

7.3.8 电机驱动器保护电路

DRV8847 器件可防止 VM 欠压、过流、开路负载和过热事件。

7.3.8.1 过流保护 (OCP)

DRV8847 通过过流保护跳变实现过流保护。每个 FET 上的 OCP 电路通过移除栅极驱动来禁用流经 FET 的电流。如果过流检测的持续时间超过 OCP 抗尖峰脉冲时间 (t_{OCP})，则会禁用 H 桥（或独立接口中的半桥）中的所有 FET 并将 nFAULT 引脚驱动为低电平。DRV8847 器件将保持禁用状态，直到达到重试时间 t_{RETRY}，而 DRV8847S 器件具有用于自动重试或锁存模式的可编程选项。

7.3.8.1.1 OCP 自动重试（硬件器件和软件器件 (OCPR = 0b)）

在此模式下发生 OCP 事件后，相应的半桥、全桥或两个桥（取决于 MODE 位）被禁用，并且 nFAULT 引脚被驱动为低电平（请参阅表 7-13 和表 7-14）。OCP 和相应的 OCPx 位在 I^2C 寄存器中被锁存为高电平（请参阅 *节 7.6*）。在 t_{RETRY} 时间过后，器件将自动恢复正常运行（电机驱动器运行且释放 nFAULT 引脚），如图 7-18 所示。OCP 和 OCPx 位保持锁存状态，直到 t_{RETRY} 周期结束。

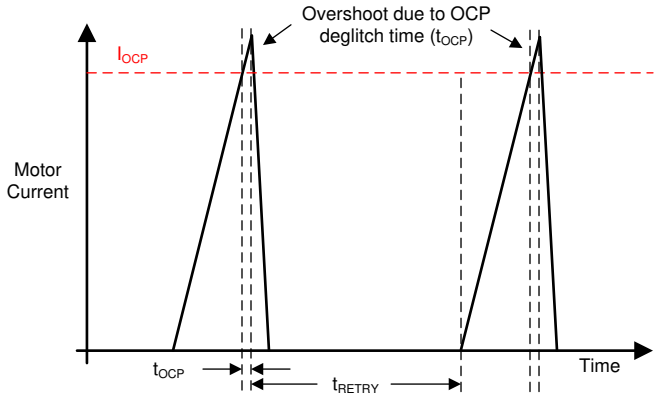


图 7-18. OCP 运行

7.3.8.1.2 OCP 锁存模式（软件器件 (OCPR = 1b)）

OCP 锁存模式仅在 DRV8847S 器件中可用。OCP 事件后，相应的半桥、全桥或两个桥（取决于 MODE 位）被禁用，并且 nFAULT 引脚被驱动为低电平。OCP 和相应的 OCPx 位在 I^2C 寄存器中被锁存为高电平（请参阅 *节 7.6*）。当 OCP 条件消失并通过 CLR_FLT 位发出清除故障命令后，继续正常运行（电机驱动器运行并且 nFAULT 引脚被释放）。

7.3.8.1.3

备注

对于电源电压 V_{VM} > 16.5V，如果 OUTx 电流（FET 电流）超过 4A，则器件运行超出器件的安全工作区 (SOA)。用户必须确保 FET 电流低于 4A，以便在电源电压高于 16.5V 的情况下确保器件安全运行。

7.3.8.2 热关断 (TSD)

如果内核温度超过热关断限值 (T_{TSD})，则会禁用 H 桥中的所有 FET 并将 nFAULT 引脚驱动为低电平。芯片温度降至指定限值范围内的值后，将自动恢复正常运行。重新开始运行后，nFAULT 引脚将被释放。

7.3.8.3 VM 欠压锁定 (VM_UVLO)

每当 VM 引脚上的电压降至低于 UVLO 下降阈值电压 V_{UVLO} 时，器件中的所有电路都会被禁用，并且所有内部逻辑被复位。当 V_{VM} 电压升至高于 UVLO 上升阈值时，将恢复运行，如图 7-19 所示。nFAULT 引脚在欠压条件下被驱动为低电平，并在再次开始运行后释放此引脚。

Copyright © 2024 Texas Instruments Incorporated

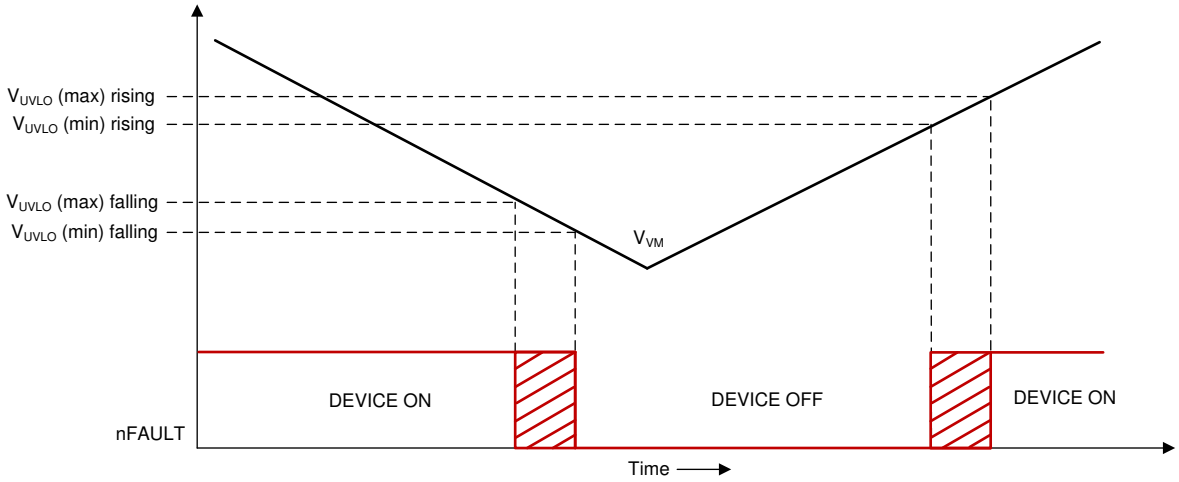


图 7-19. VM UVLO 运行

7.3.8.4 开路负载检测 (OLD)

该器件中还实现了开路负载检测功能。该诊断测试在器件上电或 DRV8847 器件退出睡眠模式（nSLEEP 引脚上的上升沿）时运行。OLD 诊断测试可以使用 OLDOD（OLD 按需）位随时在 I²C 型号器件 (DRV8847S) 中运行。

OLD 实现是在全桥和半桥上完成的。在 DRV8847 器件中，在开路负载条件下，半桥、全桥或两个桥（取决于 MODE 引脚）始终运行，并且 nFAULT 引脚会被拉至低电平。用户必须复位电源才能通过再次执行 OLD 序列来释放 nFAULT 引脚。表 7-7 列出了 DRV8847 器件的不同 OLD 场景。

在 DRV8847S 器件中，只要检测到开路负载情况，用户就可以使用 OLDBO（OLD 桥运行）位将全桥或半桥编程为运行模式或高阻态状态。此外，可以使用 OLDFD（OLD 故障禁用）位来禁用 OLD 位上的 nFAULT 信号。有关 I²C 寄存器的详细设置，请参阅 节 7.6。表 7-8 列出了 DRV8847S 器件的不同 OLD 场景。

备注

为了实现准确的 OLD 运行，用户必须确保在执行开路负载按需命令之前电机处于静止状态（或所连接负载中的电流变为零）。

表 7-7. DRV8847 中的开路负载检测

接口	负载类型	OLD	桥运行	nFAULT
4 引脚 2 引脚	全桥连接	否	是	否
	半桥连接	否	是	否
	桥开路	是	是	是
	一个半桥开路	是	是	是
并联桥	全桥连接	否	是	否
	半桥连接	否	是	否
	桥开路	是	是	是
	一个半桥开路	是	是	是
独立桥	全桥连接	否	是	否
	半桥连接	否	是	否
	桥开路	是	是	是
	一个半桥开路	是	是	是

表 7-8. DRV8847S 中的开路负载检测（全桥 12）

接口	负载类型	OLD	桥运行(1)		nFAULT	OLD BITS			
			OLDBO = 0b	OLDBO = 1b		OLD1	OLD2	OLD3	OLD4
4 引脚 2 引脚	全桥连接	否	是	是	否	0b	0b	X	X
	半桥连接	否	是	是	否	0b	0b	X	X
	桥开路	是	是	否	是	1b	1b	X	X
	一个半桥开路	是	是	否	是	1b 或 0b(2)	0b 或 1b	X	X
并联桥	全桥连接	否	是	是	否	0b	0b	X	X
	半桥连接	否	是	是	否	0b	0b	X	X
	桥开路	是	是	否	是	1b	1b	X	X
	一个半桥开路	是	是	否	是	1b 或 0b	0b 或 1b	X	X
独立桥	全桥连接	否	是	是	否	0b	0b	X	X
	半桥连接	否	是	是	否	0b	0b	X	X
	桥开路	是	是	否	是	1b	1b	X	X
	一个半桥开路	是	是	否	是	1b 或 0b	0b 或 1b	X	X

(1) 电桥的运行取决于所选的模式类型：
- 在 4 引脚或 2 引脚连接中，相应的电桥处于运行或高阻态状态。
- 在并联桥 (BDC) 接口中，两个电桥都处于运行或高阻态状态。
- 在独立桥接接口中，相应的半桥处于运行或高阻态状态。

(2) 根据哪个半桥开路，I^2C 寄存器中的相应位会被置位。

开路负载检测序列包含三种检测状态，在这三种状态下，驱动器可确保任何负载按如下方式连接或开路。

Copyright © 2024 Texas Instruments Incorporated

7.3.8.4.1 全桥开路负载检测

如图 7-20 所示，在器件唤醒期间，恒流源将 OUT1 引脚拉至 AVDD（内部）固定电压，从而允许电流从 OUT1 流向 OUT2 端子。汲取的电流完全取决于 OUT1 和 OUT2 之间的电机电阻。根据该电流和比较器阈值电压（V_{OL_HS} 和 V_{OL_LS}），比较器输出 OL1_HS 和 OL2_LS 会被设置或复位，从而确定开路负载状态。表 7-9 显示了开路负载检测的 OL1_HS 和 OL2_LS 状态。该测试会在经过 t_{WAKE} 或 t_{ON} 时间之前执行。当检测到开路负载时，nFAULT 引脚会锁存为低电平，直到器件进行下电上电或使用 nSLEEP 引脚复位器件。OUT3 和 OUT4 引脚也采用了类似的实现方式。

表 7-9. 针对全桥连接的开路负载检测

OL1_HS	OL2_LS	OLD 状态
0	0	NO OLD
0	1	
1	0	
1	1	OLD

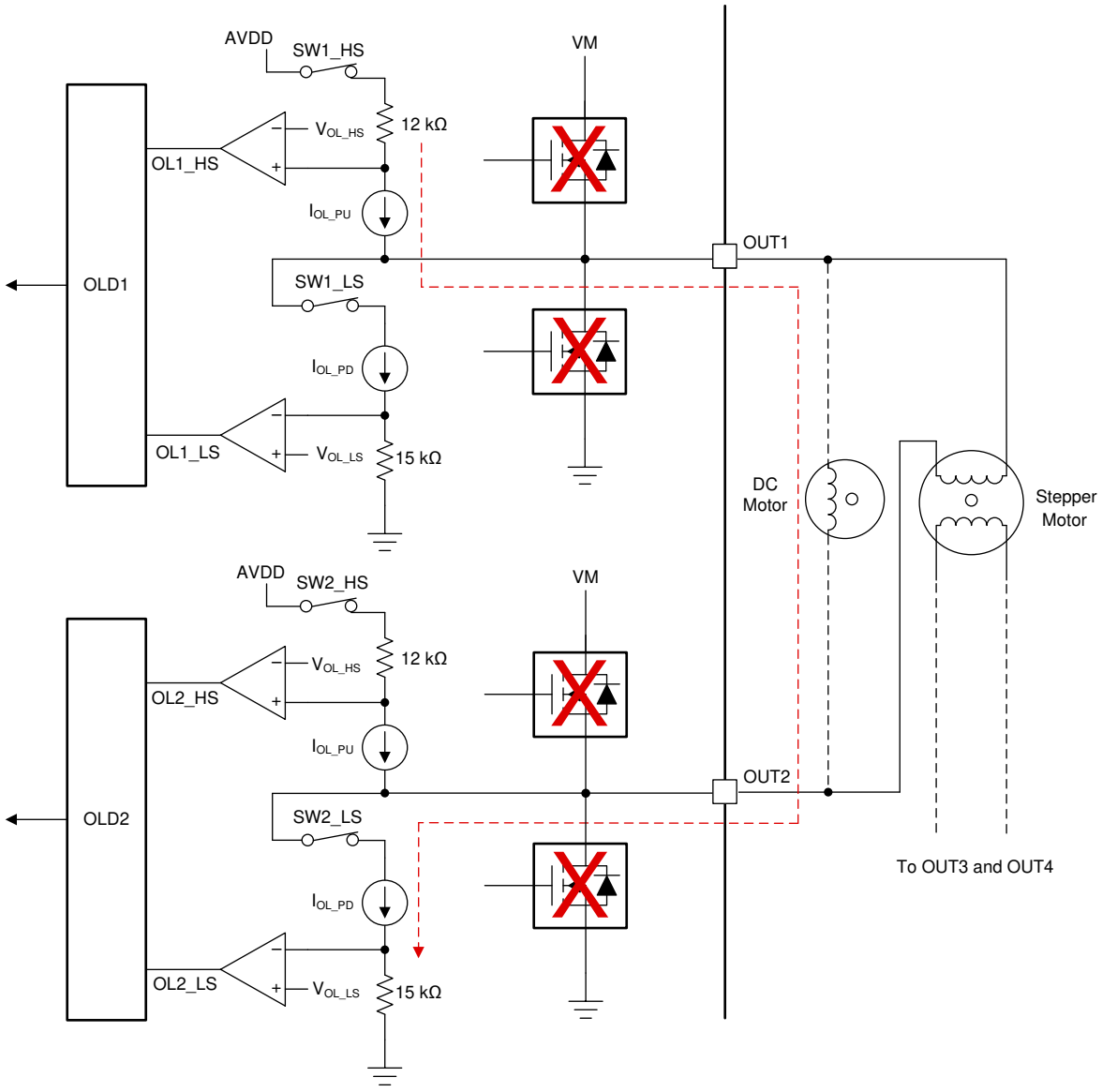


图 7-20. 全桥连接的开路负载检测电路

Copyright © 2024 Texas Instruments Incorporated

备注

AVDD 电压是内部稳压器电压，确定为最小值（V_{VM}，4.2V）。因此，对于高于 4.2V 的电源电压 (V_{VM})，该电压固定为 4.2V，否则等于电源电压 (V_{VM})。

7.3.8.4.2 负载连接至 VM

为了检测连接 VM 的负载，恒定电流源会下拉 OUT1 节点，如图 7-21 所示。这允许电流从 VM 流向 OUT1，具体取决于连接在 OUT1 和 VM 之间的负载电阻 (R_L) 的值。对于开路负载检测，较高的电流（非开路负载）将允许 OL1_LS 比较器设置比较器输出，并且较高的电流会复位比较器输出，如表 7-10 所示。

表 7-10. 针对连接 VM 的负载的开路负载检测

OL1_LS	OLD 状态
0	NO OLD
1	OLD

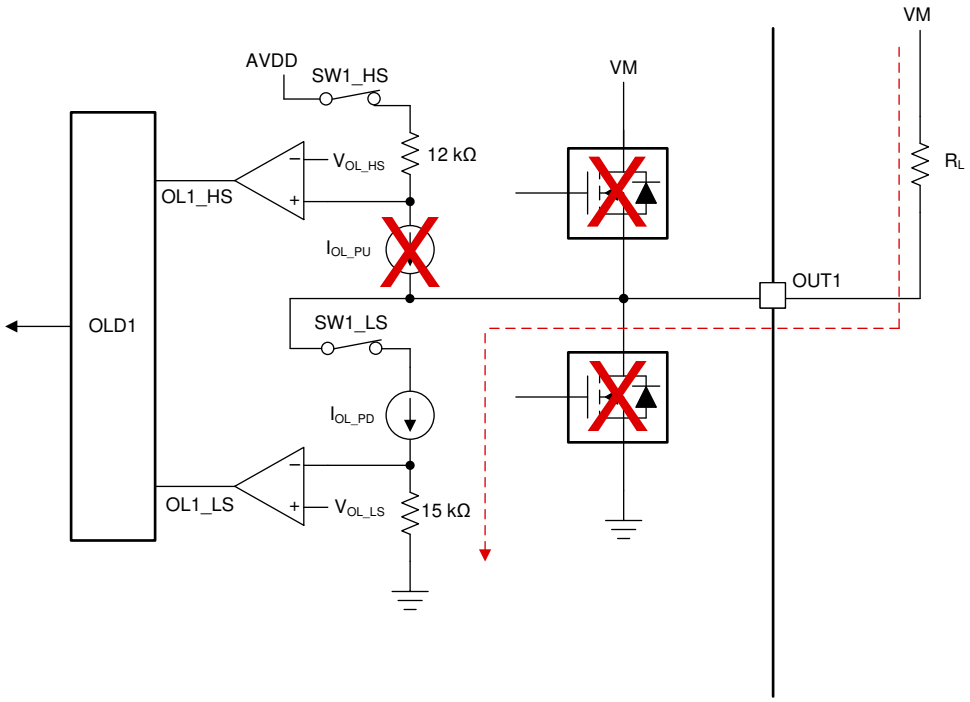


图 7-21. 负载连接到 VM 的开路负载检测电路

Copyright © 2024 Texas Instruments Incorporated

7.3.8.4.3 负载连接至 GND

为了检测接地负载，OUT1 节点由内部电流源和内部 (4.2V) 固定电压上拉，如图 7-22 所示。这允许电流从 OUT1 流向 GND，具体取决于连接在 OUT1 和 GND 之间的负载电阻 (R_L) 的值。较高的电流（非开路负载）将允许 OL1_HS 比较器设置比较器输出，并且较高的电流会复位比较器输出，如表 7-11 所示。

表 7-11. 针对接地负载的开路负载检测

OL1_HS	OLD 状态
0	NO OLD
1	OLD

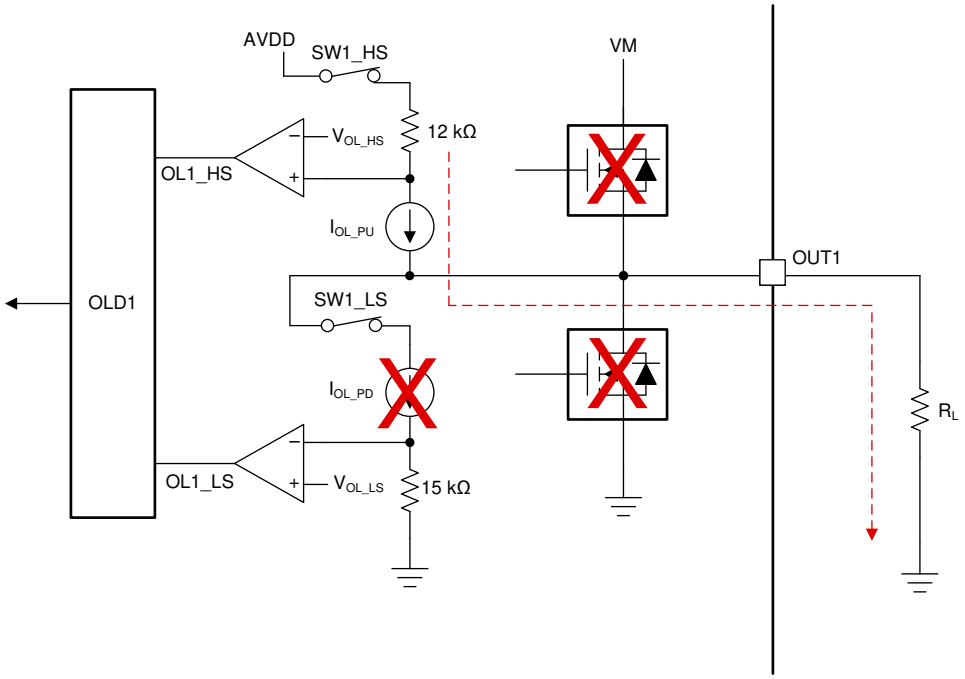


图 7-22. 负载连接到 GND 的开路负载检测电路

7.4 器件功能模式

DRV8847 器件处于活动状态，直到 nSLEEP 引脚被拉至逻辑低电平。在睡眠模式下，内部电路（电荷泵和稳压器）被禁用，并且所有内部 FET 均被禁用（高阻态状态）。

如果 nSLEEP 引脚被拉至逻辑高电平、器件会自动进入工作模式。必须在器件为输入做好准备之前经过 t_{WAKE}。加电期间，nFAULT 引脚短时间有效。表 7-12 介绍了各种功能模式。

当发生 VM 欠压 (UVLO)、过流 (OCP)、开路负载检测 (OLD) 和热关断 (TSD) 时，DRV8847 器件会进入故障模式。每个故障的功能取决于表 7-13（DRV8847 器件）和表 7-14（DRV8847S 器件）中列出的故障类型。

备注

必须经过 t_{SLEEP} 时间后，器件才能进入睡眠模式。

表 7-12. 功能模式

MODE	条件	H 桥	内部电路
工作	2.7V < V_{VM} < 18V nSLEEP 引脚 = 1	工作	工作
休眠	2.7V < V_{VM} < 18V nSLEEP 引脚 = 0	禁用	禁用
故障	满足任何故障条件	取决于故障	取决于故障

表 7-13. DRV8847 的故障支持

故障	接口	条件	报告	H 桥	内部电路	恢复
VM 欠压 (VM_UVLO)	所有接口	VM < V_{UVLO}	nFAULT	两个 H 桥均处于高阻态状态	关断	**自动：** VM > V_{UVLO}
过流 (OCP)	4 引脚 2 引脚	I > I_{OCP}	nFAULT	相应 H 桥处于高阻态状态	工作	**自动：** t_{RETRY}
	并联桥			两个 H 桥均处于高阻态状态		
	独立桥			相应半桥处于高阻态状态		
开路负载检测 (OLD)	4 引脚	全桥开路	nFAULT	H 桥处于运行模式	工作	**下电上电/复位：** OUTx 已连接
	2 引脚 并联桥	全桥开路	nFAULT	两个 H 桥均处于运行模式		
	独立桥	半桥开路	nFAULT	运行模式下的半桥		
热关断 (TSD)	所有接口	T_J > T_{TSD} （最低 150°C）	nFAULT	两个 H 桥均处于高阻态状态	工作	T_J < T_{TSD} （T_{HYS} 典型值为 40°C）

Copyright © 2024 Texas Instruments Incorporated

表 7-14. DRV8847S 的故障支持

故障	MODE	条件	报告	H 桥	内部电路	恢复
VM 欠压 (VM_UVLO)	所有接口	VM < V_{UVLO}	nFAULT	两个 H 桥均处于高阻态状态	关断	**自动：** VM > V_{UVLO}
过流 (OCP)	4 引脚 2 引脚	I > I_{OCP}	nFAULT	相应 H 桥处于高阻态状态	工作	**自动：** t_{RETRY}
	并联桥			两个 H 桥均处于高阻态状态		
	独立桥式连接			相应半桥处于高阻态状态		
开路负载检测 (OLD)	4 引脚	全桥开路	nFAULT	H 桥处于运行或高阻态状态(1)	工作	**下电上电/复位：** OUTx 已连接
	2 引脚 并联桥	全桥开路	nFAULT	两个 H 桥均处于运行或高阻态状态		
	独立桥	半桥开路	nFAULT	半桥处于运行或高阻态状态		
热关断 (TSD)	所有接口	T_J > T_{TSD} （最低 150°C）	nFAULT	两个 H 桥均处于高阻态状态	工作	T_J < T_{TSD} （T_{HYS} 典型值为 40°C）

(1) OLD 中桥的状态取决于表 7-19 中列出的 OLDBO 位。

Copyright © 2024 Texas Instruments Incorporated

7.5 编程

本节仅适用于 DRV8847S 器件（I²C 型号）。

7.5.1 I²C 通信

7.5.1.1 I²C 写入

为了在 I2C 总线上进行写入，主器件在总线上发送一个带有 7 位从器件地址的启动条件。另外，最后一个位（R/W 位）设置为 0b，表示一次写入。在从器件发送确认位后，主器件随后发送要写入的寄存器的地址。从器件再次发送一个确认 (ACK) 信号，以通知主器件从器件已准备就绪。在此过程之后，主器件发送 8 位写数据，并以停止条件终止传输。

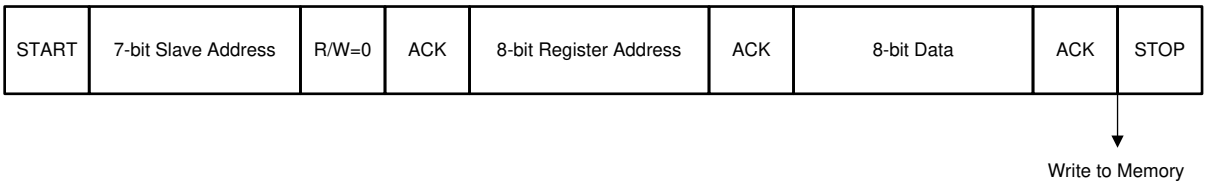


图 7-23. I²C 写入序列

7.5.1.2 I²C 读取

要从从器件读取数据，主器件必须首先与要从中读取寄存器的从器件通信。此通信由主器件完成，传输启动类似于写入过程，即设置 R/W 位等于 0b 的地址（表示一次写入）。主器件随后发送要读取的寄存器的地址。当从器件确认此寄存器地址时，主器件再次发送启动条件，后跟 R/W 位设置为 1b 的从器件地址（表示一次读取）。在此过程之后，从器件确认读取请求，主器件释放 SDA 总线，但继续为从器件提供时钟。

在事务的这一部分，主器件成为主接收器，从器件成为从发送器。主器件继续发送时钟脉冲，但释放 SDA 线，以便从器件可以传输数据。在字节末尾，主器件发送一个否定确认 (NACK) 信号，向从器件发送信号以停止通信并释放总线。然后，主器件发送一个停止条件。

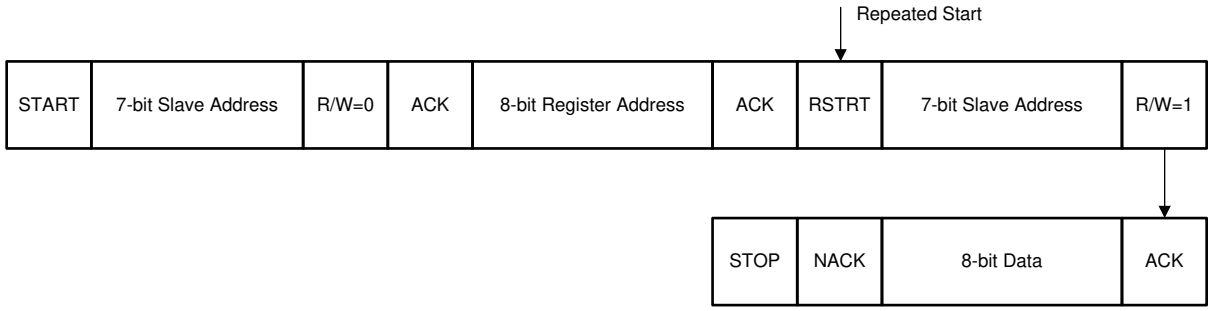


图 7-24. I²C 读取序列

Copyright © 2024 Texas Instruments Incorporated

7.5.2 多从运行

多从运行用于通过一条 I²C 线路控制多个 DRV8847S 器件，如图 7-25 所示。DRV8847 器件的默认器件地址为 0x60（7 位地址）。因此，可以使用该地址访问任何 DRV8847S 器件。对 4 个所连接器件（如图 7-25 所示）中的 1 个进行编程的多从配置步骤如下：

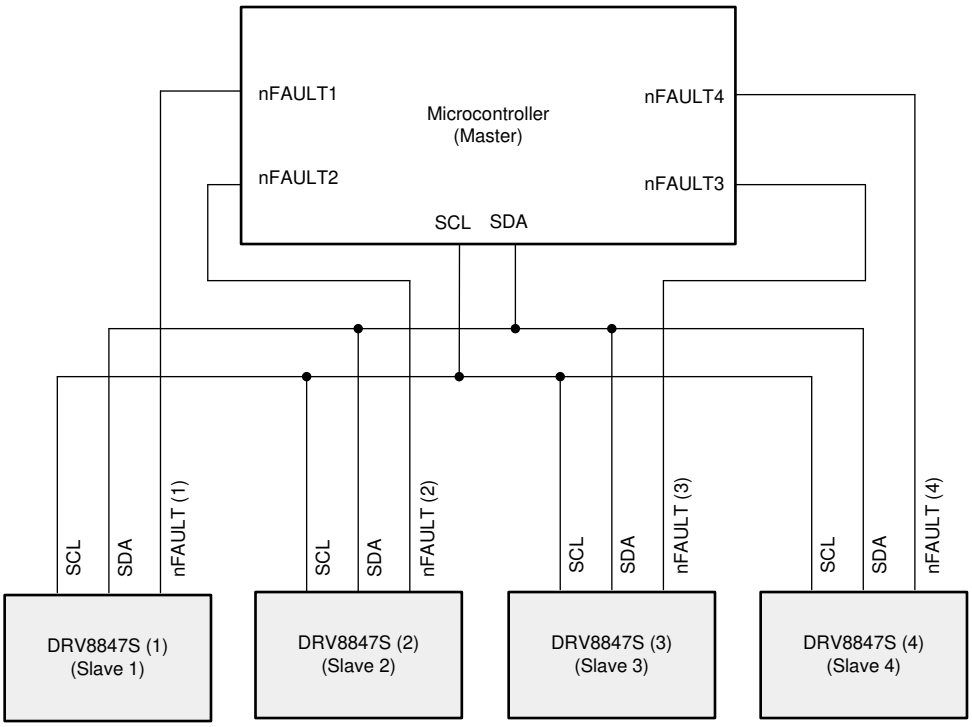


图 7-25. DRV8847S 的多从运行

- 通过将全部所连接器件的 DISFLT 位（IC2_CON 寄存器）写入 1b，为实现多从运行配置了 DRV8847S 器件型号。该步骤将禁用所有 DRV8847S 的 nFAULT 输出引脚，以避免主和从 I²C 器件之间产生任何竞态条件。
- 将三个器件（2、3、4）的 nFAULT 引脚（nFAULT2、nFAULT3 和 nFAULT4 引脚）拉至低电平，以释放从器件（器件 2、器件 3 和器件 4）的 I²C 总线。现在，只有器件 1 连接到主器件。
- 由于控制器上只连接了一个器件 DRV8847S (1)，因此其从器件地址可以从默认值 0x60（7 位地址）重新编程为另一个唯一地址。
- 类似地，其他三个器件（器件 2、器件 3 和器件 4）的从地址 (SLAVE_ADDR) 可以通过 nFAULT 引脚的组合按顺序重新编程为唯一地址。
- 当所有从地址被重新编程时，将 DISFLT 位写入 0b（IC2_CON 寄存器）。这将启用用于故障标记的 nFAULT 输出引脚。
- 所有 nFAULT 引脚均被释放，并且多从器件设置完成。现在，可以使用新重新编程的地址访问所有连接的从器件。
- 在发生电源复位 (nSLEEP) 的情况下，应对任何器件重复上述步骤。。

Copyright © 2024 Texas Instruments Incorporated

7.6 寄存器映射

表 7-15 列出了 DRV8847 器件的存储器映射 I²c 寄存器。I²C 寄存器用于配置 DRV8847S 器件和进行器件诊断。

备注

请勿修改未在寄存器映射中列出的保留寄存器或地址（表 7-15）。写入这些寄存器可能会产生意外的影响。对于所有保留位，默认值为 0b。

表 7-15. I²C 寄存器

地址	首字母缩写词	寄存器名称	7	6	5	4	3	2	1	0	访问	部分
0x00	SLAVE_ADDR	从器件地址	RSVD	SLAVE_ADDR							RW	
0x01	IC1_CON	IC1 控制	TRQ	IN4	IN3	IN2	IN1	I2CBC	MODE		RW	查找
0x02	IC2_CON	IC2 控制	CLRFLT	DISFLT	RSVD	DECAY	OCPR	OLDOD	OLDFD	OLDBO	RW	转到
0x03	SLR_STATUS1	压摆率和故障状态 1	RSVD	SLR	RSVD	nFAULT	OCP	OLD	TSDF	UVLOF	RW	查找
0x04	STATUS2	故障状态 2	OLD4	OLD3	OLD2	OLD1	OCP4	OCP3	OCP2	OCP1	R	转到

复杂的位访问类型经过编码可适应小型表单元。表 7-16 显示了适用于此部分中访问类型的代码。

表 7-16. 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

Copyright © 2024 Texas Instruments Incorporated

7.6.1 从地址寄存器（地址 = 0x00）[复位 = 0x60]

图 7-26 中显示了从地址，表 7-17 中对此进行了介绍。

图 7-26. 从地址寄存器

7	6	5	4	3	2	1	0
RSVD	SLAVE_ADDR						
R-0b	R/W-1100000b						

表 7-17. 从地址寄存器字段说明

位	字段	类型	复位	说明
7	RSVD	R	0b	保留
6-0	SLAVE_ADDR	读/写	1100000b	从地址（8 位） 默认值为 0x60

7.6.2 IC1 控制寄存器（地址 = 0x01）[复位 = 0x00]

图 7-27 中显示了 IC1 控制，表 7-18 中对此进行了介绍。

图 7-27. IC1 控制寄存器

7	6	5	4	3	2	1	0
TRQ	IN4	IN3	IN2	IN1	I2CBC	MODE	
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-00b	

表 7-18. IC1 控制寄存器字段说明

位	字段	类型	复位	说明
7	TRQ	R/W	0b	0b = 扭矩标量设置为 100% 1b = 扭矩标量设置为 50%
6	IN4	R/W	0b	INx 位用于控制桥运行配置。
5	IN3	R/W	0b	INx 位用于控制桥运行配置。
4	IN2	R/W	0b	INx 位用于控制桥运行配置。
3	IN1	R/W	0b	INx 位用于控制桥运行配置。
2	I2CBC	R/W	0b	0b = 使用 INx 引脚配置桥控制 1b = 使用 INx 位配置桥控制
1-0	MODE	读/写	00b	00b = 4 引脚连接 01b = 2 引脚连接 10b = 并联连接 11b = 独立模式

Copyright © 2024 Texas Instruments Incorporated

7.6.3 IC2 控制寄存器（地址 = 0x02）[复位 = 0x00]

图 7-28 中显示了 IC2 控制，表 7-19 中对此进行了介绍。

图 7-28. IC2 控制寄存器

7	6	5	4	3	2	1	0
CLRFLT	DISFLT	RSVD	DECAY	OCPR	OLDOD	OLDFD	OLDBO
R/W-0b	R/W-0b	R-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-19. IC2 控制寄存器字段说明

位	字段	类型	复位	说明
7	CLRFLT	R/W	0b	设置该位以发出清除 FAULT 命令。该命令清除除 OLD 和 OLDx 位以外的所有 FAULT 位。清除所有故障后，该位复位为 0b。 0b = 未发出清除 FAULT 命令 1b = 已发出清除 FAULT 命令
6	DISFLT	R/W	0b	0b = nFAULT 引脚未禁用 1b = nFAULT 引脚被禁用
5	RSVD	R	0b	保留
4	DECAY	R/W	0b	0b = 25% 快速衰减 1b = 100% 慢速衰减
3	OCPR	R/W	0b	0b = OCP 自动重试模式 1b = OCP 锁存模式
2	OLDOD	R/W	0b	0b = 空闲 1b = 已激活 OLD 按需
1	OLDFD	R/W	0b	0b = OLD 上的故障信令 1b = OLD 上无故障信令
0	OLDBO	R/W	0b	0b = 电桥在 OLD 上运行 1b = OLD 上的桥高阻态

Copyright © 2024 Texas Instruments Incorporated

7.6.4 压摆率和故障状态 1 寄存器（地址 = 0x03）[复位 = 0x40]

图 7-29 显示了故障状态 1，表 7-20 中对此进行了介绍。

图 7-29. 故障状态 1 寄存器

7	6	5	4	3	2	1	0
RSVD	SLR	RSVD	nFAULT	OCP	OLD	TSDF	UVLOF
R-0b	R/W-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-20. 故障状态 1 寄存器字段说明

位	字段	类型	复位	说明
7	RSVD	R	0b	保留
6	SLR	R/W	0b	0b = 150ns 1b = 300ns
5	RSVD	R	0b	保留
4	nFAULT	R	0b	0b = 未检测到故障（镜像 nFAULT 引脚） 1b = 检测到故障
3	OCP	R	0b	0b = 未检测到 OCP 1b = 检测到 OCP
2	OLD	R	0b	0b = 未检测到开路负载 1b = 检测到开路负载
1	TSDF	R	0b	0b = 未检测到 TSD 故障 1b = 检测到 TSD 故障
0	UVLOF	R	0b	0b = 未检测到 UVLO 故障 1b = 检测到 UVLO 故障

Copyright © 2024 Texas Instruments Incorporated

7.6.5 故障状态 2 寄存器（地址 = 0x04）[复位 = 0x00]

图 7-30 显示了故障状态 2，表 7-21 中对此进行了介绍。

图 7-30. 故障状态 2 寄存器

7	6	5	4	3	2	1	0
OLD4	OLD3	OLD2	OLD1	OCP4	OCP3	OCP2	OCP1
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-21. 故障状态 2 寄存器字段说明

位	字段	类型	复位	说明
7	OLD4	R	0b	0b = 在 OUT4 上未检测到开路负载 1b = 在 OUT4 上检测到开路负载
6	OLD3	R	0b	0b = 在 OUT3 上未检测到开路负载 1b = 在 OUT3 上检测到开路负载
5	OLD2	R	0b	0b = 在 OUT2 上未检测到开路负载 1b = 在 OUT2 上检测到开路负载
4	OLD1	R	0b	0b = 在 OUT1 上未检测到开路负载 1b = 在 OUT1 上检测到开路负载
3	OCP4	R	0b	0b = 在 OUT4 上未检测到 OCP 1b = 在 OUT4 上检测到 OCP
2	OCP3	R	0b	0b = 在 OUT3 上未检测到 OCP 1b = 在 OUT3 上检测到 OCP
1	OCP2	R	0b	0b = 在 OUT2 上未检测到 OCP 1b = 在 OUT2 上检测到 OCP
0	OCP1	R	0b	0b = 在 OUT1 上未检测到 OCP 1b = 在 OUT1 上检测到 OCP

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

8.1 应用信息

DRV8847 器件用于步进或有刷直流电机控制应用。

8.2 典型应用

用户可以为步进电机、双 BDC 电机应用配置 DRV8847，如本节所述。

8.2.1 步进电机应用

图 8-1 显示了 DRV8847 器件驱动步进电机的典型应用。

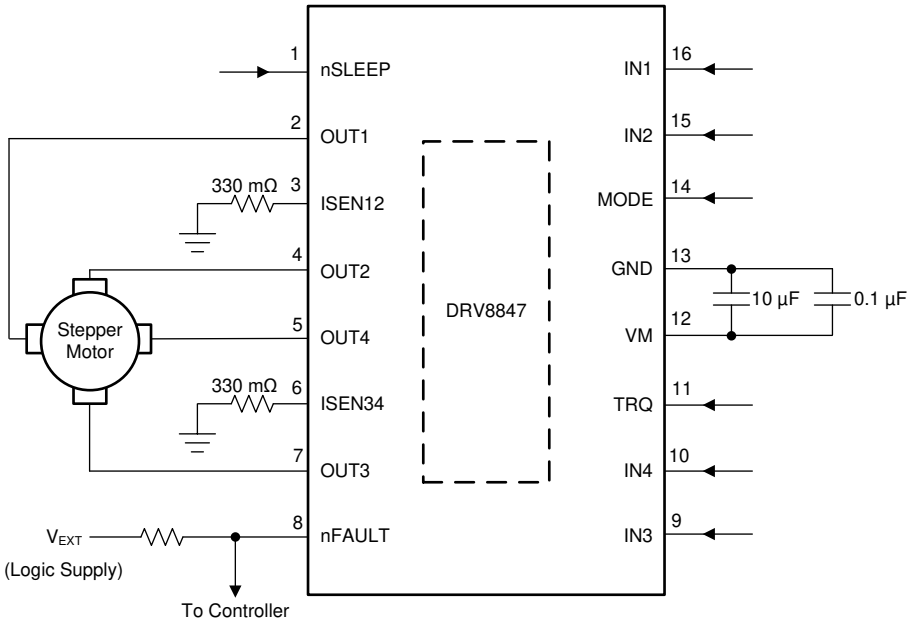


图 8-1. 驱动步进电机的器件的典型应用原理图

8.2.1.1 设计要求

表 8-1 列出了系统设计的设计输入参数。

表 8-1. 设计参数

设计参数	基准	示例值
电机电源电压	V_M	12V
电机绕组电阻	R_L	34Ω/相
电机绕组电感	L_L	33mH/相
电机均方根电流	I_{RMS}	350mA
目标跳变电流	I_{TRIP}	350mA
跳变电流基准电压（内部电压）	V_{TRIP}	150mV

8.2.1.2 详细设计过程

Copyright © 2024 Texas Instruments Incorporated

8.2.1.2.1 步进模式

DRV8410 DRV8411 DRV8411A 用于通过以下桥配置，以全步进模式或非循环半步进模式驱动步进电机：

- 全步进模式
- 慢速衰减下的半步进模式
- 快速衰减下的半步进模式

8.2.1.2.1.1 全步进运行

在全步进模式下，全桥以两种模式（正向或反向模式）中的任意一种模式运行，两个绕组之间的相移为 90°。全步进是在固件中实现的更简单的步进控制模式，可在高速下提供更佳性能。

控制器将 PWM 输入施加到 AIN1、AIN2、BIN1 和 BIN2 引脚上（如图 8-2 所示），并且驱动器仅在正向 (FRW) 和反向 (REV) 模式下运行。

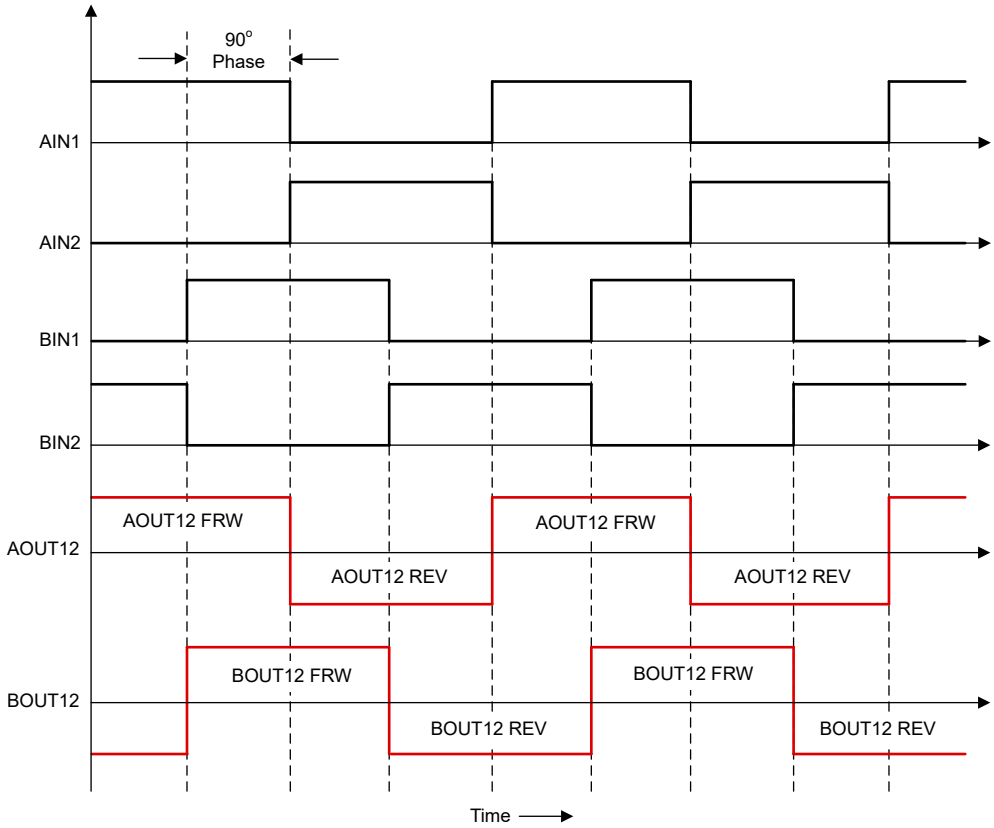


图 8-2. 全步进时序图

Copyright © 2024 Texas Instruments Incorporated

8.2.1.2.1.2 快速衰减下的半步进运行

在半步进模式下，全桥以三种模式（正向、反向或滑行模式）之一运行，以将转子定位在两个全步进位置之间的中间位置。滑行状态允许电机绕组中的电流快速衰减至 0A。这种模式最适用于高速半步进时。

控制器将 PWM 输入施加到 AIN1、AIN2、BIN1 和 BIN2 引脚上（如图 8-3 所示），并且驱动器仅在正向、反向和滑行模式下运行。

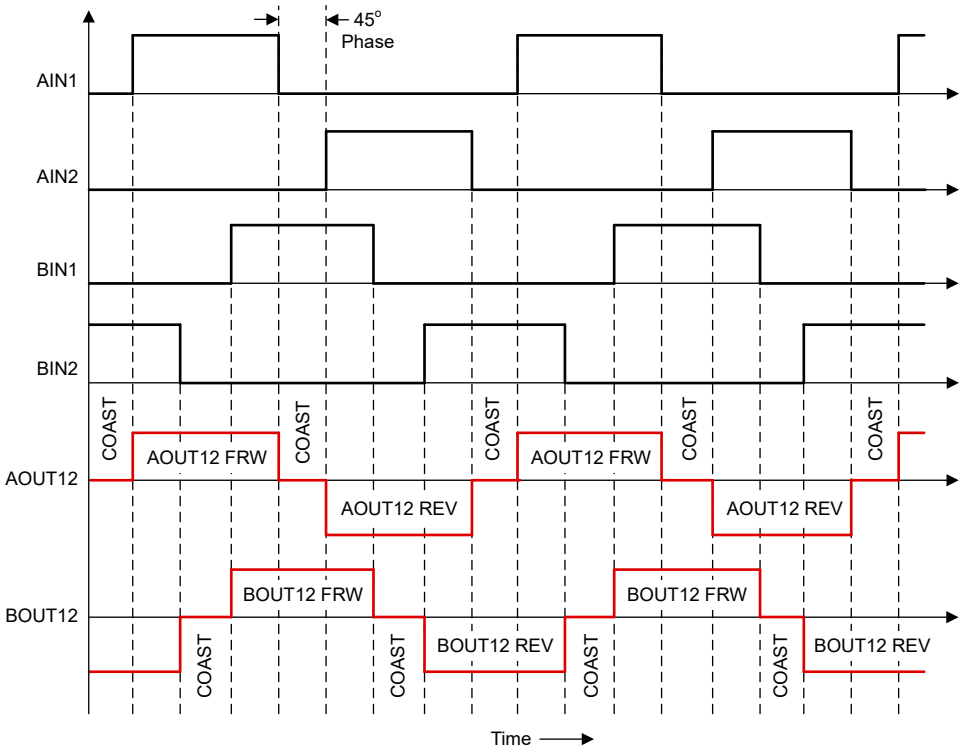


图 8-3. 快速衰减下的半步进时序图

8.2.1.2.1.3 慢速衰减下的半步进运行

在这种半步进模式下，驱动器使用慢速衰减控制状态（对于 BDC 驱动，称为“制动模式”）实现 0A 状态。因此，全桥以三种模式（正向、反向或制动/慢速衰减模式）之一运行，以将转子定位在两个全步进位置之间的中间位置。慢速衰减状态允许电机绕组中的电流缓慢衰减至 0A。此模式最适合在低速半步进时使用，可能有助于减少步进噪声和振动。

控制器将 PWM 输入施加到 AIN1、AIN2、BIN1 和 BIN2 引脚上（如图 8-4 所示），并且驱动器在正向、反向和制动模式下运行。

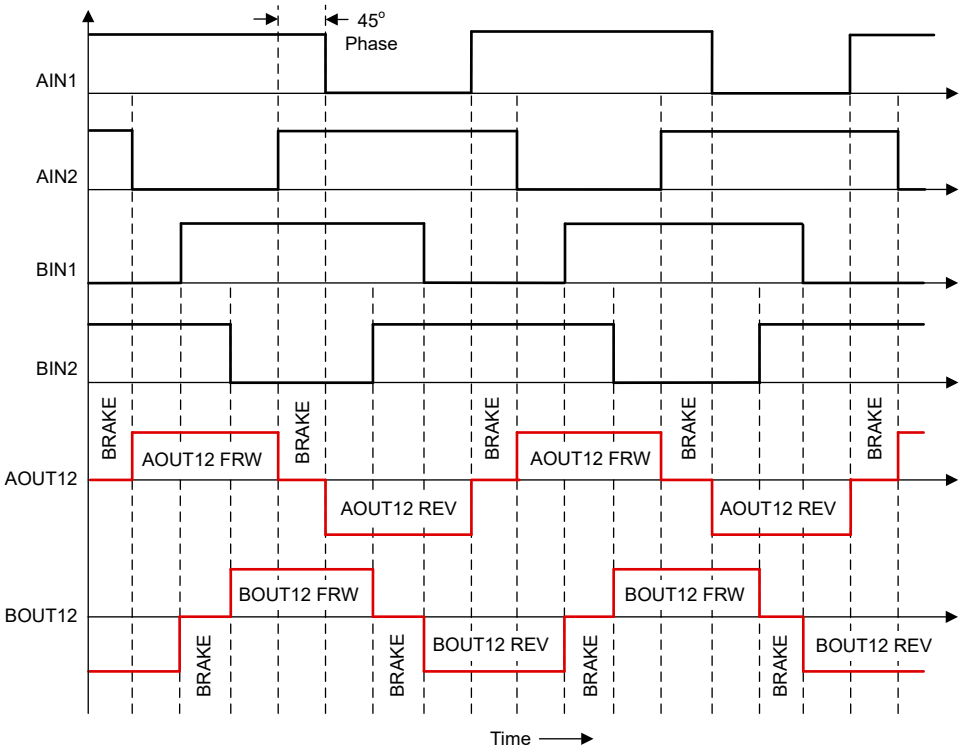


图 8-4. 慢速衰减下的半步进时序图

8.2.1.2.2 电流调节

跳变电流 (I_{TRIP}) 是通过任一绕组驱动的最大电流。该电流的大小取决于检测电阻值 ($R_{SENSExx}$)，如方程式 4 所示（考虑转矩设置 (TRQ) 为 100%）。

$$I_{TRIP} = \frac{\text{Torque} \times V_{TRIP}}{R_{SENSExx}} \tag{4}$$

I_{TRIP} 电流由比较器设置，该比较器将 $R_{SENSExx}$ 电阻器上的电压与基准电压进行比较。为避免电机饱和，必须按方程式 5 所示计算 I_{TRIP} 电流。

$$I_{TRIP} = \frac{V_{VM}}{R_L\ (\Omega) + R_{DS(ON)_HS}\ (\Omega) + R_{DS(ON)_LS}\ (\Omega) + R_{SENSExx}\ (\Omega)} \tag{5}$$

其中

- V_{VM} 是电机电源电压。
- R_L 是电机绕组电阻。
- $R_{DS(ON)_HS}$ 和 $R_{DS(ON)_LS}$ 是 FET 的高侧和低侧导通状态电阻。

Copyright © 2024 Texas Instruments Incorporated

对于 350mA 的 I_{TRIP} 值，检测电阻 ($R_{SENSExx}$) 的值如方程式 6 所示进行计算。

$$R_{SENSE12} = R_{SENSE34} = \frac{V_{TRIP}}{I_{TRIP}} = \frac{150\ mV}{350\ mA} = 428.6\ m\Omega \quad (6)$$

为检测电阻选择最接近的可用值 440mΩ。选择此值将对电流精度产生 2.8% 的影响。

8.2.1.3 应用曲线

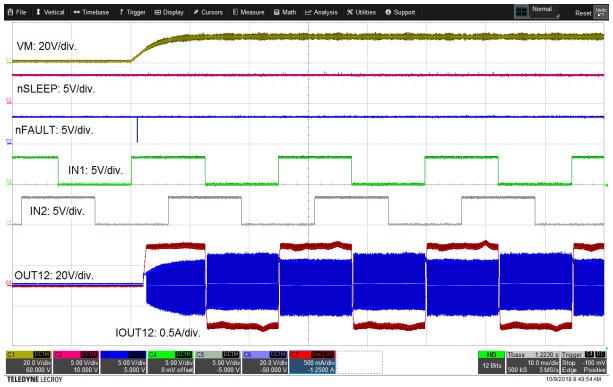


图 8-5. 通过电源电压 (VM) 实现器件上电



图 8-6. 通过 nSLEEP 引脚实现器件上电



图 8-7. 步进电机全步进运行

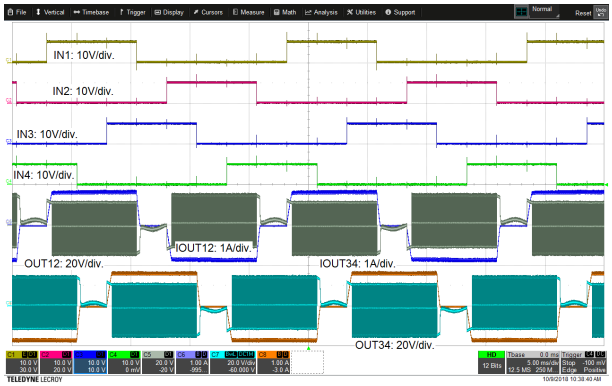


图 8-8. 关断状态高阻态模式下的步进电机半步进运行

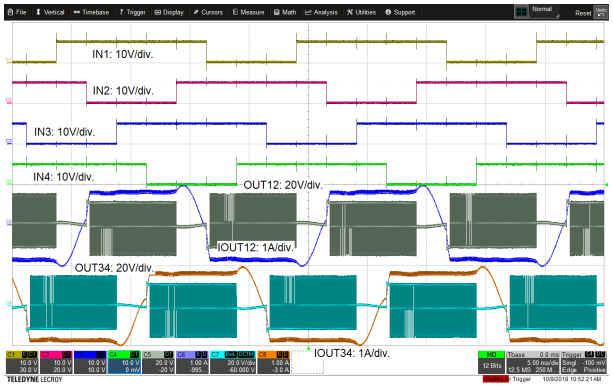


图 8-9. 关断状态制动模式下的步进电机半步进运行

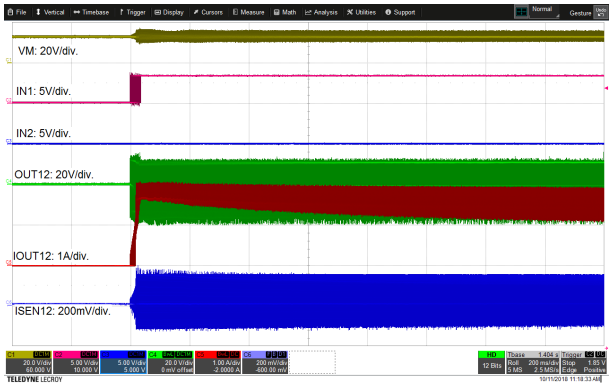


图 8-10. 并联模式下的有刷直流电机运行，显示 2A 时的电流调节

Copyright © 2024 Texas Instruments Incorporated

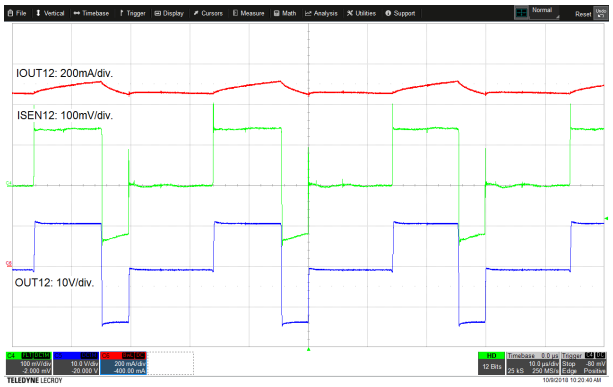


图 8-11. 显示电流调节的放大波形

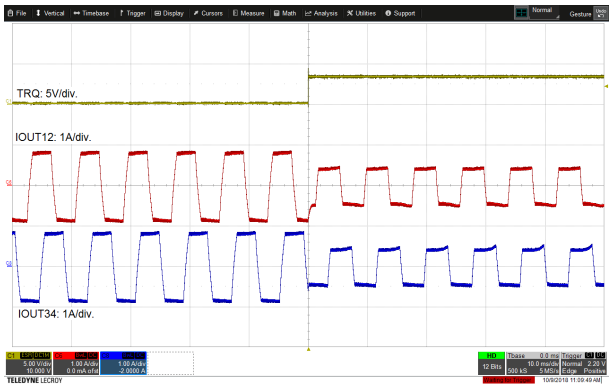


图 8-12. 用于调节电流的扭矩引脚功能

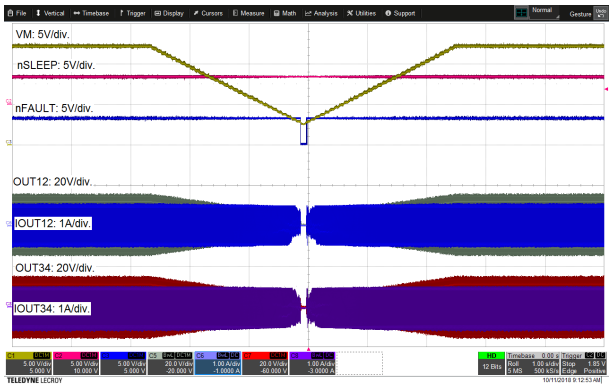


图 8-13. 欠压锁定操作

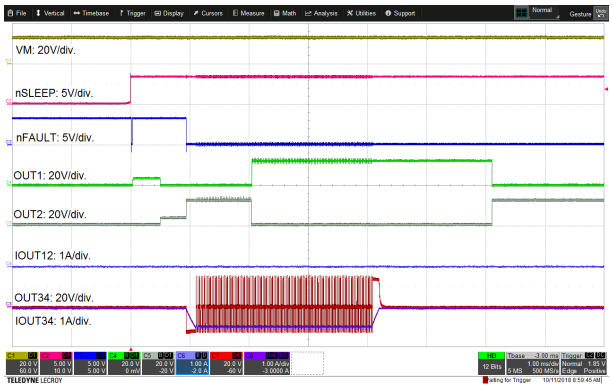


图 8-14. 开路负载检测操作



图 8-15. 过流保护和恢复

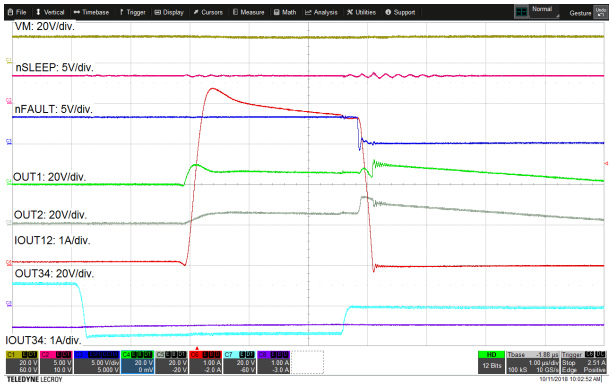


图 8-16. 过流保护放大波形

Copyright © 2024 Texas Instruments Incorporated

8.2.2 双 BDC 电机应用

图 8-17 显示了 DRV8847 器件驱动双 BDC 电机的典型应用。

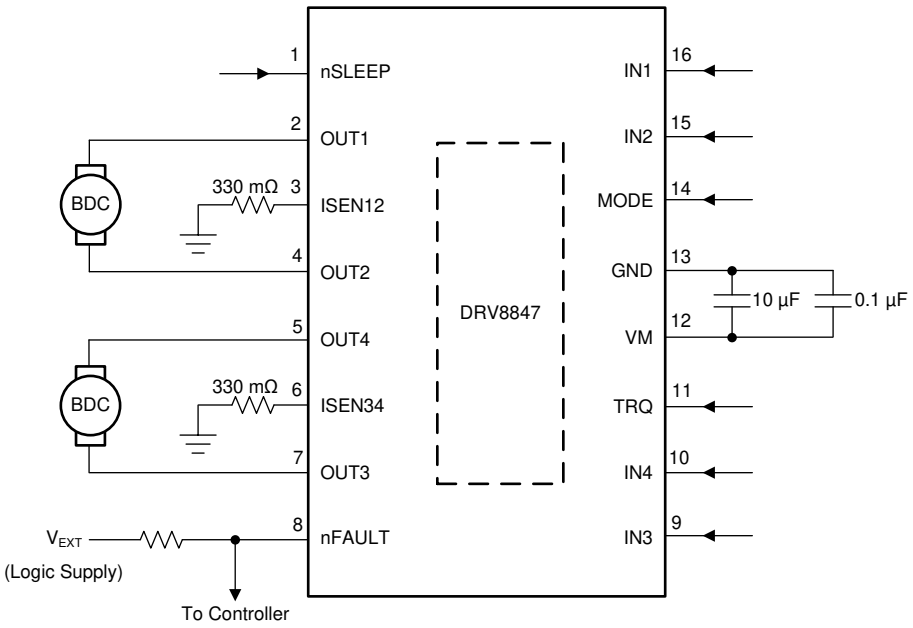


图 8-17. 驱动两个 BDC 电机的器件的典型应用原理图

8.2.2.1 设计要求

表 8-2 列出了系统设计的设计输入参数。

表 8-2. 设计参数

设计参数	基准	示例值
电机电源电压	V_M	12V
电机绕组电阻	R_L	13.2Ω
电机绕组电感	L_L	500 µH
电机均方根电流	I_{RMS}	490 mA
电机启动电流	I_{START}	900 mA
目标跳变电流	I_{TRIP}	1.2 A
跳变电流基准电压（内部电压）	V_{TRIP}	150mV

8.2.2.2 详细设计过程

8.2.2.2.1 电机电压

应用中使用的电机电压取决于所选电机的额定值和所需的每分钟转数 (RPM)。电压越高，有刷直流电机就旋转得越快，同时将相同的 PWM 占空比应用于功率 FET。更高的电压也会增加通过感应电机绕组的电流变化率。

8.2.2.2.2 电流调节

跳变电流 (I_{TRIP}) 是通过任一绕组驱动的最大电流。由于电机的峰值电流（启动电流）为 900mA，因此选择的 I_{TRIP} 电流电平刚好大于峰值电流。本例选择的 I_{TRIP} 值为 1.2A。因此，可使用方程式 7 来选择连接到 ISEN12 和 ISEN34 引脚的检测电阻（$R_{SENSE12}$ 和 $R_{SENSE34}$）的值。

$$R_{SENSE12} = R_{SENSE34} = \frac{V_{TRIP}}{I_{TRIP}} = \frac{150\ mV}{1.2\ A} = 125\ m\Omega \quad (7)$$

Copyright © 2024 Texas Instruments Incorporated

8.2.2.2.3 感测电阻

为获得更佳性能，检测电阻必须：

- 为表面贴装元件
- 具有低电感
- 额定功率足够高
- 放置在靠近电机驱动器的位置

检测电阻耗散的功率等于 $I_{RMS}^2 \times R$。在此示例中，峰值电流为 900mA，RMS 电机电流为 490mA，检测电阻值为 125mΩ。因此，检测电阻（$R_{SENSE12}$ 和 $R_{SENSE34}$）耗散 30mW ($490mA^2 \times 125m\Omega = 30mW$)。随着电流电平升高，功耗迅速增加。

电阻器通常在一定的环境温度范围内具有额定的功率，而对于高温环境，功率曲线会降额。当印刷电路板 (PCB) 与其他发热元件共用时，应增加裕度。对于优秀实践，应测量最终系统中的实际检测电阻温度以及功率 MOSFET，因为这些元件通常是最热的。

由于功率电阻器比标准电阻器更大且更昂贵，因此通常的做法是在检测节点和接地之间并联多个标准电阻器。这种做法可分散电流和散发热量。

8.2.3 开路负载实现

本节介绍开路负载检测电路和运行情况。开路负载检测诊断测试在器件上电期间或 DRV8847 器件从睡眠模式退出时运行。在 I²C 型号器件 (DRV8847S) 中，OLD 诊断测试可以使用 I²C 寄存器位运行任意瞬间。

8.2.3.1 开路负载检测电路

OLD 电路由四个主要元件组成，即电流源（和电流吸收器）、串联时序开关（由数字内核定序）、电阻器和比较器。对于接地 (GND) 连接的负载，电流源 (I_{OL_PU}) 将 OUTx 节点上拉至内部稳压器电压 (AVDD)，并允许电流通过连接的负载从内部稳压器电压 (AVDD) 流向接地，如图 8-18 所示。此外，对于连接电源 (VM) 的负载，电流吸收器 (I_{OL_PD}) 通过连接的负载将电流从电源电压 (VM) 拉低至接地，如图 8-20 所示。在 OUTx 端子上连接的负载的电阻会改变拉电流/灌电流，并间接改变两个电阻器（12kΩ 和 15kΩ）上的压降。内部比较器将电阻器两端的此压降与基准电压（V_{OL_HS} 和 V_{OL_LS}）进行比较，以提供作为 OL1_HS 和 OL1_LS 的输出。该比较器输出馈送到开路负载数字电路，以确定开路负载条件。

备注

以下是上面显示的各种参数的值：AVDD 电压 = 4.2V，I_{OL_PU} = 200µA，I_{OL_PD} = 230µA，V_{OL_HS} = 2.3V，V_{OL_LS} = 1.2V。

请注意，上述值是电源电压和温度的典型条件下的值。有关详细规格，请参阅节 6 中的“典型特性”部分。

8.2.3.2 接地连接负载的 OLD

图 8-18 展示了使用内部 OLD 电路的接地连接负载。当高侧开路负载序列被激活（即 SW1_HS 开启且 SW1_LS 关闭）时，电流源 (I_{OL_PU}) 将 OUT1 节点上拉至内部稳压器电压 (AVDD)，电流通过连接的负载 (R_L) 从内部稳压器电压 (AVDD) 流向接地。现在，根据负载是否存在，可能有以下三种情况：

8.2.3.2.1 半桥开路

如果在 OUT1 上连接了空载，则没有电流从 AVDD 流出。这会将 OL1_HS 比较器的正极端子上拉至 4.2V (AVDD)。如果与 2.3V (V_{OL_HS}) 进行比较，这会将比较器输出设置为“1”，表示开路负载检测。

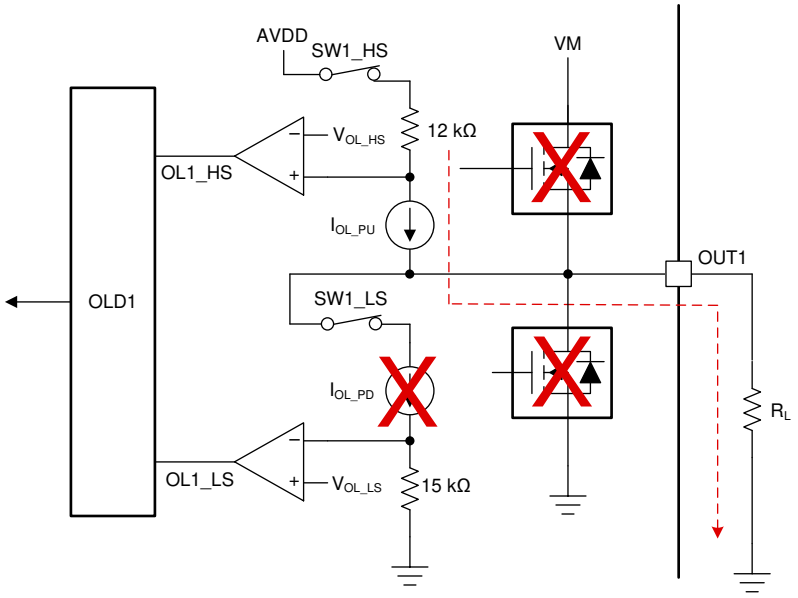


图 8-18. 负载接地 (GND) 的开路负载检测电路

8.2.3.2.2 半桥短路

如果 OUT1 引脚接地短路，则 200µA 的上拉电流 (I_{OL_PU}) 从 AVDD 流出。因此，OL1_HS 比较器的正极端子处存在电压降，如下所示：

$$V_{OL1_HS}(+) = V_{AVDD} - I_{OL_PU} \times 12k\Omega \tag{8}$$

使用方程式 8，V_{OL1_HS}(+) 计算公式如方程式 9 所示，

$$V_{OL1_HS}(+) = 4.2V - 200\mu A \times 12k\Omega = 1.8V \tag{9}$$

如果与 2.3V (V_{OL_HS}) 进行比较，该电压会将 OL1_HS 比较器输出复位为“0”，这表示无开路负载检测。

8.2.3.2.3 连接的负载

如果 OUT1 和 GND 之间连接了电阻负载 (R_L)，则从 AVDD 流出的电流取决于负载阻抗 (R_L)，如下所示：

$$I_{LOAD} = \frac{V_{AVDD}}{R_L + 12k\Omega} \tag{10}$$

现在，如果 OL1_HS 比较器正极端子处的压降高于 2.3V (V_{OL_HS})，则比较器将输出设置为“1”，显示为开路负载。因此，使 OL1_HS 比较器跳变所需的电压计算方法为：

$$V_{OL_HS} < V_{AVDD} - I_{LOAD} \times 12k\Omega \tag{11}$$

通过将方程式 10 代入方程式 11 中，

$$V_{OL_HS} < V_{AVDD} - \frac{V_{AVDD} \times 12k\Omega}{R_L + 12k\Omega} \tag{12}$$

Copyright © 2024 Texas Instruments Incorporated

通过求解方程式 12，负载电阻 (R_L) 表示为：

$$R_L > \frac{V_{AVDD} \times 12k\Omega}{V_{AVDD} - V_{OL_HS}} - 12k\Omega \quad (13)$$

通过在方程式 13 中代入 V_{AVDD} 和 V_{OL_HS} 的值，可计算出负载电阻 (R_L) 为 14.52kΩ。因此，连接在 OUTx 和 GND 之间的任何高于此值的电阻负载都显示为开路负载。

备注

为便于理解，我们针对典型情况取了这些参数的值。这些参数会随电源电压和温度而变化。用户必须根据上述计算结果考虑设计裕度。

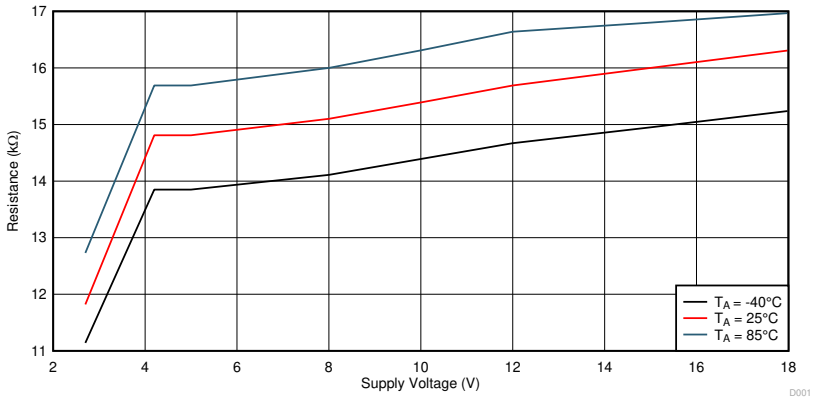


图 8-19. 接地 (GND) 连接负载中开路负载检测的电阻阈值

8.2.3.3 连接电源 (VM) 的负载的 OLD

图 8-20 展示了使用内部 OLD 电路连接电源 (VM) 的负载。当低侧开路负载序列被激活（即 SW1_HS 关闭且 SW1_LS 开启）时，电流吸收器 (I_{OL_PD}) 将 OUT1 节点下拉至电源电压 (V_{VM})，电流通过连接的负载 (R_L) 从电源 (VM) 流向接地。现在，根据负载是否存在，可能有以下三种情况：

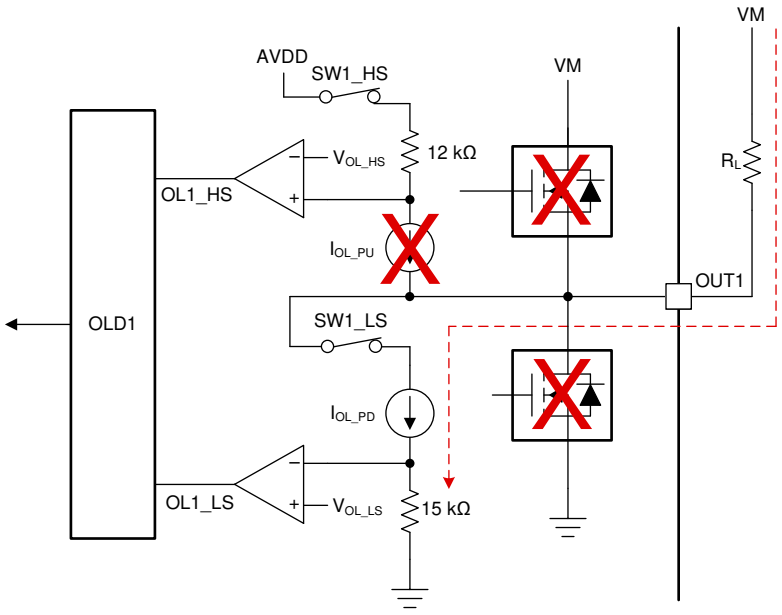


图 8-20. 负载连接电源电压 (VM) 的开路负载检测电路

8.2.3.3.1 半桥开路

如果在 OUT1 上连接了空载，则没有电流从电源 (VM) 流出。这会将 OL1_LS 比较器的负极端子下拉至 0V (GND)。如果与 1.2V (V_{OL_LS}) 进行比较，这会将比较器输出设置为“1”，表示开路负载检测。

8.2.3.3.2 半桥短路

如果 OUT1 引脚短接至电源 (VM)，则 230µA 的下拉电流 (I_{OL_LS}) 从电源 (VM) 流出。因此，OL1_LS 比较器的负极端子处存在电压降，如下所示：

$$V_{OL1_LS}(-) = I_{OL_PD} \times 15k\Omega \tag{14}$$

使用方程式 14，V_{OL1_LS}(-) 的计算方式如方程式 15 所示，

$$V_{OL1_LS}(-) = 230\mu A \times 15k\Omega = 3.45V \tag{15}$$

如果与 1.2V (V_{OL_LS}) 进行比较，该电压会将 OL1_LS 比较器输出复位为“0”，表示无开路负载检测。

8.2.3.3.3 连接的负载

如果 OUT1 和 VM 之间连接了电阻负载 (R_L)，则从电源 (VM) 流出的电流为：

$$I_{LOAD} = \frac{V_{VM}}{R_L + 15k\Omega} \tag{16}$$

现在，如果 OL1_LS 比较器负极端子处的压降低于 1.2V (V_{OL_LS})，则比较器将输出设置为“1”，显示为开路负载。因此，使 OL1_LS 比较器跳变所需的电压计算方法为：

$$V_{OL_LS} > I_{LOAD} \times 15k\Omega \tag{17}$$

通过将方程式 16 代入方程式 17 中，

Copyright © 2024 Texas Instruments Incorporated

$$V_{OL_LS} > \frac{V_{VM} \times 15k\Omega}{R_L + 15k\Omega} \quad (18)$$

通过求解方程式 18，负载电阻 (R_L) 表示为：

$$R_L > \frac{V_{VM} \times 15k\Omega}{V_{OL_LS}} - 15k\Omega \quad (19)$$

通过将 V_{VM} 和 V_{OL_HS} 的值代入方程式 19，负载电阻 (R_L) 在 12V 电源电压 (V_{VM}) 下的计算结果为 135kΩ。因此，VM 和 OUTx 之间连接的任何高于此值（V_{VM} = 12V 时）的电阻负载都显示为开路负载。

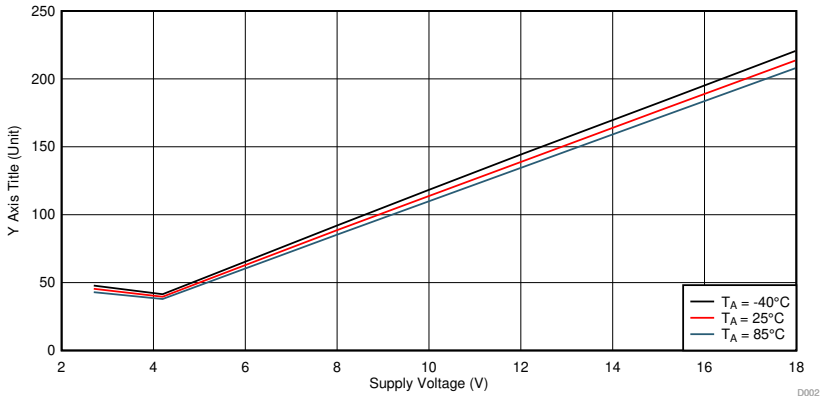


图 8-21. 电源 (VM) 连接负载中开路负载检测的电阻阈值

备注

在连接到电源 (VM) 配置的负载的开路负载检测中，开路负载的阻性负载阈值也取决于电源电压 (V_{VM})。

8.2.3.4 全桥连接负载的 OLD

图 8-22 显示了作为全桥配置与内部 OLD 电路连接的负载。全桥开路负载序列包括同时打开半桥 1 的高侧开关 (SW1_HS) 和半桥 2 的低侧开关 (SW2_LS)。与此类似，将同时导通半桥 2 的高侧开关 (SW2_HS) 和半桥 1 的低侧开关 (SW1_LS)，从而执行另一个半桥的全桥开路负载序列。现在，根据负载的存在情况，可以考虑三种情况：

8.2.3.4.1 全桥开路

如果 OUT1 和 OUT2 端子之间未连接负载，则没有电流从内部稳压器 (AVDD) 流出。现在，半桥 1 高侧比较器 (OL1_HS) 的正极端子和半桥 2 低侧比较器 (OL2_LS) 的负极端子上的压降将如下所示：

8.2.3.4.1.1 半桥 1 的高侧比较器 (OL1_HS)

由于没有电流从内部稳压器 (AVDD) 流出，OUT1 节点（也是 OL1_HS 比较器的正极端子）处的电压被钳位至 4.2V（即 AVDD）。如果与 2.3V (V_{OL_HS}) 进行比较，这会将比较器输出设置为“1”。

8.2.3.4.1.2 半桥 2 的低侧比较器 (OL2_LS)

在开路负载条件下，没有电流流经 SW2_LS 开关，该开关将 OL2_LS 比较器的负极端子下拉至 0V (GND)。如果与 1.2V (V_{OL_LS}) 进行比较，这会将比较器输出设置为“1”。

现在，如果两个比较器输出（OL1_HS 和 OL2_LS）都为高电平，则表示开路负载。

Copyright © 2024 Texas Instruments Incorporated

8.2.3.4.2 全桥短路

如果 OUT1 和 OUT2 端子之间短路，则短路电流 (I_{SC}) 将从内部稳压器 (AVDD) 流出，具体取决于高侧 (12kΩ) 和低侧 (15kΩ) 电阻，如下式所示。

$$I_{SC} = \frac{V_{AVDD}}{15k\Omega + 12k\Omega} = \frac{V_{AVDD}}{27k\Omega} \tag{20}$$

因此，使用方程式 20 计算流经的短路电流所得的结果如下：

$$I_{SC} = \frac{V_{AVDD}}{27k\Omega} = \frac{4.2V}{27k\Omega} = 155.56\mu A \tag{21}$$

现在，半桥 1 高侧比较器 (OL1_HS) 的正极端子和半桥 2 低侧比较器 (OL2_LS) 的负极端子上的压降将如下所示：

8.2.3.4.2.1 半桥 1 的高侧比较器 (OL1_HS)

现在，I_{SC} (155.56μA) 的上拉电流从内部稳压器 (AVDD) 流出，因此 OL1_HS 比较器（也是 OUT1 节点）正极端子处的电压计算公式如下：

$$V_{OL1_HS}(+) = V_{AVDD} - I_{SC} \times 12k\Omega \tag{22}$$

使用方程式 22，V_{OL1_HS}(+) 计算公式如下：

$$V_{OL1_HS}(+) = 4.2V - 155.56\mu A \times 12k\Omega = 2.33V \tag{23}$$

如果与 2.3V (V_{OL_HS}) 进行比较，该电压会将 OL1_HS 比较器输出设置为“1”。

8.2.3.4.2.2 半桥 2 的低侧比较器 (OL2_LS)

I_{SC} (155.56μA) 的下拉电流从内部稳压器 (AVDD) 流向 SW2_LS 开关，因此 OL2_LS 比较器负极端子上的电压计算公式如下：

$$V_{OL2_LS}(-) > I_{SC} \times 15k\Omega \tag{24}$$

使用方程式 24，V_{OL2_LS} 计算公式如下：

$$V_{OL2_LS}(-) = 155.56\mu A \times 15k\Omega = 2.33V \tag{25}$$

如果与 1.2V (V_{OL_LS}) 进行比较，该电压会将 OL2_LS 比较器输出复位为“0”。

由于 OL1_HS 比较器显示输出“1”，而 OL2_LS 比较器显示输出“0”，因此这种情况被视为无开路负载。

Copyright © 2024 Texas Instruments Incorporated

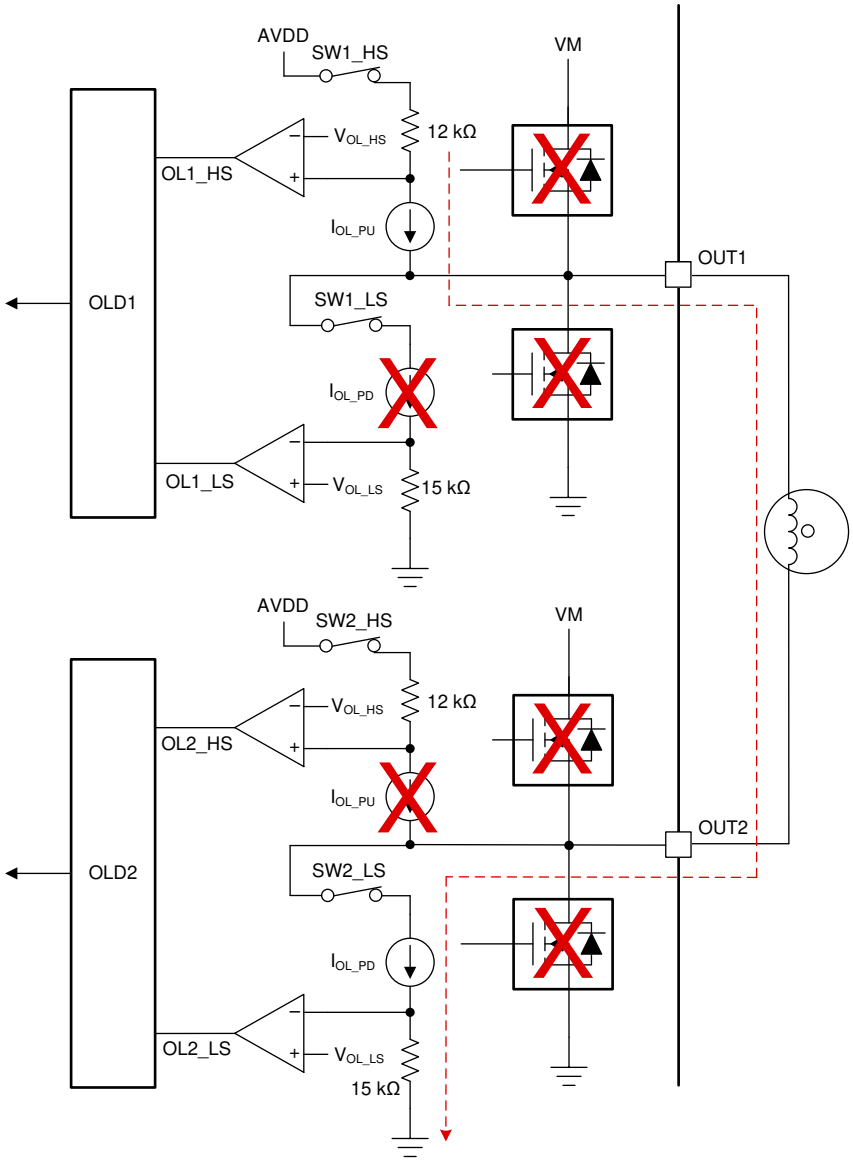


图 8-22. 以全桥配置连接的电机的开路负载检测电路

8.2.3.4.3 全桥中连接的负载

如果 OUT1 和 OUT2 端子之间连接有负载 (R_L)，则负载电流 (I_L) 计算公式如下：

$$I_{LOAD} = \frac{V_{AVDD}}{12k\Omega + R_L + 15k\Omega} = \frac{V_{AVDD}}{R_L + 27k\Omega} \quad (26)$$

现在，半桥 1 高侧比较器 (OL1_HS) 的正极端子和半桥 2 低侧比较器 (OL2_LS) 的负极端子上的压降将如下所示：

8.2.3.4.3.1 半桥 1 的高侧比较器 (OL1_HS)

如果 OL1_HS 比较器正极端子处的压降高于 2.3V (V_{OL_HS})，则比较器将输出设置为“1”（对于开路负载）。因此，使 OL1_HS 比较器跳变所需的电压计算方法为：

$$V_{OL_HS} < V_{AVDD} - I_{LOAD} \times 12k\Omega \quad (27)$$

通过将方程式 26 代入方程式 27，

$$V_{OL_{HS}} < V_{AVDD} - \frac{V_{AVDD} \times 12k\Omega}{R_L + 27k\Omega} \quad (28)$$

通过求解方程式 28，负载电阻 (R_L) 表示为：

$$R_L > \frac{V_{AVDD} \times 12k\Omega}{V_{AVDD} - V_{OL_HS}} - 27k\Omega \quad (29)$$

通过在方程式 29 中代入 V_{AVDD} 和 V_{OL_HS} 的值，可计算出负载电阻 (R_L) 为 (-)10.2kΩ。由于电阻值为负，因此 OL1_HS 比较器正极端子上的电压始终高于 V_{OL_HS}，比较器输出始终为高电平（“1”）。

8.2.3.4.3.2 半桥 2 的低侧比较器 (OL2_LS)

如果 OL2_LS 比较器负极端子处的压降低于 1.2V (V_{OL_LS})，则比较器将输出设置为“1”，显示为开路负载。因此，使 OL2_LS 比较器跳变所需的电压计算方法为：

$$V_{OL_LS} > I_{LOAD} \times 15k\Omega \quad (30)$$

通过将方程式 26 代入方程式 30 中，

$$V_{OL_LS} > \frac{V_{AVDD} \times 15k\Omega}{R_L + 27k\Omega} \quad (31)$$

通过求解方程式 31，负载电阻 (R_L) 表示为：

$$R_L > \frac{V_{AVDD} \times 15k\Omega}{V_{OL_LS}} - 27k\Omega \quad (32)$$

通过在方程式 32 中代入 V_{AVDD} 和 V_{OL_LS} 的值，可计算出负载电阻 (R_L) 为 25.5kΩ。因此，如果负载电阻大于 25.5kΩ，则 OL2_HS 比较器的输出设置为 1。

由于 OL1_HS 比较器始终输出“1”，因此开路负载状态仅取决于 OL2_HS 比较器的输出。如果 OL2_HS 比较器输出为“1”，则检测到开路负载。

Copyright © 2024 Texas Instruments Incorporated

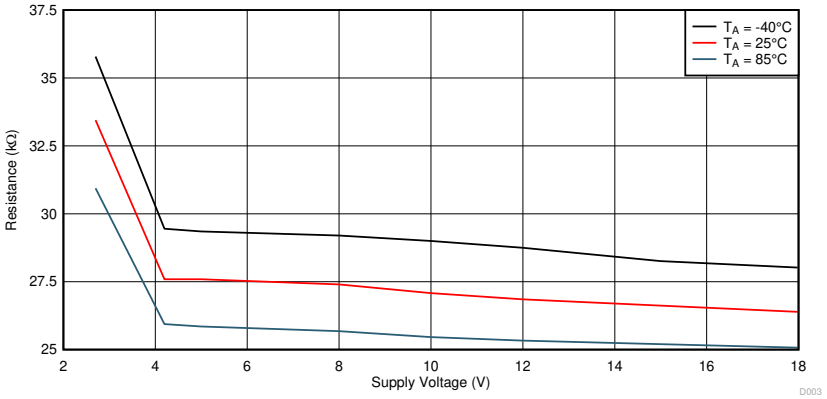


图 8-23. 以全桥配置连接的负载的开路负载检测的电阻阈值

电源相关建议

DRV8847 器件可在 2.7V 至 18V 的输入电压电源 (V_{VM}) 范围内正常工作。请在尽量靠近 DRV8847 器件的位置放置一个额定电压为 VM 的 0.1µF 陶瓷电容器。此外，必须在 VM 引脚上连接一个容值至少为 10µF 的大容量电容器。

9.1 确定大容量电容器的大小

确定大容量电容器的大小是电机驱动系统设计中的重要因素。大容量电容量取决于多种因素，包括：

- 电源类型
- 可接受的电源电压纹波
- 电源接线中的寄生电感
- 电机类型（有刷直流、无刷直流、步进电机）
- 电机启动电流
- 电机制动方法

电源和电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。调整大容量电容的大小以满足可接受的电压纹波电平。

数据表会给出建议的最小值，但需要进行系统级测试来确定大小适中的大容量电容。

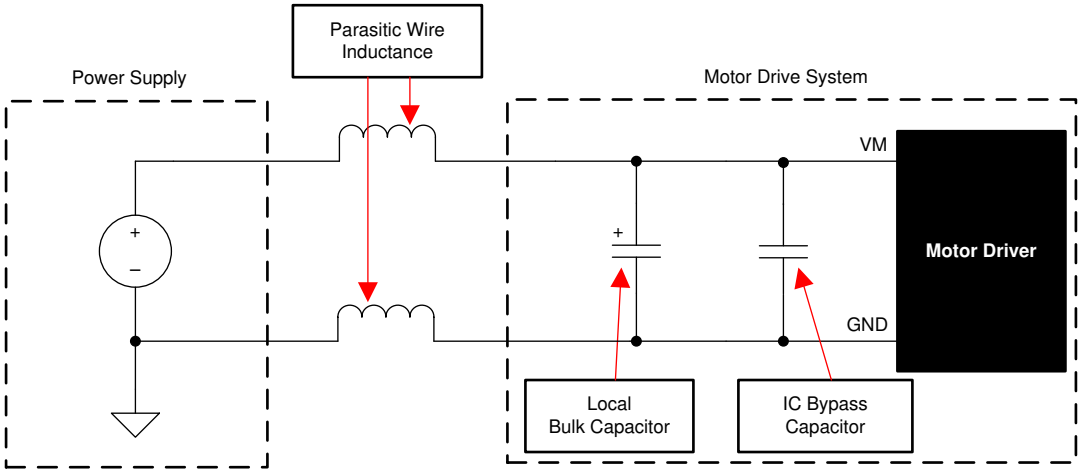


图 9-1. 带外部电源的电机驱动系统设置

Copyright © 2024 Texas Instruments Incorporated

9 布局

9.1 布局指南

使用一个推荐电容值为 10μF 且额定电压为 VM 的低 ESR 陶瓷旁路电容器将 VM 引脚旁路至接地。将该电容器可能靠近 VM 引脚放置，并通过较宽的引线或通过接地平面与器件 GND 引脚连接。

9.2 布局示例

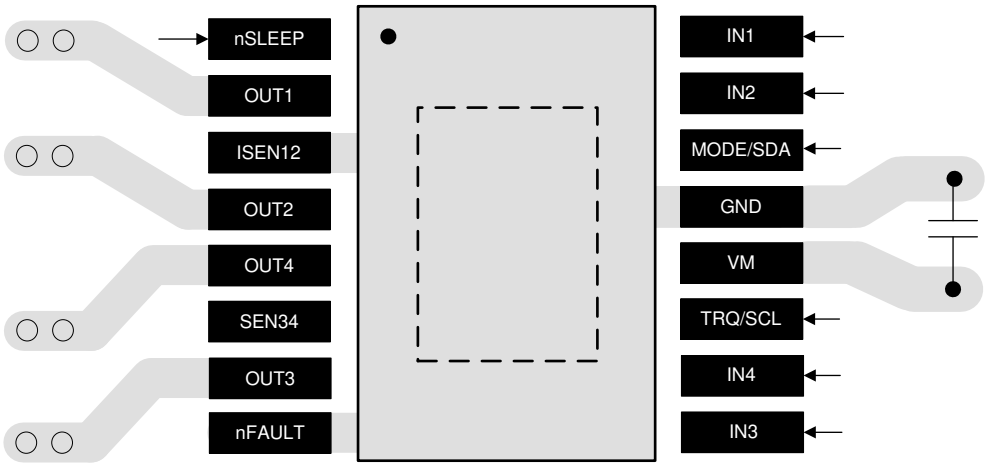


图 9-1. 单层板 16 引脚 TSSOP 封装的布局建议

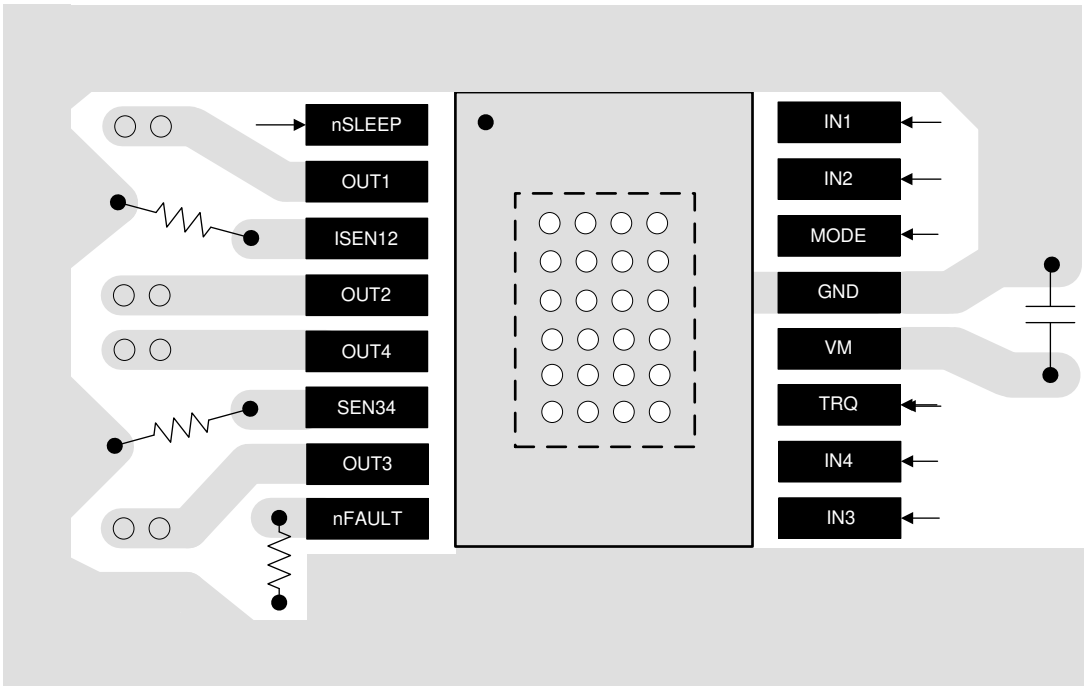


图 9-2. 双层板 16 引脚 HTSSOP 封装的布局建议

Copyright © 2024 Texas Instruments Incorporated

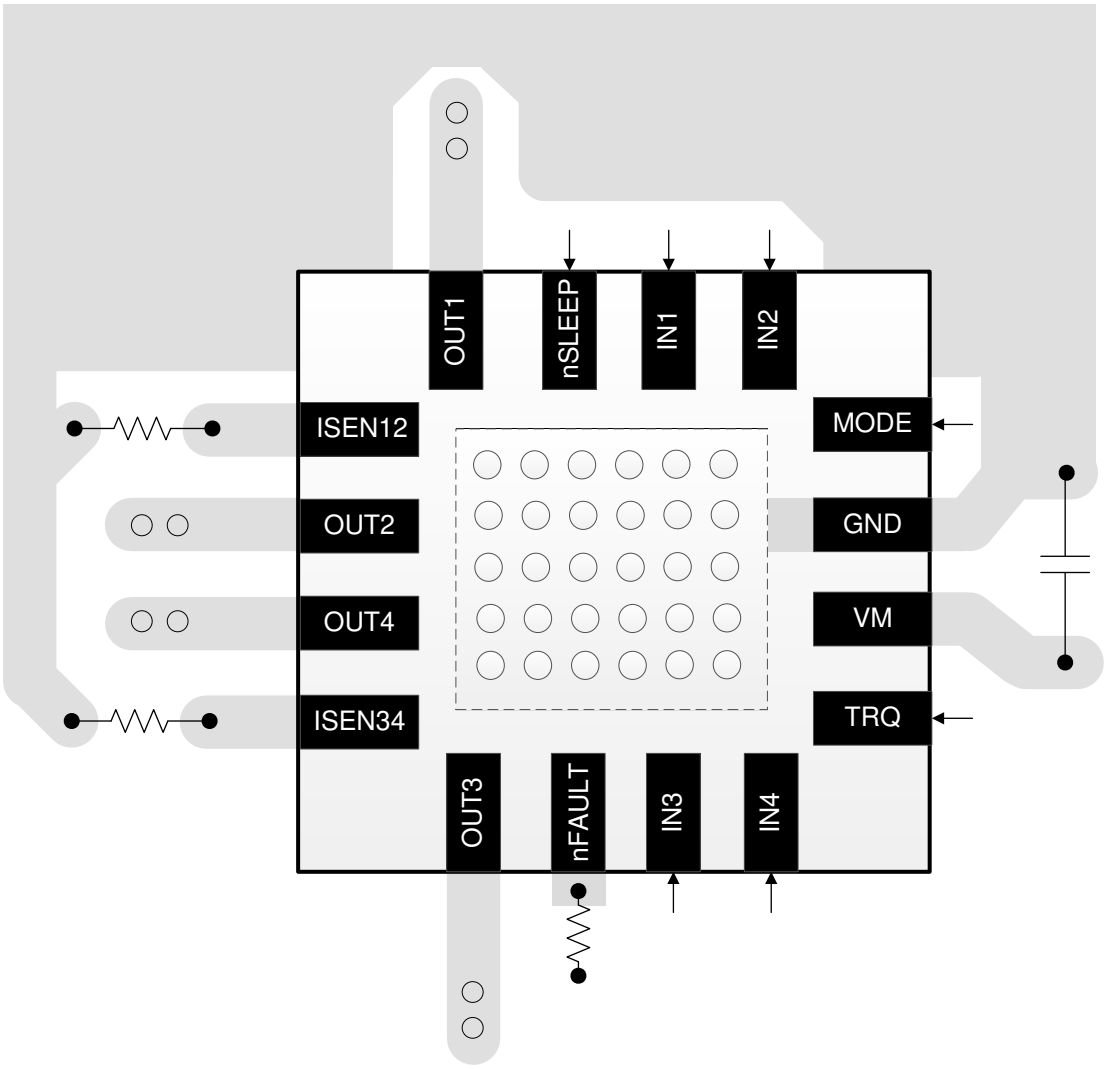


图 9-3. 双层板 16 引脚 QFN 封装的布局建议

Copyright © 2024 Texas Instruments Incorporated

9.3 散热注意事项

9.3.1 最大输出电流

在实际运行中，电机驱动器可实现的最大输出电流是内核温度的函数。该内核温度反过来又受到环境温度和 PCB 设计的很大影响。基本上，最大电机电流是导致以下功率耗散水平的电流量：该功率耗散水平与封装和 PCB 的热阻一起，将内核保持在足够低的温度以避免热关断。

数据表中给出的耗散额定值可用作指南，以计算几种不同 PCB 结构在器件不进入热关断状态的情况下可实现的近似最大功率耗散。然而，为了获得准确的数据，必须通过测量或热仿真来分析实际的 PCB 设计。

9.3.2 过热保护

DRV8847 器件具有热关断 (TSD) 功能，如 *节 9.3.1* 所述。如果芯片温度超过约 150°C，该器件将被禁用，直到温度降低 40°C。

如果该器件有任何倾向进入 TSD，则表示存在功耗过大、散热不足或环境温度过高。

9.4 功率损耗

DRV8847 器件中的功率耗散主要由输出 FET 电阻 ($R_{DS(ON)_HS}$ 和 $R_{DS(ON)_LS}$) 中耗散的直流功率决定。由于 PWM 开关损耗，会消耗额外的功率。这些损耗取决于 PWM 频率、上升和下降时间以及 VM 电源电压。这些开关损耗通常约为直流功率耗散的 10% 至 30%。

使用方程式 33 来估算一个 H 桥的直流功率耗散。

$$P_{TOT} = R_{DS(ON)_LS} \times I_{OUT(RMS)}^{2} + R_{DS(ON)_HS} \times I_{OUT(rms)}^{2} \tag{33}$$

其中

- P_{TOT} 是总功率耗散
- $I_{OUT(RMS)}$ 是施加到电机的 RMS 输出电流
- $R_{DS(ON)_HS}$ 和 $R_{DS(ON)_LS}$ 是 FET 的高侧和低侧导通状态电阻

备注

$R_{DS(ON)_HS}$ 和 $R_{DS(ON)_LS}$ 的值随着温度的升高而增加。因此，随着器件发热，功率耗散也会增加。在确定散热器的大小时必须考虑这种关系。

Copyright © 2024 Texas Instruments Incorporated

10 器件和文档支持

10.1 器件支持（可选）

10.1.1 开发支持（可选）

10.1.2 器件命名规则（可选）

10.2 文档支持

10.2.1 相关文档

请参阅以下相关文档：

-
- 德州仪器 (TI)，*DRV8847EVM 用户指南*
- 德州仪器 (TI)，*DRV8847EVM 和 DRV8847SEVM 软件用户指南*
- 德州仪器 (TI)，*大型电器中的小型电机* TI 技术手册

10.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 社区资源

10.5 商标

PowerPAD™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV88471RTER	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	88471
DRV88471RTER.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	88471
DRV8847PWPR	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	8847PWP
DRV8847PWPR.A	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8847PWP
DRV8847PWPRG4	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8847PWP
DRV8847PWPRG4.A	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to -40	8847PWP
DRV8847PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	8847PW
DRV8847PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8847PW
DRV8847PWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8847PW
DRV8847PWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8847PW
DRV8847RTER	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8847
DRV8847RTER.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8847
DRV8847SPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	8847SPW
DRV8847SPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8847SPW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

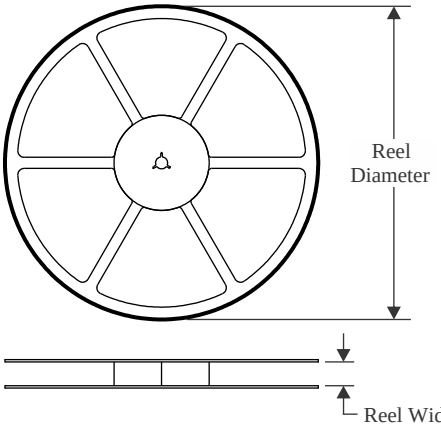
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

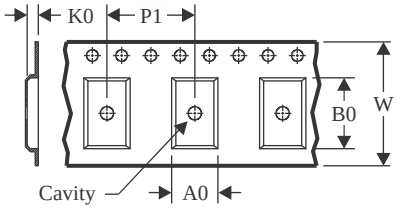
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

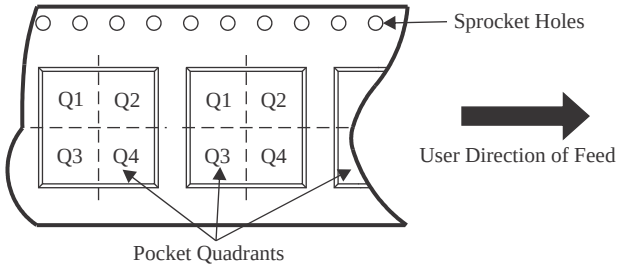


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

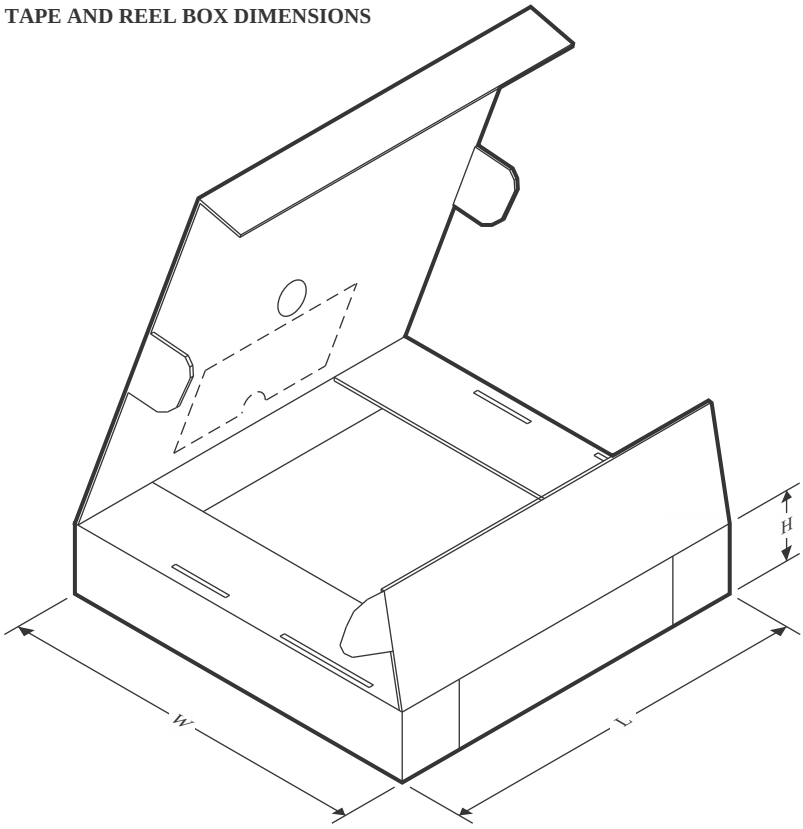
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV88471RTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DRV8847PWPR	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8847PWPR	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8847PWPRG4	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8847PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8847PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8847PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8847RTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DRV8847SPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
DRV8847SPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

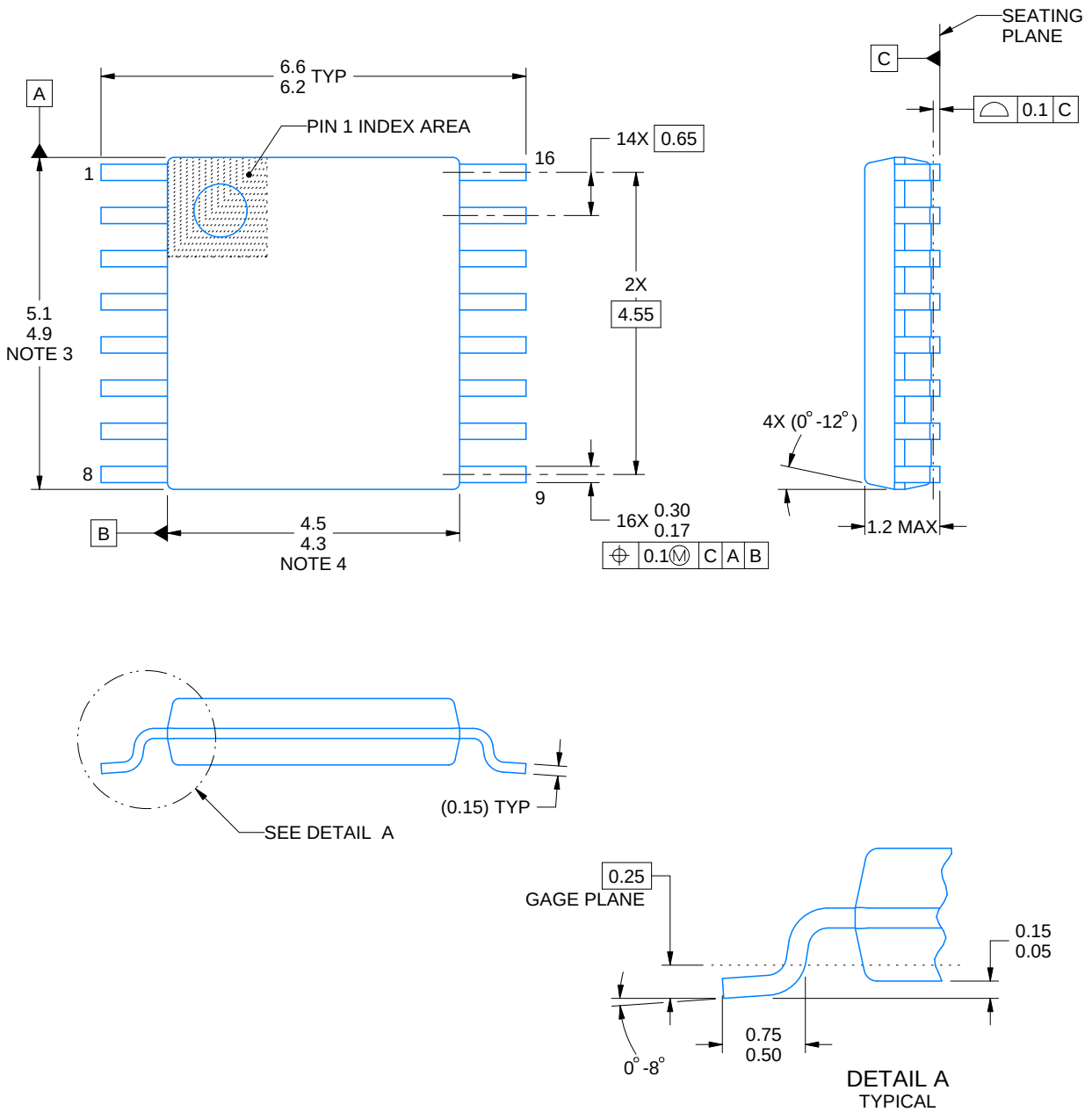
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV88471RTER	WQFN	RTE	16	3000	356.0	356.0	36.0
DRV8847PWPR	HTSSOP	PWP	16	2000	356.0	356.0	36.0
DRV8847PWPR	HTSSOP	PWP	16	2000	353.0	353.0	32.0
DRV8847PWPRG4	HTSSOP	PWP	16	2000	353.0	353.0	32.0
DRV8847PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
DRV8847PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
DRV8847PWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
DRV8847RTER	WQFN	RTE	16	3000	360.0	360.0	36.0
DRV8847SPWR	TSSOP	PW	16	2000	367.0	367.0	35.0
DRV8847SPWR	TSSOP	PW	16	2000	356.0	356.0	35.0

PACKAGE OUTLINE

PW0016A

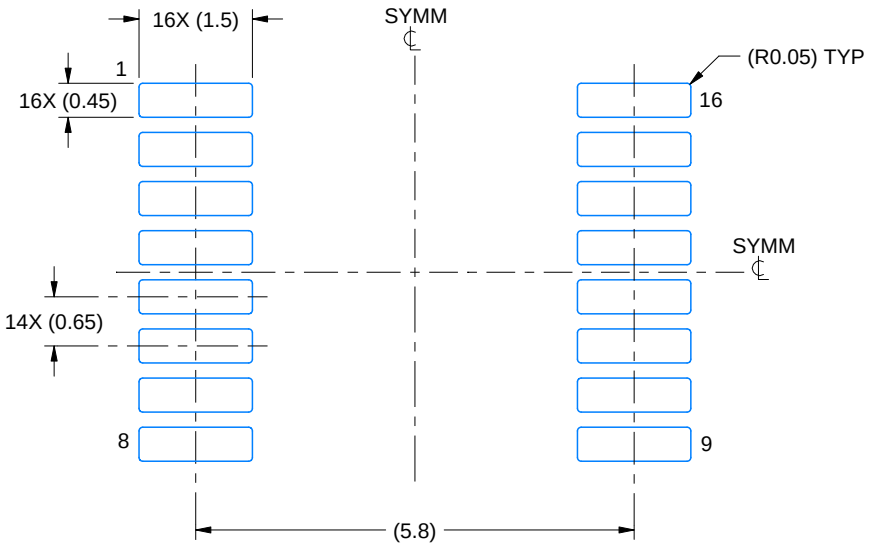
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

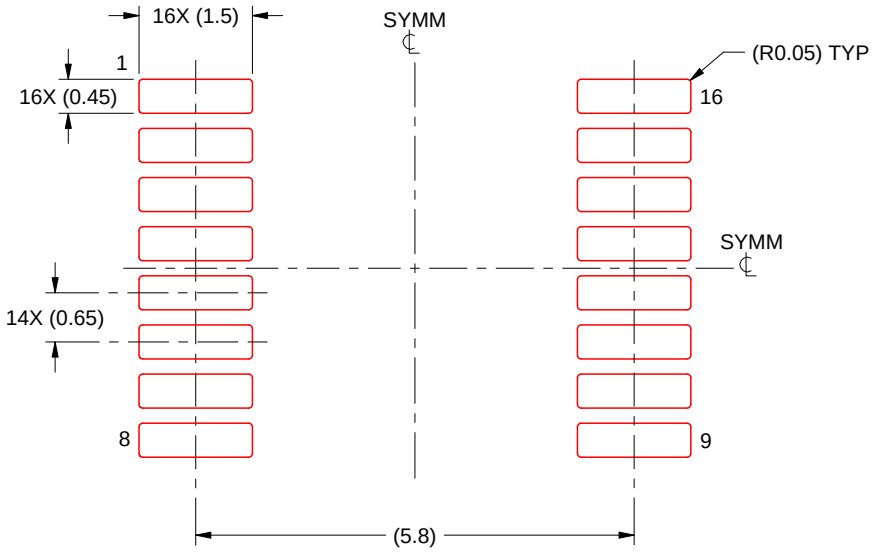


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

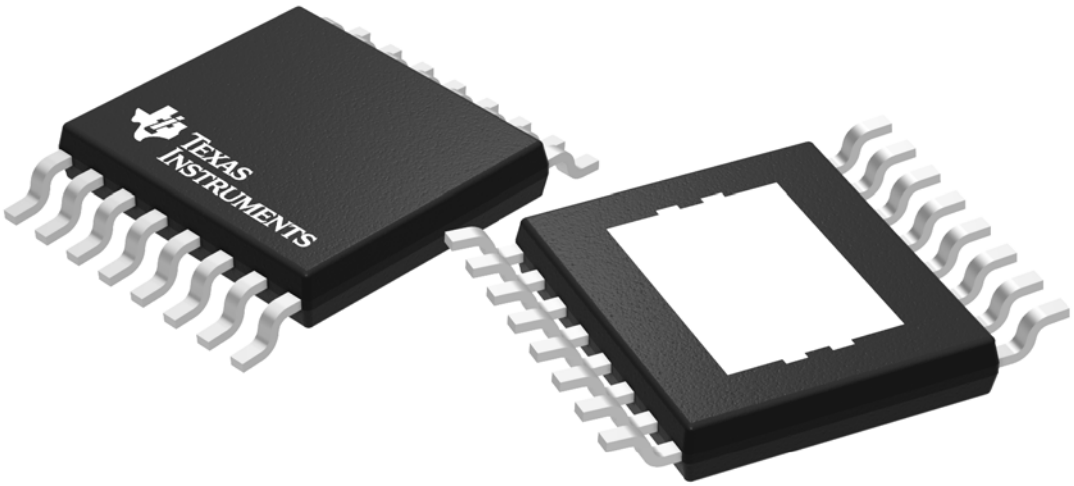
4220204/B 12/2023

NOTES: (continued)

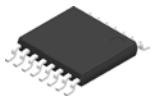
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PWP 16 PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

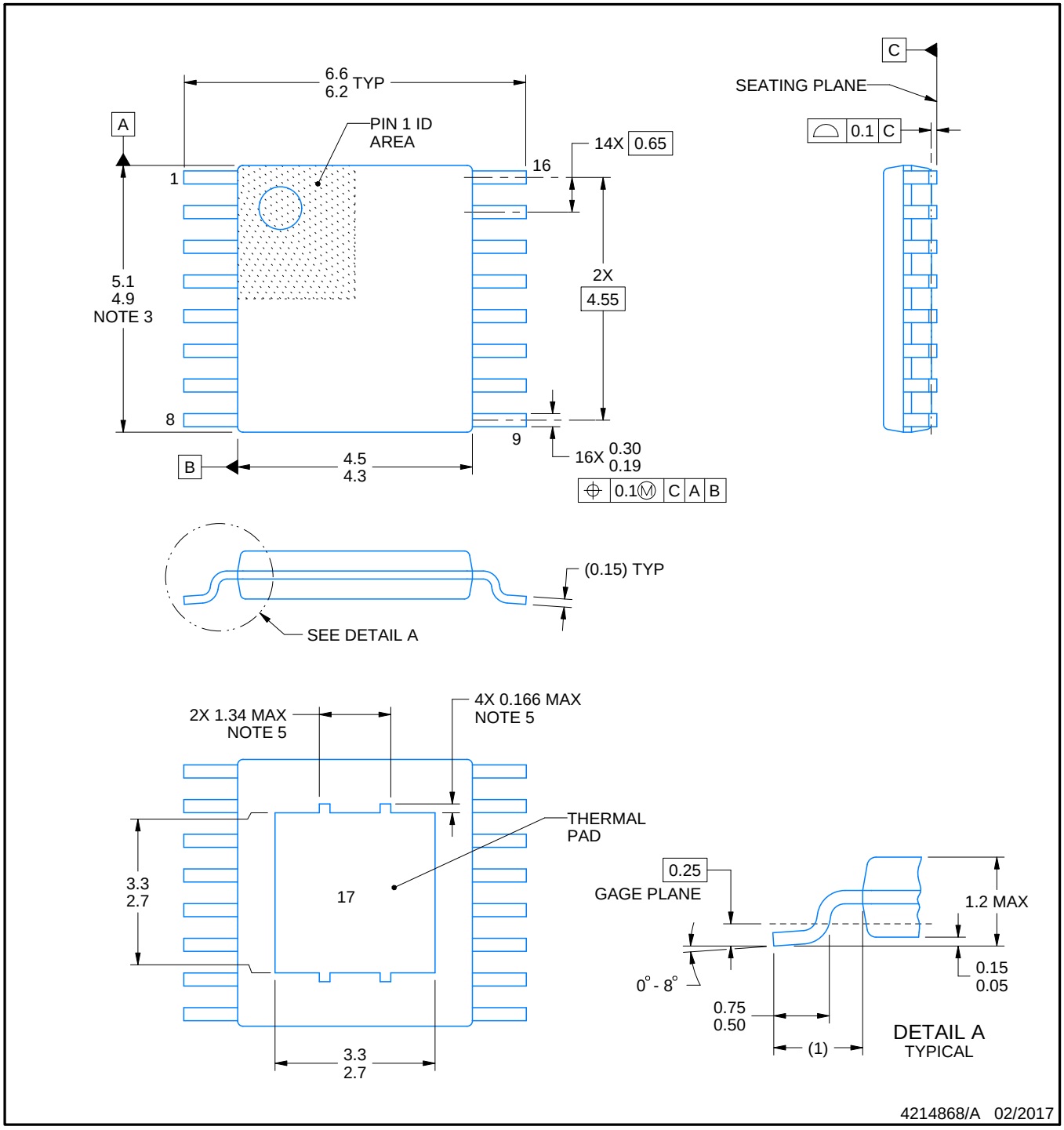


PACKAGE OUTLINE

PWP0016A

PowerPAD ™ HTSSOP - 1.2 mm max height

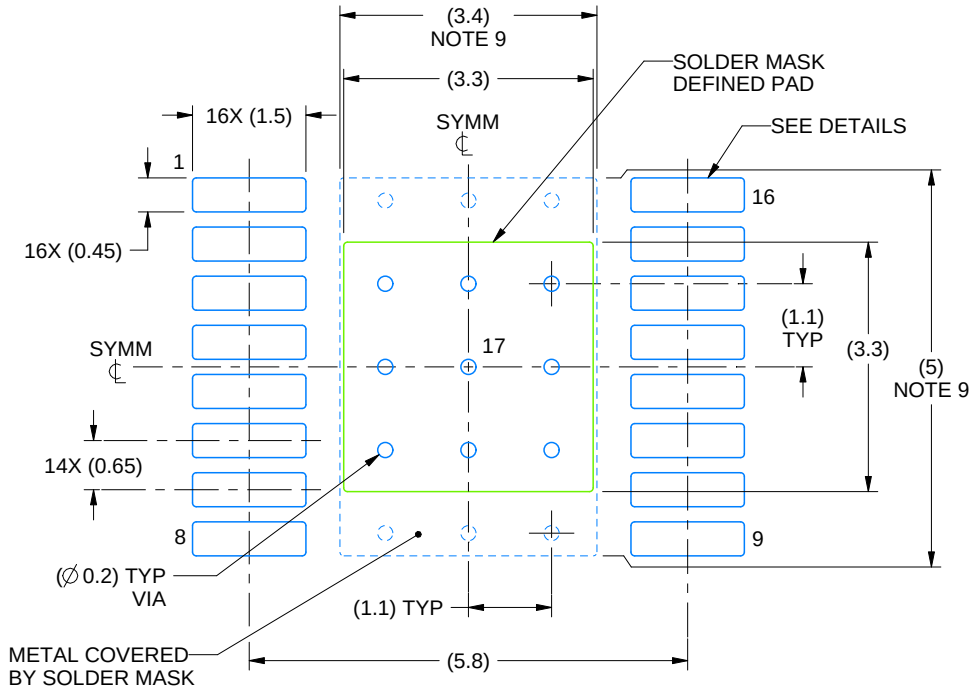
PLASTIC SMALL OUTLINE



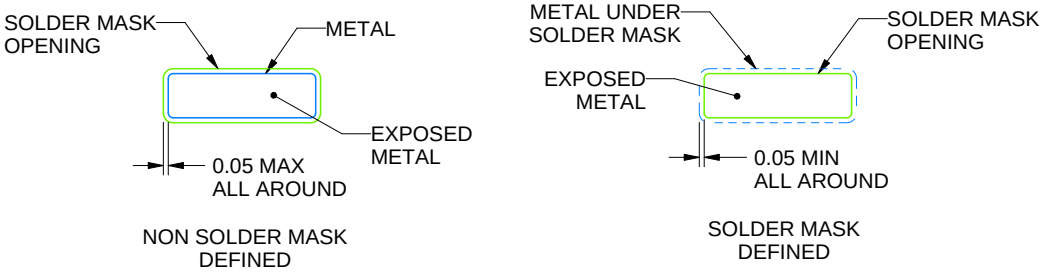
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:10X

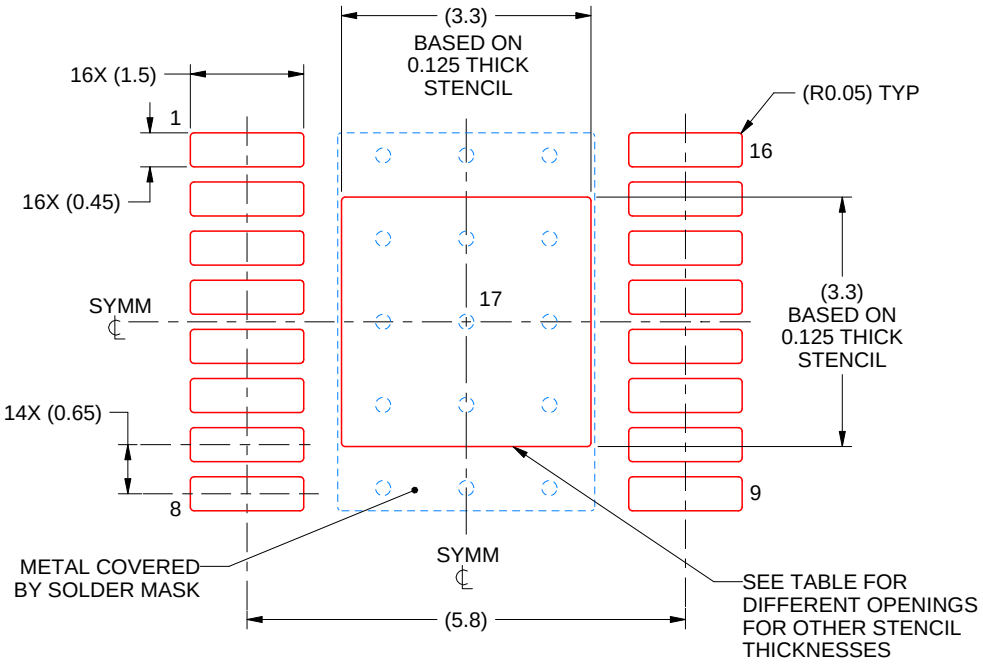


SOLDER MASK DETAILS
PADS 1-16

4214868/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.69 X 3.69
0.125	3.3 X 3.3 (SHOWN)
0.15	3.01 X 3.01
0.175	2.79 X 2.79

4214868/A 02/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

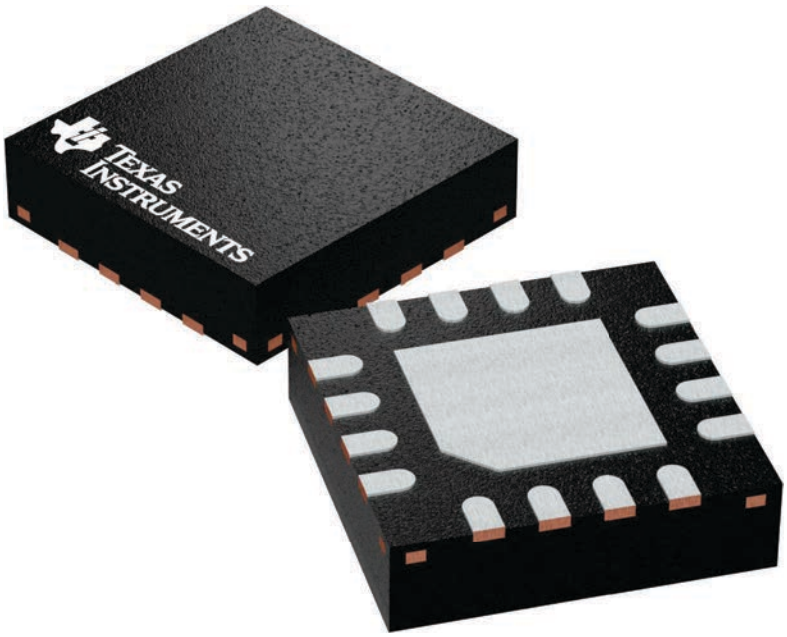
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

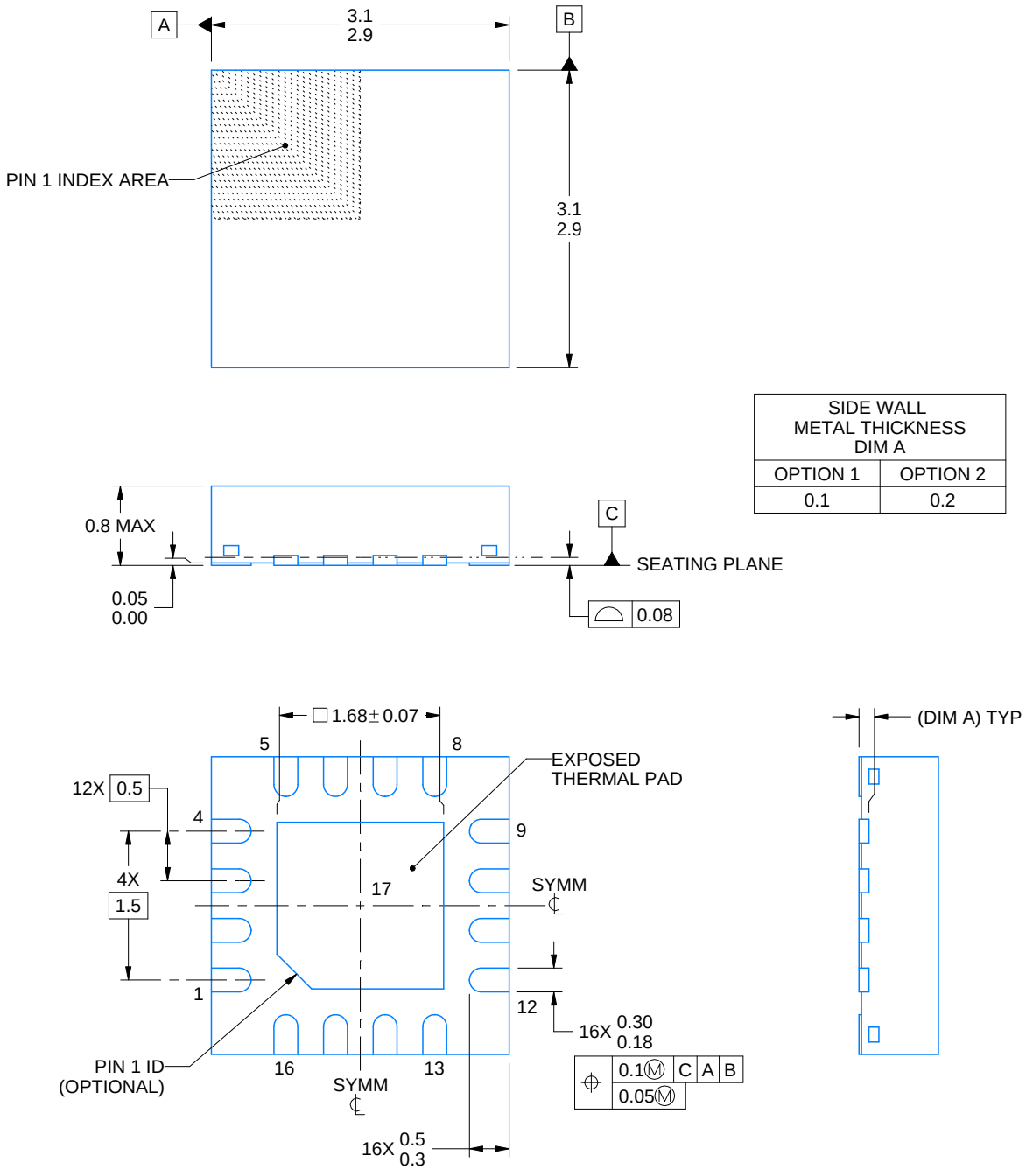


RTE0016C

PACKAGE OUTLINE

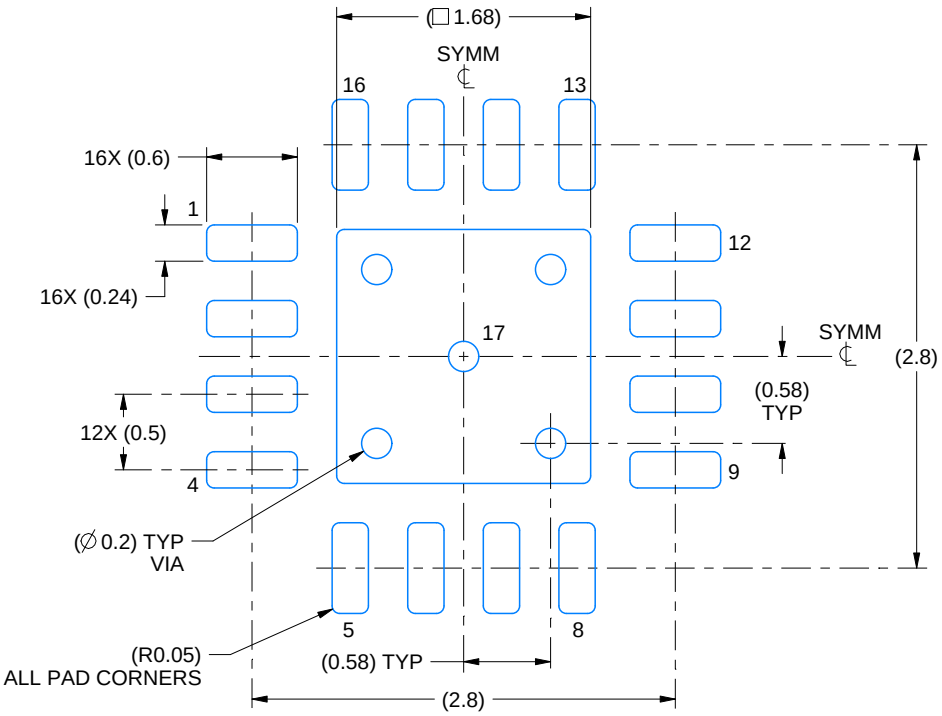
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

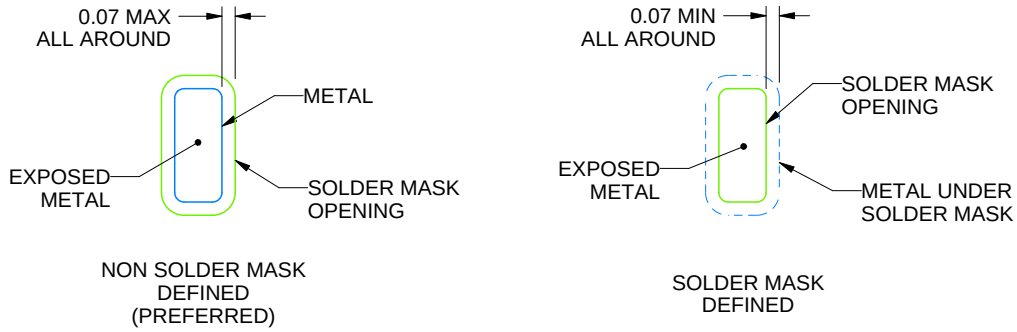


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

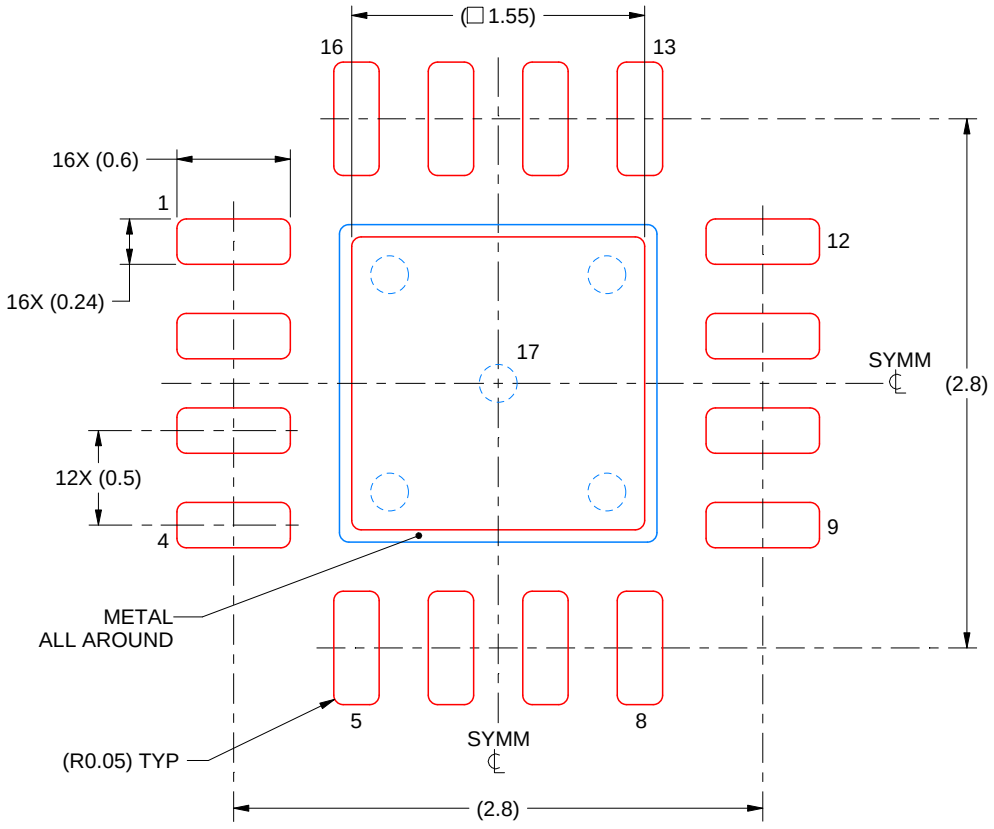


SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月