DRV8844 四通道半桥驱动器 IC

1 特性

- 四通道 1/2 桥直流电机驱动器
  - 能够驱动四个螺线管、两个直流电机、一个步进电机或其它负载
  - 完全独立的半桥控制
  - 低 MOSFET 导通电阻
- 在 24V、25°C 下的最大驱动电流为 2.5A
- 浮点输入缓冲器支持双（双极）电源（高达 ±30V）
- 内置的 3.3V、10mA LDO 稳压器
- 行业标准 IN/IN 数字控制接口
- 8V 至 60V 工作电源电压范围
- 可以将输出并联
- 热增强型表面贴装封装

2 应用

- 纺织机
- 办公自动化设备
- 游戏机
- 工厂自动化
- 机器人

3 说明

DRV8844 提供四路可单独控制的 1/2 H 桥驱动器。该器件可用于驱动两个直流电机、一个步进电机、四个螺线管或其他负载。每个通道的输出驱动器通道由配置为 1/2 H 桥配置的 N 沟道功率 MOSFET 组成。

DRV8844 的每个 H 桥通道可提供高达 2.5A 峰值电流或 1.75A RMS 的输出电流（在 24V 电压和 25°C 温度条件下，通过适当的 PCB 散热实现）。

提供单独控制每个 1/2 H 桥的独立输入。为了能够使用分体式电源运行，逻辑输入和 nFAULT 输出以单独的悬空接地引脚为基准。

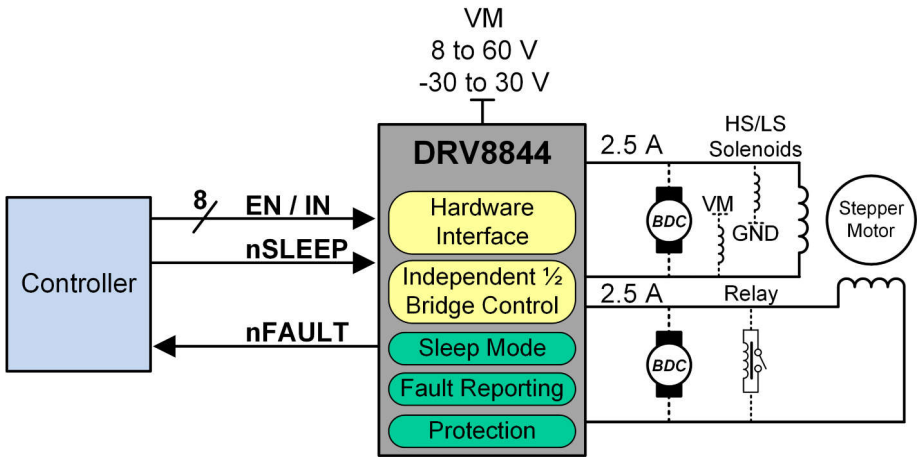
提供用于过流保护、短路保护、欠压闭锁和过热保护的内部关断功能。

DRV8844 采用带 PowerPAD™ 的 28 引脚 HTSSOP 封装（环保：RoHS，无锑/溴）。

器件信息 (1)

器件型号	封装	封装尺寸 (2)
DRV8844	HTSSOP (28)	9.70mm × 6.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....5
5.4 热性能信息.....6
5.5 电气特性.....6
5.6 开关特性.....7
5.7 典型特性.....8
6 详细说明.....9
6.1 概述.....9
6.2 功能方框图.....9
6.3 特性说明.....10
6.4 器件功能模式.....12
7 应用和实施.....13
7.1 应用信息.....13
7.2 典型应用.....13
7.3 布局.....16
8 器件和文档支持.....18
8.1 文档支持.....18
8.2 社区资源.....18
8.3 商标.....18
9 修订历史记录.....18
10 机械、封装和可订购信息.....18

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

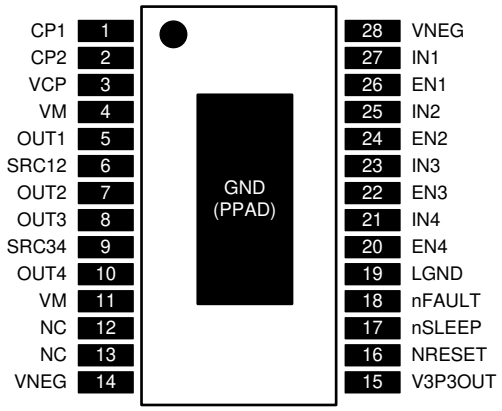


图 4-1. PWP 封装 28 引脚 HTSSOP 顶视图

表 4-1. 引脚功能

引脚		类型[1]	说明	外部组件或连接
名称	编号			
电源和接地				
CP1	1	P	电荷泵飞跨电容器	在 CP1 和 CP2 间连接一个 0.01 µ F、100V 电容器。
CP2	2	P	电荷泵飞跨电容器	
LGND	19	P	逻辑输入基准接地	连接到逻辑接地端。这是 VNEG 和 VM – 8V 之间的任意电压。
V3P3OUT	15	P	3.3V 稳压器输出	使用 0.47 µ F 6.3V 陶瓷电容器旁路至 VNEG。可用于为 VREF 供电。
VCP	3	P	高侧栅极驱动电压	将一个电容为 0.1 µ F、电压为 16V 的陶瓷电容器连接至 VM。
VM	4、11	P	主电源	连接到电机电源（8V 至 60V）。两个引脚都必须连接到同一电源。使用 10µF（最小值）陶瓷电容器旁路至 VNEG。
SRC12	6	P	OUT1 和 OUT2 的低侧 FET 源极	直接连接到 VNEG 或通过可选的电流感测电阻器连接
SRC34	9	P	OUT3 和 OUT4 的低侧 FET 源极	
VNEG	14、28、PPAD	P	负电源（双电源）或接地（单电源）	
控制				
EN1	26	I	通道 1，启用	逻辑高电平启用 OUT1。内部下拉电阻。
EN2	24	I	通道 2，启用	逻辑高电平启用 OUT2。内部下拉电阻。
EN3	22	I	通道 3，启用	逻辑高电平启用 OUT3。内部下拉电阻。
EN4	20	I	通道 4，启用	逻辑高电平启用 OUT4。内部下拉电阻。
IN1	27	I	通道 1 输入	逻辑输入控制 OUT1 的状态。内部下拉电阻。
IN2	25	I	通道 2 输入	逻辑输入控制 OUT2 的状态。内部下拉电阻。
IN3	23	I	通道 3 输入	逻辑输入控制 OUT3 的状态。内部下拉电阻。
IN4	21	I	通道 4 输入	逻辑输入控制 OUT4 的状态。内部下拉电阻。
nRESET	16	I	复位输入	低电平有效复位输入可初始化内部逻辑并禁用 H 桥输出。内部下拉电阻。
nSLEEP	17	I	睡眠模式输入	逻辑高电平用于启用器件；逻辑低电平用于进入低功耗睡眠模式。内部下拉电阻。
状态				
nFAULT	18	OD	故障	在故障条件下（过热、过流、UVLO）时为逻辑低电平。开漏输出。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明	外部组件或连接
名称	编号			
输出				
OUT1	5	O	输出 1	连接到负载
OUT2	7	O	输出 2	
OUT3	8	O	输出 3	
OUT4	10	O	输出 4	
无连接				
NC	12、13	—	无连接	未连接至这些引脚

(1) I = 输入，O = 输出，OD = 开漏输出，P = 功率

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
VM	电源电压	-0.3	65	V
	逻辑接地电压 (LGND)	-0.5	VM - 8	V
	数字引脚电压	LGND – 0.5	LGND + 7	V
	SRC12、SRC34（具有可选检测电阻器的引脚 6 和 9）到 VNEG 引脚（引脚 14 和 28）	-0.6	0.6	V
	峰值电机驱动输出电流，t < 1 µs	受内部限制		A
	连续电机驱动输出电流(2)		2.5	A
T_J	工作虚拟结温	-40	150	°C
T_{stg}	贮存温度	-60	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值时可能会对器件造成永久损坏。这些列出的值仅为应力等级，并不表示器件在这些条件下以及在*建议工作条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 必须遵循功率耗散和热限值。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±3000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

自然通风条件下的工作温度范围，所有电压均与 VNEG 端子为基准（除非另有说明）

		最小值	标称值	最大值	单位
V_M	电机电源电压(1)	8		60	V
I_{V3P3}	V3P3OUT 负载电流	0		10	mA
T_A	环境温度	-40		125	°C

(1) 所有 V_M 引脚必须连接到同一电源电压。

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		DRV8844 PWP (HTSSOP) 28 引脚	单位
$R_{\theta JA}$	结至环境热阻	31.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	15.9	°C/W
$R_{\theta JB}$	结至电路板热阻	5.6	°C/W
ψ_{JT}	结至顶部特征参数	0.2	°C/W
ψ_{JB}	结至电路板特征参数	5.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.4	°C/W

(1) 有关新旧热指标的更多信息，请参阅《*半导体和 IC 封装热指标*》应用报告 SPRA953。

5.5 电气特性

T_A = 25°C，自然通风条件下的工作温度范围，所有电压均与 VNEG 端子为基准（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
I_{VM}	VM 工作电源电流	V_M = 24V，f_{PWM} < 50kHz		1	5	mA
I_{VMQ}	VM 睡眠模式电源电流	V_M = 24V		500	800	μA
V_{UVLO}	VM 欠压锁定电压	V_M 上升		6.3	8	V
V3P3OUT 稳压器						
V_{3P3}	V3P3OUT 电压	IOUT = 0 至 1mA	3.18	3.3	3.52	V
逻辑电平输入						
V_{IL}	输入低电压			LGND + 0.6	LGND + 0.7	V
V_{IH}	输入高电压		LGND + 2.2		LGND + 5.25	V
V_{HYS}	输入迟滞		50		600	mV
I_{IL}	输入低电流	VIN = LGND	-5		5	μA
I_{IH}	输入高电流	VIN = LGND + 3.3V			100	μA
R_{PD}	内部下拉电阻			100		kΩ
nFAULT 输出（漏极开路输出）						
V_{OL}	输出低电压	I_O = 5mA			LGND + 0.5	V
I_{OH}	输出高电平漏电流	V_O = LGND + 3.3 V			1	μA
H 桥 FET						
$R_{DS(ON)}$	HS FET 导通电阻	V_M = 24V，I_O = 1A，T_J = 25°C		0.24		Ω
		V_M = 24V，I_O = 1A，T_J = 85°C		0.29	0.39	
	LS FET 导通电阻	V_M = 24V，I_O = 1A，T_J = 25°C		0.24		
		V_M = 24V，I_O = 1A，T_J = 85°C		0.29	0.39	
I_{OFF}	关断状态漏电流		-2		2	μA
保护电路						
I_{OCP}	过流保护跳变电平		3			A
t_{DEAD}	输出死区时间			90		ns
t_{OCP}	过流保护抗尖峰脉冲时间			5		μs
T_{TSD}	热关断温度	裸片温度	150	160	180	°C

Copyright © 2025 Texas Instruments Incorporated

5.6 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)（请参阅图 5-1）

编号	参数	测试条件	最小值	最大值	单位
1	t_1	ENx 高电平到 OUTx 高电平的延迟时间，INx = 1	130	330	ns
2	t_2	ENx 低电平到 OUTx 低电平的延迟时间，INx = 1	275	475	ns
3	t_3	ENx 高电平到 OUTx 低电平的延迟时间，INx = 0	100	300	ns
4	t_4	ENx 低电平到 OUTx 高电平的延迟时间，INx = 0	200	400	ns
5	t_5	INx 高电平到 OUTx 高电平的延迟时间	300	500	ns
6	t_6	INx 低电平到 OUTx 低电平的延迟时间	275	475	ns
7	t_R	电阻负载至 VNEG 的输出上升时间，	30	150	ns
8	t_F	电阻负载至 VNEG 的输出下降时间	30	150	ns

(1) 未经生产测试——由设计指定

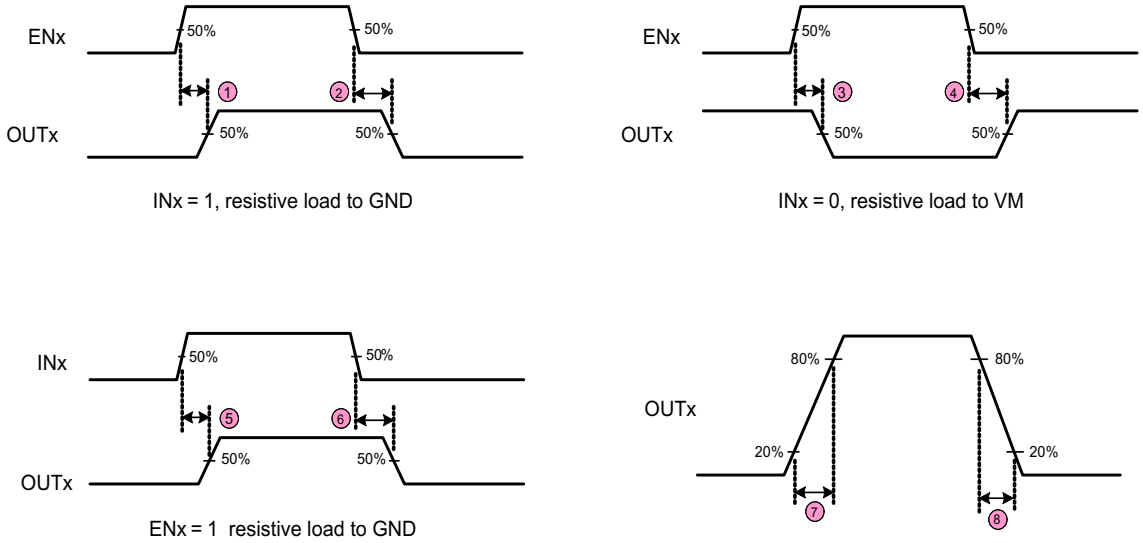


图 5-1. DRV8844 开关特性

5.7 典型特性

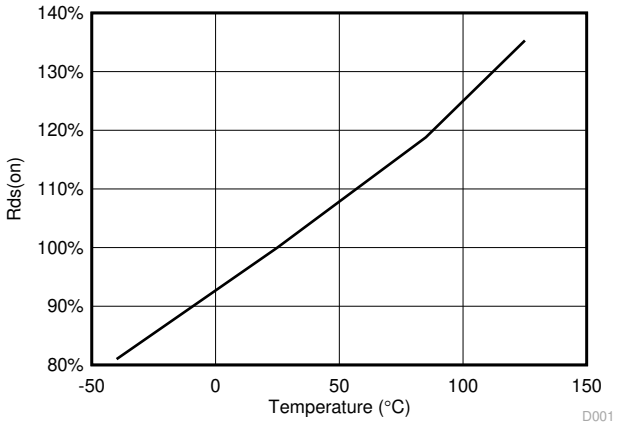


图 5-2. $R_{DS(ON)}$ 与温度间的关系

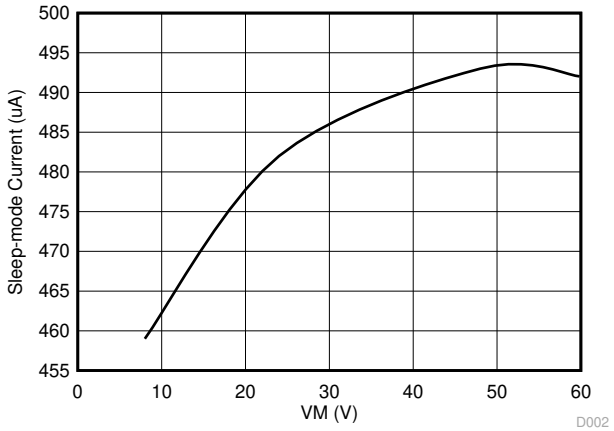


图 5-3. 睡眠模式电流与 VM 间的关系

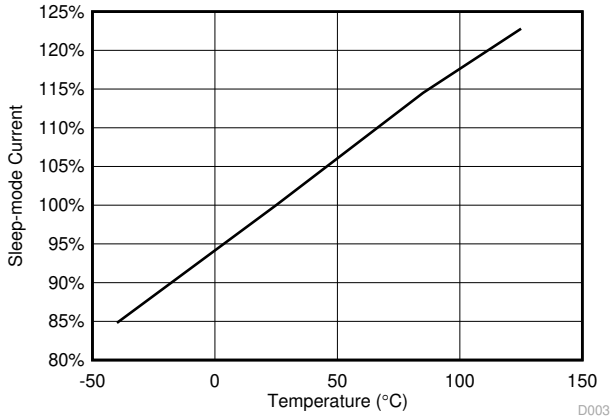


图 5-4. 睡眠模式电流与温度间的关系

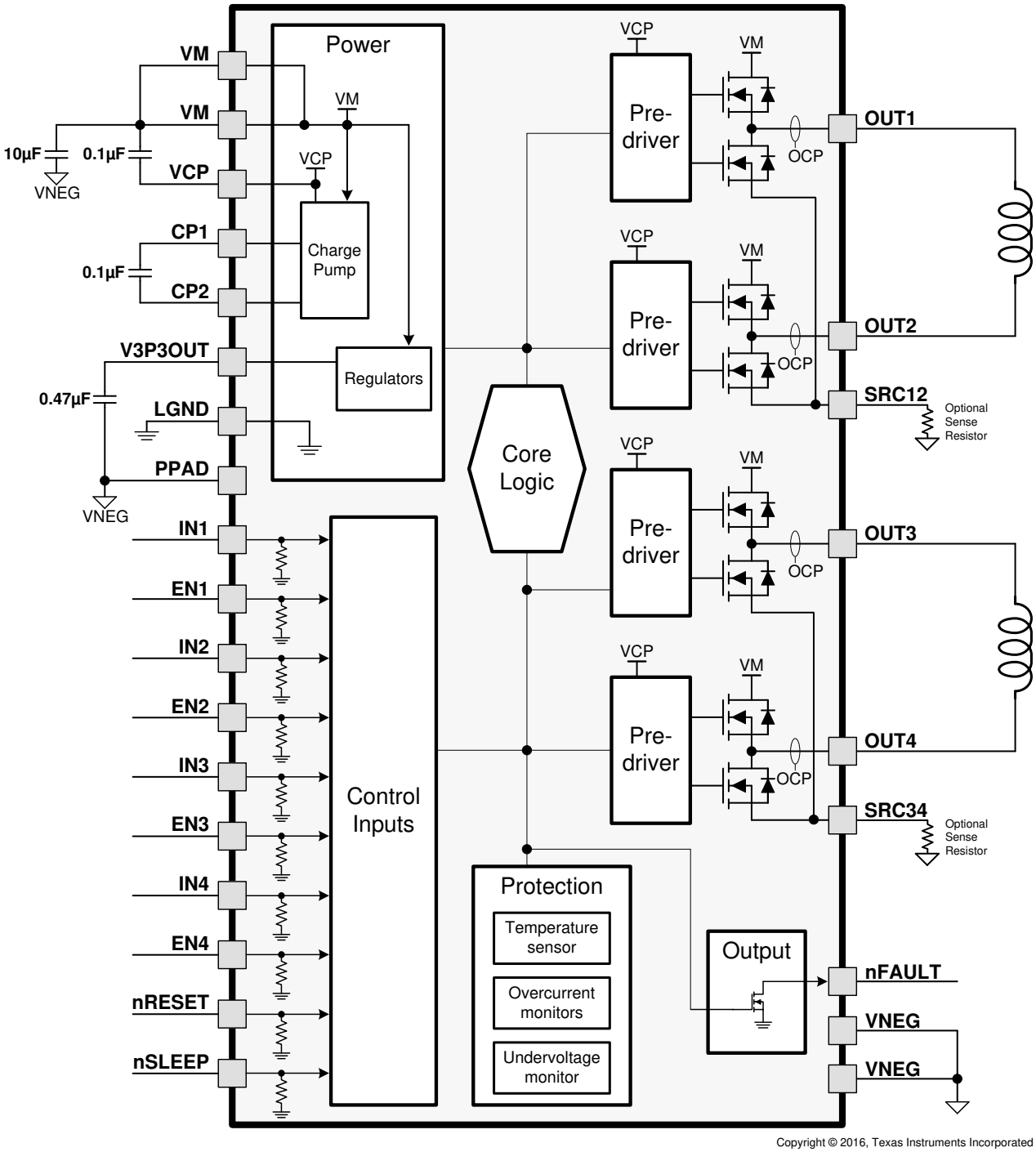
Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

DRV8844 集成了四个独立的 2.5A 半 H 桥、保护电路、睡眠模式和故障报告。其单电源支持 8V 至 60V 的宽电压范围，因此非常适合有刷直流电机、步进电机和电磁阀等电机驱动应用。

6.2 功能方框图



Copyright © 2016, Texas Instruments Incorporated

6.3 特性说明

6.3.1 输出级

DRV8844 含有四个使用 N 沟道 MOSFET 的 1/2 H 桥驱动器。图 6-1 展示了输出电路的方框图。

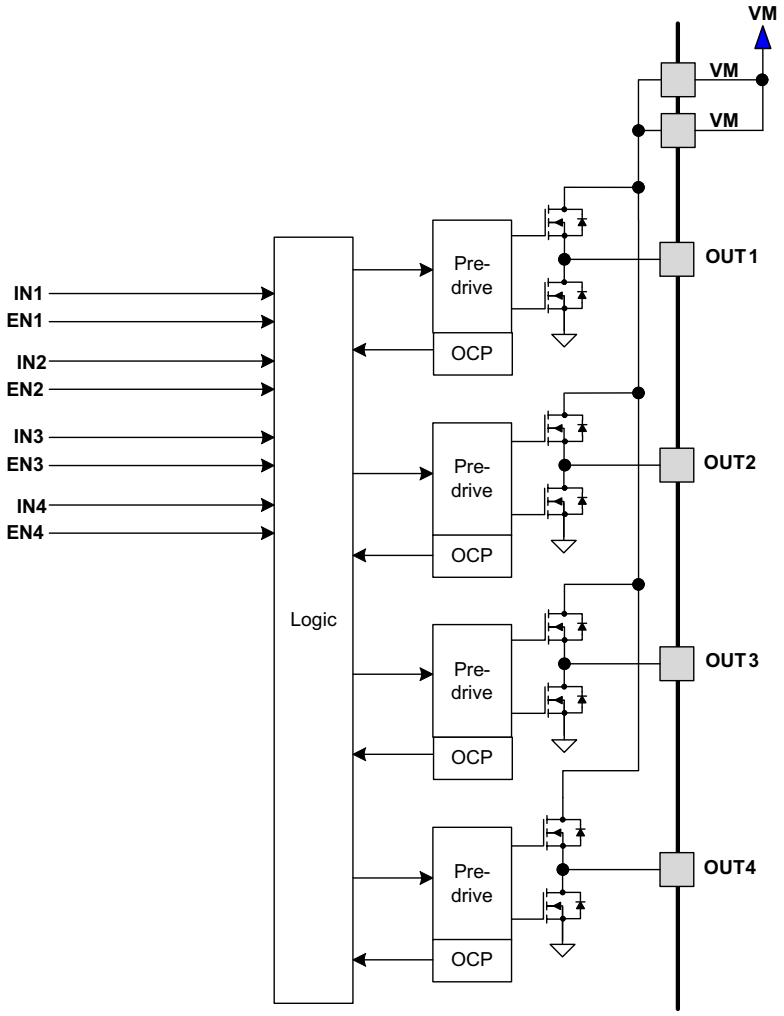


图 6-1. 电机控制电路

在 VM 和 VNEG 之间驱动输出引脚。VNEG 通常在单电源应用中接地，在双电源应用中为负电压。

请注意，有多个 VM 电机电源引脚。所有 VM 引脚必须一起连接到电机电源电压。

6.3.2 逻辑输入

逻辑输入和 nFAULT 输出以 LGND 引脚为基准。此引脚将连接至逻辑信号源的逻辑接地端（例如，微控制器）。这使得 LGND 能够处于与 VNEG 不同的电压；例如，设计人员可以通过使用 +24V 电压驱动 VM，使用 -24V 电压驱动 VNEG，并将 LGND 连接到 0V（接地端）来驱动负载。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 电桥控制

INx 输入引脚直接控制 OUTx 输出的状态（高电平或低电平）；ENx 输入引脚可启用或禁用 OUTx 驱动器。表 6-1 展示了逻辑。

表 6-1. H 桥逻辑

INx	ENx	OUTx
X	0	Z
0	1	L
1	1	H

还可以使用输入进行 PWM 控制，例如控制直流电机的转速。当使用 PWM 控制绕组时，如果驱动电流中断，电机的感应性质将要求电流必须继续流动。这称为再循环电流。为了处理此再循环电流，H 桥可在两种不同的状态下运行：快速衰减或慢速衰减。在快速衰减模式下，将会禁用 H 桥，再循环电流将会流过体二极管；在慢速衰减模式下，将会短接电机绕组。

使用快速衰减执行 PWM 操作时，会将 PWM 信号应用到 ENx 引脚；使用慢速衰减时，会将 PWM 信号应用到 INx 引脚。表 6-2 是使用 OUT1 和 OUT2 作为 H 桥来驱动直流电机的示例：

表 6-2. PWM 功能

IN1	EN1	IN2	EN2	功能
PWM	1	0	1	正向 PWM，慢速衰减
0	1	PWM	1	反向 PWM，慢速衰减
1	PWM	0	PWM	正向 PWM，快速衰减
0	PWM	1	PWM	反向 PWM，快速衰减

图 6-2 显示了不同驱动和衰减模式下的电流路径：

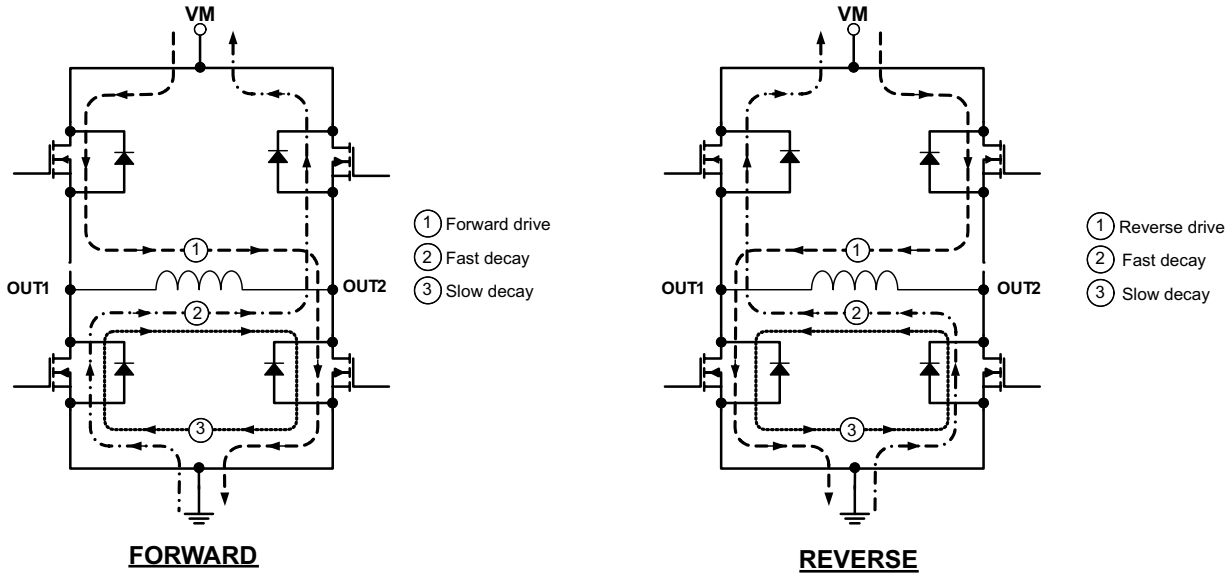


图 6-2. 电流路径

6.3.4 电荷泵

由于输出级使用 N 沟道 FET，因此需要高于 VM 电源的栅极驱动电压才能完全增强高侧 FET。DRV8844 集成了一个电荷泵电路，可为此目的生成高于 VM 电源的电压。

Copyright © 2025 Texas Instruments Incorporated

电荷泵需要两个外部电容器才能运行。有关这些电容器的详细信息（值、连接等），请参阅方框图和引脚说明。

当 nSLEEP 为低电平时，电荷泵会关断。

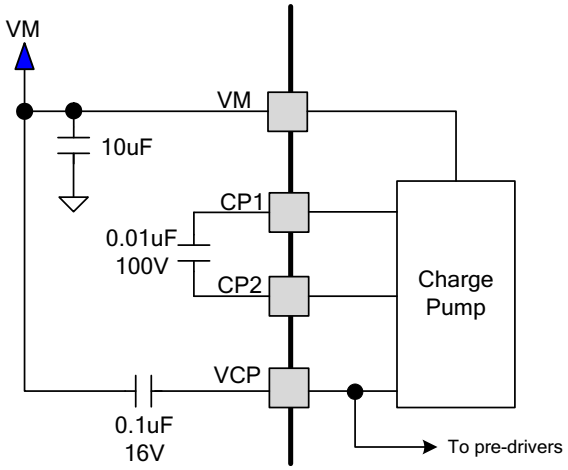


图 6-3. 电荷泵

6.3.5 保护电路

DRV8844 可完全防止欠压、过流和过热事件。

6.3.5.1 过流保护 (OCP)

每个 FET 上的模拟电流限制电路都将通过移除栅极驱动来限制流经 FET 的电流。如果此模拟电流限制的持续时间超过 OCP 抗尖峰脉冲时间，则会禁用遭遇过流的通道并将 nFAULT 引脚将驱动为低电平。在复位生效或 VM 电源循环之前，驱动器将保持关闭状态。

在高侧和低侧器件上的过流状况；即，接地短路、电源短路或跨电机绕组短路都会导致过流关断。

6.3.5.2 热关断 (TSD)

如果内核温度超过安全限值，则会禁用 H 桥中的所有 FET 并将 nFAULT 引脚驱动为低电平。一旦内核温度下降到安全水平，就将自动恢复运行。

6.3.5.3 欠压锁定 (UVLO)

如果 VM 引脚上的电压在任何时候降至欠压锁定阈值电压以下，则所有输出将被禁用，内部逻辑将被重置，nFAULT 引脚将被驱动为低电平。当 VM 上升到 UVLO 阈值以上时，将恢复正常运行。

6.4 器件功能模式

6.4.1 nRESET 与 nSLEEP 运行

当 nRESET 引脚被驱动为低电平有效时，会复位内部逻辑。它还会禁用 H 桥驱动器。当 nRESET 有效时，忽略所有输入。

驱动 nSLEEP 为低电平将会使器件进入低功耗睡眠状态。在该状态下，禁用 H 桥，停止栅极驱动电荷泵，并停止所有内部时钟。在该状态下，所有输入都被忽略，直到 nSLEEP 返回无效高电平。从睡眠模式返回时，需要经过一段时间（大约 1ms），电机驱动器才能完全正常运行。请注意，nRESET 和 nSLEEP 具有大约 100kΩ 的内部下拉电阻器。这些信号需要驱动至逻辑高电平，才能实现器件运行。

V3P3OUT LDO 稳压器在睡眠模式下保持运行状态。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

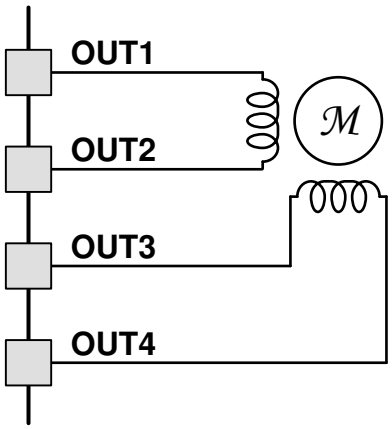
7.1 应用信息

DRV8844 可用于驱动一个步进电机、多个有刷直流电机或多个其他感性负载。

可将输出并联从而增加驱动电流。如果像全桥配置中那样连接输出，则可以并联任意两个输出。如果配置为两个独立的半桥，OUT1 和 OUT2 必须配对，OUT3 和 OUT4 也必须配对。这是因为引脚 6 (SRC12) 是 OUT1 和 OUT2 的低侧 FET 的源极，引脚 9 (SRC34) 是 OUT3 和 OUT4 的低侧 FET 的源极。

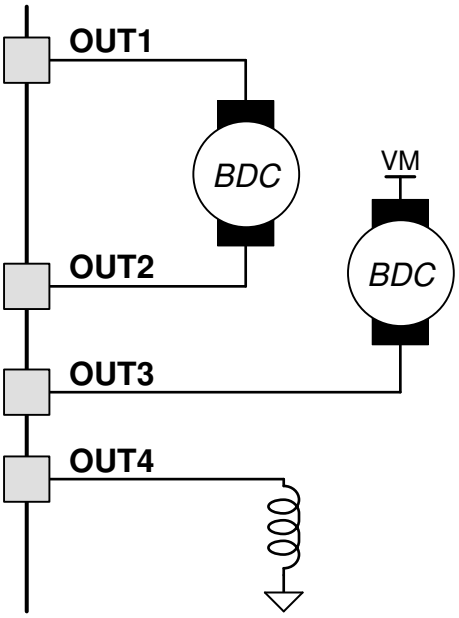
可使用选配的检测电阻来监控电流。如果采用检测电阻，请将电阻器放置在 SRC12 或 SRC34 引脚与 VNEG 引脚之间。

7.2 典型应用



Copyright © 2016, Texas Instruments Incorporated

图 7-1. 步进电机连接



Copyright © 2016, Texas Instruments Incorporated

图 7-2. 展示双向有刷直流电机、单向有刷直流电机和电阻负载的示例

7.2.1 设计要求

以下真值表描述了如何控制 图 7-1 中的布置。

表 7-1. 有刷直流电机

功能	EN1	EN2	IN1	IN2	OUT1	OUT2
正向	1	1	PWM	0	H	L
反向	1	1	0	PWM	L	H
制动	1	1	0	0	L	L
制动	1	1	1	1	H	H
滑行	0	X	X	X	Z	X
滑行	X	0	X	X	X	Z

表 7-2. 单向有刷直流电机

功能	EN3	IN3	OUT3
开	1	$\overline{\text{PWM}}$	L
制动	1	1	H
滑行	0	X	Z

表 7-3. 电感性负载

功能	EN4	IN4	OUT4
开	1	PWM	H
关断或慢速衰减	1	0	L
关断或滑行	0	X	Z

7.2.2 详细设计过程

7.2.2.1 电机电压

所选电机的额定值和所需的 RPM 决定了设计人员应使用的电机电压。电压越高，有刷直流电机就旋转得越快，同时将相同的 PWM 占空比应用于功率 FET。更高的电压也会增加通过感应电机绕组的电流变化率。

Copyright © 2025 Texas Instruments Incorporated

7.2.3 应用曲线

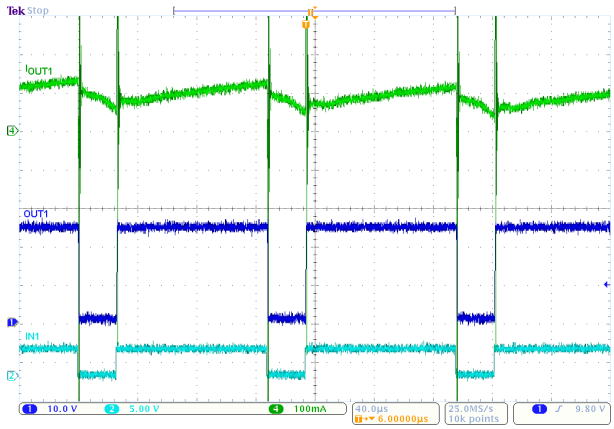


图 7-3. 具有 80 个 PWM 的直流电机

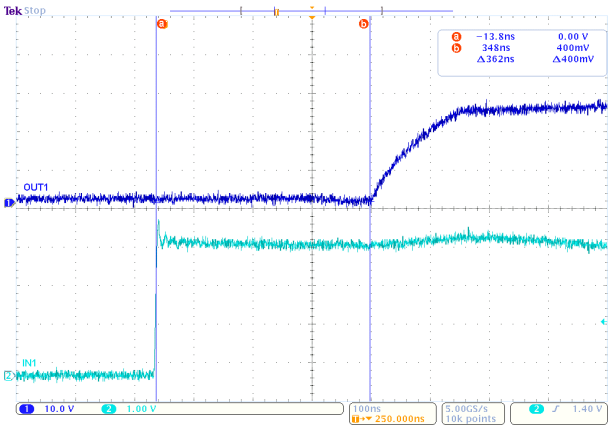


图 7-4. IN1 至 OUT1 传播延迟

电源相关建议

7.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点是增加了成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的电容和拉电流的能力
- 电源和电机系统之间的寄生电感量
- 可接受的电压纹波
- 使用的电机类型（有刷直流、无刷直流、步进电机）
- 电机制动方法

电源与电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

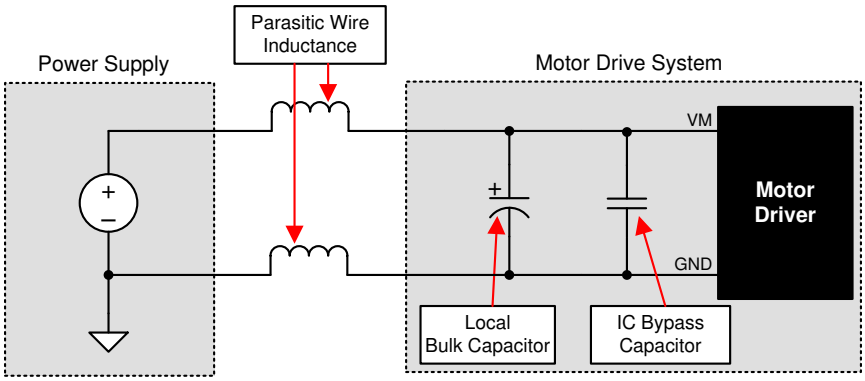


图 7-5. 带外部电源的电机驱动系统示例设置

大容量电容的额定电压应高于工作电压，以便在电机向电源传递能量时提供裕度。

7.3 布局

7.3.1 布局指南

放置大容量电容器时，应尽量缩短通过电机驱动器器件的大电流路径的距离。连接金属布线宽度应尽可能宽，并且在连接 PCB 层时应使用许多过孔。这些做法可更大限度地减少电感并允许大容量电容器提供大电流。

小值电容器应为陶瓷电容器，并靠近器件引脚放置。

大电流器件输出应使用宽金属布线。

器件散热焊盘应焊接到 PCB 顶层接地平面。应使用多个过孔连接到较大的底层接地平面。使用大金属平面和多个过孔有助于散发器件中产生的 $I^2 \times R_{DS(on)}$ 热量。

7.3.2 布局示例

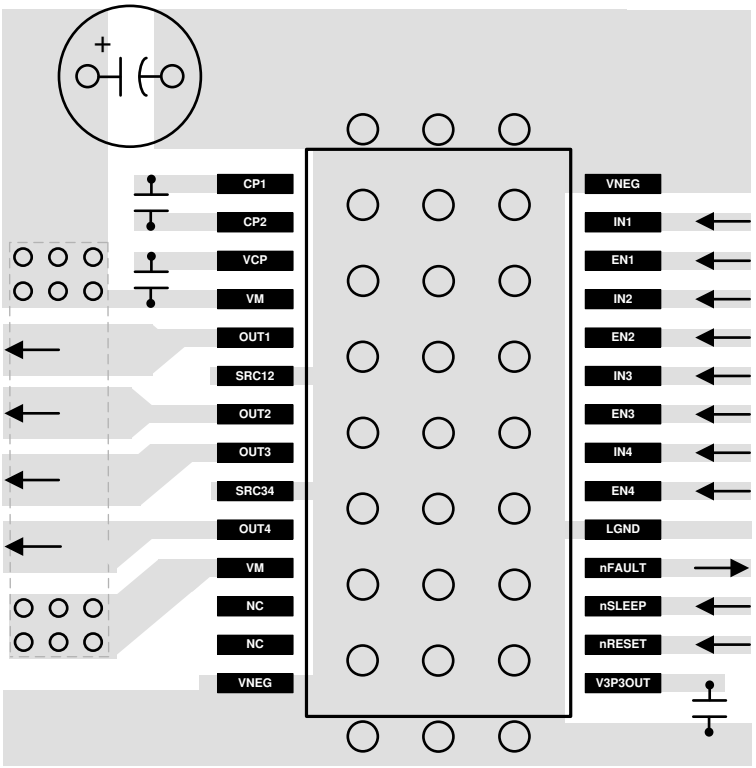


图 7-6. 布局原理图

7.3.3 散热注意事项

如上所述，DRV8844 具有热关断 (TSD) 功能。如果芯片温度超过约 150°C，该器件将被禁用，直到温度降至安全水平。

如果该器件有任何进入热关断 (TSD) 状态的倾向，则表明功耗过大、散热不足或环境温度过高。

7.3.3.1 散热

PowerPAD™ 封装通过外露焊盘去除器件的热量。为了确保正常运行，该焊盘必须热接至 PCB 上的覆铜区域以实现散热。在带有接地层的多层 PCB 上，可以通过增加多个过孔将散热垫连接到接地层来实现这一点。在没有内部平面的 PCB 上，可以在 PCB 的任一侧增加覆铜区域以实现散热。如果覆铜区域位于 PCB 与器件相反的一侧，则使用热过孔来传递顶层和底层之间的热量。

有关如何设计 PCB 的详细信息，请参阅 TI 应用报告 SLMA002 — *《PowerPAD™ 热增强型封装》*和 TI 应用简报 SLMA004 — *《PowerPAD™ 速成》*，详情请访问 www.ti.com。

Copyright © 2025 Texas Instruments Incorporated

一般来说，提供的覆铜区域面积越大，消耗的功率就越多。

7.3.4 功率耗散

DRV8844 中的功率耗散主要由输出 FET 电阻或 $R_{DS(ON)}$ 中耗散的功率决定。每个 H 桥在运行直流电机时的平均功耗可以通过方程式 1 大致估算。

$$P = 2 \times R_{DS(ON)} \times (I_{OUT})^2 \quad (1)$$

其中

- P 是一个 H 桥的耗散功率
- $R_{DS(ON)}$ 是每个 FET 的导通电阻
- I_{OUT} 是施加到每个绕组的 RMS 输出电流

I_{OUT} 等于直流电机消耗的平均电流。请注意，在启动和故障情况下，相应的电流远大于正常运行电流；需要将这些峰值电流及其持续时间也考虑在内。因数 2 来自这样的事实，即两个 FET 在任何时刻导通绕组电流（一个高侧和一个低侧）。

器件总耗散将是两个 H 桥中每一个耗散的总和。

器件中可耗散的最大功率取决于环境温度和散热。

请注意，$R_{DS(ON)}$ 随温度升高而增加，因此随着器件发热，功率耗散也会增大。在确定散热器尺寸时，必须考虑到这一点。

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- *计算电机驱动器功率耗散*，SLVA504
- *DRV8844 评估模块*，SLVU762
- *了解电机驱动器电流额定值*，SLVA505

8.2 社区资源

8.3 商标

PowerPAD™ and 《PowerPAD™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (May 2016) to Revision E (July 2025) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 删除了 OCP 典型规格 6

Changes from Revision C (May 2015) to Revision D (May 2016) **Page**

- 向*特性* 部分添加了并联输出连接 1
- 在*绝对最大额定值* 表中添加了 SRC12、SRC34 至 VNEG 引脚 5
- 更改了*功能方框图* 以显示引脚 6 和 9 从 VNEG 更改为 SRC12 和 SRC34 9
- 向*应用信息* 部分添加了并联输出说明和检测电阻选项 13

Changes from Revision B (January 2015) to Revision C (May 2015) **Page**

- 对*节 5.3* 添加了环境温度 5

Changes from Revision A (October 2012) to Revision B () **Page**

- 添加了 *ESD 等级* 表、*特性说明* 部分、*器件功能模式*、*应用和实现* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分 5

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8844PWP	Obsolete	Production	HTSSOP (PWP) | 28	-	-	Call TI	Call TI	-40 to 125	DRV8844
DRV8844PWPR	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8844
DRV8844PWPR.A	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8844
DRV8844PWPR.B	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8844
DRV8844PWPRG4	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8844
DRV8844PWPRG4.A	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8844
DRV8844PWPRG4.B	Active	Production	HTSSOP (PWP) | 28	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8844

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

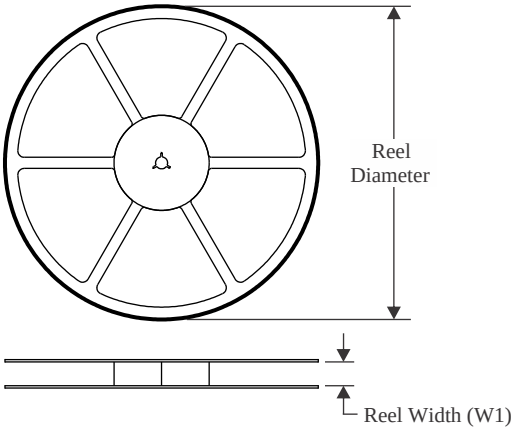
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

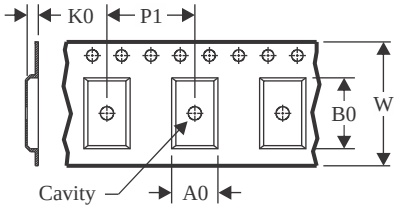
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

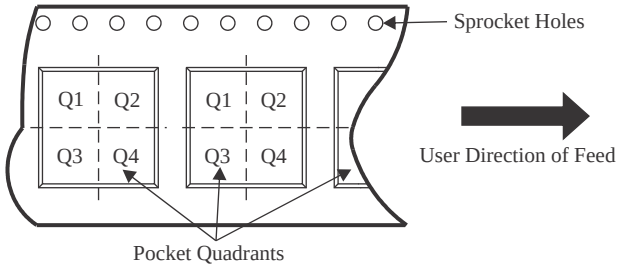


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

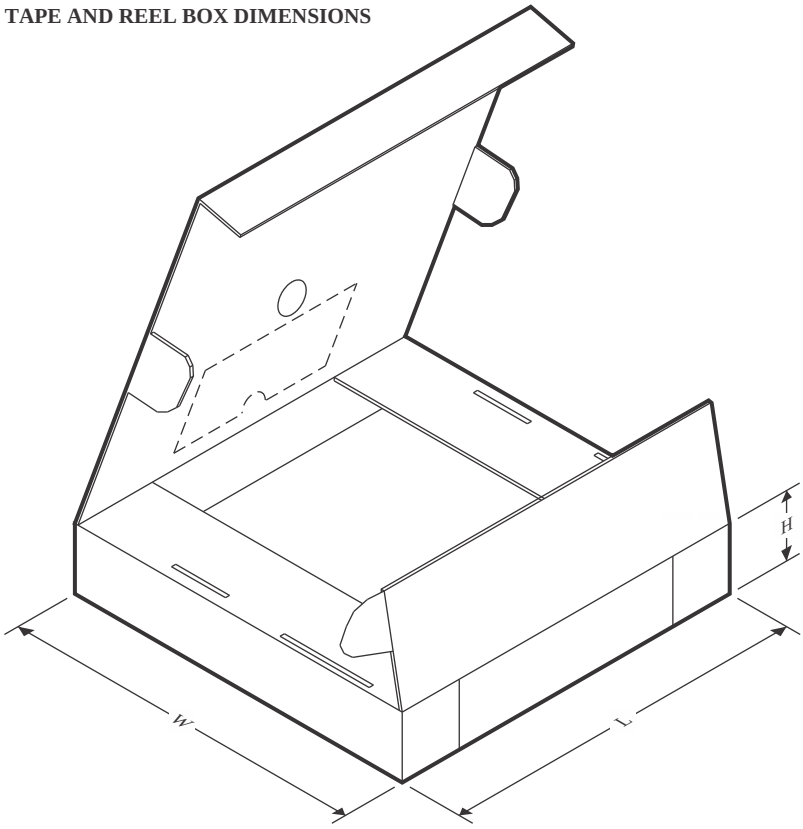
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8844PWPR	HTSSOP	PWP	28	2000	330.0	16.4	6.75	10.1	1.8	12.0	16.0	Q1
DRV8844PWPRG4	HTSSOP	PWP	28	2000	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8844PWPR	HTSSOP	PWP	28	2000	353.0	353.0	32.0
DRV8844PWPRG4	HTSSOP	PWP	28	2000	350.0	350.0	43.0

GENERIC PACKAGE VIEW

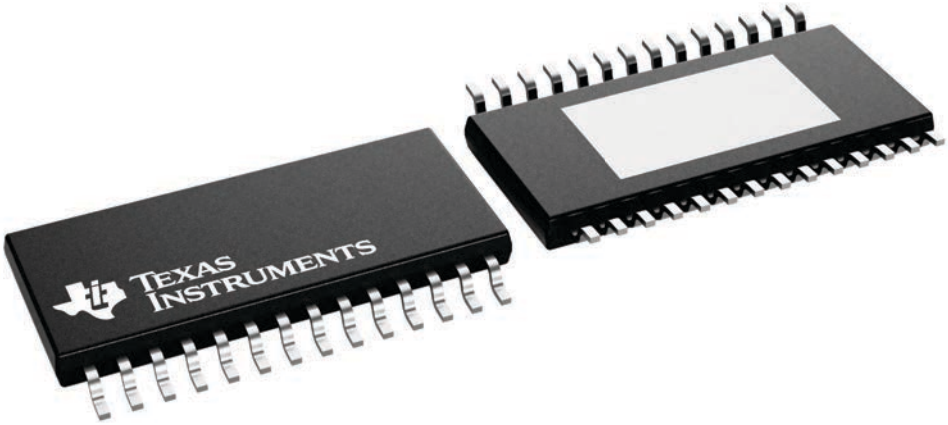
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

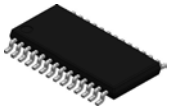
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B

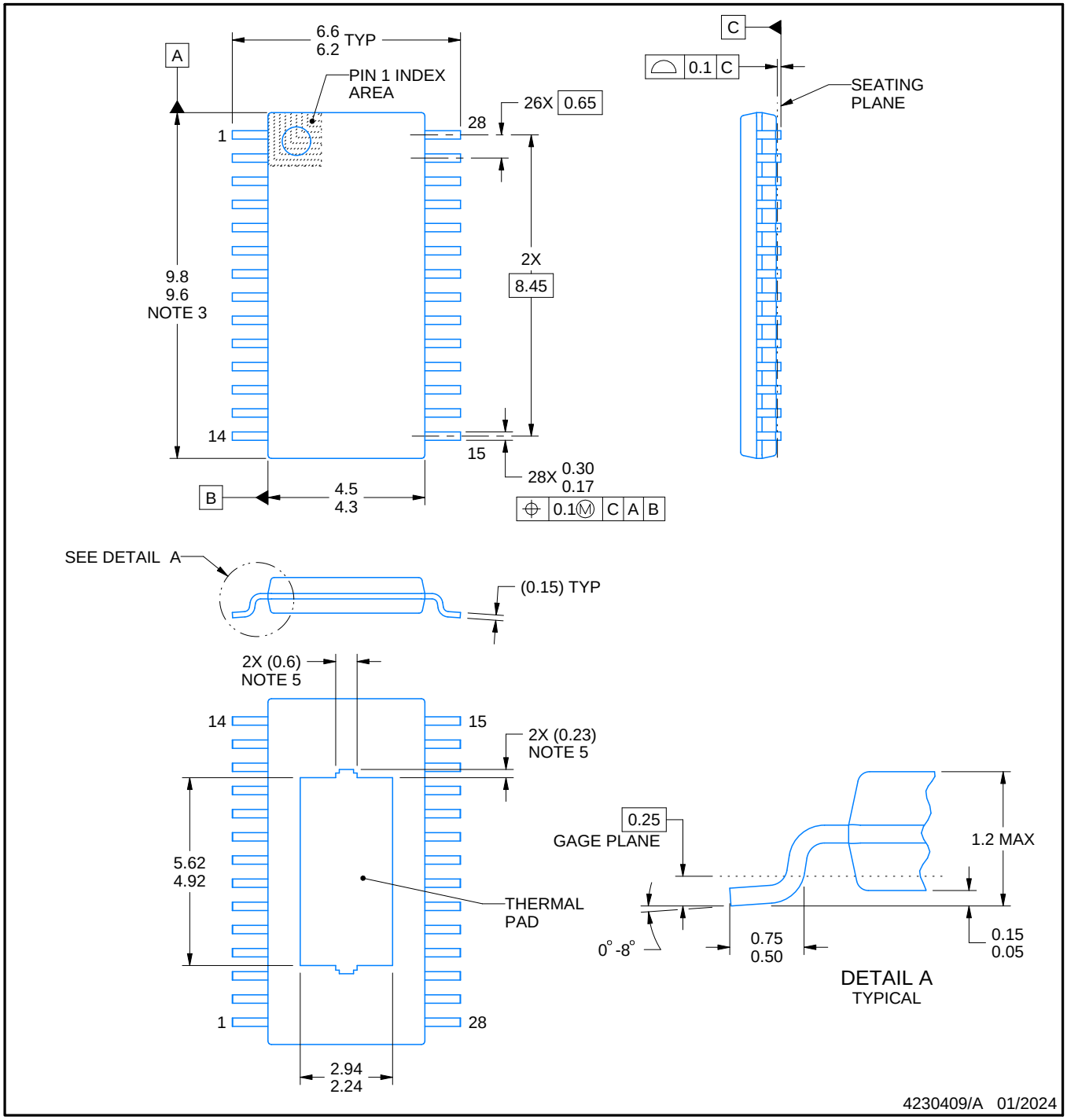
PACKAGE OUTLINE

PWP0028V



PowerPAD™ TSSOP - 1.2 mm max height

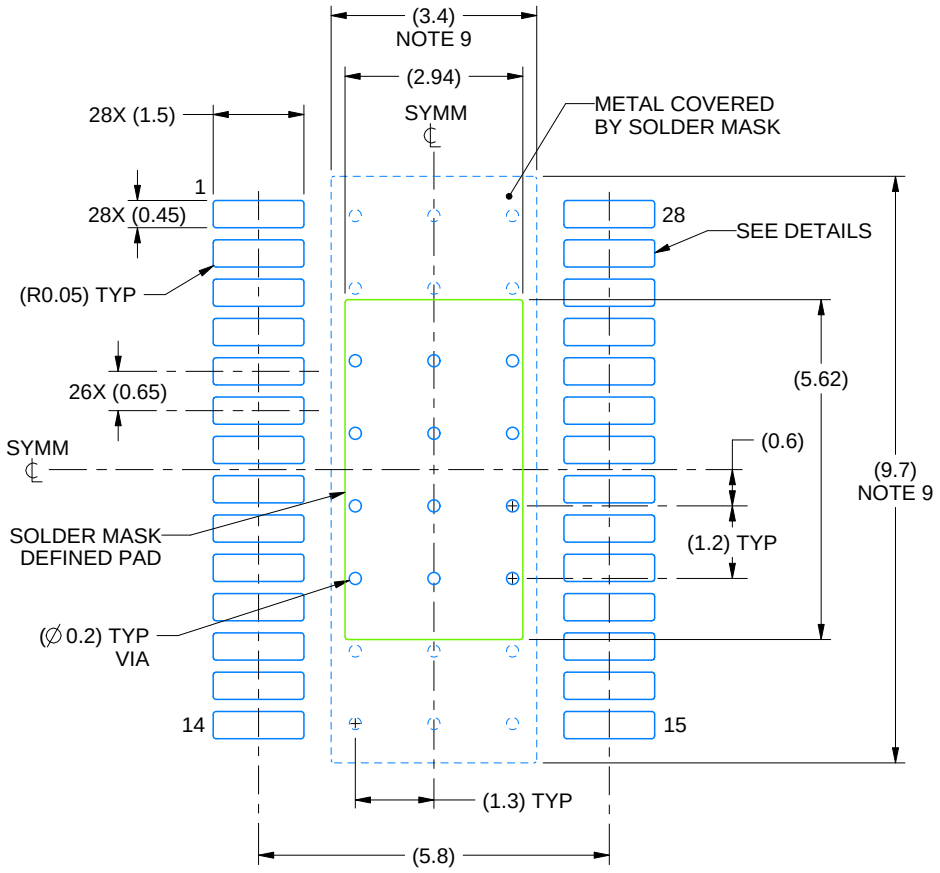
SMALL OUTLINE PACKAGE



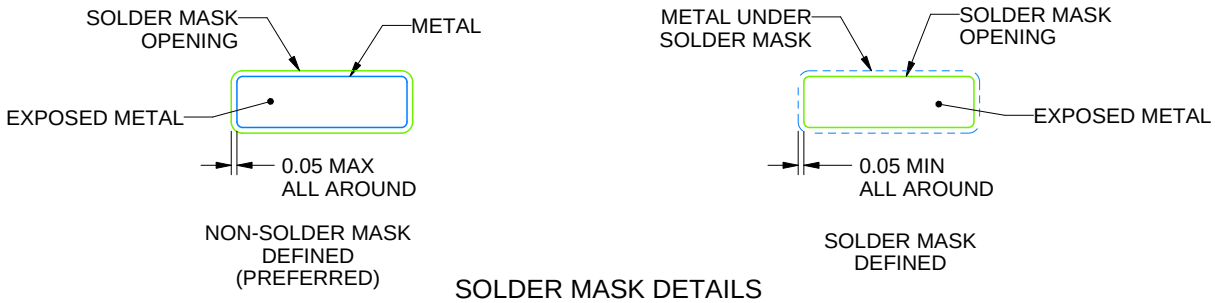
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X

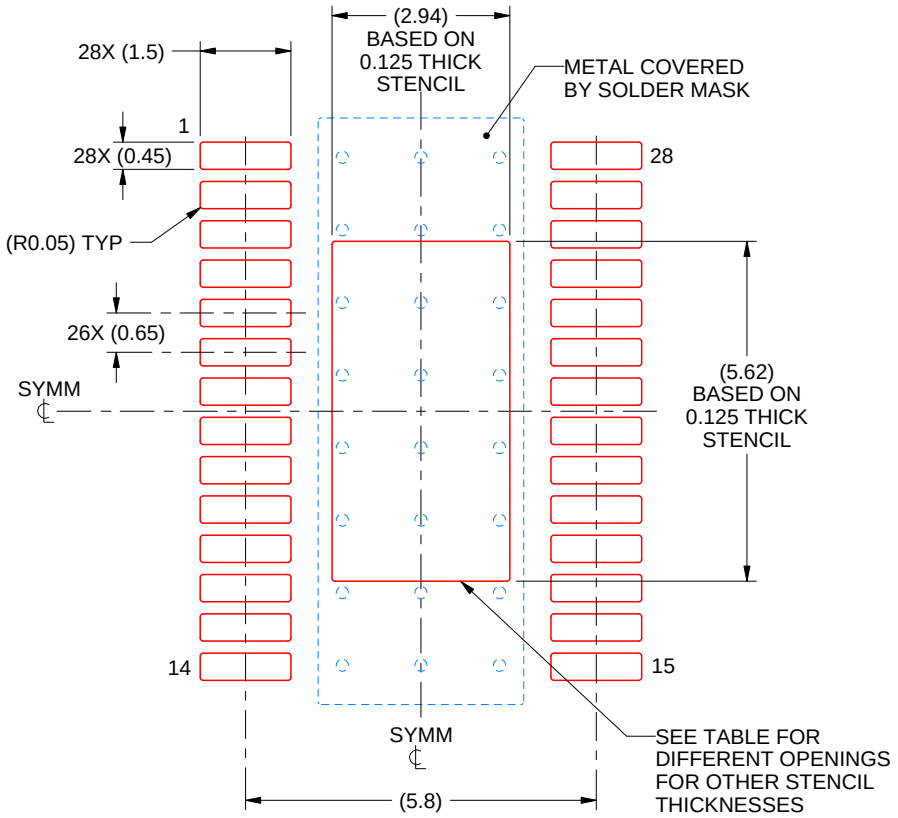


SOLDER MASK DETAILS

4230409/A 01/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.29 X 6.28
0.125	2.94 X 5.62 (SHOWN)
0.15	2.68 X 5.13
0.175	2.48 X 4.75

4230409/A 01/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月