

DRV8706-Q1 具有宽共模直列式电流感测放大器的汽车类 H 桥智能栅极驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 温度等级 1：-40°C 至 +125°C，T_A
- 提供功能安全
 - 有助于进行功能安全系统设计的文档
- H 桥智能栅极驱动器
 - 4.9V 至 37V (绝对最大值为 40V) 工作电压范围
 - 倍增电荷泵可实现 100% PWM
 - 半桥和 H 桥控制模式
- 引脚对引脚栅极驱动器型号
 - DRV8106-Q1：具有直列式放大器的半桥
 - DRV8705-Q1：具有低侧放大器的 H 桥
- 智能栅极驱动架构
 - 可调压摆率控制
 - 0.5 mA 至 62 mA 峰值拉电流输出
 - 0.5 mA 至 62 mA 峰值灌电流输出
 - 集成死区时间握手
- 宽共模电流分流放大器
 - 支持直列式高侧或低侧
 - 可调增益设置 (10、20、40、80 V/V)
 - 集成反馈电阻
 - 可调 PWM 消隐方案
- 提供多个接口选项
 - SPI：详细配置和诊断
 - H/W：简化的控制和更少的 MCU 引脚
- 展频时钟可降低 EMI
- 具有可润湿侧翼的紧凑型 VQFN 封装
- 集成保护特性
 - 专用驱动器禁用引脚 (DRVOFF)
 - 电源和稳压器电压监控器
 - MOSFET V_{DS} 过流监控器
 - MOSFET V_{GS} 栅极故障监控器
 - 用于反极性 MOSFET 的电荷泵
 - 离线开路负载和短路诊断
 - 器件热警告和热关断
 - 故障条件中断引脚 (nFAULT)

3 说明

DRV8706-Q1 是一款高度集成式 H 桥栅极驱动器，能够驱动高侧和低侧 N 沟道功率 MOSFET。它可使用集成式倍增电荷泵 (针对高侧) 和线性稳压器 (针对低侧) 生成合适的栅极驱动电压。

该器件通过使用智能栅极驱动架构来降低系统成本并提高可靠性。栅极驱动器可优化死区时间以避免出现击穿问题，通过可调栅极驱动电流对减少电磁干扰 (EMI) 进行控制，而且可通过 V_{DS} 和 V_{GS} 监控器来防止漏源极和栅极短路问题。

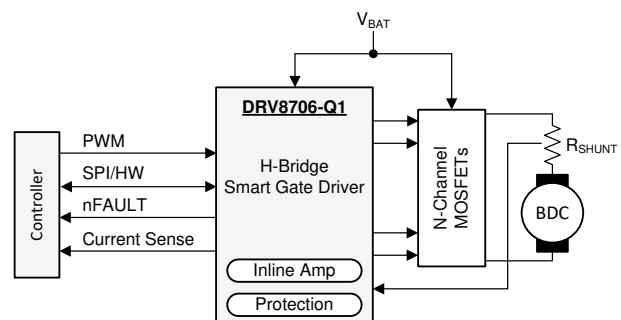
宽共模分流放大器具有内联电流感测功能，即使在再循环期间也可持续测量电机电流。如果不需要进行内联感测，放大器可用于低侧或高侧感测配置。

DRV8706-Q1 提供了一系列保护功能，可确保系统稳定运行。此类功能包括适用于电源和电荷泵的欠压和过压监控、适用于外部 MOSFET 的 V_{DS} 过流和 V_{GS} 栅极故障监控、离线开路负载和短路诊断，以及内部热警告和热关断保护功能。

器件信息(1)

器件型号	封装	封装尺寸 (标称值)
DRV8706-Q1	VQFN (32)	5.00mm x 5.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版原理图

2 应用

- 汽车类有刷直流电机
- 螺线管和继电器
- 电动车窗升降器和滑动门
- 电动天窗
- 电动座椅模块
- 电动后备箱和后备箱门
- BDC 燃油泵、水泵、机油泵
- 挡风玻璃雨刮器



内容

1 特性	1	7.3 特性说明	21
2 应用	1	7.4 器件功能模式	37
3 说明	1	7.5 编程	37
4 修订历史记录	2	7.6 寄存器映射	42
5 引脚配置	4	8 应用和实现	54
DRV8706-Q1_RHB 封装 (VQFN) 引脚功能.....	4	8.1 应用信息.....	54
6 规格	6	8.2 典型应用.....	54
6.1 绝对最大额定值.....	6	9 布局	60
6.2 ESD 等级.....	7	9.1 布局指南.....	60
6.3 建议运行条件.....	7	9.2 布局示例.....	61
6.4 热性能信息.....	7	10 器件和文档支持	62
6.5 电气特性.....	7	10.1 文档支持.....	62
6.6 时序要求.....	15	10.2 支持资源.....	62
6.7 时序图.....	16	10.3 商标.....	62
6.8 典型特性.....	16	10.4 静电放电警告.....	62
7 详细说明	18	10.5 术语表.....	62
7.1 概述.....	18	11 机械、封装和可订购信息	63
7.2 功能方框图.....	19		

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (July 2020) to Revision A (April 2021)	Page
• 将器件状态更改为“量产数据”	1

器件比较表

器件	半桥	放大器	接口
DRV8706S-Q1	2	1	串行 (SPI)
DRV8706H-Q1	2		硬件 (H/W)

表 5-1. SPI 与 H/W 特性比较

特性	SPI (S) 接口	H/W (H) 接口
PWM 输入模式	4 种模式	4 种模式
栅极驱动输出电流 (I_{DRIVE})	16 种设置, 与 HS 和 LS 无关	6 种设置, 与 HS 和 LS 关联
死区时间	握手 + 7 种固定设置	仅握手
V_{DS} 比较器阈值	16 种设置, 与 HS 和 LS 无关	6 种设置, 与 HS 和 LS 关联
V_{DS} 和 V_{GS} 消隐时间 (t_{DRIVE})	4 种设置	固定, 4 μs
V_{DS} 抗尖峰脉冲时间	4 种设置	固定, 4 μs
V_{GS} 抗尖峰脉冲时间	固定, 2 μs	固定, 2 μs
V_{DS} 故障响应	4 种模式	固定, 逐周期
V_{GS} 故障响应	4 种模式	固定, 逐周期
放大器增益	4 种设置	4 种设置
放大器消隐时间	8 种设置	不适用
放大器采样保持	可用	不适用
放大器基准电压	2 种设置	固定, $V_{AREF} / 2$
V_{PVDD} 欠压故障响应	2 种模式	自动重试
V_{PVDD} 过压故障响应	4 种模式	不适用
V_{VCP} 欠压故障响应	2 种模式	自动重试
V_{VCP} 欠压阈值	2 种设置	固定, 2.5V
离线开路负载诊断	可用	不适用
离线短路诊断	可用	不适用

5 引脚配置

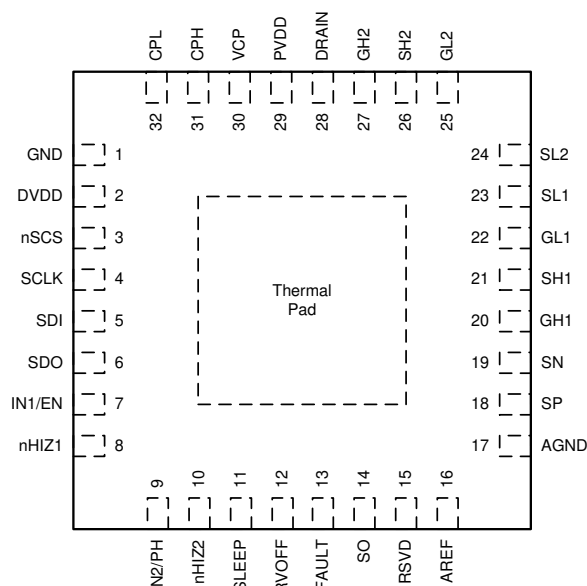


图 5-1. DRV8706S-Q1 RHB 封装 32 引脚 VQFN 顶视图

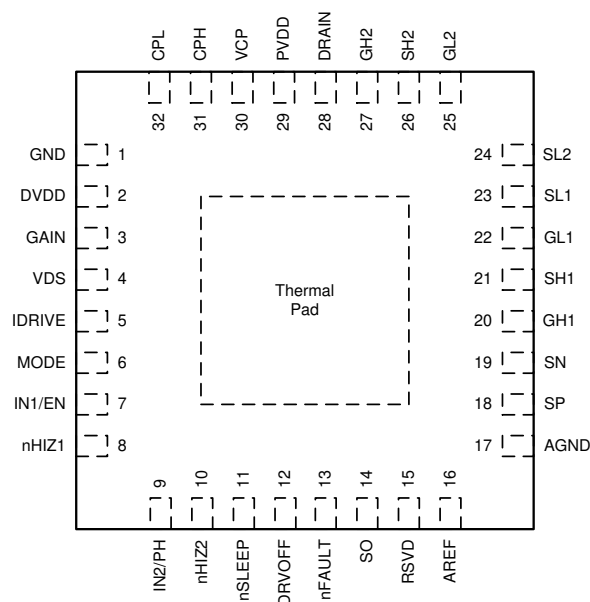


图 5-2. DRV8706H-Q1 RHB 封装 32 引脚 VQFN 顶视图

DRV8706-Q1_RHB 封装 (VQFN) 引脚功能

编号	引脚		I/O	类型	说明
	名称	名称			
	DRV8706S-Q1	DRV8706H-Q1			
1	GND		I/O	接地	器件接地。连接到系统接地端。
2	DVDD		I	电源	器件逻辑和数字输出电源输入。在 DVDD 与 GND 引脚之间连接一个 1.0 μ F、6.3V 的陶瓷电容器。
3	nSCS	—	I	数字	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。内部上拉电阻。
	—	GAIN	I	模拟	放大器增益设置。由外部电阻设置的 4 电平输入引脚。
4	SCLK	—	I	数字	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。内部下拉电阻。
	—	VDS	I	模拟	VDS 监控阈值设置。由外部电阻设置的 6 电平输入引脚。
5	SDI	—	I	数字	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。内部下拉电阻。
	—	IDRIVE	I	模拟	栅极驱动器输出电流设置。由外部电阻设置的 6 电平输入引脚。
6	SDO	—	O	数字	串行数据输出。在 SCLK 引脚的上升沿移出数据。推挽式输出。
	—	MODE	I	模拟	PWM 输入模式设置。由外部电阻设置的 4 电平输入引脚。
7	IN1/EN		I	数字	半桥控制输入。请查看 PWM 模式了解详细信息。内部下拉电阻。
8	nHIZ1		I	数字	半桥控制输入。请查看 PWM 模式了解详细信息。内部下拉电阻。
9	IN2/PH		I	数字	半桥控制输入。请查看 PWM 模式了解详细信息。内部下拉电阻。
10	nHIZ2		I	数字	半桥控制输入。请查看 PWM 模式了解详细信息。内部下拉电阻。
11	nSLEEP		I	数字	器件使能引脚。置为逻辑低电平可关断器件并进入睡眠模式。内部下拉电阻。
12	DRVOFF		I	数字	驱动器关断引脚。置为逻辑高电平可将高侧和低侧栅极驱动器输出拉低。内部下拉电阻。
13	nFAULT		O	数字	故障指示灯输出。此引脚被拉至逻辑低电平可指示故障情况。开漏输出。需要外部上拉电阻。

引脚 编号	名称		I/O	类型	说明
	名称	名称			
	DRV8706S-Q1	DRV8706H-Q1			
14	SO		O	模拟	分流放大器输出。
15	RSVD		—	—	保留。接地或保持断开。
16	AREF		I	电源	电流感测放大器的外部电压基准和电源。在 AREF 与 AGND 引脚之间连接一个 0.1 μ F、6.3V 的陶瓷电容器。
17	AGND		I/O	电源	器件接地。连接到系统接地端。
18	SP		I	模拟	分流放大器正输入。连接到分流电阻的正端子。
19	SN		I	模拟	分流放大器负输入。连接到分流电阻的负端子。
20	GH1		O	模拟	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
21	SH1		I	模拟	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
22	GL1		O	模拟	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
23	SL1		I	模拟	低侧 MOSFET 栅极驱动感测和电源返回。通过指向低侧 MOSFET 接地回路的低阻抗路径连接到系统接地端。
24	SL2		I	模拟	低侧 MOSFET 栅极驱动感测和电源返回。通过指向低侧 MOSFET 接地回路的低阻抗路径连接到系统接地端。
25	GL2		O	模拟	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
26	SH2		I	模拟	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
27	GH2		O	模拟	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
28	DRAIN		I	模拟	桥式 MOSFET 漏极电压感测引脚。连接到高侧 MOSFET 漏极的公共点。
29	PVDD		I	电源	器件驱动器电源输入。连接到电桥电源。在 PVDD 和 GND 引脚之间连接一个 0.1 μ F、PVDD 额定的陶瓷电容器和大于或等于 10 μ F 的局部大容量电容。
30	VCP		I/O	电源	电荷泵输出。在 VCP 与 PVDD 引脚之间连接一个 1 μ F、16V 的陶瓷电容器。
31	CPH		I/O	电源	电荷泵开关节点。在 CPH 与 CPL 引脚之间连接一个 100 nF、PVDD 额定的陶瓷电容器。
32	CPL		I/O	电源	电荷泵开关节点。在 CPH 与 CPL 引脚之间连接一个 100 nF、PVDD 额定的陶瓷电容器。

6 规格

6.1 绝对最大额定值

在工作温度范围内（除非另有说明）⁽¹⁾

		最小值	最大值	单位
驱动器电源引脚电压	PVDD	-0.3	40	V
MOSFET 漏极感测引脚电压	DRAIN	-0.3	40	V
接地引脚之间的电压差	AGND、GND	-0.3	0.3	V
电荷泵引脚电压	VCP	-0.3	55	V
电荷泵高侧引脚电压	CPH	$V_{PVDD} - 0.3$	$V_{VCP} + 0.3$	V
电荷泵低侧引脚电压	CPL	-0.3	$V_{PVDD} + 0.3$	V
数字电源引脚电压	DVDD	-0.3	5.75	V
逻辑引脚电压	DRVOFF、GAIN、IDRIVE、IN1/EN、IN2/PH、MODE、nHIZx、nSLEEP、nFAULT、nSCS、SCLK、SDI、VDS	-0.3	5.75	V
输出逻辑引脚电压	SDO	-0.3	$V_{DVDD} + 0.3$	V
高侧栅极驱动引脚电压	GHx ⁽²⁾	-2	$V_{VCP} + 0.3$	V
高侧栅极驱动引脚 1 μ s 瞬态电压		-5	$V_{VCP} + 0.3$	
与 SHx 相关的高侧栅极驱动引脚电压		-0.3	13.5	
高侧感测引脚电压	SHx ⁽²⁾	-2	40	V
高侧感测引脚 1 μ s 瞬态电压		-5	40	
低侧栅极驱动引脚电压	GLx ⁽²⁾	-2	13.5	V
低侧栅极驱动引脚 1 μ s 瞬态电压		-3	13.5	
与 SLx 相关的低侧栅极驱动引脚电压		-0.3	13.5	
低侧感测引脚电压	SLx ⁽²⁾	-2	2	V
低侧感测引脚 1 μ s 瞬态电压		-3	3	
峰值栅极驱动电流	GHx、GLx	受内部限制	受内部限制	mA
放大器电源和基准引脚电压	AREF	-0.3	5.75	V
放大器输入引脚电压	SN、SP	-2	$V_{VCP} + 0.3$	V
放大器输入引脚 1 μ s 瞬态电压		-5	$V_{VCP} + 0.3$	
放大器输入差分电压	SN、SP	-5.75	5.75	V
放大器输出引脚电压	SO	-0.3	$V_{AREF} + 0.3$	V
环境温度, T_A		-40	125	°C
结温, T_J		-40	150	°C
贮存温度, T_{stg}		-65	150	°C

(1) 超出绝对最大额定值下列出的压力可能会对器件造成永久损坏。这些仅是压力额定值，并不意味着器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 与 GHx、SHx、GLx 或 SLx 相关的 PVDD 和 DRAIN 不应超过 40V。当 PVDD 或 DRAIN 大于 35V 时，应限制 GHx、SHx、GLx 和 SLx 上的负电压，以确保不超过此额定值。当 PVDD 和 DRAIN 低于 35V 时，可使用 GHx、SHx、GLx 和 SLx 的完整负电压额定值。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾ HBM ESD 分类等级 2	± 2000	V
		充电器件模型 (CDM), 符合 AEC Q100-011 CDM ESD 分类等级 C4B	± 750	
		转角引脚 其他引脚	± 500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在工作温度范围内 (除非另有说明)

			最小值	标称值	最大值	单位
V_{PVDD}	驱动器电源电压	PVDD	4.9		37	V
$I_{HS}^{(1)}$	高侧平均栅极驱动电流	GHx	0		15	mA
$I_{LS}^{(1)}$	低侧平均栅极驱动电流	GLx	0		15	mA
V_{DVDD}	数字电源电压	DVDD	3		5.5	V
V_{DIN}	数字输入电压	DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, nSCS, SCLK, SDI	0		5.5	V
I_{DOUT}	数字输出电流	SDO	0		5	mA
V_{OD}	开漏上拉电压	nFAULT	0		5.5	V
I_{OD}	开漏输出电流	nFAULT	0		5	mA
V_{AREF}	放大器基准电源电压	AREF	3		5.5	V
I_{SO}	分流放大器输出电流	SO	0		5	mA
T_A	工作环境温度		-40		125	°C
T_J	工作结温		-40		150	°C

(1) 必须遵循功率损耗和热限值

6.4 热性能信息

热指标 ⁽¹⁾		DRV8706-Q1	单位
		RHB (VQFN)	
		32 引脚	
$R_{\theta JA}$	结至环境热阻	34.9	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	25.6	°C/W
$R_{\theta JB}$	结至电路板热阻	15.0	°C/W
Ψ_{JT}	结至顶部特征参数	0.5	°C/W
Ψ_{JB}	结至电路板特征参数	15.0	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	5.2	°C/W

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标](#)应用报告。

6.5 电气特性

4.9V $\leq V_{PVDD} \leq 37V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数	测试条件	最小值	典型值	最大值	单位
电源 (DRAIN、DVDD、PVDD、VCP)					
I_{PVDDQ}	PVDD 睡眠模式电流 $V_{PVDD}, V_{DRAIN} = 13.5V$, nSLEEP = 0V, $-40 \leq T_J \leq 85^{\circ}C$		2.25	3	μA

$4.9V \leq V_{PVDD} \leq 37V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明)。 $V_{PVDD} = 13.5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
I_{DRAINQ}	DRAIN 睡眠模式电流	$V_{PVDD}, V_{DRAIN} = 13.5V$, nSLEEP = 0V, $-40 \leq T_J \leq 85^{\circ}C$		2	2.75	μA
I_{DVDDQ}	DVDD 睡眠模式电流	$V_{PVDD}, V_{DRAIN} = 13.5V$, nSLEEP = 0V, $-40 \leq T_J \leq 85^{\circ}C$		2	3.5	μA
I_{PVDD}	PVDD 运行模式电流	$V_{PVDD}, V_{DRAIN} = 13.5V$, nSLEEP = 5V		2	3	mA
I_{DRAIN}	DRAIN 运行模式电流	$V_{PVDD}, V_{DRAIN} = 13.5V$, nSLEEP = 5V, $V_{DS\_LVL} \leq 500mV$		250	325	μA
I_{DVDD}	DVDD 运行模式电流	$V_{DVDD} = 5V$, SDO = 0V		3.5	5.5	mA
f_{DVDD}	数字振荡器开关频率	展频的主频率。		14.25		MHz
t_{WAKE}	开通时间	nSLEEP = 5V 进入运行模式			1	ms
t_{SLEEP}	关断时间	nSLEEP = 0V 进入睡眠模式			1	ms
V_{VCP}	相对于 PVDD 的电荷泵稳压器电压	$V_{PVDD} \geq 13V$, $I_{VCP} \leq 15mA$	9.5	10.5	11	V
		$V_{PVDD} = 11V$, $I_{VCP} \leq 15mA$	8.4	10	11	
		$V_{PVDD} = 9V$, $I_{VCP} \leq 11mA$	7	8	9	
		$V_{PVDD} = 7V$, $I_{VCP} \leq 7.5mA$	5.5	6	7	
		$V_{PVDD} = 5.5V$, $I_{VCP} \leq 5mA$	4.5	5	5.5	
f_{VCP}	电荷泵开关频率	展频的主频率。		400		kHz
逻辑电平输入 (DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, nSCS, SCLK, SDI)						
V_{IL}	输入逻辑低电压	DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, SCLK, SDI	0	$V_{DVDD} \times 0.3$		V
V_{IH}	输入逻辑高电压	DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, SCLK, SDI	$V_{DVDD} \times 0.7$		5.5	V
V_{HYS}	输入迟滞		$V_{DVDD} \times 0.1$			V
I_{IL}	输入逻辑低电流	$V_{DIN} = 0V$, DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, SCLK, SDI	-5		5	μA
		$V_{DIN} = 0V$, nSCS		50	100	
I_{IH}	输入逻辑大电流	$V_{DIN} = 5V$, DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, SCLK, SDI		50	100	μA
		$V_{DIN} = 5V$, $V_{DVDD} = 5V$, nSCS	-5		5	
R_{PD}	输入下拉电阻	至 GND, DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, SCLK, SDI	50	100	150	k Ω
R_{PU}	输入上拉电阻	至 DVDD, nSCS	50	100	150	k Ω
多电平输入 (GAIN, IDRIVE, MODE, VDS)						
V_{Q1}	四电平输入 1	GAIN, MODE 电压连接至所设置的电平 1	0	$V_{DVDD} \times 0.1$		V
R_{Q12}	四电平输入 2	GAIN, MODE 接地电阻连接至所设置的电平 2	44.65	47	49.35	k Ω
R_{Q13}	四电平输入 3	GAIN, MODE 接地电阻连接至所设置的电平 3	500	高阻态		k Ω
V_{Q14}	四电平输入 4	GAIN, MODE 电压连接至所设置的电平 4	$V_{DVDD} \times 0.9$		5.5	V
R_{QPD}	四电平下拉电阻	GAIN, MODE, 接地		98		k Ω
R_{QPU}	四电平上拉电阻	GAIN, MODE, 至 DVDD		98		k Ω
V_{SI1}	六电平输入 1	IDRIVE, VDS 电压连接至所设置的电平 1	0	$V_{DVDD} \times 0.1$		V

$4.9V \leq V_{PVDD} \leq 37V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明) 。 $V_{PVDD} = 13.5V$ 且 $T_J = 25^{\circ}C$ 时 , 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
R_{SI2}	六电平输入 2	IDRIVE , VDS 接地电阻连接至所设置的电平 2	28.5	30	31.5	k Ω
R_{SI3}	六电平输入 3	IDRIVE , VDS 接地电阻连接至所设置的电平 3	95	100	105	k Ω
R_{SI4}	六电平输入 4	IDRIVE , VDS 接地电阻连接至所设置的电平 4	500	高阻态		k Ω
R_{SI5}	六电平输入 5	IDRIVE , VDS DVDD 电阻连接至所设置的电平 5	58.9	62	65.1	k Ω
R_{SI6}	六电平输入 6	IDRIVE , VDS 电压连接至所设置的电平 6	$V_{DVDD} \times 0.9$		5.5	V
R_{SPD}	六电平下拉电阻	IDRIVE , VDS , 接地		98		k Ω
R_{SPU}	六电平上拉电阻	IDRIVE , VDS , 至 DVDD		69		k Ω
逻辑电平输出 (nFAULT , SDO)						
V_{OL}	输出逻辑低电压	$I_{DOUT} = 5mA$			0.5	V
V_{OH}	输出逻辑高电压	$I_{DOUT} = -5mA$, SDO	$V_{DVDD} \times 0.8$			V
I_{ODZ}	开漏逻辑大电流	$V_{OD} = 5V$, nFAULT	-10		10	μA
栅极驱动器 (GHx , GLx)						
V_{GHx_L}	GHx 低电平输出电压	$I_{DRVN\_HS} = I_{STRONG}$, $I_{GHx} = 1mA$, GHx 至 SHx	0		0.25	V
V_{GLx_L}	GLx 低电平输出电压	$I_{DRVN\_LS} = I_{STRONG}$, $I_{GLx} = 1mA$, GLx 至 SLx	0		0.25	V
V_{GHx_H}	GHx 高电平输出电压	$I_{DRVP\_HS} = I_{HOLD}$, $I_{GHx} = 1mA$, VCP 至 GHx	0		0.25	V
V_{GLx_H}	GLx 高电平输出电压	$I_{DRVP\_LS} = I_{HOLD}$, $I_{GLx} = 1mA$, $10.5V \leq V_{PVDD} \leq 37V$, GLx 至 SLx	10.25	10.5	12.5	V
		$I_{DRVP\_LS} = I_{HOLD}$, $I_{GLx} = 1mA$, $4.9V \leq V_{PVDD} \leq 10.5V$, GLx 至 SLx	$V_{PVDD} - 0.25$	V_{PVDD}	V_{PVDD}	V

$4.9V \leq V_{PVDD} \leq 37V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明) 。 $V_{PVDD} = 13.5V$ 且 $T_J = 25^{\circ}C$ 时 , 适用典型限值。

参数	测试条件	最小值	典型值	最大值	单位
$I_{DRVP, SPI}$	峰值栅极电流 (拉电流) SPI 器件				mA
	IDRVP = 0000b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	0.2	0.5	0.8	
	IDRVP = 0001b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	0.5	1	1.5	
	IDRVP = 0010b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	1.3	2	2.7	
	IDRVP = 0011b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	2.1	3	3.9	
	IDRVP = 0100b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	2.9	4	5.1	
	IDRVP = 0101b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	4.5	6	7.5	
	IDRVP = 0110b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	6	8	10	
	IDRVP = 0111b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	9	12	15	
	IDRVP = 1000b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	12	16	20	
	IDRVP = 1001b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	15	20	25	
	IDRVP = 1010b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	18	24	30	
	IDRVP = 1011b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	21	28	35	
	IDRVP = 1100b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	23.25	31	38.75	
	IDRVP = 1101b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	26.5	40	50	
	IDRVP = 1110b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	28	48	60	
	IDRVP = 1111b , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	30	62	77.5	
$I_{DRVP, H/W}$	峰值栅极电流 (拉电流) H/W 器件				mA
	IDRIVE 电平 1 , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	0.5	1	1.5	
	IDRIVE 电平 2 , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	2.9	4	5.1	
	IDRIVE 电平 3 , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	6	8	10	
	IDRIVE 电平 4 , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	12	16	20	
	IDRIVE 电平 5 , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	23.25	31	38.75	
	IDRIVE 电平 6 , $V_{GSx} = 3V$, $V_{PVDD} \geq 7V$	30	62	77.5	

$4.9V \leq V_{PVDD} \leq 37V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明) 。 $V_{PVDD} = 13.5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
I _{DRVN, SPI}	峰值栅极电流（灌电流） SPI 器件	IDRVN = 0000b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	0.15	0.5	0.85	mA
		IDRVN = 0001b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	0.35	1	1.65	
		IDRVN = 0010b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	0.85	2	3.15	
		IDRVN = 0011b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	1.4	3	4.6	
		IDRVN = 0100b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	2.1	4	5.9	
		IDRVN = 0101b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	3.5	6	8.5	
		IDRVN = 0110b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	5	8	11	
		IDRVN = 0111b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	8	12	16	
		IDRVN = 1000b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	11.5	16	20	
		IDRVN = 1001b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	14.7	20	25	
		IDRVN = 1010b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	18	24	30	
		IDRVN = 1011b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	21	28	35	
		IDRVN = 1100b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	23.25	31	38.75	
		IDRVN = 1101b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	30	40	52	
		IDRVN = 1110b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	36	48	62	
		IDRVN = 1111b , V _{GSx} = 3V , V _{PVDD} ≥ 7V	46.5	62	80	
I _{DRVN, H/W}	峰值栅极电流（灌电流） H/W 器件	IDRIVE 电平 1 , V _{GSx} = 3V , V _{PVDD} ≥ 7V	0.35	1	1.65	mA
		IDRIVE 电平 2 , V _{GSx} = 3V , V _{PVDD} ≥ 7V	2.1	4	5.9	
		IDRIVE 电平 3 , V _{GSx} = 3V , V _{PVDD} ≥ 7V	5	8	11	
		IDRIVE 电平 4 , V _{GSx} = 3V , V _{PVDD} ≥ 7V	11.5	16	20	
		IDRIVE 电平 5 , V _{GSx} = 3V , V _{PVDD} ≥ 7V	23.25	31	38.75	
		IDRIVE 电平 6 , V _{GSx} = 3V , V _{PVDD} ≥ 7V	46.5	62	80	
I _{HOLD}	栅极上拉保持电流	V _{GSx} = 3V , V _{PVDD} ≥ 7V	5	16	30	mA
I _{STRONG}	栅极强下拉电流	V _{GSx} = 3V , V _{PVDD} ≥ 7V , 0.5 ≤ I _{DRVp} ≤ 12mA	30	62	100	mA
		V _{GSx} = 3V , V _{PVDD} ≥ 7V , 16 ≤ I _{DRVp} ≤ 62mA	45	128	205	mA
R _{PDSA_LS}	低侧半有源下拉电阻	GLx 至 SLx , V _{GSx} = 3V	1.8			kΩ
		GLx 至 SLx , V _{GSx} = 1V	5			kΩ

$4.9V \leq V_{PVDD} \leq 37V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明) 。 $V_{PVDD} = 13.5V$ 且 $T_J = 25^{\circ}C$ 时 , 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位	
R _{PD_HS}	高侧无源下拉电阻	GHx 至 SHx	150			kΩ	
R _{PD_LS}	低侧无源下拉电阻	GLx 至 SLx	150			kΩ	
I _{SHx}	开关节点感测漏电流	进入 SHx , SHx = DRAIN ≤ 37V GHx - SHx = 0V , nSLEEP = 0V	-5	0	25	μA	
		进入 SHx , SHx = DRAIN ≤ 37V GHx - SHx = 0V , nSLEEP = 5V	- 150	- 100	- 40	μA	
栅极驱动器时序 (GHx , GLx)							
t _{PDR_LS}	低侧上升传播延迟	输入至 GLx 上升	300			850	ns
t _{PDF_LS}	低侧下降传播延迟	输入至 GLx 下降	300			600	ns
t _{PDR_HS}	高侧上升传播延迟	输入至 GHx 上升	300			600	ns
t _{PDF_HS}	高侧下降传播延迟	输入至 GHx 下降	300			600	ns
t _{DEAD}	内部握手死区时间	V _{GSx_L} /V _{GSx_H} 下降 10% 至 V _{GSx_H} / V _{GSx_L} 上升 10%	350				ns
t _{DEAD_D, SPI}	可插入的数字死区时间 SPI 器件	VGS_TDEAD = 000b , 仅握手	0			ns	
		VGS_TDEAD = 001b	150	250	350		
		VGS_TDEAD = 010b	400	500	600		
		VGS_TDEAD = 011b	600	750	900		
		VGS_TDEAD = 100b	800	1000	1200		
		VGS_TDEAD = 101b	1600	2000	2400		
		VGS_TDEAD = 110b	3400	4000	4600		
		VGS_TDEAD = 111b	7200	8000	8800		
t _{DEAD_D, H/W}	可插入的数字死区时间 H/W 器件	仅握手	0			ns	
电流分流放大器 (AREF , SN , SO , SP)							
V _{COM}	共模输入范围		-2	V _{PVDD} + 2		V	
G _{CSA, SPI}	感测放大器增益 SPI 器件	CSA_GAIN = 00b	9.9	10.15	10.4	V/V	
		CSA_GAIN = 01b	19.5	20	20.5		
		CSA_GAIN = 10b	39	40	41		
		CSA_GAIN = 11b	78	80	82		
G _{CSA, H/W}	感测放大器增益 H/W 器件	GAIN 四电平 1	9.9	10.15	10.4	V/V	
		GAIN 四电平 2	19.5	20	20.5		
		GAIN 四电平 3	39	40	41		
		GAIN 四电平 4	78	80	82		
t _{SET}	感测放大器稳定时间至 ±1%	V _{SO_STEP} = 1.5V , G _{CSA} = 10V/V C _{SO} = 60pF	2.2			μs	
		V _{SO_STEP} = 1.5V , G _{CSA} = 20V/V C _{SO} = 60pF	2.2				
		V _{SO_STEP} = 1.5V , G _{CSA} = 40V/V C _{SO} = 60pF	2.2				
		V _{SO_STEP} = 1.5V , G _{CSA} = 80V/V C _{SO} = 60pF	3				

$4.9V \leq V_{PVDD} \leq 37V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明) 。 $V_{PVDD} = 13.5V$ 且 $T_J = 25^{\circ}C$ 时, 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
t _{BLK, SPI}	感测放大器输出消隐时间 SPI 器件	CSA_BLK = 000b, t _{DRIVE} 周期的百分比	0			%
		CSA_BLK = 001b, t _{DRIVE} 周期的百分比	25			
		CSA_BLK = 010b, t _{DRIVE} 周期的百分比	37.5			
		CSA_BLK = 011b, t _{DRIVE} 周期的百分比	50			
		CSA_BLK = 100b, t _{DRIVE} 周期的百分比	62.5			
		CSA_BLK = 101b, t _{DRIVE} 周期的百分比	75			
		CSA_BLK = 110b, t _{DRIVE} 周期的百分比	87.5			
		CSA_BLK = 111b, t _{DRIVE} 周期的百分比	100			
t _{BLK, H/W}	感测放大器输出消隐时间 H/W 器件		0			ns
t _{SLEW}	输出压摆率	C _{SO} = 60pF	2.5			V/μs
V _{BIAS, SPI}	输出电压偏置 SPI 器件	V _{SPx} = V _{SNx} = 0V, CSA_DIV = 0b	V _{AREF} / 2			V
		V _{SPx} = V _{SNx} = 0V, CSA_DIV = 1b	V _{AREF} / 8			
V _{BIAS, H/W}	输出电压偏置 H/W 器件		V _{AREF} / 2			V
V _{LINEAR}	线性输出电压范围	V _{AREF} = 3.3V = 5V	0.25	V _{AREF} - 0.25		V
V _{OFF}	输入失调电压	V _{SPx} = V _{SNx} = 0V, T _J = 25°C	- 1.5	1.5		mV
V _{OFF_D}	输入失调电压漂移	V _{SPx} = V _{SNx} = 0V	±10		±25	μV/°C
I _{BIAS}	输入偏置电流	V _{SPx} = V _{SNx} = 0V, 进入引脚	100			μA
I _{BIAS_OFF}	输入偏置电流失调	I _{SPx} - I _{SNx}	-1	1		μA
I _{AREF}	AREF 输入电流	V _{VREF} = 3.3V = 5V	1		1.8	mA
CMRR	共模抑制比	直流, - 40 ≤ T _J ≤ 125°C	72	90		dB
		直流, - 40 ≤ T _J ≤ 150°C	69	90		
		20kHz	80			
PSRR	电源抑制比	PVDD 至 SOx, 直流	100			dB
		PVDD 至 SOx, 20kHz	90			
		PVDD 至 SOx, 400kHz	70			
保护电路						
V _{PVDD_UV}	PVDD 欠压阈值	V _{PVDD} 上升	4.325	4.625	4.9	V
		V _{PVDD} 下降	4.25	4.525	4.8	
V _{PVDD_UV_HYS}	PVDD 欠压迟滞	上升至下降阈值	100			mV
t _{PVDD_UV_DG}	PVDD 欠压抗尖峰脉冲时间		8	10	12.75	μs
V _{PVDD_OV}	PVDD 过压阈值	V _{PVDD} 上升, PVDD_OV_LVL = 0b	21	22.5	24	V
		V _{PVDD} 下降, PVDD_OV_LVL = 0b	20	21.5	23	
		V _{PVDD} 上升, PVDD_OV_LVL = 1b	27	28.5	30	
		V _{PVDD} 下降, PVDD_OV_LVL = 1b	26	27.5	29	
V _{PVDD_OV_HYS}	PVDD 过压迟滞	上升至下降阈值	1			V
t _{PVDD_OV_DG}	PVDD 过压抗尖峰脉冲时间	PVDD_OV_DG = 00b	0.75	1	1.5	μs
		PVDD_OV_DG = 01b	1.5	2	2.5	
		PVDD_OV_DG = 10b	3.25	4	4.75	
		PVDD_OV_DG = 11b	7	8	9	

$4.9V \leq V_{PVDD} \leq 37V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明) 。 $V_{PVDD} = 13.5V$ 且 $T_J = 25^{\circ}C$ 时 , 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位
V _{DVDD_POR}	DVDD 电源 POR 阈值	DVDD 下降	2.5	2.7	2.9	V
		DVDD 上升	2.6	2.8	3	
V _{DVDD_POR_HYS}	DVDD POR 迟滞	上升至下降阈值	100			mV
t _{DVDD_POR_DG}	DVDD POR 抗尖峰脉冲时间		5	8	12.75	μs
V _{CP_UV, SPI}	电荷泵欠压阈值 SPI 器件	V _{VCP} - V _{PVDD} , 下降, VCP_UV = 0b	2	2.5	3	V
		V _{VCP} - V _{PVDD} , 下降, VCP_UV = 1b	4	5	6	
V _{CP_UV, H/W}	电荷泵欠压阈值 H/W 器件		2	2.5	3	V
t _{CP_UV_DG}	电荷泵欠压抗尖峰脉冲时间		8	10	12.75	μs
V _{GS_CLP}	高侧驱动器 V _{GS} 保护钳位		12.5	15	17	V
V _{GS_LVL}	栅极电压监控阈值	V _{GH/Lx} - V _{SH/Lx} , VGS_LVL = 0b	1.1	1.4	1.75	V
		V _{GH/Lx} - V _{SH/Lx} , VGS_LVL = 1b	0.8	1	1.2	V
t _{GS_FLT_DG}	V _{GS} 故障监控抗尖峰脉冲时间		1.5	2	2.75	μs
t _{GS_HS_DG}	V _{GS} 握手监控抗尖峰脉冲时间		210			ns
t _{DRIVE, SPI}	V _{GS} 和 V _{DS} 监控消隐时间 SPI 器件	VGS_TDRV = 00b	80	96	120	μs
		VGS_TDRV = 01b	1.5	2	2.5	
		VGS_TDRV = 10b	3.25	4	4.75	
		VGS_TDRV = 11b	7.5	8	9	
t _{DRIVE, H/W}	V _{GS} 和 V _{DS} 监控消隐时间 H/W 器件		3.25	4	4.75	μs
V _{DS_LVL, SPI}	V _{DS} 过流保护阈值 SPI 器件	VDS_LVL = 0000b	0.04	0.06	0.08	V
		VDS_LVL = 0001b	0.06	0.08	0.10	
		VDS_LVL = 0010b	0.08	0.10	0.12	
		VDS_LVL = 0011b	0.10	0.12	0.14	
		VDS_LVL = 0100b	0.12	0.14	0.16	
		VDS_LVL = 0101b	0.14	0.16	0.18	
		VDS_LVL = 0110b	0.16	0.18	0.20	
		VDS_LVL = 0111b	0.18	0.2	0.22	
		VDS_LVL = 1000b	0.27	0.3	0.33	
		VDS_LVL = 1001b	0.36	0.4	0.44	
		VDS_LVL = 1010b	0.45	0.5	0.55	
		VDS_LVL = 1011b	0.54	0.6	0.66	
		VDS_LVL = 1100b	0.63	0.7	0.77	
		VDS_LVL = 1101b	0.9	1	1.1	
		VDS_LVL = 1110b	1.26	1.4	1.54	
		VDS_LVL = 1111b	1.8	2	2.2	
V _{DS_LVL, H/W}	V _{DS} 过流保护阈值 H/W 器件	VDS 六电平输入 1	0.04	0.06	0.08	V
		VDS 六电平输入 2	0.08	0.10	0.12	
		VDS 六电平输入 3	0.18	0.2	0.22	
		VDS 六电平输入 4	0.45	0.5	0.55	
		VDS 六电平输入 5	0.9	1	1.1	
		VDS 六电平输入 6	禁用			

$4.9V \leq V_{PVDD} \leq 37V$, $-40^{\circ}C \leq T_J \leq 150^{\circ}C$ (除非另有说明) 。 $V_{PVDD} = 13.5V$ 且 $T_J = 25^{\circ}C$ 时 , 适用典型限值。

参数		测试条件	最小值	典型值	最大值	单位	
t _{DS_DG, SPI}	V _{DS} 过流保护抗尖峰脉冲时间 SPI 器件	V _{DS_DG} = 00b	0.75	1	1.5	μs	
		V _{DS_DG} = 01b	1.5	2	2.5		
		V _{DS_DG} = 10b	3.25	4	4.75		
		V _{DS_DG} = 11b	7.5	8	9		
t _{DS_DG, H/W}	V _{DS} 过流保护抗尖峰脉冲时间 H/W 器件		3.25	4	4.75	μs	
I _{OLD}	离线诊断电流源	上拉电流	3			mA	
		下拉电流	3				
R _{OLD}	离线开路负载电阻检测阈值	V _{DS_LVL} = 1.4V , V _{PVDD} ≤ 18V	22			50	kΩ
		V _{DS_LVL} = 1.4V , V _{PVDD} ≤ 37V	22			100	kΩ
		V _{DS_LVL} = 2V , V _{PVDD} ≤ 18V	10			25	kΩ
		V _{DS_LVL} = 2V , V _{PVDD} ≤ 37V	10			50	kΩ
T _{OTW}	热警告温度	T _J 上升	130	150	170	°C	
T _{HYS}	热警告迟滞		20			°C	
T _{OTSD}	热关断温度	T _J 上升	150	170	190	°C	
T _{HYS}	热关断迟滞		20			°C	

6.6 时序要求

		最小值	标称值	最大值	单位
t_{SCLK}	SCLK 最小周期	100			ns
t_{SCLKH}	SCLK 最短高电平时间	50			ns
t_{SCLKL}	SCLK 最短低电平时间	50			ns
t_{SU_SDI}	SDI 输入数据设置时间	25			ns
t_{H_SDI}	SDI 输入数据保持时间	25			ns
t_{D_SDO}	SDO 输出数据延迟时间 ($C_L = 20 pF$)			30	ns
t_{SU_nSCS}	nSCS 输入设置时间	25			ns
t_{H_nSCS}	nSCS 输入保持时间	25			ns
t_{HL_nSCS}	nSCS 最短高电平时间	450			ns
t_{EN_nSCS}	启用延迟时间 (nSCS 低电平至 SDO 有效)			50	ns
t_{DIS_nSCS}	禁用延迟时间 (nSCS 高电平至 SDO 高阻态)			50	ns

6.7 时序图

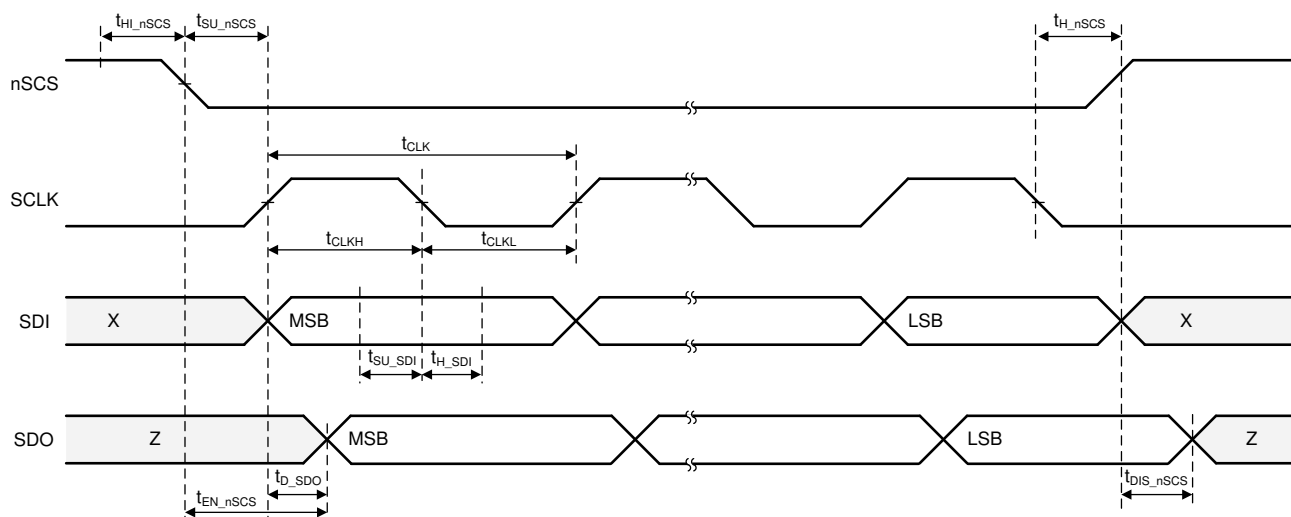


图 6-1. SPI 时序图

6.8 典型特性

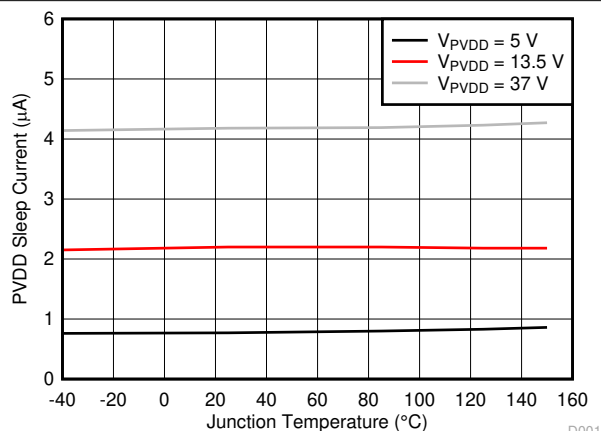


图 6-2. PVDD 睡眠电流

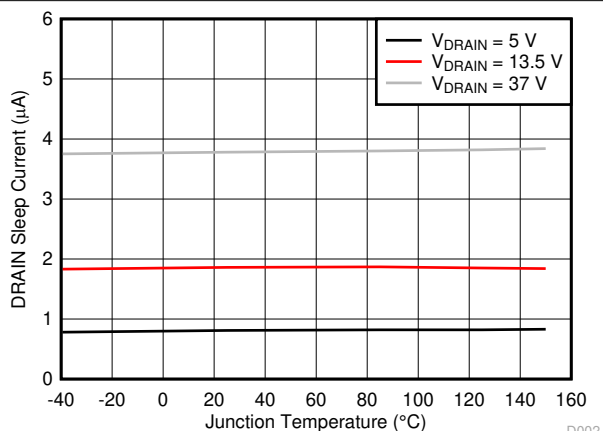


图 6-3. DRAIN 睡眠电流

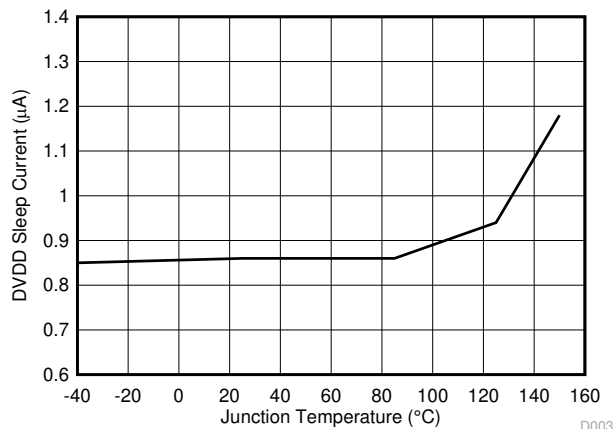


图 6-4. DVDD 睡眠电流

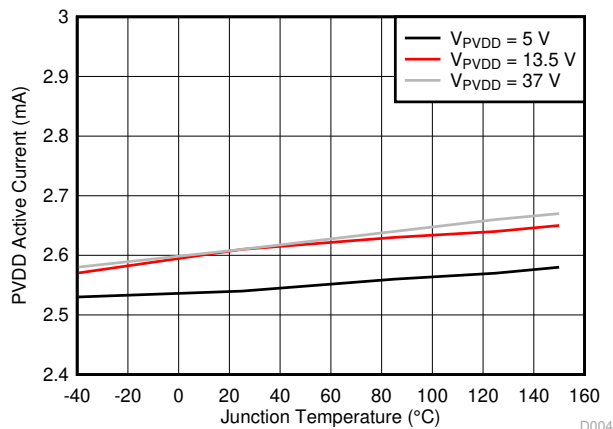


图 6-5. PVDD 运行电流

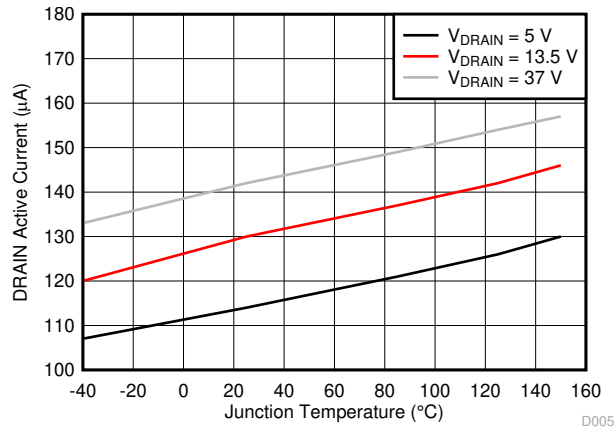


图 6-6. DRAIN 运行电流

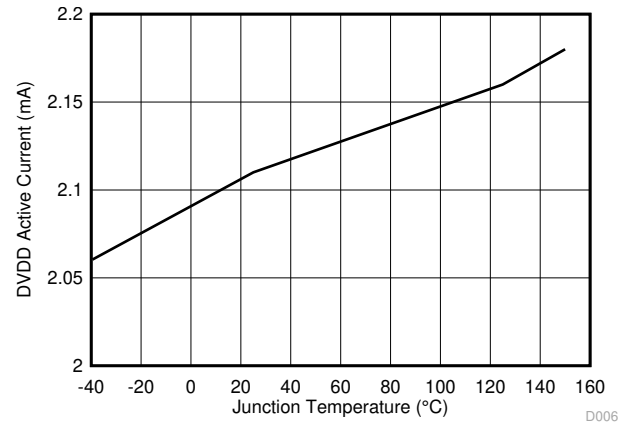
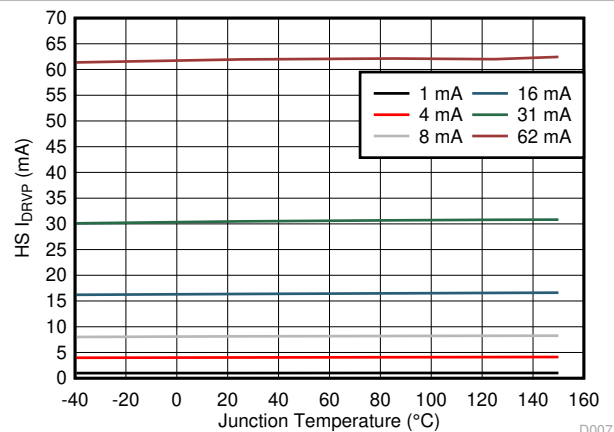
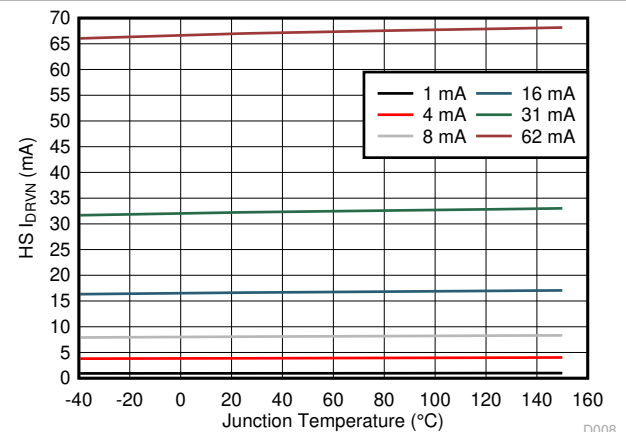


图 6-7. DVDD 运行电流



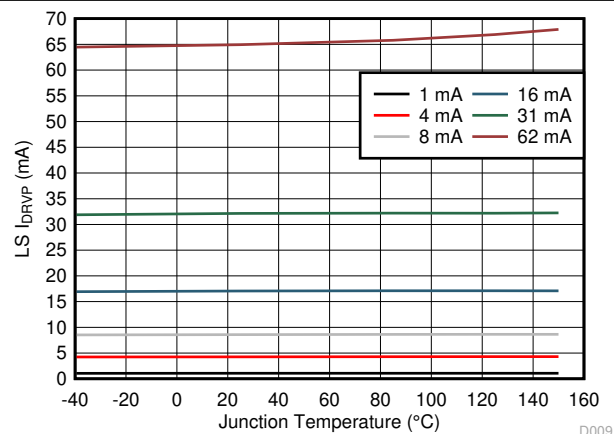
$V_{PVDD} = 13.5\text{ V}$

图 6-8. 高侧栅极驱动器拉电流



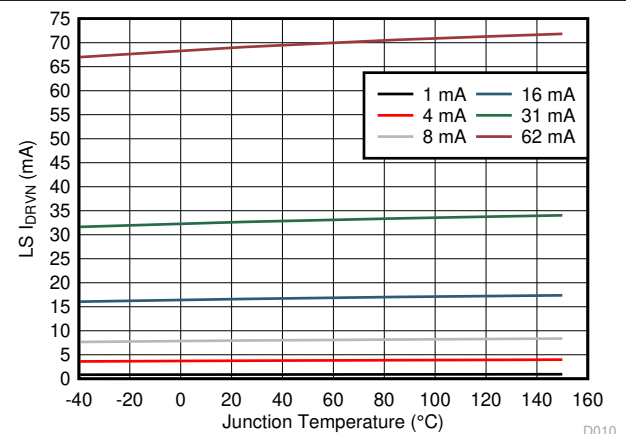
$V_{PVDD} = 13.5\text{ V}$

图 6-9. 高侧栅极驱动器灌电流



$V_{PVDD} = 13.5\text{ V}$

图 6-10. 低侧栅极驱动器拉电流



$V_{PVDD} = 13.5\text{ V}$

图 6-11. 低侧栅极驱动器灌电流

7 详细说明

7.1 概述

DRV8706-Q1 是一款集成式 H 桥智能栅极驱动器，适用于有刷直流电机应用。此器件具有两个半桥栅极驱动器，能够驱动高侧和低侧 N 沟道功率 MOSFET。DRV8706-Q1 可使用集成式倍增电荷泵（针对高侧）和线性稳压器（针对低侧）生成合适的栅极驱动电压。此栅极驱动器支持高达 62 mA 的峰值栅极驱动拉电流和 62 mA 的峰值栅极驱动灌电流。此器件支持 4.9V 至 37V 的宽工作电源电压范围。

DRV8706-Q1 基于智能栅极驱动架构 (SGD)，可降低系统成本并提高可靠性。SGD 架构可优化死区时间以避免出现击穿问题，通过可调栅极驱动电流并使用 MOSFET 压摆率控制方法灵活地降低电磁干扰 (EMI)，而且可通过 V_{DS} 和 V_{GS} 监控器来防止漏源极和栅极短路问题。强下拉电路有助于防止 dV/dt 栅极寄生耦合的发生。可通过可调输出栅极驱动器控制外部 MOSFET 转换。栅极驱动器峰值拉电流可配置为 0.5 mA 至 62 mA 之间的值。栅极驱动器峰值灌电流可配置为 0.5 mA 至 62 mA 之间的值。

DRV8706-Q1 可使用 3.3V 或 5V 外部控制器 (MCU) 运行。专用的 DVDD 引脚允许为器件数字内核提供外部电源，并且数字输出以控制器 I/O 电压为基准。它通过 SPI 总线与外部控制器进行通信，从而管理配置设置和诊断反馈。此器件还具有一个 AREF 引脚，允许将分流放大器基准电压关联到外部控制器 ADC 的基准电压。分流放大器输出也被钳位到 AREF 引脚电压，从而保护控制器的输入免受电压尖峰的影响。

DRV8706-Q1 具有一系列诊断和保护特性，用于在运行前监控系统的状态并防止系统运行期间出现故障。此类功能包括适用于电源和电荷泵的欠压和过压监控、适用于外部 MOSFET 的 V_{DS} 过流和 V_{GS} 栅极故障监控、离线开路负载和短路检测，以及内部热警告和热关断保护功能。电流分流放大器可用于监控系统的负载电流。放大器的高共模范围可实现基于直列式、高侧或低侧分流电阻的电流感测。

7.2 功能方框图

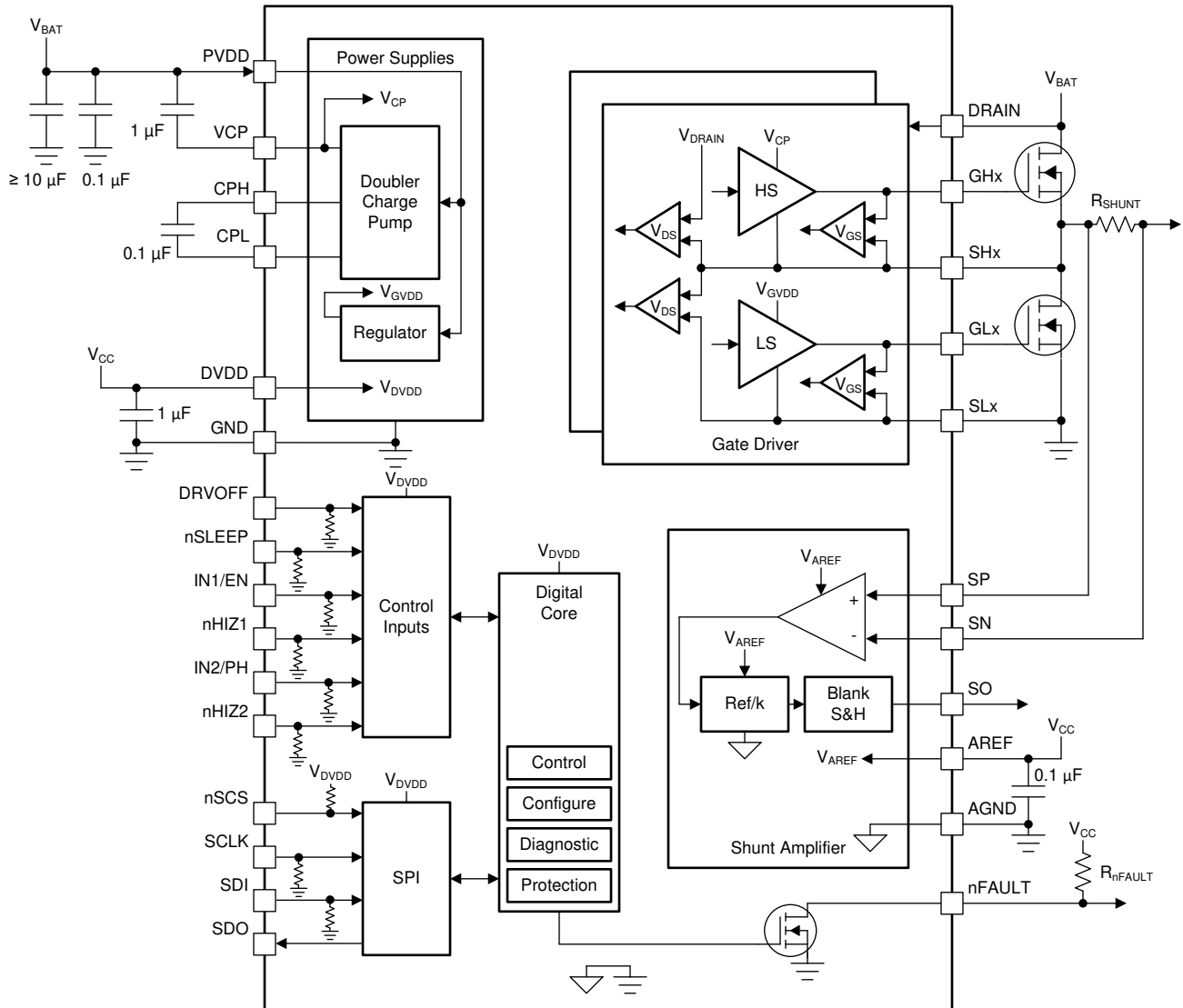


图 7-1. DRV8706S-Q1 功能方框图

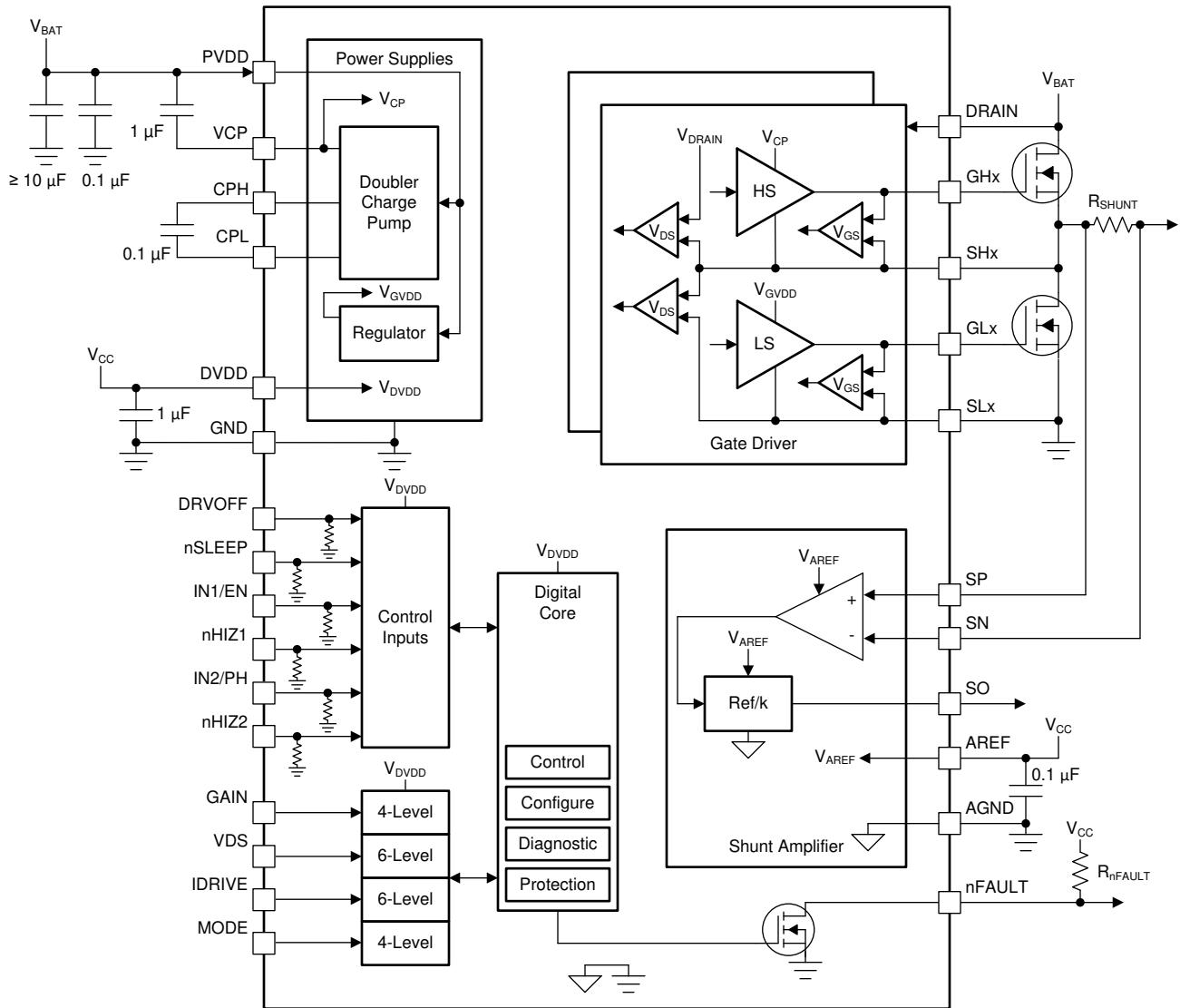


图 7-2. DRV8706H-Q1 功能方框图

7.3 特性说明

7.3.1 外部元件

表 7-1 列出了推荐用于此器件的外部元件。

表 7-1. 推荐的外部元件

元件	引脚 1	引脚 2	推荐
C _{PVDD1}	PVDD	GND	0.1 μ F、低 ESR、PVDD 额定的陶瓷电容器。
C _{PVDD2}	PVDD	GND	大于或等于 10 μ F、PVDD 额定的局部大容量电容器。
C _{DVDD} ⁽¹⁾	DVDD	GND	1.0 μ F、6.3V、低 ESR 陶瓷电容器
C _{AREF} ⁽¹⁾	AREF	GND	0.1 μ F、6.3V、低 ESR 陶瓷电容器
C _{VCP}	VCP	PVDD	1 μ F、16V、低 ESR 陶瓷电容器
C _{FLY}	CPH	CPL	0.1 μ F、低 ESR、PVDD 额定的陶瓷电容器
R _{nFAULT}	VCC ⁽²⁾	nFAULT	上拉电阻器，I _{OD} $\leq$ 5 mA

- (1) 建议使用局部旁路电容器来降低外部低压电源的噪声。如果另一个旁路电容器靠近用于外部低压电源的器件，并且电源上的噪声很小，则可以选择移除该元件。
- (2) VCC 不是器件上的引脚，而是外部低压电源上的引脚。

7.3.2 器件接口类型

DRV8706-Q1 系列器件支持两种不同的接口模式 (SPI 和硬件模式)，使终端应用的设计更灵活或简单。这两种接口模式共享相同的四个引脚，以在不同的版本之间实现引脚对引脚兼容。因此，应用设计人员可以使用一个接口版本进行评估，然后只需对其设计进行极少的修改即可切换到另一个版本。

7.3.2.1 串行外设接口 (SPI)

SPI 器件型号支持串行通信总线，从而在外部控制器与 DRV8706-Q1 之间进行数据的发送和接收。因此，外部控制器可配置器件设置并读取详细的故障信息。该接口是一种使用 SCLK、SDI、SDO 和 nSCS 引脚的四线接口。

- nSCS 引脚是片选输入引脚。此引脚上的逻辑低电平信号可支持 SPI 通信。
- SCLK 引脚是一个输入引脚，它接受时钟信号以确定何时在 SDI 和 SDO 上捕获和传播数据。
- SDI 引脚是数据输入引脚。
- SDO 引脚是数据输出引脚。SDO 引脚使用以 DVDD 输入为基准的推挽式输出结构。

更多有关 SPI 的信息，请参阅 [SPI 接口](#) 一节。

7.3.2.2 硬件 (H/W)

硬件接口器件将四个 SPI 引脚转换为四个可通过电阻配置的输入，即 GAIN、VDS、IDRIVE 和 MODE。这样，应用设计人员可通过将引脚连接为逻辑高电平或逻辑低电平，或使用简单的上拉或下拉电阻，对常用的器件设置进行配置。因此，外部控制器不再需要 SPI 总线。一般故障信息仍可通过 nFAULT 引脚获得。

硬件接口设置在器件上电时锁存，可通过以下方式重新配置：使用 nSLEEP 引脚将器件置于睡眠模式，更改设置，然后通过 nSLEEP 重新启用器件。

- GAIN 引脚可配置电流分流放大器增益。
- VDS 引脚可配置 V_{DS} 过流监控器的电压阈值。
- IDRIVE 引脚可配置栅极驱动电流强度。
- MODE 引脚可配置 PWM 输入控制模式。

更多有关硬件接口的信息，请参阅 [引脚图](#) 一节。

7.3.3 输入 PWM 模式

DRV8706-Q1 具有多种输入 PWM 模式，可支持不同的控制方案和输出负载配置。栅极驱动器输出可以通过 IN1/EN、IN2/PH 和 nHIZx 输入引脚进行控制。对于 SPI 器件型号，也可以通过 S_IN1/EN、S_IN2/PH 和

S_nHIZx 寄存器设置来控制输出。PWM 模式通过 SPI 寄存器设置 BRG_MODE (对于 SPI 器件型号) 和 MODE 引脚 (对于 H/W 器件型号) 进行设置。下面列出了这些模式以及相关功能说明的其他详细信息。

表 7-2. 输入 PWM 模式

PWM 模式	SPI 接口 (BRG_MODE)	H/W 接口 (模式引脚)
节 7.3.3.1	00b	1 级
节 7.3.3.2	01b (PH/EN)	2 级 (PH/EN)
	10b (PWM)	3 级 (PWM)
节 7.3.3.3	11b	4 级

7.3.3.1 半桥控制

在半桥控制中，每个半桥栅极驱动器都可通过相应的 IN1/EN、IN2/PH 和 nHIZx 输入引脚单独进行控制。nHIZx 信号优先于 IN1/EN 和 IN2/PH 信号。对于半桥控制，可参考 INx 标识符。DRV8706-Q1 在内部处理高侧和低侧开关之间死区时间的生成，以使单个 PWM 输入能够控制每个半桥。

DRV8706-Q1 允许通过 nHIZx 引脚将每个半桥栅极驱动器独立设置为高阻态。如果不需要此功能，则应将 nHIZx 引脚连接到 DVDD。

在 SPI 器件型号上，IN1/EN、IN2/PH、HIZ1 和 HIZ2 信号也可以通过 SPI 寄存器进行控制。IN1/EN 和 IN2/PH SPI 控制可以通过 IN1/EN_MODE 和 IN2/PH_MODE 寄存器设置进行启用。信号通过 S_IN1/EN 和 S_IN2/PH 寄存器设置进行控制。HIZ1 信号是 nHIZ1 引脚和 S_HIZ1 寄存器设置的逻辑“或”。HIZ2 信号是 nHIZ2 引脚和 S_HIZ2 寄存器设置的逻辑“或”。

表 7-3. 半桥控制 (BRG_MODE = 00b 或 MODE = 1 级)

nHIZx	INx	GHx	GLx	SHx
0	X	L	L	Z
1	0	L	H	L
1	1	H	L	H

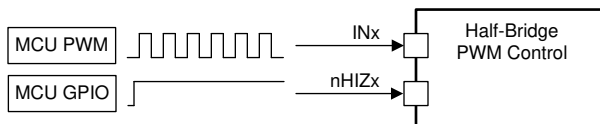


图 7-3. 半桥控制

7.3.3.2 H 桥控制

在 H 桥控制中，两个半桥栅极驱动器均可作为 H 桥栅极驱动器通过 IN1/EN 和 IN2/PH 输入引脚进行控制。

H 桥模式有两种输入控制方案，可通过 SPI BRG_MODE 寄存器设置或 H/W MODE 引脚进行配置。PH/EN 模式允许使用由一个 PWM 信号和一个 GPIO 信号控制的速度/方向类型接口来控制 H 桥。PWM 模式允许使用更高级的方案来控制 H 桥，该方案通常需要两个 PWM 信号。因此，如有需要，H 桥驱动器可进入四种不同的输出状态，以获得额外的控制灵活性。

在 PH/EN 和 PWM 模式下，默认的有源续流模式都是低侧有效。SPI 器件型号允许通过 BRG_FW 寄存器设置来配置续流状态。此设置可用于修改低侧或高侧有源续流之间的桥接。

在 H 桥控制模式下，nHIZx 引脚和 S_HIZx 寄存器功能被禁用。nHIZx 引脚可保持断开或连接到 GND。H 桥可通过 PWM 控制模式、DRVOFF 引脚或 SPI 器件上的 EN_DRV 寄存器设置设置为高阻态 (Hi-Z)。

表 7-4. PH/EN H 桥控制 (BRG_MODE = 01b 或 MODE = 2 级)

IN1/EN	IN2/PH	BRG_FW	GH1	GL1	GH2	GL2	SH1	SH2	说明
0	X	0b	L	H	L	H	L	L	低侧有源续流
0	X	1b	H	L	H	L	H	H	高侧有源续流

表 7-4. PH/EN H 桥控制 (BRG_MODE = 01b 或 MODE = 2 级) (continued)

IN1/EN	IN2/PH	BRG_FW	GH1	GL1	GH2	GL2	SH1	SH2	说明
1	0	X	L	H	H	L	L	H	驱动器 SH2 → SH1 (反向)
1	1	X	H	L	L	H	H	L	驱动器 SH1 → SH2 (正向)

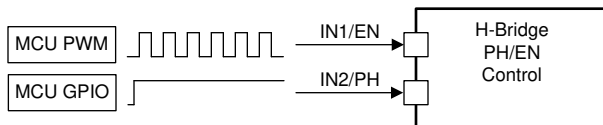


图 7-4. H 桥 PH/EN 控制

表 7-5. PWM H 桥控制 (BRG_MODE = 10b 或 MODE = 3 级)

IN1/EN	IN2/PH	BRG_FW	GH1	GL1	GH2	GL2	SH1	SH2	说明
0	0	X	L	L	L	L	Z	Z	二极管续流 (滑行)
0	1	X	L	H	H	L	L	H	驱动器 SH2 → SH1 (反向)
1	0	X	H	L	L	H	H	L	驱动器 SH1 → SH2 (正向)
1	1	0b	L	H	L	H	L	L	低侧有源续流
1	1	1b	H	L	H	L	H	H	高侧有源续流

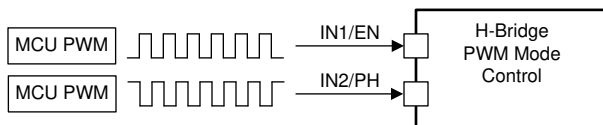


图 7-5. H 桥 PWM 控制

7.3.3.3 分离式 HS 和 LS 螺线管控制

在分离式 HS 和 LS 螺线管控制模式下，只有 GH1 和 GL2 栅极驱动器输出处于运行状态。GH1 输出通过 IN1/EN 进行控制，而 GL2 输出通过 IN2/PH 进行控制。此模式允许将 H 桥配置为驱动互相对着的高侧和低侧外部 MOSFET 之间的浮动螺线管负载。

在分立式 HS 和 LS 控制模式下，nHIZx 引脚和 S_HIZx 寄存器功能被禁用。nHIZx 引脚可保持断开或接地。H 桥可通过 DRVOFF 引脚或 SPI 器件上的 EN_DRV 寄存器设置为高阻态 (Hi-Z)。

表 7-6. 分离式 HS 和 LS 控制 (BRG_MODE = 11b 或 MODE = 4 级)

IN1/EN	IN2/PH	GH1	GL1	GH2	GL2	说明
0	X	L	非运行	非运行	X	禁用螺线管
1	X	H	非运行	非运行	X	启用螺线管
X	0	X	非运行	非运行	L	螺线管 PWM 关闭
X	1	X	非运行	非运行	H	螺线管 PWM 开启

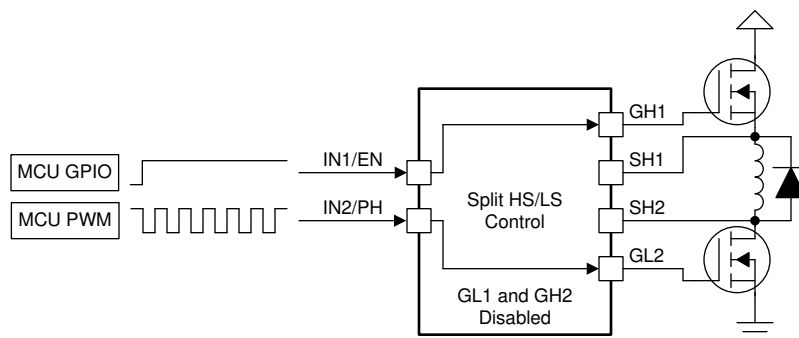


图 7-6. 分离式 HS 和 LS PWM 控制

7.3.4 智能栅极驱动器

DRV8706-Q1 采用先进的可调节浮动智能栅极驱动器架构，可实现出色的 MOSFET 控制和强大的开关性能。DRV8706-Q1 提供用于压摆率控制的驱动器功能，并具有驱动器状态机，可用于死区时间握手、 dV/dt 栅极寄生耦合预防和 MOSFET 栅极故障检测。

智能栅极驱动器核心功能：

- 栅极驱动器功能方框图
- 压摆率控制 (IDRIVE)
- 栅极驱动状态机 (TDRIVE)

表 7-7. 智能栅极驱动器术语说明

核心功能	术语	说明
IDRIVE/TDRIVE	I_{DRVP}	用于可调 MOSFET 压摆率控制的可编程栅极驱动拉电流。使用 IDRVP_x 控制寄存器或 IDRIVE 引脚进行配置。
	I_{DRVN}	用于可调 MOSFET 压摆率控制的可编程栅极驱动灌电流。使用 IDRVN_x 控制寄存器或 IDRIVE 引脚进行配置。
	I_{HOLD}	非开关期间的固定栅极驱动器保持上拉电流。
	I_{STRONG}	非开关期间的固定栅极驱动器强下拉电流。
	t_{DRIVE}	I_{HOLD} 或 I_{STRONG} 之前的 $I_{DRVP/N}$ 驱动电流持续时间。还提供 V_{GS} 和 V_{DS} 故障监控消隐周期。使用 VGS_TDRV_x 控制寄存器进行配置。
	t_{PD}	从逻辑控制信号到栅极驱动器输出变化的传播延迟。
	t_{DEAD}	高侧和低侧开关转换之间的体二极管导通周期。使用 TDEAD_x 控制寄存器进行配置。

7.3.4.1 功能方框图

图 7-7 显示了半桥栅极驱动器架构的简要功能方框图。栅极驱动器块提供各种功能以实现 MOSFET 控制、反馈和保护。这些功能包括具有可调驱动电流的互补推挽式高侧和低侧栅极驱动器、控制逻辑电平转换器、 V_{DS} 和 V_{GS} 反馈比较器、高侧齐纳钳位以及无源和有源下拉电阻。

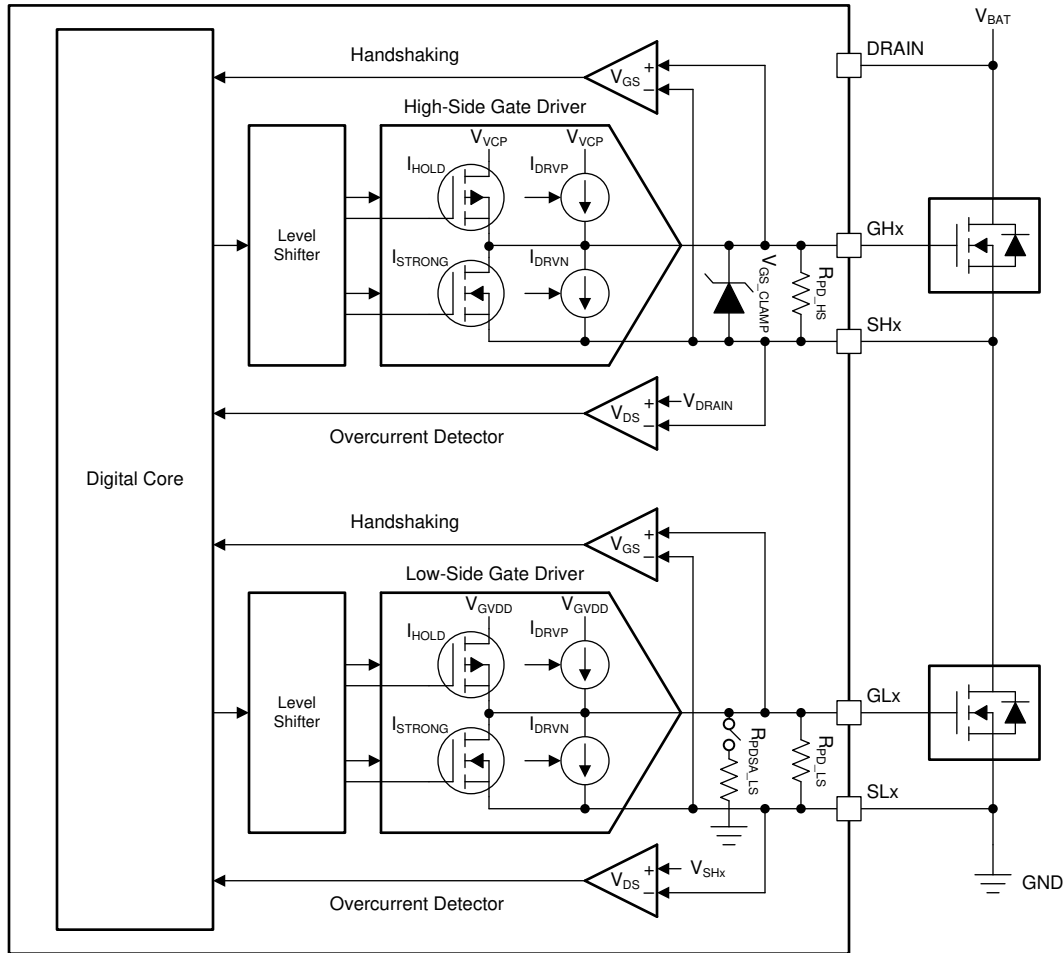


图 7-7. 栅极驱动器功能方框图

7.3.4.2 压摆率控制 (IDRIVE)

智能栅极驱动架构的 IDRIVE 组件实现了可调节的栅极驱动电流控制，可调整外部 MOSFET V_{DS} 压摆率。实现此目标的方法是为内部栅极驱动器架构实施可调节的上拉 (I_{DRVP}) 和下拉 (I_{DRVN}) 电流源。

外部 MOSFET V_{DS} 压摆率是用于优化辐射和传导发射、二极管反向恢复、 dV/dt 栅极寄生耦合以及半桥开关节点上的过压或欠压瞬态的关键因素。IDRIVE 的工作原理是， V_{DS} 压摆率主要取决于 MOSFET Q_{GD} 或米勒充电区域中提供的栅极电荷（或栅极电流）的速率。通过让栅极驱动器调节栅极电流，可以有效地控制外部功率 MOSFET 的压摆率。

IDRIVE 允许 DRV8706-Q1 通过 IDRVP_x 和 IDRNV_x SPI 寄存器或 H/W 接口器件上的 IDRIVE 引脚动态地更改栅极驱动器电流设置。该器件为拉电流和灌电流提供了介于 0.5 mA 和 62 mA 范围之间的 16 种设置值，如表 7-8 所示。在 t_{DRIVE} 持续时间内可使用峰值栅极驱动电流。在 MOSFET 进行开关并且 t_{DRIVE} 持续时间结束后，对于上拉的拉电流，栅极驱动器将切换到保持电流 (I_{HOLD})，以便在短路条件下限制输出电流，并提高驱动器的效率。

表 7-8. IDRIVE 拉电流 (I_{DRVP}) 和灌电流 (I_{DRVN})

IDRVP_x/IDRVN_x	拉电流/灌电流 (mA)
0000b	0.5
0001b	1
0010b	2
0011b	3

表 7-8. IDRIVE 拉电流 (I_{DRVP}) 和灌电流 (I_{DRVN})
(continued)

IDRVP_x/IDRVN_x	拉电流/灌电流 (mA)
0100b	4
0101b	6
0110b	8
0111b	12
1000b	16
1001b	20
1010b	24
1011b	28
1100b	31
1101b	40
1110b	48
1111b	62

7.3.4.3 栅极驱动状态机 (TDRIVE)

智能栅极驱动架构的 TDRIVE 元件是一个集成的栅极驱动状态机，可提供自动死区时间插入、 dV/dt 栅极寄生耦合预防和 MOSFET 栅极故障检测等功能。

TDRIVE 状态机的第一个作用是自动死区时间握手。死区时间是外部高侧和低侧 MOSFET 开关期间体二极管导通的一段时间，旨在防止发生任何跨导或击穿。DRV8706-Q1 使用 V_{GS} 监控器来实施断路，然后通过测量外部 MOSFET V_{GS} 电压来确定正确启用外部 MOSFET 的时间，从而建立死区时间方案。该方案使栅极驱动器能够针对系统变化（例如温度漂移、老化、电压波动和外部 MOSFET 参数变化）来调整死区时间。如有需要，可插入一个额外的固定数字死区时间 (t_{DEAD_D})，并可通过 SPI 寄存器对其进行调整。

第二个作用侧重于防止 dV/dt 栅极电荷寄生耦合。为实现这一点，每当半桥中相反状态的 MOSFET 开关时可启用栅极强下拉电流 (I_{STRONG})。当半桥开关节点快速转换时，使用此功能可以消除耦合到外部 MOSFET 栅极中的寄生电荷。

第三个作用是实施栅极故障检测方案以检测栅极电压问题。这个方案用于检测引脚对引脚的焊接缺陷、MOSFET 栅极故障或者栅极卡在高电压或低电压的情况。为此，需使用 V_{GS} 监控器在 t_{DRIVE} 时间结束后测量栅极电压。如果栅极电压没有达到适当的阈值，栅极驱动器将报告相应的故障情况。为确保不会检测到伪故障，应选择比 MOSFET 栅极充放电所需时间更长的 t_{DRIVE} 时间。 t_{DRIVE} 时间不会影响 PWM 最小持续时间，如果收到另一个 PWM 命令，此时间将提前终止。

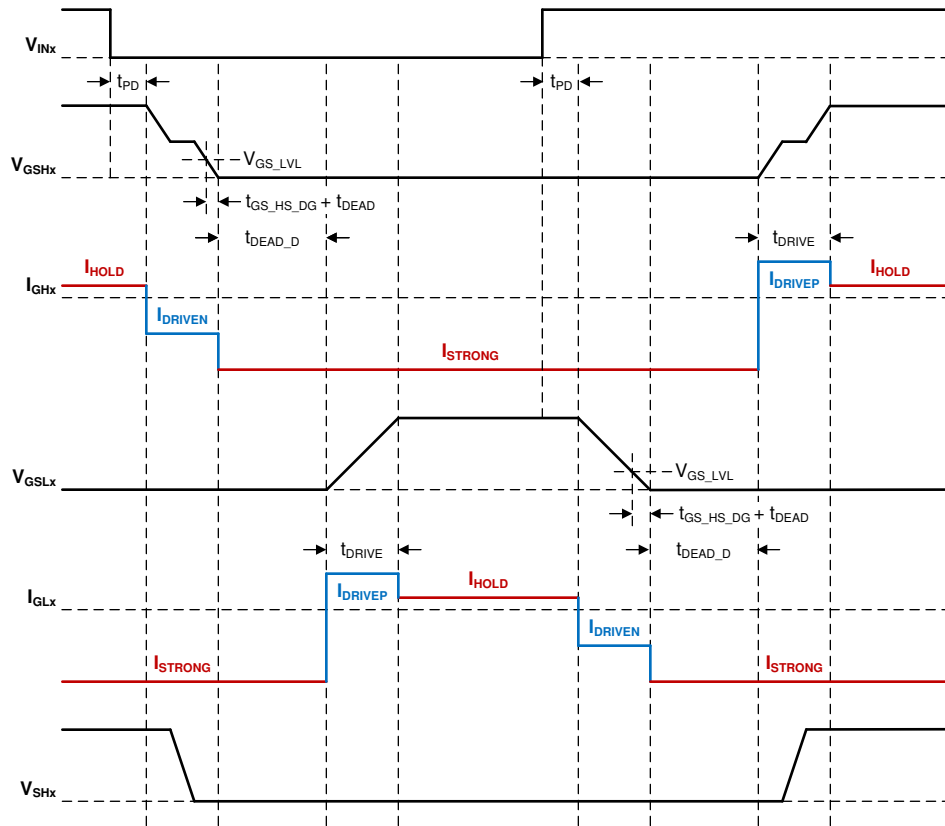


图 7-8. TDRIVE 状态机

7.3.5 倍增 (单级) 电荷泵

外部 MOSFET 的高侧栅极驱动电压是使用倍增电荷泵产生的，而该电荷泵采用 PVDD 电压电源输入端运行。该电荷泵使高侧栅极驱动器能够在宽输入电源电压范围内相对于源极电压适当地偏置外部 N 沟道 MOSFET。电荷泵输出经过调节可保持相对于 V_{PVDD} 的固定电压，并支持 15 mA 的平均输出电流能力。电荷泵会受到持续监控以确定是否发生欠压事件，从而防止 MOSFET 出现驱动不足的情况。

电荷泵会被调节到 PVDD 引脚电压，因此该器件不支持 PVDD 和 DRAIN 引脚之间过大的电压差，这些电压差应该受到限制。

电荷泵需要在 PVDD 和 VCP 引脚之间放置一个低 ESR、1 μ F、16V 陶瓷电容器 (推荐使用 X5R 或 X7R) 作为储能电容器。此外，还需要在 CPH 和 CPL 引脚之间放置一个低 ESR、100 nF、PVDD 额定的陶瓷电容器 (推荐使用 X5R 或 X7R) 作为飞跨电容器。

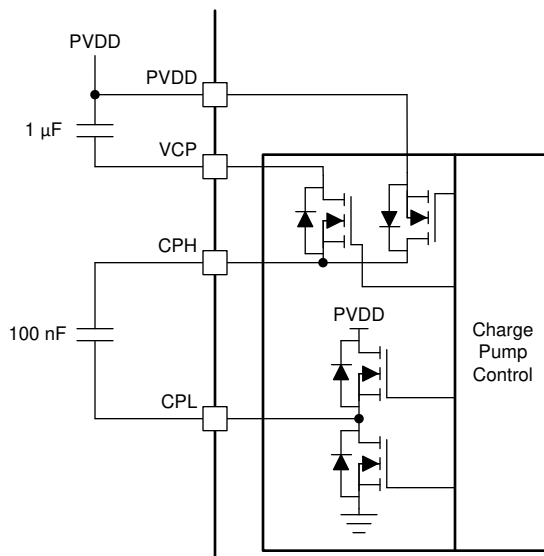


图 7-9. 电荷泵架构

7.3.6 宽共模差分电流分流放大器

DRV8706-Q1 集成了一个高性能的宽共模双向电流分流放大器，可在外部半桥中使用分流电阻进行电流测量。通常会通过测量电流来实施过流保护、外部扭矩控制或通过外部控制器进行换向。由于分流放大器具有高共模范围，该器件可支持低侧、高侧或直列式分流器配置。电流分流放大器具有如下特性：可编程增益、单向和双向支持、输出消隐和采样保持开关，以及可通过专用电压基准引脚 (**AREF**) 来设置放大器输出的中点偏置电压。图 7-10 中显示了一个简化版方框图。SP 应连接到分流电阻的正极端子，SN 应连接到分流电阻的负极端子。如果未使用放大器，则 **AREF**、**SN**、**SP** 输入可连接到 **AGND**，**AGND** 可连接到 **PCB GND**，而 **SO** 输出可保持悬空。

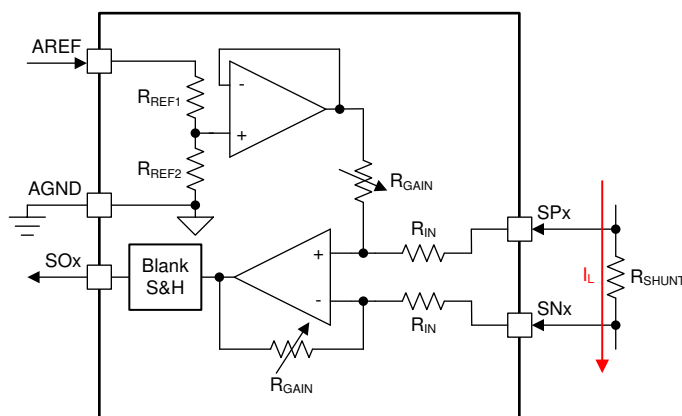


图 7-10. 放大器简化版方框图

图 7-11 中显示了一个详细的方框图。宽共模放大器采用两级差分架构实现。第一个差分级支持宽共模输入、差分输出，并具有固定增益 $G = 2$ 。第二个差分级支持可变增益调整， $G = 5$ 、 10 、 20 或 40 。两个级的总增益将为 $G = 10$ 、 20 、 40 或 80 。

放大器还可通过 **AREF** 引脚产生输出电压偏置。**AREF** 引脚连接到分压器网络、缓冲器，然后设置差分放大器的输出电压偏置。在 **SPI** 器件型号上，可通过 **CSA_GAIN** 寄存器设置来配置增益，并通过 **CSA_DIV** 来配置参考分压比。在 **H/W** 器件型号上，参考分压比固定为 $V_{AREF} / 2$ 。需要通过 **GAIN** 引脚来配置增益。

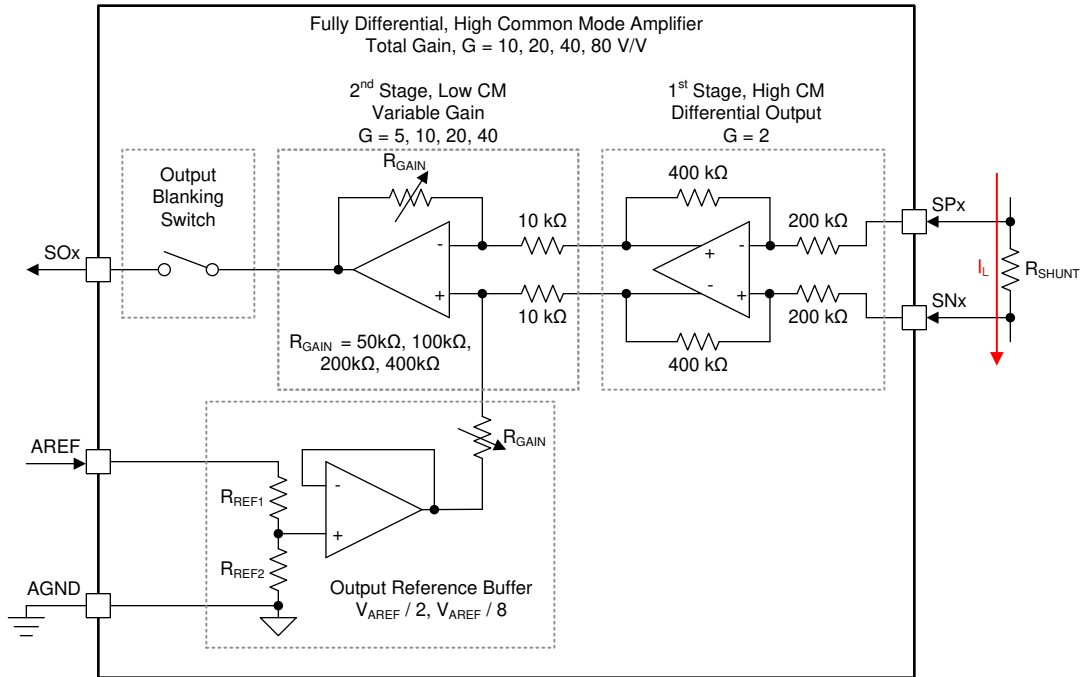


图 7-11. 放大器详细方框图

最后，放大器具有输出消隐或采样保持开关。只有 **SPI** 器件型号具有该特性。输出开关可在 **PWM** 开关期间用于断开放大器输出以降低输出噪声（消隐），如果在高侧或低侧配置中使用了分流器，该开关还可在电机制动期间用于保持输出值（采样保持）。可通过 **CSA_BLK_SEL** 寄存器设置将消隐电路设为在有源半桥（半桥 1 或半桥 2）上触发。可通过 **CSA_BLK** 寄存器设置来配置消隐周期。可通过 **CSA_SH_EN** 寄存器设置来启用采样保持电路。运行时，只要驱动器进入高侧或低侧制动状态，便会触发采样保持。为了利用消隐或采样保持功能，需要通过一个输出保持电容器在放大器断开连接时稳定其输出。通常建议将该电容器置于 **RC** 滤波器配置中的串联电阻之后，以限制直接在放大器输出端看到的直接电容。

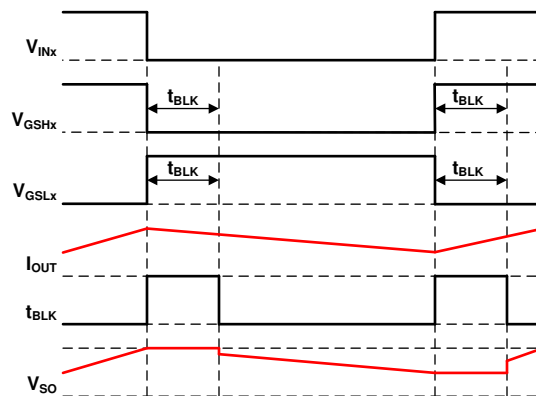


图 7-12. DRV8706-Q1 放大器消隐示例

图 7-12 显示了放大器消隐功能的一个示例。此功能可用于在开关转换期间将放大器输出设置为高阻态，但在默认情况下不需要此功能。如果在 **PWM** 开关转换期间由于宽共模摆幅或接地漂移而产生噪声并干扰了放大器输出，则此功能会很有用。如图所示，在 **GHx** 或 **GLx** 上进行转换后，消隐功能会将放大器输出禁用一段时间。该时间段取决于通过 **CSA_BLK** 寄存器设置进行配置的 **t_BLK** 设置。

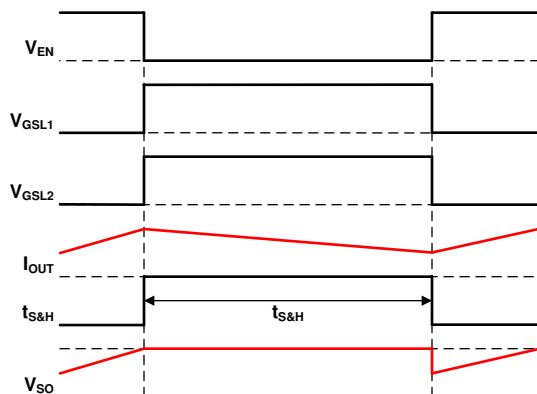


图 7-13. DRV8706-Q1 放大器采样保持示例

图 7-13 显示了放大器采样保持功能的一个示例。当电流在 H 桥中再循环时，可使用此功能将放大器输出设置为高阻态，但在默认情况下不需要此功能。如果分流电阻配置在 H 桥的低侧或高侧，在电流再循环期间电流信息丢失的情况下，此功能会很有用。如图所示，由于输出电容器将保持充电状态，采样保持功能将使放大器输出保持先前的状态。当 H 桥退出再循环状态时，放大器将恢复正常运行。

7.3.7 引脚图

本节介绍了所有数字输入和输出引脚的 I/O 结构。

7.3.7.1 逻辑电平输入引脚 (DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, nSCS, SCLK, SDI)

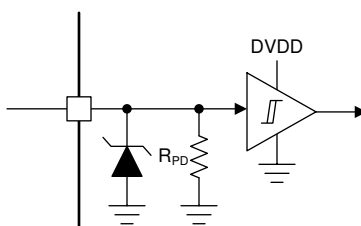


图 7-14. 输入引脚结构

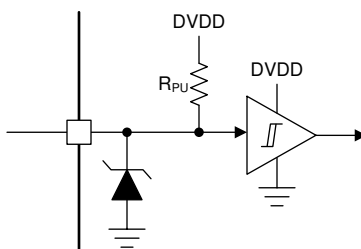


图 7-15. 输入引脚结构 (nSCS)

[illegible]

The diagram shows a pull-up resistor circuit. A resistor labeled R_{PU} is connected to $DVDD$ and a node. This node is connected to a bus (represented by a vertical line), a fault model (a switch in series with a diode to ground), and a CMOS inverter. The inverter's output is also connected to the bus. The fault model is represented by a switch in series with a diode pointing towards ground.

7.3.7.5 六电平输入 (IDRIVE, VDS)

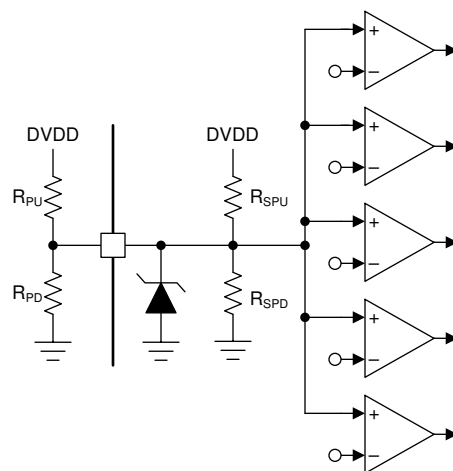


图 7-19. 六电平输入结构 (IDRIVE, VDS)

7.3.8 保护和诊断

7.3.8.1 栅极驱动器禁用和启用 (DRVOFF 和 EN_DRV)

DRV8706-Q1 通过 DRVOFF 引脚禁用专用驱动器。对 DRVOFF 进行置位后，无论引脚或 SPI 输入如何，都将启用栅极驱动器下拉。

在 SPI 器件型号上，EN_DRV 功能用于受控的上电序列。器件上电后，栅极驱动器保持禁用状态，直到 EN_DRV 寄存器位被置位。这样便可以让系统在启用栅极驱动器之前上电并执行配置序列。H/W 器件不具有此功能，驱动器将在上电后自动启用。

7.3.8.2 故障复位 (CLR_FLT)

DRV8706-Q1 提供了特定序列来清除驱动器的故障条件并恢复运行。此功能通过 CLR_FLT 寄存器位提供。若要清除故障报告，必须在故障条件消失后对 CLR_FLT 寄存器位进行置位。置位后，驱动器将清除故障并复位 CLR_FLT 寄存器位。该功能仅适用于 SPI 器件型号。在 H/W 器件型号上，一旦该条件消失，所有故障都将自动恢复。

7.3.8.3 DVDD 逻辑电源上电复位 (DVDD_POR)

在任何时候，如果 DVDD 引脚上的输入逻辑电源电压低于 V_{DVDD_POR} 阈值的时间超过 $t_{DVDD\_POR\_DG}$ 时间，或 nSLEEP 引脚被置为低电平，则器件会进入其非运行状态，从而禁用栅极驱动器、电荷泵和保护监控器。当 DVDD 欠压条件消失或 nSLEEP 引脚被置位为高电平后，器件将恢复正常运行。在 DVDD 上电复位 (POR) 之后，POR 寄存器位会被置位，直到发出 CLR_FLT。

7.3.8.4 PVDD 电源欠压监控器 (PVDD_UV)

在任何时候，如果 PVDD 引脚上的电源电压低于 V_{PVDD_UV} 阈值的时间超过 $t_{PVDD\_UV\_DG}$ 时间，则 DRV8706-Q1 会检测到 PVDD 欠压条件。检测到欠压条件后，将启用栅极驱动器下拉电阻，禁用电荷泵，并且 nFAULT 引脚、FAULT 寄存器位和 PVDD_UV 寄存器位会被置位。

在 SPI 器件型号上，PVDD 欠压监控器可以在通过 PVDD_UV_MODE 寄存器设置进行设定的两种不同模式下执行恢复。

- **锁存故障模式：**欠压条件消失后，仍会锁存故障状态且电荷泵保持禁用状态，直到发出 CLR_FLT。
- **自动恢复模式：**欠压条件消失后，nFAULT 引脚和 FAULT 寄存器位将自动清零，且电荷泵将自动重新启用。在发出 CLR_FLT 之前，PVDD_UV 寄存器位将保持锁存状态。

在 H/W 器件型号上，PVDD 欠压监控器将固定为自动恢复模式。

7.3.8.5 PVDD 电源过压监控器 (PVDD_OV)

如果 PVDD 引脚上的电源电压高于 V_{PVDD_OV} 阈值的时间超过 $t_{PVDD\_OV\_DG}$ 时间, 则 DRV8706-Q1 会检测到 PVDD 过压条件, 并根据 PVDD_OV_MODE 寄存器设置执行相应的操作。过压阈值和抗尖峰脉冲时间可通过 PVDD_OV_LVL 和 PVDD_OV_DG 寄存器设置进行调整。

在 SPI 器件型号上, PVDD 过压监控器可以在通过 PVDD_OV_MODE 寄存器设置进行设定的四种不同模式下执行响应和恢复。

- **锁存故障模式:** 检测到过压条件后, 将启用栅极驱动器下拉电阻, 并且 nFAULT 引脚、FAULT 寄存器位和 PVDD_OV 寄存器位会被置位。过压条件消失后, 仍会锁存故障状态, 直到发出 CLR_FLT。
- **自动恢复模式:** 检测到过压条件后, 将启用栅极驱动器下拉电阻, 并且 nFAULT 引脚、FAULT 寄存器位和 PVDD_OV 寄存器位会被置位。过压条件消失后, nFAULT 引脚和 FAULT 寄存器位将自动清零, 驱动器将自动重新启用。在发出 CLR_FLT 之前, PVDD_OV 寄存器位将保持锁存状态。
- **仅警告报告模式:** 在 WARN 和 PVDD_OV 寄存器位中报告 PVDD 过压条件。器件不会执行任何操作。在发出 CLR_FLT 之前, 警告将保持锁存状态。
- **禁用模式:** PVDD 过压监控器被禁用, 不会响应或报告。

在 H/W 器件型号上, PVDD 过压监控器被禁用。

7.3.8.6 VCP 电荷泵欠压锁定 (VCP_UV)

在任何时候, 如果 VCP 引脚上的电压低于 V_{VCP_UV} 阈值的时间超过 $t_{VCP\_UV\_DG}$ 时间, 则 DRV8706-Q1 会检测到 VCP 欠压条件。检测到欠压条件后, 将启用栅极驱动器下拉电阻, 并且 nFAULT 引脚、FAULT 寄存器位和 VCP_UV 寄存器位会被置位。欠压阈值可通过 VCP_UV_LVL 寄存器设置进行调整。

在 SPI 器件型号上, VCP 欠压监控器可以在通过 VCP_UV_MODE 寄存器设置进行设定的两种不同模式下执行恢复。

- **锁存故障模式:** 此外, 会在锁存故障模式下禁用电荷泵。欠压条件消失后, 仍会锁存故障状态且电荷泵保持禁用状态, 直到发出 CLR_FLT。
- **自动恢复模式:** 欠压条件消失后, nFAULT 引脚和 FAULT 寄存器位将自动清零, 驱动器将自动重新启用。在发出 CLR_FLT 之前, VCP_UV 寄存器位将保持锁存状态。

在 H/W 器件型号上, VCP 欠压监控器将固定为自动恢复模式, 且阈值固定为 2V。

7.3.8.7 MOSFET V_{DS} 过流保护 (VDS_OCP)

如果 V_{DS} 过流比较器上的电压高于 V_{DS_LVL} 的时间超过 t_{DS_DG} 时间, 则 DRV8706-Q1 会检测到 V_{DS} 过流条件。电压阈值和抗尖峰脉冲时间可通过 VDS_LVL 和 VDS_DG 寄存器设置进行调整。此外, 在独立半桥和分离式 HS/LS PWM 控制 (BRG_MODE = 00b、11b) 中, 可将器件配置为禁用所有半桥, 或仅通过 VDS_IND 寄存器设置来禁用发生了故障的相关半桥。

在 SPI 器件型号上, V_{DS} 过流监控器可以在通过 VDS_MODE 寄存器设置进行设定的四种不同模式下执行响应和恢复。

- **锁存故障模式:** 检测到过流事件后, 将启用栅极驱动器下拉电阻, 并且 nFAULT 引脚、FAULT 寄存器位和相关的 VDS 寄存器位会被置位。过流事件消失后, 仍会锁存故障状态, 直到发出 CLR_FLT。
- **逐周期模式:** 检测到过流事件后, 将启用栅极驱动器下拉电阻, 并且 nFAULT 引脚、FAULT 寄存器位和相关的 VDS 寄存器位会被置位。下一个 PWM 输入将清除 nFAULT 引脚和 FAULT 寄存器位, 并自动重新启用驱动器。相关的 VDS 寄存器位将保持置位状态, 直到发出 CLR_FLT。
- **仅警告报告模式:** 在 WARN 和相关 VDS 寄存器位中报告过流事件。器件不会执行任何操作。在发出 CLR_FLT 之前, 警告将保持锁存状态。
- **禁用模式:** V_{DS} 过流监控器被禁用, 不会响应或报告。

在 H/W 器件型号上, V_{DS} 过流模式固定为逐周期, t_{VDS_DG} 固定为 4 μ s。对于独立半桥和分离式 HS/LS PWM 控制模式, 会自动启用独立半桥关断功能。此外, 可通过 VDS 引脚多电平输入电平 6 来禁用 V_{DS} 过流保护功能。

当发生 V_{DS} 过流故障时，可配置栅极下拉电流，以便增加或减少禁用外部 MOSFET 的时间。这有助于避免在大电流短路条件下关断速度过慢的问题。此设置通过 SPI 器件上的 VDS_IDRVN 寄存器设置进行配置。在硬件器件上，此设置自动匹配已设定的 I_{DRVN} 电流。

7.3.8.8 栅极驱动器故障 (VGS_GDF)

如果 V_{GS} 电压越过 V_{GS_LVL} 比较器电平的时间未超过 t_{DRIVE} 时间，则 DRV8706-Q1 会检测到 V_{GS} 栅极故障条件。此外，在独立半桥和分离式 HS/LS PWM 控制 (BRG_MODE = 00b、11b) 中，可将器件配置为禁用所有半桥，或仅通过 VGS_IND 寄存器设置来禁用发生了栅极故障的相关半桥。

在 SPI 器件型号上， V_{GS} 栅极故障监控器可以在通过 VGS_MODE 寄存器设置进行设定的四种不同模式下执行响应和恢复。

- **锁存故障模式：**检测到栅极故障事件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和相关的 VGS 寄存器位会被置位。栅极故障事件消失后，仍会锁存故障状态，直到发出 CLR_FLT。
- **逐周期模式：**检测到栅极故障事件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和相关的 VGS 寄存器位会被置位。下一个 PWM 输入将清除 nFAULT 引脚和 FAULT 寄存器位，并自动重新启用驱动器。相关的 VGS 寄存器位将保持置位状态，直到发出 CLR_FLT。
- **仅警告报告模式：**在 WARN 和相关 VGS 寄存器位中报告过流事件。器件不会执行任何操作。在发出 CLR_FLT 之前，警告将保持锁存状态。
- **禁用模式：** V_{GS} 栅极故障监控器被禁用，不会响应或报告。

在 H/W 器件型号上， V_{GS} 栅极故障模式固定为逐周期， t_{DRIVE} 固定为 4 μs 。对于独立半桥和分离式 HS/LS PWM 控制模式，会自动启用独立半桥关断功能。此外，可通过 VDS 引脚多电平输入电平 6 来禁用 V_{GS} 栅极故障保护功能。

7.3.8.9 热警告 (OTW)

如果裸片温度超过 T_{OTW} 热警告阈值，则 DRV8706-Q1 会检测到过热警告并对 WARN 和 OTW 寄存器位进行置位。过热条件消失后，WARN 和 OTW 寄存器位将保持置位状态，直到发出 CLR_FLT。

在 H/W 器件型号上，不会检测或报告过热警告。

7.3.8.10 热关断 (OTSD)

如果裸片温度超过 T_{OTSD} 热关断阈值，则 DRV8706-Q1 会检测到过热故障。检测到过热故障后，将启用栅极驱动器下拉电阻，禁用电荷泵，并且 nFAULT 引脚、FAULT 寄存器位和 OTSD 寄存器位会被置位。过热条件消失后，仍会锁存故障状态，直到发出 CLR_FLT。

在 H/W 器件型号上，过热条件消失后，nFAULT 引脚将自动清零，且驱动器和电荷泵将自动重新启用。

7.3.8.11 离线短路和开路负载检测 (OOL 和 OSC)

该器件提供了必要的硬件来对外部功率 MOSFET 和负载执行离线短路和开路负载诊断。这是通过连接到外部半桥开关节点的 SHx 引脚上的集成上拉和下拉电流源来实现的。离线诊断由 OLSC_CTRL 寄存器中的相关寄存器位进行控制。首先，需要通过 OLSC_EN 寄存器设置来启用离线诊断模式。然后，可通过 PD_SHx 和 PU_SHx 寄存器设置来启用各个电流源。

将通过内部 V_{DS} 比较器持续监控 SHx 引脚上的电压。在诊断状态期间， V_{DS} 比较器将在 SPI 寄存器内在相关 VDS 寄存器状态位中报告 SHx 引脚节点上的实时电压反馈。

在启用离线诊断之前，建议通过 EN_DRV 寄存器设置将外部 MOSFET 半桥置于禁用状态。此外，应将 V_{DS} 比较器阈值 (V_{DS_LVL}) 调整为 1V 或更高，确保有足够的余量用于内部阻断二极管正向压降。

H/W 器件型号不具备此特性。

若要正确执行离线诊断序列，应遵循以下步骤。

- 将 EN_DRV 控制寄存器设置为 0b 以禁用输出驱动器。
- 将 OLSC_EN 控制寄存器设置为 1b 以启用离线诊断。
- 相应地启用 PD_SHx 和 PU_SHx 控制寄存器。

- 回读 VDS_x 状态寄存器以确定输出状态。
- 禁用 PD_SHx 和 PD_SHx 控制寄存器。
- 将 OLSC_EN 控制寄存器设置为 0b 以禁用离线诊断。
- 将 EN_DRV 控制寄存器设置为 1b 以再次启用输出驱动器。

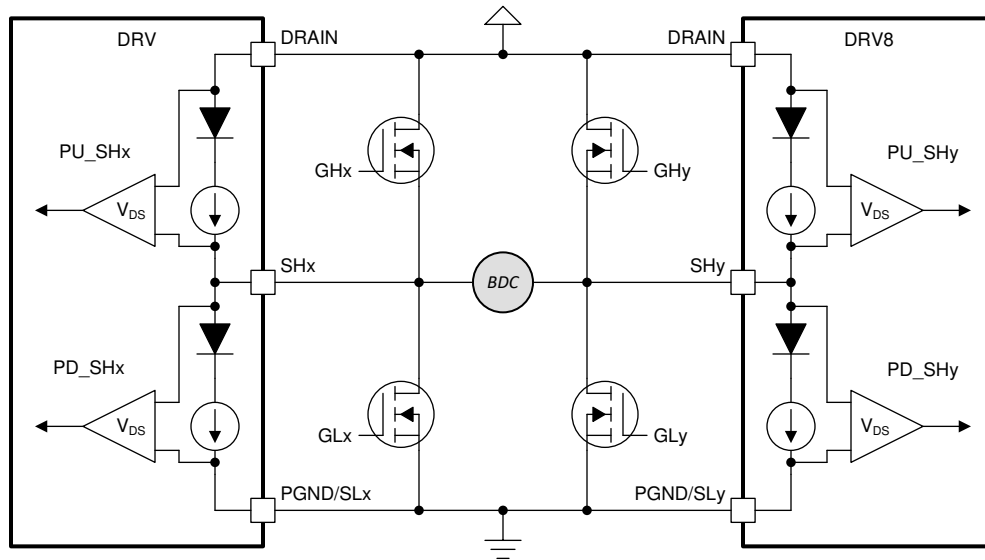


图 7-20. 离线诊断

7.3.8.12 故障检测和响应汇总表

表 7-9. 故障检测和响应汇

名称	条件	SPI 位	模式	数字内核	电荷泵	栅极驱动器	电流感测	响应
禁用驱动器	DRVOFF = 高电平	不适用	不适用	运行	运行	下拉	运行	不适用
DVDD 上电复位	DVDD < V _{DVDD_POR}	POR	不适用	复位	禁用	半有源下拉	禁用	SPI
PVDD 欠压	PVDD < V _{PVDD_UV}	UV, PVDD_UV	锁存	运行	禁用	半有源下拉	禁用	nFAULT, SPI
			自动	运行	禁用	半有源下拉	禁用	nFAULT, SPI
PVDD 过压	PVDD > V _{PVDD_UV}	OV, PVDD_OV	锁存	运行	运行	下拉	运行	nFAULT, SPI
		OV, PVDD_OV	自动	运行	运行	下拉	运行	nFAULT, SPI
		OV, PVDD_OV	警告	运行	运行	运行	运行	WARN, SPI
		不适用	禁用	运行	运行	运行	运行	不适用
VCP 欠压	VCP < V _{VCP_UV}	UV, VCP_UV	锁存	运行	禁用	半有源下拉	禁用	nFAULT, SPI
			自动	运行	运行	半有源下拉	禁用	nFAULT, SPI
VDS 过流	VDS > V _{VDS_LVL}	DS_GS, VDS_X	锁存	运行	运行	I _{VDS_IDRVN} 下拉	运行	nFAULT, SPI
			周期	运行	运行	I _{VDS_IDRVN} 下拉	运行	nFAULT, SPI
			警告	运行	运行	运行	运行	WARN, SPI
			禁用	运行	运行	运行	运行	不适用
VGS 栅极故障	VGS > V _{VGS_LVL}	DS_GS, VGS_X	锁存	运行	运行	下拉	运行	nFAULT, SPI
			周期	运行	运行	下拉	运行	nFAULT, SPI
			警告	运行	运行	运行	运行	WARN, SPI
			禁用	运行	运行	运行	运行	不适用
热警告	T _J > T _{OTW}	OT, OTW	自动	运行	运行	运行	运行	WARN, SPI
热关断	T _J > T _{OTSD}	OT, OTSD	锁存	运行	禁用	半有源下拉	禁用	nFAULT, SPI
离线开路负载	不适用	VDS_X	MCU	运行	运行	下拉	运行	SPI
离线短路	不适用	VDS_X	MCU	运行	运行	下拉	运行	SPI

7.4 器件功能模式

7.4.1 非运行或睡眠状态

当 nSLEEP 引脚为逻辑低电平或 DVDD 电源低于 V_{DVDD_POR} 阈值时，器件进入低功耗睡眠状态以减少器件的静态电流消耗。在这种状态下，除了 nSLEEP 引脚上的低功耗监控器外，所有主要功能块都被禁用。此情况下会为外部 MOSFET 栅极提供无源栅极下拉电阻，使 MOSFET 保持在关断状态。

7.4.2 待机状态

当 nSLEEP 引脚为逻辑高电平且 DVDD 输入已超过 V_{DVDD_POR} 阈值时，器件将在经过 t_{WAKE} 延迟时间后进入上电待机状态。数字内核和 SPI 通信将处于运行状态，但电荷泵和栅极驱动器将保持禁用状态，直到 PVDD 输入超过 V_{PVDD_UV} 阈值。在这种状态下，可以对 SPI 寄存器进行编程并报告故障，但不能进行栅极驱动器操作。

7.4.3 运行状态

当 nSLEEP 引脚为逻辑高电平，DVDD 输入已超过 V_{DVDD_POR} 阈值，并且 PVDD 输入已超过 V_{PVDD_UV} 阈值时，器件将进入完全运行状态。在这种状态下，除了栅极驱动器外，所有主要功能块都处于运行状态。必须通过 EN_DRV 寄存器位启用栅极驱动器，然后才能进入完全运行状态。

对于 H/W 器件型号，器件将在运行状态下自动启用驱动器。

7.5 编程

7.5.1 SPI 接口

SPI 总线用于为 DRV8706-Q1 器件设置器件配置、工作参数，以及读取诊断信息。SPI 在从模式下运行，并连接到主控制器。SPI 输入数据 (SDI) 字中包含一个 16 位的字 (包括一条 8 位命令和 8 位数据)。SPI 输出数据 (SDO) 字中包含状态指示位，然后是正在访问的寄存器数据 (对于读取命令) 或者是空值 (对于写入命令)。图 7-21 展示了 MCU 和 SPI 从驱动器之间的数据序列。

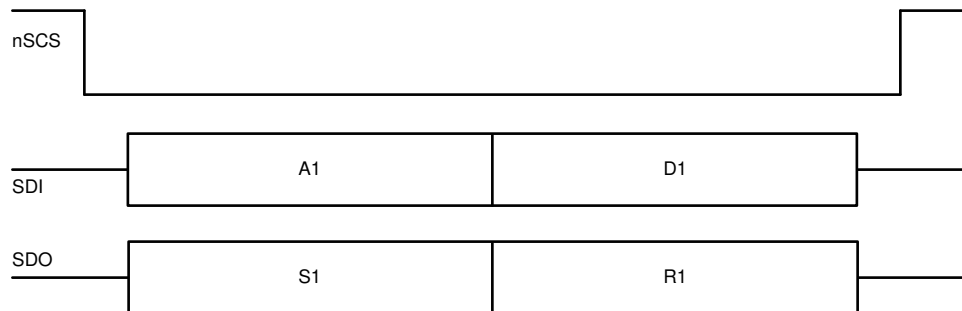


图 7-21. SPI 数据帧

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平转换为低电平，以及从低电平转换为高电平时，SCLK 引脚应该为低电平。
- 在字之间，nSCS 引脚应被拉为高电平。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态。
- 数据会在 SCLK 下降沿被捕捉，并在 SCLK 上升沿传播。
- 最高有效位 (MSB) 最先移入和移出。
- 必须历经完整的 16 个 SCLK 周期，事务才有效。
- 如果发送到 SDI 引脚的数据字少于 16 位或多于 16 位，则会发生帧错误并且数据字会被忽略。

7.5.2 SPI 格式

SDI 输入数据的字长为 16 位，包含以下格式：

- 1 个读/写位，W (位 B14)

- 6 个地址位，A (位 B13 到 B8)
- 8 个数据位，D (位 B7 到 B0)

SDO 输出数据的字长为 16 位，IC 状态寄存器占前 8 位。报告字是所访问的寄存器的内容。

对于写命令 ($W0 = 0$)，响应字由故障状态指示位及随后的 8 个空位组成。

对于读命令 ($W0 = 1$)，响应字由故障状态指示位及随后寄存器中目前正在读取的数据组成。

表 7-10. SDI 输入数据字格式

		读/写	地址						数据							
位	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
数据	0	W0	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

表 7-11. SDO 输出数据字格式

	IC 状态								报告							
位	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
数据	1	1	FAULT	WARN	DS_G S	UV	OV	OT	D7	D6	D5	D4	D3	D2	D1	D0

7.5.3 用于连接多个从器件的 SPI 接口

将多个 DRV8706-Q1 器件连接到主控制器时，可以使用或不使用菊花链。如果在不使用菊花链的情况下要将“n”个 DRV8706-Q1 器件连接到主控制器，则必须针对 nSCS 引脚利用来自主控制器的“n”个 I/O 资源，如图 7-22 所示。然而，如果使用菊花链配置，则可利用单条 nSCS 线路来连接多个 DRV8706-Q1 器件图 7-23。

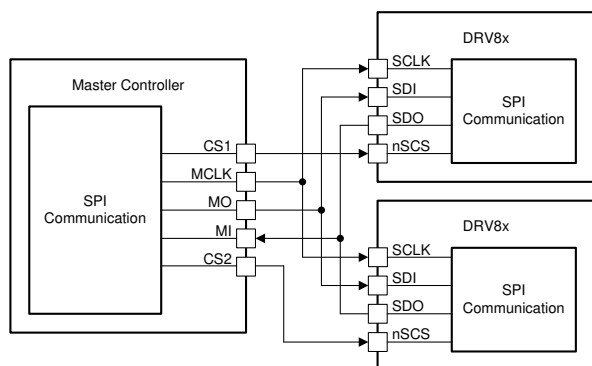


图 7-22. 不使用菊花链时的 SPI 操作

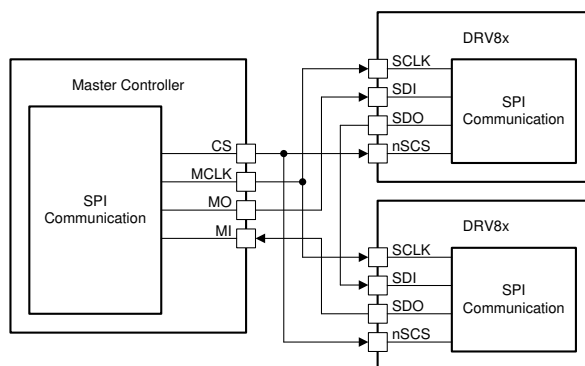


图 7-23. 使用菊花链时的 SPI 操作

7.5.3.1 用于连接菊花链中多个从器件的 SPI 接口

当多个器件与同一个 MCU 进行通信时，可以采用菊花链配置连接 DRV8706-Q1 器件，以节省 GPIO 端口。图 7-24 显示了 3 个器件串行连接时的拓扑以及相应的波形。

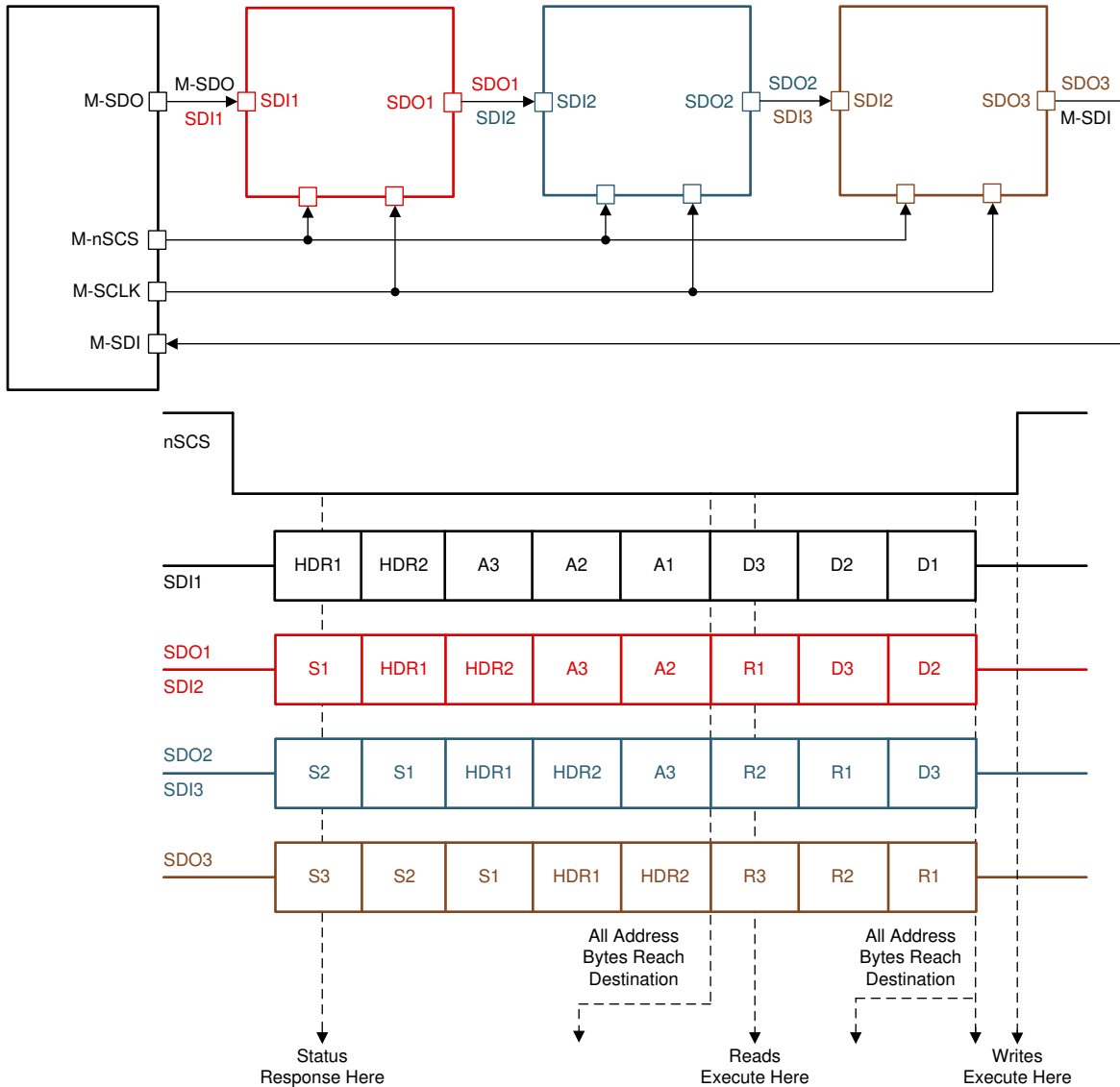


图 7-24. 菊花链 SPI 操作

如上所示菊花链中的第一个器件按以下格式从主控制器接收数据。请查看图 7-24 中的 SDI1

- 2 字节的标头
- 3 字节的地址
- 3 字节的数据

通过菊花链发送数据后，主控制器会按以下格式接收数据。请查看图 7-24 中的 SDO3

- 3 字节的状态
- 2 字节的标头 (应与控制器发送的信息相同)
- 3 字节的报告

标头字节包含有关链中连接的器件数量的信息，以及一个全局清除故障命令，该命令将在芯片选择 (nSCS) 信号的上升沿清除所有器件的故障寄存器。N5 至 N0 是 6 位，专用于显示菊花链中器件的数量，如图 7-25 所示。每个菊花链最多可串行连接 63 个器件。

HDR2 寄存器的 5 个 LSB 是不用考虑位，MCU 可以使用这些位来确定菊花链连接的完整性。对于两个 MSB，标头字节必须以 1 和 0 开头。

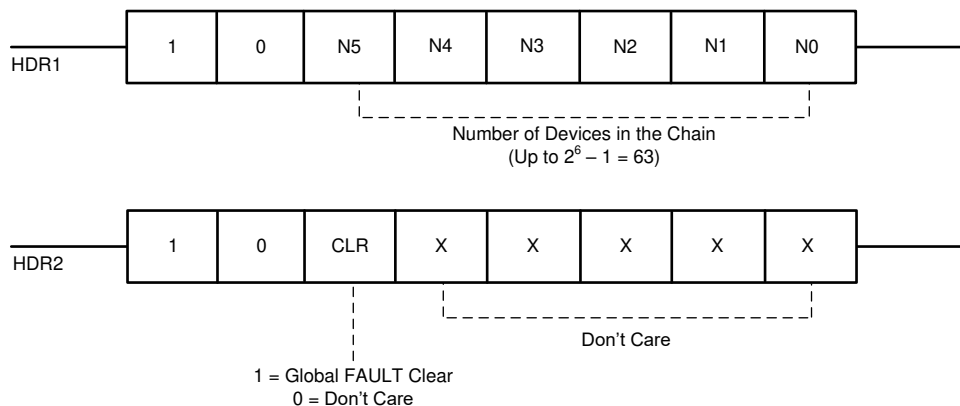


图 7-25. 标头位

状态字节提供了菊花链中每个器件的故障状态寄存器的相关信息，如图 7-26 所示。因此，主控制器不必启动读取命令即可从任何特定器件读取故障状态。这样可以减少控制器读取命令的数量，并使系统更有效地确定器件中标记的故障条件。

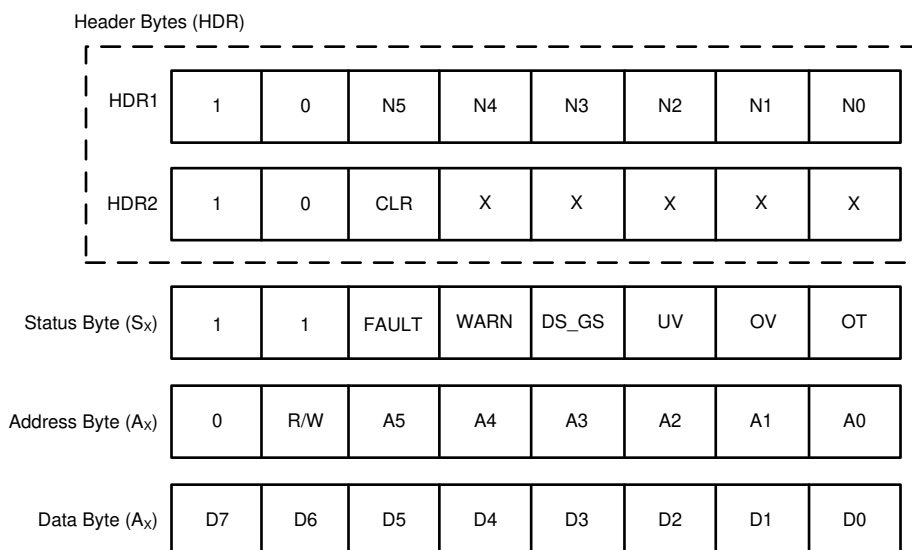


图 7-26. 菊花链读取寄存器

当数据通过器件时，它通过计算接收到的状态字节数（后跟第一个标头字节）来确定自身在链中的位置。例如，在这种包含 3 个器件的配置中，菊花链中的器件 2 会先接收两个状态字节，然后再依次接收 HDR1 字节和 HDR2 字节。

根据两个状态字节，器件可以确定其位于链中的第二个位置，而通过 HDR2 字节，器件可以确定链中连接的器件数量。这样，器件只加载缓冲区中的相关地址和数据字节，并绕过其他位。该协议可实现更快的通信，而不会因为链中连接多达 63 个器件而增加系统延迟。

对于单器件连接，地址和数据字节保持不变。上图中显示的报告字节 (R1 到 R3) 是所访问的寄存器的内容。

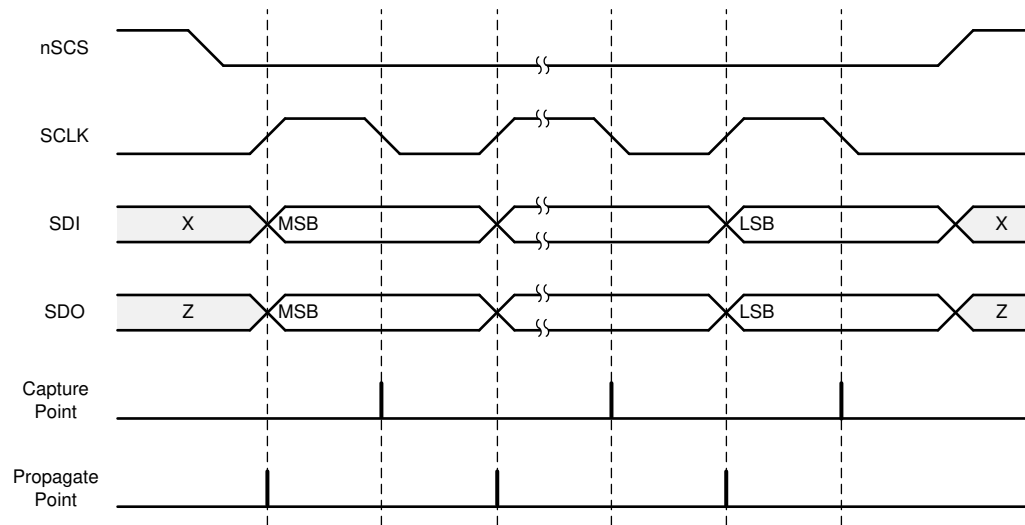


图 7-27. SPI 从器件时序图

7.6 寄存器映射

下表列出了该器件的存储器映射寄存器。未列出的所有寄存器地址都应视为保留的存储单元，并且不应修改寄存器内容。关于保留的存储单元的说明仅供参考。

表 7-12. 寄存器映射

名称	7	6	5	4	3	2	1	0	类型	地址
IC_STAT_1	SPI_OK	POR	FAULT	WARN	DS_GS	UV	OV	OT	R	0h
VGS_VDS_STAT	VGS_H1	VGS_L1	VGS_H2	VGS_L2	VDS_H1	VDS_L1	VDS_H2	VDS_L2	R	1h
IC_STAT_2	PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	RSVD	SCLK_FLT	ADDR_FLT	R	2h
RSVD_STAT	RSVD								R	3h
IC_CTRL	EN_DRV	SSC_DIS	IN1/EN_MODE	IN2/PH_MODE	LOCK			CLR_FLT	R/W	4h
BRG_CTRL	VGS_HS_DIS	BRG_MODE		BRG_FW	S_IN1/EN	S_IN2/PH	S_HIZ1	S_HIZ2	R/W	5h
DRV_CTRL_1	IDRVP_HS				IDRVN_HS				R/W	6h
DRV_CTRL_2	IDRVP_LS				IDRVN_LS				R/W	7h
DRV_CTRL_3	VGS_MODE		VGS_TDRV		VGS_TDEAD			VGS_IND	R/W	8h
VDS_CTRL_1	VDS_MODE		VDS_DG		VDS_IDRVN		VGS_LVL	VDS_IND	R/W	9h
VDS_CTRL_2	VDS_HS_LVL				VDS_LS_LVL				R/W	Ah
OLSC_CTRL	RSVD			OLSC_EN	PU_SH1	PD_SH1	PU_SH2	PD_SH2	R/W	Bh
UVOV_CTRL	PVDD_UV_MO DE	PVDD_OV_MODE		PVDD_OV_DG		PVDD_OV_LVL	VCP_UV_MOD E	VCP_UV_LVL	R/W	Ch
CSA_CTRL	CSA_SH_EN	CSA_BLK_SEL	CSA_BLK			CSA_DIV	CSA_GAIN		R/W	Dh

7.6.1 状态寄存器

表 7-13 列出了状态寄存器的存储器映射寄存器。表 7-13 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-13. 状态寄存器

地址	首字母缩写词	寄存器名称	节
0h	IC_STAT_1	IC 状态寄存器 1	转到
1h	VGS_VDS_STAT	VGS 和 VDS 状态寄存器	转到
2h	IC_STAT_2	IC 状态寄存器 2	转到
3h	RSVD_STAT	保留	转到

复杂的位访问类型经过编码可适应小型表单元。表 7-14 显示了适用于此部分中访问类型的代码。

表 7-14. 状态访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
复位或默认值		
-n		复位后的值或默认值

7.6.1.1 IC_STAT_1 寄存器 (地址 = 0h) [复位 = 80h]

IC_STAT_1 如图 7-28 所示，并在表 7-15 中进行了说明。

返回[汇总表](#)。

状态寄存器以及主要的 IC 故障位

图 7-28. IC_STAT_1 寄存器

7	6	5	4	3	2	1	0
SPI_OK	POR	FAULT	WARN	DS_GS	UV	OV	OT
R-1b	R-1b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

图 7-28. IC_STAT_1 寄存器 (continued)

表 7-15. IC_STAT_1 寄存器字段说明

位	字段	类型	复位	说明
7	SPI_OK	R	1b	未检测到 SPI 故障。 0b = 过去的帧中有一个或多个 SPI_CLK_FLT 或 SPI_ADR_FLT。 1b = 未检测到 SPI 故障。
6	POR	R	1b	表明存在上电复位条件。 0b = 未检测到上电复位条件。 1b = 检测到上电复位条件。
5	FAULT	R	0b	故障指示器。对应 nFAULT 引脚。
4	WARN	R	0b	警告指示器。
3	DS_GS	R	0b	VDS 和 VGS 指示器的逻辑“或”。
2	UV	R	0b	欠压指示器。
1	OV	R	0b	过压指示器。
0	OT	R	0b	OTW 和 OTSD 指示器的逻辑“或”。

7.6.1.2 VGS_VDS_STAT 寄存器 (地址 = 1h) [复位 = 0h]

VGS_VDS_STAT 如图 7-29 所示，并在表 7-16 中进行了说明。

返回[汇总表](#)。

状态寄存器以及 VGS 和 VDS 故障位

图 7-29. VGS_VDS_STAT 寄存器

7	6	5	4	3	2	1	0
VGS_H1	VGS_L1	VGS_H2	VGS_L2	VDS_H1	VDS_L1	VDS_H2	VDS_L2
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-16. VGS_VDS_STAT 寄存器字段说明

位	字段	类型	复位	说明
7	VGS_H1	R	0b	表明高侧 1 MOSFET 上存在 VGS 栅极故障。
6	VGS_L1	R	0b	表明低侧 1 MOSFET 上存在 VGS 栅极故障。
5	VGS_H2	R	0b	表明高侧 2 MOSFET 上存在 VGS 栅极故障。
4	VGS_L2	R	0b	表明低侧 2 MOSFET 上存在 VGS 栅极故障。
3	VDS_H1	R	0b	表明高侧 1 MOSFET 上存在 VDS 过流故障。
2	VDS_L1	R	0b	表明低侧 1 MOSFET 上存在 VDS 过流故障。
1	VDS_H2	R	0b	表明高侧 2 MOSFET 上存在 VDS 过流故障。
0	VDS_L2	R	0b	表明低侧 2 MOSFET 上存在 VDS 过流故障。

7.6.1.3 IC_STAT_2 寄存器 (地址 = 2h) [复位 = 10h]

IC_STAT_2 如图 7-30 所示，并在表 7-17 中进行了说明。

返回[汇总表](#)。

状态寄存器以及 IC 欠压、过压和 SPI 故障位

图 7-30. IC_STAT_2 寄存器

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

图 7-30. IC_STAT_2 寄存器 (continued)

PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	保留	SCLK_FLT	ADDR_FLT
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-17. IC_STAT_2 寄存器字段说明

位	字段	类型	复位	说明
7	PVDD_UV	R	0b	表明 PVDD 引脚上存在欠压故障。
6	PVDD_OV	R	0b	表明 PVDD 引脚上存在过压故障。
5	VCP_UV	R	0b	表明 VCP 引脚上存在欠压故障。
4	OTW	R	0b	表明过热警告。
3	OTSD	R	0b	表明过热关断。
2	保留	R	0b	保留。
1	SCLK_FLT	R	0b	表明 SPI 时钟 (帧) 故障。
0	ADDR_FLT	R	0b	显示 SPI 地址故障。

7.6.1.4 RSVD_STAT 寄存器 (地址 = 3h) [复位 = 0h]

RSVD_STAT 如图 7-31 所示，并在表 7-18 中进行了说明。

返回[汇总表](#)。

保留状态寄存器

图 7-31. RSVD_STAT 寄存器

7	6	5	4	3	2	1	0
保留							
R-0b							

表 7-18. RSVD_STAT 寄存器字段说明

位	字段	类型	复位	说明
7-0	保留	R	0b	保留

7.6.2 控制寄存器

表 7-19 列出了控制寄存器的存储器映射寄存器。表 7-19 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-19. 控制寄存器

地址	首字母缩写词	寄存器名称	节
4h	IC_CTRL	IC 控制寄存器	转到
5h	BRG_CTRL	BRG 控制寄存器	转到
6h	DRV_CTRL_1	DRV 控制寄存器 1	转到
7h	DRV_CTRL_2	DRV 控制寄存器 2	转到
8h	DRV_CTRL_3	DRV 控制寄存器 3	转到
9h	VDS_CTRL_1	VDS 控制寄存器 1	转到
Ah	VDS_CTRL_2	VDS 控制寄存器 2	转到
Bh	OLSC_CTRL	OLSC 控制寄存器	转到
Ch	UVOV_CTRL	UVOV 控制寄存器	转到
Dh	CSA_CTRL	CSA 控制寄存器	转到

复杂的位访问类型经过编码可适应小型表单元。表 7-20 显示了适用于此部分中访问类型的代码。

表 7-20. 控制访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

7.6.2.1 IC_CTRL 寄存器 (地址 = 4h) [复位 = 6h]

IC_CTRL 如图 7-32 所示，并在表 7-21 中进行了说明。

返回[汇总表](#)。

用于 IC 配置的控制寄存器

图 7-32. IC_CTRL 寄存器

7	6	5	4	3	2	1	0
EN_DRV	SSC_DIS	IN1/EN_MODE	IN2/PH_MODE	LOCK		CLR_FLT	
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-11b		R/W-0b	

表 7-21. IC_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	EN_DRV	读/写	0b	启用栅极驱动器位 0b = 忽略驱动器输入，启用栅极驱动器无源下拉电阻。 1b = 栅极驱动器输出由数字输入启用和控制。
6	SSC_DIS	读/写	0b	禁用器件展频时钟 0b = 启用。 1b = 禁用。
5	IN1/EN_MODE	读/写	0b	IN1/EN 控制模式。 0b = IN1/EN 信号来自 IN1/EN 引脚。 1b = IN1/EN 信号来自 S_IN1/EN 位。
4	IN2/PH_MODE	读/写	0b	IN2/PH 控制模式。 0b = IN2/PH 信号来自 IN2/PH 引脚。 1b = IN2/PH 信号来自 S_IN2/PH 位。
3-1	LOCK	读/写	11b	锁定和解锁控制寄存器。未列出的位设置无效。 011b = 解锁所有控制寄存器。 110b = 通过忽略除这些位之外的后续写入来锁定控制寄存器。
0	CLR_FLT	读/写	0b	清除锁存故障状态信息。 0b = 默认状态。 1b = 清除故障，完成后复位为 0b。

7.6.2.2 BRG_CTRL 寄存器 (地址 = 5h) [复位 = 0h]

BRG_CTRL 如图 7-33 所示，并在表 7-22 中进行了说明。

返回[汇总表](#)。

用于桥接配置和输出控制的控制寄存器

图 7-33. BRG_CTRL 寄存器

7	6	5	4	3	2	1	0
VGS_HS_DIS	BRG_MODE		BRG_FW	S_IN1/EN	S_IN2/PH	S_HIZ1	S_HIZ2
R/W-0b	R/W-0b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-22. BRG_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	VGS_HS_DIS	读/写	0b	基于 V _{GS} 监控器的死区时间握手。 0b = 启用。 1b = 禁用。基于 t _{DRIVE} 和 t _{DEAD} 持续时间的栅极驱动转换。
6-5	BRG_MODE	读/写	00b	H 桥输入控制模式。 00b = 独立半桥输入控制。 01b = PH/EN H 桥输入控制。 10b = PWM H 桥输入控制。 11b = 分离式 HS/LS 螺线管输入控制。
4	BRG_FW	读/写	0b	H 桥控制续流设置。 0b = 低侧续流。 1b = 高侧续流。
3	S_IN1/EN	读/写	0b	用于 IN1/EN 输入信号的控制位。通过 IN1/EN_MODE 位启用。
2	S_IN2/PH	读/写	0b	用于 IN2/PH 输入信号的控制位。通过 IN2/PH_MODE 位启用。
1	S_HIZ1	读/写	0b	用于 HIZ1 输入信号的控制位。与 nHIZ1 引脚进行逻辑“或”操作。仅在半桥输入控制模式下有效。 0b = 输出跟随 IN1/EN 信号。 1b = 启用栅极驱动器下拉电阻。半桥 1 高阻态
0	S_HIZ2	读/写	0b	用于 HIZ2 输入信号的控制位。与 nHIZ2 引脚进行逻辑“或”操作。仅在半桥输入控制模式下有效。 0b = 输出跟随 IN2/PH 信号。 1b = 启用栅极驱动器下拉电阻。半桥 2 高阻态

7.6.2.3 DRV_CTRL_1 寄存器 (地址 = 6h) [复位 = FFh]

DRV_CTRL_1 如图 7-34 所示，并在表 7-23 中进行了说明。

返回[汇总表](#)。

用于 DRV 栅极电流配置的控制寄存器

图 7-34. DRV_CTRL_1 寄存器

7	6	5	4	3	2	1	0
IDRVP_HS				IDRVN_HS			
R/W-1111b				R/W-1111b			

表 7-23. DRV_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_HS	读/写	1111b	高侧峰值供电上拉电流。 0000b = 0.5mA 0001b = 1mA 0010b = 2mA 0011b = 3mA 0100b = 4mA 0101b = 6mA 0110b = 8mA 0111b = 12mA 1000b = 16mA 1001b = 20mA 1010b = 24mA 1011b = 28mA 1100b = 31mA 1101b = 40mA 1110b = 48mA 1111b = 62mA
3-0	IDRVN_HS	读/写	1111b	高侧峰值受电下拉电流。 0000b = 0.5mA 0001b = 1mA 0010b = 2mA 0011b = 3mA 0100b = 4mA 0101b = 6mA 0110b = 8mA 0111b = 12mA 1000b = 16mA 1001b = 20mA 1010b = 24mA 1011b = 28mA 1100b = 31mA 1101b = 40mA 1110b = 48mA 1111b = 62mA

7.6.2.4 DRV_CTRL_2 寄存器 (地址 = 7h) [复位 = FFh]

DRV_CTRL_2 如图 7-35 所示，并在表 7-24 中进行了说明。

返回[汇总表](#)。

用于 DRV 栅极电流配置的控制寄存器

图 7-35. DRV_CTRL_2 寄存器

7	6	5	4	3	2	1	0
IDRVP_LS				IDRVN_LS			
R/W-1111b				R/W-1111b			

表 7-24. DRV_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_LS	读/写	1111b	低侧峰值供电上拉电流。 0000b = 0.5mA 0001b = 1mA 0010b = 2mA 0011b = 3mA 0100b = 4mA 0101b = 6mA 0110b = 8mA 0111b = 12mA 1000b = 16mA 1001b = 20mA 1010b = 24mA 1011b = 28mA 1100b = 31mA 1101b = 40mA 1110b = 48mA 1111b = 62mA
3-0	IDRVN_LS	读/写	1111b	低侧峰值受电下拉电流。 0000b = 0.5mA 0001b = 1mA 0010b = 2mA 0011b = 3mA 0100b = 4mA 0101b = 6mA 0110b = 8mA 0111b = 12mA 1000b = 16mA 1001b = 20mA 1010b = 24mA 1011b = 28mA 1100b = 31mA 1101b = 40mA 1110b = 48mA 1111b = 62mA

7.6.2.5 DRV_CTRL_3 寄存器 (地址 = 8h) [复位 = 20h]

DRV_CTRL_3 如图 7-36 所示，并在表 7-25 中进行了说明。

返回[汇总表](#)。

用于 DRV 死区时间、栅极电流驱动时间和 VDS 消隐时间的控制寄存器

图 7-36. DRV_CTRL_3 寄存器

7	6	5	4	3	2	1	0
VGS_MODE		VGS_TDRV		VGS_TDEAD		VGS_IND	
R/W-00b		R/W-10b		R/W-000b		R/W-0b	

表 7-25. DRV_CTRL_3 寄存器字段说明

位	字段	类型	复位	说明
7-6	VGS_MODE	读/写	00b	VGS 栅极故障监控模式。 00b = 锁存故障。 01b = 逐周期。 10b = 仅警告报告。 11b = 禁用。
5-4	VGS_TDRV	读/写	10b	VGS 驱动时间和 VDS 监控消隐时间。 00b = 96μs 01b = 2μs 10b = 4μs 11b = 8μs
3-1	VGS_TDEAD	读/写	000b	可插入的数字死区时间。 000b = 0ns 001b = 250ns 010b = 500ns 011b = 750ns 100b = 1000ns 101b = 2000ns 110b = 4000ns 111b = 8000ns
0	VGS_IND	读/写	0b	启用 VGS 独立关断模式。BRG_MODE = 00b、11b 时有效。 0b = 禁用。 1b = 启用。VGS 栅极故障只会将相关的半桥关断。

7.6.2.6 VDS_CTRL_1 寄存器 (地址 = 9h) [复位 = 20h]

VDS_CTRL_1 如图 7-37 所示，并在表 7-26 中进行了说明。

返回[汇总表](#)。

用于 VDS 过流比较器的控制寄存器

图 7-37. VDS_CTRL_1 寄存器

7	6	5	4	3	2	1	0
VDS_MODE		VDS_DG		VDS_IDRVN		VGS_LVL	VDS_IND
R/W-00b		R/W-10b		R/W-00b		R/W-0b	R/W-0b

表 7-26. VDS_CTRL_1 寄存器字段说明

位	字段	类型	复位	说明
7-6	VDS_MODE	读/写	00b	VDS 过流监控模式。 00b = 锁存故障。 01b = 逐周期。 10b = 仅警告报告。 11b = 禁用。
5-4	VDS_DG	读/写	10b	VDS 过流监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs

表 7-26. VDS_CTRL_1 寄存器字段说明 (continued)

位	字段	类型	复位	说明
3-2	VDS_IDRVN	读/写	00b	V _{DS_OCP} 故障之后的 I _{DRVN} 栅极下拉电流 00b = 已设定的 I _{DRVN} 01b = 8mA 10b = 31mA 11b = 62mA
1	VGS_LVL	读/写	0b	用于死区时间握手和栅极故障检测的 VGS 监控阈值。 0b = 1.4V 1b = 1.0 V
0	VDS_IND	读/写	0b	启用 VDS 独立关断模式。BRG_MODE = 00b、11b 时有效。 0b = 禁用。 1b = 启用。VDS 过流故障只会将相关的半桥关断。

7.6.2.7 VDS_CTRL_2 寄存器 (地址 = Ah) [复位 = DDh]

VDS_CTRL_2 如图 7-38 所示，并在表 7-27 中进行了说明。

返回[汇总表](#)。

用于 VDS 阈值电压的控制寄存器

图 7-38. VDS_CTRL_2 寄存器

7	6	5	4	3	2	1	0
VDS_HS_LVL				VDS_LS_LVL			
R/W-1101b				R/W-1101b			

表 7-27. VDS_CTRL_2 寄存器字段说明

位	字段	类型	复位	说明
7-4	VDS_HS_LVL	读/写	1101b	高侧 VDS 过流监控阈值。 0000b = 0.06 V 00001b = 0.08V 0010b = 0.10 V 0011b = 0.12 V 0100b = 0.14 V 0101b = 0.16 V 0110b = 0.18 V 0111b = 0.2 V 1000b = 0.3 V 1001b = 0.4 V 1010b = 0.5 V 1011b = 0.6 V 1100b = 0.7 V 1101b = 1 V 1110b = 1.4 V 1111b = 2 V

表 7-27. VDS_CTRL_2 寄存器字段说明 (continued)

位	字段	类型	复位	说明
3-0	VDS_LS_LVL	读/写	1101b	低侧 VDS 过流监控阈值。 0000b = 0.06 V 0001b = 0.08 V 0010b = 0.10 V 0011b = 0.12 V 0100b = 0.14 V 0101b = 0.16 V 0110b = 0.18 V 0111b = 0.2 V 1000b = 0.3 V 1001b = 0.4 V 1010b = 0.5 V 1011b = 0.6 V 1100b = 0.7 V 1101b = 1 V 1110b = 1.4 V 1111b = 2 V

7.6.2.8 OLSC_CTRL 寄存器 (地址 = Bh) [复位 = 0h]

OLSC_CTRL 如图 7-39 所示，并在表 7-28 中进行了说明。

返回汇总表。

离线诊断的控制寄存器。

图 7-39. OLSC_CTRL 寄存器

7	6	5	4	3	2	1	0
保留			OLSC_EN	PU_SH1	PD_SH1	PU_SH2	PD_SH2
R/W-000b			R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-28. OLSC_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-5	保留	读/写	000b	保留
4	OLSC_EN	读/写	0b	启用离线路负载和短路诊断。 0b = 禁用。 1b = VDS 监控器设置为实时电压监控模式并启用诊断电流源。
3	PU_SH1	读/写	0b	半桥 1 上拉诊断电流源。必须设置 OLSC_EN 位才能使用。 0b = 禁用。 1b = 启用。
2	PD_SH1	读/写	0b	半桥 1 下拉诊断电流源。必须设置 OLSC_EN 位才能使用。 0b = 禁用。 1b = 启用。
1	PU_SH2	读/写	0b	半桥 2 上拉诊断电流源。必须设置 OLSC_EN 位才能使用。 0b = 禁用。 1b = 启用。
0	PD_SH2	读/写	0b	半桥 2 下拉诊断电流源。必须设置 OLSC_EN 位才能使用。 0b = 禁用。 1b = 启用。

7.6.2.9 UVOV_CTRL 寄存器 (地址 = Ch) [复位 = 14h]

UVOV_CTRL 如图 7-40 所示，并在表 7-29 中进行了说明。

返回[汇总表](#)。

用于欠压和过压监控的控制寄存器

图 7-40. UVOV_CTRL 寄存器

7	6	5	4	3	2	1	0
PVDD_UV_MODE	PVDD_OV_MODE		PVDD_OV_DG		PVDD_OV_LVL	VCP_UV_MODE	VCP_UV_LVL
R/W-0b	R/W-00b		R/W-10b		R/W-1b	R/W-0b	R/W-0b

表 7-29. UVOV_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	PVDD_UV_MODE	读/写	0b	PVDD 电源欠压监控模式。 0b = 锁存故障。 1b = 自动恢复。
6-5	PVDD_OV_MODE	读/写	00b	PVDD 电源过压监控模式。 00b = 锁存故障。 01b = 自动恢复。 10b = 仅警告报告。 11b = 禁用。
4-3	PVDD_OV_DG	读/写	10b	PVDD 电源过压监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
2	PVDD_OV_LVL	读/写	1b	PVDD 电源过压监控阈值。 0b = 21.5 V 1b = 28.5 V
1	VCP_UV_MODE	读/写	0b	VCP 电荷泵欠压监控模式。 0b = 锁存故障。 1b = 自动恢复。
0	VCP_UV_LVL	读/写	0b	VCP 电荷泵欠压监控阈值。 0b = 2.5 V 1b = 5 V

7.6.2.10 CSA_CTRL 寄存器 (地址 = Dh) [复位 = 1h]

CSA_CTRL 如图 7-41 所示，并在表 7-30 中进行了说明。

返回[汇总表](#)。

用于电流分流放大器的控制寄存器

图 7-41. CSA_CTRL 寄存器

7	6	5	4	3	2	1	0
CSA_SH_EN	CSA_BLK_SEL		CSA_BLK		CSA_DIV		CSA_GAIN
R/W-0b	R/W-0b		R/W-000b		R/W-0b		R/W-01b

表 7-30. CSA_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	CSA_SH_EN	读/写	0b	电流分流放大器采样保持。 0b = 禁用 1b = 启用
6	CSA_BLK_SEL	读/写	0b	电流分流放大器消隐触发源。 0b = 半桥 1 1b = 半桥 2
5-3	CSA_BLK	读/写	000b	电流分流放大器消隐时间。t _{DRV} 的百分比。 000b = 0%，禁用 001b = 25% 010b = 37.5% 011b = 50% 100b = 62.5% 101b = 75% 110b = 87.5% 111b = 100%
2	CSA_DIV	R/W	0b	电流分流放大器基准电压分压器。 0b = AREF / 2 1b = AREF / 8
1-0	CSA_GAIN	R/W	01b	电流分流放大器增益设置。 00b = 10V/V 01b = 20V/V 10b = 40V/V 11b = 80V/V

8 应用和实现

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定元件是否适用于其应用。客户应验证并测试其设计，以确保系统功能正常。

8.1 应用信息

DRV8706-Q1 是一款高度可配置的 H 桥 MOSFET 栅极驱动器，可用于驱动各种不同的输出负载。以下设计示例将重点说明如何针对不同的应用用例来使用和配置该器件。

8.2 典型应用

DRV8706-Q1 的典型应用是控制外部 MOSFET H 桥以实现双向有刷直流电机控制。下面的图 8-1 显示了一个概要原理图示例。

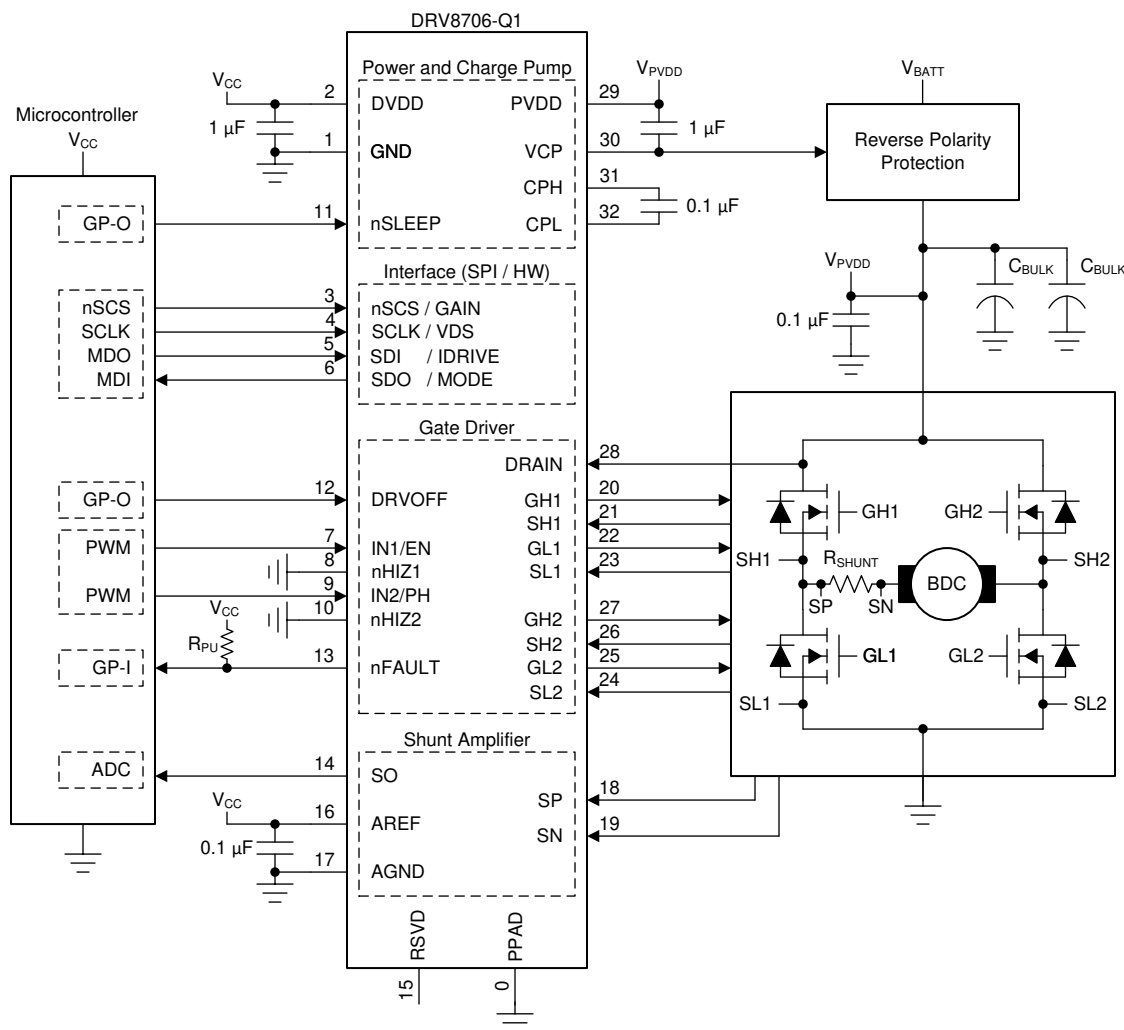


图 8-1. DRV8706-Q1 典型应用

8.2.1 设计要求

表 8-1 列出了用于系统设计的一组输入参数示例。

表 8-1. 设计参数示例

设计参数	参考	值
PVDD 标称电源电压	V _{PVDD}	12V
PVDD 电源电压范围		9 至 18 V
DVDD/AREF 逻辑电源电压	V _{CC}	3.3V
MOSFET 总栅极电荷	Q _G	V _{GS} = 10V 时为 30 nC (典型值)
MOSFET 栅漏极电荷	Q _{GD}	5 nC (典型值)
MOSFET 导通电阻	R _{DS(on)}	4 mΩ
目标输出上升时间	t _{rise}	750 - 1000 ns
目标输出下降时间	t _{fall}	250 - 500 ns
PWM 频率	f _{PWM}	20 kHz
最大电机电流	I _{MAX}	25 A
分流电阻功率容量	P _{SHUNT}	3W

8.2.2 详细设计过程

以下几节将介绍栅极驱动器和分流放大器的一些常见设计过程以及如何确定器件功耗。

8.2.2.1 栅极驱动器配置

8.2.2.1.1 VCP 负载计算示例

应确保 DRV8706-Q1 电荷泵负载能力可以满足 MOSFET 和 PWM 频率要求。可通过公式 1 所示的简单计算方法来确认这一点。在典型的 H 桥驱动配置中，一次只能开关一个高侧 MOSFET。

$$I_{VCP} (A) = Q_G (C) \times f_{PWM} (Hz) \times \text{正在进行开关的 HS FET 数量} \quad (1)$$

以输入设计参数为例，我们可以通过公式 2 证明，在此例中，电荷泵的输出负载能力是足够的。

$$I_{VCP} = 30 \text{ nC} \times 20 \text{ kHz} \times 1 = 0.6 \text{ mA} \quad (2)$$

8.2.2.1.2 I_{DRIVE} 计算示例

栅极驱动电流强度 I_{DRIVE} 的选择依据包括：外部 MOSFET 的栅漏电荷，以及开关节点的目标上升和下降时间。对于给定的 MOSFET，如果选择的 I_{DRIVE} 过低，则 MOSFET 可能无法在配置的 t_{DRIVE} 时间内完全导通或关断，并且可以断定出现栅极故障。此外，较长的上升和下降时间将导致外部功率 MOSFET 中出现更高的开关功率损耗。建议使用所需的外部 MOSFET 和负载在系统中验证这些值，以确定适合的设置。

高侧和低侧外部 MOSFET 的 I_{DRIVEP} 和 I_{DRIVEN} 均可在 SPI 器件型号上独立调整。在硬件接口器件型号上，同时在 IDRIVE 引脚上选择拉电流和灌电流设置。

对于具有已知栅漏电荷 (Q_{GD})、所需上升时间 (t_{rise}) 和所需下降时间 (t_{fall}) 的 MOSFET，可使用公式 3 和公式 4 分别计算 I_{DRIVEP} 和 I_{DRIVEN} 的近似值。

$$I_{DRIVEP} = Q_{GD} / t_{rise} \quad (3)$$

$$I_{DRIVEN} = Q_{GD} / t_{fall} \quad (4)$$

以输入设计参数为例，我们可以计算 I_{DRIVEP} 和 I_{DRIVEN} 的近似值。

$$I_{DRIVEP\_HI} = 5 \text{ nC} / 750 \text{ ns} = 6.67 \text{ mA} \quad (5)$$

$$I_{DRIVEP\_LO} = 5 \text{ nC} / 1000 \text{ ns} = 5 \text{ mA} \quad (6)$$

根据这些计算结果，为 I_{DRIVEP} 选择了值 6 mA。

$$I_{DRIVEN\_HI} = 5 \text{ nC} / 250 \text{ ns} = 20 \text{ mA} \quad (7)$$

$$I_{DRIVEN\_LO} = 5nC / 500 ns = 10mA \quad (8)$$

根据这些计算结果，为 I_{DRIVEN} 选择了值 16mA。

8.2.2.2 电流分流放大器配置

DRV8706-Q1 差分分流放大器增益和分流电阻值的选择依据包括：动态电流范围、基准电压电源、分流电阻功率额定值，以及工作温度范围。在分流放大器的双向运行模式下，输出动态范围的近似计算方法如 [方程式 9](#) 所示。放大器的输出可从中点基准 ($V_{AREF} / 2$) 摆动到 0.25V 或 $V_{AREF} - 0.25V$ ，具体取决于放大器输入电压的极性。

$$V_{SO\_BI} = (V_{AREF} - 0.25V) - (V_{AREF} / 2) \quad (9)$$

如果只需要单向电流感测，则修改放大器基准来扩大输出动态范围，这可通过 CSA_DIV SPI 寄存器设置进行修改。在此模式下，输出动态范围的近似计算方法如 [方程式 10](#) 所示。

$$V_{SO\_UNI} = (V_{AREF} - 0.25V) - (V_{AREF} / 8) \quad (10)$$

根据 $V_{AREF} = 3.3V$ ，双向或单向感测中动态输出范围的计算如下。

$$V_{SO\_BI} = (3.3V - 0.25V) - (3.3V / 2) = 1.4V \quad (11)$$

$$V_{SO\_UNI} = (3.3V - 0.25V) - (3.3V / 8) = 2.6375V \quad (12)$$

外部分流电阻值和 DRV8706-Q1 分流放大器增益设置的选择依据包括：可用的动态输出范围、分流电阻功率额定值，以及需要测量的最大电机电流。分流电阻和放大器增益的精确值由 [方程式 13](#) 和 [方程式 14](#) 得出。

$$R_{SHUNT} < P_{SHUNT} / I_{MAX}^2 \quad (13)$$

$$A_V < V_{SO} / (I_{MAX} \times R_{SHUNT}) \quad (14)$$

根据 $V_{SO} = 1.4V$ 、 $I_{MAX} = 25A$ 和 $P_{SHUNT} = 3W$ ，分流电阻和放大器增益值的计算如下。

$$R_{SHUNT} < 3W / 25^2 A = 4.8m\Omega \quad (15)$$

$$A_V < 1.4V / (25A \times 4.8m\Omega) = 11.67V/V \quad (16)$$

根据这些结果，可选择 4 mΩ 的分流电阻和 10 V/V 的放大器增益。

8.2.2.3 功率耗散

在高温运行环境中，估算驱动器内部的自发热可能很重要。若要确定器件的温度，首先必须计算内部功率耗散。之后，可根据器件封装的热特性来估算相应值。

内部功率耗散具有四个主要分量。

- 高侧驱动器功率耗散 (P_{HS})
- 低侧驱动器功率耗散 (P_{LS})
- PVDD 电池电源功率耗散 (P_{PVDD})
- DVDD/AREF 逻辑/基准电源功率耗散 (P_{VCC})

如下所示，可参考前面的电荷泵负载电流公式来计算 P_{HS} 和 P_{LS} 的近似值。在典型的开关场景中，有 1 个高侧 MOSFET 和 1 个低侧 MOSFET 正在进行开关。

$$I_{HS/LS} (A) = Q_G (C) \times f_{PWM} (Hz) \times \text{正在进行开关的 FET 数量} \quad (17)$$

以输入设计参数为例，我们可以计算高侧和低侧驱动器的电流负载。

$$I_{HS} = 30 nC \times 20 kHz \times 1 = 0.6 mA \quad (18)$$

$$I_{LS} = 30 \text{ nC} \times 20 \text{ kHz} \times 1 = 0.6 \text{ mA} \quad (19)$$

基于这些信息，可根据以下公式计算驱动器的功率耗散。计算高侧功率耗散时加入了一个加倍因子来体现电荷泵中的损耗。

$$P_{HS} (W) = I_{HS} (A) \times V_{PVDD} \times 2 \quad (20)$$

$$P_{LS} (W) = I_{LS} (A) \times V_{PVDD} \quad (21)$$

以输入设计参数为例，我们可以计算高侧和低侧驱动器的功率耗散。

$$P_{HS} (W) = 0.0144 \text{ W} = 0.6 \text{ mA} \times 12 \text{ V} \times 2 \quad (22)$$

$$P_{LS} (W) = 0.0072 \text{ W} = 0.6 \text{ mA} \times 12 \text{ V} \quad (23)$$

可参考以下公式来计算 P_{PVDD} 和 P_{VCC} 的近似值。

$$P_{PVDD} (W) = I_{PVDD} (A) \times V_{PVDD} \quad (24)$$

$$P_{VCC} (W) = (I_{DVDD} (A) \times V_{DVDD}) + (I_{AREF} (A) \times V_{AREF}) \quad (25)$$

以输入设计参数为例，我们可以计算电源的功率耗散。

$$P_{PVDD} (W) = 0.0024 \text{ W} = 2 \text{ mA} \times 12 \text{ V} \quad (26)$$

$$P_{VCC} (W) = 0.0015 \text{ W} = (3.5 \text{ mA} \times 3.3 \text{ V}) + (1 \text{ mA} \times 3.3 \text{ V}) \quad (27)$$

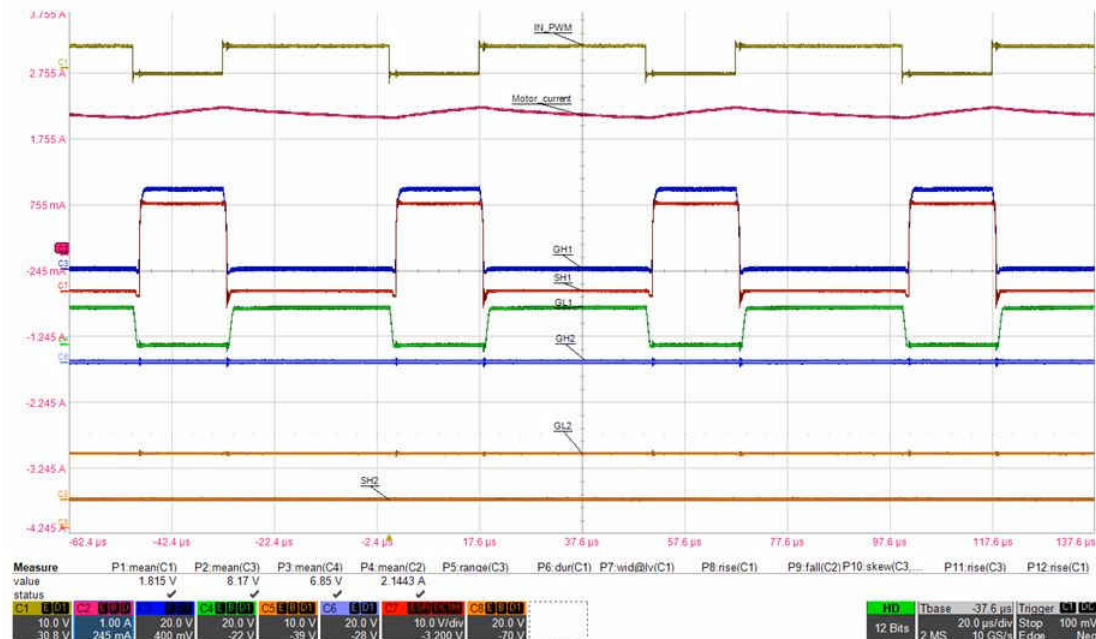
最后，若要估算器件结温，可以参考以下公式。

$$T_{JUNCTION} (^{\circ}\text{C}) = T_{AMBIENT} (^{\circ}\text{C}) + (R_{\theta JA} (^{\circ}\text{C}/\text{W}) \times P_{TOT} (W)) \quad (28)$$

可以根据先前计算出的功率耗散值和“热性能信息”表中的器件热性能参数来估算器件内部温度。

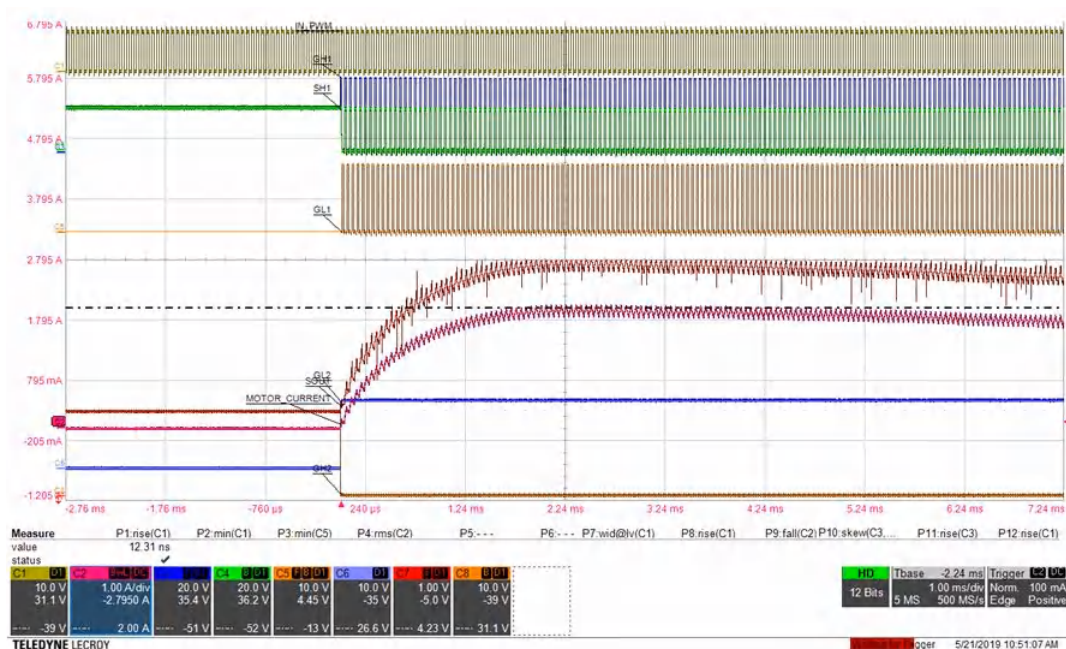
$$T_{JUNCTION} (^{\circ}\text{C}) = 105.9 ^{\circ}\text{C} = 105 ^{\circ}\text{C} + (34.9 ^{\circ}\text{C}/\text{W} \times 0.0255 \text{ W}) \quad (29)$$

8.2.3 应用曲线



上图显示了正常 PWM 运行期间的驱动器，包括逻辑 PWM 控制输入和所有驱动器输出。

图 8-2. 驱动器的正常 PWM 运行



上图显示了电机启动期间的驱动器和放大器性能，包括驱动器输出和电流放大器反馈。

图 8-3. 电机启动期间的驱动器运行情况



图 8-4. 热启动脉冲期间的驱动器 PWM 运行情况

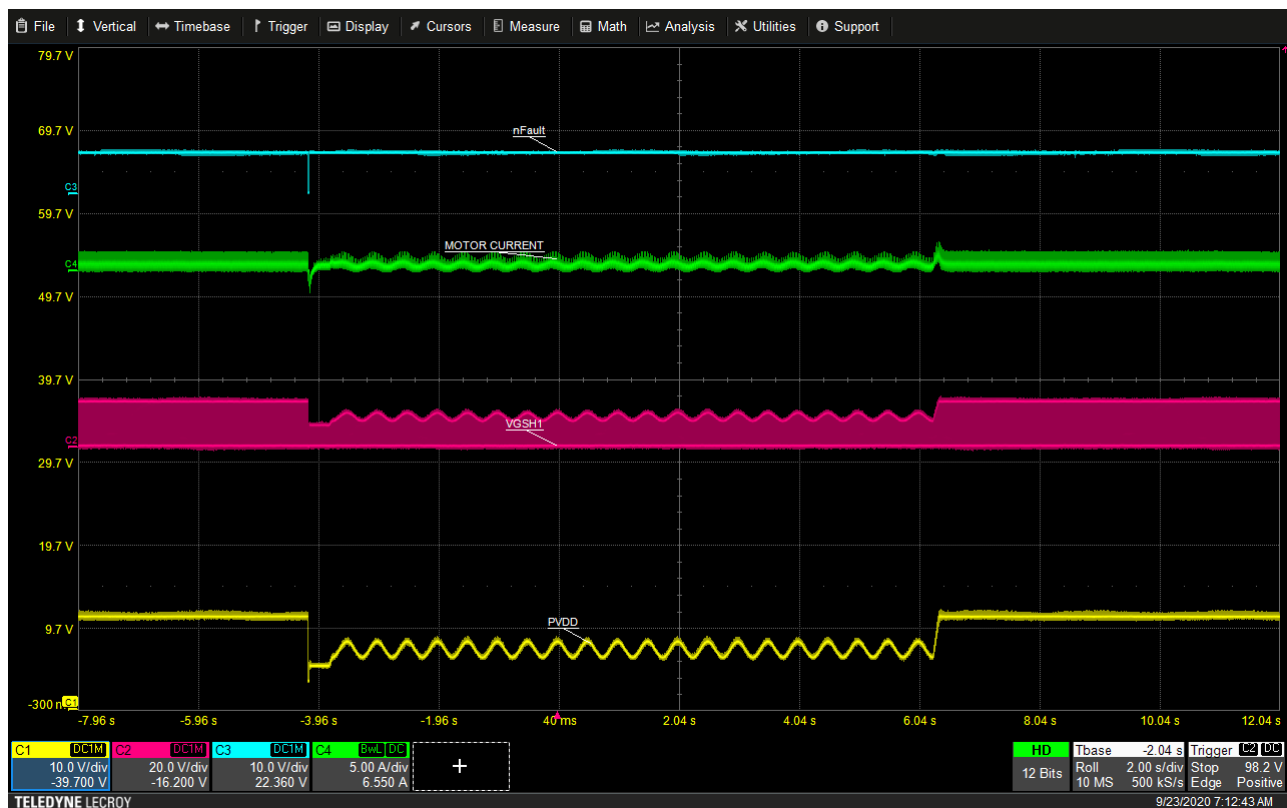


图 8-5. 冷启动脉冲期间的驱动器 PWM 运行情况

9 布局

9.1 布局指南

使用推荐容值为 $0.1\ \mu\text{F}$ 的低 ESR 陶瓷旁路电容器将 PVDD 引脚旁路至 GND 引脚。将该电容器放置在尽可能靠近 PVDD 引脚的位置，并通过较宽的迹线或接地平面连接到 GND 引脚。此外，使用额定电压为 VM 的大容量电容器将 PVDD 引脚旁路掉。该元件可以是电解电容器。其容值必须至少为 $10\ \mu\text{F}$ 。如果该电容与外部功率 MOSFET 的大容量电容共享，也是可接受的。

需要额外的大容量电容来旁路掉外部 MOSFET 上的大电流路径。放置此大容量电容时应做到尽可能缩短通过外部 MOSFET 的大电流路径的长度。连接金属迹线应尽可能宽，并具有许多连接 PCB 层的过孔。这些做法最大限度地减少了电感并允许大容量电容器提供大电流。

在 CPL 和 CPH 引脚之间放置一个低 ESR 陶瓷电容器。该电容器的容值应为 $0.1\ \mu\text{F}$ ，额定电压为 PVDD，类型为 X5R 或 X7R。此外，在 VCP 和 PVDD 引脚之间放置一个低 ESR 陶瓷电容器。该电容器的容值应为 $1\ \mu\text{F}$ ，额定电压为 16V，类型为 X5R 或 X7R。

使用一个容值为 $1.0\ \mu\text{F}$ 、额定电压为 6.3V 且类型为 X5R 或 X7R 的低 ESR 陶瓷电容器将 DVDD 引脚旁路至 GND 引脚。将此电容器尽可能靠近引脚放置，并尽量缩短从电容器到 GND 引脚的路径。如果另一个旁路电容器靠近用于外部低压电源的器件，并且电源上的噪声很小，则可以选择移除该元件。

使用一个容值为 $0.1\ \mu\text{F}$ 、额定电压为 6.3V 且类型为 X5R 或 X7R 的低 ESR 陶瓷电容器将 AREF 引脚旁路至 GND 引脚。将此电容器尽可能靠近引脚放置，并尽量缩短从电容器到 GND 引脚的路径。如果另一个旁路电容器靠近用于外部低压电源的器件，并且电源上的噪声很小，则可以选择移除该元件。

DRAIN 引脚可以直接短接到 PVDD 引脚。但是，如果器件和外部 MOSFET 之间的距离很大，请使用专用迹线连接到高侧外部 MOSFET 的漏极公共点。不要将 SLx 引脚直接连接到接地平面，而是应该使用专用迹线将这些引脚连接到低侧外部 MOSFET 的源极。遵循这些建议有助于更准确地感测外部 MOSFET 的 V_{DS} 以实现过流检测。

最大限度地缩短高侧和低侧栅极驱动器的回路长度。高侧环路是从器件的 GHx 引脚到高侧功率 MOSFET 栅极，然后沿着高侧 MOSFET 源极返回到 SHx 引脚。低侧环路是从器件的 GLx 引脚到低侧功率 MOSFET 栅极，然后沿着低侧 MOSFET 源极返回到 SLx 引脚。

9.2 布局示例

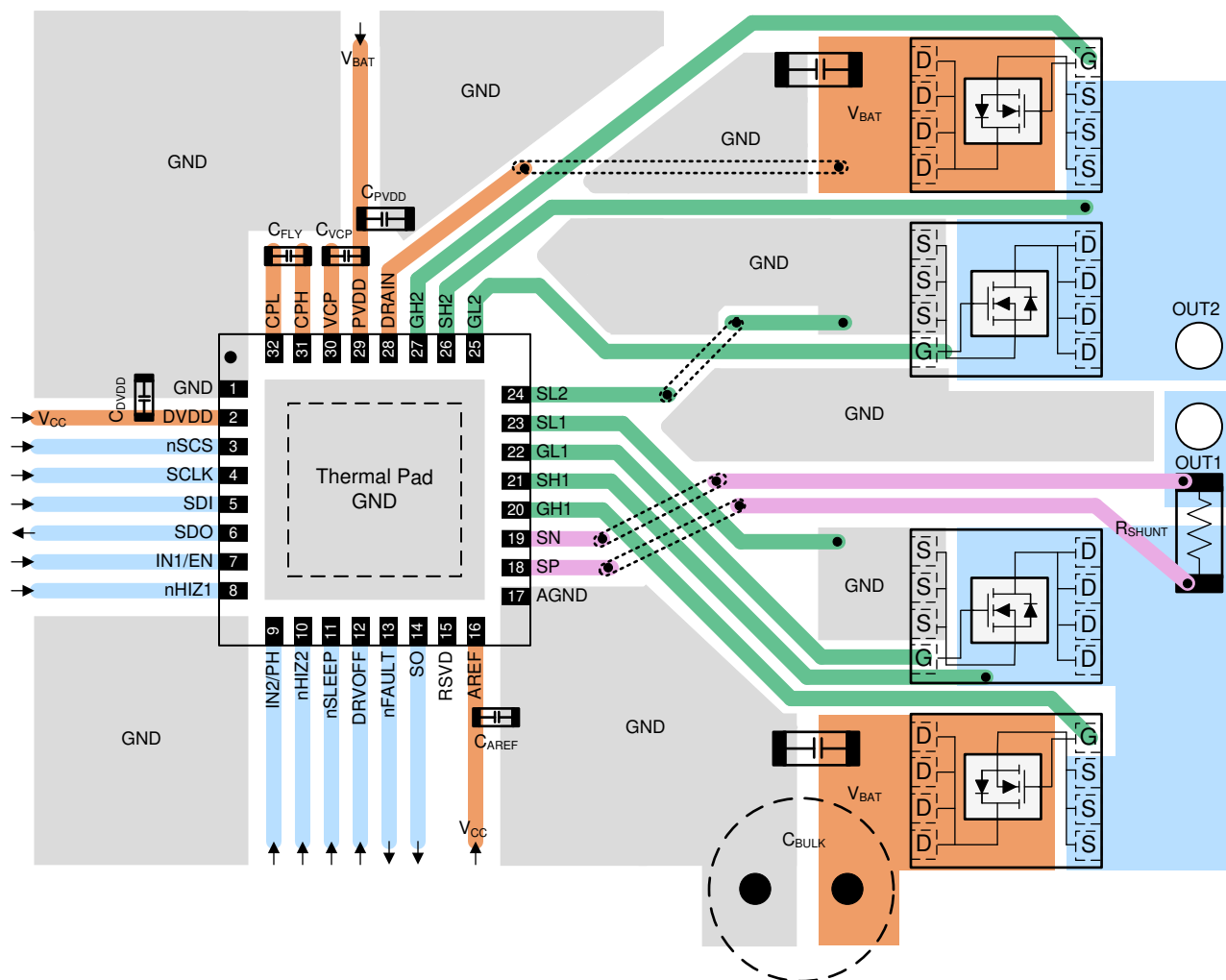


图 9-1. DRV8706-Q1 布局示例

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), 《了解智能栅极驱动器》应用报告
- 德州仪器 (TI), 《计算电机驱动器的功耗》应用报告
- 德州仪器 (TI), 《PowerPAD™ 速成》应用报告
- 德州仪器 (TI), 《PowerPAD™ 热增强型封装》应用报告
- 德州仪器 (TI), 电机驱动器电路板布局最佳实践应用报告

10.1.2 接收文档更新通知

要接收文档更新通知, 请导航至 ti.com 上的器件产品文件夹。点击 [订阅更新](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料, 可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的《使用条款》。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

重要声明和免责声明

TI 提供技术和可靠性数据 (包括数据表)、设计资源 (包括参考设计)、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做任何明示或暗示的担保, 包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任: (1) 针对您的应用选择合适的 TI 产品, (2) 设计、验证并测试您的应用, (3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更, 恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务, TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com/legal/termsofsale.html>) 或 [ti.com](https://www.ti.com) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2021, 德州仪器 (TI) 公司

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8706HQRHBRQ1	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8706H
DRV8706HQRHBRQ1.A	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8706H
DRV8706SQRHBRQ1	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8706S
DRV8706SQRHBRQ1.A	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8706S

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

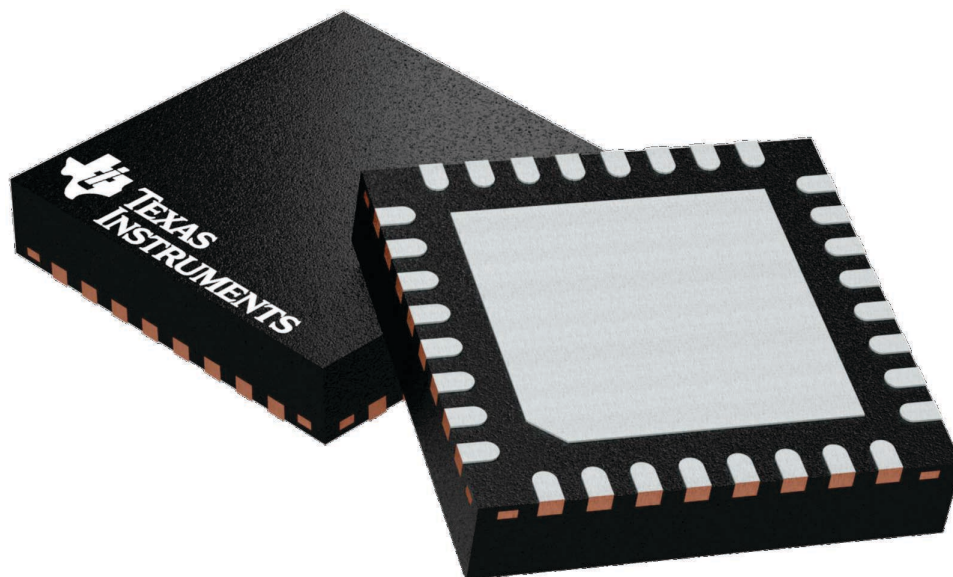
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A

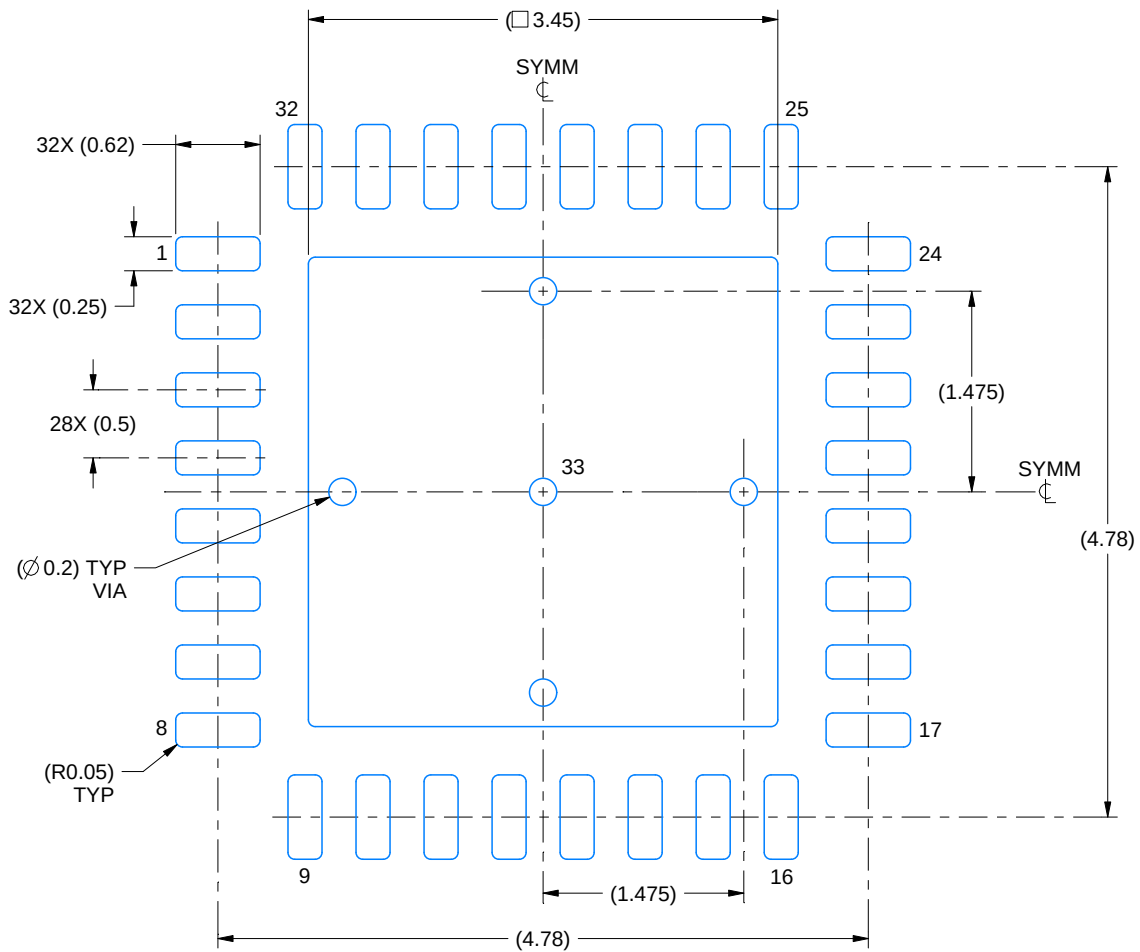
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

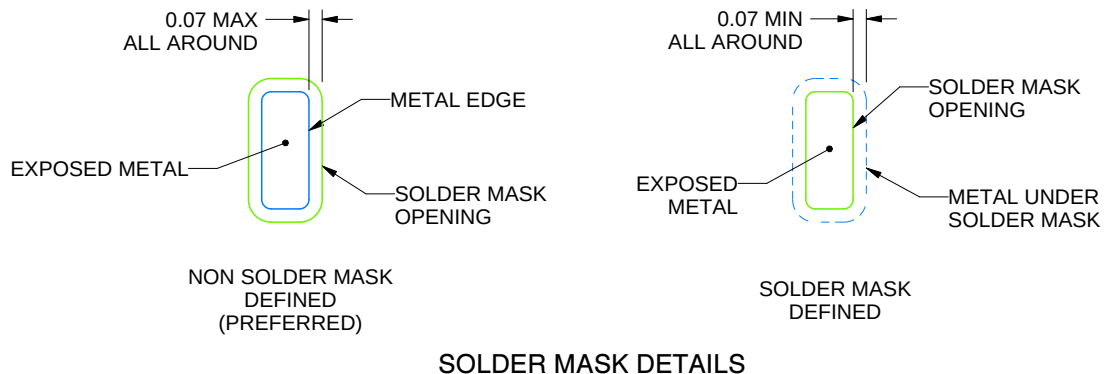
RHB0032T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4224744/A 01/2019

NOTES: (continued)

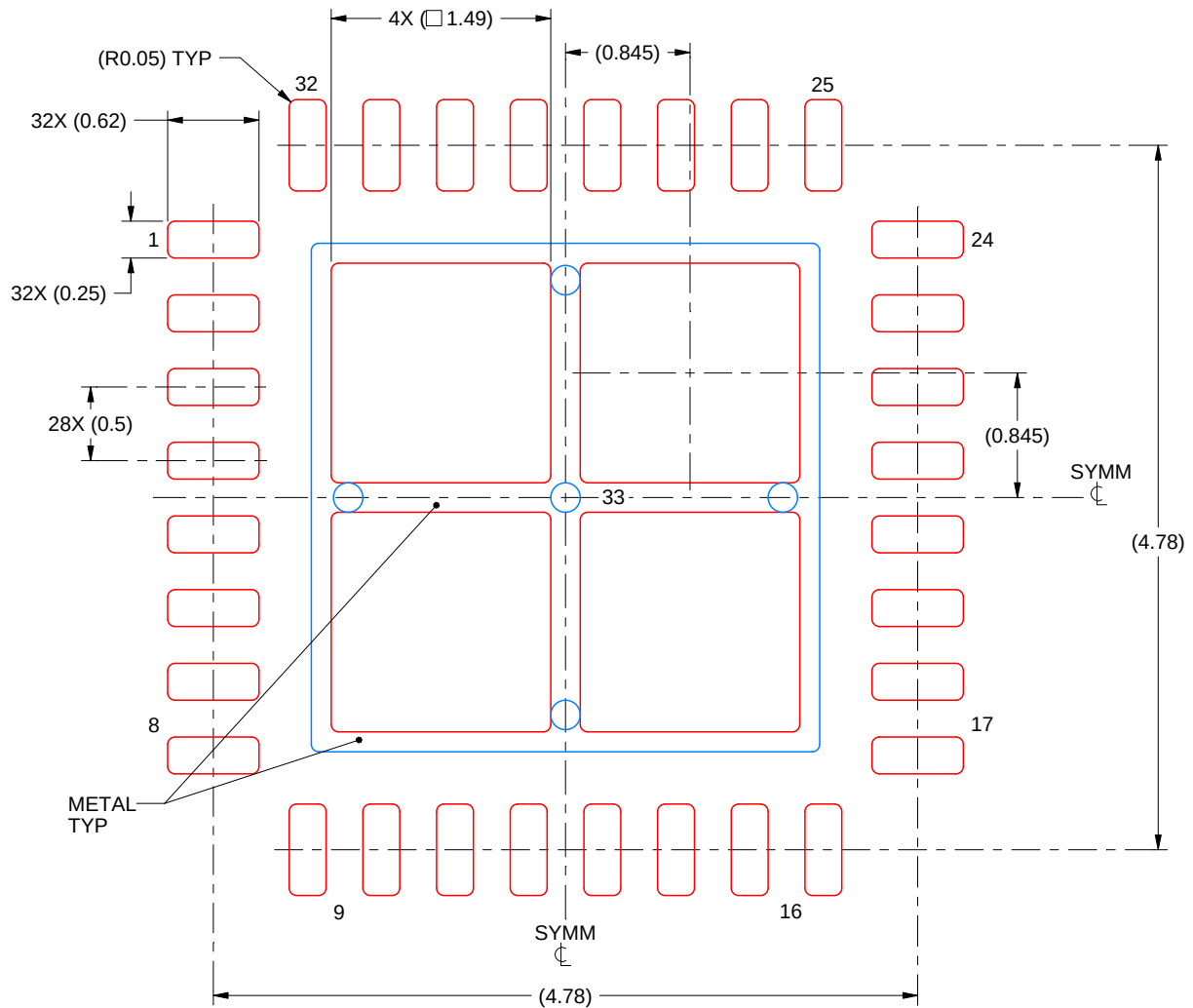
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032T

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4224744/A 01/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月