DRV8378 三相集成式 FET 电机驱动器

ADVANCE INFORMATION

1 特性

- 三相 BLDC 电机驱动器
- 4.5V 至 65V 工作电压（绝对最大值 70V）
- 高输出电流能力：16A 峰值
- 低 MOSFET 导通状态电阻
  - T_A = 25°C 时，$R_{DS(ON)}$ (HS + LS) 为 58mΩ
- 先进的 MOSFET 开关技术，可通过 1.1V/ns @24V 压摆率降低开关损耗，且反向恢复损耗可忽略不计
- <100ns 的超低死区时间和 <100ns 的传播延迟可更大程度地减少电机驱动器中的电流失真，从而降低可闻噪声并提高控制精度
- 低功耗睡眠模式
  - V_{VM} = 48V、T_A = 25°C 时为 3.6μA
- 多种控制接口选项
  - 6x PWM 控制接口
  - 3x PWM 控制接口
- 不需要外部电流检测电阻，在 T_A = 25°C 时具有 ±3% 精度的内置电流检测
- 具有 100% 占空比的集成电荷泵
- 主动消磁和自动同步整流，可降低功率损耗
- 6x4mm、5x7mm 的超小型封装选项
- 内置 5V (5%) 30mA LDO 稳压器 (GVDD)，用于内部前置驱动器和外部负载
- 灵活的器件配置选项
  - DRV8378S：5MHz 16 位 SPI 用于器件配置和故障状态，带内部 GVDD 稳压器
  - DRV8378G：5MHz 16 位 SPI 用于器件配置和故障状态，并为前置驱动器提供外部 5V 电压
  - DRV8378H：基于硬件引脚的配置，带内部 GVDD 稳压器
- 支持 1.8V、3.3V 和 5V 逻辑输入
- 集成保护特性
  - 电源欠压锁定 (UVLO)
  - 电荷泵欠压 (CPUV)
  - 过流保护 (OCP)
  - 热警告和热关断 (OTW/OTSD)
  - 故障条件指示引脚 (nFAULT)

2 应用

- 无刷直流 (BLDC) 电机模块
- 打印机
- 办公自动化设备
- 机器人和类人机器人
- 工厂自动化

3 说明

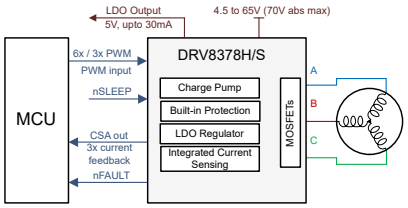
DRV8378 提供用于驱动无刷直流电机的单芯片集成 FET 功率级。DRV8378 集成了三个 1/2 H 桥，具有 70V 的绝对最大电压和 58mΩ 的超低 $R_{DS(ON)}$（高侧 + 低侧），可提供大功率驱动能力。使用集成电流检测功能来检测电流，无需外部电流检测电阻器。集成的 LDO 可为器件生成必要的电压轨，并可用于为外部电路供电。每个输出驱动器通道包含采用半桥配置的 N 沟道功率 MOSFET。

DRV8378 实现了 6x 或 3x PWM 控制方案，可用于通过外部微控制器实现有传感器或无传感器磁场定向控制 (FOC)、正弦控制或梯形控制。DRV8378 能够驱动高达 200kHz 的 PWM 频率。

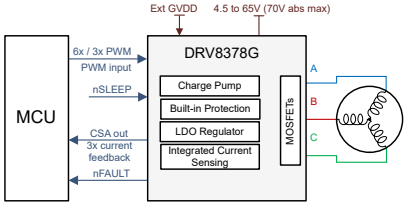
器件信息

器件型号(2)	封装	封装尺寸 (3)
PDRV8378GHVERR	VQFN (23)	6.00mm × 4.00mm
PDRV8378HVERR(1)	VQFN (23)	6.00mm × 4.00mm
PDRV8378GSVEOR(1)	VQFN (29)	7.00mm × 5.00mm
PDRV8378HVEOR(1)	VQFN (29)	7.00mm × 5.00mm

(1) 器件仅为预发布版。
(2) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(3) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



DRV8378H/S 的简化原理图



DRV8378G 的简化原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较表 3
5 引脚配置和功能 4
6 规格 7
6.1 绝对最大额定值 7
6.2 ESD 等级 7
6.3 建议运行条件 7
6.4 热性能信息 8
6.5 电气特性 8
6.6 SPI 时序要求 14
6.7 SPI 模式时序 15
7 详细说明 16
7.1 概述 16
7.2 功能方框图 16
7.3 特性说明 18
7.4 压摆率控制 26
7.5 跨导（死区时间） 27
7.6 传播延迟 28
7.7 引脚图 28
7.8 电流检测放大器 31
7.9 主动消磁 34
7.10 逐周期电流限制 39
7.11 保护功能 45
7.12 器件功能模式 50
7.13 SPI 通信 51
8 应用和实施 53
8.1 应用信息 53
8.2 电源相关建议 55
8.3 布局 56
9 器件和文档支持 60
9.1 文档支持 60
9.2 支持资源 60
9.3 商标 60
9.4 静电放电警告 60
9.5 术语表 60
10 修订历史记录 60
11 机械、封装和可订购信息 60
11.1 卷带包装信息 62

Copyright © 2026 Texas Instruments Incorporated

4 器件比较表

器件	封装	接口
DRV8378H	23 引脚 VQFN (6x4mm)	硬件，内部 GVDD 电源
DRV8378GH	23 引脚 VQFN (6x4mm)	硬件，外部 GVDD 电源
DRV8378S	29 引脚 VQFN (7x5mm)	SPI，内部 GVDD 电源
DRV8378H		硬件，内部 GVDD 电源
DRV8378GS		SPI，外部 GVDD 电源

表 4-1. DRV8378S（29 引脚 SPI 型号）与 DRV8378H（29 引脚硬件型号）与 DRV8378G（29 引脚 SPI 型号、外部 GVDD）配置比较

参数	DRV8378S 和 DRV8378G（SPI 型号 29 引脚）	DRV8378H（硬件型号 29 引脚）	DRV8378H（硬件型号 23 引脚）
PWM 模式设置	PWM_MODE（4 个设置）	MODE_SR 引脚（4 个设置）	不适用
压摆率设置	SLEW_RATE（4 个设置）	SLEW 引脚（4 个设置）	固定压摆率 1.1V/ns
CSA 增益设置	CSA_GAIN（4 个设置）	GAIN 引脚（4 个设置）	固定增益，0.1mA/A
SDO 引脚配置：模式、电压	SDO_ODEN（2 个设置）、SDO_MD（2 个设置）	不适用	不适用
电流限制配置：模式、在 nFAULT 上报告、消隐时间、100% 占空比 PWM 频率	ILIMFLT_MODE（2 个设置）、ILIM_MODE（2 个设置）、ILIM_BLANK_SEL（4 个设置）、PWM_100_FREQ_SEL（4 个设置）	启用 nFAULT 上的电流限制报告，固定为滑行模式，压摆率为 50V/µs 时消隐时间设置为 5.6 µs，而所有其他压摆率则为 1.8 µs，100% 占空比输入 PWM 周期固定为 20kHz	不适用
过压保护模式	OVP_MODE（2 个设置）、OVP_SEL（2 个设置）	禁用过压保护	禁用过压保护
OCP 配置：模式、电平、抗尖峰脉冲	OCP_MODE（4 个设置）、OCP_LVL（2 个设置）、OCP_DEG（4 个设置）和 OCP_RETRY（2 个设置）	在自动重试模式下启用，电平固定为 20A 且抗尖峰脉冲时间为 1.4µs，重试时间为 5ms	在自动重试模式下启用，电平固定为 20A 且抗尖峰脉冲时间为 1.4µs，重试时间为 5ms
主动消磁：启用、比较器阈值、比较器屏蔽时间、故障期间的行为	EN_ASR（2 个设置）、EN_AAR（2 个设置）、AD_COMP_TH_HS 和 AD_COMP_TH_LS	MODE_SR（2 个设置）、主动消磁比较器阈值设置为 100mA，比较器屏蔽时间设置为 5.6µs（压摆率为 50）和 1.8 µs（所有其他压摆率）。ADMAG_TMARGIN 设置为 1.6 µs，在 OCP 期间禁用主动消磁。	主动消磁比较器阈值设置为 100mA，比较器屏蔽时间设置为 1.8 µs。ADMAG_TMARGIN 设置为 1.6 µs，在 OCP 期间禁用主动消磁。
过热警告	OTW_MODE（2 个设置）	在 nFAULT 上报告	在 nFAULT 上报告

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

5 引脚配置和功能

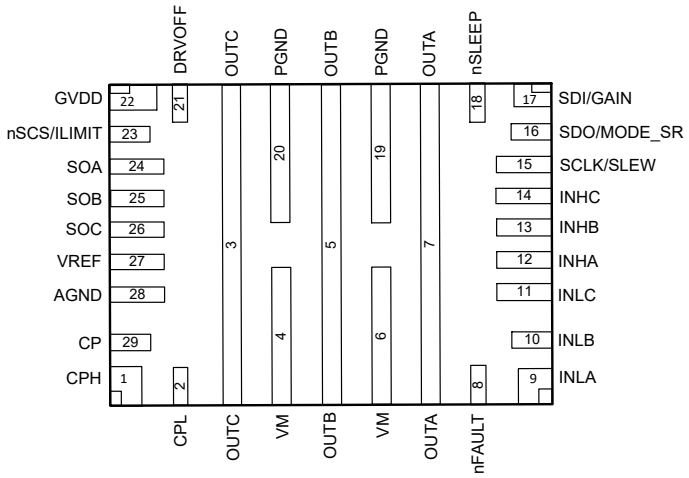


图 5-1. DRV8378 29 引脚 VQFN 顶视图

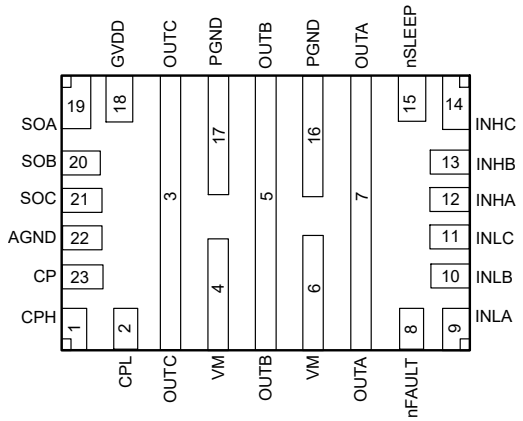


图 5-2. DRV8378 23 引脚 VQFN 顶视图

表 5-1. 引脚功能

引脚	23 引脚 VQFN 封装	29 引脚 VQFN 封装			类型(1)	说明
名称	DRV8378H	DRV8378H	DRV8378S	DRV8378G		
AGND	22	28	28	28	GND	器件模拟接地。有关连接建议，请参阅布局。
CP	23	29	29	29	PWR O	电荷泵输出。在 CP 和 VM 引脚之间连接一个 X5R 或 X7R、1μF、16V 的陶瓷电容器。
CPH	1	1	1	1	PWR O	电荷泵开关节点。在 CPH 和 CPL 引脚之间连接一个 X5R 或 X7R、100nF 陶瓷电容器。TI 建议电容器的额定电压至少是器件正常工作电压的两倍。
CPL	2	2	2	2	PWR O	
DRVOFF	—	21	21	21	I	当该引脚拉至高电平时，功率级中的六个 MOSFET 将关断，从而使所有输出处于 Hi-Z 状态。
增益	—	17	—	—	I	电流检测放大器增益设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
ILIMIT	—	26	—	—	I	设置逐周期电流中使用的相电流阈值
INHA	12	12	12	12	I	OUTA 的高侧驱动器控制输入。该引脚控制高侧 MOSFET 的输出。
INHB	13	13	13	13	I	OUTB 的高侧驱动器控制输入。该引脚控制高侧 MOSFET 的输出。
INHC	14	14	14	14	I	OUTC 的高侧驱动器控制输入。该引脚控制高侧 MOSFET 的输出。
INLA	9	9	9	9	I	OUTA 的低侧驱动器控制输入。该引脚控制低侧 MOSFET 的输出。
INLB	10	10	10	10	I	OUTB 的低侧驱动器控制输入。该引脚控制低侧 MOSFET 的输出。
INLC	11	11	11	11	I	OUTC 的低侧驱动器控制输入。该引脚控制低侧 MOSFET 的输出。
MODE_SR	—	16	—	—	I	PWM 输入模式设置。该引脚是由外部电阻器设置的 4 电平输入引脚。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚	23 引脚 VQFN 封装	29 引脚 VQFN 封装			类型(1)	说明
名称	DRV8378H	DRV8378H	DRV8378S	DRV8378G		
nFAULT	8	8	8	8	O	故障指示器。故障状态下拉至逻辑低电平；开漏输出需要一个连接到 2.2V 至 5.0V 电压的外部上拉电阻器。如果使用外部电源上拉 nFAULT，请确保上电时将 nFAULT 拉至 >2.2V，否则器件会进入测试模式
nSCS	—	—	23	23	I	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。
nSLEEP	15	18	18	18	I	驱动器 nSLEEP。当该引脚为逻辑低电平时，器件进入低功耗睡眠模式。可以使用一个 20µs 至 40µs 的低电平脉冲来复位故障条件，而不进入睡眠模式。
OUTA	7	7	7	7	PWR O	半桥输出 A
OUTB	5	5	5	5	PWR O	半桥输出 B
OUTC	3	3	3	3	PWR O	半桥输出 C
PGND	16，17	19、20	19、20	19、20	GND	器件电源地。有关连接建议，请参阅布局。
SCLK	—	—	15	15	I	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉（SPI 器件）。
SDI	—	—	17	17	I	串行数据输入。在 SCLK 引脚的下降沿捕捉数据（SPI 器件）。
SDO	—	—	16	16	O	串行数据输出。在 SCLK 引脚的上升沿移出数据。该引脚需要使用一个外部上拉电阻器（SPI 器件）。
SLEW	—	15	—	—	I	压摆率控制设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
SOA	19	24	24	24	O	电流检测放大器输出。对于 DRV8378H/S 的 29 引脚型号：电流检测放大器输出是和低侧 FET 电流成比例的电压。支持容性负载或低通滤波器（串联电阻器和电容器至 AGND）。对于 DRV8378H 的 23 引脚型号：电流检测放大器输出是和低侧 FET 电流成正比的电流。需要在 SOA 与 AGND 之间连接一个外部电阻器来将电流转换为电压。
SOB	20	25	25	25	O	电流检测放大器输出。对于 DRV8378H/S 的 29 引脚型号：电流检测放大器输出是和低侧 FET 电流成比例的电压。支持容性负载或低通滤波器（串联电阻器和电容器至 GND）。对于 DRV8378H 的 23 引脚型号：电流检测放大器输出是和低侧 FET 电流成正比的电流。需要在 SOB 与 GND 之间连接一个外部电阻器来将电流转换为电压。
SOC	21	26	26	26	O	电流检测放大器输出。对于 DRV8378H/S 的 29 引脚型号：电流检测放大器输出是和低侧 FET 电流成比例的电压。支持容性负载或低通滤波器（串联电阻器和电容器至 AGND）。对于 DRV8378H 的 23 引脚型号：电流检测放大器输出是和低侧 FET 电流成正比的电流。需要在 SOC 与 AGND 之间连接一个外部电阻器来将电流转换为电压。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚	23 引脚 VQFN 封装	29 引脚 VQFN 封装			类型(1)	说明
名称	DRV8378H	DRV8378H	DRV8378S	DRV8378G		
VM	4、6	4、6	4、6	4、6	PWR I	电源。连接到电机电源电压；通过两个 0.1μF 电容器（每个引脚一个）和一个额定电压为 VM 的大容量电容器旁路到 PGND。TI 建议电容器的额定电压至少是器件正常工作电压的两倍。
VREF	—	27	27	27	PWR/I	电流检测放大器基准。在 VREF 和 AGND 引脚之间连接一个 X5R 或 X7R、0.1 μ F、6.3V 的陶瓷电容器。
GVDD	18	22	22	22	PWR I/O	对于 DRV8378H/S：5V 内部稳压器输出。在 GVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、1 μ F、10V 的陶瓷电容器。该稳压器可从外部拉取高达 30mA 的电流。 对于 DRV8378G：内部预驱动器的外部电源输入。在 GVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、1 μ F、10V 的陶瓷电容器。

(1) I = 输入，O = 输出，GND = 接地引脚，PWR = 电源，NC = 无连接

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
电源引脚电压 (VM)	-0.3	70	V
电源电压斜坡 (VM)		4	V/µs
接地引脚（PGND、AGND）之间的电压差	-0.6	0.6	V
电荷泵电压（CPH、CP）	-0.3	V_M + 6	V
电荷泵负开关引脚电压 (CPL)	-0.3	V_M + 0.3	V
模拟稳压器引脚电压 (GVDD)	-0.3	5.75	V
模拟稳压器引脚电压 (GVDD)，外部	-0.3	5.75	V
模拟引脚输入电压（VREF、ILIMIT）	-0.3	5.75	V
模拟引脚输出电压 (SOx)	-0.3	5.75	V
逻辑引脚输入电压（INHx、INLx、nSCS、SCLK、SDI）	-0.3	5.75	V
逻辑引脚输入电压（DRVOFF、nSLEEP）	-0.3	70	V
逻辑引脚输出电压 (SDO)	-0.3	5.75	V
逻辑引脚输出电压 (nFAULT)	-0.3	70	V
多电平引脚输入电压（GAIN、MODE_SR、SLEW）	-0.3	5.75	V
输出引脚电压（OUTA、OUTB、OUTC）	-1	V_M + 1	V
环境温度，T_A	-40	125	°C
结温，T_J	-40	150	°C
存储温度，T_{stg}	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002(2)	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{VM}	电源电压	V_{VM}	4.5	48	65	V
V_{GVDD}	GVDD 上的外部电源（仅适用于 DRV8378G）	V_{GVDD}	4.5	5	5.5	
f_{PWM}	输出 PWM 频率	OUTA、OUTB、OUTC			200	kHz
I_{OUT} (1)	峰值输出绕组电流	OUTA、OUTB、OUTC			16	A
V_{IN}	逻辑输入电压	DRVOFF、INHx、INLx、nSCS、SCLK、SDI、nSLEEP	-0.1		5.5	V
V_{IN}	多电平输入电压	GAIN、MODE_SR、SLEW	-0.1		5.5	V
V_{OD}	开漏上拉电压	nFAULT、SDO	-0.1		5.5	V

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{SDO}	推挽电压	SDO	2.2		5.5	V
I_{OD}	开漏输出电流	nFAULT、SDO			5	mA
V_{VREF}	电压基准引脚电压	VREF	2.2		5.5	V
ILIMIT	用于电流限制的电压基准	ILIMIT	-0.1		5.5	V
T_A	工作环境温度		-40		125	°C
T_J	工作结温		-40		150	°C

(1) 必须遵循功率耗散和热限值

6.4 热性能信息

热指标(1)		DRV8378H、DRV8378S		单位
		29 引脚	23 引脚	
$R_{\theta JA}$	结至环境热阻	24.42	26.23	°C/W
$R_{\theta JB}$	结至电路板热阻	8.09	4.87	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	13.34	15.51	°C/W
Ψ_{JT}	结至顶部特征参数	0.34	0.41	°C/W
Ψ_{JB}	结至电路板特征参数	8.35	6.98	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.5 电气特性

T_J = –40°C 至 +150°C，V_{VM} = 4.5V 至 65V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 48V

参数		测试条件	最小值	典型值	最大值	单位
电源						
I_{VMQ}	VM 睡眠模式电流	V_{VM} > 6V，nSLEEP = 0，T_A = 25°C		3.6	5.4	µA
		nSLEEP = 0		3.6	5.6	µA
I_{VMS}	VM 待机模式电流	V_{VM} > 6V，nSLEEP = 1，INHx = INLx = 0，SPI = “关闭”，T_A = 25°C		2.5	2.8	mA
		nSLEEP = 1，INHx = INLx = 0，SPI = “关闭”		2.5	3.1	mA
I_{VM}	VM 工作模式电流	V_{VM} > 6V，nSLEEP = 1，f_{PWM} = 20kHz		6	6.8	mA
		nSLEEP =1，f_{PWM} = 20kHz		6	7.1	mA
		nSLEEP =1，f_{PWM} = 100kHz		19	23	mA
V_{GVDD}	模拟稳压器电压	0mA ≤ I_{GVDD} ≤ 30mA；（外部负载）；VM > 6V	4.75	5	5.25	V
I_{GVDD}	外部模拟稳压器负载	VM > 6V			30	mA
V_{VCP}	电荷泵稳压器电压	VCP 相对于 VM，(4.5V < VM < 5V)	3.5	4.5	5	V
t_{WAKE}	唤醒时间	V_{VM} > V_{UVLO}，nSLEEP = 1 以使输出就绪，且 nFAULT 已释放			5.5	ms
t_{SLEEP}	睡眠脉冲时间	nSLEEP = 0 进入睡眠模式的周期	120			µs
t_{RST}	复位脉冲时间	nSLEEP = 0 复位故障的周期	20		40	µs
电源（外部 GVDD）						
I_{VMQ}	VM 睡眠模式电流	V_{VM} > 6V，nSLEEP = 0，T_A = 25°C		3.6	5.3	µA
I_{VMQ}	VM 睡眠模式电流	nSLEEP = 0		3.6	5.6	µA
I_{VMQ}	VM 待机模式电流	V_{VM} > 6V，nSLEEP = 1，INHx = INLx = 0，SPI = 'OFF'，T_A = 25°C		0.5	0.6	mA

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{VM} = 4.5V 至 65V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 48V

参数		测试条件	最小值	典型值	最大值	单位
I_{VMQ}	VM 待机模式电流	nSLEEP = 1，INHx = INLx = 0，SPI = “关闭”		0.5	0.7	mA
I_{VMQ}	VM 工作模式电流	V_{VM} > 6V，nSLEEP = 1，f_{PWM} = 20kHz		3.4	5.2	mA
I_{VMQ}	VM 工作模式电流	nSLEEP =1，f_{PWM} = 20kHz		3.4	5.2	mA
I_{VMQ}	VM 工作模式电流	nSLEEP =1，f_{PWM} = 100kHz		14.3	22.9	mA
I_{GVDD}	GVDD 睡眠模式电流	GVDD = 5V，nSLEEP = 0，T_A = 25°C			3	µA
I_{GVDD}	GVDD 睡眠模式电流	GVDD = 5V，nSLEEP = 0			5	µA
I_{GVDD}	GVDD 待机模式电流	GVDD = 5V，nSLEEP = 1，INHx = INLx = 0，SPI = 'OFF'，T_A = 25°C		2.4		mA
I_{GVDD}	GVDD 待机模式电流	GVDD = 5V，nSLEEP = 1，INHx = INLx = 0，SPI = 'OFF'		2.4	3.2	mA
I_{GVDD}	GVDD 工作模式电流	GVDD = 5V，nSLEEP =1，f_{PWM} = 20kHz		2.7	3.6	mA
I_{GVDD}	GVDD 工作模式电流	GVDD = 5V nSLEEP =1，f_{PWM} =100kHz		4.6	5.8	mA
t_{wake}	唤醒时间	V_{VM} > V_{UVLO}，nSLEEP = 1 以使输出就绪，且 nFAULT 已释放			3.5	ms
逻辑电平输入（DRVOFF、INHx、INLx、nSLEEP、SCLK、SDI）						
V_{IL}	输入逻辑低电平电压		0		0.6	V
V_{IH}	输入逻辑高电平电压	nSLEEP	1.6		5.5	V
		其他引脚	1.5		5.5	V
V_{HYS}	输入逻辑迟滞	nSLEEP	240	450	570	mV
		其他引脚	180	300	500	mV
I_{IL}	输入逻辑低电平电流	V_{PIN}（引脚电压）= 0V	-1		1	µA
I_{IH}	输入逻辑高电流	nSLEEP，DRVOFF、V_{PIN}（引脚电压）= 5V	15		35	µA
I_{IH}	输入逻辑高电流	其他引脚，V_{PIN}（引脚电压）= 2V	20		75	µA
R_{PD}	输入下拉电阻	DRVOFF	150	200	300	kΩ
R_{PD}	输入下拉电阻	nSLEEP	150	200	300	kΩ
		其他引脚	70	100	130	kΩ
t_{FILT}	滤波时间常数	DRVOFF	1	2	3	µs
C_{ID}	输入电容			30		pF
逻辑电平输入 (nSCS)						
V_{IL}	输入逻辑低电平电压		0		0.6	V
V_{IH}	输入逻辑高电平电压		1.5		5.5	V
V_{HYS}	输入逻辑迟滞		180	350	550	mV
I_{IL}	输入逻辑低电平电流	V_{PIN}（引脚电压）= 0V			75	µA
I_{IH}	输入逻辑高电流	V_{PIN}（引脚电压）= 5V	-1		25	µA
R_{PU}	输入上拉电阻		160	200	260	kΩ
C_{ID}	输入电容			30		pF
四电平输入（GAIN、MODE_SR、SLEW、OCP）						
V_{L1}	输入模式 1 电压	连接至 AGND	0		0.2*GVDD	V
V_{L2}	输入模式 2 电压	Hi-Z	0.27*GVDD	0.5*GVDD	0.55*GVDD	V
V_{L3}	输入模式 3 电压	94kΩ +/- 5% 连接至 GVDD	0.6*GVDD	0.76*GVDD	0.9*GVDD	V

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{VM} = 4.5V 至 65V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 48V

参数		测试条件	最小值	典型值	最大值	单位
V_{L4}	输入模式 4 电压	连接至 GVDD	0.94*GVDD		GVDD	V
R_{PU}	输入上拉电阻	至 GVDD	160	200	240	kΩ
R_{PD}	输入下拉电阻	至 AGND	160	200	240	kΩ
开漏输出 (nFAULT)						
V_{OL}	输出逻辑低电平电压	I_{OD} = 5mA			0.4	V
I_{OH}	输出逻辑高电平电流	V_{OD} = 5V	-1		1	µA
C_{OD}	输出电容				30	pF
推挽式输出 (SDO)						
V_{OL}	输出逻辑低电平电压	I_{OP} = 5mA	0		0.4	V
V_{OH}	输出逻辑高电压	I_{OP} = 5mA	3.4		GVDD	V
I_{OL}	输出逻辑低电平漏电流	V_{OP} = 0V	-1		1	µA
I_{OH}	输出逻辑高电平漏电流	V_{OP} = 5V	-1		1	µA
C_{OD}	输出电容				30	pF
驱动器输出						
$R_{DS(ON)}$	MOSFET 总导通电阻（高侧 + 低侧）	V_{VM} > 6V，I_{OUT} = 1A，T_A = 25°C		58	62	mΩ
		V_{VM} < 6V，I_{OUT} = 1A，T_A = 25°C		59	66	mΩ
		V_{VM} > 6V，I_{OUT} = 1A，T_J = 150°C		105	114	mΩ
		V_{VM} < 6V，I_{OUT} = 1A，T_J = 150°C		108	120	mΩ
SR	相位引脚压摆率从低切换到高（从 20% 上升到 80%）	V_{VM} = 24V，SLEW = 00b 或 SLEW 引脚连接至 AGND，I_{OUTx} = 1A		1100	1880	V/us
		V_{VM} = 24V，SLEW = 01b 或 SLEW 引脚连接至 Hi-Z，I_{OUTx} = 1A		500	920	V/us
		V_{VM} = 24V，SLEW = 10b 或 SLEW 引脚连接至 94kΩ +/- 5% 至 GVDD，I_{OUTx} = 1A		250	460	V/us
		V_{VM} = 24V，SLEW = 11b 或 SLEW 引脚连接至 GVDD，I_{OUTx} = 1A		50	85	V/us
t_{DEAD}	输出死区时间（高电平到低电平/低电平到高电平）	V_{VM} = 48V，SLEW = 00b 或 SLEW 引脚连接至 AGND，HS 驱动器 ON 至 LS 驱动器 OFF		100	150	ns
t_{DEAD}	输出死区时间（高电平到低电平/低电平到高电平）	V_{VM} = 48V，SLEW = 01b 或 SLEW 引脚连接至 AGND，HS 驱动器 ON 至 LS 驱动器 OFF		100	150	ns
t_{DEAD}	输出死区时间（高电平到低电平/低电平到高电平）	V_{VM} = 48V，SLEW = 10b 或 SLEW 引脚连接至 AGND，HS 驱动器 ON 至 LS 驱动器 OFF		100	150	ns
t_{DEAD}	输出死区时间（高电平到低电平/低电平到高电平）	V_{VM} = 48V，SLEW = 11b 或 SLEW 引脚连接至 AGND，HS 驱动器 ON 至 LS 驱动器 OFF		200	300	ns

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{VM} = 4.5V 至 65V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 48V

参数		测试条件	最小值	典型值	最大值	单位
t_{DEAD}	输出死区时间（高电平到低电平/低电平到高电平）	V_{VM} = 24V，SLEW = 00b 或 SLEW 引脚连接至 AGND，HS 驱动器 ON 至 LS 驱动器 OFF		100	150	ns
		V_{VM} = 24V，SLEW = 01b 或 SLEW 引脚连接至 Hi-Z，HS 驱动器 ON 至 LS 驱动器 OFF		100	150	ns
		V_{VM} = 24V，SLEW = 10b 或 SLEW 引脚连接至 94kΩ +/- 5% 至 GVDD，HS 驱动器 ON 至 LS 驱动器 OFF		100	150	ns
		V_{VM} = 24V，SLEW = 11b 或 SLEW 引脚连接至 GVDD，HS 驱动器 ON 至 LS 驱动器 OFF		200	300	ns
t_{PD}	传播延迟（高侧/低侧开/关）	V_{VM} = 24V，INHx = 1 至 OUTx 转换，SLEW = 00b 或 SLEW 引脚连接至 AGND		35	75	ns
		V_{VM} = 24V，INHx = 1 至 OUTx 转换，SLEW = 01b 或 SLEW 引脚连接至 Hi-Z		35	75	ns
		V_{VM} = 24V，INHx = 1 至 OUTx 转换，SLEW = 10b 或 SLEW 引脚连接至 94kΩ +/- 5% 至 GVDD		160	250	ns
		V_{VM} = 24V，INHx = 1 至 OUTx 转换，SLEW = 11b 或 SLEW 引脚连接至 GVDD		300	600	ns
t_{MIN_PULSE}	最小输出脉冲宽度	SLEW = 00b 或 SLEW 引脚连接至 AGND	100			ns
电流检测（23 引脚封装）						
G_{CSA}	电流检测调节增益			0.1		mA/A
G_{CSA_ERR}	电流检测调节增益误差	T_J = 25°C，1.25kΩ < RLOAD < 2.5kΩ	-3		3	%
G_{CSA_ERR}	电流检测调节增益误差	T_J = 25°C，2.5 kΩ < RLOAD < 5kΩ	-6		6	%
G_{CSA_ERR}	电流检测调节增益误差	1.25kΩ < RLOAD < 2.5kΩ	-5		5	%
G_{CSA_ERR}	电流检测调节增益误差	2.5kΩ < RLOAD < 5kΩ	-7		7	%
I_{MATCH}	相位之间的电流检测调节不匹配	T_J = 25°C，RLOAD = 1.25kΩ	-2		2	%
I_{MATCH}	相位之间的电流检测调节不匹配	T_J = 25°C，1.25kΩ < RLOAD < 5kΩ	-4		4	%
I_{MATCH}	相位之间的电流检测调节不匹配	1.25kΩ < RLOAD < 5kΩ	-5		5	%
I_{OS}	电流检测输出偏移（以 SOx 为基准）	LS FET 电流 = 0	-8		8	µA
I_{DRIFT}	电流检测输出漂移（以 OUTx 为基准）	LS FET 电流 = 0	-1200		1200	µA/℃
V_{FS_CSA}	电流检测输出电压范围	LS FET 电流 < 16A	0.25		GVDD - 0.35	V
t_{SET}	精度达 ±1% 的稳定时间	SOx 上的阶跃 = 1.2V、RLOAD < 2.5kΩ、CLOAD < 30pF、CSA 输出上拉电压 = V_{MID_EXT}		1.2	1.5	µs
t_{DELAY}	从 INLx 开启到电流检测放大器开启的延迟				0.5	µs
PSRR	电源抑制比	VM 至 SOx，10kHz	39		115	dB
PSRR	电源抑制比	VM 至 SOx，100kHz	10		92	dB
R_{MIN}	CSA 输出上的最小等效电阻		0.65			kΩ
R_{MIN_PULLUP}	CSA 输出上的最小上拉电阻		1.3			kΩ

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{VM} = 4.5V 至 65V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 48V

参数		测试条件	最小值	典型值	最大值	单位
$R_{MIN_PULLDOWN}$	CSA 输出上的最小下拉电阻		1.3			kΩ
电流检测放大器（29 引脚封装）						
G_{CSA}	电流检测增益（SPI 器件）	CSA_GAIN = 00		0.1		V/A
G_{CSA}	电流检测增益（SPI 器件）	CSA_GAIN = 01		0.2		V/A
G_{CSA}	电流检测增益（SPI 器件）	CSA_GAIN = 02		0.4		V/A
G_{CSA}	电流检测增益（SPI 器件）	CSA_GAIN = 03		0.8		V/A
G_{CSA}	电流检测增益（硬件器件）	GAIN 引脚连接至 AGND		0.1		V/A
G_{CSA}	电流检测增益（硬件器件）	GAIN 引脚至 Hi-Z		0.2		V/A
G_{CSA}	电流检测增益（硬件器件）	GAIN 引脚至 94kΩ ± 5% 至 GVDD		0.4		V/A
G_{CSA}	电流检测增益（硬件器件）	GAIN 引脚连接至 GVDD		0.8		V/A
V_{LINEAR}	SOX 输出电压线性范围		0.25		VREF-0.25	V
G_{CSA_ERR}	电流检测增益误差	TJ = 25°C，LS FET 电流 < 16A（电流方向为从 OUTx 到 PGND）	-4		4	%
		TJ = 25°C，LS FET 电流 < 6A（电流方向为从 PGND 到 OUTx）	-4		4	%
		LS FET 电流 < 6A（电流方向为从 OUTx 到 PGND）	-5.5		5.5	%
		LS FET 电流 < 16A；（电流方向为从 PGND 到 OUTx）	-5.5		5.5	%
I_{MATCH}	A、B 和 C 相之间的电流检测增益误差匹配	T_A = 25°C	-4		4	%
			-6		6	%
FS_{POS}	满标量程正电流测量	LS FET 中电流方向为从 PGND 到 OUTx，VREF = 3.3V	16			A
FS_{NEG}	满标量程负电流测量	LS FET 中电流方向为从 OUTx 到 PGND，VREF = 3.3V			-16	A
I_{OFFSET}	电流检测偏移（以 OUTx 为基准）	T_J = 25°C，相电流 = 0A	-60		60	mA
I_{OFFSET_DRIFT}	温漂（以 OUTx 为基准）	相电流 = 0A	-400		400	μA/℃
t_{SET}	趋稳时间至 1%，30pF	SOX 上的阶跃 = 1.4V		1.2	1.5	μs
$t_{CSA_ON_DELAY}$	从 INLx 开启到电流检测放大器开启的延迟	SR = 1000V/μs 或 500V/μs			500	ns
$t_{CSA_ON_DELAY}$	从 INLx 开启到电流检测放大器开启的延迟	SR = 250V/μs			600	ns
$t_{CSA_ON_DELAY}$	从 INLx 开启到电流检测放大器开启的延迟	SR = 50V/μs			1850	ns
V_{VREF_GOOD}	VREF 正常电压				2.2	V
I_{VREF}	VREF 输入电流	VREF = 3.0V，nSLEEP = 0 或 1			25	μA
PSRR	电源抑制比	VM 至 SOx，10kHz	39		80	dB
		VM 至 SOx，100kHz	10		80	dB
逐脉冲电流限制						
V_{LIM}	逐周期电流限制条件下 ILIMIT 引脚上的电压	V_{REF} <= V_{GVDD}	V_{REF}/2		V_{REF} - 0.25	V
V_{LIM_DIS}	ILIMIT 引脚上用于禁用逐周期电流限制的电压		V_{REF}			V
I_{LIMIT}	与 VLIM 引脚电压范围对应的电流限制		0		16	A

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{VM} = 4.5V 至 65V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 48V

参数		测试条件	最小值	典型值	最大值	单位
I_{LIM_AC}	电流限制准确度	VREF = 3.3V，ILIMIT > 4A	-4		4	%
I_{LIM_AC}	电流限制准确度	VREF = 3.3V，ILIMIT > 2A	-7		7	%
I_{LIM_AC}	电流限制准确度	VREF = 3.3V，0.5A < ILIMIT < 1A	-10		10	%
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 00b、01b 或 10b，ILIM_BLANK_SEL = 00b，硬件型号		1.75		µs
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 00b、01b 或 10b，ILIM_BLANK_SEL = 01b		2.25		µs
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 00b、01b 或 10b，ILIM_BLANK_SEL = 10b		2.75		µs
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 00b、01b 或 10b，ILIM_BLANK_SEL = 11b		3.75		µs
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 11b，ILIM_BLANK_SEL = 00b，硬件型号		5.5		µs
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 11b，ILIM_BLANK_SEL = 01b		6		µs
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 11b，ILIM_BLANK_SEL = 10b		6.5		µs
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 11b，ILIM_BLANK_SEL = 11b		7.5		µs
保护电路						
V_{UVLO}	电源欠压锁定 (UVLO)	VM 上升	3.9	4.35	4.5	V
		VM 下降	3.8	4.15	4.3	V
V_{UVLO_HYS}	电源欠压锁定迟滞	上升至下降阈值	140	180	350	mV
t_{UVLO}	电源欠压抗尖峰脉冲时间		3	6.5	10	µs
V_{OVP}	电源过压保护 (OVP)（SPI 器件）	电源电压上升，OVP_EN = 1，OVP_SEL = 0	60	62.5	65	V
		电源电压下降，OVP_EN = 1，OVP_SEL = 0	58	61	63.5	V
		电源电压上升，OVP_EN = 1，OVP_SEL = 1	32.5	34	35	V
		电源电压下降，OVP_EN = 1，OVP_SEL = 1	31	33	34	V
V_{OVP_HYS}	电源过压保护 (OVP)（SPI 器件）	上升至下降阈值，OVP_SEL = 1	1.3	1.35	1.4	V
		上升至下降阈值，OVP_SEL = 0	1.25	1.3	1.35	V
t_{OVP}	电源过压抗尖峰脉冲时间		8.5	14	18	µs
V_{CPUV}	电荷泵欠压锁定（高于 VM）	电源上升	2.1	2.4	3.2	V
		电源下降	1.8	2.45	2.95	V
V_{CPUV_HYS}	电荷泵 UVLO 迟滞	上升至下降阈值	200	210	300	mV
V_{GVDD_UV}	GVDD 稳压器欠压锁定	电源上升	3.1	3.6	3.7	V
V_{GVDD_UV}	GVDD 稳压器欠压锁定	电源下降	2.9	3.4	3.5	V
$V_{GVDD_UV_HYS}$	模拟稳压器欠压锁定迟滞	上升至下降阈值	170	190	310	mV
I_{OCP}	过流保护跳变点（SPI 器件）	OCP_LVL = 00b 或 01b	20		45	A
I_{OCP}	过流保护跳变点（SPI 器件）	OCP_LVL = 10b 或 11b	10		25	A
I_{OCP}	过流保护跳变点（硬件器件）		20		45	A

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{VM} = 4.5V 至 65V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 48V

参数		测试条件	最小值	典型值	最大值	单位
t_{OCP}	过流保护抗尖峰脉冲时间（SPI 器件）	OCP_DEG = 00b	0.4	0.8	1.4	µs
		OCP_DEG = 01b	0.8	1.45	2	µs
		OCP_DEG = 10b	1.2	1.8	2.7	µs
		OCP_DEG = 11b	1.6	2.2	3.2	µs
	过流保护抗尖峰脉冲时间（硬件器件）		0.8	1.45	2	µs
t_{RETRY}	过流保护重试时间（SPI 器件）	OCP_RETRY = 0	4	5	6	ms
		OCP_RETRY = 1	425	500	575	ms
t_{RETRY}	过流保护重试时间（硬件器件）		4	5	6	ms
T_{OTW}	热警告温度	芯片温度 (T_J)	160	170	180	°C
T_{OTW_HYS}	热警告迟滞	芯片温度 (T_J)	25	30	35	°C
T_{TSD}	热关断温度	芯片温度 (T_J)	175	185	195	°C
T_{TSD_HYS}	热关断迟滞	芯片温度 (T_J)	25	30	35	°C

6.6 SPI 时序要求

		最小值	标称值	最大值	单位
t_{READY}	上电后 SPI 就绪			1	ms
t_{HI_nSCS}	nSCS 最短高电平时间	300			ns
t_{SU_nSCS}	nSCS 输入设置时间	25			ns
t_{HD_nSCS}	nSCS 输入保持时间	25			ns
t_{SCLK}	SCLK 最小周期	100			ns
t_{SCLKH}	SCLK 最短高电平时间	50			ns
t_{SCLKL}	SCLK 最短低电平时间	50			ns
t_{SU_SDI}	SDI 输入数据设置时间	25			ns
t_{HD_SDI}	SDI 输入数据保持时间	25			ns
t_{DLY_SDO}	SDO 输出数据延迟时间			25	ns
t_{EN_SDO}	SDO 启用延迟时间			50	ns
t_{DIS_SDO}	SDO 禁用延迟时间			50	ns

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.7 SPI 模式时序

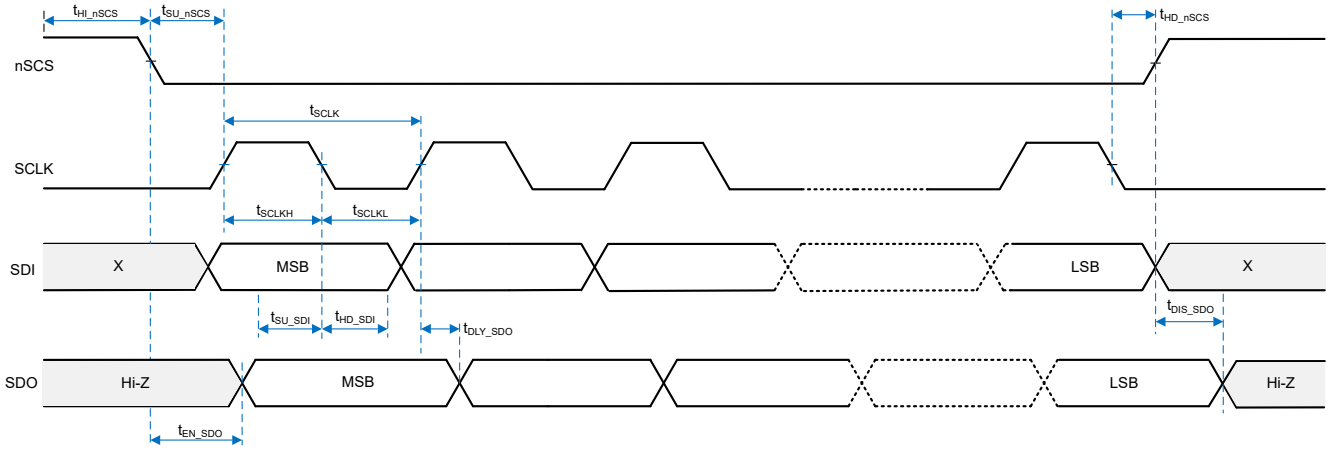


图 6-1. SPI 辅助模式时序

ADVANCE INFORMATION

ADVANCE INFORMATION

7 详细说明

7.1 概述

DRV8378 器件是一款集成式 58mΩ（高侧和低侧 MOSFET 的导通状态电阻之和）驱动器，适用于三相电机驱动应用。该器件通过集成三个半桥 MOSFET、栅极驱动器、电荷泵、电流检测放大器、用于外部负载的线性稳压器以及降压稳压器，降低了系统元件数量、成本和复杂性。标准的串行外设接口 (SPI) 提供了一种简单的方法，可通过外部控制器配置各种器件设置和读取故障诊断信息。或者，硬件接口 (H/W) 选项允许通过固定外部电阻器来配置常用的设置。

该架构使用内部状态机来防止发生短路事件，并防止内部功率 MOSFET 发生 dv/dt 寄生导通。

DRV8378 器件集成了三个双向电流检测放大器，旨在使用内置电流检测来监控流过每个半桥的电流电平。可通过 SPI 或硬件接口调整放大器的增益设置。

除了高度的器件集成之外，DRV8378 器件还提供广泛的集成保护功能。这些功能包括电源欠压锁定 (UVLO)、电荷泵欠压锁定 (CPUV)、过电流保护 (OCP) 和过温关机（OTW 和 OTS）。故障事件由 nFAULT 引脚指示，可在 SPI 器件版本的 SPI 寄存器中获得详细信息。

DRV8378 器件采用 VQFN hotrod 表面贴装封装，尺寸为 6mm x 4mm（23 引脚）和 7mm x 5mm（29 引脚）

7.2 功能方框图

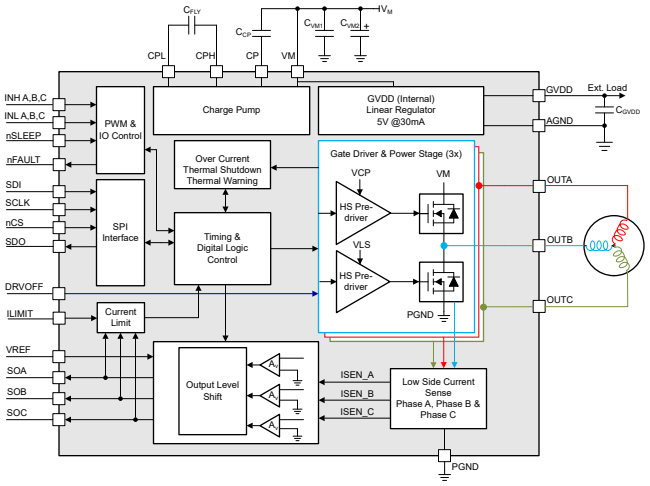


图 7-1. DRV8378S（29 引脚 SPI 型号）方框图

Copyright © 2026 Texas Instruments Incorporated

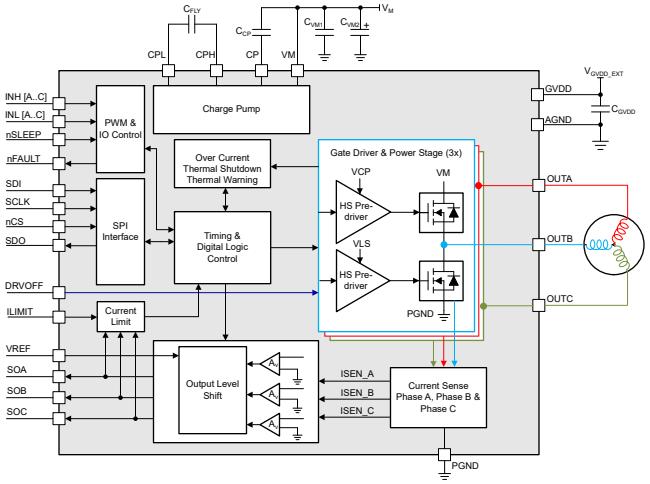


图 7-2. DRV8378G（29 引脚 SPI、外部 GVDD 型号）方框图

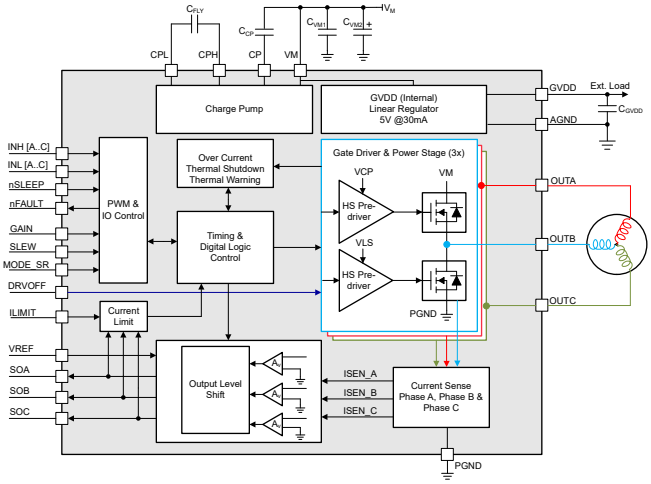


图 7-3. DRV8378H（29 引脚硬件型号）方框图

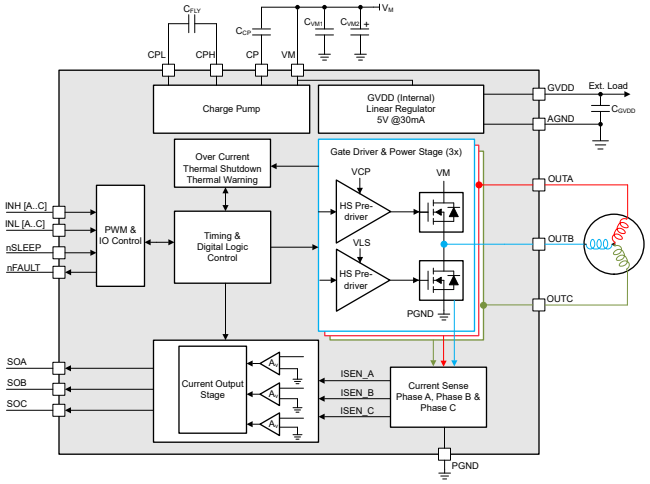


图 7-4. DRV8378H（23 引脚硬件型号）方框图

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

7.3 特性说明

表 7-1 列出了驱动器外部元件的建议值。

表 7-1. DRV8378 外部元件

元件	引脚 1	引脚 2	推荐
C_{VM1}	VM	PGND	X5R 或 X7R，0.1μF，TI 建议电容器的额定电压至少是器件正常工作电压的两倍
C_{VM2}	VM	PGND	⩾ 10μF，TI 建议电容器的额定电压至少是器件正常工作电压的两倍
C_{CP}	CP	VM	X5R 或 X7R、16V、1μF 电容器
C_{FLY}	CPH	CPL	X5R 或 X7R，100nF，TI 建议电容器的额定电压至少是引脚正常工作电压的两倍
C_{GVDD}	GVDD	AGND	X5R 或 X7R，1μF，⩾10V
R_{nFAULT}	GVDD	nFAULT	5.1kΩ 上拉电阻器
R_{MODE_SR}	MODE_SR	AGND 或 GVDD	DRV8378H 硬件接口
R_{SLEW}	SLEW	AGND 或 GVDD	DRV8378H 硬件接口
R_{GAIN}	增益	AGND 或 GVDD	DRV8378H 硬件接口
C_{VREF}	VREF	AGND	X5R 或 X7R，0.1μF，VREF 额定电容器

备注

TI 建议在 nFAULT 上连接上拉电阻器（即使不使用上拉电阻），以避免意外进入内部测试模式。如果使用外部电源上拉 nFAULT，请确保上电时将 nFAULT 拉至 >2.2V，否则器件会进入内部测试模式。

7.3.1 输出级

DRV8378 器件包含一个以三相桥配置连接的集成式 58mΩ（高侧和低侧 FET 的导通状态电阻之和）NMOS FET。倍增电荷泵可在宽工作电压范围内为高侧 NMOS FET 提供适合的栅极偏置电压，此外还提供 100% 占空比支持。内部线性稳压器为低侧 MOSFET 提供栅极偏置电压。该器件具有两个 VM 电机电源引脚，这些引脚一起连接到电机电源电压。

Copyright © 2026 Texas Instruments Incorporated

7.3.2 器件接口模式

DRV8378 系列器件支持两种不同的接口模式（SPI 和硬件），使终端应用的设计更灵活或简单。这两种接口模式共享相同的四个引脚，允许不同的版本之间实现引脚对引脚兼容。这种兼容性让应用设计人员可以使用一个接口版本进行评估，然后只需对设计进行极少修改即可切换到另一个版本。

7.3.2.1 串行外设接口 (SPI)

SPI 器件支持串行通信总线，使外部控制器能够与 DRV8378 之间进行数据的发送和接收。这支持外部控制器配置器件设置并读取详细的故障信息。该接口是一种使用 SCLK、SDI、SDO 和 nSCS 引脚的四线制接口，下面对此进行了说明：

- SCLK 引脚是一个输入引脚，它接受时钟信号以确定何时在 SDI 和 SDO 引脚上捕获和传播数据。
- SDI 引脚是数据输入引脚。
- SDO 引脚是数据输出引脚。SDO 引脚可以通过 SDO_MODE 配置为开漏或推挽。
- nSCS 引脚是片选输入引脚。该引脚上的逻辑低电平信号支持与 DRV8378 进行 SPI 通信。

更多有关 SPI 的信息，请参阅 *节 7.13*。

7.3.2.2 硬件接口

硬件接口器件将四个 SPI 引脚转换为四个可通过电阻器配置的输入端，即 GAIN、SLEW、MODE_SR 和 ILIMIT。

硬件接口让应用设计人员可通过将引脚连接为逻辑高电平或逻辑低电平，或使用简单的上拉或下拉电阻，进行常用的器件设置配置。因此，外部控制器不再需要 SPI 总线。一般故障信息仍可通过 nFAULT 引脚获得。

- GAIN 引脚可配置电流检测放大器的增益。
- SLEW 引脚可配置输出电压的压摆率。
- MODE_SR 引脚可配置 PWM 控制模式。
- ILIMIT 引脚用于配置逐周期电流限制电平。

更多有关硬件接口的信息，请参阅 *节 7.7*。

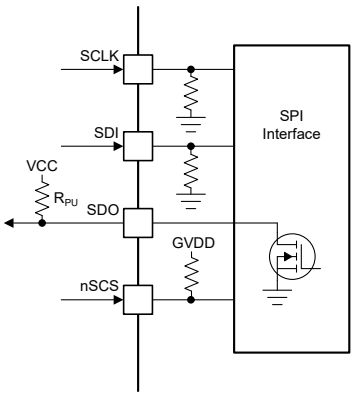


图 7-5. DRV8378S SPI

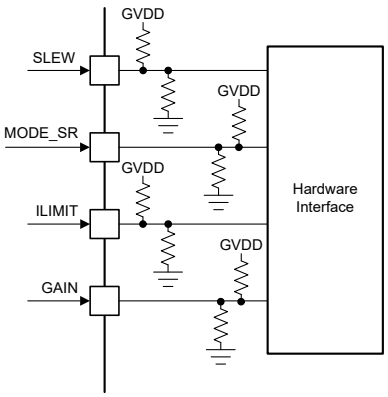


图 7-6. DRV8378H 硬件接口

备注

VCC 代表外部上拉电压。默认情况下，SDO 引脚为漏极开路

ADVANCE INFORMATION

7.3.3 控制模式

DRV8378 系列器件提供四种不同的控制模式，来支持各种换向和控制方法。表 7-2 展示了 DRV8378 器件的各种模式。

表 7-2. PWM 控制模式

MODE 类型	MODE_SR 引脚（硬件型号）	PWM_MODE 位（SPI 型号）	SR 位（SPI 型号）	PWM 模式	ASR 和 AAR 模式
模式 1	连接到 AGND	PWM_MODE = 0	EN_ASR = 0， EN_AAR = 0	6x 模式	ASR 和 AAR 已禁用
模式 2	Hi-Z	PWM_MODE = 0	EN_ASR = 1， EN_AAR = 0	6x 模式	启用 ASR 和禁用 AAR
模式 3	通过 R_{MODE} 连接到 GVDD	PWM_MODE = 1	EN_ASR = 0， EN_AAR = 0	3x 模式	ASR 和 AAR 已禁用
模式 4	连接到 GVDD	PWM_MODE = 1	EN_ASR = 1， EN_AAR = 0	3x 模式	启用 ASR 和禁用 AAR

备注

器件仅在上电期间检测 MODE_SR 引脚，并且在运行期间不支持 MODE_SR 更改。TI 建议不要在器件运行期间更改 PWM_MODE。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.3.3.1 3x PWM 模式 (PWM_MODE = 10b 或 11b 或 MODE_SR 引脚通过 R_{GVDD} 连接至 GVDD 或连接至 GVDD)

在 3x PWM 模式下，INHx 引脚控制每个半桥并支持两种输出状态：低电平或高电平。INLx 引脚用于将半桥置于 Hi-Z 状态。如果不需要 Hi-Z 状态，请将所有 INLx 引脚保持在逻辑高电平。相应的 INHx 和 INLx 信号控制着输出状态，如表 7-3 所示

表 7-3. 3x PWM 模式真值表

INLx	INHx	PHASEx
0	X	Hi-Z
1	0	L
1	1	H

图 7-7 展示了在 3x PWM 模式下配置的 DRV8378 的应用图。

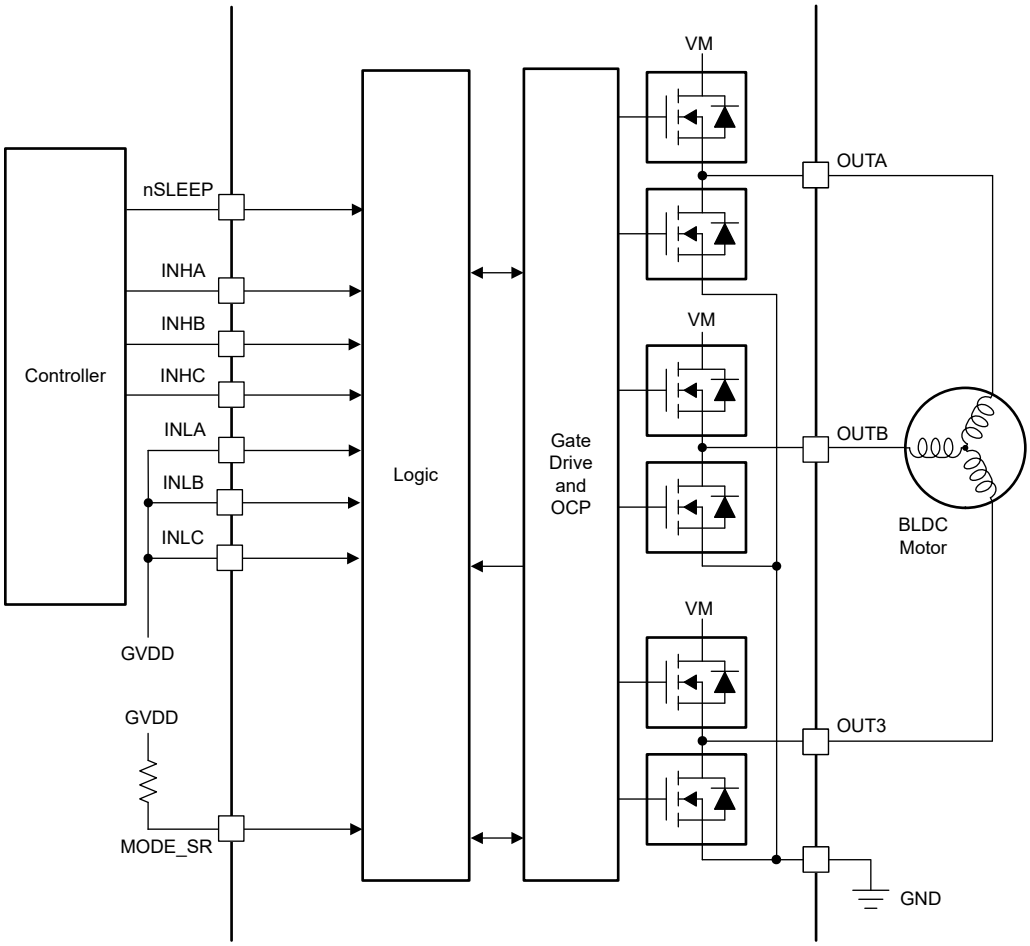


图 7-7. 3x PWM 模式

7.3.3.2 6x PWM 模式 (PWM_MODE = 00b 或 01b 或者 MODE_SR 引脚连接至 AGND 或处于 Hi-Z)

在 6x PWM 模式下，每个半桥支持三种输出状态：低电平、高电平或高阻抗 (Hi-Z)。相应的 INHx 和 INLx 信号控制着输出状态，如表 7-4 所示。

表 7-4. 6x PWM 模式真值表

INLx	INHx	PHASEx
0	0	Hi-Z

ADVANCE INFORMATION

表 7-4. 6x PWM 模式真值表（续）

INLx	INHx	PHASEx
0	1	H
1	0	L
1	1	Hi-Z

下面的图 7-8 展示了在 6x PWM 模式下配置的 DRV8378 的应用图。

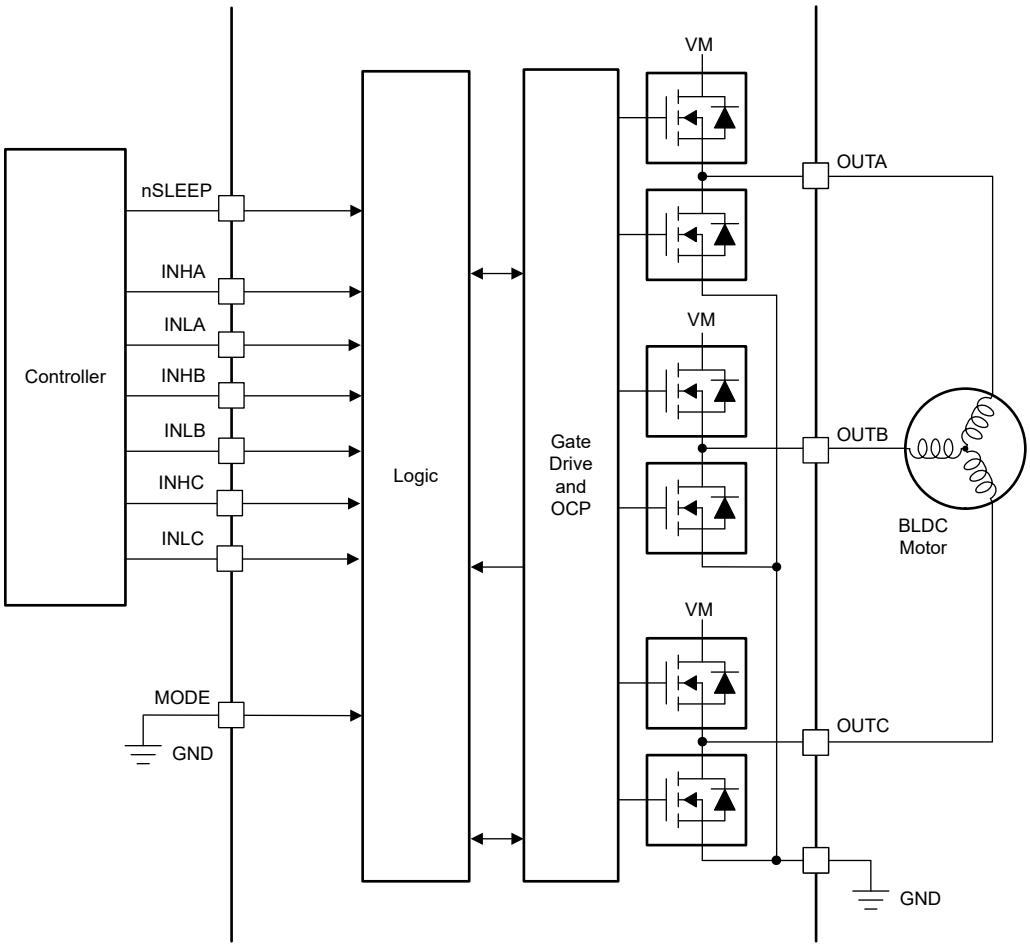


图 7-8. 6x PWM 模式

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.3.3.3 采用外部 GVDD 的 DRV8378G 控制模式

在外部 GVDD 模式下，支持 6x 和 3x PWM 模式。表 7-5 中列出了电机电压和外部 GVDD 组合的不同用例

表 7-5. 使用外部 GVDD 的控制模式

VM	GVDD	nSLEEP	DRVOFF	OPERATION
V_{VM} > V_{VM_UVLO}	V_{GVDD} > V_{GVDD_UVLO}	1	0	器件正常作用
V_{VM} > V_{VM_UVLO}	V_{GVDD} > V_{GVDD_UVLO}	1	1	高阻态
V_{VM} > V_{VM_UVLO}	V_{GVDD} < V_{GVDD_UVLO}	1	X	高阻态
V_{VM} < V_{VM_UVLO}	V_{GVDD} < V_{GVDD_UVLO}	X	X	高阻态
V_{VM} < V_{VM_UVLO}	V_{GVDD} > V_{GVDD_UVLO}	X	0	低侧 FET 的 INLx 控制、所有高侧 FET 均处于 OFF 状态，CSA OFF，CSA 输出为 VREF/2，无 OTP、OCP。针对 OUTx 短接至 GVDD 的保护
V_{VM} < V_{VM_UVLO}	V_{GVDD} > V_{GVDD_UVLO}	X	1	高阻态

备注

在低侧 FET 的 INLx 控制期间 (V_{VM} < V_{VM_UVLO}, V_{GVDD} > V_{GVDD_UVLO})，如果 nSLEEP =1，则 VM 在泵送电流时可能会出现回流。

ADVANCE INFORMATION

7.3.4 GVDD 线性稳压器

DRV8378 系列器件中集成了一个 5V 线性稳压器，可供外部电路使用。GVDD 稳压器用于为器件的内部数字电路供电，此外，该稳压器还可以为低功耗 MCU 或其他支持低电流（高达 30mA）的电路提供电源电压。GVDD 稳压器的输出必须在 GVDD 引脚附近旁路，通过一个 X5R 或 X7R、1μF、10V 陶瓷电容器直接连接回至相邻的 AGND 接地引脚。

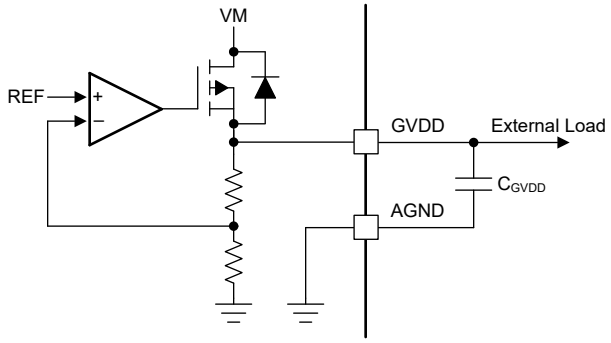


图 7-9. GVDD 线性稳压器方框图

可以使用下面的公式来计算以 VM 作为电源的 GVDD 线性稳压器在器件中耗散的功率。

$$P = (V_{VM} - V_{GVDD}) \times I_{GVDD} \quad (1)$$

例如，当 V_{VM} 为 24V 时，从 GVDD 汲取 20mA 的电流会导致方程式 2 所示的额外功率耗散。

$$P = (24\,V - 5\,V) \times 20\,mA = 380\,mW \quad (2)$$

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.3.5 电荷泵

由于输出级使用 N 沟道 FET，因此该器件需要高于 VM 电源的栅极驱动电压才能完全增强高侧 FET。 DRV8378 集成了一个电荷泵电路，可为此目的生成高于 VM 电源的电压。

电荷泵需要两个外部电容器才能运行。有关这些电容器的详细信息（值、连接等），请参阅方框图和引脚说明并参阅（节 7.3）部分。

当 nSLEEP 为低电平时或过热关断期间，电荷泵会关断。

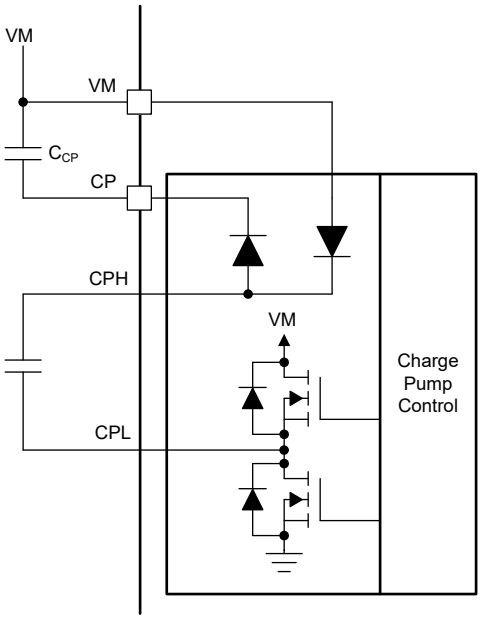


图 7-10. DRV8378 电荷泵

ADVANCE INFORMATION

ADVANCE INFORMATION

7.4 压摆率控制

对半桥的 MOSFET 实施可调栅极驱动电流控制，以实现压摆率控制。MOSFET VDS 压摆率是优化辐射发射、二极管恢复尖峰的能量和持续时间以及与寄生效应相关的开关电压瞬态的关键因素。这些压摆率主要由内部 MOSFET 的栅极电荷的速率决定，如图 7-11 所示。

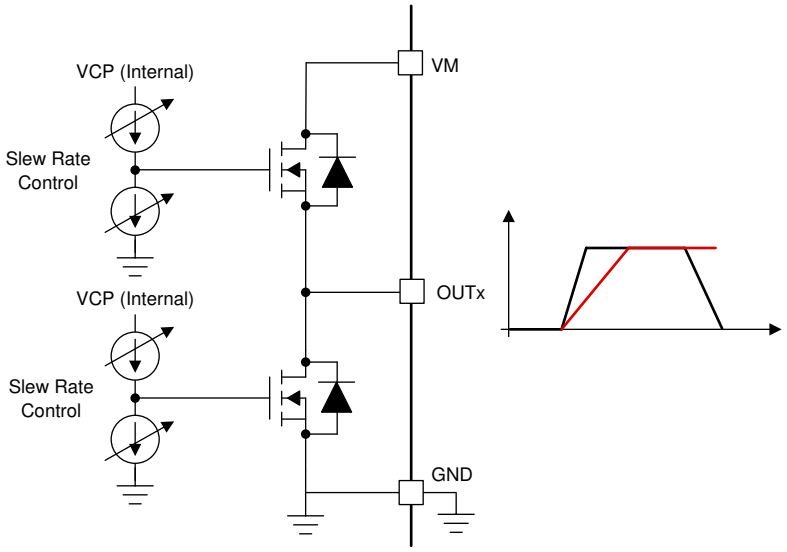


图 7-11. 压摆率电路实现

在硬件型号中，每个半桥的转换率可以通过 SLEW 引脚进行调整，在 SPI 器件型号中则使用 SLEW 位进行调整。每个半桥都可以选择为 1.1V/ns、0.5V/ns、0.25V/ns 或 0.05V/ns 的转换率设置。压摆率根据 OUTx 引脚电压的上升时间和下降时间计算得出，如图 7-12 所示。

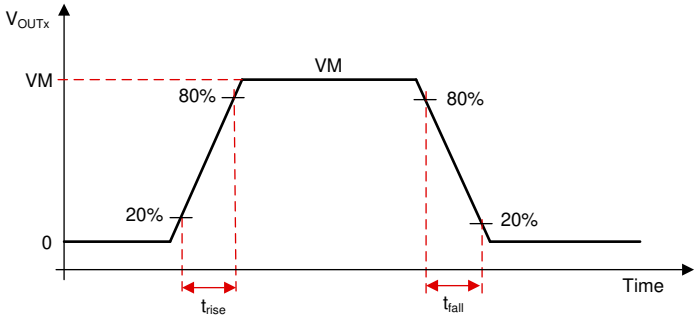


图 7-12. 压摆率时序

备注

该器件仅在加电期间检测 SLEW 引脚，并且在运行期间不支持转换率更改。TI 建议在运行期间不要更改 SLEW_RATE 寄存器位。

Copyright © 2026 Texas Instruments Incorporated

7.5 跨导（死区时间）

该器件针对 MOSFET 的任何跨导提供全面保护。在半桥配置中，通过插入死区时间 (t_{dead}) 来维持高侧和低侧 MOSFET 的运行，从而避免任何击穿电流。这是通过检测高侧和低侧 MOSFET 的栅源电压 (VGS) 并保持高侧 MOSFET 的 VGS 已达到低于关断电平，然后再打开同一半桥的低侧 MOSFET 来实现的，如图 7-13 和图 7-14 所示。

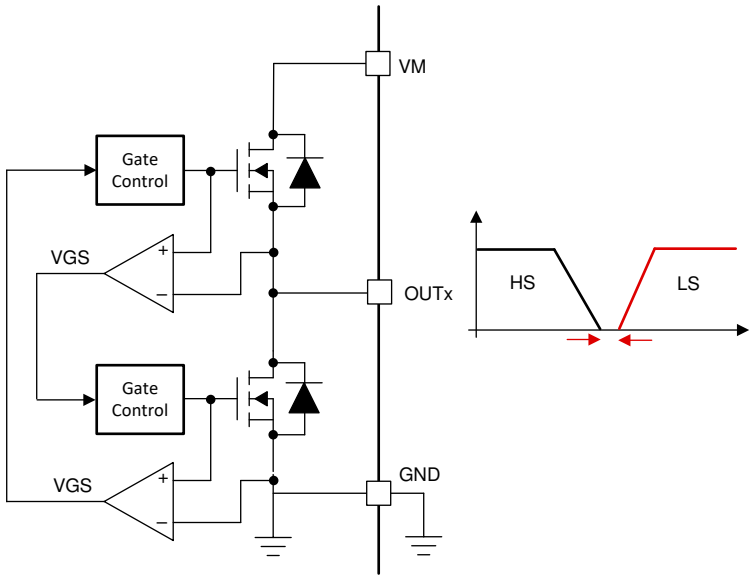


图 7-13. 跨导保护

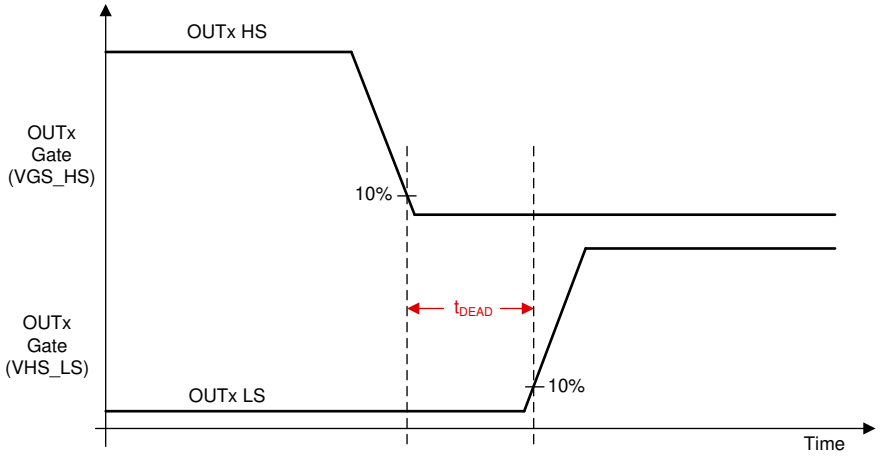


图 7-14. 死区时间

ADVANCE INFORMATION

ADVANCE INFORMATION

7.6 传播延迟

传播延迟时间 (t_{pd}) 是输入逻辑边沿与栅极驱动器电压变化之间的时间。

备注

在电流限制模式或主动消磁模式期间，当输入命令通过器件传播时，会添加一个小的数字延迟，并且用户在这些模式下可能会看到多达 600ns 的延迟。

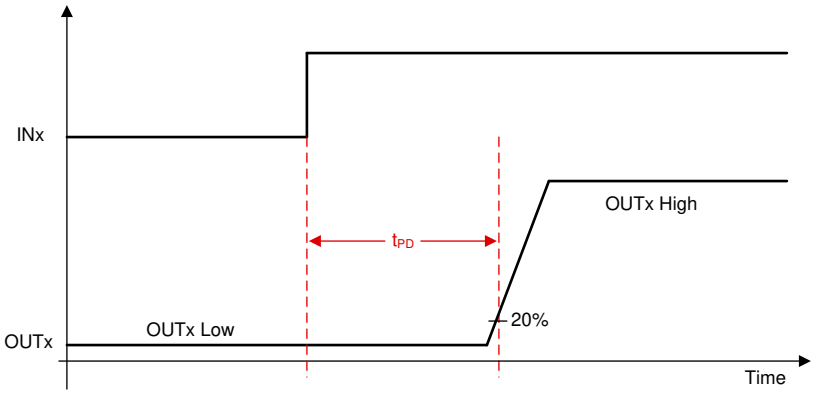


图 7-15. 传播延迟时序

7.7 引脚图

本节介绍所有数字输入和输出引脚的 I/O 结构。

7.7.1 逻辑电平输入引脚 (内部下拉)

图 7-16 显示了逻辑电平引脚 DRVOFF、INHx、INLx、nSLEEP、SCLK 和 SDI 的结构。输入可以由电压或外部电阻器驱动。TI 建议在器件睡眠模式下将这些引脚置于低电平，以减少通过内部下拉电阻器的漏电流。

STATE	CONNECTION
V_{IH}	Tied to GVDD
V_{IL}	Tied to GND

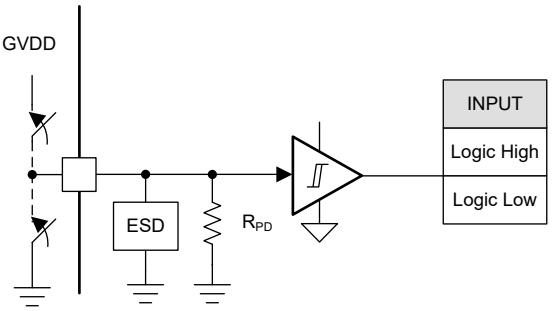


图 7-16. 逻辑电平输入引脚结构

7.7.2 逻辑电平输入引脚 (内部上拉)

图 7-17 展示了逻辑电平引脚 nSCS 的输入结构。输入可以由电压或外部电阻器驱动。

Copyright © 2026 Texas Instruments Incorporated

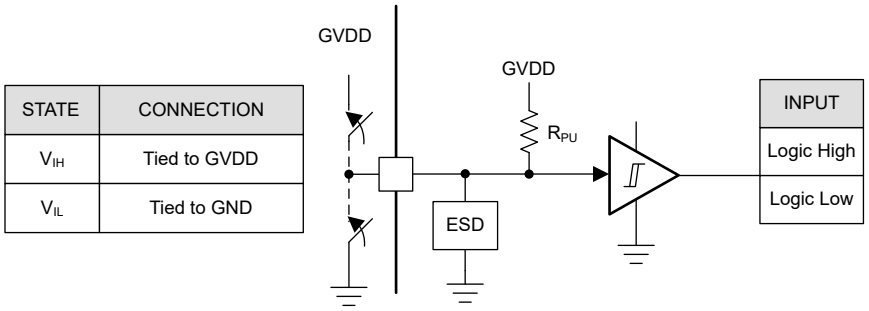


图 7-17. 逻辑 nSCS

7.7.3 开漏引脚

图 7-18 展示了开漏模式下的开漏输出引脚、nFAULT 和 SDO 的结构。开漏输出需要外部上拉电阻器正常运行。

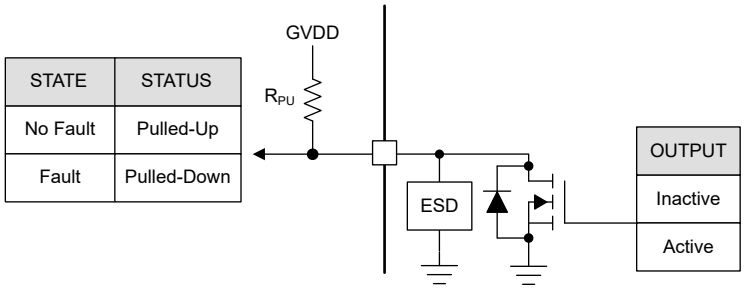


图 7-18. 漏极开路

7.7.4 推挽引脚

图 7-19 展示了推挽模式下的 SDO 结构。

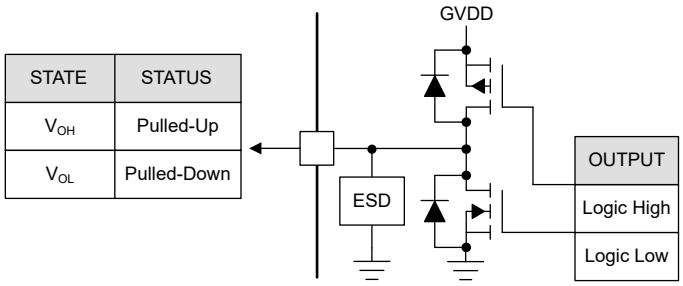


图 7-19. 推挽引脚

7.7.5 四电平输入引脚

图 7-20 显示了硬件接口器件上四电平输入引脚 GAIN、MODE_SR、SLEW 和 ILIMIT 的结构。可以通过外部电阻器设置该输入。

ADVANCE INFORMATION

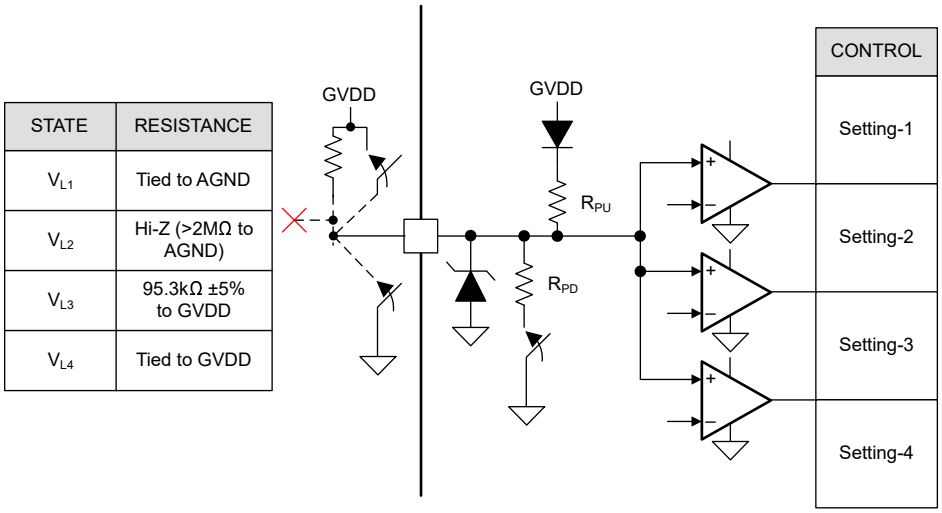


图 7-20. 四电平输入引脚结构

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.8 电流检测放大器

DRV8378 集成了三个高性能低侧电流检测放大器，以便使用内置电流检测进行电流测量。通常会通过测量低侧电流来实施过流保护、外部扭矩控制或通过外部控制器进行无刷直流换向。三个放大器都可用于检测每个半桥臂（低侧 FET）中的电流。在 29 引脚型号中，电流检测放大器输出为与 LS FET 电流成正比的电压。在 23 引脚型号中，电流检测放大器输出为与 LS FET 电流成正比的电流。29 引脚型号中的电流检测放大器具有可编程增益等特性。需要在电压基准引脚 (VREF) 上提供外部基准。

7.8.1 电流感测放大器运行（29 引脚型号）

DRV8378 上的 SOx 引脚输出的模拟电压与低侧 FET 中流动的电流和增益设置 (G_{CSA}) 的乘积成比例。增益设置可在四个不同级别之间调节，可通过 GAIN 引脚（在硬件器件型号中）或 GAIN 位（在 SPI 器件型号中）设置这些级别。

图 7-21 显示了电流检测放大器的内部架构。电流检测是通过 DRV8378 器件的每个低侧 FET 上的检测 FET 实施的。该电流信息馈送到内部 I/V 转换器，该转换器根据 VREF 引脚上的电压和增益设置在 SOX 引脚上生成 CSA 输出电压。CSA 输出电压可按以下公式计算：

$$SOX = \left({}^{V_{REF}}/_{2}\right) \pm GAIN \times I_{OUTX} \quad (3)$$

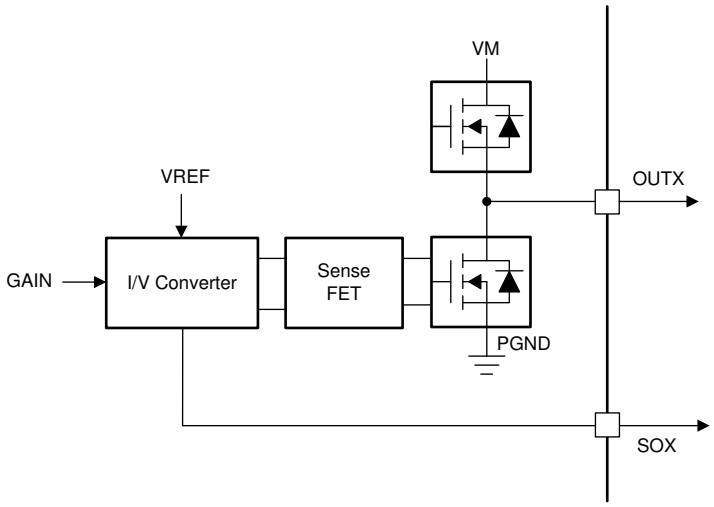


图 7-21. 集成电流检测放大器

ADVANCE INFORMATION

ADVANCE INFORMATION

图 7-22 和图 7-23 显示了放大器工作范围的详细信息。在双向运行中，0V 输入的放大器输出设置为 VREF/2。差分输入的任何变化都会导致输出乘以 CSA_GAIN 因子发生相应的变化。放大器有一个定义的线性区域，在该区域内放大器可以保持运行。

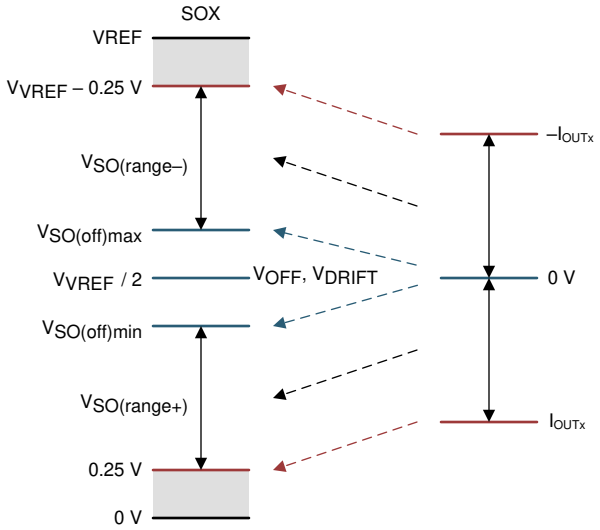


图 7-22. 双向电流检测输出

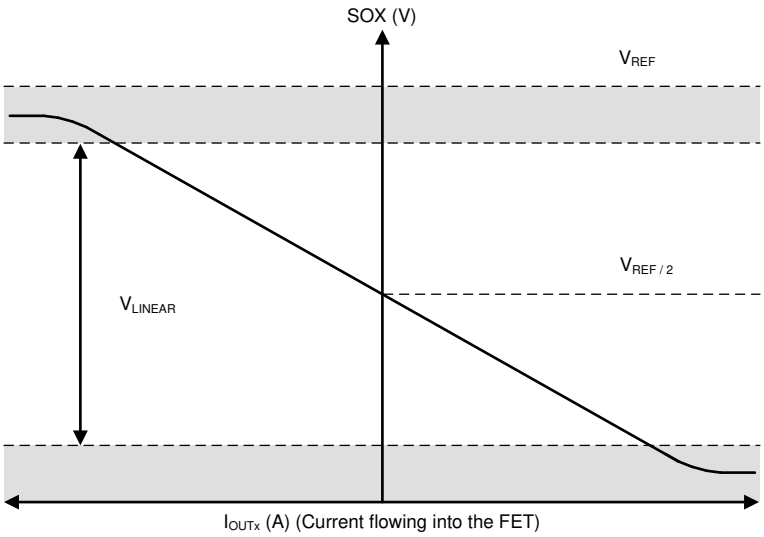


图 7-23. 双向电流检测区域

备注

流入 FET 的电流被视为正电流，流出 FET 的电流被视为负电流

备注

电流检测放大器支持动态增益变化。在硬件型号中，GAIN 会通过引脚检测每 1ms 进行一次采样，而任何 GAIN 变化均通过 SPI 写入实现（在 SPI 型号中）。收到 GAIN 更改命令后，新的 GAIN 会在任何 INLx 信号的下个下降沿应用于所有三个电流检测放大器。

Copyright © 2026 Texas Instruments Incorporated

7.8.2 电流感测放大器运行（23 引脚型号）

DRV8378 上的 SOx 引脚输出的电流与低侧 FET 中流动的电流和增益设置 (G_{CSA}) 的乘积成比例。增益设置固定为 0.1mA/A。图 7-24 显示了用于电流输出的电流检测放大器的内部架构。电流检测是通过 DRV8378 器件的每个低侧 FET 上的检测 FET 实施的。该电流信息与增益设置相乘，可作为 SOx 引脚上的电流输出。为了将此电流转换为电压（例如，模数转换器的输入），连接到外部基准电压 (EXT_VREF) 的电阻器可充当 I/V 转换器。EXT_VREF 可以源自模数转换器基准。电阻器 R_{PULL_UP} 和 R_{PULL_DOWN} 的值会影响 SOx 输出的增益误差和稳定时间。有关电阻器选择的更多详细信息，请参阅电气规格表。

SOx 引脚的输出电压计算公式为

$$V_{SOX} = \left(V_{EXT_VREF}/2\right) \pm I_{OUT} \times R_T \times GAIN \quad (4)$$

其中，$R_T = R_{PULL_UP} \parallel R_{PULL_DOWN}$

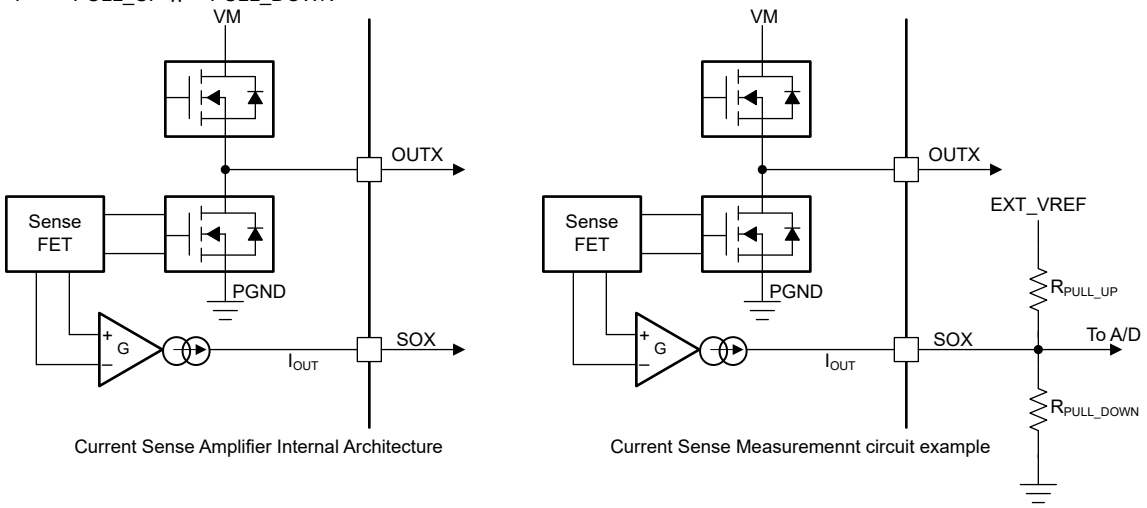


图 7-24. 集成式电流检测放大器（23pin 型号）

ADVANCE INFORMATION

ADVANCE INFORMATION

7.9 主动消磁

DRV8378 系列器件具有智能整流特性（主动消磁），可通过减少二极管导通损耗来降低器件中的功率损耗。启用此特性后，只要该器件检测到二极管导通，它就会自动导通相应的 MOSFET。对于硬件型号，可以使用 MODE_SR 引脚配置此特性。在 SPI 器件型号中，这可以通过 EN_ASR 和 EN_AAR 位进行配置。智能整流分为自动同步整流 (ASR) 模式和自动异步整流 (AAR) 模式两类，后续几节对此进行了介绍。

DRV8378 器件包括一个高侧 (AD_HS) 和低侧 (AD_LS) 比较器，用于检测每个半桥上器件中的负电流。AD_HS 比较器将检测 FET 输出与电源电压 (VM) 阈值进行比较，而 AD_LS 比较器则与接地 (0V) 阈值进行比较。根据从 OUTx 流向 VM 或从 PGND 流向 OUTx 的电流，AD_HS 或 AD_LS 比较器跳变。该比较器为主动消磁特性的运行提供基准点。

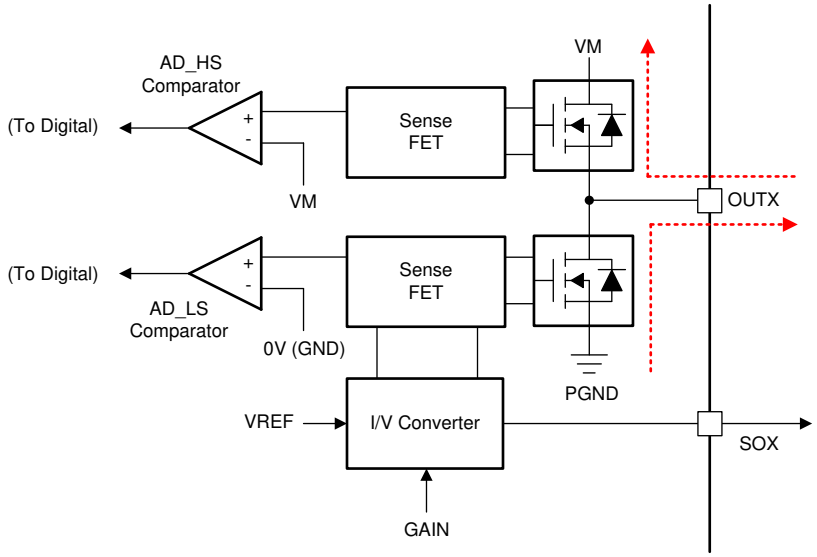


图 7-25. 主动消磁运行

表 7-2 显示了 DRV8378 器件中 ASR 和 AAR 模式的配置。

备注

在发生 OCP 事件时禁用主动消磁。

备注

一种由于主动退磁而导通的 FET，如果当给出导通该 FET 的输入命令时，通过该 FET 的电流没有衰减到零，则导通命令不会被确认，并且该 FET 仅在电流达到零时关断，而与该 FET 的输出控制信号无关。

7.9.1 自动同步整流模式（ASR 模式）

自动同步整流 (ASR) 模式分为换向期间的 ASR 和 PWM 模式期间的 ASR 这两类。

7.9.1.1 自动同步整流（换向模式）

图 7-26 展示了在 BLDC 电机换向期间主动消磁的运行情况。如图 7-26 (a) 所示，电流在一个换向状态下从 HA 流向 LC。在如 图 7-26 (b) 所示的换向转换期间，HB 开关接通，而 OUTA 中的换向电流（由电机电感引起）流经 LA 的体二极管。这会导致更高的二极管损耗，具体取决于换向电流。可通过为换向时间开启 LA 减少该换向损耗，如图 7-26 (c) 所示。

类似地，高侧 FET 的运行在图 7-26 (d)、(e) 和 (f) 中实现。

Copyright © 2026 Texas Instruments Incorporated

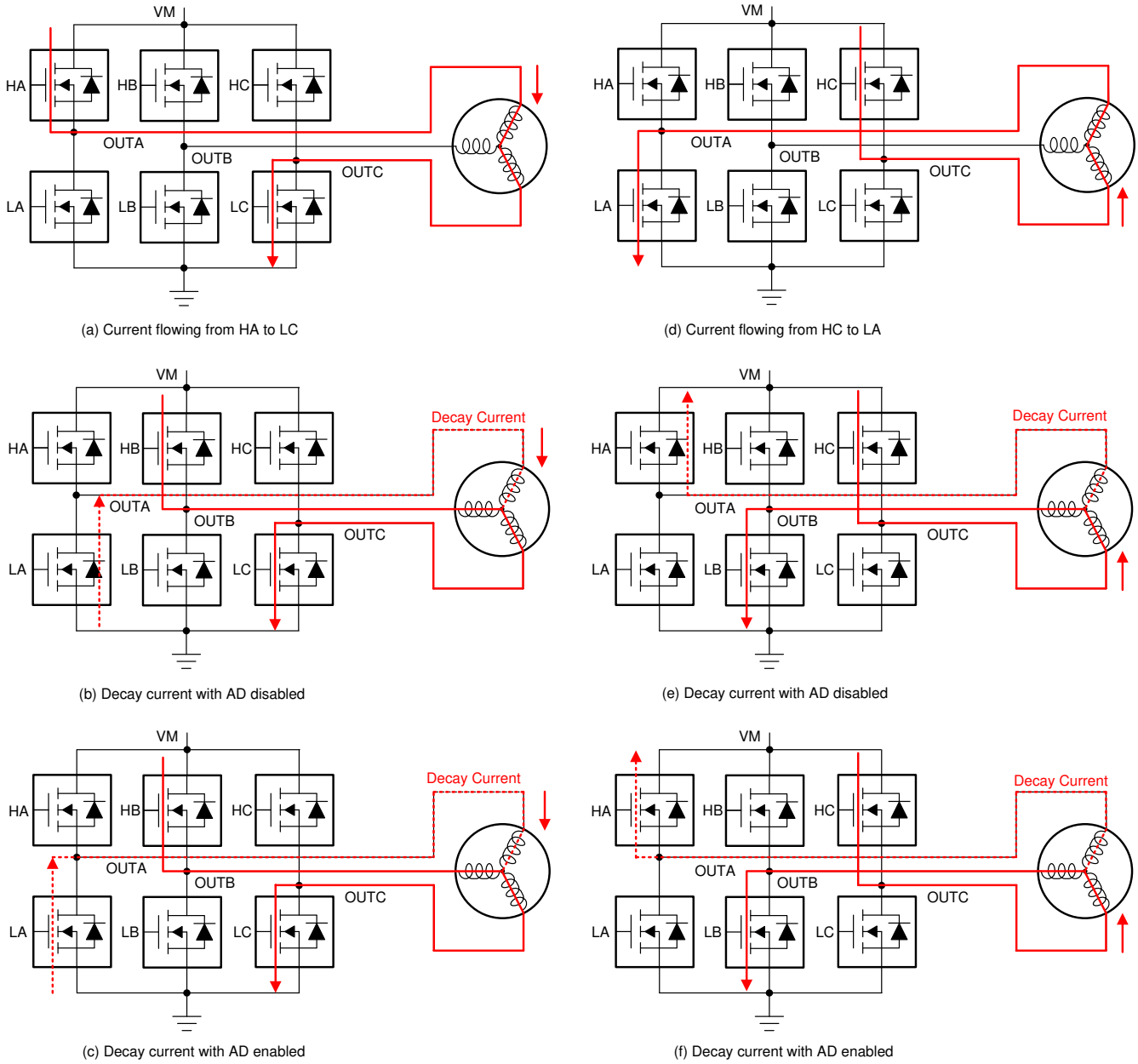


图 7-26. BLDC 电机换向中的 ASR

ADVANCE INFORMATION

图 7-27 (a) 显示了以梯形换向方式运行的 BLDC 电机在自动同步整流模式下的 BLDC 电机相电流波形。该图显示了在单个换向周期中各种开关的运行情况。

图 7-27 (b) 显示了换向周期的放大波形，详细说明了 ASR 模式启动时的裕度时间 (t_{margin}) 和 ASR 模式由于主动消磁比较器阈值和延迟而提前停止的情况。

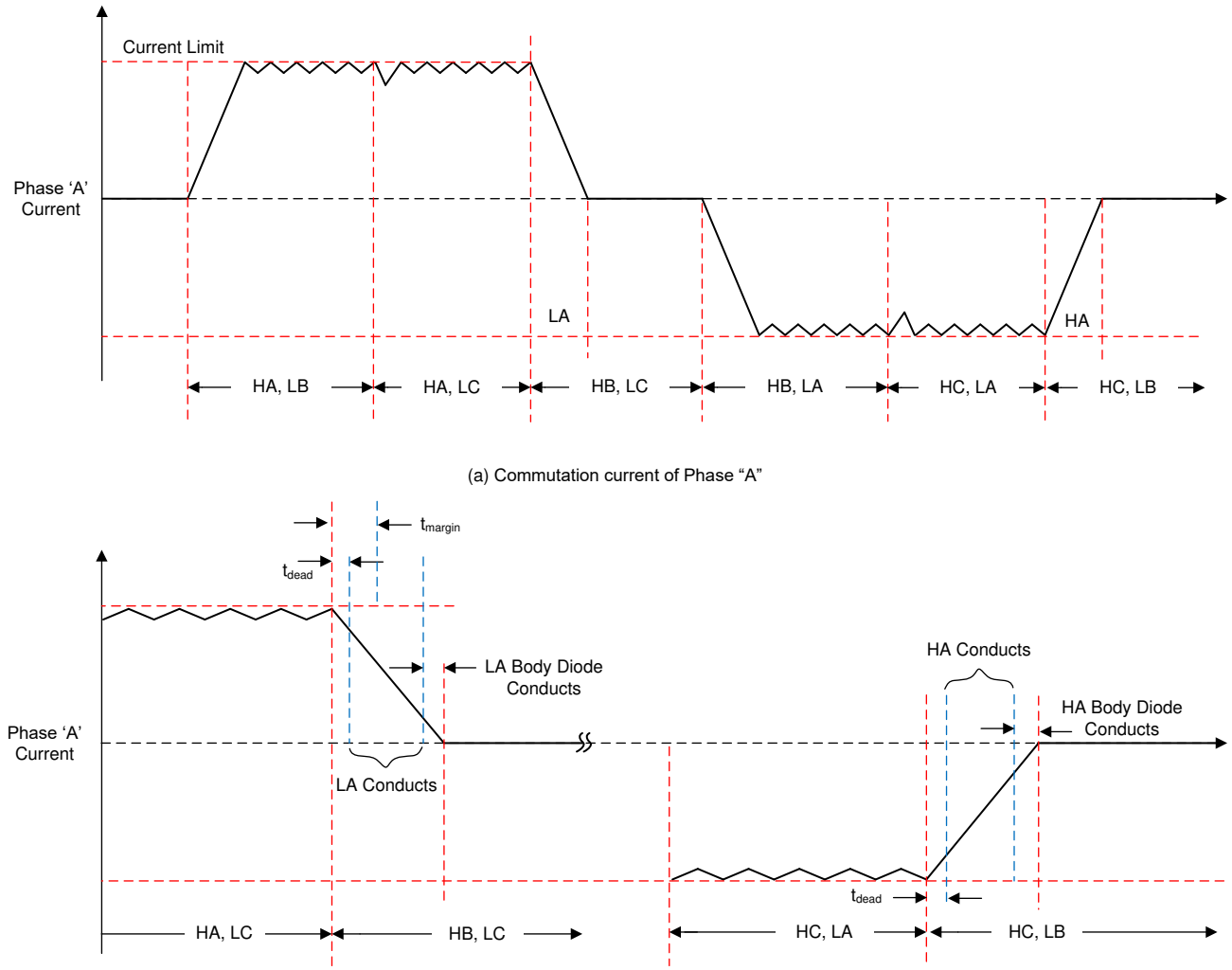


图 7-27. BLDC 电机换向中 ASR 的电流波形

Copyright © 2026 Texas Instruments Incorporated

7.9.1.2 自动同步整流（PWM 模式）

图 7-28 显示了 PWM 模式下 ASR 的运行情况。如该图所示，PWM 仅应用于高侧 FET，而低侧 FET 始终关断。在 PWM 关断期间，低侧 FET 的电流衰减，从而导致更高的功率损耗。因此，该模式支持在低侧二极管导通期间导通低侧 FET。

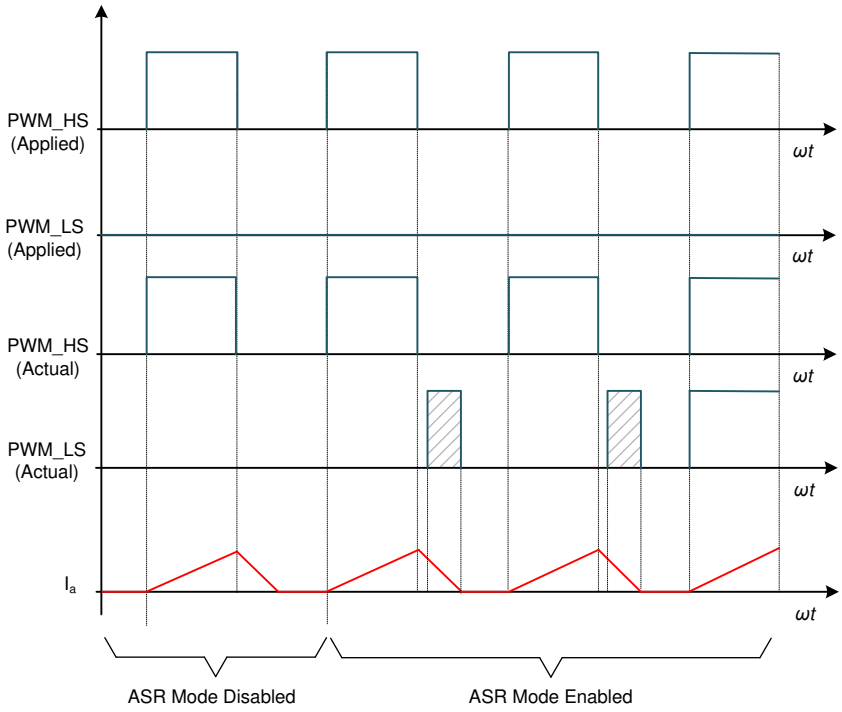


图 7-28. ASR 处于 PWM 模式

ADVANCE INFORMATION

7.9.2 自动异步整流模式（AAR 模式）

图 7-29 显示了 PWM 模式下 AAR 的运行情况。如该图所示，在同步整流中将 PWM 应用于高侧和低侧 FET。在低侧 FET 导通期间，对于电感较低的电机，电流可能衰减至零并变为负值，因为低侧 FET 处于导通状态。这会对 BLDC 电机运行产生负扭矩。启用 AAR 模式时，会监测衰减期间的电流，并且一旦电流达到接近零，低侧 FET 便会关断。这节省了 BLDC 电机中建立的负电流，从而实现更好的噪声性能和更好的热管理。

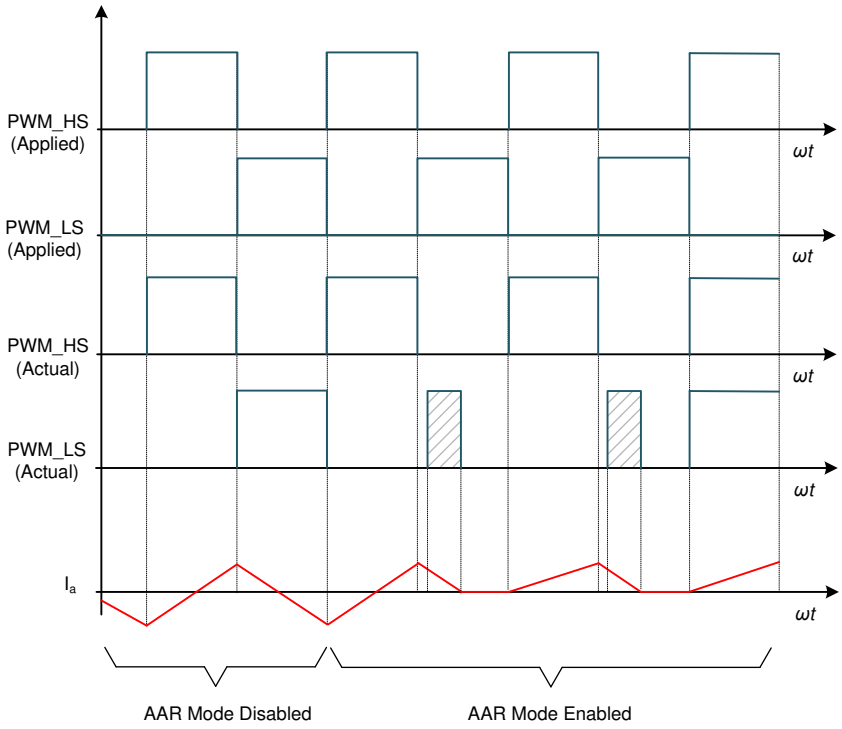


图 7-29. AAR 处于 PWM 模式

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.10 逐周期电流限制

如果流经低侧 MOSFET 的电流超过 I_{LIMIT} 电流，电流限制电路将激活。此特性将电机电流限制为低于 I_{LIMIT}。

电流限制电路利用三相的电流检测放大器输出，并将该电压与 ILIMIT 引脚处的电压进行比较。图 7-30 展示了电流限制电路的实现方式。如图 7-30 示，电流检测放大器的输出与星形连接的电阻网络相结合。这个测得的电压 V_{MEAS} 与外部基准电压 V_{ILIM} 进行比较，以实现电流限制实施。在 OUTX 引脚上检测到的电流与 V_{MEAS} 阈值之间的关系如下所示：

$$V_{MEAS} = \left(V_{VREF}/_{2}\right) + ((I_{OUTA} + I_{OUTB} + I_{OUTC}) \times GAIN/3) \quad (5)$$

其中

- V_{VREF} 是电流检测放大器电源
- I_{OUTX} 是流入低侧 MOSFET 的电流
- CSA_GAIN 是电流检测放大器增益

可以通过配置 ILIMIT 引脚上的电压来调整 I_{LIMIT} 阈值。当 ILIMIT 引脚上的电压在 $V_{VREF/2}$ 至 (V_{VREF} - 0.25V) 或 GVDD 之间变化时，ILIMIT 会在 0A 至 40A 之间呈线性变化。可以施加大于 VREF 的电压来禁用 ILIMIT。

在高侧和低侧开关控制输入（INHx 和 INLx）的每个上升沿，电流限制比较器输出均存在一个消隐时间，消隐时间内的 DRV8378 输出状态取决于 INHx 和 INLx 状态。在 SPI 器件中，消隐时间通过 ILIM_BLANK_SEL 进行配置；在硬件型号中，对于 50V/ns 的转换率，消隐时间固定为 5.5 µs，对于所有其他转换率，消隐时间则固定为 1.8 µs。

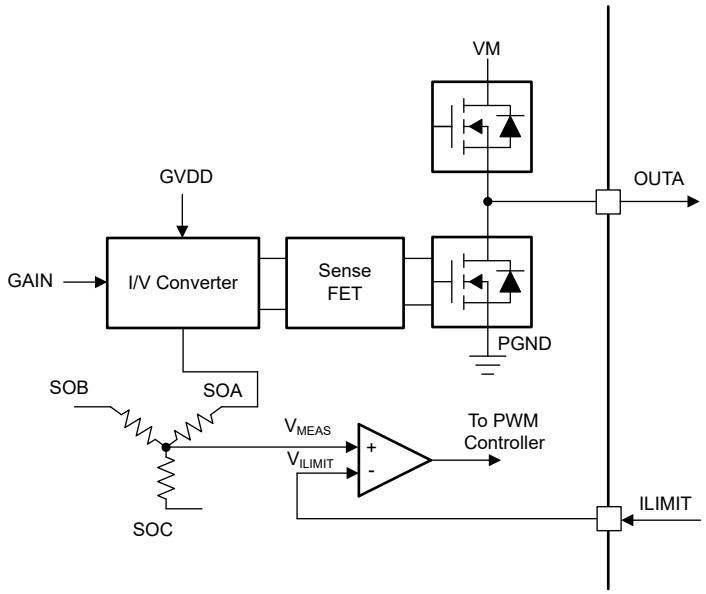


图 7-30. 电流限制实现

对于 DRV8378 的 SPI 型号，可通过对 DRV_CTRL 寄存器中的 ILIMIT_SEL_CODE [13:11] 位进行编程来实现电流限制。在这种情况下，电流限制取决于施加在 VREF 输入端的基准电压以及电流检测放大器增益 (G_{CSA})。电流限制、基准电压与 G_{CSA} 之间的关系由以下公式给出$I_{LIMIT} = \frac{(3 \times V_{VREF})}{(40 \times G_{CSA})}[1 + CODE_{ILIMIT_SEL_CODE}]$其中

- V_{VREF} = 基准电压
- G_{CSA} = 电流检测放大器增益值
- $CODE_{ILIMIT_SEL_CODE}$ = 以十进制值表示的 3 位代码（0 到 6，对于 CODE = 7，会禁用 I_{LIMIT}）

例如，G_{CSA} = 0.32V/A，V_{VREF} = 3.3V，CODE = 5，I_{LIMIT} = 4.64A

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

当电流限制激活时，每个半桥的高侧 FET 将被禁用，直到该半桥的高侧 (INHx) 上升沿为止，如图 7-31 所示。在 SPI 器件型号中，通过配置 ILIM_MODE 位，低侧 FET 可以在制动模式或滑行（高阻态）模式下运行。在硬件型号中，低侧 FET 在滑行（高阻态）模式下运行。

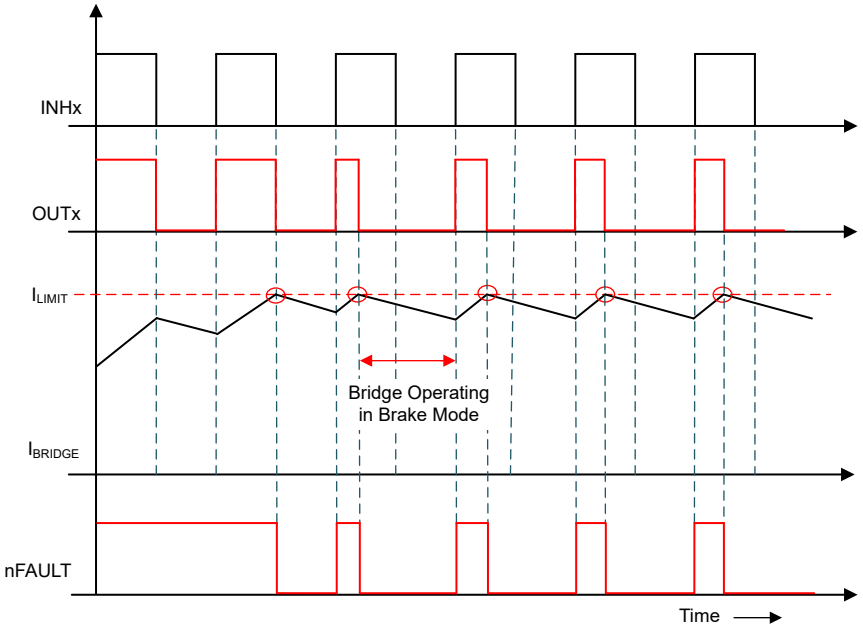


图 7-31. 逐周期电流限制运行

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

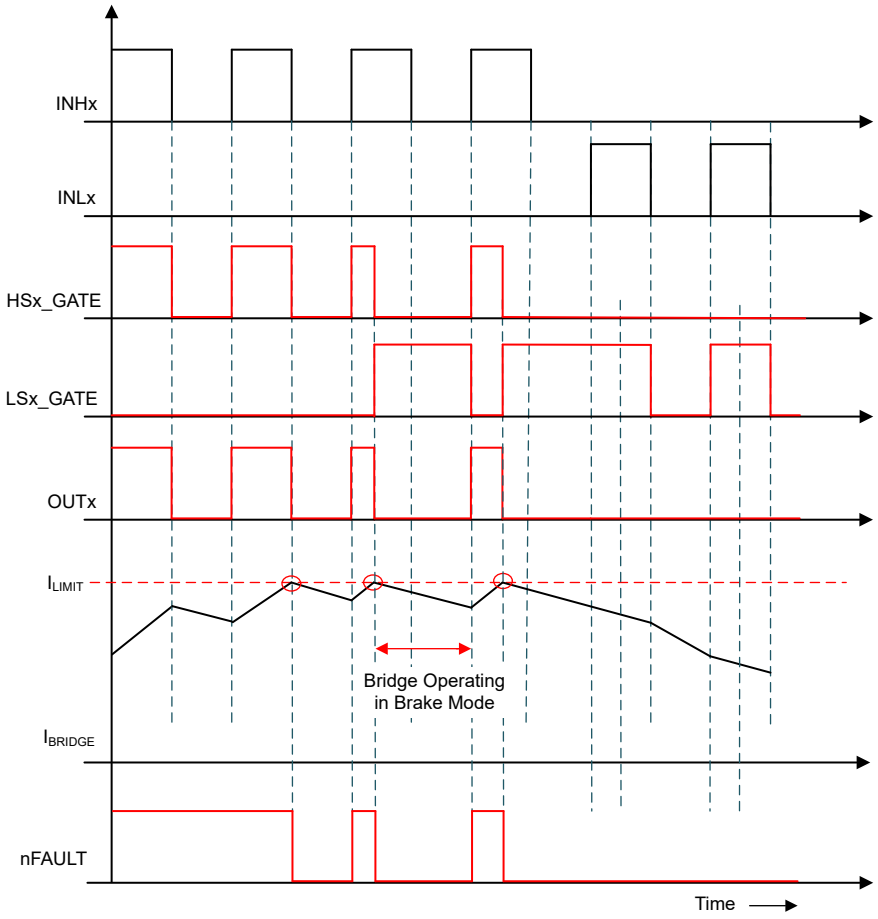


图 7-32. 低侧在制动模式下开关的逐周期电流限制运行

ADVANCE INFORMATION

ADVANCE INFORMATION

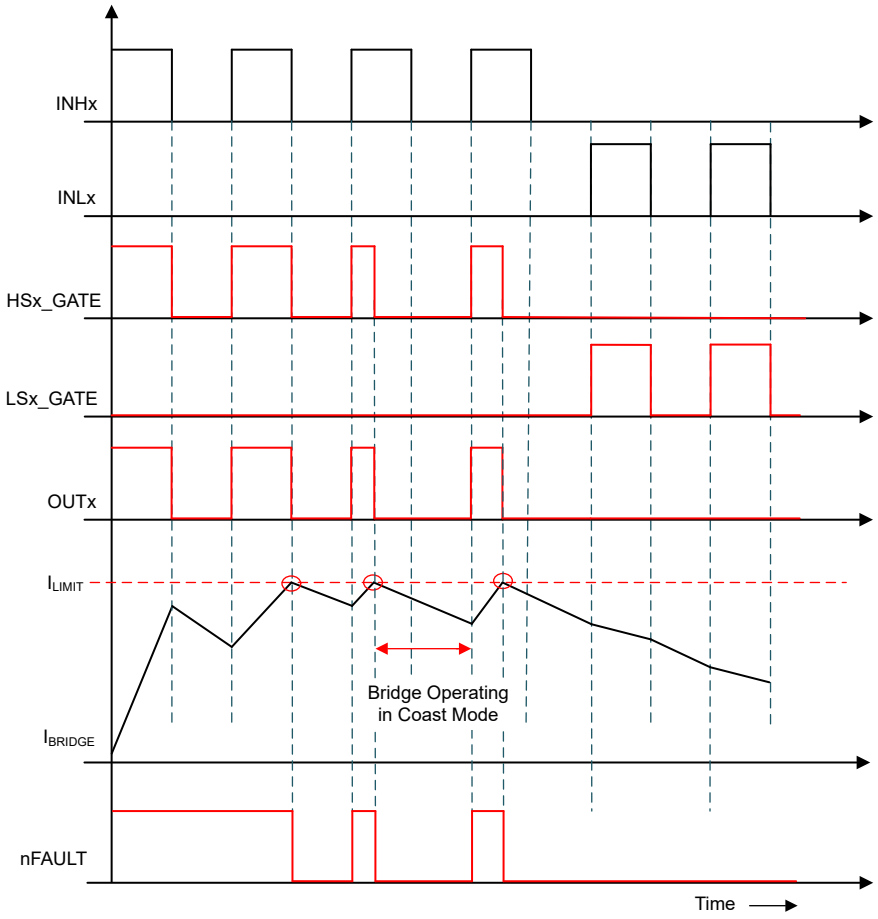


图 7-33. 低侧在滑行模式下开关的逐周期电流限制运行

图 7-34 显示了驱动器在制动模式下的运行情况，其中电流通过低侧 FET 再循环，而高侧 FET 被禁用。

图 7-35 显示了驱动器在高阻态模式下的运行情况，其中电流通过低侧 FET 的体二极管再循环，而高侧 FET 被禁用。

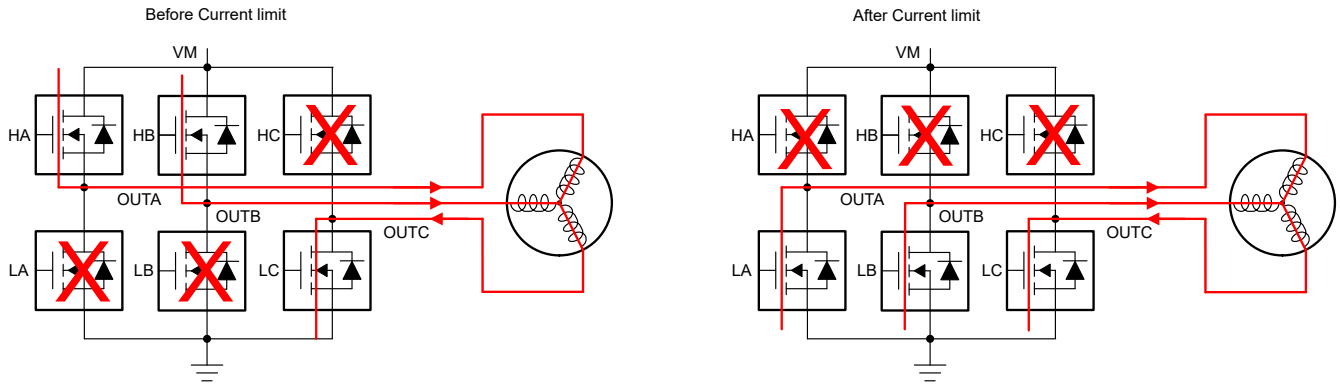


图 7-34. 制动状态

Copyright © 2026 Texas Instruments Incorporated

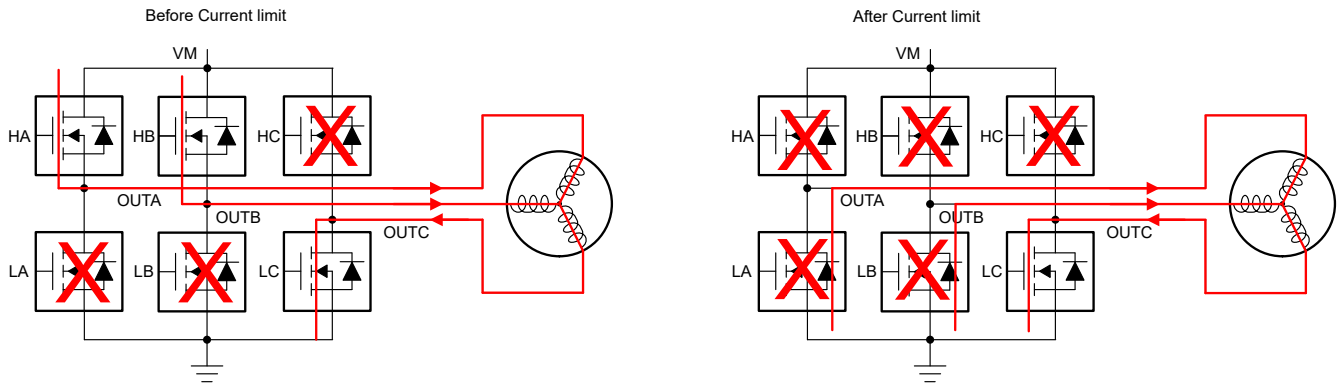


图 7-35. 滑行状态

备注

在制动运行期间，大电流会流过低侧 FET，最终会触发过流保护电路。这允许高侧 FET 的体二极管传导制动能量并将其泵送到 VM 电源轨。

ADVANCE INFORMATION

7.10.1 具有 100% 占空比输入的逐周期电流限制

如果对 PWM 输入施加 100% 占空比，则没有边沿可用于重新开启高侧 FET。为了克服此问题，DRV8378 具有内置内部 PWM 时钟，当高侧 FET 在超过 I_{LIMIT} 阈值后被禁用时，该时钟用于重新开启高侧 FET。在 SPI 型号 DRV8378 中，可以通过 PWM_100_DUTY_SEL 将此内部 PWM 时钟配置为 10kHz、20kHz 或 40kHz。在硬件型号 DRV8378 中，PWM 内部时钟设置为 20kHz。下图显示了 100% 占空比下的运行情况。

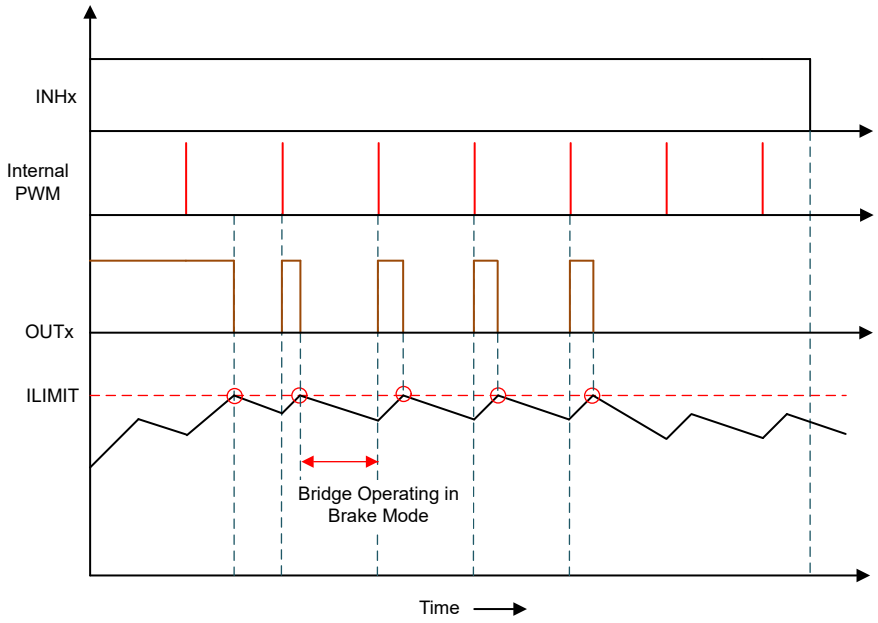


图 7-36. 具有 100% PWM 占空比的逐周期电流限制运行

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.11 保护功能

DRV8378 系列器件受到 VM 欠压、电荷泵欠压和过流事件保护。故障操作和响应 总结了各种故障详细信息。

表 7-6. 故障操作和响应

nFAULT	条件	配置	报告	H 桥	逻辑	恢复
VM 欠压 (RESET)	$V_{VM} < V_{UVLO}$	—	—	高阻态	禁用	自动： $V_{VM} > V_{UVLO_R}$ CLR_FLT，nSLEEP 复位脉冲（RESET 位）
GVDD 欠压 (RESET)	$V_{VM} > V_{UVLO}$，$V_{GVDD} < V_{GVDD_UVLO}$	外部 GVDD	—	高阻态	禁用	自动： $V_{GVDD} > V_{GVDD_UVLO}$ CLR_FLT，nSLEEP 复位脉冲（RESET 位）
GVDD 欠压 (RESET)	$V_{GVDD} < V_{GVDD_UVLO}$	—	—	高阻态	禁用	自动： $V_{GVDD} > V_{GVDD_UVLO}$ CLR_FLT，nSLEEP 复位脉冲（RESET 位）
电荷泵欠压 (VCP_UV)	$V_{CP} < V_{CPUV}$	—	nFAULT	高阻态	有效	自动： $V_{VCP} > V_{CPUV}$ CLR_FLT，nSLEEP 复位脉冲（VCP_UV 位）
过压保护 (OVP)	$V_{VM} > V_{OVP}$	OVP_MODE = 0b	无	有效	有效	无操作（OVP 禁用）
		OVP_MODE = 1b	nFAULT	高阻态	有效	自动： $V_{VM} < V_{OVP}$ CLR_FLT，nSLEEP 复位脉冲（OVP 位）
过流保护 (OCP)	$I_{PHASE} > I_{OCP}$	OCP_MODE = 00b	nFAULT	高阻态	有效	锁存： CLR_FLT，nSLEEP 复位脉冲（OCP 位）
		OCP_MODE = 01b	nFAULT	高阻态	有效	重试： t_{RETRY} CLR_FLT，nSLEEP 复位脉冲（OCP 位）
		OCP_MODE = 10b	nFAULT	有效	有效	仅报告： CLR_FLT，nSLEEP 复位脉冲（OCP 位）
		OCP_MODE = 11b	无	有效	有效	无操作
ILIMIT	$V_{ILIMIT} < V_{SO}$	ILIMFLT_MODE = 0b	无	ILIMIT 模式	有效	自动： INHx 下一个上升沿上的高侧 INLx 下一个上升沿上的低侧
		ILIMFLT_MODE = 1b	nFAULT	ILIMIT 模式	有效	自动： INHx 下一个上升沿上的高侧 INLx 下一个上升沿上的低侧
SPI 误差 (SPI_FLT)	SCLK、奇偶校验和 ADDR 故障	SPIFLT_MODE = 0b	无	有效	有效	无操作
		SPIFLT_MODE = 1b	nFAULT	有效	有效	仅报告： CLR_FLT，nSLEEP 复位脉冲（SPI_FLT 位）
OTP 误差 (OTP_ERR)	OTP 读数错误	—	nFAULT	高阻态	有效	锁存： 下电上电，CLR_FLT
热警告 (OTW)	$T_J > T_{OTW}$	OTW_MODE = 0b	无	有效	有效	无操作
		OTW_MODE = 1b	nFAULT	有效	有效	自动： $T_J < T_{OTW} - T_{OTW_HYS}$ CLR_FLT，nSLEEP 脉冲（OTW 位）
热关断 (OTSD)	$T_J > T_{TSD}$	—	nFAULT	高阻态	有效	自动： $T_J < T_{TSD} - T_{TSD_HYS}$

7.11.1 过流保护 (OCP)

可以通过监测流经 FET 的电流来检测 MOSFET 过流事件。如果流经 FET 的电流超过 I_{OCP} 阈值的时间长于 t_{OCP} 抗尖峰脉冲时间，则会识别出 OCP 事件并根据 OCP_MODE 位执行操作。在硬件接口器件上，I_{OCP} 阈值固定为最小 20A 阈值，t_{OCP_DEG} 固定为 1.45µs，并且 OCP_MODE 位配置为锁存关断。在 SPI 器件上，I_{OCP} 阈值通过 OCP_LVL 位设置，而 t_{OCP_DEG} 通过 OCP_DEG 位设置。

表 7-7 显示了 DRV8378 器件的 OCP 电平和抗尖峰脉冲时间配置。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 7-7. OCP 配置

OCP 设置	OCP_LVL 位 (SPI 型号)	最低 OCP 电平
OCP 1	OCP_LVL = 0b	20A
OCP 2	OCP_LVL = 1b	10A

OCP_MODE 位可以在四种不同的模式下运行：OCP 锁存关断、OCP 自动重试、OCP 仅报告和 OCP 禁用。

7.11.1.1 OCP 锁存关断 (OCP_MODE = 00b)

在该模式下发生 OCP 事件后，所有 MOSFET 都被禁用，并且 nFAULT 引脚被驱动至低电平。nFAULT、OCP 和相应的 FET OCP 位在 SPI 寄存器中被锁存为高电平。OCP 条件清除并通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令后，器件将再次开始正常运行 (驱动器运行且释放 nFAULT 引脚)。

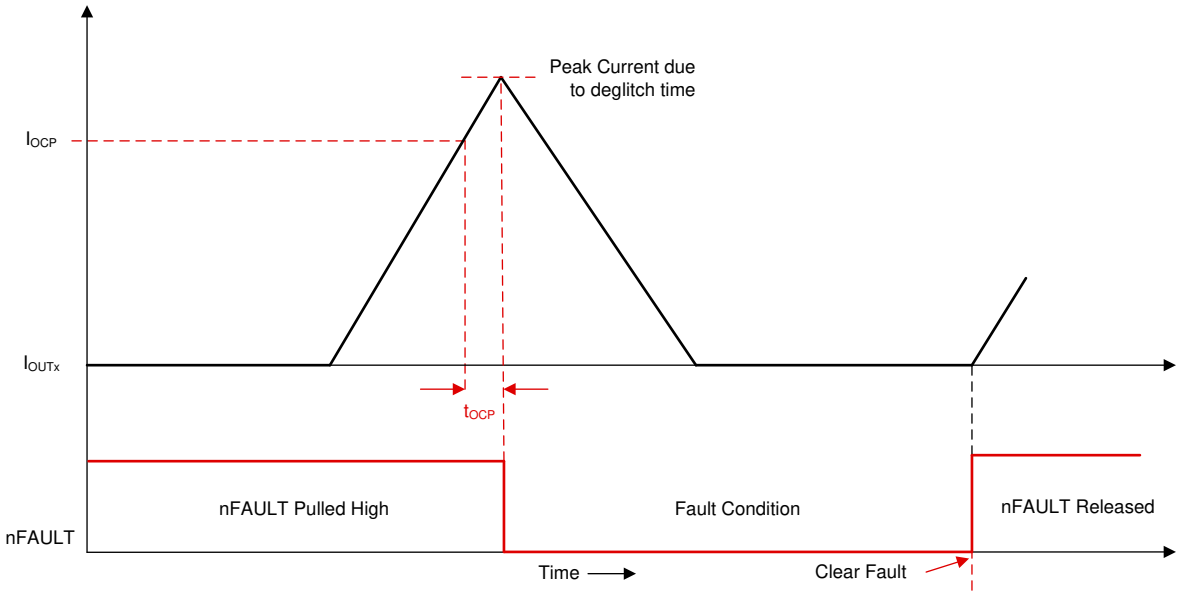


图 7-37. 过流保护 - 锁存关断模式

7.11.1.2 OCP 自动重试 (OCP_MODE = 01b)

在该模式下发生 OCP 事件后，所有 FET 都被禁用，并且 nFAULT 引脚被驱动至低电平。nFAULT、OCP 和相应的 FET OCP 位在 SPI 寄存器中被锁存为高电平。在 t_{RETRY} 时间过后，器件将自动重新开始正常运行 (驱动器运行且释放 nFAULT 引脚)。在 t_{RETRY} 时间过后，nFAULT、OCP 和相应 FET 的 OCP 位保持锁存，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令为止。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

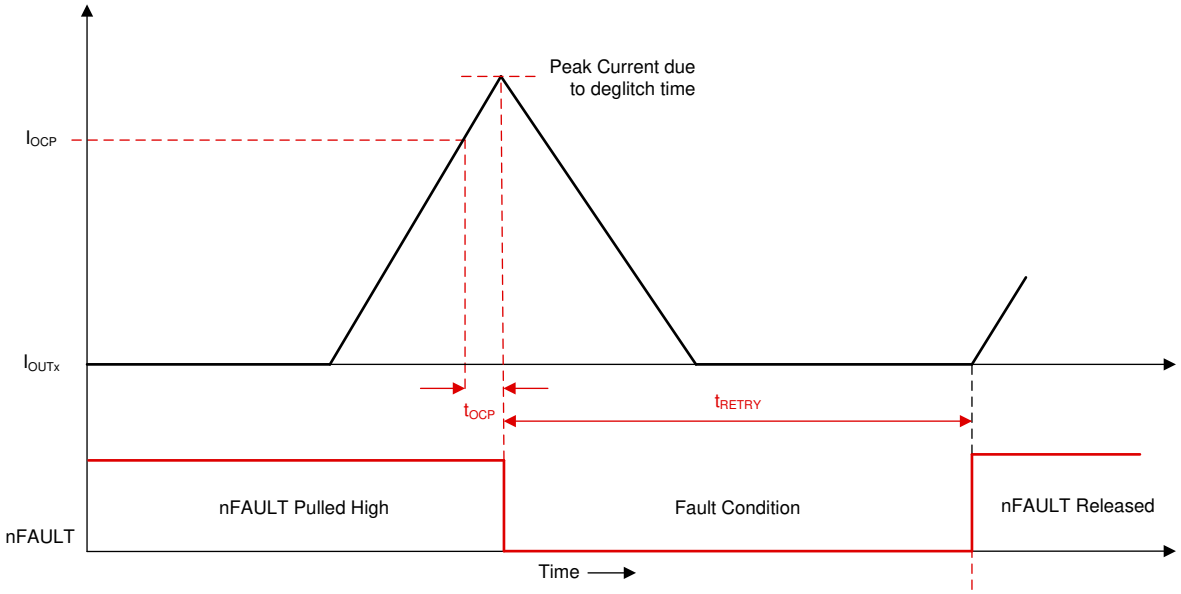


图 7-38. 过流保护 - 自动重试模式

7.11.1.3 OCP 已禁用 (OCP_MODE = 11b)

在该模式下发生 OCP 事件后不会执行任何操作。

7.11.1.4 OCP 仅报告 (OCP_MODE = 10b)

在该模式下发生 OCP 事件后不会执行任何保护性操作。可以通过将 nFAULT 引脚驱动至低电平并将 SPI 寄存器中的 nFAULT、OCP 和相应的 FET OCP 位锁定为高电平来报告过流事件。DRV8378 继续照常运行。外部控制器通过适当的操作来管理过流状况。OCP 条件清除并通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令后，报告清除（释放 nFAULT 引脚）。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.11.2 VM 电源欠压锁定 (RESET)

如果在任何时候 VM 引脚上的输入电源电压降至低于 V_{UVLO} 阈值（VM UVLO 下降阈值），所有集成式 FET、驱动器电荷泵和数字逻辑控制器都会被禁用，如图 7-39 所示。消除 VM 欠压条件后，将恢复正常运行（驱动器运行）。一旦器件假定为 VM，器件状态寄存器中的 RESET 位就会锁存为高电平。RESET 位保持高电平状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。

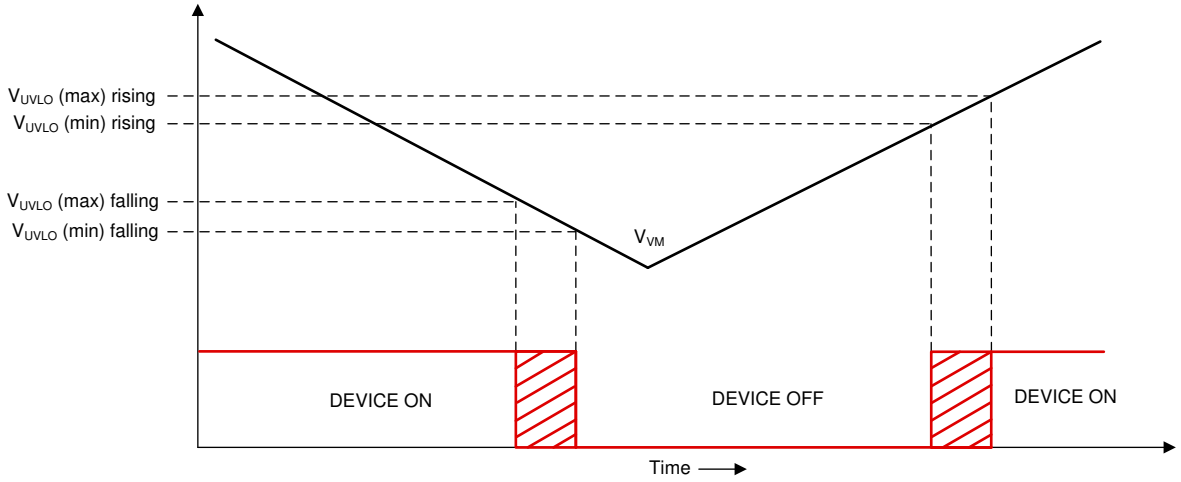


图 7-39. VM 电源欠压锁定

7.11.3 GVDD 欠压锁定 (GVDD_UV)

在任何时候，如果 GVDD 引脚上的电压降至 V_{GVDD_UV} 阈值以下，所有集成式 FET、驱动器电荷泵和数字逻辑控制器都会被禁用。消除 GVDD 欠压条件后，将恢复正常运行（驱动器运行）。一旦器件假定为 VM，器件状态寄存器中的 RESET 位就会锁存为高电平。RESET 位保持高电平状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。

7.11.4 VCP 电荷泵欠压锁定 (CPUV)

如果在任何时候 VCP 引脚（电荷泵）上的电压降至低于电荷泵的 V_{CPUV} 阈值电压，则会禁用所有集成式 FET 并将 nFAULT 引脚驱动至低电平。VCP 欠压条件清除后，器件将再次开始正常运行（驱动器运行且 nFAULT 引脚被释放）。电荷泵欠压情况通过 nFAULT 和 CPUV 位报告。当电荷泵欠压情况消失后，nFAULT 位将自动清除。CPUV 位保持置位状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。在硬件和 SPI 器件型号中始终使能 CPUV 保护。

7.11.5 过压保护 (OV)

无论 VM 引脚上的输入电源电压何时上升至高于 V_{OVP} 阈值电压，都会禁用所有集成 FET 并将 nFAULT 引脚驱动至低电平。OVP 条件清除后，器件将再次开始正常运行（驱动器运行且 nFAULT 引脚被释放）。过压通过 nFAULT 和 OVP 位报告。过压条件消失后，nFAULT 位会自动清除。OVP 位保持置位状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。在 SPI 器件上，将 OVP_MODE 位设置为高电平可启用该保护功能。在硬件接口器件上，OVP 保护功能会被禁用。

在 SPI 器件型号上，OVP 阈值也可以进行编程。OVP 阈值可以根据 OVP_SEL 位设置为 65V 或 35V。

Copyright © 2026 Texas Instruments Incorporated

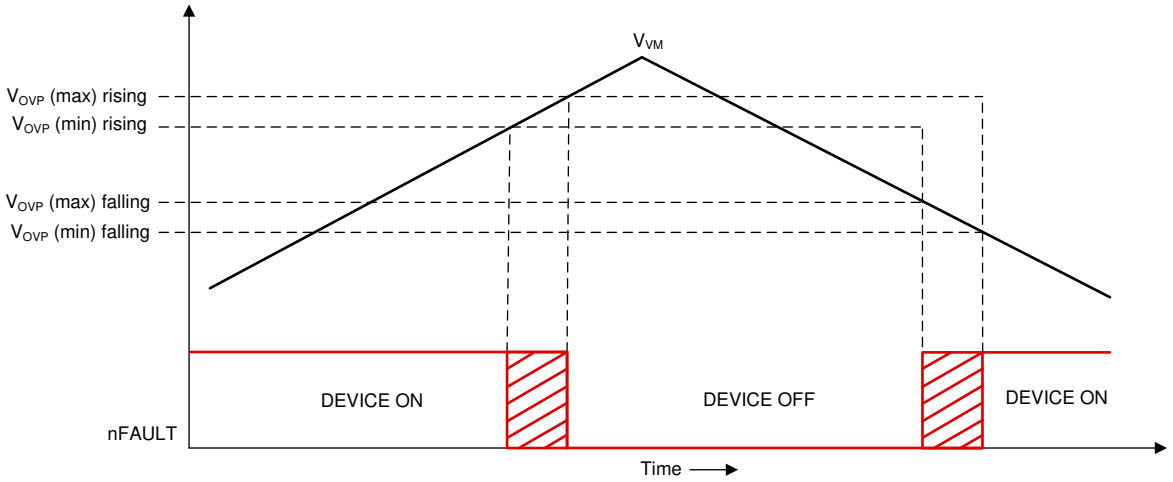


图 7-40. 过压保护

7.11.6 热警告 (OTW)

如果裸片温度超过热警告 (T_{OTW}) 的触发点，则会置位 OT 状态 (OT_STS) 寄存器中的 OT 位和器件状态寄存器中的 OTF 位。可以通过设置配置控制寄存器中的过热警告报告 (OTW_MODE) 位来启用 nFAULT 引脚上的 OTW 报告。器件不会执行任何其他操作，并且会继续运行。在这种情况下，当芯片温度降至低于热警告的迟滞点 (T_{OTW_HYS}) 时，nFAULT 引脚会释放。OTW 位保持设置状态，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 将其清除且内核温度低于热警告触发点 (T_{OTW})。在硬件型号上，默认情况下不会在 nFAULT 引脚上报告过热警告。

7.11.7 热关断 (OTS)

如果器件中的内核温度超过热关断限值 (T_{TSD}) 的跳变点，则会禁用所有 FET，关闭电荷泵，并将 nFAULT 引脚驱动至低电平。此外，还会置位 OT 状态 (OT_STS) 寄存器中的 nFAULT 和 OTSD 位以及状态寄存器中的 OTF 位。过热条件清除后，器件将重新开始正常运行（驱动器运行且 nFAULT 引脚被释放）。OTSD 位保持锁存为高电平，指示发生了热事件，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令为止。无法禁用此保护功能。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

7.12 器件功能模式

7.12.1 功能模式

7.12.1.1 睡眠模式

nSLEEP 引脚管理 DRV8378 系列器件的状态。当 nSLEEP 引脚为低电平时，该器件进入低功耗睡眠模式。在睡眠模式下，将会禁用所有 FET，禁用检测放大器，禁用电荷泵，禁用 GVDD 稳压器，并禁用 SPI 总线。必须在 nSLEEP 引脚触发下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。如果 nSLEEP 引脚被拉至高电平，那么该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

备注

在器件通过 nSLEEP 引脚上电和下电期间，nFAULT 引脚保持低电平，因为内部稳压器被启用或禁用。启用或禁用稳压器后，nFAULT 引脚会自动释放。nFAULT 引脚处于低电平的持续时间不超过 t_{SLEEP} 或 t_{WAKE} 时间。

备注

TI 建议在 nFAULT 上连接上拉电阻器（即使不使用上拉），以避免意外进入内部测试模式。如果使用外部电源上拉 nFAULT，请在加电时维持 nFAULT 拉至 > 2.2V，否则器件将进入内部测试模式。

7.12.1.2 运行模式

当 nSLEEP 引脚为高电平且 V_{VM} 电压大于 V_{UVLO} 电压时，器件将进入运行模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。在此模式下，电荷泵、GVDD 稳压器和 SPI 总线处于活动状态。

7.12.1.3 故障复位（CLR_FLT 或 nSLEEP 复位脉冲）

在器件存在锁存故障的情况下，DRV8378 系列器件会进入部分关断状态，以帮助保护功率 MOSFET 和系统。

清除故障条件后，器件可以通过设置 SPI 器件上的 CLR_FLT SPI 位或向任一接口型号上的 nSLEEP 引脚发出复位脉冲来重新进入运行状态。nSLEEP 复位脉冲 (t_{RST}) 包含 nSLEEP 引脚的高电平到低电平到高电平转换。序列的低电平周期在 t_{RST} 时间窗口内，否则器件将启动完整的关断序列。复位脉冲对任何稳压器、器件设置或其他功能块都没有影响。

7.12.2 DRVOFF 功能

DRV8378 通过 DRVOFF 引脚主动禁用前置驱动器和 MOSFET，从而绕过数字控制。将 DRVOFF 引脚拉至高电平会禁用所有六个 MOSFET。当 nSLEEP 和 DRVOFF 引脚都为高电平时，电荷泵、GVDD 稳压器和 SPI 总线将保持活动状态，而与驱动器相关的故障（例如 OCP）保持非活动状态。DRVOFF 引脚主动禁用 MOSFET，无论 INHx 和 INLx 输入引脚的状态如何，这都会停止电机换向。

备注

DRVOFF 仅适用于 29 引脚 SPI 和硬件型号。

备注

由于 DRVOFF 引脚独立禁用 MOSFET，器件可能会触发故障情况，导致 nFAULT 被逐渐拉至低电平。

Copyright © 2026 Texas Instruments Incorporated

7.13 SPI 通信

7.13.1 编程

在 DRV8378 SPI 器件上，SPI 总线用于设置器件配置、运行参数和读取诊断信息。DRV8378 使用 SPI 模式 0（数据在上升沿采样，并且在下降沿移出）。参见时序图图 6-1。SPI 采用辅助模式工作并连接到控制器。SPI 输入数据 (SDI) 字中包含一个 24 位的字，其中包括一个读取或写入位、一个奇偶校验位、6 位地址和 15 位数据与一个奇偶校验位。SPI 输出包含 24 位字，以及 8 位状态信息（STS 寄存器）和 16 位寄存器数据。

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平转换为低电平，以及从低电平转换为高电平时，SCLK 引脚必须为低电平。
- nSCS 引脚在两个字之间被拉为高电平的时间至少必须为 400ns。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于 Hi-Z 状态。
- 数据会在 SCLK 引脚的下降沿被捕捉，并在 SCLK 引脚的上升沿被传输。
- 最高有效位 (MSB) 最先移入和移出。
- 必须历经完整的 24 个 SCLK 周期，事务才有效。
- 如果发送到 SDI 引脚的数据字少于或多于 24 位，则会发生帧错误并且数据字会被忽略。
- 对于写命令，寄存器中要写入的现有数据会在 8 位状态数据之后在 SDO 引脚上移出。

SPI 寄存器在通电和睡眠模式下重置为默认设置

7.13.1.1 SPI 格式

SPI 格式 - 带奇偶校验

SDI 输入数据的字长为 24 位，包含以下格式：

- 1 个读取或写入位，W（位 B16）
- 6 个地址位，A（位 B22 至 B17）
- 奇偶校验位，P（位 B23）
- 15 个数据位和 1 个奇偶校验位，D（位 B15 到 B0）

SDO 输出数据字长为 24 位。最高有效位是状态位，最低有效 16 位是所访问寄存器的数据内容。

表 7-8. SPI 的 SDI 输入数据字格式

奇偶校验	地址							RW	奇偶校验	DATA													
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
P	A5	A4	A3	A2	A1	A0	W0	P	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

表 7-9. SDO 输出数据字格式

状态								DATA															
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
S7	S6	S5	S4	S3	S2	S1	S0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

下面详细介绍了 SPI 帧格式中使用的各个位。

读取/写入位 (R/W)：R/W (W0) 位设置为 0b 表示 SPI 写入事务。对于 SPI 读取操作，需要将 R/W 位设置为 1b。

地址位 (A)：SPI 辅助器件采用一个 6 位寄存器地址。

奇偶校验位 (P)：SPI 输入数据帧的标头和数据字段都包括用于 single-bit 错误检测的奇偶校验位 - 在表 7-8 中，B23 是标头字段的奇偶校验位，而 B15 是数据字段的奇偶校验位。使用的奇偶校验机制是偶校验，即 16 位块中的 1 数量（包括奇偶校验位）是偶数。仅当奇偶校验成功时，数据才会写入内部寄存器。可通过配置 SYS_CTRL 寄存器的 SPI_PEN 位来启用或禁用奇偶校验。默认情况下会禁用奇偶校验。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

备注

尽管默认情况下会禁用奇偶校验，但 TI 建议启用奇偶校验，以防止 single-bit 错误。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

DRV8378 可用于驱动无刷直流电机。以下设计过程可用于配置 DRV8378。

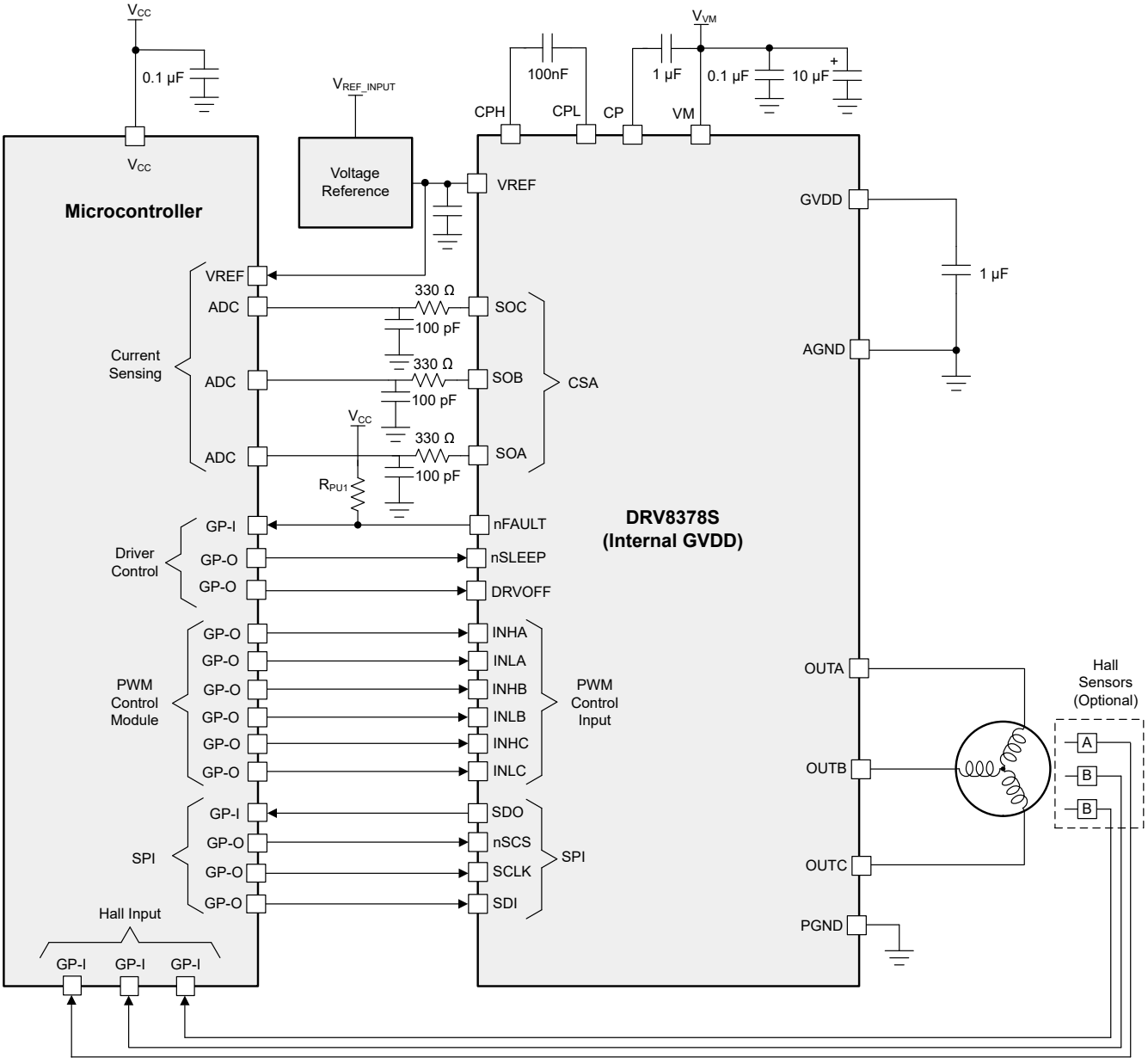


图 8-1. 29 引脚 DRV8378 SPI 型号的主要应用原理图

ADVANCE INFORMATION

ADVANCE INFORMATION

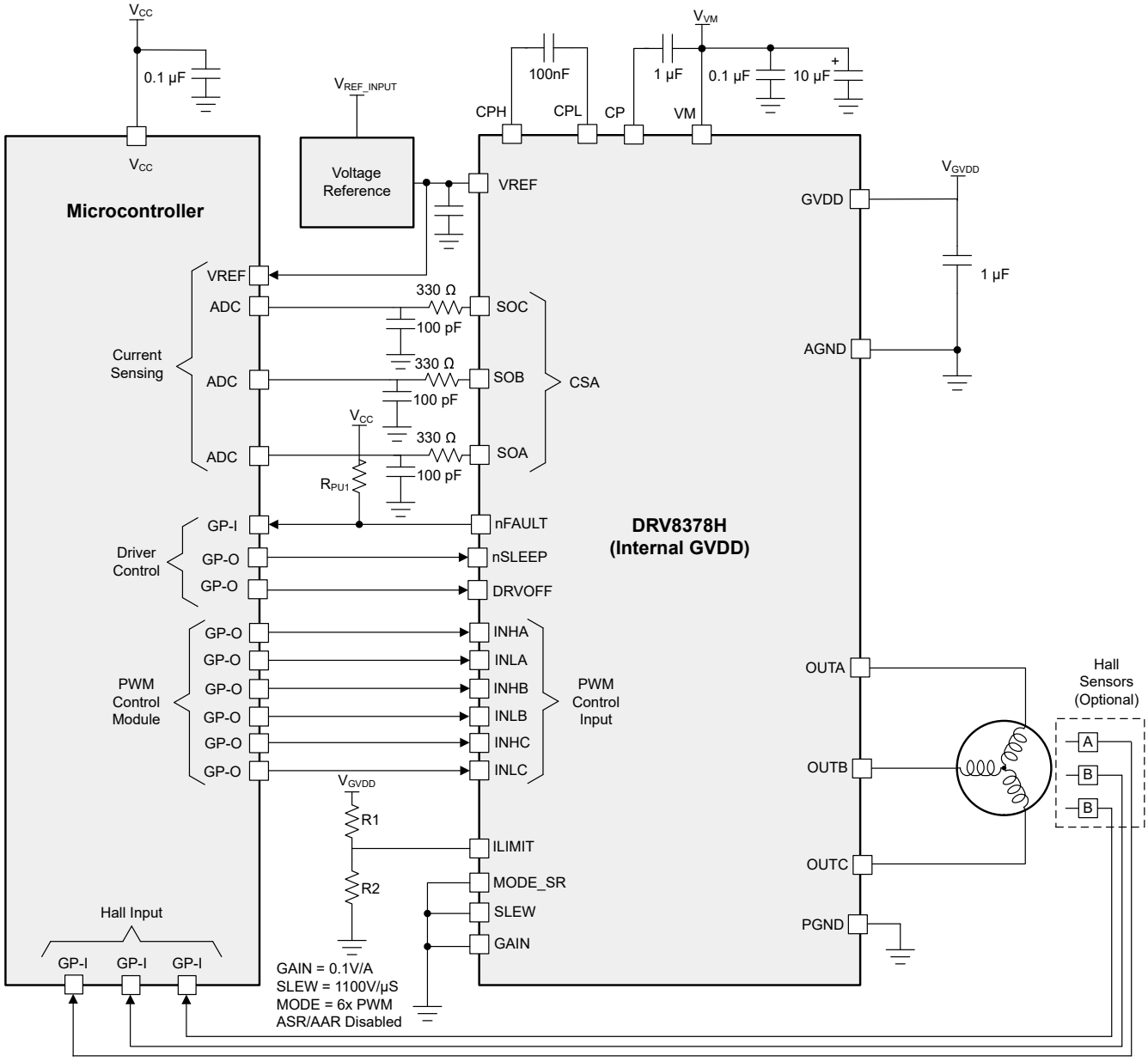


图 8-2. 29 引脚 DRV8378 硬件型号的主要应用原理图

Copyright © 2026 Texas Instruments Incorporated

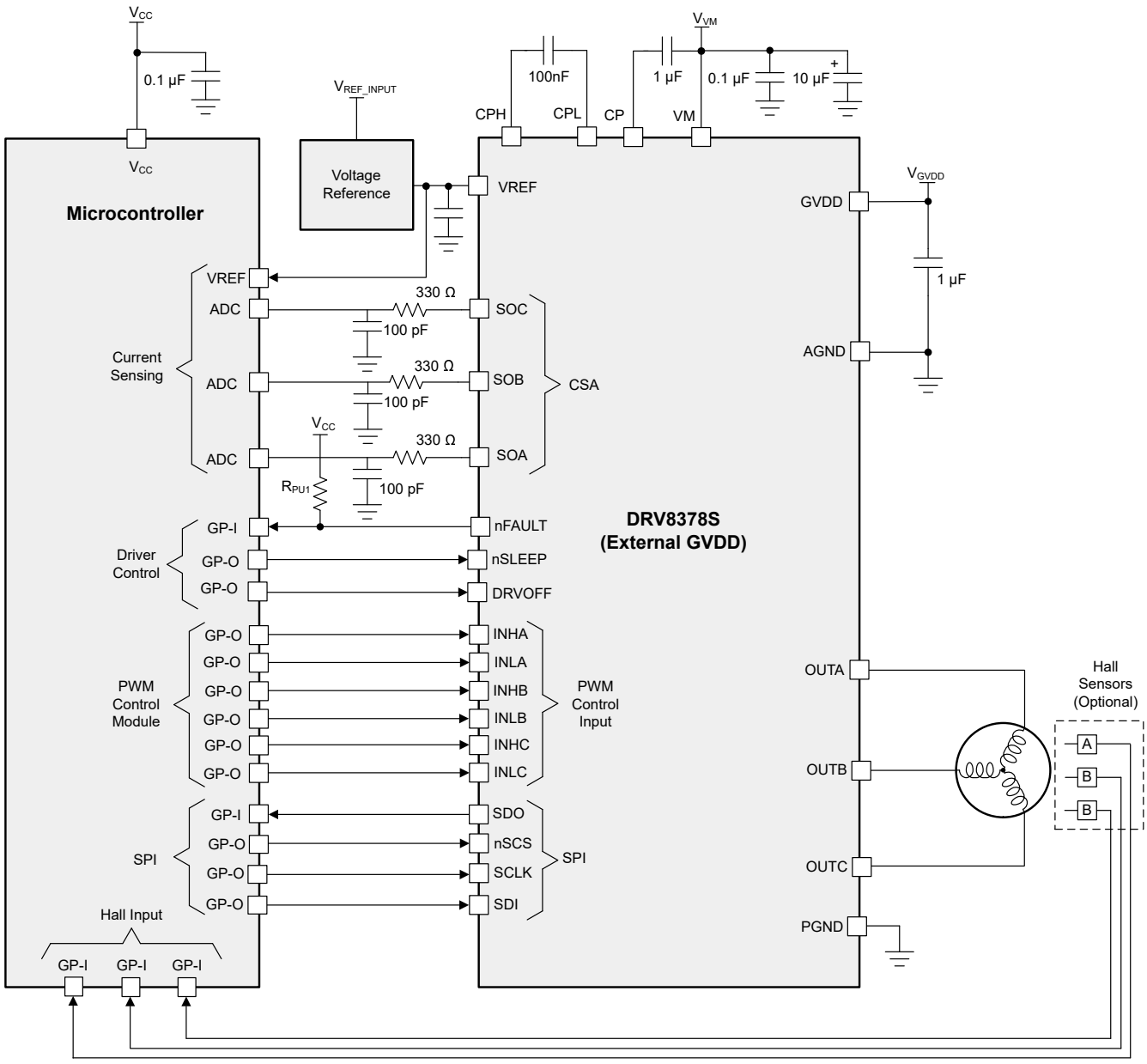


图 8-3. 29 引脚 DRV8378G SPI 型号的主要应用原理图

8.2 电源相关建议

8.2.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常更有益，但缺点在于会增加成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的电容和电流能力
- 电源和电机系统之间的寄生电感量
- 可接受的电压纹波
- 使用的电机类型（有刷直流、无刷直流、步进电机）

ADVANCE INFORMATION

ADVANCE INFORMATION

- 电机制动方法

电源与电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

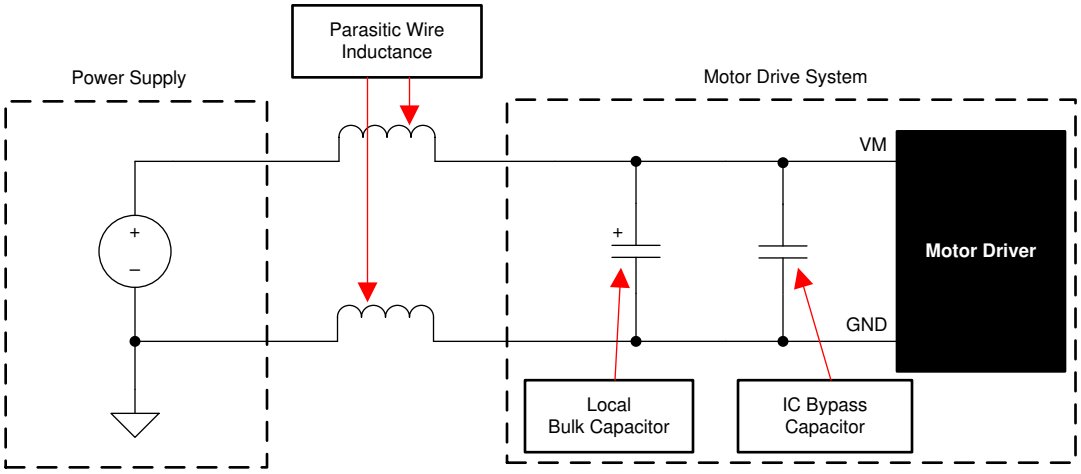


图 8-4. 带外部电源的电机驱动系统示例设置

大容量电容的额定电压必须高于工作电压，以便在电机向电源传递能量时提供裕度。

8.3 布局

8.3.1 布局指南

放置大容量电容器时，必须尽量缩短通过电机驱动器器件的大电流路径的距离。连接金属走线宽度必须尽可能宽，并且在连接 PCB 层时必须使用许多过孔。这些做法可更大限度地减少电感并允许大容量电容器提供大电流。电荷泵、GVDD 和 VREF 电容器等低容值电容器必须为陶瓷电容器，并应靠近器件引脚放置。大电流器件输出必须使用宽金属走线。

为减少大瞬态电流进入小电流信号路径的噪声耦合和 EMI 干扰，必须在 PGND 和 AGND 之间分区接地。TI 建议将所有非功率级电路连接到 AGND，以降低寄生效应并改善器件的功率耗散。保持接地端通过网络连接或宽电阻器连接，以减小电压偏移并保持栅极驱动器性能。TI 建议在 PGND 焊盘上使用过孔以提高热效率，并在器件下方布置实心 PGND 平面。必须使用多个过孔连接到大型底层接地平面。使用大金属平面和多个过孔有助于散发器件中产生的 $I^2 \times R_{DS(on)}$ 热量。

为了提高热性能，请在 PCB 的所有可能层上尽可能地增大连接到散热焊盘接地端的接地面积。使用较厚的覆铜可以降低结至空气热阻并改善芯片表面的散热。

Copyright © 2026 Texas Instruments Incorporated

8.3.2 布局示例

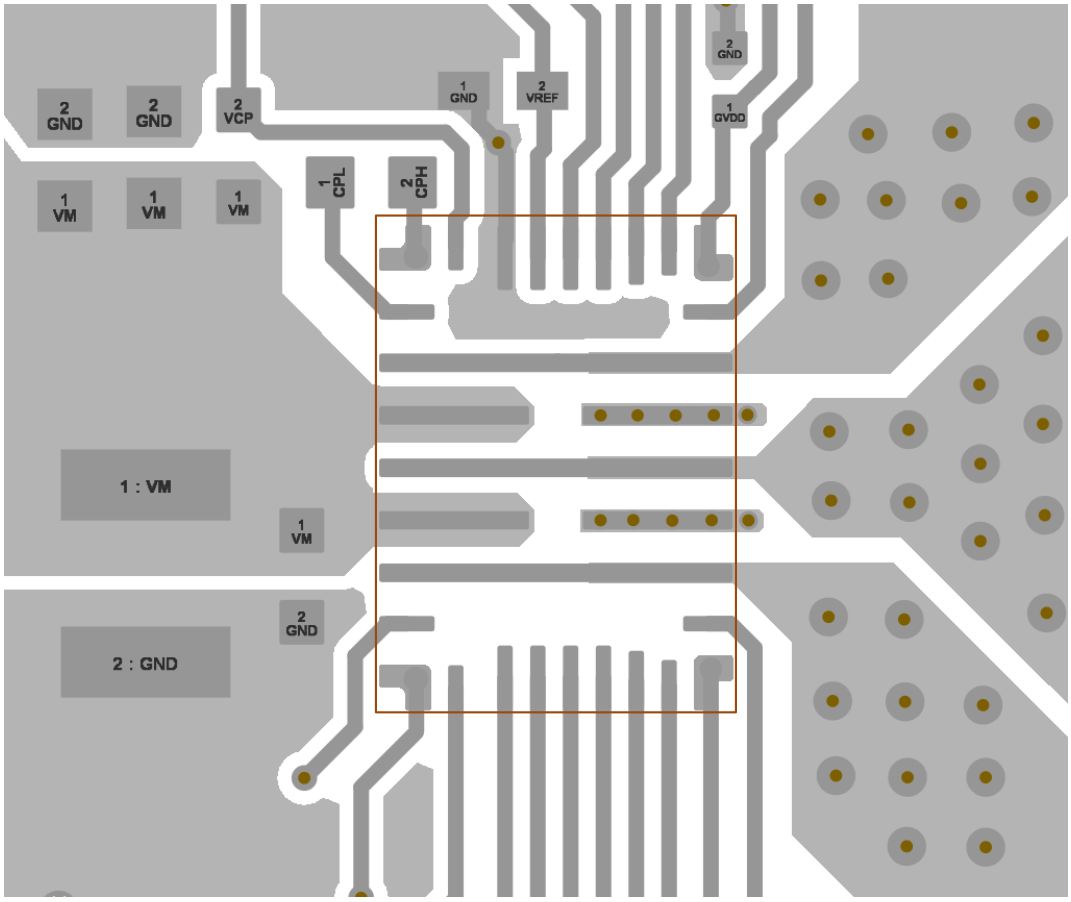


图 8-5. VQFN 29 引脚封装布局示例

ADVANCE INFORMATION

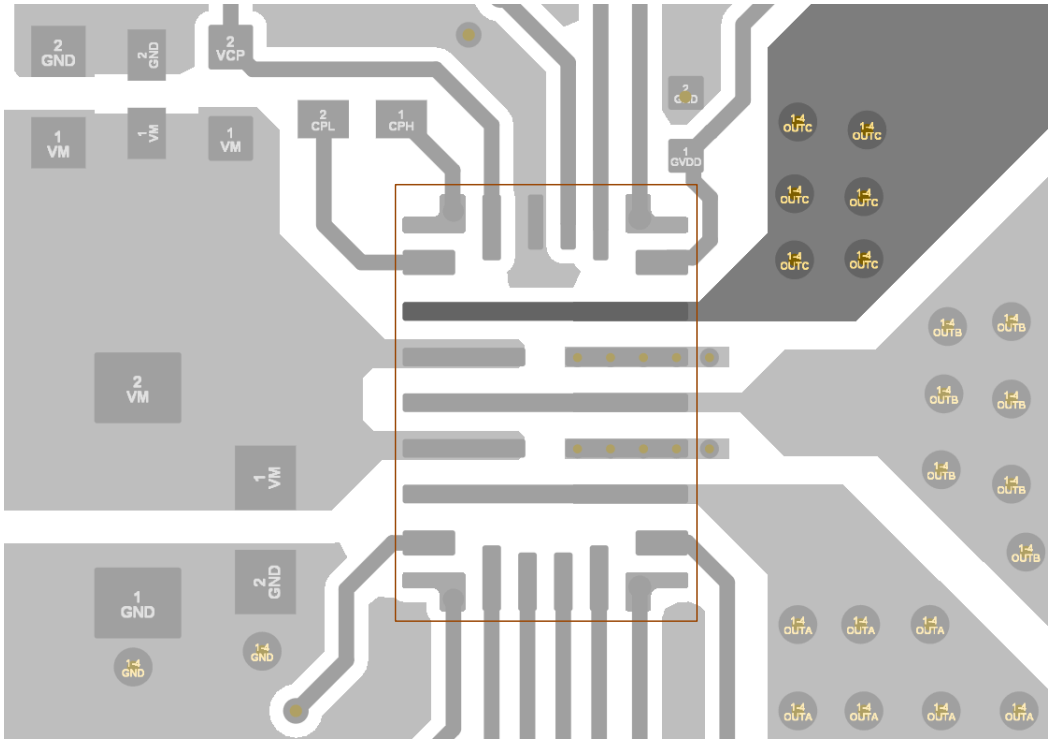


图 8-6. VQFN 23 引脚封装布局示例

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.3 散热注意事项

DRV8378 具有热关断功能 (TSD)，如前所述。如果内核温度超过 150°C（最低），则会禁用器件，直到温度降至安全水平。

如果该器件有任何进入热关断状态的倾向，则说明功耗过大、散热不足或环境温度过高。

8.3.3.1 功率耗散

DRV8378 中的功率损耗包括待机功率损耗、LDO 功率损耗、FET 导通和开关损耗以及二极管损耗。FET 导通损耗在 DRV8378 的总功率耗散中占主导地位。在启动和故障情况下，输出电流远大于正常电流；务必将这些峰值电流及持续时间考虑在内。总器件耗散是三个半桥中每个半桥耗散的总功率。器件可耗散的最大功率取决于环境温度和散热。请注意，$R_{DS,ON}$ 随温度升高而增加，因此随着器件发热，功率耗散也会增大。在设计 PCB 和散热时，应考虑这一点。

下面显示了梯形控制和场定向控制的每个损耗计算公式的摘要。

表 8-1. DRV8378 梯形和场定向控制的功率损耗

损耗类型	梯形	场定向控制
由于静态电流造成的功率损耗	$P_{standby} = VM \times I_{VM_TA}$	
LDO	$P_{LDO} = (VM-V_{GVDD}) \times I_{GVDD}$ $P_{LDO} = (VM-V_{AVDD}) \times I_{AVDD}$	
FET 导通	$P_{CON} = 2 \times (I_{PK(trap)})^2 \times R_{ds,on(TA)}$	$P_{CON} = 3 \times (I_{RMS(FOC)})^2 \times R_{ds,on(TA)}$
FET 开关	$P_{SW} = I_{PK(trap)} \times V_{PK(trap)} \times t_{rise/fall} \times f_{PWM}$	$P_{SW} = 3 \times I_{RMS(FOC)} \times V_{PK(FOC)} \times t_{rise/fall} \times f_{PWM}$
二极管	$P_{diode} = 2 \times I_{PK(trap)} \times V_{F(diode)} \times t_{DEADTIME} \times f_{PWM}$	$P_{diode} = 6 \times I_{RMS(FOC)} \times V_{F(diode)} \times t_{DEADTIME} \times f_{PWM}$

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

如要查看相关文件，请参阅以下内容：

- *访问 DRV8378 EVM 工具页面*
- *阅读集成 MOSFET 驱动器中的延迟和死区时间应用手册*
- *下载 BLDC Integrated MOSFET Thermal Calculator 工具*
- *计算电机驱动器功率耗散*，SLVA504
- *PowerPAD™ 散热增强型封装*，SLMA002
- *PowerPAD™ 速成*，SLMA004
- *采用 MSP430 且配有传感器的三相 BLDC 电机控制*，SLAA503
- *了解电机驱动器电流额定值*，SLVA505

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from Revision * (May 2026) to Revision A (August 2026)	Page
• 将电荷泵飞跨电容值从 10nF 更新为 47nF 至 100nF	18

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查看左侧的导航窗格。

Copyright © 2026 Texas Instruments Incorporated

封装选项附录

封装信息

可订购器件型号	状态	材料 类型	封装 | 引脚	包装数量 | 包装	RoHS	引脚镀层/焊球材料	MSL 等级/回流焊峰值温度	工作温度 (°C)	器件标识
PDRV8378HVERR	预览	预量产	VQFN-FCRLF (VER) | 23	500 | LARGE T&R	是	NIPDAU	Level-2-260C-UNLIM	-40 至 125°C	PDRV8378H0R

重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

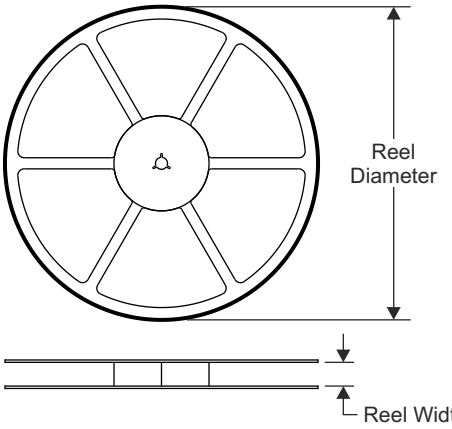
在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

ADVANCE INFORMATION

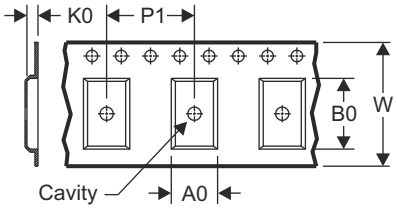
ADVANCE INFORMATION

11.1 卷带包装信息

REEL DIMENSIONS

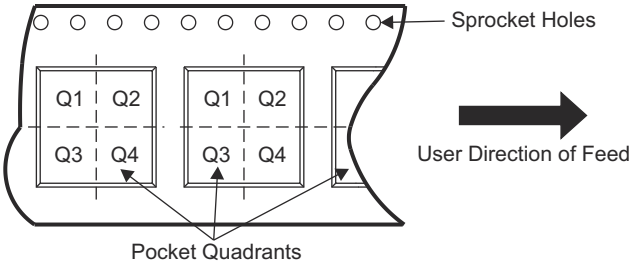


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

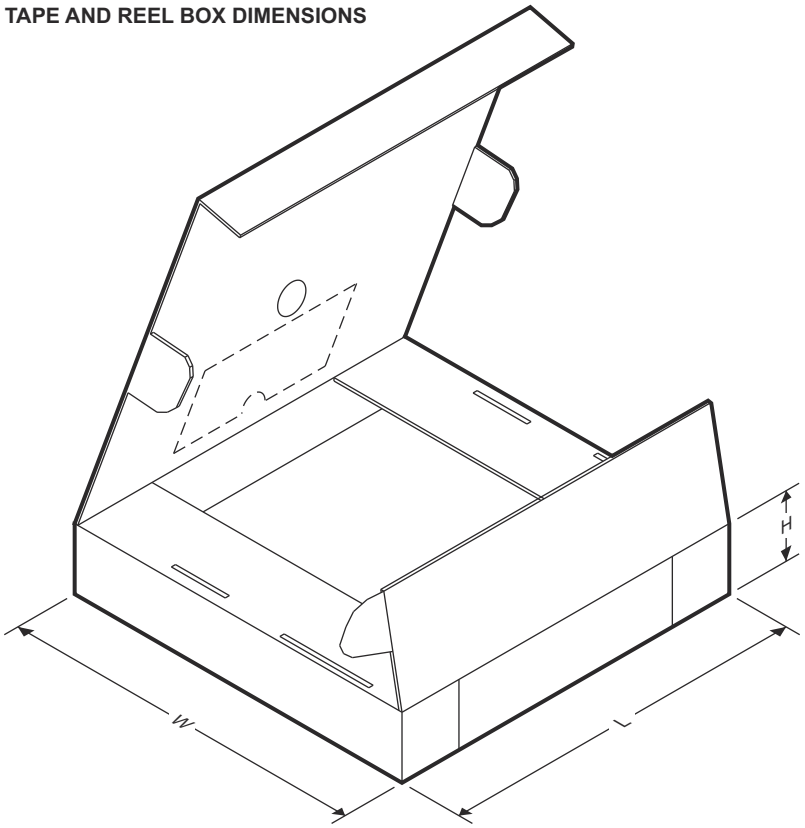
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
PDRV8378HVERR	VQFN-FCRLF	VER	23	3000	330	12.4	4.3	6.3	1.1	8.0	9.1	Q1

Copyright © 2026 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
PDRV8378HVERR	VQFN-FCRLF	VER	23	3000	470.0	380.0	36.0

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

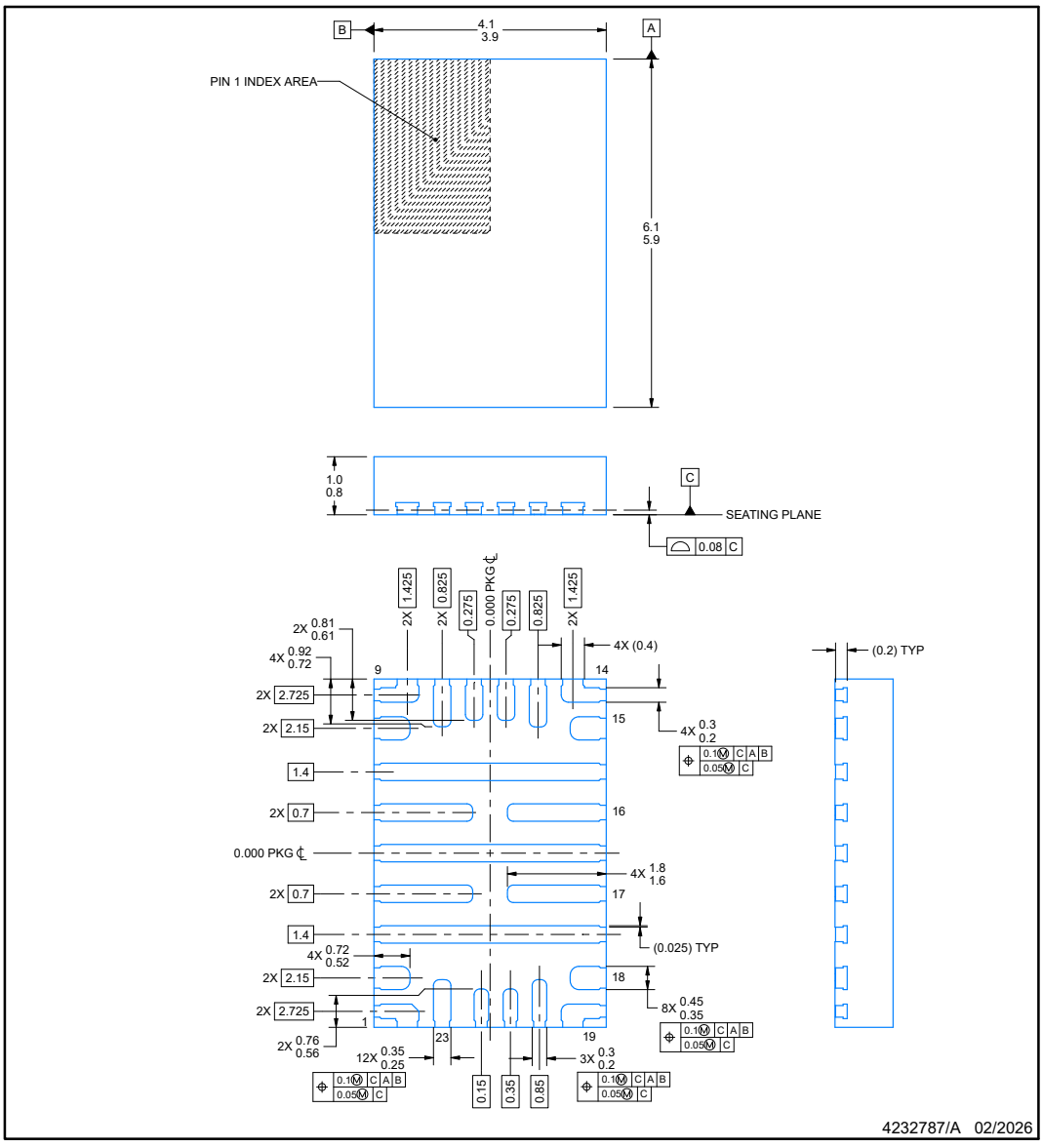
ADVANCE INFORMATION

PACKAGE OUTLINE

VER0023B

VQFN-FCRLF - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

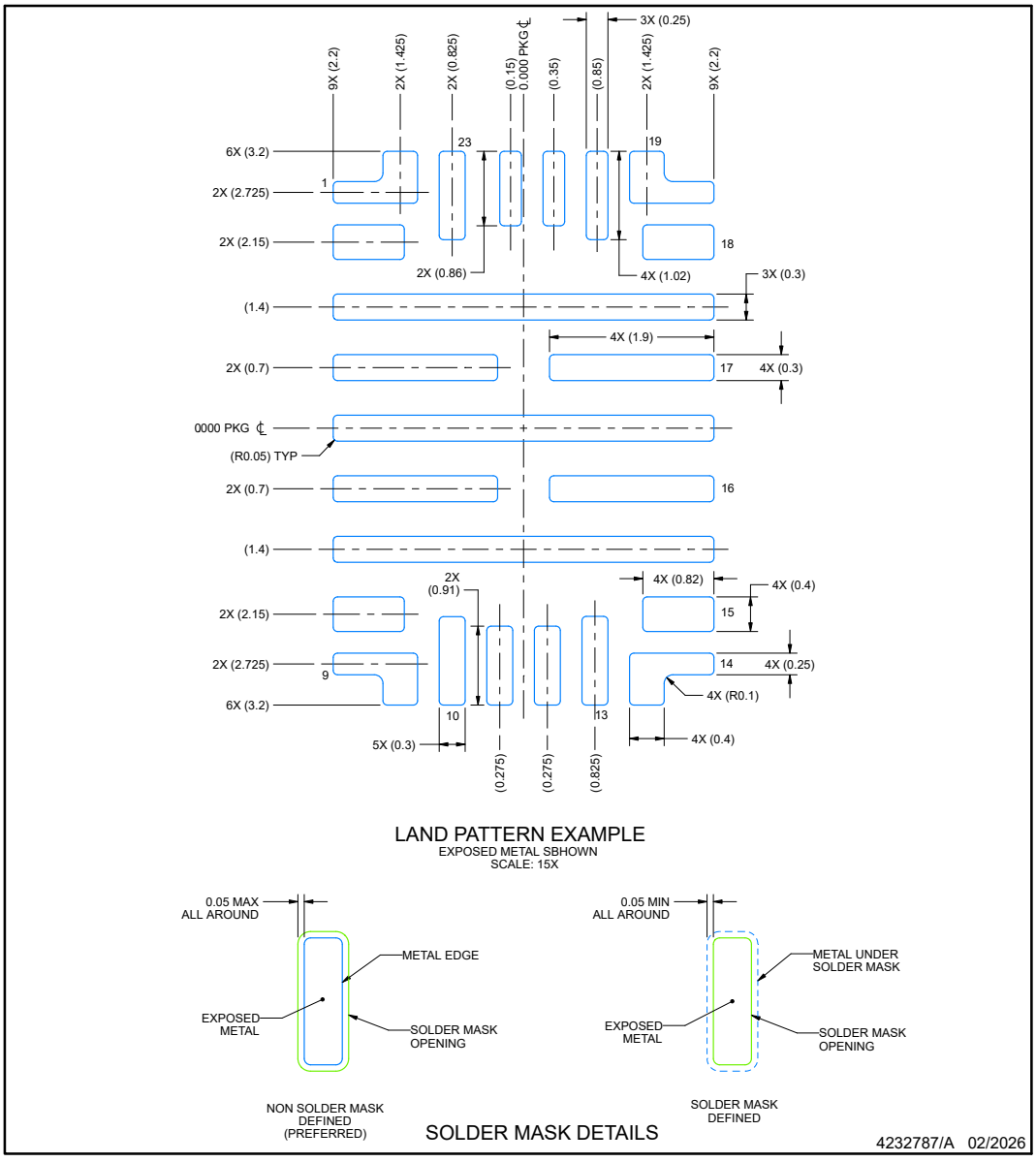
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

VER0023B — **VQFN-FCRLF - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

Copyright © 2026 Texas Instruments Incorporated

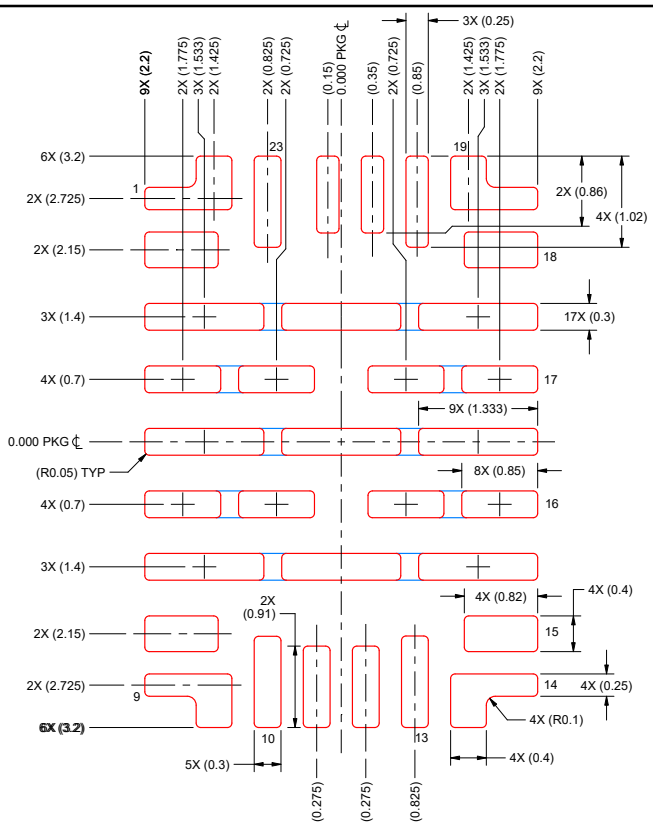
ADVANCE INFORMATION

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

VER0023B — **VQFN-FCRLF - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm TICK STENCIL
SCALE: 15X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 8, 10 & 12: 91%
PADS 9, 11, 21 & 22: 89%

4232787/A 02/2026

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV8378GHVERR	Active	Preproduction	VQFN-FCRLF (VER) | 23	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
PDRV8378HVERR	Active	Preproduction	VQFN-FCRLF (VER) | 23	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRV8378 :

- Automotive : DRV8378-Q1

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月