DRV8374-Q1 三相集成 FET 电机驱动器

1 特性

- 4.5V 至 35V 工作电压（绝对最大值 40V）
- 高输出电流能力：40A 峰值
- 低 MOSFET 导通状态电阻
  - T_A = 25°C 时，$R_{DS(ON)}$ (HS + LS) 为 17mΩ
- 通过 850V/μs 转换率和反向恢复损耗最小化技术降低开关损耗
  - 可调转换率选项
- 具有低可闻噪声、易用的电机控制功能、< 100ns 的超低死区时间和 < 100ns 的传播延迟
- 低功耗睡眠模式
  - V_{VM} = 24V、T_A = 25°C 时为 3.6μA（典型值）
- 多种控制接口选项
  - 6x PWM 控制接口
  - 3x PWM 控制接口
- 支持高达 200kHz 的 PWM 频率
- 不需要外部电流检测电阻器，内置电流检测功能
- 灵活的器件配置选项
  - DRV8374S-Q1：用于器件配置和故障状态的 5MHz 16 位 SPI
  - DRV8374H-Q1：基于硬件引脚的配置
- 支持 1.8V、3.3V 和 5V 逻辑输入
- 内置 5V (5%)、30mA LDO 稳压器（DRV8374G-Q1 除外）
- 集成保护特性
  - 电源欠压锁定 (UVLO)
  - 电荷泵欠压 (CPUV)
  - 过流保护 (OCP)
  - 热警告和热关断 (OTW/OTSD)
  - 故障条件指示引脚 (nFAULT)
  - 可选择通过 SPI 进行故障诊断

2 应用

- 无刷直流 (BLDC) 电机模块
- HVAC 电机
- 办公自动化设备
- 工厂自动化和机器人
- 汽车 HVAC 控制模块

3 说明

DRV8374-Q1 为客户提供了一种驱动 4.5V 至 35V 无刷直流电机的单芯片功率级器件。DRV8374 集成了三个 1/2 H 桥，具有 40V 的绝对最大电压和 17mΩ 的超低 $R_{DS(ON)}$（高侧 + 低侧），可提供大功率驱动能力。使用集成电流检测功能来检测电流，无需外部电流检测电阻器。带有集成式 LDO 的电源管理功能为器件生成必要的电压轨，可用于为外部电路供电。

DRV8374-Q1 实现了 6x 或 3x PWM 控制方案，可用于通过外部微控制器实现有传感器或无传感器磁场定向控制 (FOC)、正弦控制或梯形控制。DRV8374 能够驱动高达 200 kHz 的 PWM 频率。该控制方案具有高度可配置性，可通过硬件引脚或寄存器设置进行配置，涵盖范围从电机电流限制行为到故障响应。

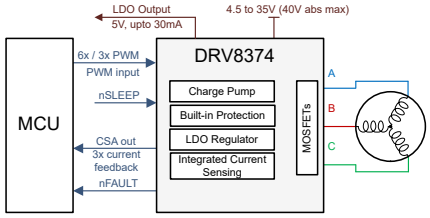
集成了多种保护特性，可在出现故障事件时保护该器件、电机和系统。有关器件使用的设计考虑因素和建议，请参考节 10.1。

DRV8374 集成了多种保护特性，可在出现故障事件时保护该器件、电机和系统。有关器件使用的设计考虑因素和建议，请参考节 10.1。

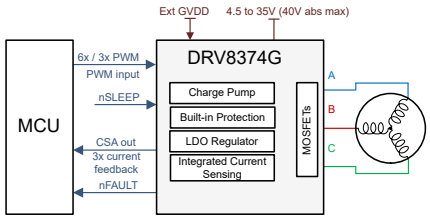
器件信息

器件型号	封装(1)	封装尺寸（标称值）
PDRV8374HQVERRQ1(2)	VQFN (23)	6.00mm x 4.00mm
PDRV8374HQVEORQ1(2)	VQFN (29)	7.00mm x 5.00mm
PDRV8374SQVEORQ1	VQFN (29)	7.00mm x 5.00mm
PDRV8374GSQVEORQ1(2)	VQFN (29)	7.00mm x 5.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 器件仅为预发布版。



DRV8374H/S 的简化原理图



DRV8374G 的简化原理图

ADVANCE INFORMATION

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

内容

1 特性 1
2 应用 1
3 说明 1
4 修订历史记录 2
5 器件比较表 3
6 引脚配置和功能 4
7 规格 7
7.1 绝对最大额定值 7
7.2 ESD 等级（汽车类） 7
7.3 建议运行条件 7
7.4 热性能信息 8
7.5 电气特性 8
7.6 SPI 时序要求 14
7.7 SPI 时序 14
8 详细说明 15
8.1 概述 15
8.2 功能方框图 16
8.3 特性说明 18
8.4 器件功能模式 42
8.5 SPI 通信 43
9 寄存器映射 44
9.1 控制寄存器 45
9.2 STATUS 寄存器 53
10 应用和实施 59
10.1 应用信息 59
10.2 电源相关建议 60
10.3 布局 61
11 器件和文档支持 64
11.1 文档支持 64
11.2 支持资源 64
11.3 商标 64
11.4 静电放电警告 64
11.5 术语表 64
12 机械、封装和可订购信息 64

4 修订历史记录

日期	修订版本	注释
2026 年 8 月	*	初始发行版。

Copyright © 2026 Texas Instruments Incorporated

5 器件比较表

器件	封装	接口
DRV8374H-Q1	23 引脚 VQFN (6mm x 4mm)	硬件，内部 GVDD 电源
DRV8374S-Q1	29 引脚 VQFN (7mm x 5mm)	SPI，内部 GVDD 电源
DRV8374H-Q1		硬件，内部 GVDD 电源

表 5-1. DRV8374S-Q1（29 引脚 SPI 型号）与 DRV8374H-Q1（29 引脚硬件型号）与 DRV8374GS-Q1（29 引脚 SPI 型号、外部 GVDD）的配置比较

参数	DRV8374S-Q1（SPI 型号 29 引脚）	DRV8374H-Q1（硬件型号 29 引脚）	DRV8374GS-Q1（SPI 型号 29 引脚外部 GVDD）
PWM 模式设置	PWM_MODE（4 个设置）	MODE_SR 引脚（4 个设置）	PWM_MODE（4 个设置）
压摆率设置	SLEW_RATE（4 个设置）	SLEW 引脚（4 个设置）	SLEW_RATE（4 个设置）
CSA 增益设置	CSA_GAIN（4 个设置）	GAIN 引脚（4 个设置）	CSA_GAIN（4 个设置）
SDO 引脚配置：模式、电压	SDO_ODEN（2 个设置）、SDO_MD（2 个设置）	不适用	SDO_ODEN（2 个设置）、SDO_MD（2 个设置）
电流限制配置：模式、在 nFAULT 上报告、消隐时间、100% 占空比 PWM 频率	ILIMFLT_MODE（2 个设置）、ILIM_MODE（2 个设置）、ILIM_BLANK_SEL（4 个设置）、PWM_100_FREQ_SEL（4 个设置）	启用 nFAULT 上的电流限制报告，固定为滑行模式，压摆率为 50V/µs 时消隐时间设置为 5.6 µs，而所有其他压摆率则为 1.8 µs，100% 占空比输入 PWM 周期固定为 20kHz	ILIMFLT_MODE（2 个设置）、ILIM_MODE（2 个设置）、ILIM_BLANK_SEL（4 个设置）、PWM_100_FREQ_SEL（4 个设置）
过压保护模式	OVP_MODE（2 个设置）、OVP_SEL（2 个设置）	禁用过压保护	OVP_MODE（2 个设置）、OVP_SEL（2 个设置）
OCP 配置：模式、电平、抗尖峰脉冲	OCP_MODE（4 个设置）、OCP_LVL（2 个设置）、OCP_DEG（4 个设置）和 OCP_TRETRY（2 个设置）	在自动重试模式下启用，电平固定为 50A 且抗尖峰脉冲时间为 1.2µs，重试时间为 5ms	OCP_MODE（4 个设置）、OCP_LVL（2 个设置）、OCP_DEG（4 个设置）和 OCP_TRETRY（2 个设置）
主动消磁：启用、比较器阈值、比较器屏蔽时间、故障期间的行为	EN_ASR（2 个设置）、EN_AAR（2 个设置）、AD_COMP_TH_HS 和 AD_COMP_TH_LS	MODE_SR（2 个设置）、主动消磁比较器阈值设置为 500mA，比较器屏蔽时间设置为 5.6 µs（50V/ µs 的转换率）和 1.8 µs（所有其他转换率）。ADMAG_TMARGIN 设置为 1.6 µs，在 OCP 期间禁用主动消磁。	EN_ASR（2 个设置）、EN_AAR（2 个设置）、AD_COMP_TH_HS 和 AD_COMP_TH_LS
过热警告	OTW_MODE（2 个设置）	在 nFAULT 上报告	OTW_MODE（2 个设置）

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6 引脚配置和功能

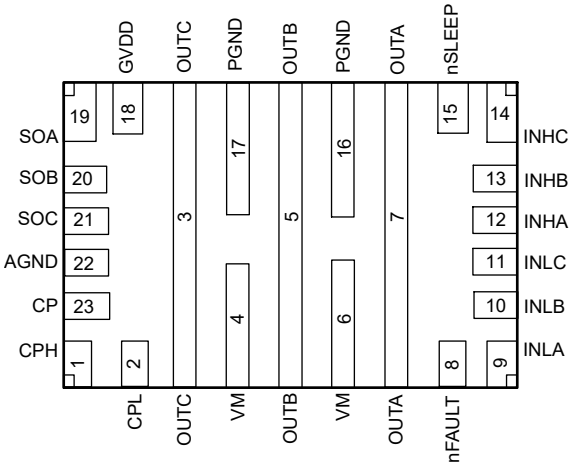


图 6-1. DRV8374-Q1 23 引脚 VQFN 顶视图

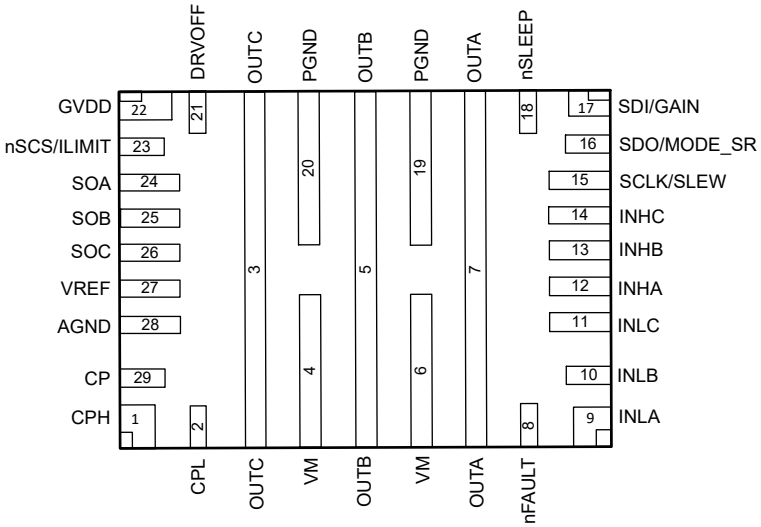


图 6-2. DRV8374-Q1 29 引脚 VQFN 顶视图

表 6-1. DRV8374-Q1 引脚功能

引脚	23 引脚 VQFN 封装	29 引脚 VQFN 封装			类型(1)	说明
名称	DRV8374H	DRV8374H	DRV8374S	DRV8374G		
AGND	22	28	28	28	GND	器件模拟接地。有关连接建议，请参阅节 10.3.1。
CP	23	29	29	29	PWR O	电荷泵输出。在 CP 和 VM 引脚之间连接一个 X5R 或 X7R、1μF、16V 的陶瓷电容器。
CPH	1	1	1	1	I	电荷泵开关节点。在 CPH 和 CPL 引脚之间连接一个 X5R 或 X7R、100nF 陶瓷电容器。TI 建议电容器的电压 CPL 电平至少是器件正常工作电压的两倍。
CPL	2	2	2	2	I	
DRVOFF	-	21	21	21	I	当该引脚拉至高电平时，功率级中的六个 MOSFET 将关断，从而使所有输出处于高阻态。
增益	-	17	-	-	I	电流检测放大器增益设置。该引脚是由外部电阻器设置的 4 电平输入引脚。

Copyright © 2026 Texas Instruments Incorporated

表 6-1. DRV8374-Q1 引脚功能（续）

引脚	23 引脚 VQFN 封装	29 引脚 VQFN 封装			类型(1)	说明
名称	DRV8374H	DRV8374H	DRV8374S	DRV8374G		
GVDD	18	22	22	22	PWR I/O	对于 DRV8374H/S：5V 内部稳压器输出。在 GVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、1μF、10V 的陶瓷电容器。该稳压器可从外部拉取高达 30mA 的电流。 对于 DRV8374G：内部前置驱动器的外部电源输入。在 GVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、1μF、10V 的陶瓷电容器。
ILIMIT	-	23	-	-		设置逐周期电流限制中使用的相电流阈值。
INHA	12	12	12	12	I	OUTA 的高侧驱动器控制输入。该引脚控制高侧 MOSFET 的输出。
INHB	13	13	13	13	I	OUTB 的高侧驱动器控制输入。该引脚控制高侧 MOSFET 的输出。
INHC	14	14	14	14	I	OUTC 的高侧驱动器控制输入。该引脚控制高侧 MOSFET 的输出。
INLA	9	9	9	9	I	OUTA 的低侧驱动器控制输入。该引脚控制低侧 MOSFET 的输出。
INLB	10	10	10	10	I	OUTB 的低侧驱动器控制输入。该引脚控制低侧 MOSFET 的输出。
INLC	11	11	11	11	I	OUTC 的低侧驱动器控制输入。该引脚控制低侧 MOSFET 的输出。
MODE_SR	-	16	-	-	I	PWM 输入模式设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
nFAULT	8	8	8	8	O	故障指示器。故障指示器配置为漏极开路输出，检测到故障条件时被拉至逻辑低电平。需要一个连接至 1.8V 至 5V 电压的外部上拉电阻器才能运行。如果使用外部电源进行上拉，则必须在加电期间将电压拉至 2.2V 以上，以防止器件进入测试模式。
nSCS	-	-	23	23	I	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。
nSLEEP	15	18	18	18	I	驱动器 nSLEEP。当该引脚为逻辑低电平时，器件进入低功耗睡眠模式。可以使用一个 20μs 至 40μs 的低电平脉冲来复位故障条件，而不进入睡眠模式。
OUTA	7	7	7	7	PWR O	半桥输出 A
OUTB	5	5	5	5	PWR O	半桥输出 B
OUTC	3	3	3	3	PWR O	半桥输出 C
PGND	16、17	19、20	19、20	19、20	GND	器件电源地。有关连接建议，请参阅节 10.3.1。
SCLK	-	-	15	15	I	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉（SPI 器件）。
SDI	-	-	17	17	I	串行数据输入。在 SCLK 引脚的下降沿捕捉数据（SPI 器件）。
SDO	-	-	16	16	O	串行数据输出。在 SCLK 引脚的上升沿移出数据。该引脚需要使用一个外部上拉电阻器（SPI 器件）。
SLEW	-	15	-	-	I	压摆率控制设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
SOA	19	24	24	24	O	A 相的电流检测放大器输出。对于 DRV8374H/S 的 29 引脚型号：电流检测放大器输出为与低侧 FET 电流成正比的电压。支持电容负载或低通滤波器（串联电阻器和电容器至 GND）。 对于 DRV8374H 的 23 引脚型号：电流检测放大器输出为与低侧 FET 电流成正比的电流。有关更多详细信息，请参阅节 8.3.10.1
SOB	20	25	25	25	O	B 相的电流检测放大器输出。对于 DRV8374H/S 的 29 引脚型号：电流检测放大器输出为与低侧 FET 电流成正比的电压。支持电容负载或低通滤波器（串联电阻器和电容器至 GND）。 对于 DRV8374H 的 23 引脚型号：电流检测放大器输出为与低侧 FET 电流成正比的电流。有关更多详细信息，请参阅节 8.3.10.1

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-1. DRV8374-Q1 引脚功能（续）

引脚	23 引脚 VQFN 封装	29 引脚 VQFN 封装			类型(1)	说明
名称	DRV8374H	DRV8374H	DRV8374S	DRV8374G		
SOC	21	26	26	26	O	C 相的电流检测放大器输出。对于 DRV8374H/S 的 29 引脚型号：电流检测放大器输出为与低侧 FET 电流成正比的电压。支持电容负载或低通滤波器（串联电阻器和电容器至 GND）。 对于 DRV8374H 的 23 引脚型号：电流检测放大器输出为与低侧 FET 电流成正比的电流。有关更多详细信息，请参阅节 8.3.10.1。
VM	4、6	4、6	4、6	4、6	PWR I	电源。连接到电机电源电压；通过两个 0.1µF 电容器（每个引脚一个）和一个额定电压为 VM 的大容量电容器旁路到 PGND。TI 建议电容器的额定电压至少是器件正常工作电压的两倍。
VREF	-	27	27	27	PWR I	电流检测放大器基准。在 VREF 和 AGND 引脚之间连接一个 X5R 或 X7R、0.1µF、6.3V 的陶瓷电容器。

(1) I = 输入，O = 输出，GND = 接地引脚，PWR = 电源，NC = 无连接

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
电源引脚电压 (VM)	-0.3	40	V
电源电压斜坡 (VM)		4	V/µs
接地引脚（PGND、AGND）之间的电压差	-0.6	0.6	V
电荷泵电压（CP、CPH）	-0.3	V_M + 6	V
电荷泵负开关引脚电压 (CPL)	-0.3	V_M + 0.3	V
模拟稳压器引脚电压 (GVDD)	-0.3	5.75	V
模拟稳压器引脚电压 (GVDD)，外部	-0.3	5.75	V
模拟引脚输入电压（VREF、ILIMIT）	-0.3	5.75	V
模拟引脚输出电压 (SOx)	-0.3	5.75	V
逻辑引脚输入电压（INHx、INLx、nSCS、SCLK、SDI）	-0.3	5.75	V
逻辑引脚输入电压（nSLEEP、DRVOFF）	-0.3	40	V
逻辑引脚输出电压 (SDO)	-0.3	5.75	V
逻辑引脚输出电压 (nFAULT)	-0.3	40	V
多电平引脚输入电压（GAIN、MODE_SR、SLEW）	-0.3	5.75	V
输出引脚电压（OUTA、OUTB、OUTC）	-1	V_M + 1	V
环境温度，T_A	-40	125	°C
结温，T_J	-40	150	°C
贮存温度，T_{stg}	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

7.2 ESD 等级（汽车类）

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1) HBM ESD 分类等级 2		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B	转角引脚	±750	
			其他引脚	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

7.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{VM}	电源电压	V_{VM}	4.5	24	35	V
f_{PWM}	输出 PWM 频率	OUTA、OUTB、OUTC			200	kHz
I_{OUT} (1)	峰值输出绕组电流	OUTA、OUTB、OUTC			40	A
V_{IN}	逻辑输入电压	DRVOFF、INHx、INLx、nSCS、nSLEEP、SCLK、SDI	-0.1		5.5	V
V_{IN}	多电平输入电压	GAIN、MODE_SR、SLEW	-0.1		GVDD	V
V_{OD}	开漏上拉电压	nFAULT、SDO、FG	-0.1		5.5	V

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

在工作环境温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{SDO}	推挽电压	SDO	-0.1		GVDD	V
I_{OD}	开漏输出电流	nFAULT、SDO、FG			5	mA
V_{VREF}	电压基准引脚电压	VREF	2.2		5.5	V
ILIMIT	用于电流限制的电压基准	ILIMIT	-0.1		5.5	V
T_A	工作环境温度		-40		125	°C
T_J	工作结温		-40		150	°C

(1) 必须遵循功率耗散和热限值

7.4 热性能信息

热指标(1)		DRV8374H、DRV8374S		单位
		29 引脚	23 引脚	
$R_{\theta JA}$	结至环境热阻	24.42	26.23	°C/W
$R_{\theta JB}$	结至电路板热阻	8.09	4.87	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	13.34	15.51	°C/W
Ψ_{JT}	结至顶部特征参数	0.34	0.41	°C/W
Ψ_{JB}	结至电路板特征参数	8.35	6.98	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

7.5 电气特性

T_J = –40°C 至 +150°C，V_{VM} = 4.5V 至 35V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 24V

参数		测试条件	最小值	典型值	最大值	单位
电源（内部 GVDD）						
I_{VMQ}	VM 睡眠模式电流	V_{VM} > 6V，nSLEEP = 0，T_A = 25°C		3.6	5.5	µA
		nSLEEP = 0		3.6	6.7	µA
I_{VMS}	VM 待机模式电流	V_{VM} > 6V，nSLEEP = 1，INHx = INLx = 0，SPI = “关闭”，T_A = 25°C		2.5	3	mA
		nSLEEP = 1，INHx = INLx = 0，SPI = “关闭”		2.5	3.4	mA
I_{VM}	VM 工作模式电流	V_{VM} > 6V，nSLEEP = 1，f_{PWM} = 20kHz		6.5	7.8	mA
		nSLEEP =1，f_{PWM} = 20kHz		6.5	8	mA
		nSLEEP =1，f_{PWM} = 100kHz		21.5	28.2	mA
V_{GVDD}	模拟稳压器电压	0mA ≤ I_{GVDD} ≤ 30mA；（外部负载）；VM > 6V	4.75	5	5.25	V
V_{GVDD}	模拟稳压器电压	0mA ≤ I_{GVDD} ≤ 15mA；（外部负载）；VM = 4.5V	3.7		4.5	V
I_{GVDD}	外部模拟稳压器负载				30	mA
I_{SC_GVDD}	GVDD 上的短路电流	GVDD 短接至 4.5 (VM>6V)	50		100	mA
V_{VCP}	电荷泵稳压器电压	以 VM 为基准的 VCP (VM > 5V)	4	5	6	V
V_{VCP}	电荷泵稳压器电压	以 VM 为基准的 VCP (4.5V < VM < 5V)	3.5	4.5	5	V
t_{WAKE}	唤醒时间	V_{VM} > V_{UVLO}，nSLEEP = 1 以使输出就绪，且 nFAULT 已释放			5.5	ms
t_{SLEEP}	睡眠脉冲时间	nSLEEP = 0 进入睡眠模式的周期	120			µs
t_{RST}	复位脉冲时间	nSLEEP = 0 复位故障的周期	20		40	µs
电源（外部 GVDD - 仅适用于 DRV8374G）						

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

T_J = –40°C 至 +150°C，V_{VM} = 4.5V 至 35V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 24V

参数		测试条件	最小值	典型值	最大值	单位
I_{VMQ}	VM 睡眠模式电流	V_{VM} > 6V，nSLEEP = 0，T_A = 25°C		3.5	5.5	μA
I_{VMQ}	VM 睡眠模式电流	nSLEEP = 0		3.5	6.7	μA
I_{VMQ}	VM 待机模式电流	V_{VM} > 6V，nSLEEP = 1，INHx = INLx = 0，SPI = “关闭”，T_A = 25°C		0.4	0.8	mA
I_{VMQ}	VM 待机模式电流	nSLEEP = 1，INHx = INLx = 0，SPI = “关闭”		0.35	0.9	mA
I_{VMQ}	VM 工作模式电流	V_{VM} > 6V，nSLEEP = 1，f_{PWM} = 20kHz，T_A = 25°C		2.9	4.4	mA
I_{VMQ}	VM 工作模式电流	nSLEEP =1，f_{PWM} = 20kHz		2.9	4.6	mA
I_{VMQ}	VM 工作模式电流	nSLEEP =1，f_{PWM} = 100kHz		14.5	20	mA
I_{GVDD}	GVDD 睡眠模式电流	nSLEEP = 0，T_A = 25°C			100	μA
I_{GVDD}	GVDD 睡眠模式电流	nSLEEP = 0			130	μA
I_{GVDD}	GVDD 待机模式电流	nSLEEP = 1，INHx = INLx = 0，SPI = “关闭”，T_A = 25°C		1.9	2.3	mA
I_{GVDD}	GVDD 待机模式电流	nSLEEP = 1，INHx = INLx = 0，SPI = “关闭”			2.5	mA
I_{GVDD}	GVDD 工作模式电流	nSLEEP =1，f_{PWM} = 20kHz		2.7	3.3	mA
I_{GVDD}	GVDD 工作模式电流	nSLEEP =1，f_{PWM} = 100kHz		7.5	9	mA
t_{wake}	唤醒时间	V_{VM} > V_{UVLO}，nSLEEP = 1 以使输出就绪，且 nFAULT 已释放			5.5	ms
逻辑电平输入（DRVOFF、INHx、INLx、nSLEEP、SCLK、SDI）						
V_{IL}	输入逻辑低电平电压		0		0.6	V
V_{IH}	输入逻辑高电平电压	nSLEEP、INLx、DRVOFF	1.6		5.5	V
		其他引脚	1.5		5.5	V
V_{HYS}	输入逻辑迟滞	nSLEEP	240	450	570	mV
		其他引脚	180	300	500	mV
I_{IL}	输入逻辑低电平电流	V_{PIN}（引脚电压）= 0V	-1		1	μA
I_{IH}	输入逻辑高电流	nSLEEP、DRVOFF、V_{PIN}（引脚电压）= 5V	5		35	μA
I_{IH}	输入逻辑高电流	其他引脚，V_{PIN}（引脚电压）= 2V	15		75	μA
R_{PD}	输入下拉电阻	nSLEEP	150	200	300	kΩ
R_{PD}	输入下拉电阻	DRVOFF	150	200	300	kΩ
t_{FILT}	滤波时间常数	DRVOFF	1	2	3	μs
C_{ID}	输入电容			30		pF
逻辑电平输入 (nSCS)						
V_{IL}	输入逻辑低电平电压		0		0.6	V
V_{IH}	输入逻辑高电平电压		1.5		5.5	V
V_{HYS}	输入逻辑迟滞		180	350	550	mV
I_{IL}	输入逻辑低电平电流	V_{PIN}（引脚电压）= 0V			75	μA
I_{IH}	输入逻辑高电流	V_{PIN}（引脚电压）= 5V	-1		25	μA
R_{PU}	输入上拉电阻		160	200	260	kΩ
C_{ID}	输入电容			30		pF
四电平输入（GAIN、MODE_SR、SLEW）						
V_{L1}	输入模式 1 电压	连接至 AGND	0		0.2*GVDD	V

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{VM} = 4.5V 至 35V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 24V

参数		测试条件	最小值	典型值	最大值	单位
V_{L2}	输入模式 2 电压	高阻态	0.27*GVDD	0.5*GVDD	0.55*GVDD	V
V_{L3}	输入模式 3 电压	94kΩ +/- 5% 连接至 GVDD	0.6*GVDD	0.76*GVDD	0.9*GVDD	V
V_{L4}	输入模式 4 电压	连接至 GVDD	0.95*GVDD		GVDD	V
R_{PU}	输入上拉电阻	至 GVDD	120	200	260	kΩ
R_{PD}	输入下拉电阻	至 AGND	120	200	260	kΩ
开漏输出 (nFAULT)						
V_{OL}	输出逻辑低电平电压	I_{OD} = 5mA			0.4	V
I_{OH}	输出逻辑高电平电流	V_{OD} = 5V	-1		1	µA
C_{OD}	输出电容				30	pF
推挽式输出 (SDO)						
V_{OL}	输出逻辑低电平电压	I_{OP} = 5mA	0		0.4	V
V_{OH}	输出逻辑高电压	I_{OP} = 5mA，推挽	3.4		5.5	V
I_{OL}	输出逻辑低电平漏电流	V_{OP} = 0V，	-1		1	µA
I_{OH}	输出逻辑高电平漏电流	V_{OP} = 5V	-1		1	µA
C_{OD}	输出电容				30	pF
驱动器输出						
$R_{DS(ON)}$	MOSFET 总导通电阻（高侧 + 低侧）	V_{VM} > 6V，I_{OUT} = 1A，T_A = 25°C		17	21	mΩ
		V_{VM} < 6V，I_{OUT} = 1A，T_A = 25°C		17.5	21.5	mΩ
		V_{VM} > 6V，I_{OUT} = 1A，T_J = 150°C		29	33	mΩ
		V_{VM} < 6V，I_{OUT} = 1A，T_J = 150°C		30	34	mΩ
SR	相位引脚压摆率从低切换到高（从 20% 上升到 80%）	V_{VM} = 24V，SLEW = 00b 或 SLEW 引脚连接至 AGND，I_{OUTx} = 2A	430	850	1360	V/us
		V_{VM} = 24V，SLEW = 01b 或 SLEW 引脚连接至 Hi-Z，I_{OUTx} = 2A	250	480	760	V/us
		V_{VM} = 24V，SLEW = 10b 或 SLEW 引脚连接至 95.3kΩ +/- 5% 至 GVDD，I_{OUTx} = 2A	120	250	380	V/us
		V_{VM} = 24V，SLEW = 11b 或 SLEW 引脚连接至 GVDD，I_{OUTx} = 2A	22	45	90	V/us
SR	相位引脚压摆率从高切换到低（从 80% 下降到 20%）	V_{VM} = 24V，SLEW = 00b 或 SLEW 引脚连接至 AGND，I_{OUTx} = 2A	430	975	1360	V/us
		V_{VM} = 24V，SLEW = 01b 或 SLEW 引脚连接至 Hi-Z，I_{OUTx} = 2A	250	480	760	V/us
		V_{VM} = 24V，SLEW = 10b 或 SLEW 引脚连接至 95.3kΩ +/- 5% 至 GVDD，I_{OUTx} = 2A	120	250	380	V/us
		V_{VM} = 24V，SLEW = 11b 或 SLEW 引脚连接至 GVDD，I_{OUTx} = 2A	22	64	90	V/us
I_{LEAK}	OUTx 上的漏电流	V_{OUTx} = V_{VM}，nSLEEP = 1			0.3	mA
	OUTx 上的漏电流	V_{OUTx} = 0V，nSLEEP = 1			1	µA

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{VM} = 4.5V 至 35V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 24V

参数		测试条件	最小值	典型值	最大值	单位
t_{DEAD}	输出死区时间（高电平到低电平/低电平到高电平）	V_{VM} = 24V，SLEW = 00b 或 SLEW 引脚连接至 AGND，HS 驱动器开启至 LS 驱动器关闭		65	130	ns
		V_{VM} = 24V，SLEW = 01b 或 SLEW 引脚连接至高阻态，HS 驱动器开启至 LS 驱动器关闭		100	200	ns
		V_{VM} = 24V，SLEW = 10b 或 SLEW 引脚连接至 95.3kΩ +/- 5% 至 GVDD，HS 驱动器开启至 LS 驱动器关闭		100	230	ns
		V_{VM} = 24V，SLEW = 11b 或 SLEW 引脚连接至 GVDD，HS 驱动器开启至 LS 驱动器关闭		125	550	ns
t_{PD}	传播延迟（高侧/低侧开/关）	V_{VM} = 24V， = 1 至 OUTx 切换，SLEW = 00b 或 SLEW 引脚连接至 AGND		26	65	ns
		V_{VM} = 24V， = 1 至 OUTx 切换，SLEW = 01b 或 SLEW 引脚连接至 Hi-Z		30	75	ns
		V_{VM} = 24V， = 1 至 OUTx 切换，SLEW = 10b 或 SLEW 引脚连接至 95.3kΩ +/- 5% 至 GVDD		60	105	ns
		V_{VM} = 24V， = 1 至 OUTx 切换，SLEW = 11b 或 SLEW 引脚连接至 GVDD		500	800	ns
t_{MIN_PULSE}	最小输出脉冲宽度	SLEW = 00b 或 SLEW 引脚连接至 AGND	100			ns
电流检测（23 引脚封装）						
G_{CSA}	电流检测调节增益			0.04		mA/A
G_{CSA_ERR}	电流检测调节增益误差	T_J = 25°C，RLOAD < 2.5kΩ	-3		3	%
G_{CSA_ERR}	电流检测调节增益误差	T_J = 25°C，2.5kΩ < RLOAD < 5kΩ	-6		6	%
G_{CSA_ERR}	电流检测调节增益误差	RLOAD < 2.5kΩ	-5		5	%
G_{CSA_ERR}	电流检测调节增益误差	2.5kΩ < RLOAD < 5kΩ	-7		7	%
I_{MATCH}	相位之间的电流检测调节不匹配	T_J = 25°C，RLOAD < 2.5kΩ	-4.3		4.3	%
I_{MATCH}	相位之间的电流检测调节不匹配	T_J = 25°C，2.5kΩ < RLOAD < 5kΩ	-8.5		8.5	%
I_{MATCH}	相位之间的电流检测调节不匹配	RLOAD < 2.5kΩ	-6		6	%
I_{MATCH}	相位之间的电流检测调节不匹配	2.5kΩ < RLOAD < 5kΩ	-8.5		8.5	%
I_{OS_PH}	电流检测偏移（以主 FET 为基准）	LS FET 电流 = 0	-200		200	mA
I_{DRIFT}	电流检测输出漂移（以主 FET 电流为基准）	LS FET 电流 = 0	-1200		1200	μA/℃
V_{FS_CSA}	电流检测输出电压范围	LS FET 电流 < 30A	0.35		GVDD - 0.4	V
t_{SET}	精度达 ±2% 的稳定时间	SOx 上的阶跃 = 1.2V，RLOAD < 2.5kΩ，CLOAD < 30pF，CSA 输出上拉电压 = V_{MID_EXT}			1	μs
t_{SET}	精度达 ±1% 的趋稳时间	SOx 上的阶跃 = 1.2V，RLOAD < 2.5kΩ，CLOAD < 30pF，CSA 输出上拉电压 = V_{MID_EXT}		1.2	1.5	μs
t_{SET}	精度达 ±1% 的趋稳时间	SOx 上的阶跃 = 1.2V，2.5kΩ < RLOAD < 5kΩ，CLOAD < 30pF，CSA 输出上拉电压 = V_{MID_EXT}			3	μs
t_{DELAY}	从 INLx 开启到电流检测放大器开启的延迟	SLEW_RATE = 00b			0.5	μs

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{VM} = 4.5V 至 35V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 24V

参数		测试条件	最小值	典型值	最大值	单位
PSRR	电源抑制比	VM 至 SOx，10kHz	39			dB
PSRR	电源抑制比	VM 至 SOx，100kHz	10			dB
R_{MIN}	CSA 输出端的最小等效电阻		0.65			kΩ
电流检测放大器（29 引脚封装）						
G_{CSA}	电流检测增益（SPI 器件）	CSA_GAIN = 00		0.04		V/A
G_{CSA}	电流检测增益（SPI 器件）	CSA_GAIN = 01		0.08		V/A
G_{CSA}	电流检测增益（SPI 器件）	CSA_GAIN = 02		0.16		V/A
G_{CSA}	电流检测增益（SPI 器件）	CSA_GAIN = 03		0.32		V/A
G_{CSA}	电流检测增益（硬件器件）	GAIN 引脚连接至 AGND		0.04		V/A
G_{CSA}	电流检测增益（硬件器件）	GAIN 引脚至高阻态		0.08		V/A
G_{CSA}	电流检测增益（硬件器件）	GAIN 引脚至 95.3kΩ ± 5% 至 GVDD		0.16		V/A
G_{CSA}	电流检测增益（硬件器件）	GAIN 引脚连接至 GVDD		0.32		V/A
G_{CSA_ERR}	电流检测增益误差	TJ = 25°C，1A < LS FET 电流 < 20A	-4		4	%
G_{CSA_ERR}	电流检测增益误差	1A < LS FET 电流 < 20A	-5.5		5.5	%
G_{CSA_ERR}	电流检测增益误差	TJ = 25°C，LS FET 电流 < 1A	-4		4	%
I_{MATCH}	A、B 和 C 相之间的电流检测增益误差匹配	T_A = 25°C	-4		4	%
		T_A = -40°C 至 125°C	-7		7	%
FS_{POS}	满标量程正电流测量	LS FET 中电流方向为从 PGND 到 OUTx，VREF = 3.3V	20			A
FS_{NEG}	满标量程负电流测量	LS FET 中电流方向为从 OUTx 到 PGND，VREF = 3.3V			-40	A
V_{LINEAR}	SOX 输出电压线性范围	VREF <= VGVDD	0.25		VREF-0.25	V
V_{LINEAR}	SOX 输出电压线性范围	VREF > VGVDD	0.25		VGVDD - 0.25	V
t_{SET}	精度达 ±2% 的趋稳时间，30pF	SOX 上的阶跃 = 1.4V			1	µs
t_{SET}	达到 ±1% 的稳定时间，30pF	SOX 上的阶跃 = 1.4V		1.2	1.5	µs
I_{OFFSET}	电流检测偏移（以 OUTx 为基准）	T_J = 25°C，相电流 = 0A	-150	33	150	mA
I_{DRIFT}	电流检测温漂（以 OUTx 为基准）	相电流 = 0A	-1000		1000	µA/℃
$t_{CSA_ON_DELAY}$	从 INLx 开启到电流检测放大器开启的延迟	SR = 1000V/µs、500V/µs 或 250V/µs			500	ns
$t_{CSA_ON_DELAY}$	从 INLx 开启到电流检测放大器开启的延迟	SR = 50V/µs			1500	ns
V_{VREF_GOOD}	VREF 正常电压				2.2	V
I_{VREF}	VREF 输入电流	VREF = 3.0V，nSLEEP = 0 或 1			25	µA
PSRR	电源抑制比	VM 至 SOx，10kHz	39		56	dB
		VM 至 SOx，100kHz	10		22	dB
逐脉冲电流限制						
I_{LIMIT}	与 VLIM 引脚电压范围对应的电流限制（DRV8374H、MCT8374）		0		50	A
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 00b、01b 或 10b，ILIM_BLANK_SEL = 00b，硬件型号		1.75		µs
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 00b、01b 或 10b，ILIM_BLANK_SEL = 01b		2.25		µs
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 00b、01b 或 10b，ILIM_BLANK_SEL = 10b		2.75		µs

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{VM} = 4.5V 至 35V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 24V

参数		测试条件	最小值	典型值	最大值	单位
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 00b、01b 或 10b，ILIM_BLANK_SEL = 11b		3.75		µs
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 11b，ILIM_BLANK_SEL = 00b，硬件型号		5.5		µs
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 11b，ILIM_BLANK_SEL = 01b		6		µs
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 11b，ILIM_BLANK_SEL = 10b		6.5		µs
t_{BLANK}	逐周期电流限制消隐时间	SLEW = 11b，ILIM_BLANK_SEL = 11b		7.5		µs
保护电路						
V_{UVLO}	电源欠压锁定 (UVLO)	VM 上升	4.1	4.35	4.5	V
		VM 下降	3.9	4.15	4.3	V
V_{UVLO_HYS}	电源欠压锁定迟滞	上升至下降阈值	90	200	350	mV
t_{UVLO}	电源欠压抗尖峰脉冲时间		3	6	10	µs
V_{OVP}	电源过压保护 (OVP)（SPI 器件）	电源电压上升，OVP_MODE = 1，OVP_SEL = 0	33	34	35	V
		电源电压下降，OVP_MODE = 1，OVP_SEL = 0	32.5	33.5	34.5	V
		电源电压上升，OVP_MODE = 1，OVP_SEL = 1	20	22	23	V
		电源电压下降，OVP_MODE = 1，OVP_SEL = 1	19	21	22	V
V_{OVP_HYS}	电源过压保护 (OVP)（SPI 器件）	上升至下降阈值，OVP_SEL = 0	0.8	1	1.1	V
		上升至下降阈值，OVP_SEL = 1	0.6	0.8	0.9	V
t_{OVP}	电源过压抗尖峰脉冲时间		8.5	14	18	µs
V_{CPUV}	电荷泵欠压锁定（高于 VM）	电源上升	2.1	2.4	3.2	V
		电源下降	1.8	2.45	2.95	V
V_{CPUV_HYS}	电荷泵 UVLO 迟滞	上升至下降阈值	200	210	300	mV
V_{GVDD_UV}	GVDD 稳压器欠压锁定	电源上升	3.1	3.3	3.7	V
V_{GVDD_UV}	GVDD 稳压器欠压锁定	电源下降	2.9	3.1	3.5	V
$V_{GVDD_UV_HYS}$	模拟稳压器欠压锁定迟滞	上升至下降阈值	170	190	310	mV
I_{OCP}	过流保护跳变点（SPI 器件）	OCP_LVL = 00b 或 01b	50		115	A
I_{OCP}	过流保护跳变点（SPI 器件）	OCP_LVL = 10b 或 11b	25		60	A
I_{OCP}	过流保护跳变点（硬件器件）		50		115	A
t_{OCP}	过流保护抗尖峰脉冲时间（SPI 器件）	OCP_DEG = 00b	0.4	0.8	1.4	µs
		OCP_DEG = 01b	0.8	1.45	2	µs
		OCP_DEG = 10b	1.2	1.8	2.7	µs
		OCP_DEG = 11b	1.6	2.2	3.2	µs
	过流保护抗尖峰脉冲时间（硬件器件）		0.8	1.45	2	µs
t_{RETRY}	过流保护重试时间（SPI 器件）	OCP_TRETRY = 0	4	5	6	ms
		OCP_TRETRY = 1	425	500	575	ms
t_{RETRY}	过流保护重试时间（硬件器件）		4	5	6	ms
T_{OTW}	热警告温度	芯片温度 (T_J)	125	135	145	°C
T_{OTW_HYS}	热警告迟滞	芯片温度 (T_J)	25	30	35	°C
T_{TSD}	热关断温度	芯片温度 (T_J)	165	175	185	°C

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

T_J = –40°C 至 +150°C，V_{VM} = 4.5V 至 35V（除非另有说明）。典型限值适用于 T_A = 25°C、V_{VM} = 24V

参数		测试条件	最小值	典型值	最大值	单位
T_{TSD_HYS}	热关断迟滞	芯片温度 (T_J)	25	30	35	°C

7.6 SPI 时序要求

		最小值	标称值	最大值	单位
t_{READY}	上电后 SPI 就绪			1	ms
t_{HI_nSCS}	nSCS 最短高电平时间	500			ns
t_{SU_nSCS}	nSCS 输入设置时间	25			ns
t_{HD_nSCS}	nSCS 输入保持时间	25			ns
t_{SCLK}	SCLK 最小周期	200			ns
t_{SCLKH}	SCLK 最短高电平时间	100			ns
t_{SCLKL}	SCLK 最短低电平时间	100			ns
t_{SU_SDI}	SDI 输入数据设置时间	25			ns
t_{HD_SDI}	SDI 输入数据保持时间	25			ns
t_{DLY_SDO}	SDO 输出数据延迟时间			25	ns
t_{EN_SDO}	SDO 启用延迟时间			50	ns
t_{DIS_SDO}	SDO 禁用延迟时间			50	ns

7.7 SPI 时序

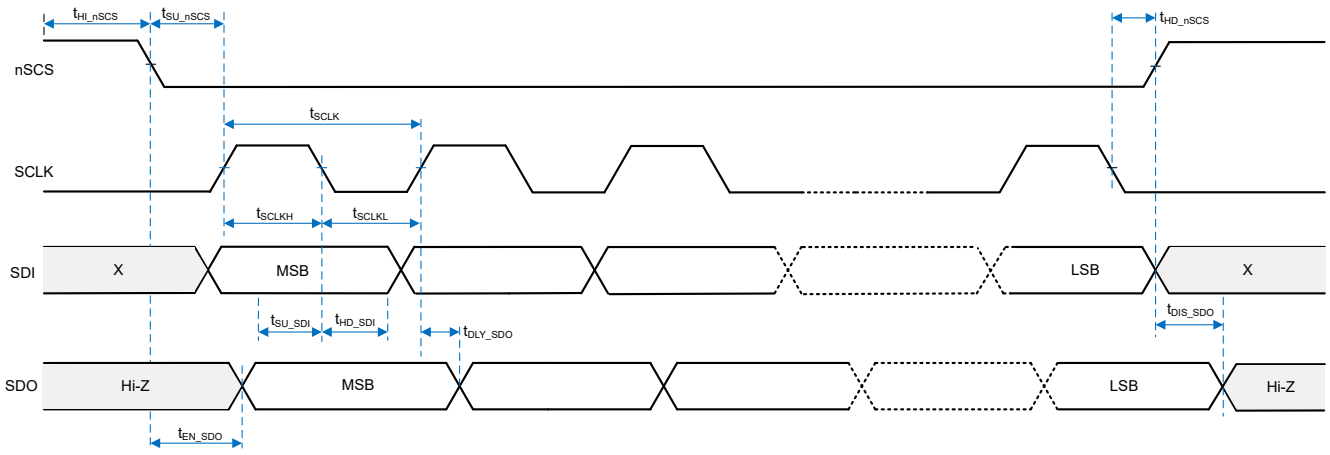


图 7-1. SPI 辅助模式时序

备注

上述计时示意图适用于推挽模式下的 SPI

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

8 详细说明

8.1 概述

DRV8374-Q1 器件是一款集成式 17mΩ（高侧和低侧 MOSFET 的导通状态电阻之和）驱动器，适用于三相电机驱动应用。该器件通过集成三个半桥 MOSFET、栅极驱动器、电荷泵、电流检测放大器以及用于外部负载的线性稳压器，降低了系统元件数量、成本和复杂性。标准的串行外设接口 (SPI) 提供了一种简单的方法，可通过外部控制器配置各种器件设置和读取故障诊断信息。或者，硬件接口 (H/W) 选项允许通过固定外部电阻器来配置常用的设置。

该架构使用内部状态机来防止发生短路事件，并防止内部功率 MOSFET 发生 dv/dt 寄生导通。

DRV8374-Q1 器件集成了三个双向电流检测放大器，旨在使用内置电流检测来监测流过每个低侧 MOSFET 的电流。可通过 SPI 或硬件接口调整放大器的增益设置。

除了高度的器件集成之外，DRV8374-Q1 器件还提供广泛的集成保护功能。这些功能包括电源欠压锁定 (UVLO)、电荷泵欠压锁定 (CPUV)、过流保护 (OCP)、GVDD 欠压锁定 (GVDD_UV) 和过热关断（OTW 和 OTSD）。故障事件由 nFAULT 引脚指示，可在 SPI 器件版本的 SPI 寄存器中获得详细信息。

DRV8374-Q1 器件采用 VQFN hotrod 表面贴装封装，尺寸为 6mm x 4mm（23 引脚）和 7mm x 5mm（29 引脚）。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

8.2 功能方框图

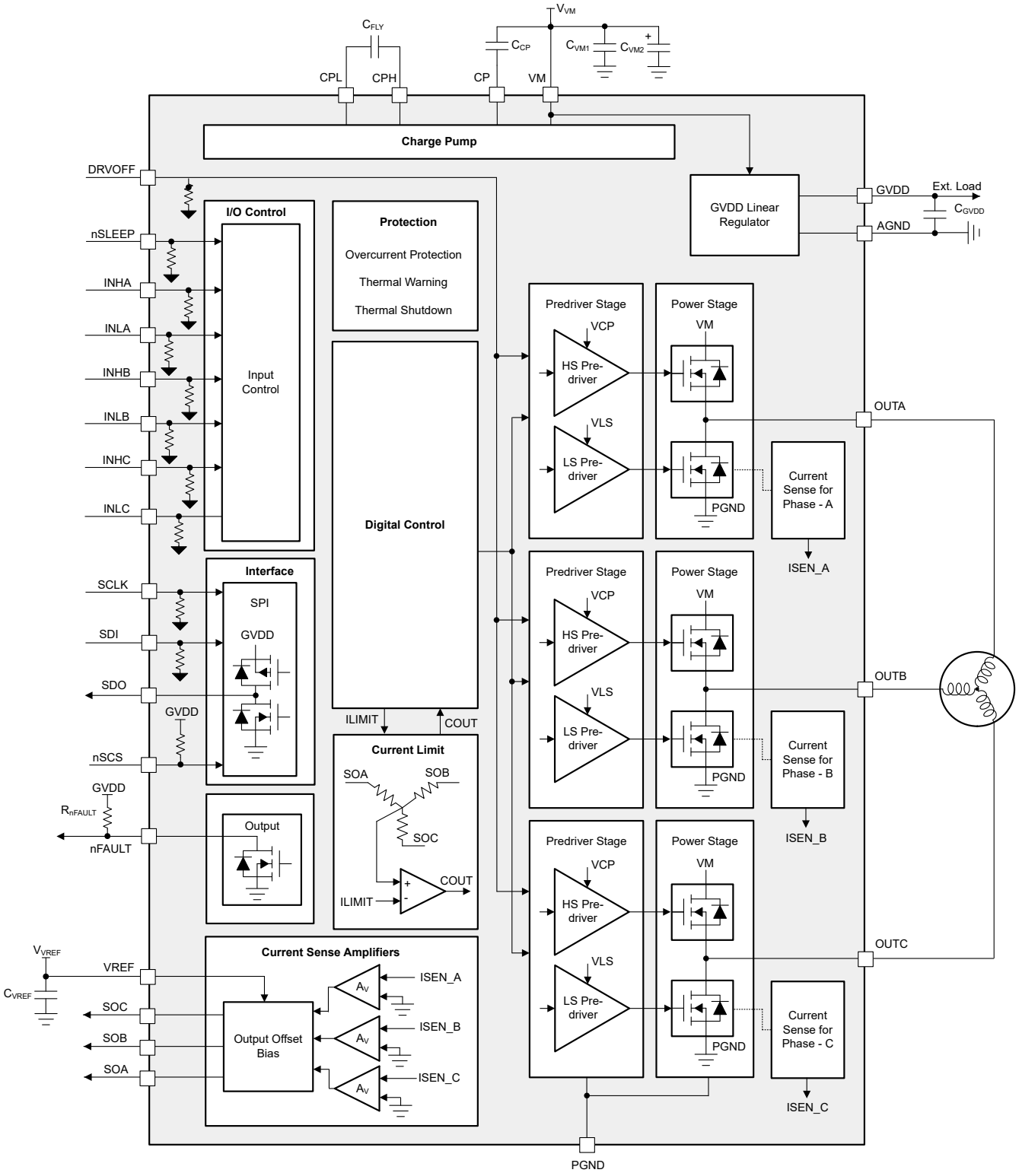


图 8-1. DRV8374S 方框图

Copyright © 2026 Texas Instruments Incorporated

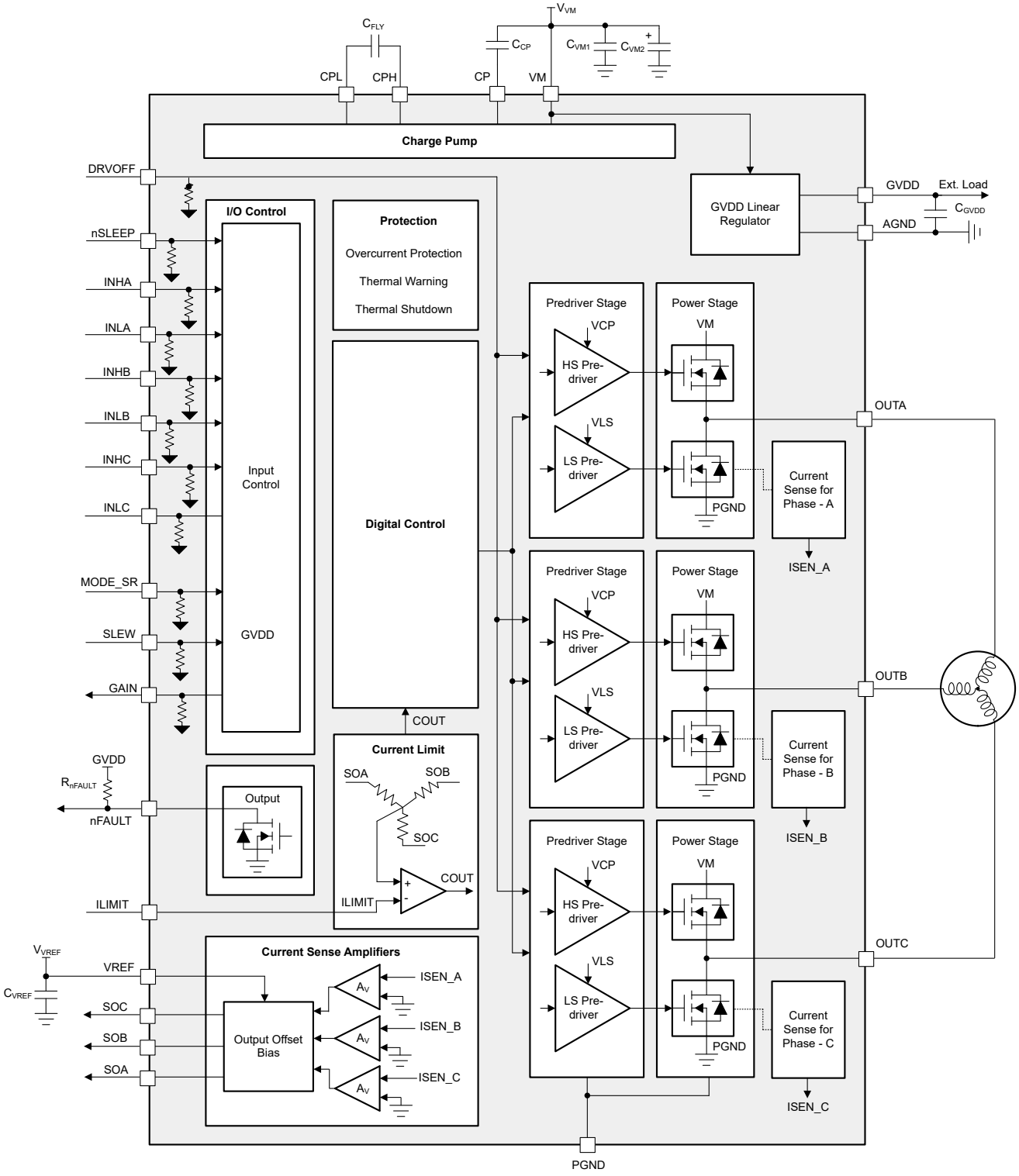


图 8-2. DRV8374H 方框图

ADVANCE INFORMATION

8.3 特性说明

列出了驱动器的外部元件的建议值。

备注

TI 建议在 nFAULT 上连接上拉电阻器（即使不使用它），以避免意外的器件行为。

8.3.1 输出级

DRV8374-Q1 器件包含一个以三相桥配置连接的集成式 17mΩ（高侧和低侧 FET 导通状态电阻之和）NMOS FET。倍增电荷泵可在宽工作电压范围内为高侧 NMOS FET 提供适合的栅极偏置电压，此外还提供 100% 占空比支持。内部线性稳压器为低侧 MOSFET 提供栅极偏置电压。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.2 控制模式

系列器件提供四种不同的控制模式，以支持各种换向和控制方法。表 8-1 展示了 DRV8374-Q1 器件的各种模式。

表 8-1. PWM 控制模式

MODE 类型	MODE_SR 引脚（硬件型号）	PWM_MODE 位（SPI 型号）	SR 位（SPI 型号）	PWM 模式	ASR 和 AAR 模式
模式 1	连接到 AGND	PWM_MODE = 0	EN_ASR = 0， EN_AAR = 0	6x 模式	ASR 和 AAR 已禁用
模式 2	高阻态	PWM_MODE = 0	EN_ASR = 1， EN_AAR = 0	6x 模式	启用 ASR 和禁用 AAR
模式 3	通过 R_{MODE} 连接到 GVDD	PWM_MODE = 1	EN_ASR = 0， EN_AAR = 0	3x 模式	ASR 和 AAR 已禁用
模式 4	连接到 GVDD	PWM_MODE = 1	EN_ASR = 1， EN_AAR = 0	3x 模式	启用 ASR 和禁用 AAR

备注

该器件仅在加电期间检测 MODE_SR 引脚，并且在运行期间不支持 MODE_SR 更改。TI 建议不要在器件运行期间更改 PWM_MODE。

ADVANCE INFORMATION

8.3.2.1 3x PWM 模式（PWM_MODE = 10b 或 11b 或 MODE_SR 引脚通过 R_{MODE} 连接至 GVDD 或连接至 GVDD）

在 3x PWM 模式下，INHx 引脚控制每个半桥并支持两种输出状态：低电平或高电平。INLx 引脚用于将半桥置于高阻态。如果不需要高阻态，请将所有 INLx 引脚保持在逻辑高电平。相应的 INHx 和 INLx 信号控制着输出状态，如表 8-2 所示

表 8-2. 3x PWM 模式真值表

INLx	INHx	PHASEx
0	X	高阻态
1	0	L
1	1	H

图 8-3 展示了配置为 3x PWM 模式的 DRV8374-Q1 应用图。

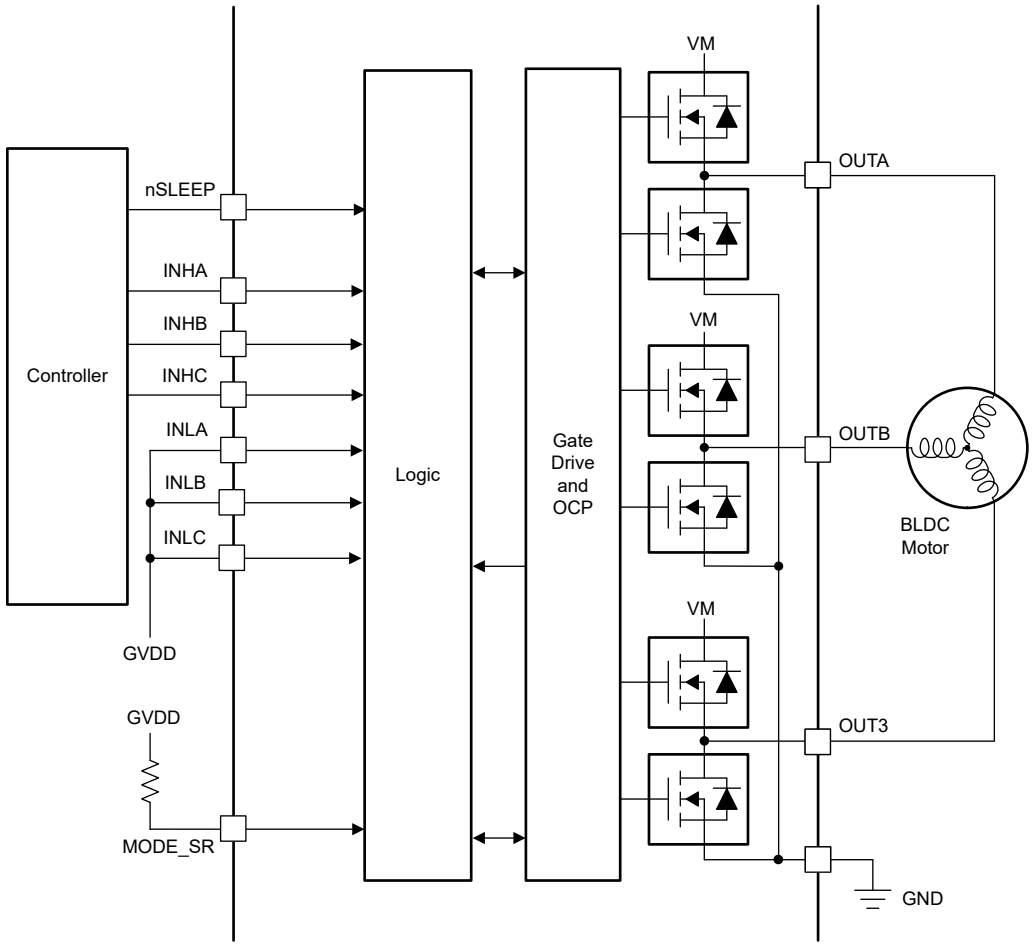


图 8-3. 3x PWM 模式

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.3 器件接口模式

DRV8374-Q1 系列器件（29 引脚型号）支持两种不同的接口模式（SPI 和硬件），使终端应用的设计更灵活或简单。这两种接口模式共享相同的四个引脚，允许不同的版本之间实现引脚对引脚兼容。这种兼容性让应用设计人员可以使用一个接口版本进行评估，然后只需对其设计进行极少修改即可切换到另一个版本。

8.3.3.1 串行外设接口 (SPI)

SPI 器件支持串行通信总线，使外部控制器能够与 DRV8374-Q1 之间进行数据的发送和接收。这支持外部控制器配置器件设置并读取详细的故障信息。该接口是一种使用 SCLK、SDI、SDO 和 nSCS 引脚的四线制接口，下面对此进行了说明：

- SCLK 引脚是一个输入引脚，它接受时钟信号以确定何时在 SDI 和 SDO 引脚上捕获和传播数据。
- SDI 引脚是数据输入引脚。
- SDO 引脚是数据输出引脚。SDO 引脚可以通过 SDO_MODE 配置为开漏或推挽。
- nSCS 引脚是片选输入引脚。该引脚上的逻辑低电平信号支持与 DRV8374-Q1 进行 SPI 通信。

更多有关 SPI 的信息，请参阅 *节 8.5*。

8.3.3.2 硬件接口

硬件接口器件将四个 SPI 引脚转换为四个可通过电阻器配置的输入端，即

硬件接口让应用设计人员可通过将引脚连接为逻辑高电平或逻辑低电平，或使用简单的上拉或下拉电阻，配置常用的器件设置。因此，外部控制器不再需要 SPI 总线。一般故障信息仍可通过 nFAULT 引脚获得。

更多有关硬件接口的信息，请参阅 *节 8.3.9* 部分。

备注

VCC 表示外部上拉电压。默认情况下，SDO 引脚为漏极开路

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.4 GVDD 线性稳压器

系列器件中集成了一个 5V 线性稳压器，可供外部电路使用。GVDD 稳压器用于为器件的内部数字电路供电，此外，该稳压器还可以为低功耗 MCU 或其他支持低电流（高达 30mA）的电路提供电源电压。GVDD 稳压器的输出应在 GVDD 引脚附近旁路，通过一个 X5R 或 X7R、1μF、10V 陶瓷电容器直接连接回相邻的 AGND 接地引脚。

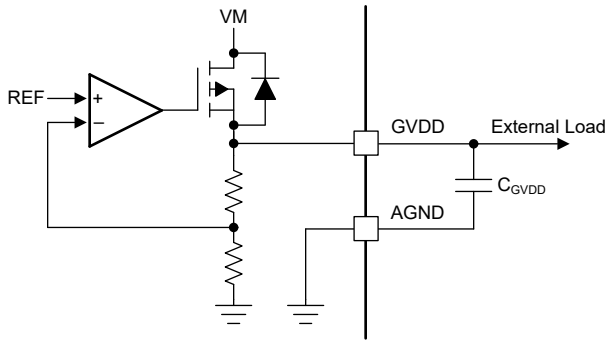


图 8-4. GVDD 线性稳压器方框图

可以使用方程式 1 来计算以 VM 作为电源的 GVDD 线性稳压器在器件中耗散的功率。

$$P = (V_{VM} - V_{GVDD}) \times I_{GVDD} \quad (1)$$

例如，当 V_{VM} 为 24V 时，从 GVDD 汲取 20mA 的电流会导致额外的功率耗散，如公式 2 所示。

$$P = (24\ V - 5\ V) \times 20\ mA = 380\ mW \quad (2)$$

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.5 电荷泵

由于输出级使用 N 沟道 FET，因此该器件需要高于 VM 电源的栅极驱动电压才能完全增强高侧 FET。 集成了一个电荷泵电路，可为此目的生成高于 VM 电源的电压。

电荷泵需要两个外部电容器才能运行。有关这些电容器的详细信息（值、连接等），请参阅方框图和引脚说明并参阅（节 8.3）部分。

当 nSLEEP 为低电平时或过热关断期间，电荷泵会关断。

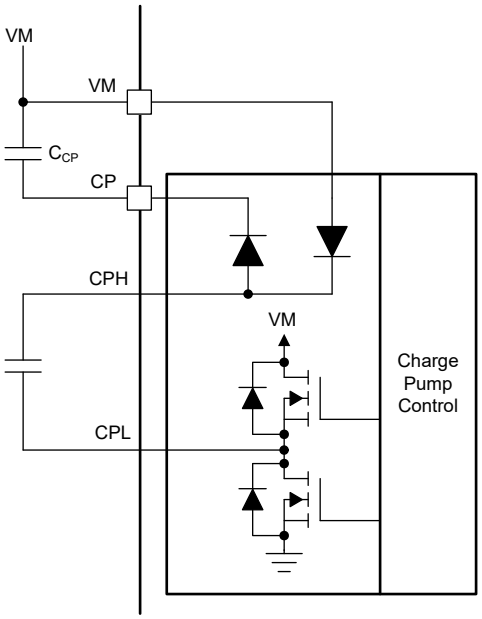


图 8-5. 电荷泵

ADVANCE INFORMATION

8.3.6 压摆率控制

对半桥的 MOSFET 实施可调栅极驱动电流控制，以实现压摆率控制。MOSFET VDS 压摆率是优化辐射发射、二极管恢复尖峰的能量和持续时间以及与寄生效应相关的开关电压瞬态的关键因素。这些压摆率主要由内部 MOSFET 的栅极电荷的速率决定，如图 8-6 所示。

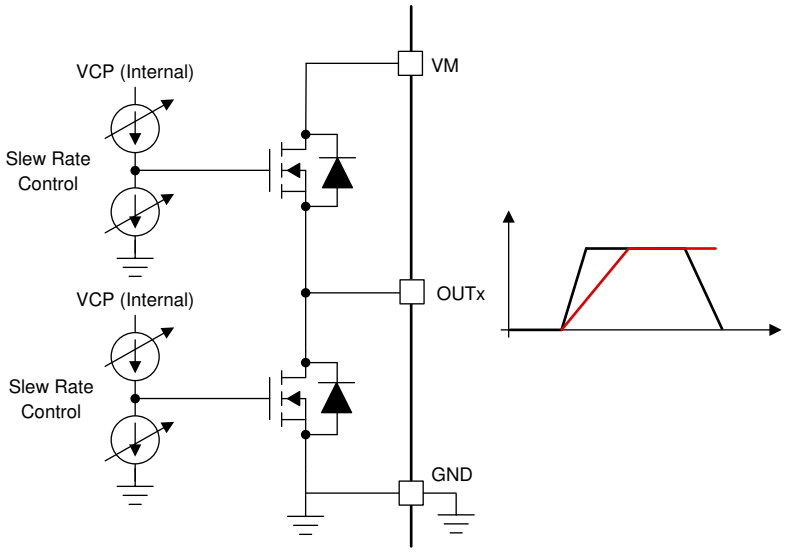


图 8-6. 压摆率电路实现

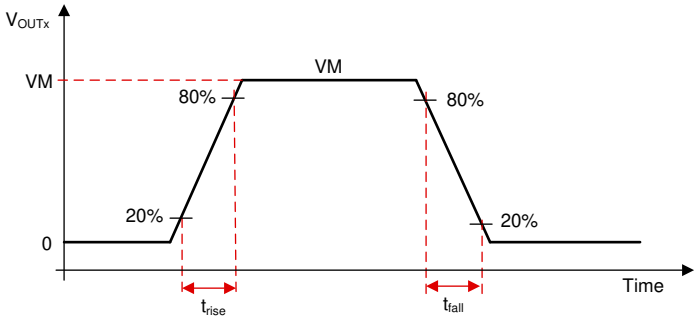


图 8-7. 压摆率时序

备注

该器件仅在加电期间检测 SLEW 引脚，并且在运行期间不支持转换率更改。TI 建议在运行期间不要更改 SLEW_RATE 寄存器位。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.7 跨导（死区时间）

该器件针对 MOSFET 的任何跨导提供全面保护。在半桥配置中，通过插入死区时间 (t_{dead}) 来维持高侧和低侧 MOSFET 的运行，从而避免任何击穿电流。这是通过检测高侧和低侧 MOSFET 的栅源电压 (VGS) 并保持高侧 MOSFET 的 VGS 已达到低于关断电平，然后再打开同一半桥的低侧 MOSFET 来实现的，如图 8-8 和图 8-9 所示。

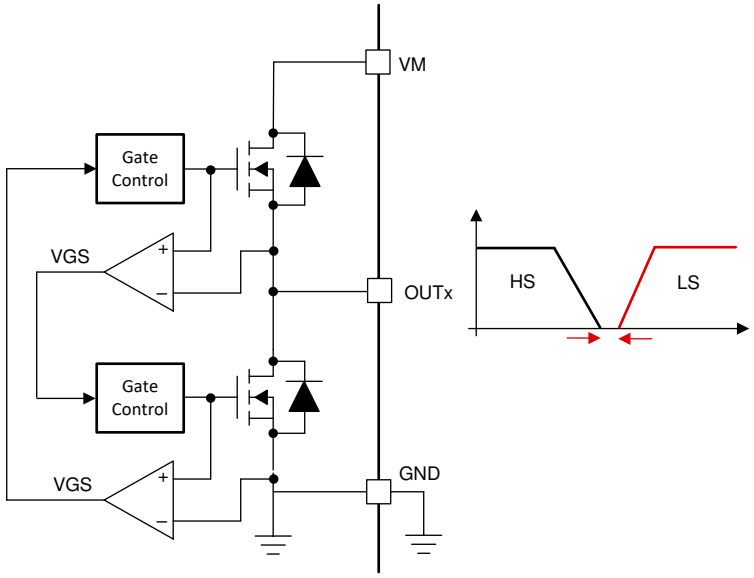


图 8-8. 跨导保护

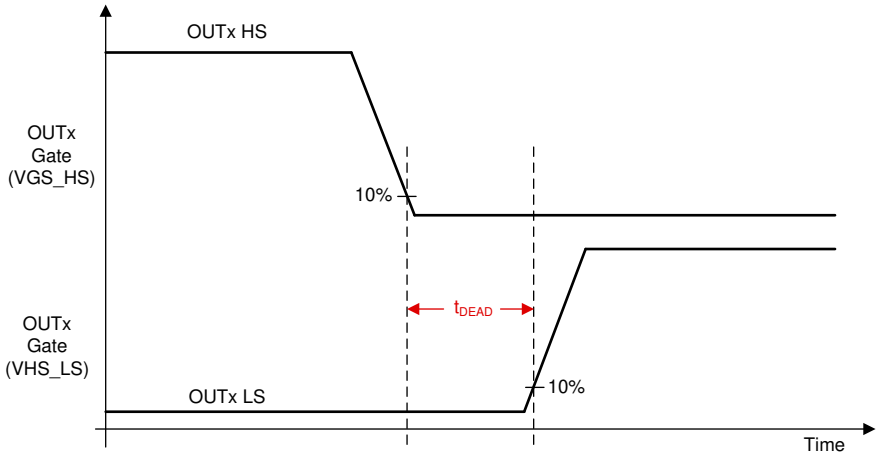


图 8-9. 死区时间

ADVANCE INFORMATION

8.3.8 传播延迟

传播延迟时间 (t_{pd}) 是输入逻辑边沿与栅极驱动器电压变化之间的时间。

备注

在电流限制模式或主动消磁模式期间，当输入命令通过器件传播时，会添加一个小的数字延迟，并且用户在这些模式下可能会看到多达 600ns 的延迟。

8.3.9 引脚图

本节介绍所有数字输入和输出引脚的 I/O 结构。

8.3.9.1 逻辑电平输入引脚（内部下拉）

图 8-10 显示了逻辑电平引脚 的结构。输入可以由电压或外部电阻器驱动。TI 建议在器件睡眠模式下将这些引脚置于低电平，以减少通过内部下拉电阻器的漏电流。

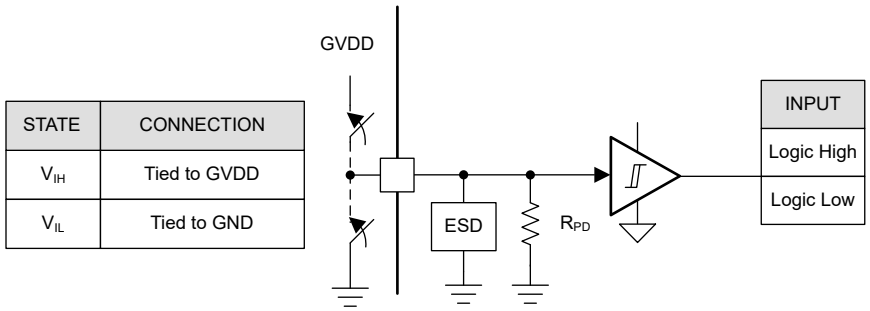


图 8-10. 逻辑电平输入引脚结构

8.3.9.2 逻辑电平输入引脚（内部上拉）

图 8-11 展示了逻辑电平引脚 nSCS 的输入结构。输入可以由电压或外部电阻器驱动。

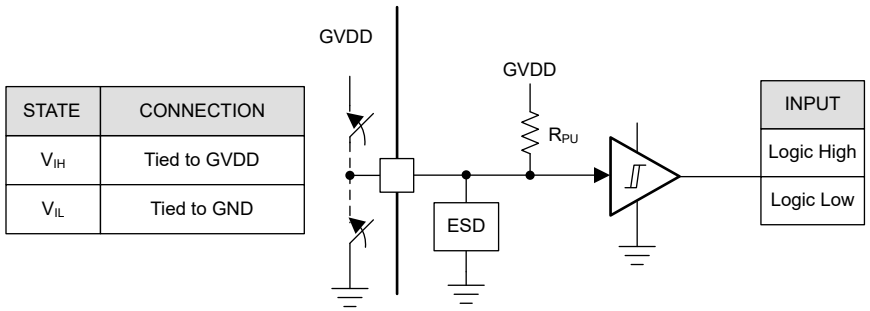


图 8-11. 逻辑 nSCS

8.3.9.3 开漏引脚

图 8-12 展示了开漏模式下的开漏输出 和 SDO 的结构。开漏输出需要外部上拉电阻器正常运行。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

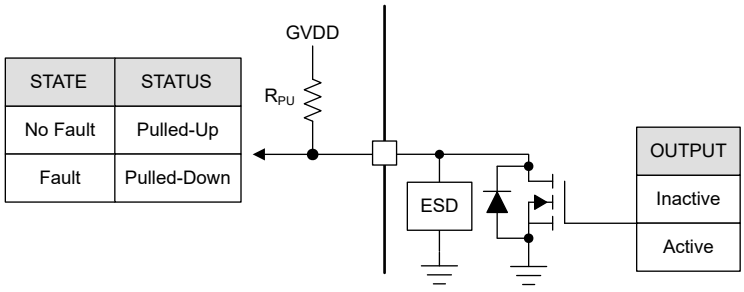


图 8-12. 漏极开路

8.3.9.4 推挽引脚

图 8-13 展示了推挽模式下的 SDO 结构。

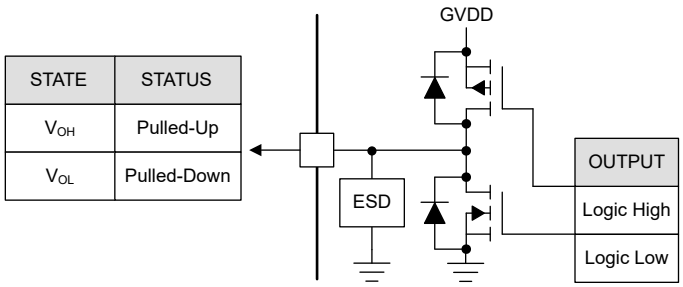


图 8-13. 推挽引脚

8.3.9.5 四电平输入引脚

图 8-14 显示了硬件接口器件上四电平输入引脚 的结构。可以通过外部电阻器设置该输入。

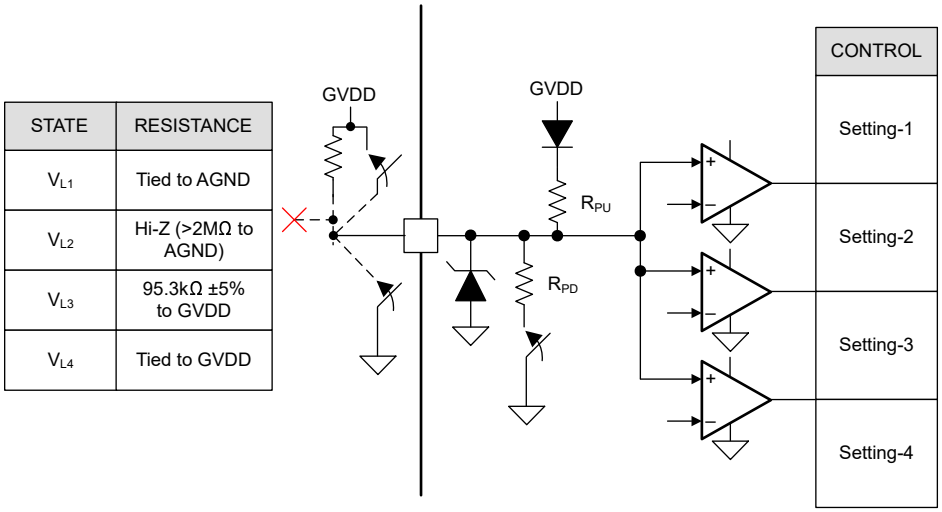


图 8-14. 四电平输入引脚结构

ADVANCE INFORMATION

ADVANCE INFORMATION

8.3.10 电流检测放大器

DRV8374-Q1 集成了三个高性能低侧电流检测放大器，以便使用内置电流检测进行电流测量。通常会通过测量低侧电流来实施过流保护、外部扭矩控制或通过外部控制器进行无刷直流换向。三个放大器都可用于检测每个半桥臂（低侧 FET）中的电流。在 29 引脚型号中，电流检测放大器输出为与 LS FET 电流成正比的电压。在 23 引脚型号中，电流检测放大器输出为与 LS FET 电流成正比的电流。29 引脚型号中的电流检测放大器具有可编程增益等特性。需要在电压基准引脚 (VREF) 上提供外部基准。

8.3.10.1 电流检测放大器运行（23 引脚型号）

DRV8374-Q1 上的 SOx 引脚输出的电流与低侧 FET 中流动的电流和增益设置 (G_{CSA}) 的乘积成正比。增益设置固定为 0.04mA/A。图 8-15 显示了用于电流输出的电流检测放大器的内部架构。电流检测是通过 DRV8374-Q1 器件的每个低侧 FET 上的检测 FET 实施的。该电流信息与增益设置相乘，可作为 SOx 引脚上的电流输出。要将该电流转换为电压（例如，模数转换器的输入），可使用连接到外部基准电压 (EXT_VREF) 的电阻器作为 I/V 转换器。EXT_VREF 可以源自模数转换器基准。电阻器 R_{PULL_UP} 和 R_{PULL_DOWN} 的值会影响 SOx 输出的增益误差和趋稳时间。有关电阻器选择的更多详细信息，请参阅电气规格表。

SOx 引脚的输出电压由以下公式给出

$$V_{SOX} = \left(V_{EXT_VREF}/2\right) \pm I_{OUT} \times R_T \times GAIN \quad (3)$$

其中 $R_T = R_{PULL_UP} \parallel R_{PULL_DOWN}$

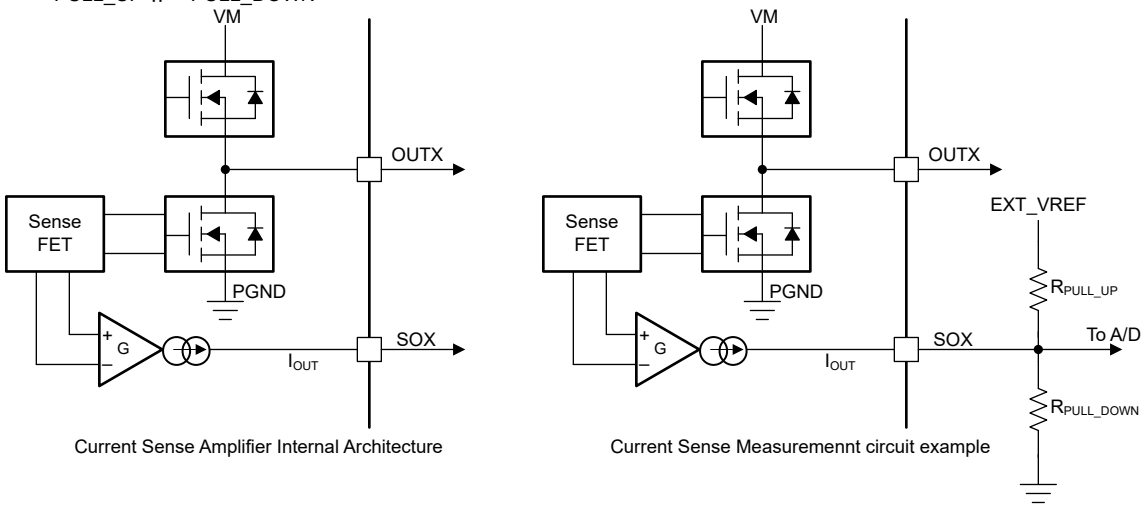


图 8-15. 集成式电流检测放大器（23 引脚型号）

8.3.10.2 电流检测放大器运行（29 引脚型号）

DRV8374-Q1 上的 SOx 引脚输出的模拟电压与低侧 FET 中流动的电流和增益设置 (G_{CSA}) 的乘积成正比。增益设置可在四个不同级别之间调节，可通过 GAIN 引脚（在硬件器件型号中）或 GAIN 位（在 SPI 器件型号中）设置这些级别。

图 8-16 显示了电流检测放大器的内部架构。电流检测是通过 DRV8374-Q1 器件的每个低侧 FET 上的检测 FET 实施的。该电流信息馈送到内部 I/V 转换器，该转换器根据 VREF 引脚上的电压和增益设置在 SOX 引脚上生成 CSA 输出电压。CSA 输出电压可按以下公式计算：

$$SOX = \left(V_{REF}/2\right) \pm GAIN \times I_{OUTX} \quad (4)$$

Copyright © 2026 Texas Instruments Incorporated

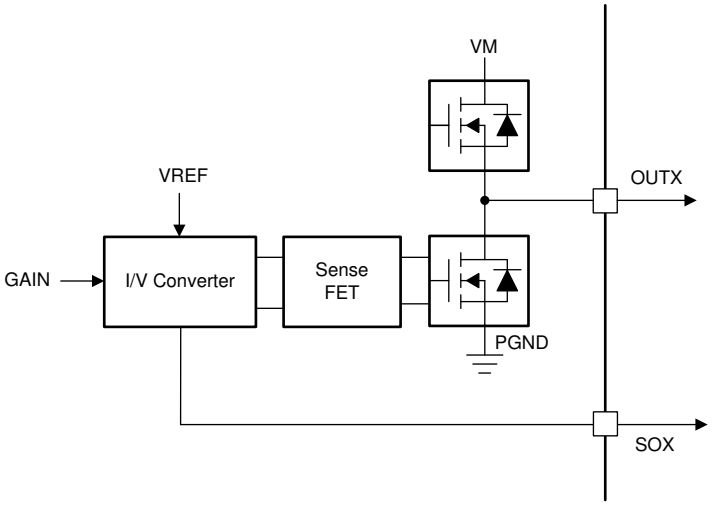


图 8-16. 集成电流检测放大器

ADVANCE INFORMATION

ADVANCE INFORMATION

图 8-17 和图 8-18 显示了放大器工作范围的详细信息。在双向运行中，0V 输入的放大器输出设置为 VREF/2。差分输入的任何变化都会导致输出乘以 CSA_GAIN 因子发生相应的变化。放大器有一个定义的线性区域，在该区域内它可以保持运行。

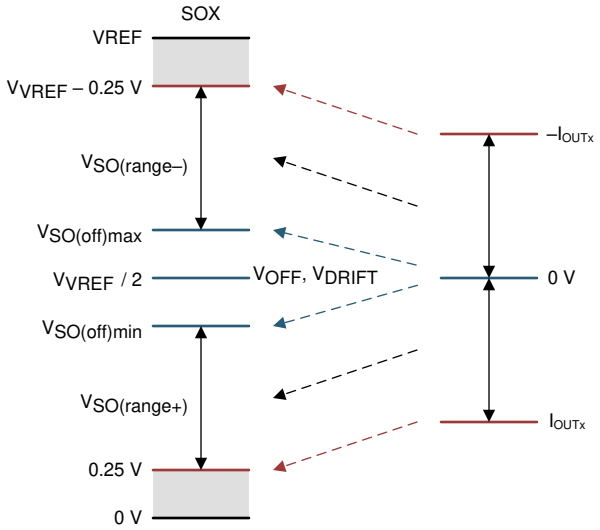


图 8-17. 双向电流检测输出

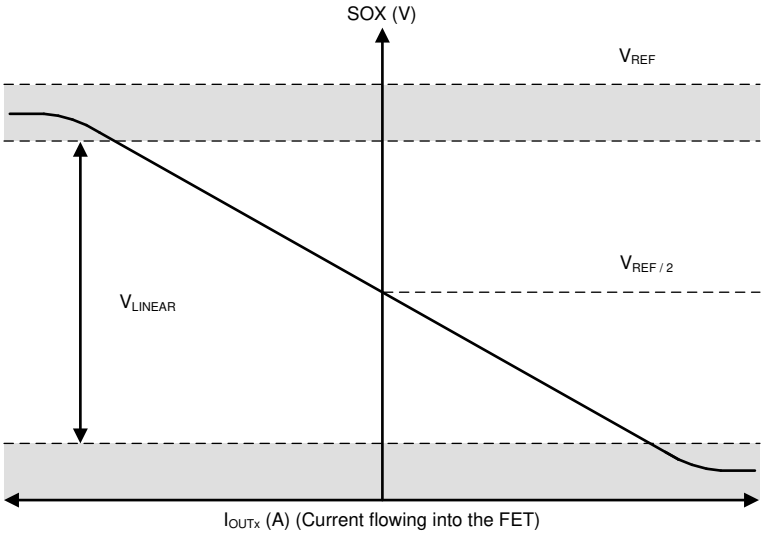


图 8-18. 双向电流检测区域

备注

电流检测放大器在输出端仅支持容性负载。TI 建议在电流检测放大器的输出端将低通滤波器与电阻器和电容器连接。

备注

电流检测放大器支持动态增益变化。在硬件型号中，增益会通过引脚检测每 1ms 进行一次采样，而任何增益变化均通过 SPI 写入实现（在 SPI 型号中）。收到增益更改命令后，新的增益将在任何 INLx 信号的下个下降沿应用于所有三个电流检测放大器。

Copyright © 2026 Texas Instruments Incorporated

8.3.11 主动消磁

系列器件具有智能整流特性（主动消磁），可通过减少二极管导通损耗来降低器件中的功率损耗。启用此特性后，只要该器件检测到二极管导通，它就会自动导通相应的 MOSFET。对于硬件型号，可以使用 引脚配置此特性。在 SPI 器件型号中，这可以通过 EN_ASR 和 EN_AAR 位进行配置。智能整流分为自动同步整流 (ASR) 模式和自动异步整流 (AAR) 模式两类，后续几节对此进行了介绍。

器件包括一个高侧 (AD_HS) 和低侧 (AD_LS) 比较器，用于检测每个半桥上器件中的负电流。AD_HS 比较器将检测 FET 输出与电源电压 (VM) 阈值进行比较，而 AD_LS 比较器则与接地 (0V) 阈值进行比较。根据从 OUTx 流向 VM 或从 PGND 流向 OUTx 的电流，AD_HS 或 AD_LS 比较器跳变。该比较器为主动消磁特性的运行提供基准点。

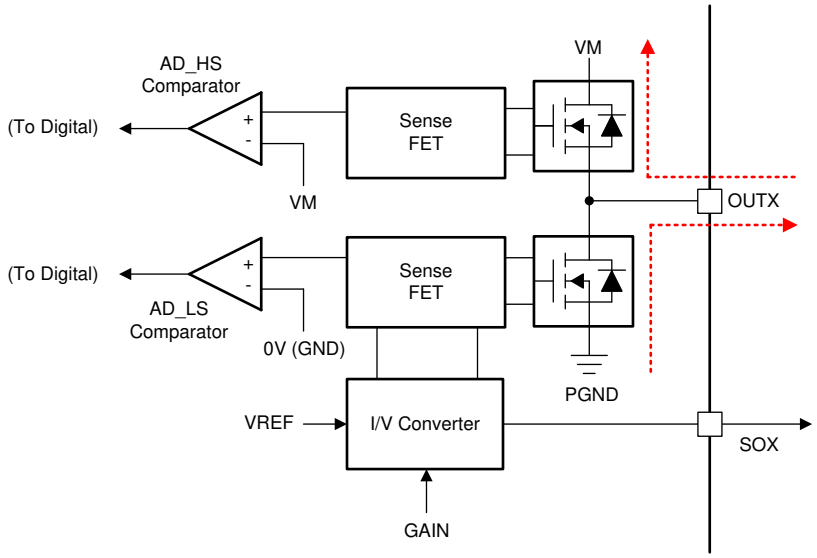


图 8-19. 主动消磁运行

备注

在发生 OCP 事件时禁用主动消磁。

备注

由于主动消磁而导通的 FET，如果在给出该 FET 导通输入命令时，通过该 FET 的电流未衰减到零，则不会被确认该导通命令，并且该 FET 仅在电流降到零时关断，而与该 FET 的输入控制信号无关。

8.3.11.1 自动同步整流模式（ASR 模式）

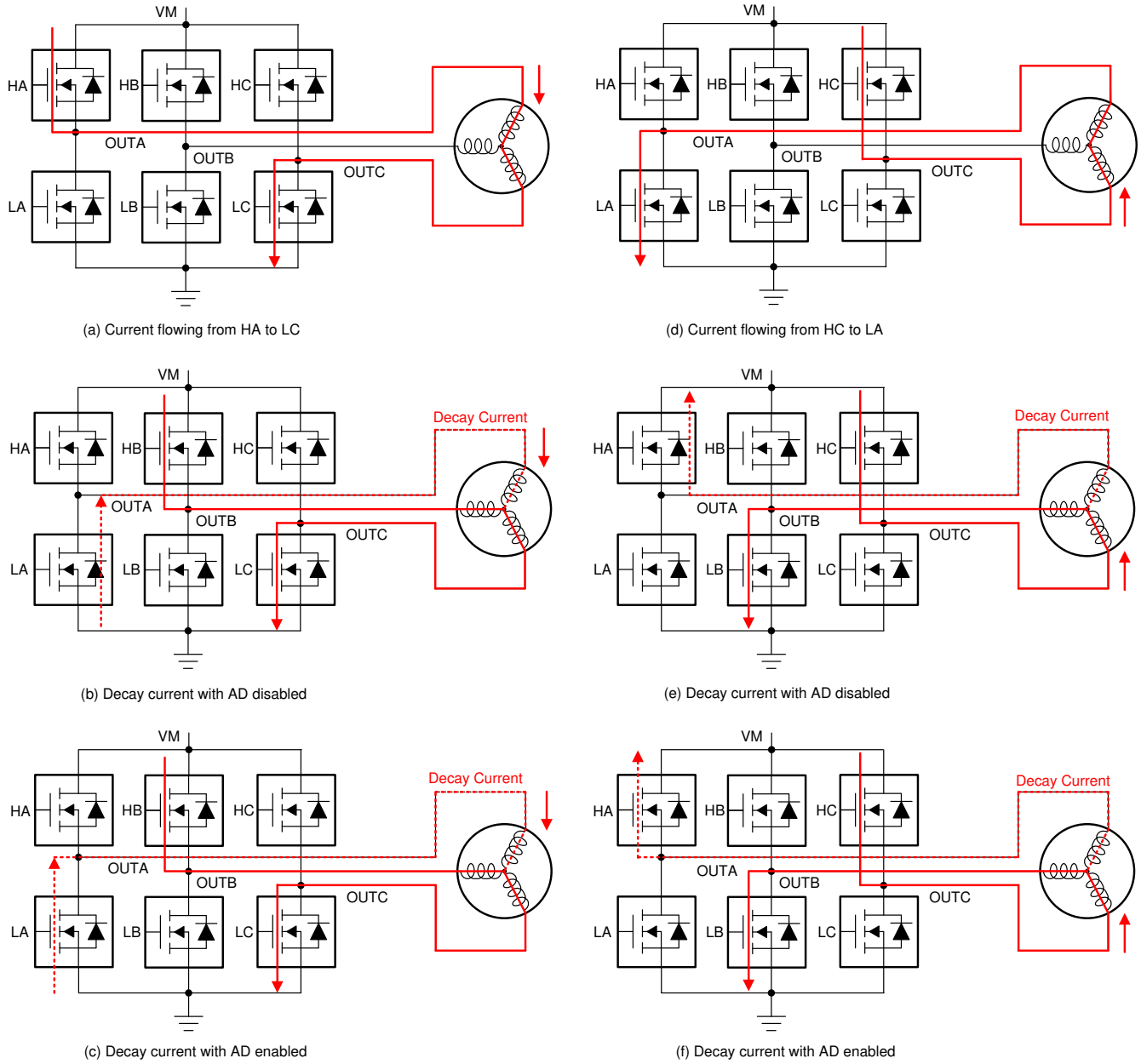
自动同步整流 (ASR) 模式分为换向期间的 ASR 和 PWM 模式期间的 ASR 这两类。

8.3.11.1.1 自动同步整流（换向模式）

图 8-20 展示了在 BLDC 电机换向期间主动消磁的运行情况。如图 8-20 (a) 所示，电流在一个换向状态下从 HA 流向 LC。在如 图 8-20 (b) 所示的换向转换期间，HB 开关接通，而 OUTA 中的换向电流（由电机电感引起）流经 LA 的体二极管。这会导致更高的二极管损耗，具体取决于换向电流。可通过为换向时间开启 LA 减少该换向损耗，如图 8-20 (c) 所示。

类似地，高侧 FET 的运行在图 8-20 (d)、(e) 和 (f) 中实现。

ADVANCE INFORMATION



(a) Current flowing from HA to LC

(d) Current flowing from HC to LA

(b) Decay current with AD disabled

(e) Decay current with AD disabled

(c) Decay current with AD enabled

(f) Decay current with AD enabled

图 8-20. BLDC 电机换向中的 ASR

Copyright © 2026 Texas Instruments Incorporated

图 8-21 (a) 显示了以梯形换向方式运行的 BLDC 电机在自动同步整流模式下的 BLDC 电机相电流波形。该图显示了在单个换向周期中各种开关的运行情况。

图 8-21 (b) 显示了换向周期的放大波形，详细说明了 ASR 模式启动时的裕度时间 (t_{margin}) 和 ASR 模式由于主动消磁比较器阈值和延迟而提前停止的情况。

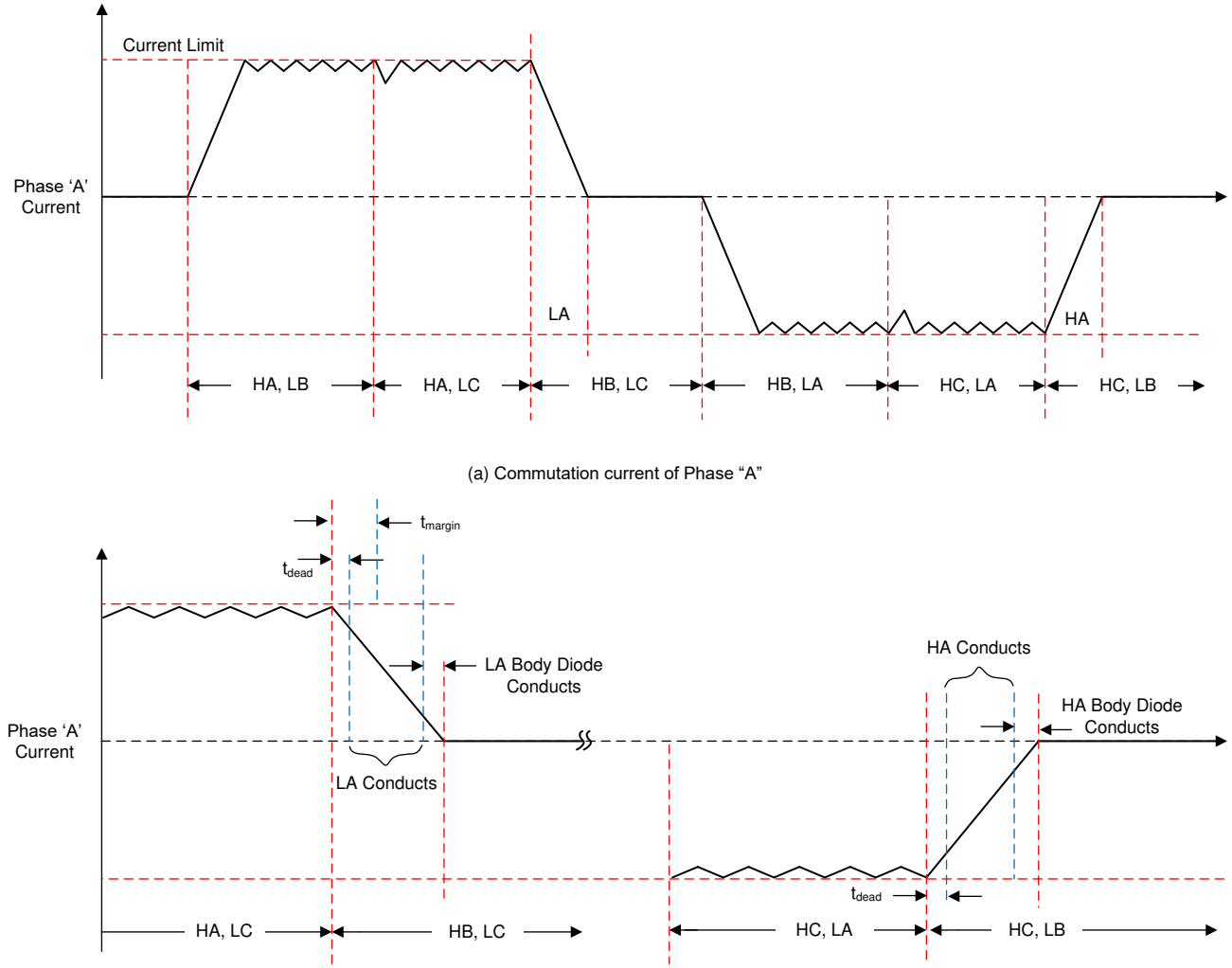


图 8-21. BLDC 电机换向中 ASR 的电流波形

ADVANCE INFORMATION

8.3.11.1.2 自动同步整流（PWM 模式）

图 8-22 显示了 PWM 模式下 ASR 的运行情况。如该图所示，PWM 仅应用于高侧 FET，而低侧 FET 始终关断。在 PWM 关断期间，低侧 FET 的电流衰减，从而导致更高的功率损耗。因此，该模式支持在低侧二极管导通期间导通低侧 FET。

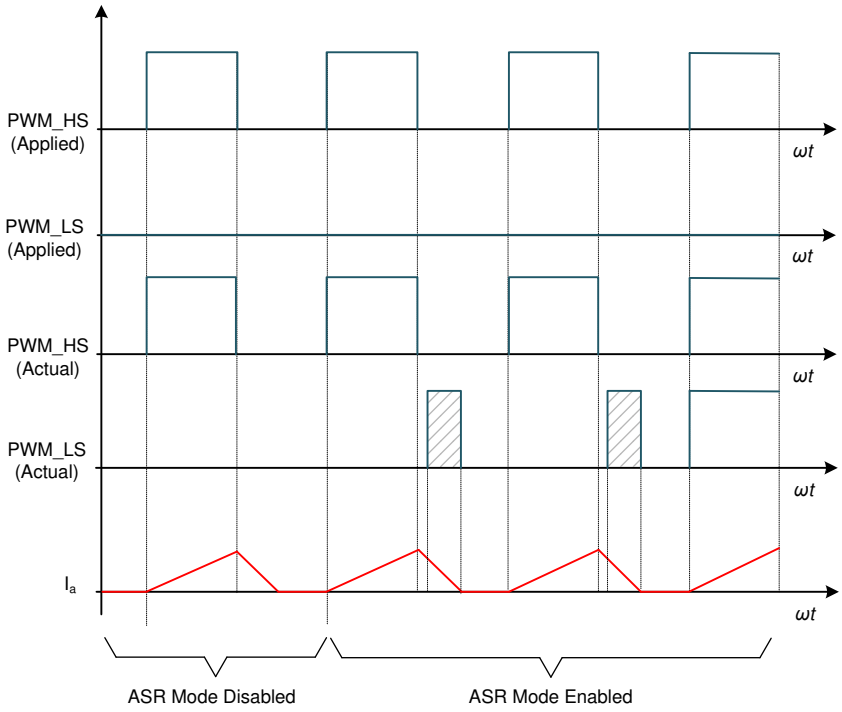


图 8-22. ASR 处于 PWM 模式

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.11.2 自动异步整流模式（AAR 模式）

图 8-23 显示了 PWM 模式下 AAR 的运行情况。如该图所示，在同步整流中将 PWM 应用于高侧和低侧 FET。在低侧 FET 导通期间，对于电感较低的电机，电流可能衰减至零并变为负值，因为低侧 FET 处于导通状态。这会对 BLDC 电机运行产生负扭矩。启用 AAR 模式时，会监测衰减期间的电流，并且一旦电流达到接近零，低侧 FET 便会关断。这节省了 BLDC 电机中建立的负电流，从而实现更好的噪声性能和更好的热管理。

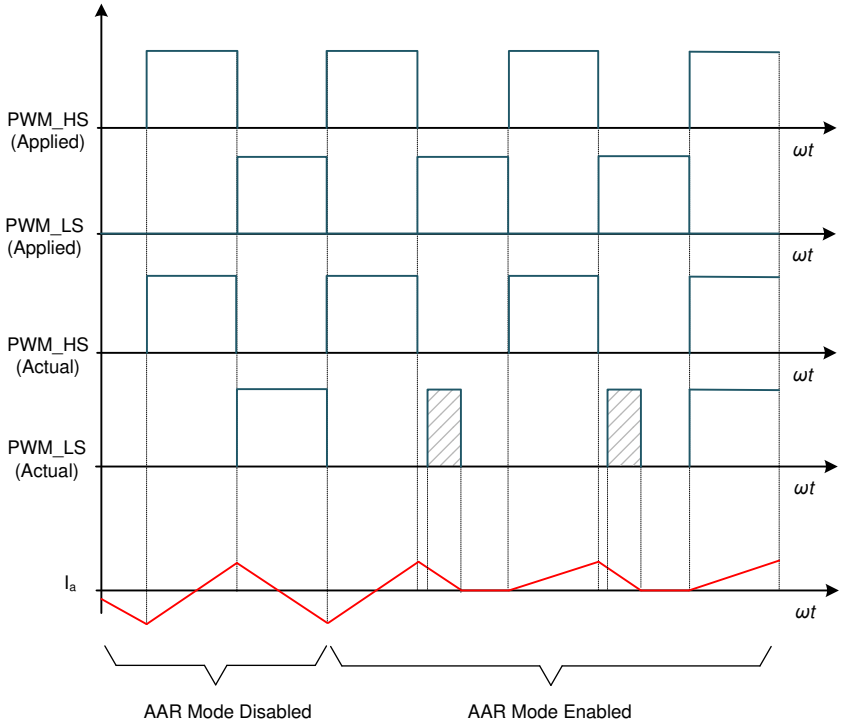


图 8-23. AAR 处于 PWM 模式

ADVANCE INFORMATION

8.3.12 逐周期电流限制

如果流经低侧 MOSFET 的电流超过 I_{LIMIT} 电流，电流限制电路将激活。此特性将电机电流限制为低于 I_{LIMIT}。

电流限制电路利用三相的电流检测放大器输出，并将该电压与 ILIMIT 引脚处的电压进行比较。 展示了电流限制电路的实现方式。如 示，电流检测放大器的输出与星形连接的电阻网络相结合。这个测得的电压 V_{MEAS} 与外部基准电压 V_{ILIM} 进行比较，以实现电流限制实施。在 OUTX 引脚上检测到的电流与 V_{MEAS} 阈值之间的关系如下所示：

其中

- I_{OUTX} 是流入低侧 MOSFET 的电流
- CSA_GAIN 是电流检测放大器增益

备注

在制动运行期间，大电流会流过低侧 FET，最终会触发过流保护电路。这允许高侧 FET 的体二极管传导制动能量并将其泵送到 VM 电源轨。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.12.1 具有 100% 占空比输入的逐周期电流限制

如果对 PWM 输入施加 100% 占空比，则没有边沿可用于重新开启高侧 FET。为了克服此问题，DRV8374-Q1 具有内置内部 PWM 时钟，当高侧 FET 在超过 I_{LIMIT} 阈值后被禁用时，该时钟用于重新开启高侧 FET。在 SPI 型号 DRV8374-Q1 中，可以通过 PWM_100_DUTY_SEL 将此内部 PWM 时钟配置为 10kHz、20kHz 或 40kHz。在硬件型号 DRV8374-Q1 中，PWM 内部时钟设置为 20kHz。下图显示了 100% 占空比下的运行情况。

ADVANCE INFORMATION

8.3.13 保护功能

DRV8374-Q1 系列器件受到 VM 欠压、电荷泵欠压和过流事件保护。故障操作和响应 总结了各种故障详细信息。

表 8-3. 故障操作和响应

nFAULT	条件	配置	报告	H 桥	逻辑	恢复
VM 欠压 (RESET)	$V_{VM} < V_{UVLO}$	—	—	高阻态	禁用	自动： $V_{VM} > V_{UVLO_R}$ CLR_FLT，nSLEEP 复位脉冲（RESET 位）
GVDD 欠压 (RESET)	$V_{VM} > V_{UVLO}$，$V_{GVDD} < V_{GVDD_UVLO}$	外部 GVDD	—	高阻态	禁用	自动： $V_{GVDD} > V_{GVDD_UVLO}$ CLR_FLT，nSLEEP 复位脉冲（RESET 位）
GVDD 欠压 (RESET)	$V_{GVDD} < V_{GVDD_UVLO}$	—	—	高阻态	禁用	自动： $V_{GVDD} > V_{GVDD_UVLO}$ CLR_FLT，nSLEEP 复位脉冲（RESET 位）
电荷泵欠压 (VCP_UV)	$V_{CP} < V_{CPUV}$	—	nFAULT	高阻态	有效	自动： $V_{VCP} > V_{CPUV}$ CLR_FLT，nSLEEP 复位脉冲（VCP_UV 位）
过压保护 (OVP)	$V_{VM} > V_{OVP}$	OVP_MODE = 0b	无	有效	有效	无操作（OVP 禁用）
		OVP_MODE = 1b	nFAULT	高阻态	有效	自动： $V_{VM} < V_{OVP}$ CLR_FLT，nSLEEP 复位脉冲（OVP 位）
过流保护 (OCP)	$I_{PHASE} > I_{OCP}$	OCP_MODE = 00b	nFAULT	高阻态	有效	锁存： CLR_FLT，nSLEEP 复位脉冲（OCP 位）
		OCP_MODE = 01b	nFAULT	高阻态	有效	重试： t_{RETRY} CLR_FLT，nSLEEP 复位脉冲（OCP 位）
		OCP_MODE = 10b	nFAULT	有效	有效	仅报告： CLR_FLT，nSLEEP 复位脉冲（OCP 位）
		OCP_MODE = 11b	无	有效	有效	无操作
ILIMIT	$V_{ILIMIT} < V_{SO}$	ILIMFLT_MODE = 0b	无	ILIMIT 模式	有效	自动： INHx 下一个上升沿上的高侧 INLx 下一个上升沿上的低侧
		ILIMFLT_MODE = 1b	nFAULT	ILIMIT 模式	有效	自动： INHx 下一个上升沿上的高侧 INLx 下一个上升沿上的低侧
SPI 误差 (SPI_FLT)	SCLK、奇偶校验和 ADDR 故障	SPIFLT_MODE = 0b	无	有效	有效	无操作
		SPIFLT_MODE = 1b	nFAULT	有效	有效	仅报告： CLR_FLT，nSLEEP 复位脉冲（SPI_FLT 位）
OTP 误差 (OTP_ERR)	OTP 读数错误	—	nFAULT	高阻态	有效	锁存： 下电上电，CLR_FLT
热警告 (OTW)	$T_J > T_{OTW}$	OTW_MODE = 0b	无	有效	有效	无操作
		OTW_MODE = 1b	nFAULT	有效	有效	自动： $T_J < T_{OTW} - T_{OTW_HYS}$ CLR_FLT，nSLEEP 脉冲（OTW 位）
热关断 (OTSD)	$T_J > T_{TSD}$	—	nFAULT	高阻态	有效	自动： $T_J < T_{TSD} - T_{TSD_HYS}$

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.13.1 VM 电源欠压锁定 (RESET)

如果在任何时候 VM 引脚上的输入电源电压降至低于 V_{UVLO} 阈值（VM UVLO 下降阈值），所有集成式 FET、驱动器电荷泵和数字逻辑控制器都会被禁用，如图 8-24 所示。消除 VM 欠压条件后，将恢复正常运行（驱动器运行）。一旦器件假定为 VM，器件状态寄存器中的 RESET 位就会锁存为高电平。RESET 位保持高电平状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。

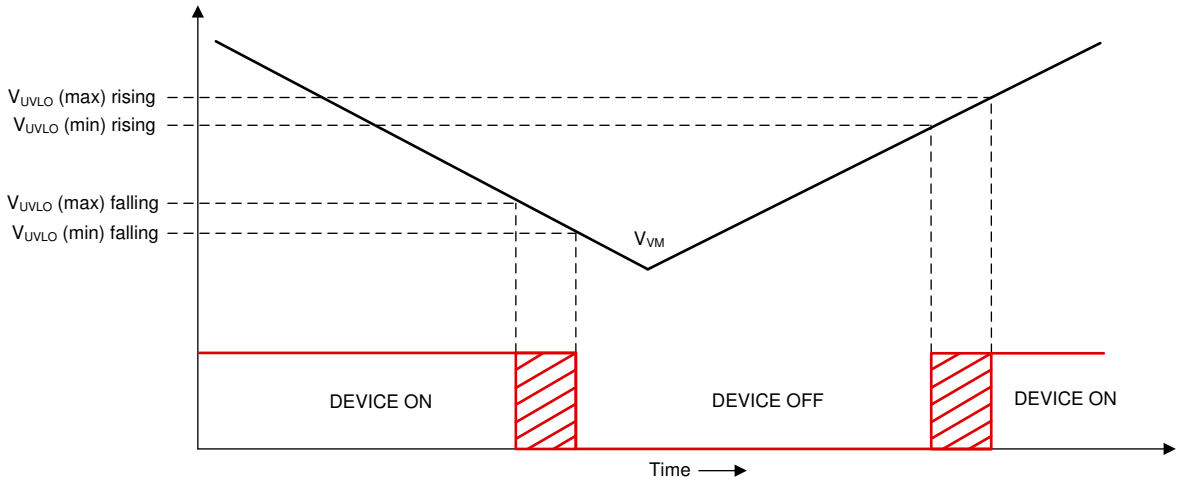


图 8-24. VM 电源欠压锁定

8.3.13.2 GVDD 欠压锁定 (GVDD_UV)

在任何时候，如果 GVDD 引脚上的电压降至 V_{GVDD_UV} 阈值以下，所有集成式 FET、驱动器电荷泵和数字逻辑控制器都会被禁用。消除 GVDD 欠压条件后，将恢复正常运行（驱动器运行）。一旦器件假定为 VM，器件状态寄存器中的 RESET 位就会锁存为高电平。RESET 位保持高电平状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。

8.3.13.3 VCP 电荷泵欠压锁定 (CPUV)

如果在任何时候 VCP 引脚（电荷泵）上的电压降至低于电荷泵的 V_{CPUV} 阈值电压，则会禁用所有集成式 FET 并将 nFAULT 引脚驱动至低电平。VCP 欠压条件清除后，器件将再次开始正常运行（驱动器运行且 nFAULT 引脚被释放）。电荷泵欠压情况通过 nFAULT 和 CPUV 位报告。当电荷泵欠压情况消失后，nFAULT 位将自动清除。CPUV 位保持置位状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。在硬件和 SPI 器件型号中始终使能 CPUV 保护。

8.3.13.4 过压保护 (OV)

无论 VM 引脚上的输入电源电压何时上升至高于 V_{OVP} 阈值电压，都会禁用所有集成 FET 并将 nFAULT 引脚驱动至低电平。OVP 条件清除后，器件将再次开始正常运行（驱动器运行且 nFAULT 引脚被释放）。过压通过 nFAULT 和 OVP 位报告。过压条件消失后，nFAULT 位将自动清除。OVP 位保持置位状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 (t_{RST}) 将其清除为止。在 SPI 器件上，将 OVP_MODE 位设置为高电平可启用该保护功能。在硬件接口器件上，OVP 保护功能会被禁用。

在 SPI 器件型号上，OVP 阈值也可以进行编程。OVP 阈值可以根据 OVP_SEL 位设置为 35V 或 23V。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

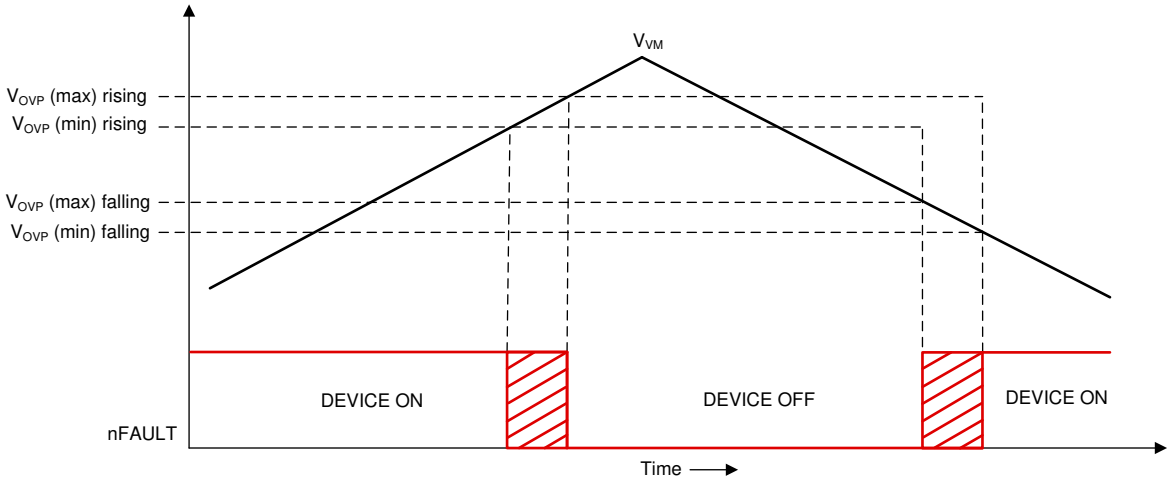


图 8-25. 过压保护

8.3.13.5 过流保护 (OCP)

可以通过监测流经 FET 的电流来检测 MOSFET 过流事件。如果流经 FET 的电流超过 I_{OCP} 阈值的时间长于 t_{OCP} 抗尖峰脉冲时间，则会识别出 OCP 事件并根据 OCP_MODE 位执行操作。在硬件接口器件上，I_{OCP} 阈值固定为 50A 阈值，t_{OCP_DEG} 固定为 1.4µs，并且 OCP_MODE 位配置为锁存关断。在 SPI 器件上，I_{OCP} 阈值通过 OCP_LVL 位设置，而 t_{OCP_DEG} 通过 OCP_DEG 位设置。

OCP_MODE 位可以在四种不同的模式下运行：OCP 锁存关断、OCP 自动重试、OCP 仅报告和 OCP 禁用。

8.3.13.5.1 OCP 锁存关断 (OCP_MODE = 00b)

在该模式下发生 OCP 事件后，所有 MOSFET 都被禁用，并且 nFAULT 引脚被驱动至低电平。nFAULT、OCP 和相应的 FET OCP 位在 SPI 寄存器中被锁存为高电平。OCP 条件清除并通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令后，器件将再次开始正常运行（驱动器运行且释放 nFAULT 引脚）。

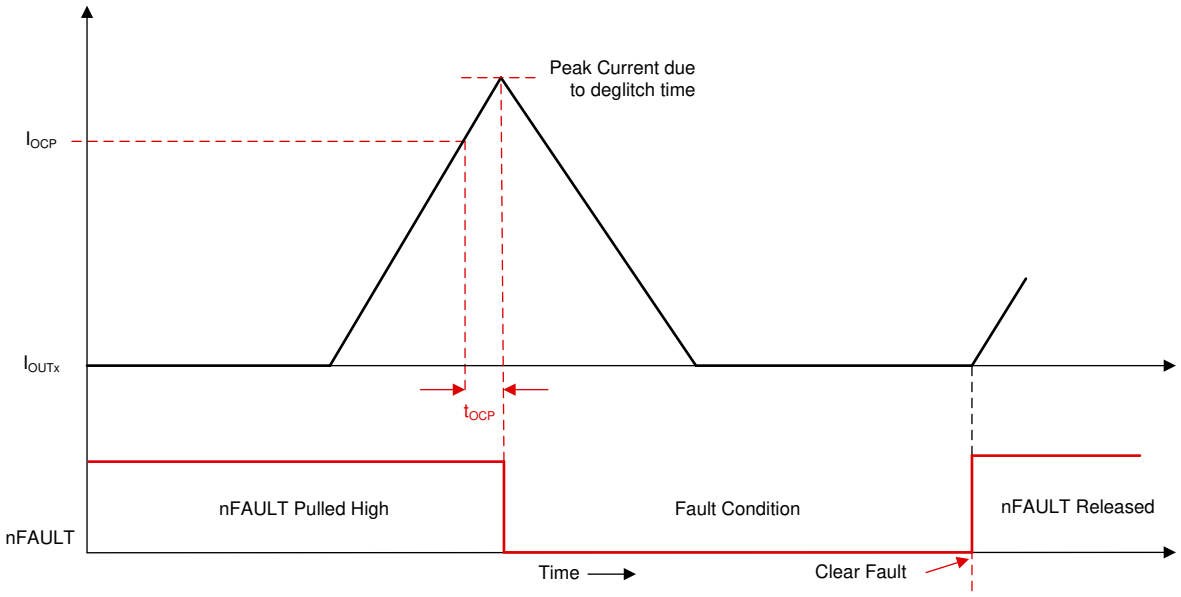


图 8-26. 过流保护 - 锁存关断模式

Copyright © 2026 Texas Instruments Incorporated

8.3.13.5.2 OCP 自动重试 (OCP_MODE = 01b)

在该模式下发生 OCP 事件后，所有 FET 都被禁用，并且 nFAULT 引脚被驱动至低电平。nFAULT、OCP 和相应的 FET OCP 位在 SPI 寄存器中被锁存为高电平。在 t_{RETRY} 时间过后，器件将自动重新开始正常运行（驱动器运行且释放 nFAULT 引脚）。在 t_{RETRY} 时间过后，nFAULT、OCP 和相应 FET 的 OCP 位保持锁存，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令为止。

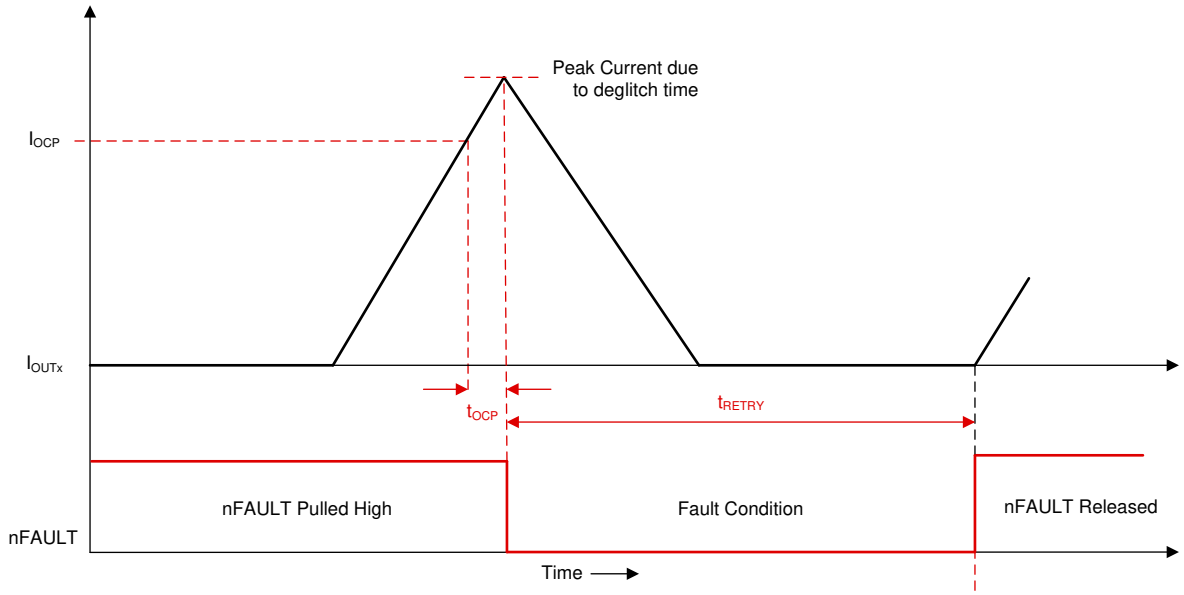


图 8-27. 过流保护 - 自动重试模式

8.3.13.5.3 OCP 仅报告 (OCP_MODE = 10b)

在该模式下发生 OCP 事件后不会执行任何保护性操作。可以通过将 nFAULT 引脚驱动至低电平并将 SPI 寄存器中的 nFAULT、OCP 和相应的 FET OCP 位锁定为高电平来报告过流事件。DRV8374-Q1 继续照常运行。外部控制器通过适当的操作来管理过流状况。OCP 条件清除并通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令后，报告清除（释放 nFAULT 引脚）。

8.3.13.5.4 OCP 已禁用 (OCP_MODE = 11b)

在该模式下发生 OCP 事件后不会执行任何操作。

8.3.13.6 热警告 (OTW)

如果裸片温度超过热警告 (T_{OTW}) 的触发点，则会置位 OT 状态 (OT_STS) 寄存器中的 OT 位和器件状态寄存器中的 OTF 位。可以通过设置配置控制寄存器中的过热警告报告 (OTW_MODE) 位来启用 nFAULT 引脚上的 OTW 报告。器件不会执行任何其他操作，并且会继续运行。在这种情况下，当芯片温度降至低于热警告的迟滞点 (T_{OTW_HYS}) 时，nFAULT 引脚会释放。OTW 位保持设置状态，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 将其清除且内核温度低于热警告触发点 (T_{OTW})。在硬件型号上，默认情况下不会在 nFAULT 引脚上报告过热警告。

8.3.13.7 热关断 (OTS)

如果器件中的内核温度超过热关断限值 (T_{TSD}) 的跳变点，则会禁用所有 FET，关闭电荷泵，并将 nFAULT 引脚驱动至低电平。此外，还会置位 OT 状态 (OT_STS) 寄存器中的 nFAULT 和 OTSD 位以及状态寄存器中的 OTF 位。过热条件清除后，器件将重新开始正常运行（驱动器运行且 nFAULT 引脚被释放）。OTSD 位保持锁存为高电平，指示发生了热事件，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 (t_{RST}) 发出清除故障命令为止。无法禁用此保护功能。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.4 器件功能模式

8.4.1 功能模式

8.4.1.1 睡眠模式

nSLEEP 引脚管理 DRV8374-Q1 系列器件的状态。当 nSLEEP 引脚为低电平时，该器件进入低功耗睡眠模式。在睡眠模式下，将会禁用所有 FET，禁用检测放大器，禁用电荷泵，禁用 GVDD 稳压器，并禁用 SPI 总线。必须在 nSLEEP 引脚触发下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。如果 nSLEEP 引脚被拉至高电平，那么该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

备注

在器件通过 nSLEEP 引脚上电和下电期间，nFAULT 引脚保持低电平，因为内部稳压器被启用或禁用。启用或禁用稳压器后，nFAULT 引脚会自动释放。nFAULT 引脚处于低电平的持续时间不超过 t_{SLEEP} 或 t_{WAKE} 时间。

备注

TI 建议在 nFAULT 上连接上拉电阻器（即使不使用上拉），以避免意外进入内部测试模式。如果使用外部电源上拉 nFAULT，请在加电时维持 nFAULT 拉至 > 2.2V，否则器件将进入内部测试模式。

8.4.1.2 运行模式

当 nSLEEP 引脚为高电平且 V_{VM} 电压大于 V_{UVLO} 电压时，器件将进入运行模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。在此模式下，电荷泵、GVDD 稳压器和 SPI 总线处于活动状态。

8.4.1.3 故障复位（CLR_FLT 或 nSLEEP 复位脉冲）

在器件存在锁存故障的情况下，DRV8374-Q1 系列器件会进入部分关断状态，以帮助保护功率 MOSFET 和系统。

清除故障条件后，器件可以通过设置 SPI 器件上的 CLR_FLT SPI 位或向任一接口型号上的 nSLEEP 引脚发出复位脉冲来重新进入运行状态。nSLEEP 复位脉冲 (t_{RST}) 包含 nSLEEP 引脚的高电平到低电平到高电平转换。序列的低电平周期在 t_{RST} 时间窗口内，否则器件将启动完整的关断序列。复位脉冲对任何稳压器、器件设置或其他功能块都没有影响。

8.4.2 DRVOFF 功能

通过 DRVOFF 引脚主动禁用前置驱动器和 MOSFET，从而绕过数字控制。将 DRVOFF 引脚拉至高电平会禁用所有六个 MOSFET。当 nSLEEP 和 DRVOFF 引脚都为高电平时，电荷泵、GVDD 稳压器和 SPI 总线将保持活动状态，而与驱动器相关的故障（例如 OCP）保持非活动状态。DRVOFF 引脚主动禁用 MOSFET，无论 INHx 和 INLx 输入引脚的状态如何，这都会停止电机换向。

备注

DRVOFF 仅适用于 29 引脚 SPI 和硬件型号。

备注

由于 DRVOFF 引脚独立禁用 MOSFET，器件可能会触发故障情况，导致 nFAULT 被逐渐拉至低电平。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.5 SPI 通信

8.5.1 编程

在 DRV8374-Q1 SPI 器件上，SPI 总线用于设置器件配置、运行参数和读取诊断信息。DRV8374-Q1 使用 SPI 模式 0（数据在上升沿采样，在下降沿移出）。请参阅计时示意图图 7-1。SPI 采用辅助模式工作并连接到控制器。SPI 输入数据 (SDI) 字中包含一个 24 位的字，其中包括一个读取或写入位、一个奇偶校验位、6 位地址和 15 位数据与一个奇偶校验位。SPI 输出包含 24 位字，以及 8 位状态信息（STS 寄存器）和 16 位寄存器数据。

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平切换为低电平，以及从低电平切换为高电平时，SCLK 引脚必须为低电平。
- nSCS 引脚在两个字之间被拉为高电平的时间至少必须为 400ns。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态。
- 数据会在 SCLK 引脚的下降沿被捕捉，并在 SCLK 引脚的上升沿被传输。
- 最高有效位 (MSB) 最先移入和移出。
- 必须历经完整的 24 个 SCLK 周期，事务才有效。
- 如果发送到 SDI 引脚的数据字少于 24 位或多于 16 位，则会发生帧错误并且数据字会被忽略。
- 对于写命令，寄存器中要写入的现有数据会在 8 位状态数据之后在 SDO 引脚上移出。

SPI 寄存器在加电时以及处于睡眠模式时复位为默认设置

8.5.1.1 SPI 格式

SPI 格式 - 带奇偶校验

SDI 输入数据的字长为 24 位，包含以下格式：

- 1 个读取或写入位，W（位 B16）
- 6 个地址位，A（位 B22 至 B17）
- 奇偶校验位，P（位 B23）
- 15 个数据位和 1 个奇偶校验位，D（位 B15 到 B0）

SDO 输出数据字长为 24 位。最高有效位是状态位，最低有效 16 位是所访问寄存器的数据内容。

表 8-4. SPI 的 SDI 输入数据字格式

奇偶校验	地址							RW	奇偶校验	DATA													
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
P	A5	A4	A3	A2	A1	A0	W0	P	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

表 8-5. SDO 输出数据字格式

状态								DATA															
B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
S7	S6	S5	S4	S3	S2	S1	S0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

下面详细介绍了 SPI 帧格式中使用的各个位。

读取/写入位 (R/W)：R/W (W0) 位设置为 0b 表示 SPI 写入事务。对于 SPI 读取操作，需要将 R/W 位设置为 1b。

地址位 (A)：SPI 辅助器件采用一个 6 位寄存器地址。

奇偶校验位 (P)：SPI 输入数据帧的标头和数据字段都包括用于 single-bit 错误检测的奇偶校验位 - 在表 8-4 中，B23 是标头字段的奇偶校验位，而 B15 是数据字段的奇偶校验位。使用的奇偶校验机制是偶校验，即 16 位块中的 1 数量（包括奇偶校验位）是偶数。仅当奇偶校验成功时，数据才会写入内部寄存器。可通过配置 SYS_CTRL 寄存器的 SPI_PEN 位来启用或禁用奇偶校验。默认情况下会禁用奇偶校验。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

备注

尽管默认情况下会禁用奇偶校验，但 TI 建议启用奇偶校验，以防止 single-bit 错误。

9 寄存器映射

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9.1 控制寄存器

表 9-1 列出了控制寄存器的存储器映射寄存器。表 9-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 9-1. 控制寄存器

偏移	首字母缩写词	寄存器名称	部分
10h	故障模式寄存器	故障模式寄存器	节 9.1.1
11h	WATCH_DOG		节 9.1.2
13h	驱动器故障控制寄存器	驱动器故障控制寄存器	节 9.1.3
17h	故障清除寄存器	故障清除寄存器	节 9.1.4
22h	前置驱动器控制寄存器	前置驱动器控制寄存器	节 9.1.5
23h	CSA 控制寄存器	CSA 控制寄存器	节 9.1.6
3Fh	系统控制寄存器	系统控制寄存器	节 9.1.7

复杂的位访问类型经过编码可适应小型表单元。表 9-2 展示了适用于此部分中访问类型的代码。

表 9-2. 控制访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
写入类型		
W	W	写入
W1C	W 1C	写入 1 以清零
复位或默认值		
-n		复位后的值或默认值

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9.1.1 故障模式寄存器（偏移 = 10h）[复位 = 6011h]

故障模式寄存器如表 9-3 所示。

返回到汇总表。

表 9-3. 故障模式寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14	VREFEXT_FLT_MODE	R/W	1h	VREF 外部故障模式 0h = 禁用 nFAULT 引脚上的 VREF 外部 uvlo 报告 1h = 使能 nFAULT 引脚上的 VREF 外部 uvlo 报告
13	ILIMFLT_MODE	R/W	1h	ILIMIT 故障模式 0h =禁用 nFAULT 引脚上的 ILIMIT 报告 1h =启用 nFAULT 引脚上的 ILIMIT 报告
12-11	RESERVED	R/W	0h	保留
10	RESERVED	R-0	0h	保留
9	OVP_MODE	R/W	0h	过压保护故障模式 0h = 禁用过压保护 1h = 启用过压保护
8	RESERVED	R-0	0h	保留
7	SPIFLT_MODE	R/W	0h	SPI 故障模式 0h = 禁用 nFAULT 引脚上的 SPI 故障报告 1h = 启用 nFAULT 引脚上的 SPI 故障报告
6	RESERVED	R-0	0h	保留
5-4	OCP_MODE	R/W	1h	过流保护故障模式 0h = 过流导致锁存故障 1h = 过流导致自动重试故障 2h = 仅报告过流但不采取任何措施 3h = 不报告过流且不采取任何措施
3-1	RESERVED	R-0	0h	保留
0	OTW_MODE	R/W	1h	过热警告故障模式 0h = 禁用 nFAULT 上的过热报告 1h = 启用 nFAULT 上的过热报告

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9.1.2 WATCH_DOG 寄存器（偏移 = 11h）[复位 = 0000h]

WATCH_DOG 如表 9-4 所示。

返回到汇总表。

表 9-4. WATCH_DOG 寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-8	RESERVED	R-0	0h	保留
7-0	WATCH_DOG_COUNT	R	0h	看门狗计数器值

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9.1.3 驱动器故障控制寄存器（偏移 = 13h）[复位 = 0010h]

驱动器故障控制寄存器如表 9-5 所示。

返回到汇总表。

表 9-5. 驱动器故障控制寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14	RESERVED	R-0	0h	保留
13-12	RESERVED	R/W	0h	保留
11	RESERVED	R-0	0h	保留
10	RESERVED	R/W	0h	保留
9	RESERVED	R/W	0h	保留
8	OVP_SEL	R/W	0h	过压电平设置 0h = VM 过压电平为 35V 1h = VM 过压电平为 23V
7-6	RESERVED	R-0	0h	保留
5-4	OCP_DEG	R/W	1h	OCP 抗尖峰脉冲时间 0h = OCP 抗尖峰脉冲时间为 0.6µs 1h = OCP 抗尖峰脉冲时间为 1.2µs 2h = OCP 抗尖峰脉冲时间为 1.6µs 3h = OCP 抗尖峰脉冲时间为 2µs
3	RESERVED	R-0	0h	保留
2	OCP_TRETRY	R/W	0h	OCP 重试时间 0h = 5ms 1h = 500ms
1	RESERVED	R-0	0h	保留
0	OCP_LVL	R/W	0h	OCP 电平 0h = 50A 1h = 25A

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9.1.4 故障清除寄存器（偏移 = 17h）[复位 = 0000h]

故障清除寄存器如表 9-6 所示。

返回到汇总表。

表 9-6. 故障清除寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-1	RESERVED	R-0	0h	保留
0	FLT_CLR	R-0/W1C	0h	清除锁存故障 0h = 未发出清除故障命令 1h = 将锁存的故障位清零。该位在写入后自动复位。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9.1.5 前置驱动器控制寄存器（偏移 = 22h）[复位 = 0080h]

前置驱动器控制寄存器如表 9-7 所示。

返回到汇总表。

表 9-7. 前置驱动器控制寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14	DIS_ILIMIT	R/W	0h	ILIMIT 禁用 0h = 启用 ILIMIT 1h = 禁用 ILIMIT
13-11	ILIMIT_SEL_CODE	R/W	0h	29 引脚 SPI 器件的 ILIMIT 选择代码：0.075(N+1)Vref/gain，其中 N 为 ILIMIT_SEL_CODE 的十进制值。当 ILIMIT_SEL_CODE = 3'b111 时，无 ILIMIT 阈值。
10	RESERVED	R-0	0h	
9-8	ILIM_BLANK_SEL	R/W	0h	电流限制消隐时间选择 0h = 5.6us（对于 50 的压摆率）和 1.8us（对于所有其他压摆率）。 1h = 6.0us（对于 50 的压摆率）和 2.2us（对于所有其他压摆率）。 2h = 6.6us（对于 50 的压摆率）和 2.8us（对于所有其他压摆率）。 3h = 7.6us（对于 50 的压摆率）和 3.8us（对于所有其他压摆率）。
7-4	ADMAG_TMARGIN	R/W	8h	确定 HiZ 前的等待时间：N * 时钟周期 => N * 200ns
3	AD_COMP_TH_HS	R/W	0h	主动消磁高侧比较器阈值 0h = 主动消磁比较器阈值为 500mA 1h = 主动消磁比较器阈值为 600mA
2	AD_COMP_TH_LS	R/W	0h	主动消磁低侧比较器阈值 0h = 主动消磁比较器阈值为 500mA 1h = 主动消磁比较器阈值为 600mA
1-0	SLEW_RATE	R/W	0h	压摆率设置 0h = 压摆率为 1100V/µs 1h = 压摆率为 500V/µs 2h = 压摆率为 250V/µs 3h = 压摆率为 50V/µs

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9.1.6 CSA 控制寄存器（偏移 = 23h）[复位 = 0000h]

CSA 控制寄存器如表 9-8 所示。

返回到汇总表。

表 9-8. CSA 控制寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-2	RESERVED	R-0	0h	保留
1-0	CSA_GAIN	R/W	0h	CSA 增益设置 0h = CSA 增益为 0.04V/A 1h = CSA 增益为 0.08V/A 2h = CSA 增益为 0.16V/A 3h = CSA 增益为 0.32V/A

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9.1.7 系统控制寄存器（偏移 = 3Fh）[复位 = 0408h]

系统控制寄存器如表 9-9 所示。

返回到汇总表。

表 9-9. 系统控制寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-12	WRITE_KEY	R-0/W	0h	特定于该寄存器的 0x5 写入密钥。
11	RESERVED	R-0	0h	保留
10	SDO_ODEN	R/W	1h	SDO 处于开漏模式 0h = SDO 处于推挽模式 1h = SDO 处于开漏模式
9-8	RESERVED	R-0	0h	保留
7	REG_LOCK	R/W	0h	寄存器锁定位 0h = 寄存器未锁定 1h = 寄存器已锁定
6	SPI_PEN	R/W	0h	SPI 奇偶校验启用 0h = 奇偶校验禁用 1h = 奇偶校验启用
5-4	RESERVED	R/W	0h	保留
3	SDO_MD	R/W	1h	SDO 启动边沿选择信号 0h = 在 SCLK 的下沿启动 SDO 1h = 在 SCLK 的上沿启动 SDO
2-0	RESERVED	R-0	0h	保留

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9.2 STATUS 寄存器

表 9-10 列出了状态寄存器的存储器映射寄存器。表 9-10 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 9-10. STATUS 寄存器

偏移	首字母缩写词	寄存器名称	部分
0h	器件状态寄存器	器件状态寄存器	节 9.2.1
4h	过热状态寄存器	过热状态寄存器	节 9.2.2
5h	电源状态寄存器	电源状态寄存器	节 9.2.3
6h	驱动器状态寄存器	驱动器状态寄存器	节 9.2.4
7h	系统接口状态寄存器	系统接口状态寄存器	节 9.2.5

复杂的位访问类型经过编码可适应小型表单元。表 9-11 展示了适用于此部分中访问类型的代码。

表 9-11. STATUS 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
R-0	R -0	读取 返回 0
复位或默认值		
-n		复位后的值或默认值

ADVANCE INFORMATION

9.2.1 器件状态寄存器（偏移 = 0h）[复位 = 0280h]

器件状态寄存器如表 9-12 所示。

返回到汇总表。

表 9-12. 器件状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-11	RESERVED	R-0	0h	保留
10	RESERVED	R	0h	保留
9	DNRDY_STS	R	1h	器件未就绪状态。将在上电完成后自动清除。 0h = 器件已就绪 1h = 器件未就绪
8	SYSFLT	R	0h	发生 OTP 读取故障。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到 OTP 读取故障 1h = 检测到 OTP 读取故障
7	复位	R	1h	器件复位状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 读取后由固件清除 1h = 器件已完成上电复位
6	SPIFLT	R	0h	SPI 故障状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到 SPI 故障。 1h = 检测到 SPI 故障
5	OCP	R	0h	过流状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到过流情况 1h = 检测到过流情况
4	VREFEXT_UV	R	0h	VREF EXT UVLO 状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到 VREF 外部 UVLO 情况 1h = 检测到 VREF 外部 UVLO 情况
3	OVP	R	0h	过压状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到过压情况 1h = 检测到过压情况
2	UVP	R	0h	电源欠压状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未在 CP 上检测到欠压情况 1h = 在 CP 上检测到欠压情况
1	OTF	R	0h	过热故障状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到过热警告/关断 1h = 检测到过热警告/关断
0	FAULT	R	0h	器件原始故障状态。 0h = 未检测到故障情况 1h = 检测到故障情况

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9.2.2 过热状态寄存器（偏移 = 4h）[复位 = 0000h]

过热状态寄存器如表 9-13 所示。

返回到汇总表。

表 9-13. 过热状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-2	RESERVED	R-0	0h	保留
1	OTW	R	0h	过热警告故障状态。可通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除 0h = 未检测到过热警告 1h = 检测到过热警告
0	OTSD	R	0h	过热关断故障状态。可通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除 0h = 未检测到过热关断 1h = 检测到过热关断

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9.2.3 电源状态寄存器（偏移 = 5h）[复位 = 0000h]

电源状态寄存器如表 9-14 所示。

返回到汇总表。

表 9-14. 电源状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-7	RESERVED	R-0	0h	保留
6	VM_OV	R	0h	Vm 过压故障状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到 Vm 过压 1h =检测到 Vm 过压
5	VREFEXT_UV	R	0h	VREF EXT UVLO 状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到 VREF 外部 UVLO 情况 1h = 检测到 VREF 外部 UVLO 情况
4	CP_UV	R	0h	电荷泵欠压故障状态。状态保持锁存状态，直到通过写入 FLT_CLR 或 nSLEEP 上收到复位脉冲来清除。 0h = 未检测到电荷泵欠压 1h = 检测到电荷泵欠压
3-0	RESERVED	R-0	0h	保留

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9.2.4 驱动器状态寄存器（偏移 = 6h）[复位 = 0000h]

驱动器状态寄存器如表 9-15 所示。

返回到汇总表。

表 9-15. 驱动器状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-13	RESERVED	R-0	0h	保留
12	W_LS_GATE_LO	R	0h	W 相低侧栅极信号状态 0h = W 相 LS FET 导通 1h = W 相 LS FET 关闭
11	V_LS_GATE_LO	R	0h	V 相低侧栅极信号状态 0h = V 相 LS FET 导通 1h = V 相 LS FET 关闭
10	U_LS_GATE_LO	R	0h	U 相低侧栅极信号状态 0h = U 相 LS FET 导通 1h = U 相 LS FET 关闭
9	W_HS_GATE_LO	R	0h	W 相高侧栅极信号状态 0h = W 相 HS FET 导通 1h = W 相 HS FET 关闭
8	V_HS_GATE_LO	R	0h	V 相高侧栅极信号状态 0h = V 相 HS FET 导通 1h = V 相 HS FET 关闭
7	U_HS_GATE_LO	R	0h	U 相高侧栅极信号状态 0h = U 相 HS FET 导通 1h = U 相 HS FET 关断
6	OCPC_HS	R	0h	OUTC 的高侧开关上的过流状态 0h = 未在 OUTC 的高侧 MOSFET 上检测到过流 1h = 在 OUTC 的高侧 MOSFET 上检测到过流
5	OCPB_HS	R	0h	OUTB 的高侧开关上的过流状态 0h = 未在 OUTB 的高侧 MOSFET 上检测到过流 1h = 在 OUTB 的高侧 MOSFET 上检测到过流
4	OCPA_HS	R	0h	OUTA 的高侧开关上的过流状态 0h = 未在 OUTA 的高侧 MOSFET 上检测到过流 1h = 在 OUTA 的高侧 MOSFET 上检测到过流
3	RESERVED	R-0	0h	保留
2	OCPC_LS	R	0h	OUTC 的低侧开关上的过流状态 0h = 未在 OUTC 的低侧 MOSFET 上检测到过流 1h = 在 OUTC 的低侧 MOSFET 上检测到过流
1	OCPB_LS	R	0h	OUTB 的低侧开关上的过流状态 0h = 未在 OUTB 的低侧 MOSFET 上检测到过流 1h = 在 OUTB 的低侧 MOSFET 上检测到过流
0	OCPA_LS	R	0h	OUTA 的低侧开关上的过流状态 0h = 未在 OUTA 的低侧 MOSFET 上检测到过流 1h = 在 OUTA 的低侧 MOSFET 上检测到过流

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9.2.5 系统接口状态寄存器（偏移 = 7h）[复位 = 0000h]

系统接口状态寄存器如表 9-16 所示。

返回到汇总表。

表 9-16. 系统接口状态寄存器字段说明

位	字段	类型	复位	说明
15	奇偶校验	R	0h	如果 SPI_PEN 设置为“1”，则为奇偶校验位，否则保留
14-5	RESERVED	R-0	0h	保留
4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2	SPI_PARITY	R	0h	SPI 奇偶校验错误 0h = 未检测到 SPI 奇偶校验错误 1h = 检测到 SPI 奇偶校验错误
1	RESERVED	R-0	0h	保留
0	FRM_ERR	R	0h	SPI 帧错误 0h = 未检测到 SPI 帧错误 1h = 检测到 SPI 帧错误

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

10.1 应用信息

DRV8374-Q1 可用于驱动无刷直流电机。以下设计过程可用于配置 DRV8374-Q1。

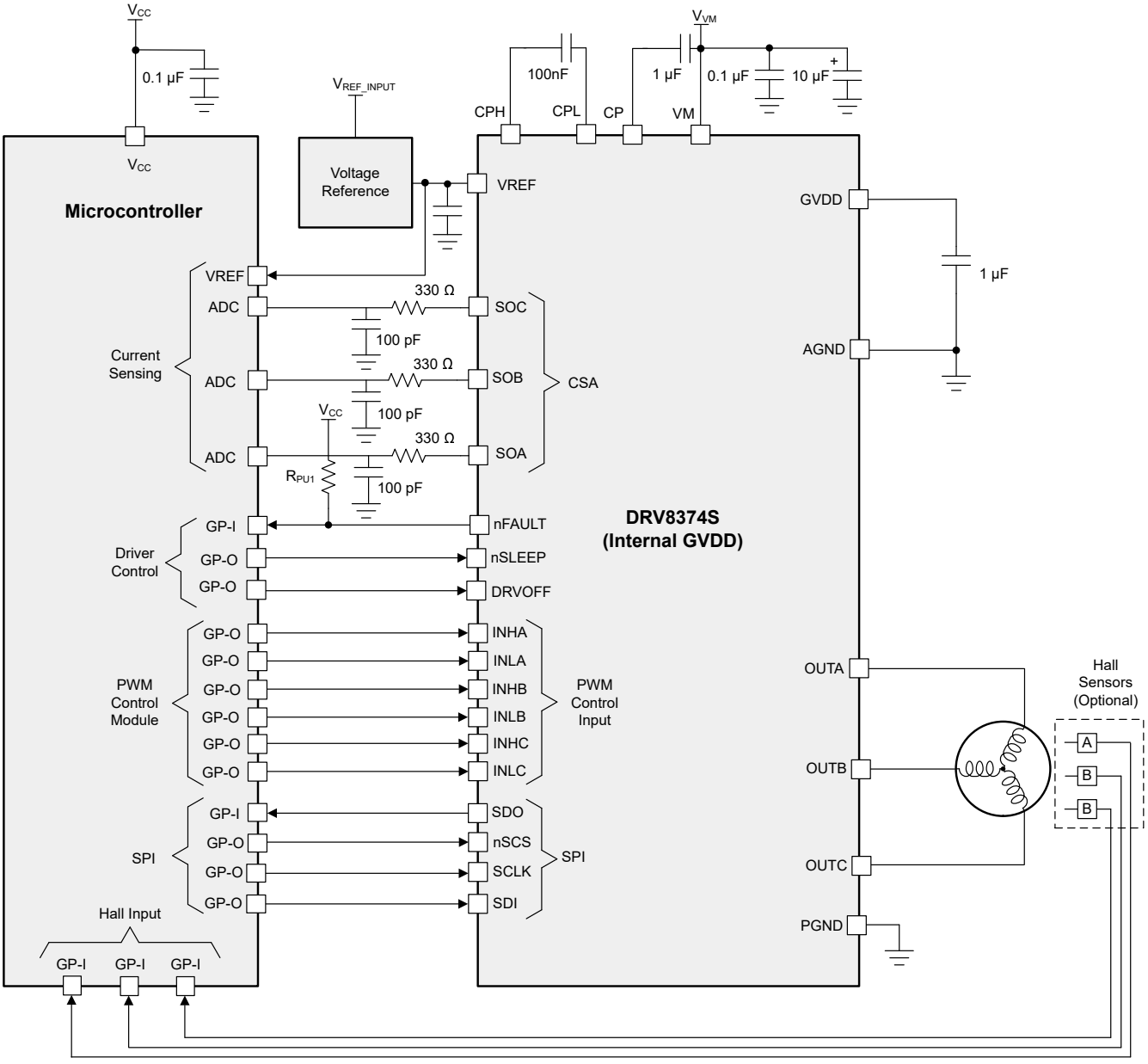


图 10-1. 29 引脚 DRV8374 SPI 型号的主要应用原理图

ADVANCE INFORMATION

ADVANCE INFORMATION

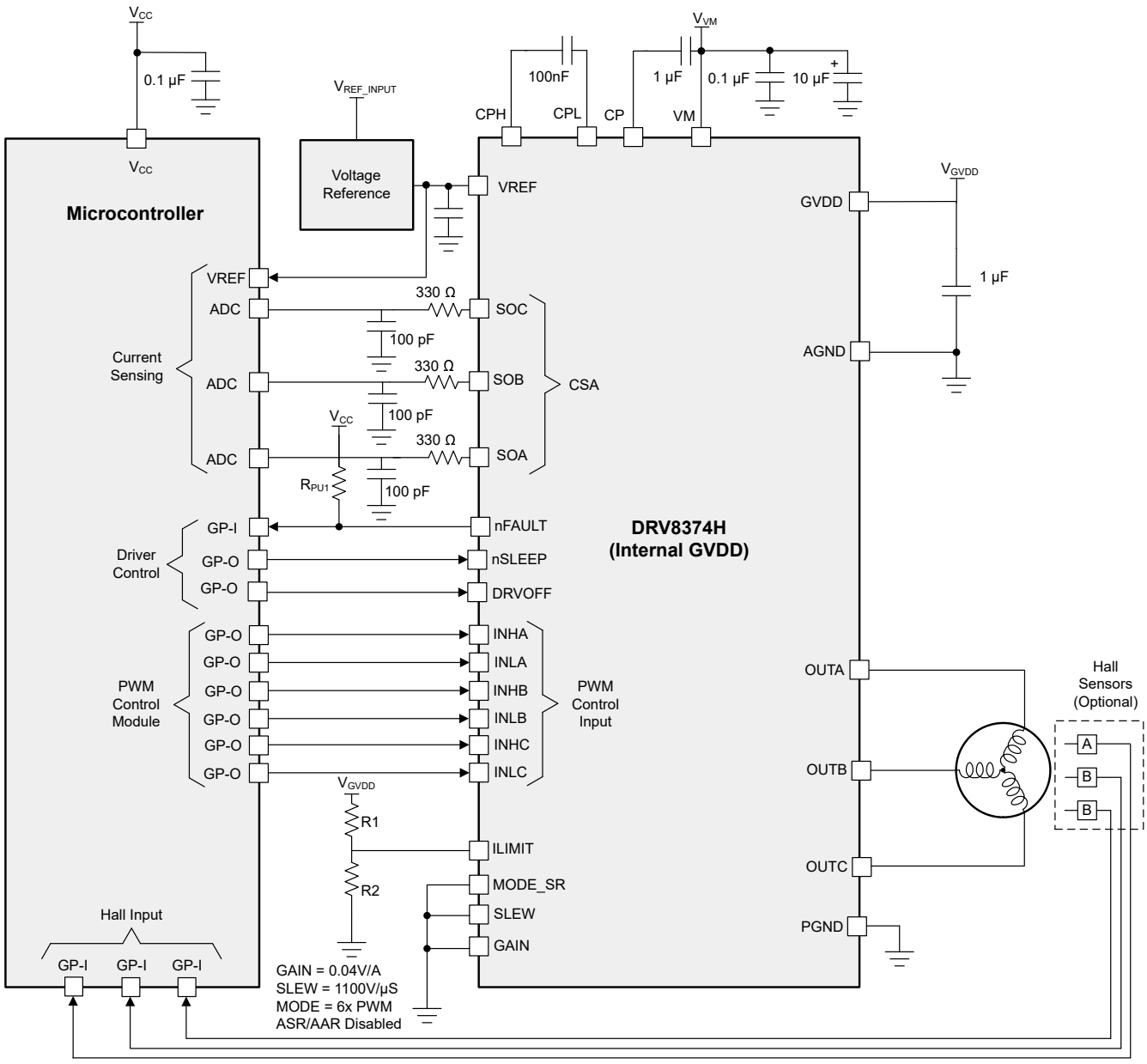


图 10-2. 29 引脚 DRV8374 硬件型号的主要应用原理图

10.2 电源相关建议

10.2.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常更有益，但缺点在于会增加成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的电容和电流能力
- 电源和电机系统之间的寄生电感量
- 可接受的电压纹波
- 使用的电机类型（有刷直流、无刷直流、步进电机）

Copyright © 2026 Texas Instruments Incorporated

- 电机制动方法

电源与电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

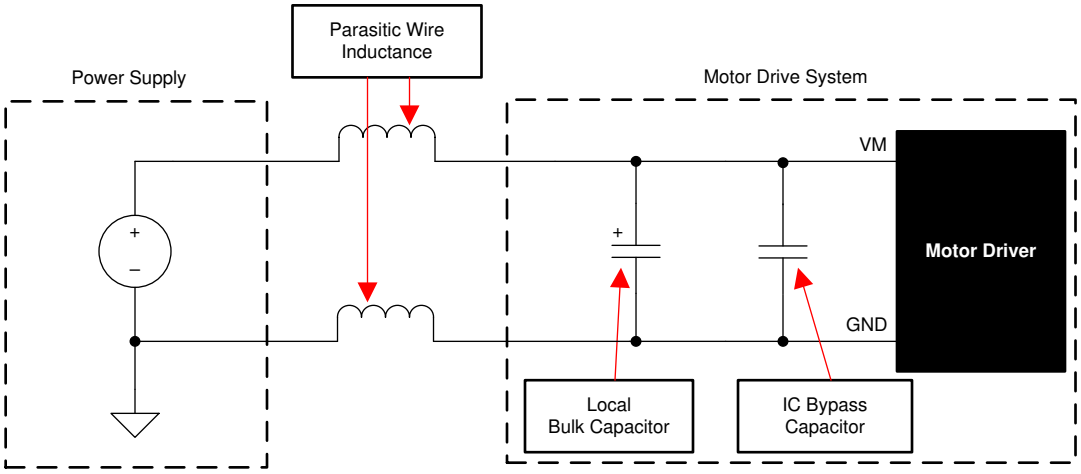


图 10-3. 带外部电源的电机驱动系统示例设置

大容量电容的额定电压必须高于工作电压，以便在电机向电源传递能量时提供裕度。

10.3 布局

10.3.1 布局指南

放置大容量电容器时，必须尽量缩短通过电机驱动器器件的大电流路径的距离。连接金属走线宽度必须尽可能宽，并且在连接 PCB 层时必须使用许多过孔。这些做法可更大限度地减少电感并允许大容量电容器提供大电流。电荷泵、GVDD 和 VREF 电容器等低容值电容器必须为陶瓷电容器，并应靠近器件引脚放置。大电流器件输出必须使用宽金属走线。

为减少大瞬态电流进入小电流信号路径的噪声耦合和 EMI 干扰，必须在 PGND 和 AGND 之间分区接地。TI 建议将所有非功率级电路连接到 AGND，以降低寄生效应并改善器件的功率耗散。保持接地端通过网络连接或宽电阻器连接，以减小电压偏移并保持栅极驱动器性能。TI 建议在 PGND 焊盘上使用过孔以提高热效率，并在器件下方布置实心 PGND 平面。必须使用多个过孔连接到大型底层接地平面。使用大金属平面和多个过孔有助于散发器件中产生的 $I^2 \times R_{DS(on)}$ 热量。

为了提高热性能，请在 PCB 的所有可能层上尽可能地增大连接到散热焊盘接地端的接地面积。使用较厚的覆铜可以降低结至空气热阻并改善芯片表面的散热。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10.3.2 布局示例

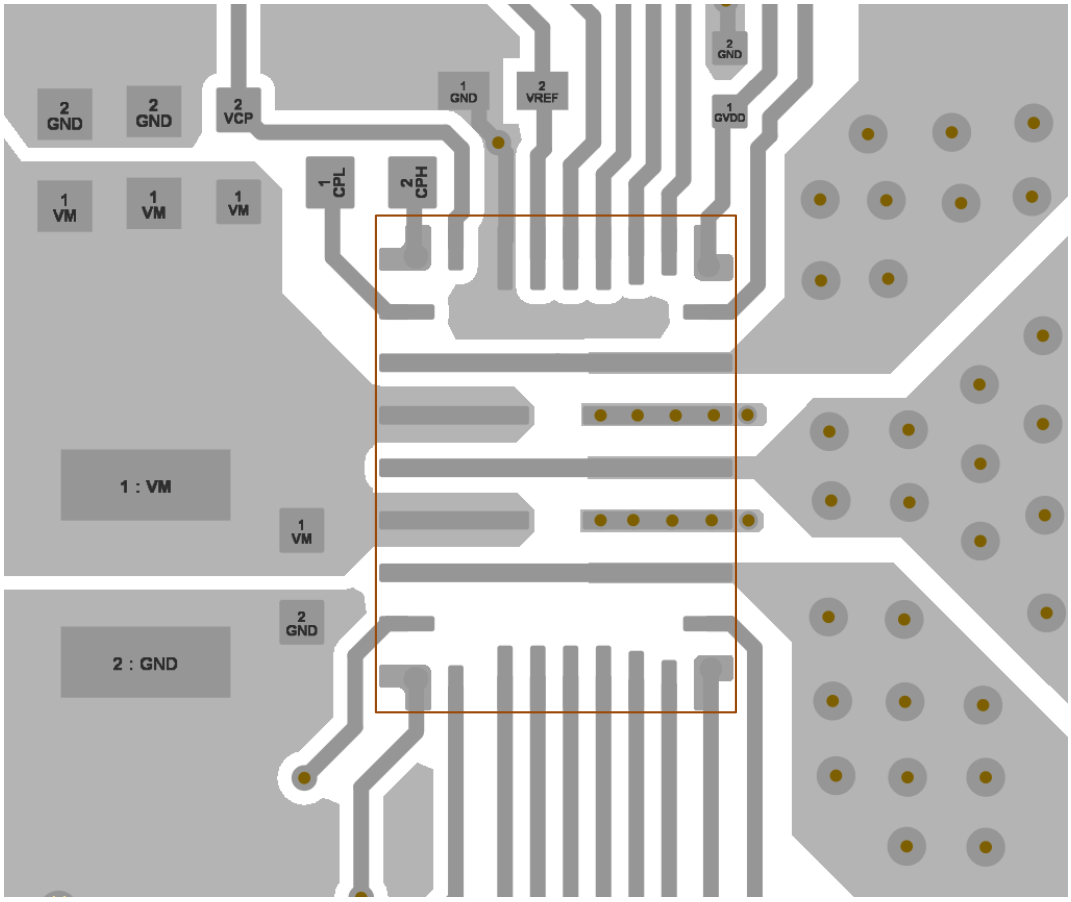


图 10-4. VQFN 29 引脚封装布局示例

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

10.3.3 散热注意事项

DRV8374-Q1 具有热关断功能 (TSD)，如前所述。如果内核温度超过 150°C（最低），则会禁用器件，直到温度降至安全水平。

如果该器件有任何进入热关断状态的倾向，则说明功耗过大、散热不足或环境温度过高。

10.3.3.1 功率耗散

DRV8374-Q1 中的功率损耗包括待机功率损耗、LDO 功率损耗、FET 导通和开关损耗以及二极管损耗。FET 导通损耗在 DRV8374-Q1 的总功率耗散中占主导地位。在启动和故障情况下，输出电流远大于正常电流；务必将这些峰值电流及持续时间考虑在内。总器件耗散是三个半桥中每个半桥耗散的总功率。器件可耗散的最大功率取决于环境温度和散热。请注意，$R_{DS,ON}$ 随温度升高而增加，因此随着器件发热，功率耗散也会增大。在设计 PCB 和散热时，应考虑这一点。

下面显示了梯形控制的每个损耗计算公式的摘要。

表 10-1. DRV8374-Q1 梯形和场定向控制的功率损耗

损耗类型	梯形	场定向控制
由于静态电流造成的功率损耗	$P_{standby} = VM \times I_{VM_TA}$	
LDO	$P_{LDO} = (VM-V_{GVDD}) \times I_{GVDD}$ $P_{LDO} = (VM-V_{AVDD}) \times I_{AVDD}$	
FET 导通	$P_{CON} = 2 \times (I_{PK(trap)})^2 \times R_{ds,on(TA)}$	$P_{CON} = 3 \times (I_{RMS(FOC)})^2 \times R_{ds,on(TA)}$
FET 开关	$P_{SW} = I_{PK(trap)} \times V_{PK(trap)} \times t_{rise/fall} \times f_{PWM}$	$P_{SW} = 3 \times I_{RMS(FOC)} \times V_{PK(FOC)} \times t_{rise/fall} \times f_{PWM}$
二极管	$P_{diode} = 2 \times I_{PK(trap)} \times V_{F(diode)} \times t_{DEADTIME} \times f_{PWM}$	$P_{diode} = 6 \times I_{RMS(FOC)} \times V_{F(diode)} \times t_{DEADTIME} \times f_{PWM}$

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

11 器件和文档支持

11.1 文档支持

11.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

11.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

日期	修订版本	注释
2026 年 8 月	*	初始发行版。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查看左侧的导航窗格。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV8374SQVEORQ1	Active	Preproduction	VQFN-FCRLF (VEO) | 29	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) Status: For more details on status, see our product life cycle.

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月