DRV835xF 100V 三相智能栅极驱动器

1 特性

- 9V 至 100V 三半桥栅极驱动器
  - 可选的三个低侧电流分流放大器
- 功能安全质量管理型
  - 可提供有助于进行 IEC 61800-5-2 功能安全系统设计的文档
- 智能栅极驱动架构
  - 可调压摆率控制，可优化 EMI 性能
  - V_{GS} 握手和最小死区时间插入，可避免发生击穿
  - 50mA 至 1A 峰值拉电流
  - 100mA 至 2A 峰值灌电流
  - 通过强下拉能力减小 dV/dt
- 集成栅极驱动器电源
  - 高侧倍增电荷泵可实现 100% PWM 占空比控制
  - 低侧线性稳压器
- 集成三个电流分流放大器
  - 可调增益（5、10、20、40 V/V）
  - 双向或单向支持
- 6x、3x、1x 和独立 PWM 模式
  - 支持 120° 有传感器运行
- 提供 SPI 或硬件接口
- 低功耗睡眠模式（V_{VM} = 48V 时为 20μA）
- 集成保护特性
  - VM 欠压锁定 (UVLO)
  - 栅极驱动电源欠压 (GDUV)
  - MOSFET V_{DS} 过流保护 (OCP)
  - MOSFET 击穿保护
  - 栅极驱动器故障 (GDF)
  - 热警告和热关断 (OTW/OTSD)
  - 故障状态指示器 (nFAULT)

2 应用

- 三相无刷直流 (BLDC) 电机模块
- 伺服驱动器、工厂自动化
- 线性电机运输系统
- 工业协作机器人
- 自动导航车、送货无人机
- 电动自行车、电动踏板车和电动汽车

3 说明

DRV835xF 系列器件均为高度集成的栅极驱动器，适用于三相无刷直流 (BLDC) 电机应用。这些器件型号提供了可选的集成式分流放大器以支持不同的电机控制方案。

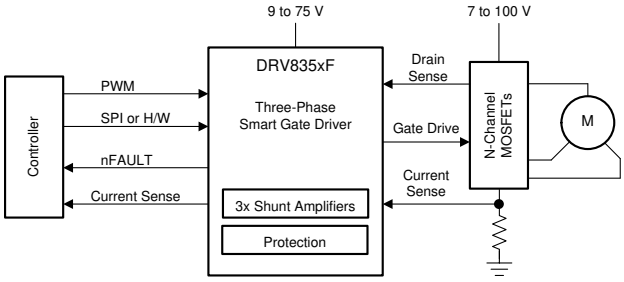
DRV835xF 通过采用智能栅极驱动 (SGD) 架构减少了 MOSFET 压摆率控制和保护电路通常所需要的外部元件数量。SGD 架构还可优化死区时间以防止击穿问题，在通过 MOSFET 压摆率控制技术降低电磁干扰 (EMI) 方面带来了灵活性，并可通过 V_{GS} 监控器防止栅极短路问题。强大的栅极下拉电路有助于防止不必要的 dV/dt 寄生栅极开启事件。

该系列器件支持各种 PWM 控制模式（6x、3x、1x 和独立模式），可简化与外部控制器的连接。这些模式可减少电机驱动器 PWM 控制信号所需的控制器输出数量。该系列器件还包括 1x PWM 模式，因此可通过内部阻塞换向表轻松对 BLDC 电机进行传感器式梯形控制。

器件信息

(1)器件型号	封装	封装尺寸（标称值）
DRV8350F	WQFN (32)	5.00mm × 5.00mm
DRV8353F	WQFN (40)	6.00mm × 6.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版原理图

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。
English Data Sheet: SLVSFV1

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 器件比较表.....3
6 引脚配置和功能.....3
引脚功能 - 32 引脚 DRV8350F 器件.....3
引脚功能 - 40 引脚 DRV8353F 器件.....4
7 规格.....6
7.1 绝对最大额定值.....6
7.2 ESD 等级.....6
7.3 建议运行条件.....7
7.4 热性能信息.....7
7.5 电气特性.....8
7.6 SPI 时序要求.....14
7.7 典型特性.....15
8 详细说明.....17
8.1 概述.....17
8.2 功能方框图.....18
8.3 特性说明.....21
8.4 器件功能模式.....44
8.5 编程.....45
8.6 寄存器映射.....47
9 应用和实现.....56
9.1 应用信息.....56
9.2 典型应用.....56
10 电源相关建议.....67
10.1 确定大容量电容的大小.....67
11 布局.....68
11.1 布局指南.....68
11.2 布局示例.....69
12 器件和文档支持.....70
12.1 器件支持.....70
12.2 文档支持.....70
12.3 相关链接.....71
12.4 接收文档更新通知.....71
12.5 支持资源.....71
12.6 商标.....71
12.7 Electrostatic Discharge Caution.....71
12.8 术语表.....71
13 机械、封装和可订购信息.....71

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (October 2020) to Revision B (August 2021) — **Page**

- 删除了 DRV8353RF 和 DRV8350RF 引用.....1
- 更新了主要和替代应用示意图.....56
- 更新了布局示例.....69
- 更新了器件命名规则.....70

Changes from Revision * (August 2018) to Revision A (October 2020) — **Page**

- 将文档状态更改为量产数据。.....1
- 从 DRV8350 和 DRV8353 器件中删除了仅供预览的标注。.....1

Copyright © 2022 Texas Instruments Incorporated

5 器件比较表

器件	变体	分流放大器	接口
DRV8350F	DRV8350FH	0	硬件 (H)
	DRV8350FS		SPI (S)
DRV8353F	DRV8353FH	3	硬件 (H)
	DRV8353FS		SPI (S)

6 引脚配置和功能

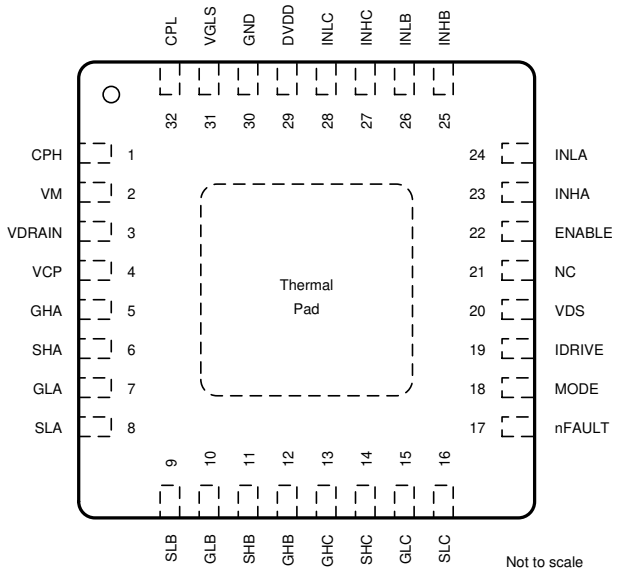


图 6-1. DRV8350FH RTV 封装 32 引脚 WQFN（带有外露散热焊盘）顶视图

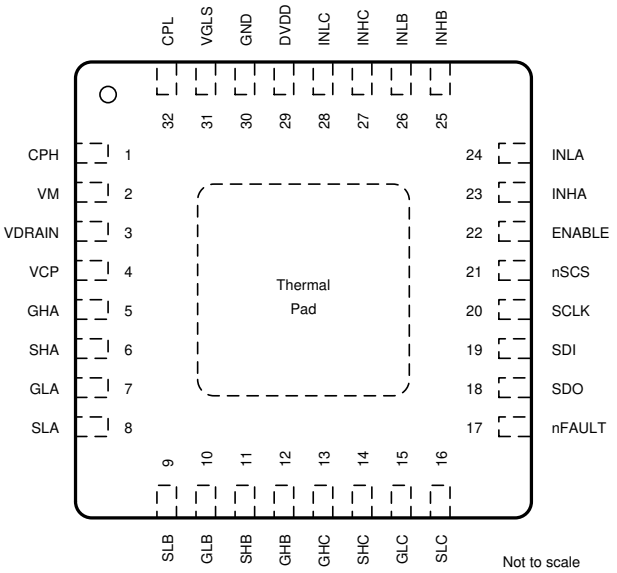


图 6-2. DRV8350FS RTV 封装 32 引脚 WQFN（带有外露散热焊盘）顶视图

引脚功能 - 32 引脚 DRV8350F 器件

引脚			类型[(1)]	说明
名称	编号			
	DRV8350FH	DRV8350FS		
CPH	1	1	PWR	电荷泵开关节点。在 CPH 和 CPL 引脚之间连接一个 X5R 或 X7R、47nF、额定电压为 VDRAIN 的陶瓷电容器。
CPL	32	32	PWR	电荷泵开关节点。在 CPH 和 CPL 引脚之间连接一个 X5R 或 X7R、47nF、额定电压为 VDRAIN 的陶瓷电容器。
DVDD	29	29	PWR	5V 内部稳压器输出。在 DVDD 和 GND 引脚之间连接一个 X5R 或 X7R、1μF、6.3V 陶瓷电容器。该稳压器可从外部拉取高达 10mA 的电流。
ENABLE	22	22	I	栅极驱动器使能。当该引脚为逻辑低电平时，器件进入低功耗睡眠模式。可以使用一个 8 至 40μs 的脉冲来重置故障条件。
GHA	5	5	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GHB	12	12	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GHC	13	13	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GLA	7	7	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GLB	10	10	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GLC	15	15	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GND	30	30	PWR	器件初级接地。连接到系统接地端。
IDRIVE	19	—	I	栅极驱动输出电流设置。该引脚是由外部电阻器设置的 7 电平输入引脚。
INHA	23	23	I	高侧栅极驱动器控制输入。该引脚控制高侧栅极驱动器的输出。
INHB	25	25	I	高侧栅极驱动器控制输入。该引脚控制高侧栅极驱动器的输出。
INHC	27	27	I	高侧栅极驱动器控制输入。该引脚控制高侧栅极驱动器的输出。
INLA	24	24	I	低侧栅极驱动器控制输入。该引脚控制低侧栅极驱动器的输出。
INLB	26	26	I	低侧栅极驱动器控制输入。该引脚控制低侧栅极驱动器的输出。

Copyright © 2022 Texas Instruments Incorporated

引脚			类型(1)	说明
名称	编号			
	DRV8350FH	DRV8350FS		
INLC	28	28	I	低侧栅极驱动器控制输入。该引脚控制低侧栅极驱动器的输出。
MODE	18	—	I	PWM 输入模式设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
NC	21	—	NC	无内部连接。该引脚可以悬空或连接到系统接地端。
nFAULT	17	17	OD	故障指示灯输出。该引脚在发生故障期间被拉至逻辑低电平，并且需要使用一个外部上拉电阻器。
nSCS	—	21	I	串行芯片选择。此引脚上的逻辑低电平可支持串行接口通信。
SCLK	—	20	I	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。
SDI	—	19	I	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。
SDO	—	18	OD	串行数据输出。在 SCLK 引脚的上升沿移出数据。该引脚需要使用一个外部上拉电阻器。
SHA	6	6	I	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
SHB	11	11	I	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
SHC	14	14	I	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
SLA	8	8	I	低侧源极感测输入。连接到低侧功率 MOSFET 源极。
SLB	9	9	I	低侧源极感测输入。连接到低侧功率 MOSFET 源极。
SLC	16	16	I	低侧源极感测输入。连接到低侧功率 MOSFET 源极。
VCP	4	4	PWR	电荷泵输出。在 VCP 和 VDRAIN 引脚之间连接一个 X5R 或 X7R、1μF、16V 陶瓷电容器。
VDRAIN	3	3	I	高侧 MOSFET 漏极感测输入和电荷泵基准。连接到 MOSFET 漏极的公共点。
VDS	20	—	I	VDS 监视器跳变点设置。该引脚是由外部电阻器设置的 7 电平输入引脚。
VGLS	31	31	PWR	11V 内部稳压器输出。在 VGLS 和 GND 引脚之间连接一个 X5R 或 X7R、1μF、16V 陶瓷电容器。
VM	2	2	PWR	栅极驱动器电源输入。连接到 VDRAIN 或单独的栅极驱动器电源电压。在 VM 和 GND 引脚之间连接一个 X5R 或 X7R、0.1μF、额定电压为 VM、局部电容大于或等于 10uF 的电容器。

(1) PWR = 电源，I = 输入，O = 输出，NC = 无连接，OD = 开漏

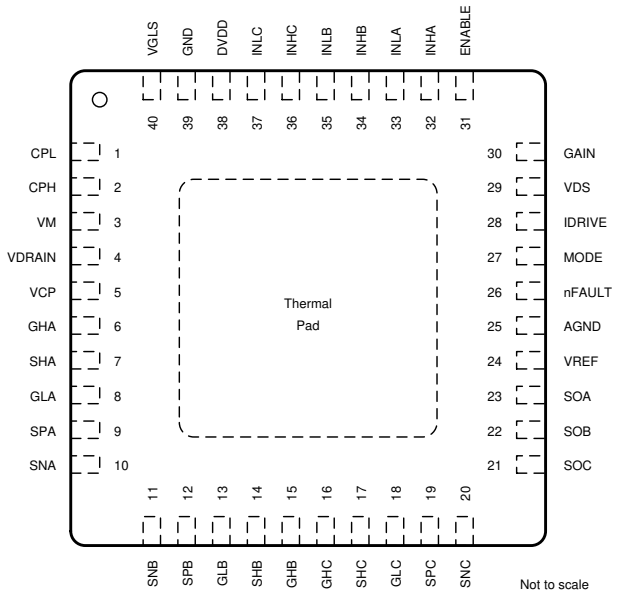


图 6-3. DRV8353FH RTA 封装 40 引脚 WQFN（带有外露散热焊盘）顶视图

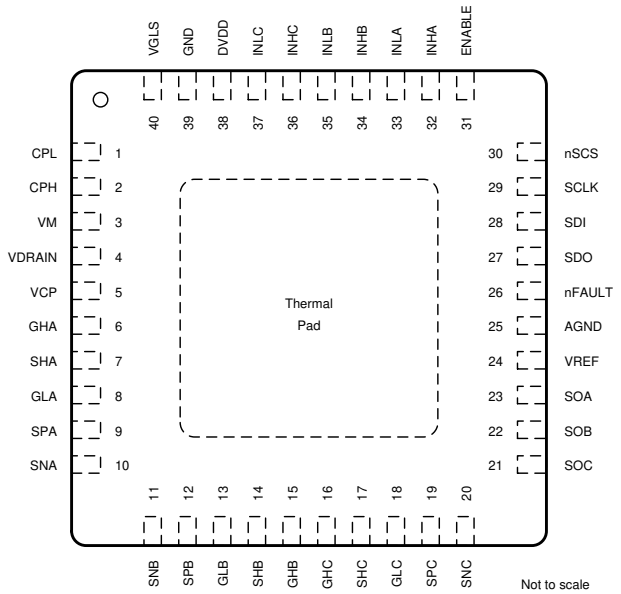


图 6-4. DRV8353FS RTA 封装 40 引脚 WQFN（带有外露散热焊盘）顶视图

引脚功能 - 40 引脚 DRV8353F 器件

引脚			类型(1)	说明
名称	编号			
	DRV8353FH	DRV8353FS		
AGND	25	25	PWR	器件模拟接地。连接到系统接地端。
CPH	2	2	PWR	电荷泵开关节点。在 CPH 和 CPL 引脚之间连接一个 X5R 或 X7R、47nF、额定电压为 VDRAIN 的陶瓷电容器。

Copyright © 2022 Texas Instruments Incorporated

引脚			类型[1]	说明
名称	编号			
	DRV8353FH	DRV8353FS		
CPL	1	1	PWR	电荷泵开关节点。在 CPH 和 CPL 引脚之间连接一个 X5R 或 X7R、47nF、额定电压为 VDRAIN 的陶瓷电容器。
DVDD	38	38	PWR	5V 内部稳压器输出。在 DVDD 和 GND 引脚之间连接一个 X5R 或 X7R、1μF、6.3V 陶瓷电容器。该稳压器可从外部拉取高达 10mA 的电流。
ENABLE	31	31	I	栅极驱动器使能。当该引脚为逻辑低电平时，器件进入低功耗睡眠模式。可以使用一个 8 至 40μs 的低电平脉冲来重置故障条件。
GAIN	30	—	I	放大器增益设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
GND	39	39	PWR	器件电源接地。连接到系统接地端。
GHA	6	6	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GHB	15	15	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GHC	16	16	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GLA	8	8	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GLB	13	13	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GLC	18	18	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
IDRIVE	28	—	I	栅极驱动输出电流设置。该引脚是由外部电阻器设置的 7 电平输入引脚。
INHA	32	32	I	高侧栅极驱动器控制输入。该引脚控制高侧栅极驱动器的输出。
INHB	34	34	I	高侧栅极驱动器控制输入。该引脚控制高侧栅极驱动器的输出。
INHC	36	36	I	高侧栅极驱动器控制输入。该引脚控制高侧栅极驱动器的输出。
INLA	33	33	I	低侧栅极驱动器控制输入。该引脚控制低侧栅极驱动器的输出。
INLB	35	35	I	低侧栅极驱动器控制输入。该引脚控制低侧栅极驱动器的输出。
INLC	37	37	I	低侧栅极驱动器控制输入。该引脚控制低侧栅极驱动器的输出。
MODE	27	—	I	PWM 输入模式设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
nFAULT	26	26	OD	故障指示灯输出。该引脚在发生故障期间被拉至逻辑低电平，并且需要使用一个外部上拉电阻器。
nSCS	—	30	I	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。
SCLK	—	29	I	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。
SDI	—	28	I	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。
SDO	—	27	OD	串行数据输出。在 SCLK 引脚的上升沿移出数据。该引脚需要使用一个外部上拉电阻器。
SHA	7	7	I	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
SHB	14	14	I	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
SHC	17	17	I	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
SNA	10	10	I	分流放大器输入。连接到电流分流电阻的低侧。
SNB	11	11	I	分流放大器输入。连接到电流分流电阻的低侧。
SNC	20	20	I	分流放大器输入。连接到电流分流电阻的低侧。
SOA	23	23	O	分流放大器输出。
SOB	22	22	O	分流放大器输出。
SOC	21	21	O	分流放大器输出。
SPA	9	9	I	低侧源极感测和分流放大器输入。连接到低侧功率 MOSFET 源极和电流分流电阻器的高侧。
SPB	12	12	I	低侧源极感测和分流放大器输入。连接到低侧功率 MOSFET 源极和电流分流电阻器的高侧。
SPC	19	19	I	低侧源极感测和分流放大器输入。连接到低侧功率 MOSFET 源极和电流分流电阻器的高侧。
VCP	5	5	PWR	电荷泵输出。在 VCP 和 VDRAIN 引脚之间连接一个 X5R 或 X7R、1μF、16V 陶瓷电容器。
VDRAIN	4	4	I	高侧 MOSFET 漏极感测输入和电荷泵基准。连接到 MOSFET 漏极的公共点。
VDS	29	—	I	VDS 监视器跳变点设置。该引脚是由外部电阻器设置的 7 电平输入引脚。
VGLS	40	40	PWR	11V 内部稳压器输出。在 VGLS 和 GND 引脚之间连接一个 X5R 或 X7R、1μF、16V 陶瓷电容器。
VM	3	3	PWR	栅极驱动器电源输入。连接到 VDRAIN 或单独的栅极驱动器电源电压。在 VM 和 GND 引脚之间连接一个 X5R 或 X7R、0.1μF、额定电压为 VM、局部电容大于或等于 10uF 的电容器。
VREF	24	24	PWR	分流放大器电源输入和基准。在 VREF 和 AGND 引脚之间连接一个 X5R 或 X7R、0.1μF、6.3V 陶瓷电容器。

(1) PWR = 电源，I = 输入，O = 输出，NC = 无连接，OD = 开漏

7 规格

7.1 绝对最大额定值

测试条件为：T_A = –40°C 至 +125°C（除非另有说明）[1]

	最小值	最大值	单位
栅极驱动器			
电源引脚电压 (VM)	–0.3	80	V
接地引脚（AGND、BGND、DGND、PGND）之间的电压差	-0.3	0.3	V
MOSFET 漏极感测引脚电压 (VDRAIN)	–0.3	102	V
MOSFET 漏极感测引脚电压压摆率 (VDRAIN)	0	2	V/µs
电荷泵引脚电压（CPH、VCP）	–0.3	V_{VDRAIN} + 16	V
电荷泵负开关引脚电压 (CPL)	–0.3	V_{VDRAIN}	V
低侧栅极驱动稳压器引脚电压 (VGLS)	–0.3	18	V
内部逻辑稳压器引脚电压 (DVDD)	-0.3	5.75	V
数字引脚电压（ENABLE、GAIN、IDRIVE、INHx、INLx、MODE、nFAULT、nSCS、SCLK、SDI、SDO、VDS）	-0.3	5.75	V
连续高侧栅极驱动引脚电压 (GHx)	–5[2]	V_{VCP} + 0.3	V
高侧栅极驱动引脚 200ns 瞬态电压 (GHx)	-10	V_{VCP} + 0.3	V
以 SHx 为基准的高侧栅极驱动引脚电压 (GHx)	-0.3	16	V
连续高侧源极感测引脚电压 (SHx)	–5[2]	102	V
连续高侧源极感测引脚电压 (SHx)	–5[2]	V_{VDRAIN} + 5	V
高侧源极感测引脚 200ns 瞬态电压 (SHx)	-10	V_{VDRAIN} + 10	V
连续低侧栅极驱动引脚电压 (GLx)	-1.0	V_{VGLS} + 0.3	V
低侧栅极驱动引脚 200ns 瞬态电压 (GLx)	-5.0	V_{VGLS} + 0.3	V
栅极驱动引脚拉电流（GHx、GLx）	受内部限制	受内部限制	A
栅极驱动引脚灌电流（GHx、GLx）	受内部限制	受内部限制	A
连续低侧源极感测引脚电压 (SLx)	-1	1	V
低侧源极感测引脚 200ns 瞬态电压 (SLx)	-5	5	V
连续分流放大器输入引脚电压（SNx、SPx）	-1	1	V
分流放大器输入引脚 200ns 瞬态电压（SNx、SPx）	-5	5	V
基准输入引脚电压 (VREF)	-0.3	5.75	V
分流放大器输出引脚电压 (SOx)	–0.3	V_{VREF} + 0.3	V
环境温度，T_A	-40	125	°C
结温，T_J	-40	150	°C
贮存温度，T_{stg}	-65	150	℃

(1) 超出*绝对最大额定值*下列出的压力可能会对器件造成永久损坏。这些仅仅是压力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 以高侧栅极引脚 (GHx) 和相节点引脚电压 (SHx) 为基准的 VDRAIN 引脚电压应限制为最大 102V。当 VDRAIN 大于 92V 时，这将限制 GHx 和 SHx 引脚负电压能力。

7.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[1]	±1000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101[2]	±500	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。列为 ±2000V 的引脚实际上可能具有更高的性能。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。列为 ±500 V 的引脚实际上可能具有更高的性能。

Copyright © 2022 Texas Instruments Incorporated

7.3 建议运行条件

测试条件为：T_A = –40°C 至 +125°C（除非另有说明）

		最小值	最大值	单位
栅极驱动器				
V_{VM}	栅极驱动器电源电压 (VM)	9	75	V
V_{VDRAIN}	电荷泵基准和漏极电压感测 (VDRAIN)	7	100	V
V_I	输入电压（ENABLE、GAIN、IDRIVE、INHx、INLx、MODE、nSCS、SCLK、SDI、VDS）	0	5.5	V
f_{PWM}	施加的 PWM 信号（INHx、INLx）	0	200(1)	kHz
t_{SH}	开关节点压摆率范围 (SHx)	0	2	V/ns
I_{GATE_HS}	高侧平均栅极驱动电流 (GHx)	0	25(1)	mA
I_{GATE_LS}	低侧平均栅极驱动电流 (GLx)	0	25(1)	mA
I_{DVDD}	外部负载电流 (DVDD)	0	10(1)	mA
V_{VREF}	基准电压输入 (VREF)	3	5.5	V
I_{SO}	分流放大器输出电流 (SOx)	0	5	mA
V_{OD}	开漏上拉电压（nFAULT、SDO）	0	5.5	V
I_{OD}	开漏输出电流（nFAULT、SDO）	0	5	mA
T_A	工作环境温度	-40	125	°C
T_J	工作结温	-40	150	°C

(1) 必须遵循功率耗散和热限值。

7.4 热性能信息

热指标(1)		DRV8350F RTV (WQFN) 32 引脚	DRV8353F RTA (WQFN) 40 引脚	单位
$R_{\theta JA}$	结至环境热阻	29.2	26.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	15.2	13.1	°C/W
$R_{\theta JB}$	结至电路板热阻	9.2	8.4	°C/W
ψ_{JT}	结至顶部特征参数	0.1	0.1	°C/W
ψ_{JB}	结至电路板特征参数	9.2	8.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.2	1.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅《半导体和 IC 封装热指标》应用报告。

7.5 电气特性

测试条件为 T_A = –40°C 至 +125°C，V_{VM} = 9 至 75V，V_{VDRAIN} = 9 至 100V，V_{VIN} = 48V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源电压（DVDD、VCP、VGLS、VM）						
I_{VM}	VM 工作电源电流	V_{VM} = V_{VDRAIN} = 48V，ENABLE = 3.3V，INHx/INLx = 0V		8.5	13	mA
I_{VDRAIN}	VDRAIN 工作电源电流	V_{VM} = V_{VDRAIN} = 48V，ENABLE = 3.3V，INHx/INLx = 0V		1.9	4	mA
I_{SLEEP}	睡眠模式电源电流	ENABLE = 0V，V_{VM} = V_{VDRAIN} = 48V，T_A = 25°C		20	40	μA
		ENABLE = 0V，V_{VM} = V_{VDRAIN} = 48V，T_A = 125°C			100	
t_{RST}	复位脉冲时间	ENABLE = 0V 周期以重置故障	5		40	μs
t_{WAKE}	开通时间	V_{VM} > V_{UVLO}，ENABLE = 3.3V 以使输出就绪			1	ms
t_{SLEEP}	关断时间	ENABLE = 0V 以使器件进入睡眠模式			1	ms
V_{DVDD}	DVDD 稳压器电压	I_{DVDD} = 0 至 10mA	4.75	5	5.25	V
V_{VCP}	以 VDRAIN 为基准的 VCP 工作电压	V_{VM} = 15V，I_{VCP} = 0 至 25mA	9	10.5	12	V
		V_{VM} = 12V，I_{VCP} = 0 至 20mA	7.5	10	11.5	
		V_{VM} = 10V，I_{VCP} = 0 至 15mA	6	8	9.5	
		V_{VM} = 9V，I_{VCP} = 0 至 10mA	5.5	7.5	8.5	
V_{VGLS}	以 GND 为基准的 VGLS 工作电压	V_{VM} = 15V，I_{VGLS} = 0 至 25mA	13	14.5	16	V
		V_{VM} = 12V，I_{VGLS} = 0 至 20mA	10	11.5	12.5	

Copyright © 2022 Texas Instruments Incorporated

测试条件为 T_A = –40°C 至 +125°C，V_{VM} = 9 至 75V，V_{VDRAIN} = 9 至 100V，V_{VIN} = 48V（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
		V_{VM} = 10V，I_{VGLS} = 0 至 15mA	8	9.5	10.5	
		V_{VM} = 9V，I_{VGLS} = 0 至 10mA	7	8.5	9.5	
逻辑电平输入（ENABLE、INHx、INLx、nSCS、SCLK、SDI）						
V_{IL}	输入逻辑低电压		0		0.8	V
V_{IH}	输入逻辑高电压		1.5		5.5	V
V_{HYS}	输入逻辑迟滞			100		mV
I_{IL}	输入逻辑低电流	V_{VIN} = 0 V	-5		5	μA
I_{IH}	输入逻辑高电流	V_{VIN} = 5 V		50	70	μA
R_{PD}	下拉电阻	接地		100		kΩ
t_{PD}	传播延迟	INHx/INLx 转换至 GHx/GLx 转换		200		ns
四电平 H/W 输入（GAIN、MODE）						
V_{I1}	输入模式 1 电压	接地		0		V
V_{COMP1}	四电平输入电压比较器 1	V_{I1} 和 V_{I2} 之间的电压比较器	1.156	1.256	1.356	V
V_{I2}	输入模式 2 电压	47kΩ ± 5% 连接至 GND		1.9		V
V_{COMP2}	四电平输入电压比较器 1	V_{I2} 和 V_{I3} 之间的电压比较器	2.408	2.508	2.608	V
V_{I3}	输入模式 3 电压	高阻态		3.1		V
V_{COMP3}	四电平输入电压比较器 3	V_{I3} 和 V_{I4} 之间的电压比较器	3.614	3.714	3.814	V
V_{I4}	输入模式 4 电压	连接至 DVDD		5		V
R_{PU}	上拉电阻	内部上拉到 DVDD		50		kΩ
R_{PD}	下拉电阻	内部下拉接地		84		kΩ
七电平 H/W 输入（IDRIVE、VDS）						
V_{I1}	输入模式 1 电压	接地		0		V
V_{COMP1}	七电平电压比较器 1	V_{I1} 和 V_{I2} 之间的电压比较器	0.057	0.157	0.257	V
V_{I2}	输入模式 2 电压	18kΩ ± 5% 接地		0.8		V
V_{COMP2}	七电平电压比较器 2	V_{I2} 和 V_{I3} 之间的电压比较器	1.158	1.258	1.358	V
V_{I3}	输入模式 3 电压	75kΩ ± 5% 接地		1.7		V
V_{COMP3}	七电平电压比较器 3	V_{I3} 和 V_{I4} 之间的电压比较器	2.257	2.357	2.457	V
V_{I4}	输入模式 4 电压	高阻态		2.5		V
V_{COMP4}	七电平电压比较器 4	V_{I4} 和 V_{I5} 之间的电压比较器	2.561	2.661	2.761	V
V_{I5}	输入模式 5 电压	75kΩ ± 5% 连接至 DVDD		3.3		V
V_{COMP5}	七电平电压比较器 5	V_{I5} 和 V_{I6} 之间的电压比较器	3.615	3.715	3.815	V
V_{I6}	输入模式 6 电压	18kΩ ± 5% 连接至 DVDD		4.2		V
V_{COMP6}	七电平电压比较器 6	V_{I6} 和 V_{I7} 之间的电压比较器	4.75	4.85	4.95	V
V_{I7}	输入模式 7 电压	连接至 DVDD		5		V
R_{PU}	上拉电阻	内部上拉到 DVDD		73		kΩ
R_{PD}	下拉电阻	内部下拉接地		73		kΩ
开漏输出（nFAULT、SDO）						
V_{OL}	输出逻辑低电压	I_O = 5mA			0.125	V
I_{OZ}	输出高阻抗泄漏	V_O = 5V	-2		2	μA
栅极驱动器（GHx，GLx）						
V_{GSH}	以 SHx 为基准的高侧栅极驱动电压	V_{VM} = 15V，I_{VCP} = 0 至 25mA	9	10.5	12	V
		V_{VM} = 12V，I_{VCP} = 0 至 20mA	7.5	10	11.5	
		V_{VM} = 10V，I_{VCP} = 0 至 15mA	6	8	9.5	
		V_{VM} = 9V，I_{VCP} = 0 至 10mA	5.5	7.5	8.5	
V_{GSL}	以 PGND 为基准的低侧栅极驱动电压	V_{VM} = 15V，I_{VGLS} = 0 至 25mA	9.5	11	12.5	V
		V_{VM} = 12V，I_{VGLS} = 0 至 20mA	9	10.5	12	
		V_{VM} = 10V，I_{VGLS} = 0 至 15mA	7.5	9	10.5	
		V_{VM} = 9V，I_{VGLS} = 0 至 10mA	6.5	8	9.5	

Copyright © 2022 Texas Instruments Incorporated

测试条件为 T_A = –40°C 至 +125°C，V_{VM} = 9 至 75V，V_{VDRAIN} = 9 至 100V，V_{VIN} = 48V（除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
t_{DEAD}	栅极驱动器死区时间	SPI 器件	DEAD_TIME = 00b		50		ns
			DEAD_TIME = 01b		100		
			DEAD_TIME = 10b		200		
			DEAD_TIME = 11b		400		
		H/W 器件			100		
t_{DRIVE}	峰值电流栅极驱动时间	SPI 器件	TDRIVE = 00b		500		ns
			TDRIVE = 01b		1000		
			TDRIVE = 10b		2000		
			TDRIVE = 11b		4000		
		H/W 器件			4000		
I_{DRIVEP}	峰值栅极拉电流	SPI 器件	IDRIVEP_HS 或 IDRIVEP_LS = 0000b		50		mA
			IDRIVEP_HS 或 IDRIVEP_LS = 0001b		50		
			IDRIVEP_HS 或 IDRIVEP_LS = 0010b		100		
			IDRIVEP_HS 或 IDRIVEP_LS = 0011b		150		
			IDRIVEP_HS 或 IDRIVEP_LS = 0100b		300		
			IDRIVEP_HS 或 IDRIVEP_LS = 0101b		350		
			IDRIVEP_HS 或 IDRIVEP_LS = 0110b		400		
			IDRIVEP_HS 或 IDRIVEP_LS = 0111b		450		
			IDRIVEP_HS 或 IDRIVEP_LS = 1000b		550		
			IDRIVEP_HS 或 IDRIVEP_LS = 1001b		600		
			IDRIVEP_HS 或 IDRIVEP_LS = 1010b		650		
			IDRIVEP_HS 或 IDRIVEP_LS = 1011b		700		
			IDRIVEP_HS 或 IDRIVEP_LS = 1100b		850		
			IDRIVEP_HS 或 IDRIVEP_LS = 1101b		900		
			IDRIVEP_HS 或 IDRIVEP_LS = 1110b		950		
			IDRIVEP_HS 或 IDRIVEP_LS = 1111b		1000		
		H/W 器件	IDRIVE = 接地		50		
			IDRIVE = 18kΩ ± 5% 接地		100		
			IDRIVE = 75kΩ ± 5% 接地		150		
			IDRIVE = 高阻态		300		
			IDRIVE = 75kΩ ± 5% 连接至 DVDD		450		
			IDRIVE = 18kΩ ± 5% 连接至 DVDD		700		
			IDRIVE = 连接至 DVDD		1000		

Copyright © 2022 Texas Instruments Incorporated

测试条件为 T_A = –40°C 至 +125°C，V_{VM} = 9 至 75V，V_{VDRAIN} = 9 至 100V，V_{VIN} = 48V（除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
I_{DRIVEN}	峰值栅极灌电流	SPI 器件	IDRIVEN_HS 或 IDRIVEN_LS = 0000b		100		mA
			IDRIVEN_HS 或 IDRIVEN_LS = 0001b		100		
			IDRIVEN_HS 或 IDRIVEN_LS = 0010b		200		
			IDRIVEN_HS 或 IDRIVEN_LS = 0011b		300		
			IDRIVEN_HS 或 IDRIVEN_LS = 0100b		600		
			IDRIVEN_HS 或 IDRIVEN_LS = 0101b		700		
			IDRIVEN_HS 或 IDRIVEN_LS = 0110b		800		
			IDRIVEN_HS 或 IDRIVEN_LS = 0111b		900		
			IDRIVEN_HS 或 IDRIVEN_LS = 1000b		1100		
			IDRIVEN_HS 或 IDRIVEN_LS = 1001b		1200		
			IDRIVEN_HS 或 IDRIVEN_LS = 1010b		1300		
			IDRIVEN_HS 或 IDRIVEN_LS = 1011b		1400		
			IDRIVEN_HS 或 IDRIVEN_LS = 1100b		1700		
			IDRIVEN_HS 或 IDRIVEN_LS = 1101b		1800		
			IDRIVEN_HS 或 IDRIVEN_LS = 1110b		1900		
			IDRIVEN_HS 或 IDRIVEN_LS = 1111b		2000		
		H/W 器件	IDRIVE = 接地		100		
			IDRIVE = 18kΩ ± 5% 接地		200		
			IDRIVE = 75kΩ ± 5% 接地		300		
			IDRIVE = 高阻态		600		
			IDRIVE = 75kΩ ± 5% 连接至 DVDD		900		
			IDRIVE = 18kΩ ± 5% 连接至 DVDD		1400		
			IDRIVE = 连接至 DVDD		2000		
I_{HOLD}	栅极保持电流		t_{DRIVE} 之后的拉电流		50		mA
			t_{DRIVE} 之后的灌电流		100		
I_{STRONG}	栅极强下拉电流		GHx 至 SHx，GLx 至 SPx/SLx		2		A)
R_{OFF}	栅极延迟电阻器		GHx 至 SHx，GLx 至 SPx/SLx		150		kΩ
电流分流放大器（SNx、SOx、SPx、VREF）							
G_{CSA}	放大器增益	SPI 器件	CSA_GAIN = 00b	4.85	5	5.15	V/V
			CSA_GAIN = 01b	9.7	10	10.3	
			CSA_GAIN = 10b	19.4	20	20.6	
			CSA_GAIN = 11b	38.8	40	41.2	
		H/W 器件	GAIN = 接地	4.85	5	5.15	
			GAIN = 47kΩ ± 5% 接地	9.7	10	10.3	
			GAIN = 高阻态	19.4	20	20.6	
			GAIN = 连接至 DVDD	38.8	40	41.2	
t_{SET}	精度达 ±1% 的稳定时间		V_{O_STEP} = 0.5V，G_{CSA} = 5V/V		250		ns
			V_{O_STEP} = 0.5V，G_{CSA} = 10V/V		500		
			V_{O_STEP} = 0.5V，G_{VSA} = 20V/V		1000		
			V_{O_STEP} = 0.5V，G_{CSA} = 40V/V		2000		
V_{COM}	共模输入范围			–0.15		0.15	V
V_{DIFF}	差分模式输入范围			-0.3		0.3	V
V_{OFF}	输入失调电压误差		V_{SP} = V_{SN} = 0V	-3		3	mV
V_{DRIFT}	漂移失调电压		V_{SP} = V_{SN} = 0V		10		μV/°C
V_{LINEAR}	SOx 输出电压线性范围			0.25		V_{VREF} – 0.25	V

测试条件为 T_A = –40°C 至 +125°C，V_{VM} = 9 至 75V，V_{VDRAIN} = 9 至 100V，V_{VIN} = 48V（除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
V_{BIAS}	SOx 输出电压偏置	SPI 器件	V_{SP} = V_{SN} = 0V，VREF_DIV = 0b		V_{VREF} – 0.3		V
			V_{SP} = V_{SN} = 0V，VREF_DIV = 1b		V_{VREF}/2		
		H/W 器件	V_{SP} = V_{SN} = 0V		V_{VREF}/2		
I_{BIAS}	SPx/SNx 输入偏置电流					250	μA
V_{SLEW}	SOx 输出压摆率		60pF 负载		10		V/μs
I_{VREF}	VREF 输入电流		V_{VREF} = 5V		1.5	2.5	mA
UGB	单位增益带宽		DRV835xF：60pF 负载		10		MHz
			DRV835xFR：60pF 负载		1		MHz
保护电路							
V_{VM_UV}	VM 欠压锁定		DRV835xF：VM 下降，UVLO 报告	8.0	8.3	8.8	V
			DRV835xF：VM 上升，UVLO 恢复	8.2	8.5	9.0	
			DRV835xFR：VM 下降，UVLO 报告	8.0	8.3	8.6	
			DRV835xFR：VM 上升，UVLO 恢复	8.2	8.5	8.8	
V_{VM_UVH}	VM 欠压迟滞		上升至下降阈值		200		mV
t_{VM_UVD}	VM 欠压抗尖峰脉冲时间		VM 下降，UVLO 报告		10		μs
V_{VDR_UV}	VDRAIN 欠压锁定		DRV835xF：VDRAIN 下降，UVLO 报告	6.1	6.4	6.8	V
			DRV835xF：VDRAIN 上升，UVLO 恢复	6.3	6.6	7.0	
			DRV835xFR：VDRAIN 下降，UVLO 报告	6.1	6.4	6.7	
			DRV835xFR：VDRAIN 上升，UVLO 恢复	6.3	6.6	6.9	
V_{VDR_UVH}	VDRAIN 欠压迟滞		上升至下降阈值		200		mV
t_{VDR_UVD}	VDRAIN 欠压抗尖峰脉冲时间		VDRAIN 下降，UVLO 报告		10		μs
V_{VCP_UV}	VCP 电荷泵欠压锁定		VCP 下降，GDUV 报告		V_{DRAIN} + 5		V
V_{VGLS_UV}	VGLS 低侧稳压器欠压锁定		VGLS 下降，GDUV 报告		4.25		V
V_{GS_CLAMP}	高侧栅极钳位		正钳位电压	12.5	13.5	16	V
			负钳位电压		–0.7		

Copyright © 2022 Texas Instruments Incorporated

测试条件为 T_A = –40°C 至 +125°C，V_{VM} = 9 至 75V，V_{VDRAIN} = 9 至 100V，V_{VIN} = 48V（除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
V_{VDS_OCP}	V_{DS} 过流跳变电压	SPI 器件	DRV835xF：VDS_LVL = 0000b	0.041	0.06	0.072	V
			DRV835xF：VDS_LVL = 0001b	0.051	0.07	0.084	
			DRV835xF：VDS_LVL = 0010b	0.061	0.08	0.096	
			DRV835xF：VDS_LVL = 0011b	0.071	0.09	0.108	
			DRV835xF：VDS_LVL = 0100b	0.081	0.1	0.115	
			DRV835xFR：VDS_LVL = 0000b	0.048	0.06	0.072	
			DRV835xFR：VDS_LVL = 0001b	0.056	0.07	0.084	
			DRV835xFR：VDS_LVL = 0010b	0.064	0.08	0.096	
			DRV835xFR：VDS_LVL = 0011b	0.072	0.09	0.108	
			DRV835xFR：VDS_LVL = 0100b	0.085	0.1	0.115	
			VDS_LVL = 0101b	0.18	0.2	0.22	
			VDS_LVL = 0110b	0.27	0.3	0.33	
			VDS_LVL = 0111b	0.36	0.4	0.44	
			VDS_LVL = 1000b	0.45	0.5	0.55	
			VDS_LVL = 1001b	0.54	0.6	0.66	
			VDS_LVL = 1010b	0.63	0.7	0.77	
			VDS_LVL = 1011b	0.72	0.8	0.88	
			VDS_LVL = 1100b	0.81	0.9	0.99	
			VDS_LVL = 1101b	0.9	1.0	1.1	
			VDS_LVL = 1110b	1.35	1.5	1.65	
			VDS_LVL = 1111b	1.8	2	2.2	
		H/W 器件	DRV835xF：VDS = 接地	0.041	0.06	0.072	V
			DRV835xF：VDS = 18kΩ ± 5% 接地	0.081	0.1	0.115	
			DRV835xFR：VDS = 接地	0.048	0.06	0.072	
			DRV835xFR：VDS = 18kΩ ± 5% 接地	0.085	0.1	0.115	
			VDS = 75kΩ ± 5% 接地	0.18	0.2	0.22	
			VDS = 高阻态	0.36	0.4	0.44	
			VDS = 75kΩ ± 5% 连接至 DVDD	0.63	0.7	0.77	
			VDS = 18kΩ ± 5% 连接至 DVDD	0.9	1	1.1	
			VDS = 连接至 DVDD		禁用		
t_{OCP_DEG}	V_{DS} 和 V_{SENSE} 过流抗尖峰脉冲时间	SPI 器件	OCP_DEG = 00b		1		μs
			OCP_DEG = 01b		2		
			OCP_DEG = 10b		4		
			OCP_DEG = 11b		8		
		H/W 器件			4		
V_{SEN_OCP}	V_{SENSE} 过流跳变电压	SPI 器件	SEN_LVL = 00b		0.25		V
			SEN_LVL = 01b		0.5		
			SEN_LVL = 10b		0.75		
			SEN_LVL = 11b		1		
		H/W 器件			1		
t_{RETRY}	过流重试时间	SPI 器件	TRETRY = 0b		8		ms
			TRETRY = 1b		50		μs
		H/W 器件			8		ms
T_{OTW}	热警告温度		内核温度 T_J	130	150	170	°C
T_{OTSD}	热关断温度		内核温度 T_J	150	170	190	°C
T_{HYS}	热迟滞		内核温度 T_J		20		°C

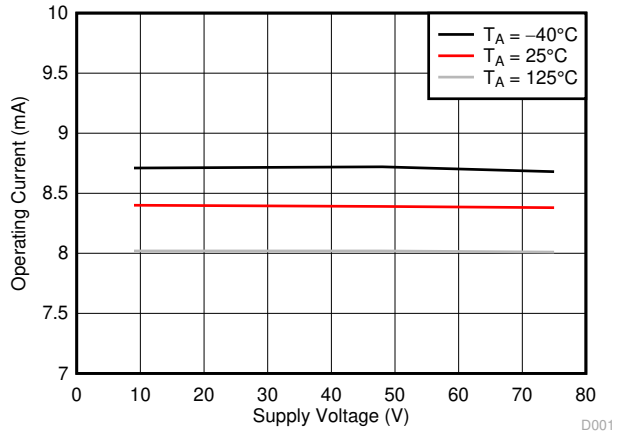
7.6 SPI 时序要求

测试条件为：T_A = –40°C 至 +125°C，V_{VM} = 9 至 75V（除非另有说明）

			最小值	标称值	最大值	单位
t_{READY}	SPI 启用后就绪	VM > UVLO，ENABLE = 3.3V			1	ms
t_{CLK}	SCLK 最小周期		100			ns
t_{CLKH}	SCLK 最短高电平时间		50			ns
t_{CLKL}	SCLK 最短低电平时间		50			ns
t_{SU_SDI}	SDI 输入数据设置时间		20			ns
t_{H_SDI}	SDI 输入数据保持时间		30			ns
t_{D_SDO}	SDO 输出数据延迟时间	SCLK 高电平至 SDO 有效			30	ns
t_{SU_nSCS}	nSCS 输入设置时间		50			ns
t_{H_nSCS}	nSCS 输入保持时间		50			ns
t_{HI_nSCS}	低电平有效前的 nSCS 最短高电平时间		400			ns
t_{DIS_nSCS}	nSCS 禁用时间	nSCS 高电平至 SDO 高阻抗		10		ns

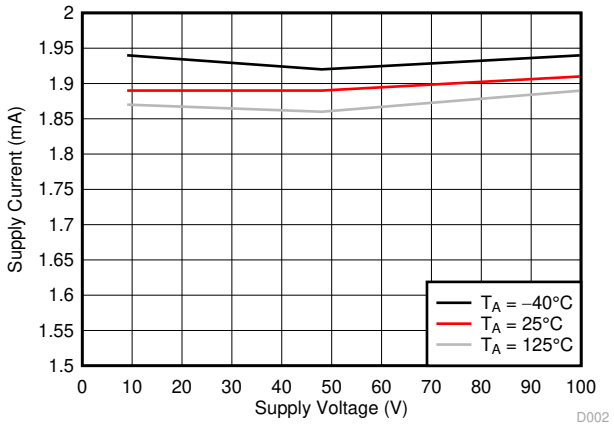
Copyright © 2022 Texas Instruments Incorporated

7.7 典型特性



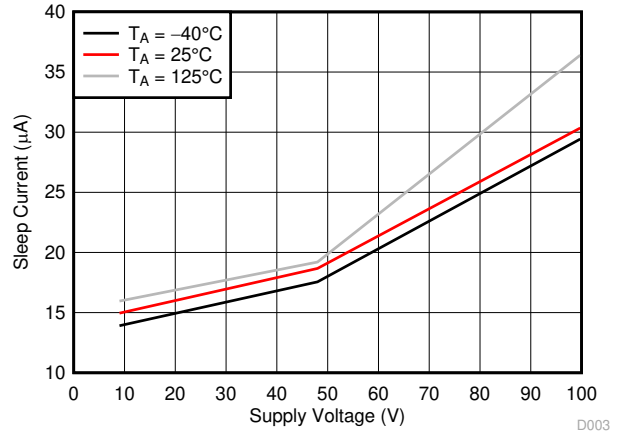
V_{VM} = V_{VDRAIN}

图 7-1. VM 电源电流与电源电压之间的关系



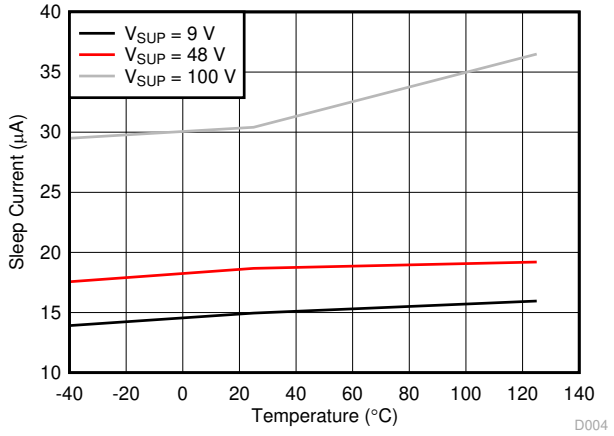
V_{VM} = V_{VDRAIN}

图 7-2. V_{DRAIN} 电源电流与电源电压之间的关系



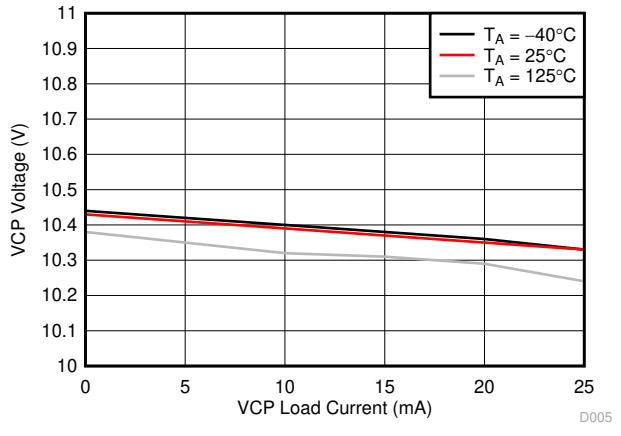
I_{VM} + I_{VDRAIN}

图 7-3. 睡眠电流与电源电压之间的关系



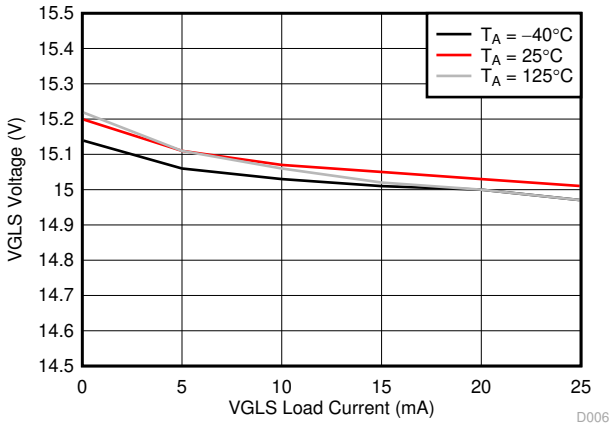
I_{VM} + I_{VDRAIN}

图 7-4. 睡眠电流与温度之间的关系



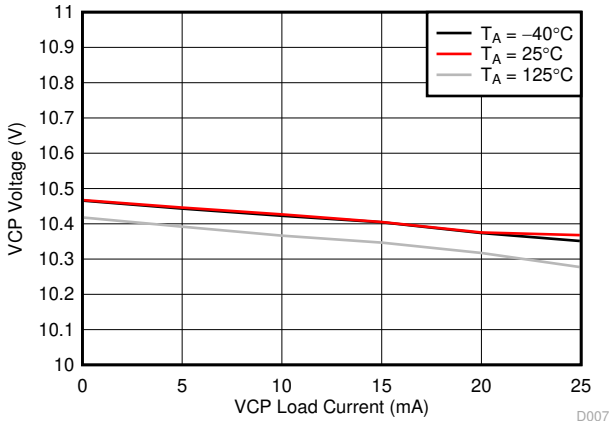
V_{VM} = 48V

图 7-5. VCP 电压与负载之间的关系



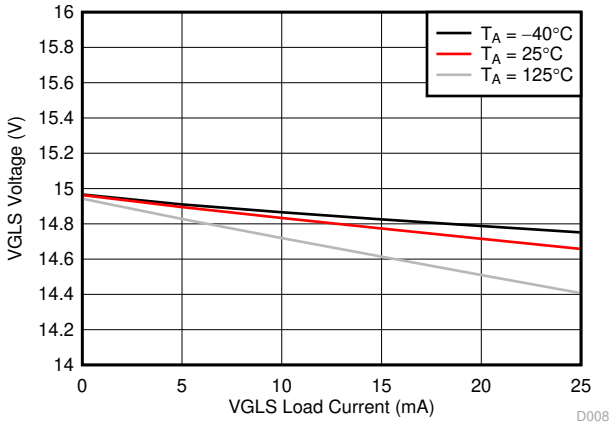
V_{VM} = 48V

图 7-6. VGLS 电压与负载电流之间的关系



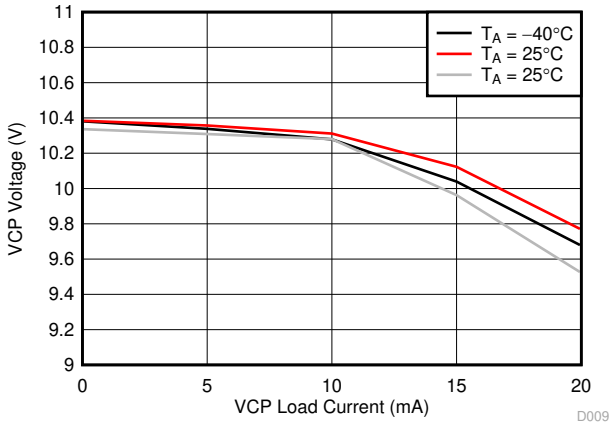
V_{VM} = 15V

图 7-7. VCP 电压与负载电流之间的关系



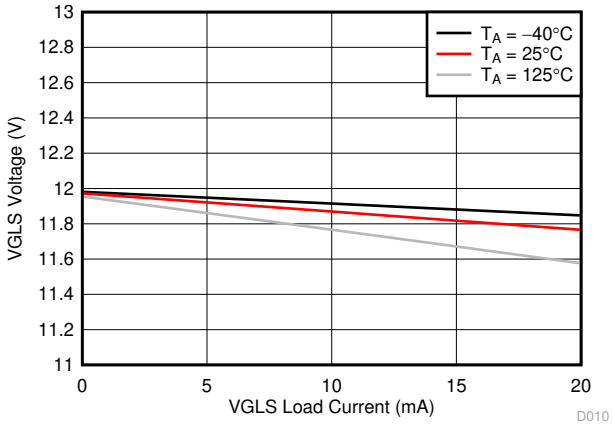
V_{VM} = 15V

图 7-8. VGLS 电压与负载电流之间的关系



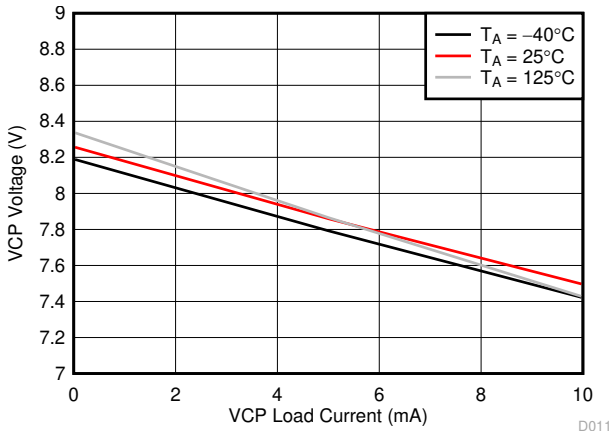
V_{VM} = 12V

图 7-9. VCP 电压与负载电流之间的关系



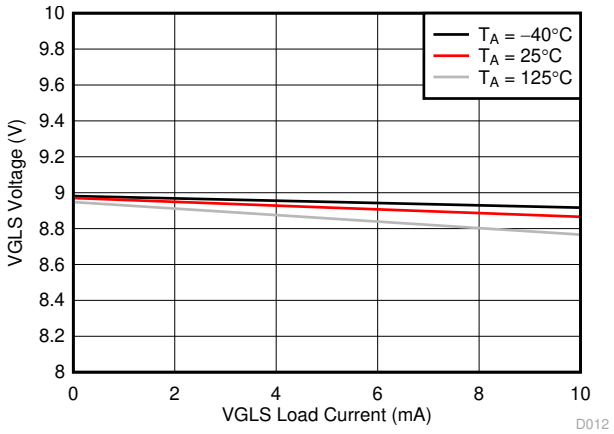
V_{VM} = 12V

图 7-10. VGLS 电压与负载电流之间的关系



V_{VM} = 9V

图 7-11. VCP 电压与负载电流之间的关系



V_{VM} = 9V

图 7-12. VGLS 电压与负载电流之间的关系

Copyright © 2022 Texas Instruments Incorporated

8 详细说明

8.1 概述

DRV835xF 系列器件均为集成式 100V 栅极驱动器，适用于三相电机驱动应用。此类器件集成了三个独立的半桥栅极驱动器、用于提供高侧和低侧栅极驱动器电源电压的电荷泵和线性稳压器以及可选的三个电流分流放大器，可减少系统元件数量并降低系统成本和复杂性。标准的串行外设接口 (SPI) 提供了一种简单的方法，可通过外部控制器配置各种器件设置和读取故障诊断信息。或者，硬件接口 (H/W) 选项允许通过固定外部电阻器来配置常用的设置。

栅极驱动器支持外部 N 沟道高侧和低侧功率 MOSFET，可驱动高达 1A 的峰值拉电流、2A 的峰值灌电流和 25mA 的平均输出电流。高侧栅极驱动电源电压是使用倍增电荷泵架构产生的，该架构将 VCP 输出调节至 V_{VDRAIN} + 10.5V。使用 VM 电源的线性稳压器生成低侧栅极驱动电源电压，该稳压器将 VGLS 输出调节至 14.5V。VGLS 电源在 GLx 低侧栅极驱动器输出上进一步调节至 11V。智能栅极驱动架构具备动态调整输出栅极驱动电流强度的功能，使栅极驱动器能够控制功率 MOSFET V_{DS} 开关速度。这样一来便可以移除外部栅极驱动电阻器和二极管，从而减少 BOM 元件数量和 PCB 面积并降低成本。该架构还使用内部状态机来防止发生栅极驱动短路事件，控制半桥死区时间，并防止外部功率 MOSFET 发生 dV/dt 寄生导通。

栅极驱动器可以在单电源或双电源架构中运行。在单电源架构中，VM 可以连接到 VDRAIN 并在内部调节到正确的电源电压。在双电源架构中，VM 可以连接到来自更高效开关稳压器的较低电压电源，以提高器件效率。VDRAIN 一直连接到外部 MOSFET 以设置正确的电荷泵和过流监测基准。

DRV8353F 器件集成了三个双向电流分流放大器，用于使用低侧分流电阻器监测流过每个外部半桥的电流电平。可以通过 SPI 或硬件接口来调整分流放大器的增益设置，SPI 为调整输出偏置点提供了额外的灵活性。

除了器件高度集成之外，DRV835xF 系列器件还提供广泛的集成保护功能。这些功能包括电源欠压锁定 (UVLO)、栅极驱动欠压锁定 (GDUV)、V_{DS} 过流监视 (OCP)、栅极驱动器短路检测 (GDF) 和过热关断 (OTW/OTSD)。故障事件由 nFAULT 引脚指示，可在 SPI 器件版本的 SPI 寄存器中获得详细信息。

DRV835xF 系列器件采用 0.5mm 引脚间距、QFN 表面贴装封装。32 引脚封装的 QFN 尺寸为 5 × 5mm，40 引脚封装的 QFN 尺寸为 6 × 6mm。

8.2 功能方框图

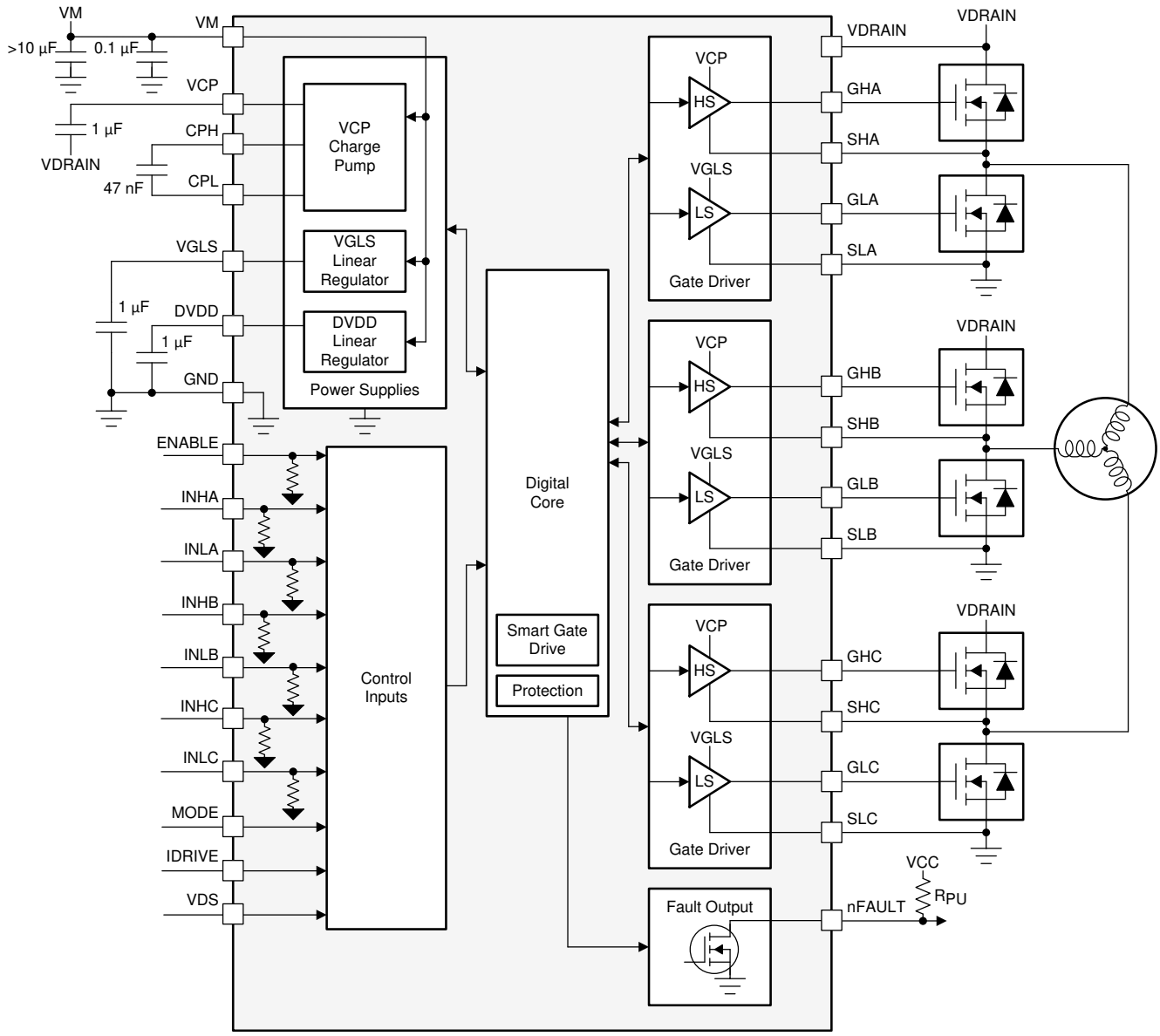


图 8-1. DRV8350FH 的方框图

Copyright © 2022 Texas Instruments Incorporated

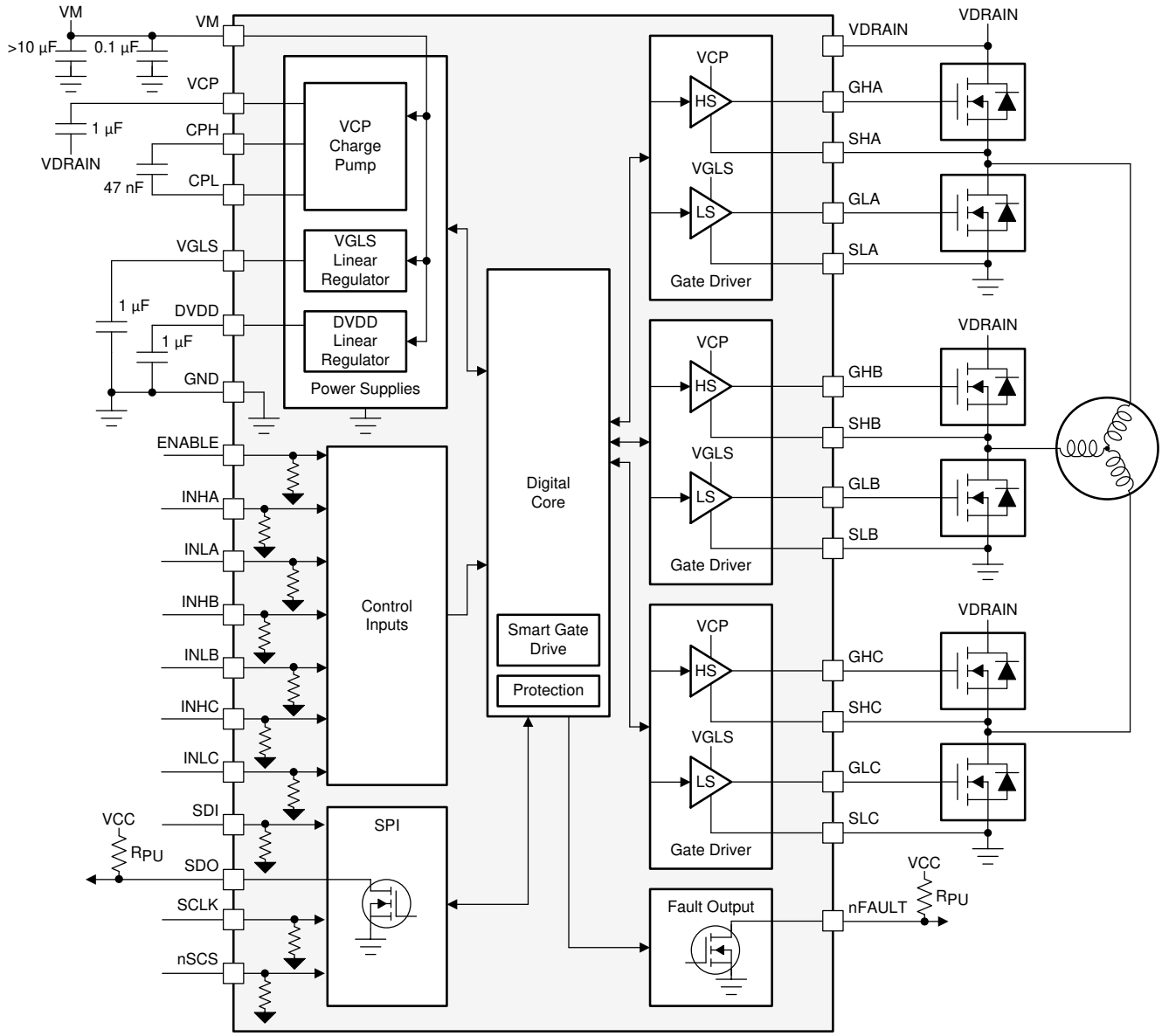


图 8-2. DRV8350FS 的方框图

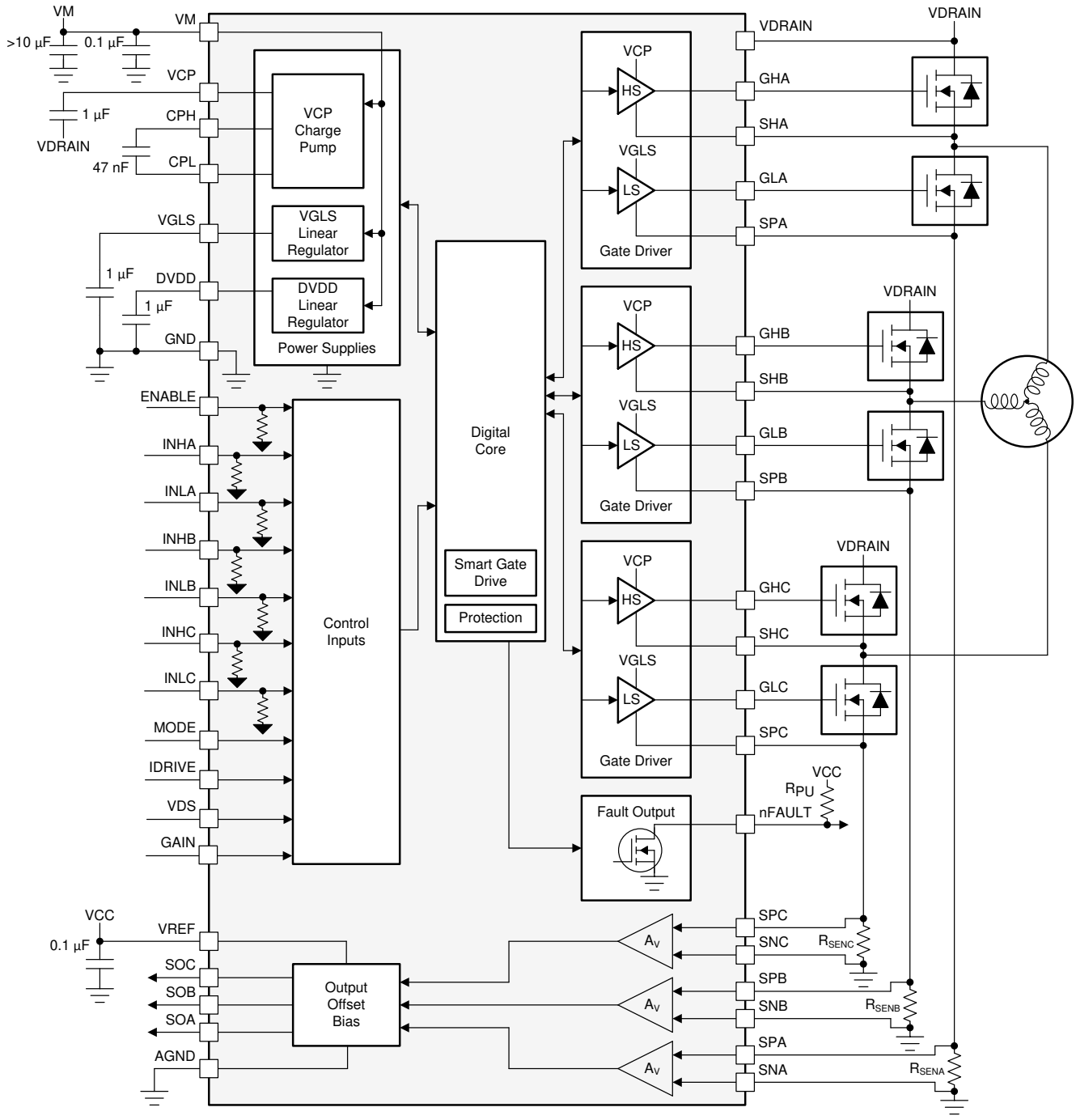


图 8-3. DRV8353FH 的方框图

Copyright © 2022 Texas Instruments Incorporated

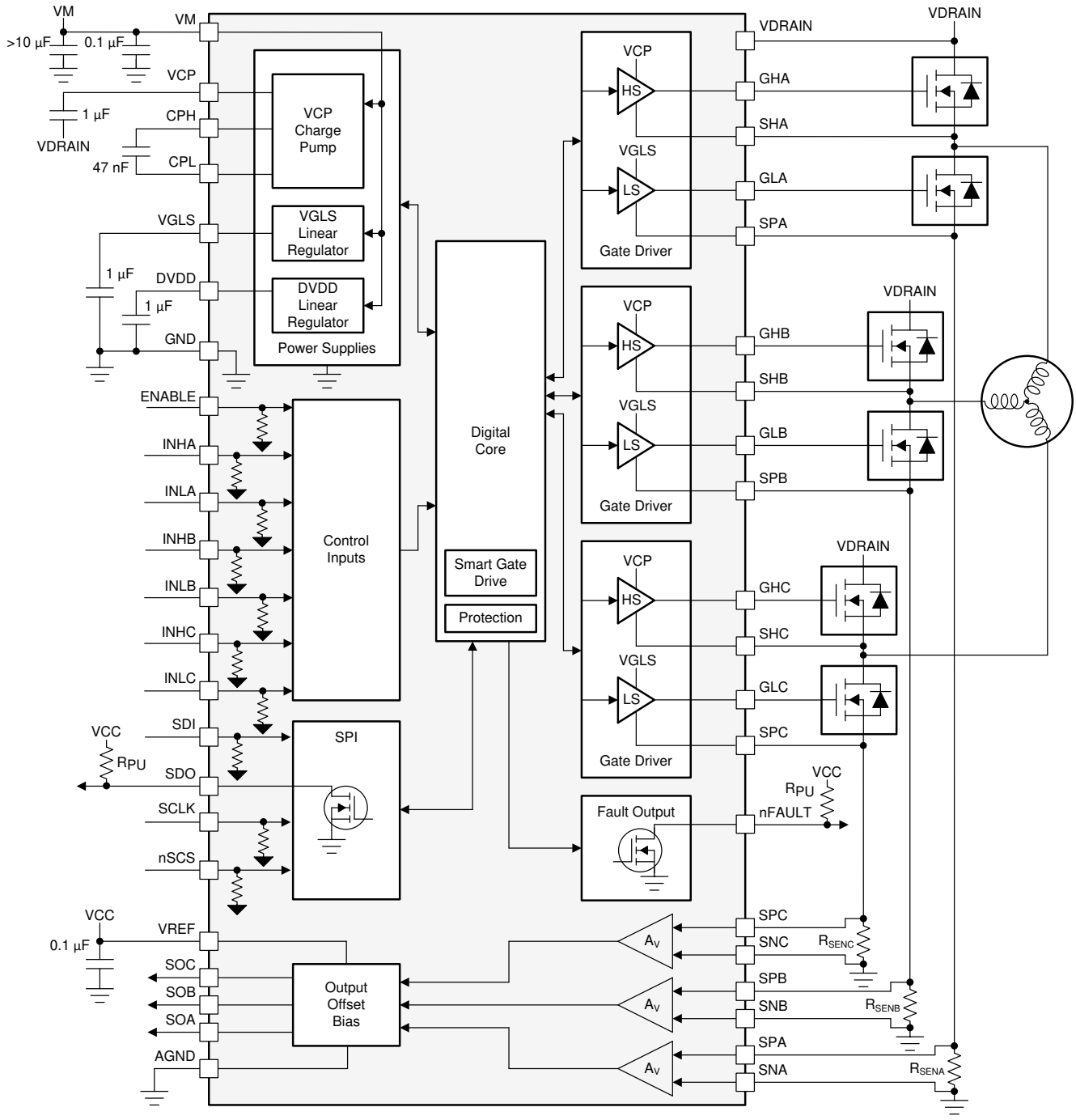


图 8-4. DRV8353FS 的方框图

8.3 特性说明

8.3.1 三相智能栅极驱动器

DRV835xF 系列器件集成了三个半桥栅极驱动器，每个驱动器都能够驱动高侧和低侧 N 沟道功率 MOSFET。VCP 倍增电荷泵可在宽工作电压范围内为高侧 MOSFET 提供正确的栅极偏置电压，此外还提供 100% 占空比支持。内部 VGLS 线性稳压器为低侧 MOSFET 提供栅极偏置电压。可以组合使用多个半桥栅极驱动器来驱动三相电机，也可以单独使用这些驱动器来驱动其他类型的负载。

DRV835xF 系列器件实现了智能栅极驱动架构，使用户能够动态调整栅极驱动电流，而无需外部栅极限流电阻器。此外，该架构为外部 MOSFET 提供了多种保护功能，包括自动死区时间插入、寄生 dV/dt 栅极导通预防和栅极故障检测。

8.3.1.1 PWM 控制模式

DRV835xF 系列器件提供四种不同的 PWM 控制模式，用以支持各种换向和控制方法。德州仪器 (TI) 不建议在功率 MOSFET 运行期间更改 MODE 引脚或 PWM_MODE 寄存器。在进行 MODE 或 PWM_MODE 更改之前，应将所有 INHx 和 INLx 引脚设置为逻辑低电平。

8.3.1.1.1 6x PWM 模式（PWM_MODE = 00b 或 MODE 引脚连接至 AGND）

在该模式下，每个半桥支持三种输出状态：低电平、高电平或高阻抗（高阻态）。相应的 INHx 和 INLx 信号控制着输出状态，如表 8-1 所示。

表 8-1. 6x PWM 模式真值表

INLx	INHx	GLx	GHx	SHx
0	0	L	L	高阻态
0	1	L	H	H
1	0	H	L	L
1	1	L	L	高阻态

8.3.1.1.2 3x PWM 模式（PWM_MODE = 01b 或 MODE 引脚通过 47kΩ 电阻器连接到 AGND）

在该模式下，INHx 引脚控制每个半桥并支持两种输出状态：低电平或高电平。INLx 引脚用于将半桥更改为高阻抗。如果不需要高阻抗状态（高阻态），请将所有 INLx 引脚保持在逻辑高电平。相应的 INHx 和 INLx 信号控制着输出状态，如表 8-2 所示。

表 8-2. 3x PWM 模式真值表

INLx	INHx	GLx	GHx	SHx
0	X	L	L	高阻态
1	0	H	L	L
1	1	L	H	H

8.3.1.1.3 1x PWM 模式（PWM_MODE = 10b 或 MODE 引脚 = 高阻态）

在该模式下，DRV835xF 系列器件使用内部存储的 6 步阻塞换向表。该功能允许使用简单控制器提供的单个 PWM 来控制三相 BLDC 电机。该 PWM 施加在 INHA 引脚上，可确定半桥的输出频率和占空比。

半桥输出状态由用作状态逻辑输入的 INLA、INHB 和 INLB 引脚进行管理。状态输入可由外部控制器控制或直接连接到电机的霍尔传感器数字输出（INLA = HALL_A，INHB = HALL_B，INLB = HALL_C）。1x PWM 模式通常使用同步整流运行，不过可以将其配置为在 SPI 器件上使用异步二极管续流整流。可以通过 SPI 寄存器使用 1PWM_COM 位来设置该配置。

INHC 输入通过 6 步换向表控制方向，当霍尔传感器直接控制 INLA、INHB 和 INLB 状态输入时，该表用于改变电机的方向。如果不需要该功能，请将 INHC 引脚保持在低电平。

INLC 输入通过在其被拉至低电平时关断所有高侧 MOSFET 并开启所有低侧 MOSFET 来对电机进行制动。该制动器不受其他输入引脚状态的影响。如果不需要该功能，请将 INLC 引脚保持在高电平。

表 8-3. 同步 1x PWM 模式

逻辑和霍尔输入							栅极驱动输出						
状态	INHC = 0			INHC = 1			A 相		B 相		C 相		说明
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
停止	0	0	0	0	0	0	L	L	L	L	L	L	停止
对齐	1	1	1	1	1	1	PWM	!PWM	L	H	L	H	对齐
1	1	1	0	0	0	1	L	L	PWM	!PWM	L	H	B → C

Copyright © 2022 Texas Instruments Incorporated

表 8-3. 同步 1x PWM 模式 (continued)

逻辑和霍尔输入							栅极驱动输出						
状态	INHC = 0			INHC = 1			A 相		B 相		C 相		说明
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
2	1	0	0	0	1	1	PWM	!PWM	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	!PWM	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	!PWM	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	!PWM	C → A
6	0	1	0	1	0	1	L	H	PWM	!PWM	L	L	B → A

表 8-4. 异步 1x PWM 模式 1PWM_COM = 1（仅限 SPI）

逻辑和霍尔输入							栅极驱动输出						
状态	INHC = 0			INHC = 1			A 相		B 相		C 相		说明
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
停止	0	0	0	0	0	0	L	L	L	L	L	L	停止
对齐	1	1	1	1	1	1	PWM	L	L	H	L	H	对齐
1	1	1	0	0	0	1	L	L	PWM	L	L	H	B → C
2	1	0	0	0	1	1	PWM	L	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	L	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	L	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	L	C → A
6	0	1	0	1	0	1	L	H	PWM	L	L	L	B → A

图 8-5 和图 8-6 展示了 1x PWM 模式下不同的配置。

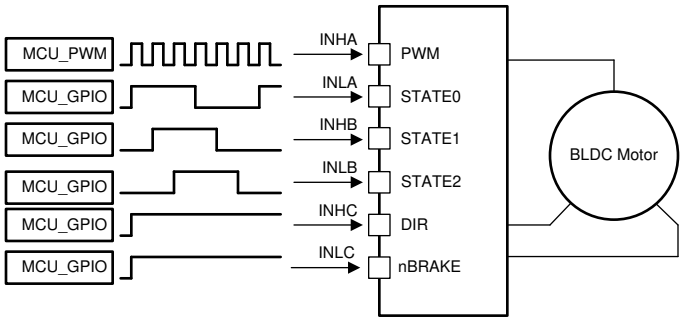


图 8-5. 1x PWM - 简单控制器

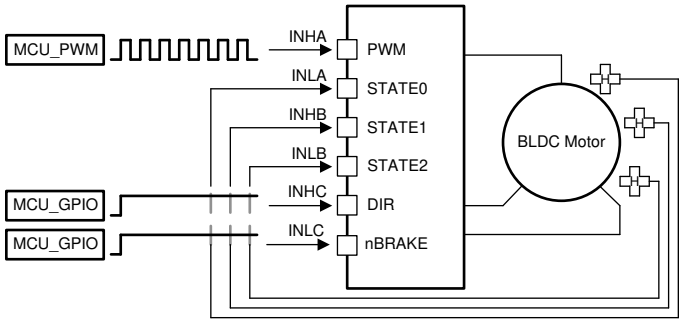


图 8-6. 1x PWM - 霍尔传感器

8.3.1.1.4 独立 PWM 模式（PWM_MODE = 11b 或 MODE 引脚连接至 DVDD）

在该模式下，相应的输入引脚独立控制每个高侧和低侧栅极驱动器。该控制模式允许外部控制器绕过 DRV835xF 的内部死区时间握手机制，或利用高侧和低侧驱动器通过每个半桥驱动单独的高侧和低侧负载。这些类型的负载包括单向有刷直流电机、电磁阀以及低侧和高侧开关。在该模式下，如果系统设置为半桥配置，则当高侧和低侧 MOSFET 同时开启时会发生击穿。

表 8-5. 独立 PWM 模式真值表

INLx	INHx	GLx	GHx
0	0	L	L
0	1	L	H
1	0	H	L
1	1	H	H

高侧和低侧 V_{DS} 过流监视器共享 SHx 检测线，因此如果高侧和低侧栅极驱动器都在独立运行，则无法同时使用这两个监视器。

在这种情况下，应将 SHx 引脚连接到高侧驱动器并禁用 V_{DS} 过流监视器，如图 8-7 所示。

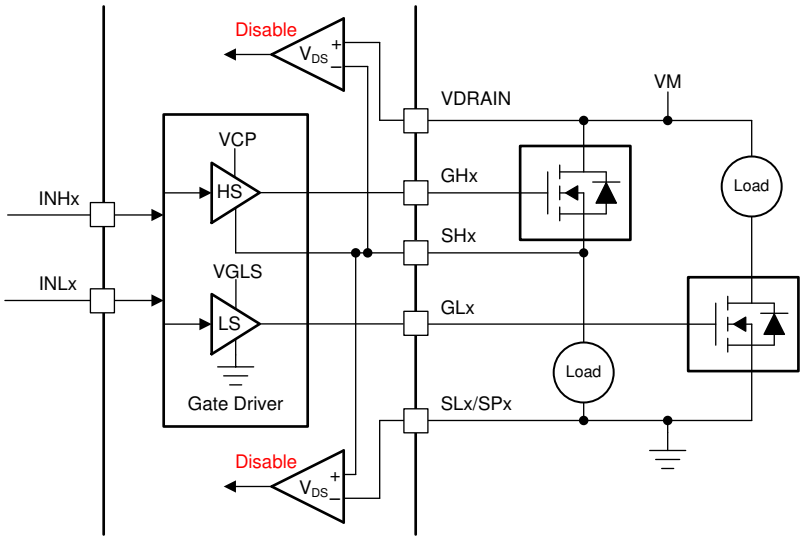


图 8-7. 独立的 PWM 高侧和低侧驱动器

如果使用半桥仅实现高侧或低侧驱动器，则仍然可以使用 V_{DS} 过流监视器。连接 SHx 引脚，如图 8-8 或图 8-9 所示。未使用的栅极驱动器和相应的输入可以保持断开状态。

Copyright © 2022 Texas Instruments Incorporated

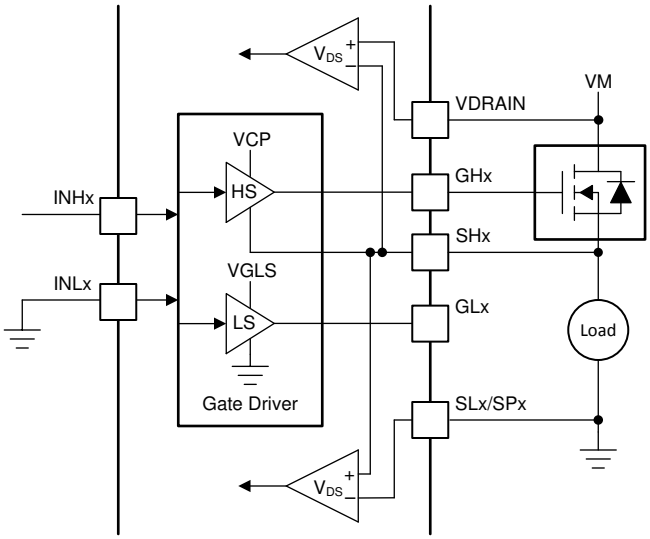

VDS
+
–
VM
VDRAIN
VCP
GHx
INHx
HS
SHx
VGLS
INLx
GLx
LS
Load
Gate Driver
SLx/SPx
VDS
+
–

图 8-8. 单个高侧驱动器

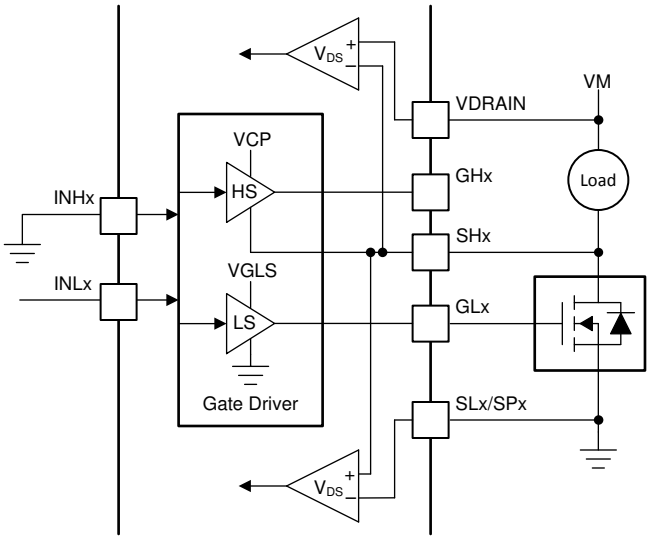


图 8-9. 单个低侧驱动器

8.3.1.2 器件接口模式

DRV835xF 系列器件支持两种不同的接口模式（SPI 和硬件），使终端应用的设计更灵活或简单。这两种接口模式共享相同的四个引脚，以在不同的版本之间实现引脚对引脚兼容。因此，应用设计人员可以使用一个接口版本进行评估，然后只需对其设计进行极少的修改即可切换到另一个版本。

8.3.1.2.1 串行外设接口 (SPI)

SPI 器件支持串行通信总线，从而在外部控制器与 DRV835xF 之间进行数据的发送和接收。因此，外部控制器可配置器件设置并读取详细的故障信息。该接口是一种使用 SCLK、SDI、SDO 和 nSCS 引脚的四线接口。

- SCLK 引脚是一个输入引脚，它接受时钟信号以确定何时在 SDI 和 SDO 上捕获和传播数据。
- SDI 引脚是数据输入引脚。
- SDO 引脚是数据输出引脚。SDO 引脚采用开漏结构，需要使用一个外部上拉电阻器。
- nSCS 引脚是片选输入引脚。该引脚上的逻辑低电平信号支持与 DRV835xF 进行 SPI 通信。

更多有关 SPI 的信息，请参阅 *节 8.5.1*。

8.3.1.2.2 硬件接口

硬件接口器件将四个 SPI 引脚转换为四个可通过电阻器配置的输入，即 GAIN、IDRIVE、MODE 和 VDS。这样，应用设计人员可通过将引脚连接为逻辑高电平或逻辑低电平，或使用简单的上拉或下拉电阻，对常用的器件设置进行配置。因此，外部控制器不再需要 SPI 总线。一般故障信息仍可通过 nFAULT 引脚获得。

- GAIN 引脚可配置电流分流放大器增益。
- IDRIVE 引脚可配置栅极驱动电流强度。
- MODE 引脚可配置 PWM 控制模式。
- VDS 引脚可配置 V_{DS} 过流监视器的电压阈值。

更多有关硬件接口的信息，请参阅 *节 8.3.3*。

Copyright © 2022 Texas Instruments Incorporated

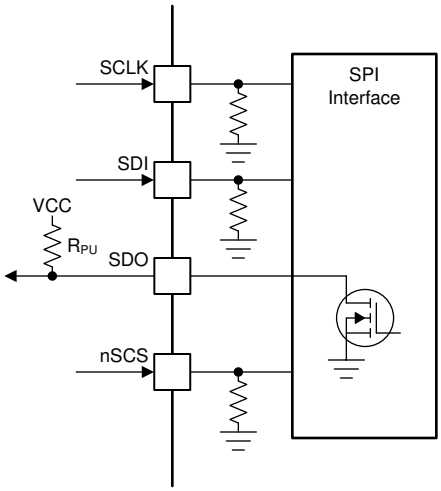


图 8-10. SPI

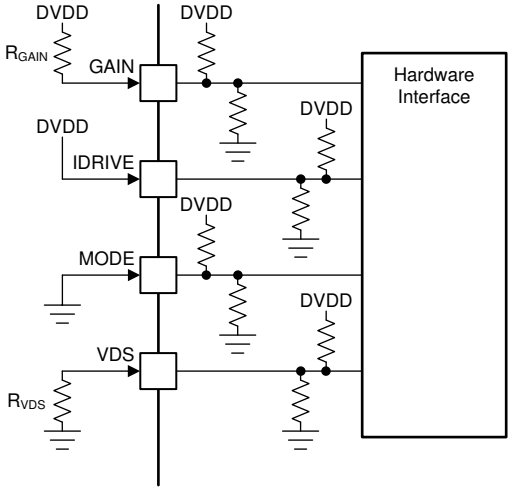


图 8-11. 硬件接口

8.3.1.3 栅极驱动器电压电源和输入电源配置

高侧栅极驱动电压电源是使用一个倍增电荷泵产生的，该电荷泵通过 VM 和 VDRAIN 电压电源输入工作。电荷泵允许栅极驱动器在宽输入电源电压范围内相对于源极正确地偏置高侧 MOSFET 栅极。电荷泵经过调节以保持 V_{VDRAIN} + 10.5V 的固定输出电压，并支持 25mA 的平均输出电流。当 V_{VM} 小于 12V 时，电荷泵在全倍增模式下工作，空载时可产生电压 $V_{VCP} = 2 \times V_{VM}$ – 1.5V（相对于 V_{VDRAIN}）。电荷泵会受到持续监测以确定是否发生欠压，从而防止 MOSFET 出现驱动不足的情况。

电荷泵需要在 VDRAIN 和 VCP 引脚之间使用一个 X5R 或 X7R、1μF、16V 陶瓷电容器作为储能电容器。此外，还需要在 CPH 和 CPL 引脚之间放置一个 X5R 或 X7R、47nF、额定电压为 VDRAIN 的陶瓷电容器作为飞跨电容器。

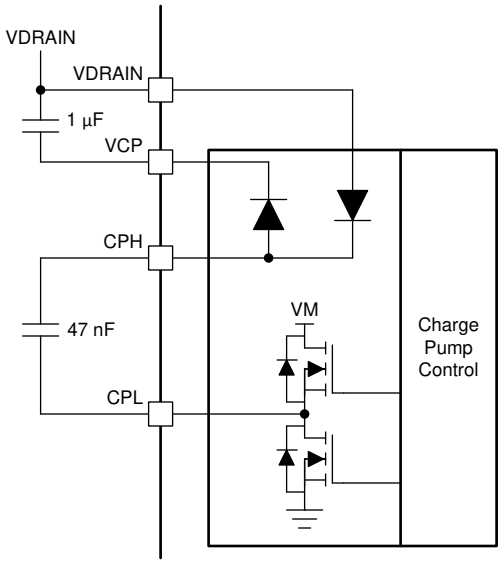


图 8-12. 电荷泵架构

低侧栅极驱动电压是使用线性稳压器产生的，该稳压器通过 VM 电压电源输入工作。VGLS 线性稳压器允许栅极驱动器相对于接地正确地偏置低侧 MOSFET 栅极。VGLS 线性稳压器输出电压固定为 14.5V，并在运行期间进一步将 GLx 输出电压调节至 11V。VGLS 稳压器支持 25mA 的输出电流。VGLS 线性稳压器会受到监测以确定是否发生欠压，从而防止 MOSFET 出现驱动不足的情况。VGLS 线性稳压器需要在 VGLS 和 GND 之间连接一个 X5R 或 X7R、1µF、16V 陶瓷电容器。

由于电荷泵输出电压被调节至 V_{VDRAIN} + 10.5V，这允许 VM 直接由高压电机电源（高达 75V）提供，以支持单电源系统，或由源自开关或线性稳压器的低压栅极驱动器电源提供，以提高器件效率或利用外部可用的电源。图 8-13 和图 8-14 展示了设置为单电源或双电源配置的 DRV835xF 示例。

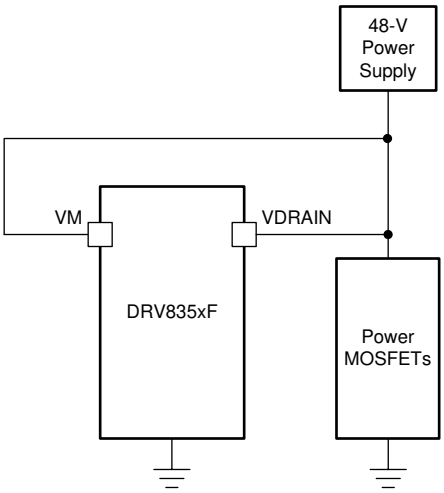


图 8-13. 单电源示例

Copyright © 2022 Texas Instruments Incorporated

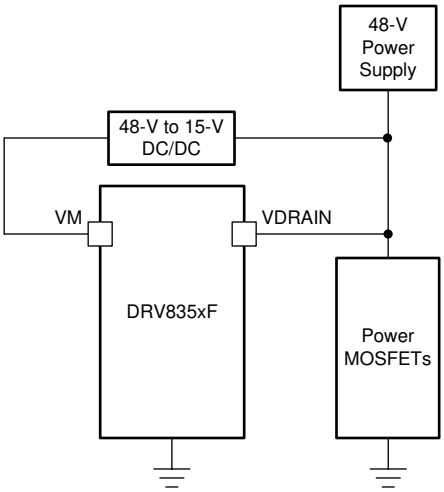


图 8-14. 双电源示例

8.3.1.4 智能栅极驱动架构

DRV835xF 栅极驱动器采用适用于高侧和低侧驱动器的可调互补推挽拓扑。该拓扑允许对外部 MOSFET 栅极进行强上拉和强下拉。

此外，栅极驱动器使用智能栅极驱动架构来提供对外部功率 MOSFET 的额外控制，采取额外措施来保护 MOSFET，并允许在效率和稳健性之间实现最优权衡。该架构是通过两个被称为 IDRIVE 和 TDRIVE 的元件实现的，*节 8.3.1.4.1* 和 *节 8.3.1.4.2* 对其进行了详细介绍。图 8-15 展示了栅极驱动器的简要功能方框图。

应根据系统中使用的外部功率 MOSFET 的参数和所需的上升和下降时间初步选择 IDRIVE 栅极驱动电流和 TDRIVE 栅极驱动时间（请参阅 *节 9* 部分）。

高侧栅极驱动器还实现了一个齐纳钳位二极管，以在 MOSFET 发生外部短路事件时帮助保护外部 MOSFET 栅极免受过压情况的影响。

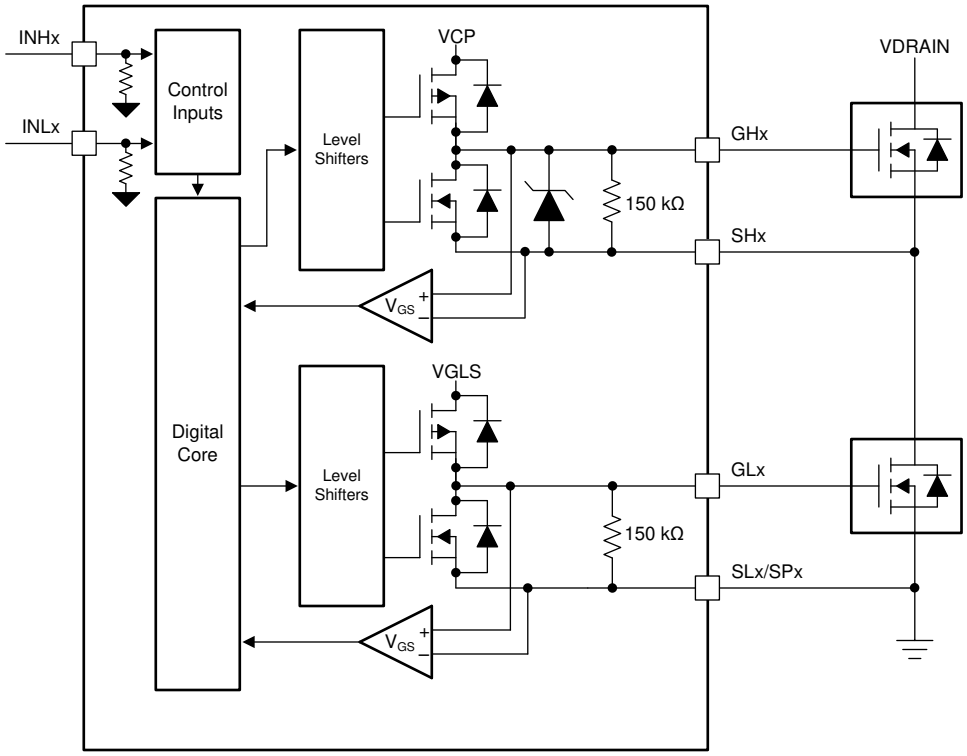


图 8-15. 栅极驱动器方框图

8.3.1.4.1 IDRIVE：MOSFET 压摆率控制

IDRIVE 元件实现了可调节的栅极驱动电流来控制 MOSFET V_{DS} 压摆率。MOSFET V_{DS} 压摆率是优化辐射发射、二极管恢复尖峰的能量和持续时间、导致击穿的 dV/dt 栅极导通以及与外部半桥中寄生效应相关的开关电压瞬态的关键因素。IDRIVE 的工作原理是，MOSFET V_{DS} 压摆率主要取决于 MOSFET Q_{GD} 或米勒充电区域中提供的栅极电荷（或栅极电流）的速率。通过让栅极驱动器调节栅极电流，可以有效地控制外部功率 MOSFET 的压摆率。

IDRIVE 允许 DRV835xF 系列器件通过 SPI 器件上的寄存器设置或硬件接口器件上的 IDRIVE 引脚在栅极驱动电流之间动态切换。SPI 器件提供 16 种 I_{DRIVE} 设置，范围介于 50mA 至 1A 拉电流和 100mA 至 2A 灌电流之间。硬件接口器件提供 7 种介于相同范围之间的 I_{DRIVE} 设置。栅极驱动电流设置值在 t_{DRIVE} 持续时间内开启和关闭外部功率 MOSFET 期间传送到栅极。在 MOSFET 开启或关闭后，栅极驱动器切换至较小的保持 I_{HOLD} 电流，以提高栅极驱动器的效率。*节 8.6*（对于 SPI 器件）和 *节 8.3.3*（对于硬件接口器件）介绍了有关 IDRIVE 设置的其他详细信息。

8.3.1.4.2 TDRIVE：MOSFET 栅极驱动控制

TDRIVE 元件是一个集成的栅极驱动状态机，通过开关握手、寄生 dV/dt 栅极导通预防和 MOSFET 栅极故障检测来提供自动死区时间插入。

TDRIVE 状态机的第一个作用是自动死区时间插入。死区时间是外部高侧和低侧 MOSFET 开关之间的一段时间，旨在确保它们不会发生跨导并导致击穿。DRV835xF 系列器件使用 V_{GS} 电压监视器来测量 MOSFET 栅源电压并确定正确的切换时间，而不是依赖固定的时间值。该功能有助于针对系统变化（例如温度漂移和 MOSFET 参数变化）对栅极驱动器死区时间进行调整。可以插入一个额外的数字死区时间 (t_{DEAD})，并可通过 SPI 器件中的寄存器对其进行调整。

当相电流进入外部半桥时，如果栅极驱动器从高侧 MOSFET 转换至低侧 MOSFET，那么自动死区时间插入会受到限制。在这种情况下，高侧二极管将在死区时间内导通，并将开关节点电压保持在 VDRAIN。在这种情况下，会在死区时间握手中引入大约 100-200ns 的额外延迟。之所以会引入该延迟，因为需要对内部 V_{GS} 检测电路上存在的电压进行放电。

Copyright © 2022 Texas Instruments Incorporated

第二个作用侧重于防止寄生 dV/dt 栅极导通。为了实现这一点，只要 MOSFET 进行开关，TDRIVE 状态机就会在相反状态的 MOSFET 栅极上启用强下拉 I_{STRONG} 电流。该强下拉会持续 TDRIVE 时长。当半桥开关节点电压快速转换时，该功能有助于消除耦合到 MOSFET 栅极中的寄生电荷。

第三个作用是实现了栅极故障检测方案，以检测引脚对引脚焊接缺陷、MOSFET 栅极故障或 MOSFET 栅极卡在高电压或低电压的情况。该实现是通过为每个半桥栅极驱动器配备一对 V_{GS} 栅源电压监视器来完成的。当栅极驱动器接收到改变半桥状态的命令时，它开始监测外部 MOSFET 的栅极电压。如果在 t_{DRIVE} 周期结束时 V_{GS} 电压没有达到正确的阈值，则栅极驱动器将报告故障。为确保不会检测到伪故障，应选择比 MOSFET 栅极充放电所需时间更长的 t_{DRIVE} 时间。t_{DRIVE} 时间不会增加 PWM 时间，如果在活动状态下接收到另一个 PWM 命令，则会终止。*节 8.6*（对于 SPI 器件）和 *节 8.3.3*（对于硬件接口器件）介绍了有关 TDRIVE 设置的其他详细信息。

图 8-16 展示了运行中的 TDRIVE 状态机的示例。

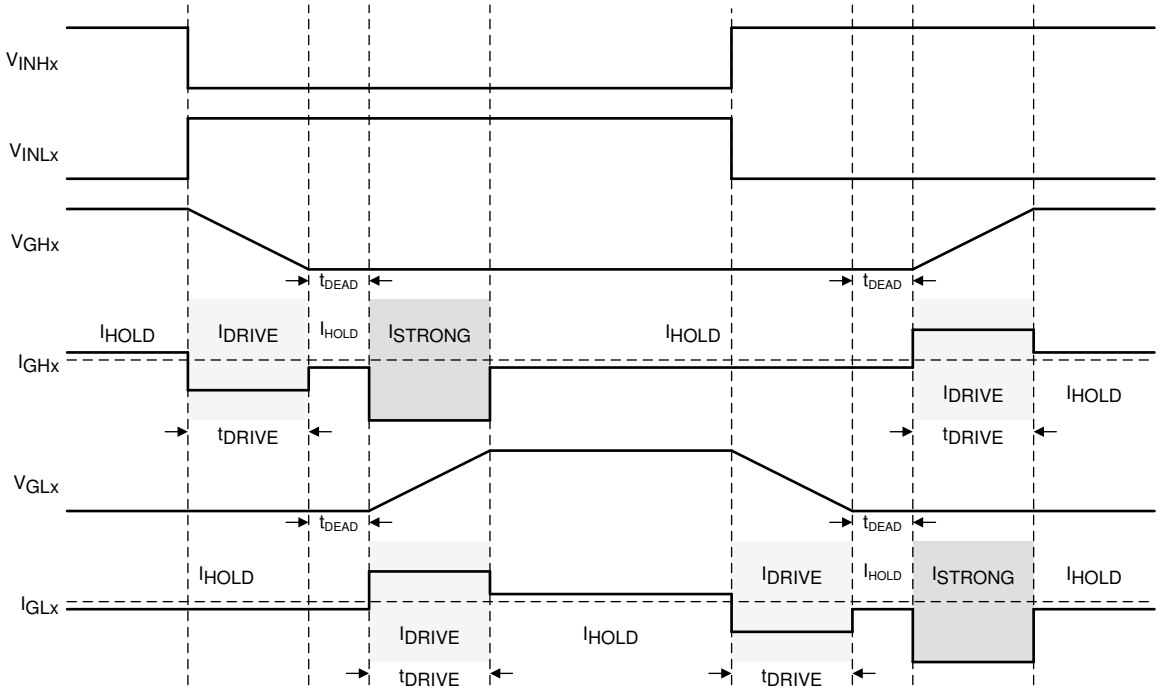


图 8-16. TDRIVE 状态机

8.3.1.4.3 传播延迟

传播延迟时间 (t_{pd}) 是输入逻辑边沿与检测到的输出变化之间的时间。该时间由三个部分组成，即数字输入抗尖峰脉冲器延迟、数字传播延迟和通过模拟栅极驱动器的延迟。

输入抗尖峰脉冲器可防止输入引脚上的高频噪声影响栅极驱动器的输出状态。为了支持多种控制模式和死区时间插入，在输入命令通过器件传播时添加了一个较小的数字延迟。最后，模拟栅极驱动器具有较小的延迟，从而增大器件的总体传播延迟。

8.3.1.4.4 MOSFET V_{DS} 监视器

栅极驱动器采用可调节的 V_{DS} 电压监视器，以检测外部功率 MOSFET 上的过流或短路情况。当监测的电压大于 V_{DS} 跳变点 (V_{VDS_OCP}) 的持续时间长于抗尖峰脉冲时间 (t_{OCP}) 时，检测到过流情况并根据器件 V_{DS} 故障模式采取措施。

高侧 V_{DS} 监视器测量 VDRAIN 和 SHx 引脚之间的电压。在具有三个分流放大器 (DRV8353F) 的器件中，低侧 V_{DS} 监视器用于测量 SHx 和 SPx 引脚之间的电压。如果未使用电流分流放大器，请将 SP 引脚连接到外部半桥的公共接地点。在不带电流分流放大器 (DRV8350F) 的器件选项中，低侧 V_{DS} 监视器用于测量 SHx 和 SLx 引脚之间的电压。

对于 SPI 器件，如有需要，可以通过 LS_REF 寄存器设置更改 SPx 和 SNx 引脚之间的低侧 V_{DS} 监视器参考点。这仅适用于低侧 V_{DS} 监视器。高侧 V_{DS} 监视器位于 VDRAIN 和 SHx 引脚之间。

可以在 SPI 器件上在 0.06V 和 2V 之间对 V_{VDS_OCP} 阈值进行编程，在硬件接口器件上在 0.06V 和 1V 之间对该阈值进行编程。有关 V_{DS} 监视器电平的其他信息，请参阅 *节 8.6*（对于 SPI 器件）和 *节 8.3.3*（对于硬件接口器件）。

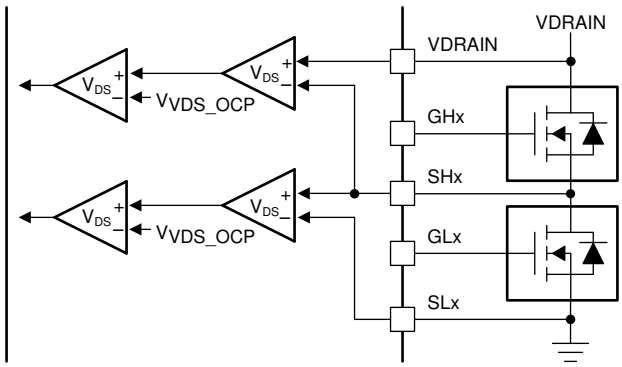


图 8-17. DRV8350F V_{DS} 监视器

Copyright © 2022 Texas Instruments Incorporated

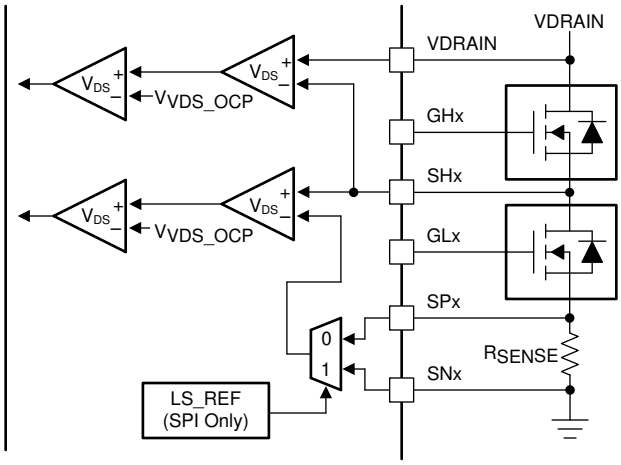


图 8-18. DRV8353F V_{DS} 监视器

8.3.1.4.5 VDRAIN 感测和基准引脚

DRV835xF 系列器件为高侧 MOSFET 漏极的公共点提供单独的感测和基准引脚。该引脚被称为 VDRAIN。该引脚允许过流监视器的感测线 (VDRAIN) 和电源 (VM) 保持分离，并防止 VDRAIN 感测线上产生噪声。

VDRAIN 引脚用作集成电荷泵的基准点。这可以确保电荷泵基准在电压瞬态条件下相对于功率 MOSFET 电源保持稳定。

由于电荷泵以 VDRAIN 为基准，这也允许 VM 直接由功率 MOSFET 电源 (VDRAIN) 或独立电源供电。这允许实现一个配置，其中 VM 可以通过一个高效的低压电源提供，以提高器件效率。

8.3.2 DVDD 线性稳压器

DRV835xF 系列器件中集成了一个 5V、10mA 线性稳压器，可供外部电路使用。该稳压器可为低电流支持电路提供电源电压。DVDD 稳压器的输出应在 DVDD 引脚附近旁路，通过一个 X5R 或 X7R、1μF、6.3V 陶瓷电容器直接连接回相邻的 DGND 或 GND 接地引脚。

DVDD 标称空载输出电压为 5V。当 DVDD 负载电流超过 10mA 时，稳压器的作用类似于恒流源。当电流负载大于 10mA 时，输出电压会显著下降。

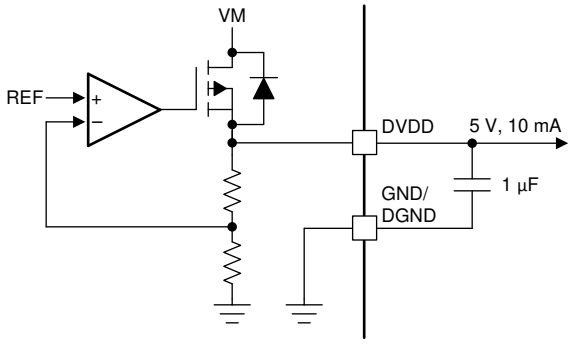


图 8-19. DVDD 线性稳压器方框图

可以使用方程式 1 来计算 DVDD 线性稳压器导致的器件中耗散的功率。

$$P = (V_{VM} - V_{DVDD}) \times I_{DVDD} \tag{1}$$

例如，当 V_{VM} = 24V 时，从 DVDD 汲取 20mA 的电流会导致方程式 2 所示的功率耗散。

$$P = (24\ V - 3.3\ V) \times 20\ mA = 414\ mW \tag{2}$$

8.3.3 引脚图

图 8-20 展示了逻辑电平引脚 INHx、INLx、ENABLE、nSCS、SCLK 和 SDI 的输入结构。

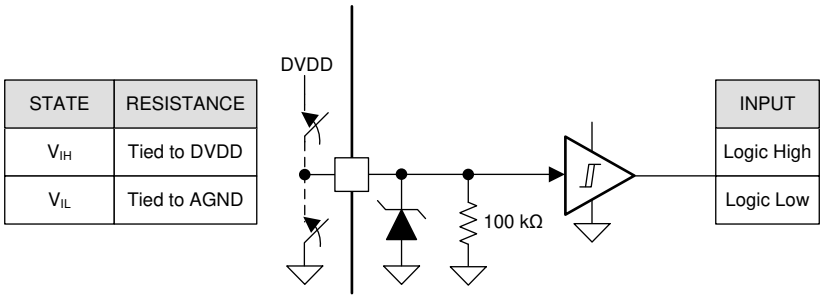


图 8-20. 逻辑电平输入引脚结构

Copyright © 2022 Texas Instruments Incorporated

图 8-21 展示了硬件接口器件上四电平输入引脚的结构、模式和增益。可以通过外部电阻器设置输入。

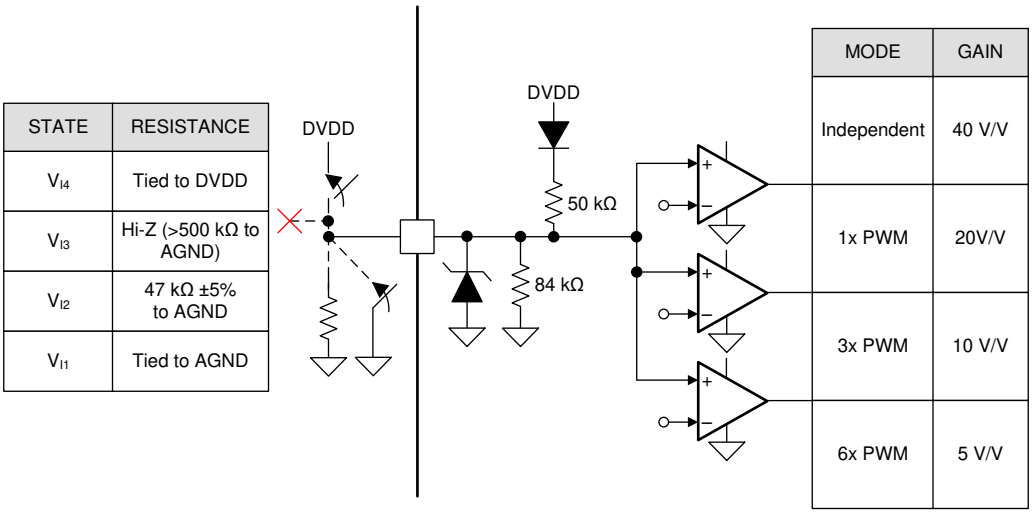


图 8-21. 四电平输入引脚结构

图 8-22 展示了硬件接口器件上七电平输入引脚的结构、IDRIVE 和 VDS。可以通过外部电阻器设置输入。

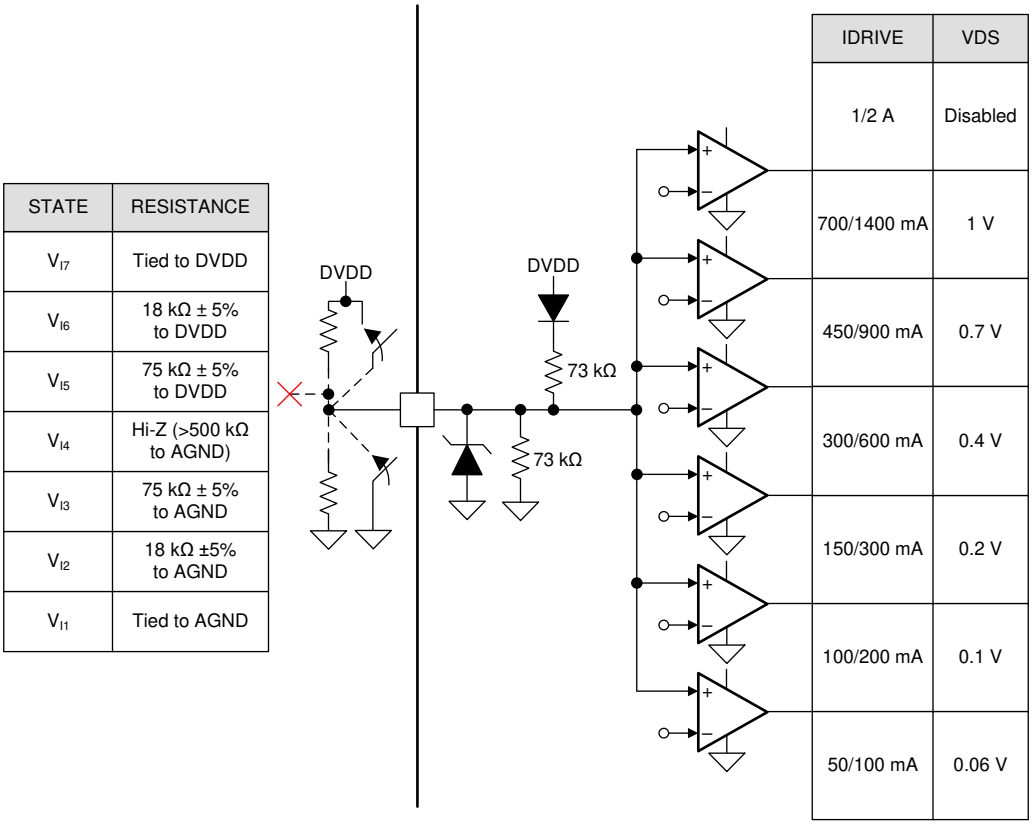


图 8-22. 七电平输入引脚结构

图 8-23 展示了开漏输出引脚 nFAULT 和 SDO 的结构。开漏输出需要外部上拉电阻器才能正常运行。

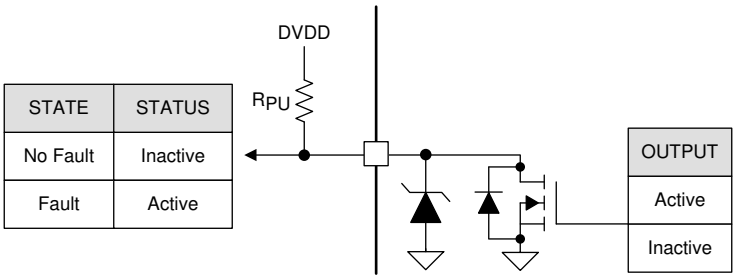


图 8-23. 开漏输出引脚结构

8.3.4 低侧电流分流放大器 (DRV8353F)

DRV8353F 集成了三个高性能低侧电流分流放大器，用于使用外部半桥中的低侧分流电阻器进行电流测量。通常会通过测量低侧电流来实施过流保护、外部扭矩控制或通过外部控制器进行无刷直流换向。全部三个放大器都可用于感测每个半桥臂中的电流，或者可以用一个放大器来感测所有半桥臂中电流的总和。电流分流放大器包含可编程增益、失调电压校准、单向和双向支持以及电压基准引脚 (VREF) 等功能。

8.3.4.1 双向电流感测操作

DRV8353F 上 SOx 引脚输出的模拟电压等于 SPx 和 SNx 引脚上的电压乘以增益设置值 (G_{CSA})。增益设置值可在四个不同级别（5V/V、10V/V、20V/V 和 40V/V）之间调节。可以使用方程式 3 来计算流过分流电阻器的电流。

$$I = \frac{\frac{V_{VREF}}{2} - V_{SOx}}{G_{CSA} \times R_{SENSE}} \tag{3}$$

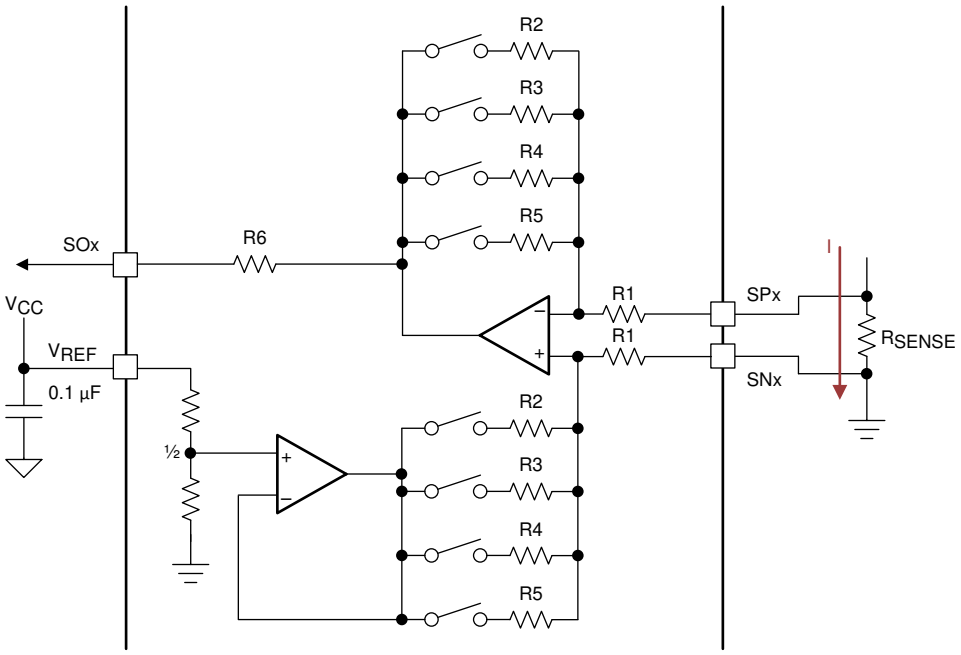


图 8-24. 双向电流感测配置

Copyright © 2022 Texas Instruments Incorporated

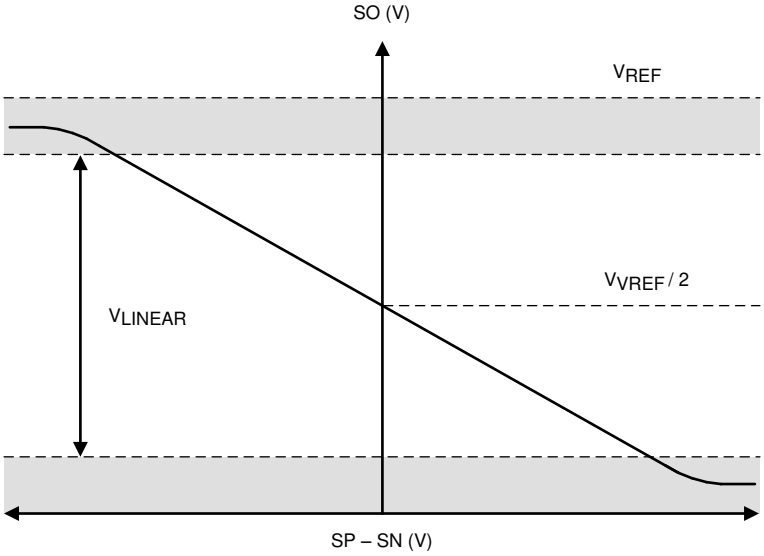


图 8-25. 双向电流感测输出

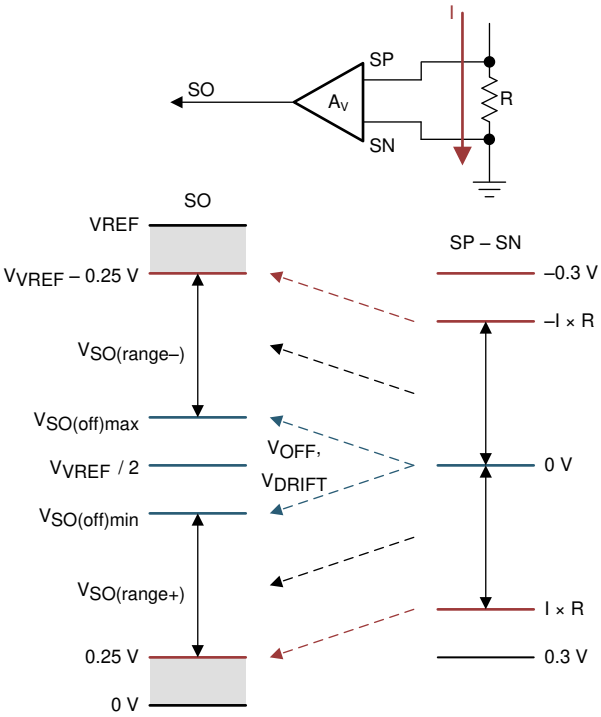


图 8-26. 双向电流感测区域

8.3.4.2 单向电流感测操作（仅限 SPI）

在 DRV8353F SPI 器件上，可以使用 VREF_DIV 位来移除 VREF 分压器。在这种情况下，分流放大器单向运行，SOx 输出的模拟电压等于 SPx 和 SNx 引脚上的电压乘以增益设置值 (G_{CSA})。可以使用方程式 4 来计算流过分流电阻器的电流。

$$I = \frac{V_{VREF} - V_{SOx}}{G_{CSA} \times R_{SENSE}} \tag{4}$$

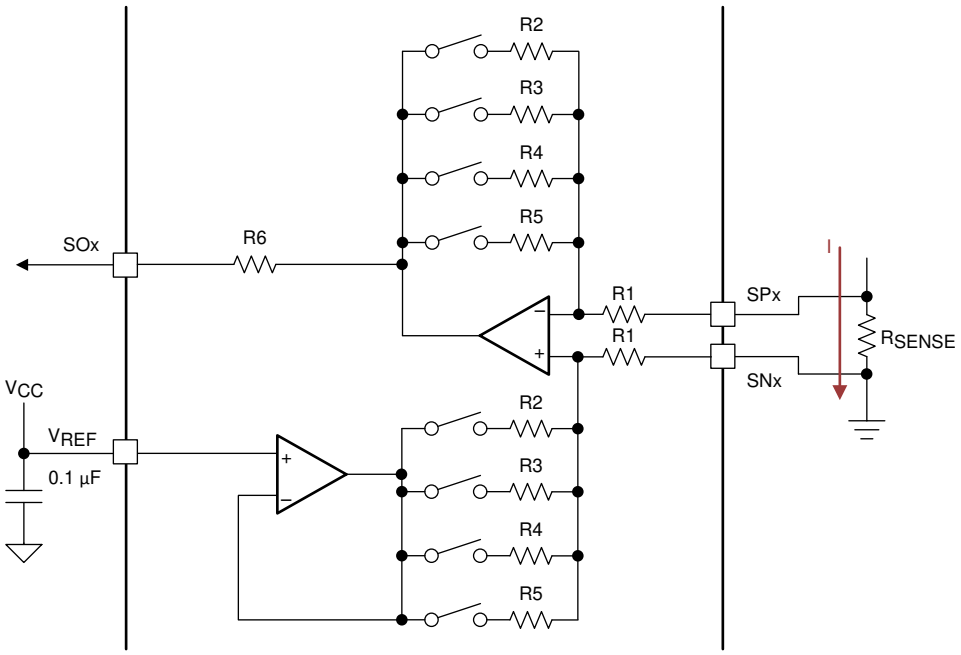


图 8-27. 单向电流感测配置

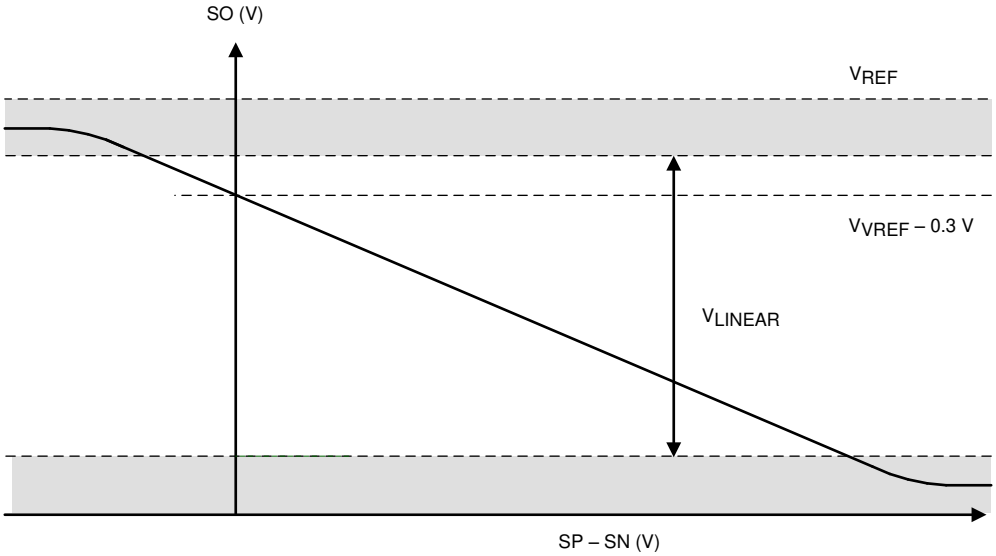


图 8-28. 单向电流感测输出

Copyright © 2022 Texas Instruments Incorporated

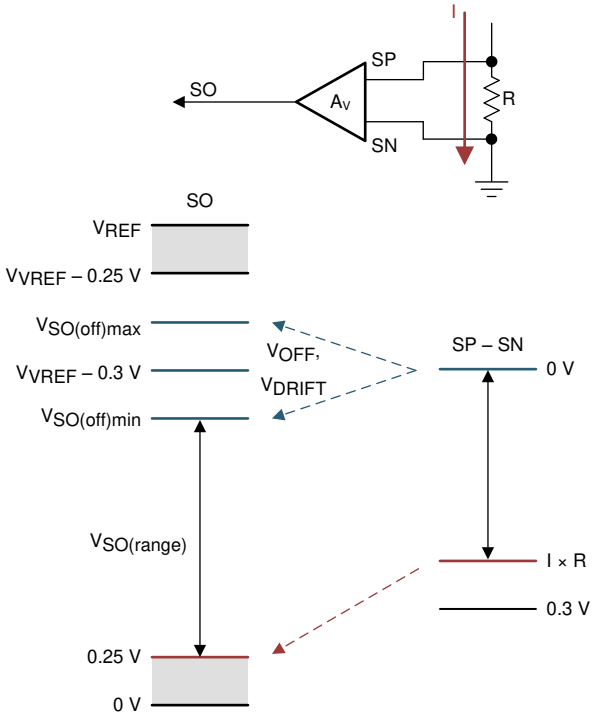


图 8-29. 单向电流感测区域

8.3.4.3 放大器校准模式

为了最大限度地减小直流失调电压和温度漂移，通过 SPI 寄存器 (CSA_CAL_X) 提供并启用了直流校准模式。硬件接口器件不提供该选项。启用校准设置后，放大器的输入会短路，负载会断开。直流校准可以随时进行，即使半桥在运行时也是如此。为获得最佳结果，请在关闭期间进行直流校准，以减少对放大器的潜在噪声影响。校准模式示意图如下所示。启用 CSA_CAL_X 位后，相应的放大器会进入校准模式。

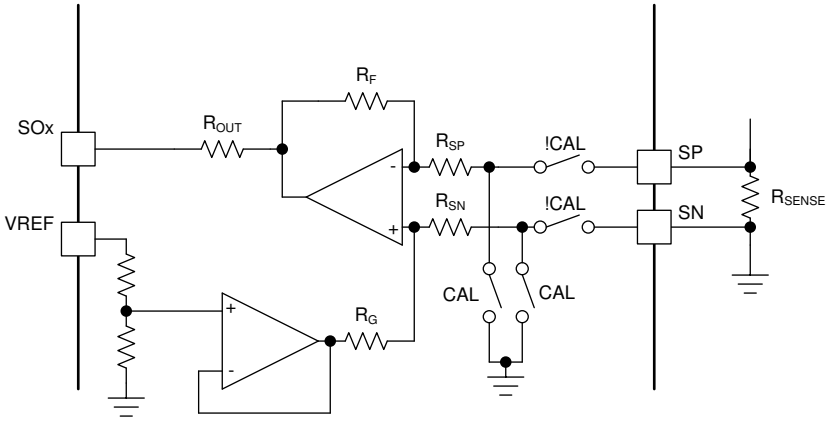


图 8-30. 放大器手动校准

除了在 SPI 器件版本上提供的手动校准方法之外，DRV835xF 系列器件在硬件和 SPI 器件版本上都提供了自动校准功能，以便在上电后和运行期间最大限度地减小放大器输入失调电压，从而应对温度和器件变化。

对于硬件和 SPI 器件选项，会在器件上电时进行自动校准。在 VREF 引脚超过最小工作 VREF 电压后，上电自动校准立即开始。在 VREF 引脚电压超过最小 VREF 工作电压后，应留出 50us 的时间以等待上电自动校准例程完成。自动校准通过执行放大器修整例程来实现，以最大限度地减小放大器输入失调电压。在此之后，放大器就可以正常运行了。

对于 SPI 器件选项，也可以在运行时通过启用 AUTO_CAL 寄存器设置再次进行自动校准。然后可以使用相应的 CSA_CAL_X 寄存器设置来命令执行自动校准，以重新运行自动校准例程。在自动校准期间，所有放大器都将配置为最大增益设置值，以提高校准例程的精度。

8.3.4.4 MOSFET V_{DS} 感测模式（仅限 SPI）

DRV8353F SPI 器件上的电流感测放大器可以配置为放大外部低侧 MOSFET V_{DS} 上的电压。这允许外部控制器在没有分流电阻器的情况下测量 MOSFET $R_{DS(on)}$ 两端的电压降，然后计算半桥电流电平。

若要启用该模式，请将 CSA_FET 位设置为 1。然后，放大器的正输入通过内部钳位在内部连接到 SHx 引脚，以防止 SHx 引脚上的高电压损坏感测放大器输入。在该运行模式下，SPx 引脚应保持连接到低侧 MOSFET 的源极，因为它用作低侧栅极驱动器的基准。当 CSA_FET 位设置为 1 时，低侧 V_{DS} 监视器的负基准自动设置为 SNx，不受 LS_REF 位状态的影响。实现此设置是为了防止禁用低侧 V_{DS} 监视器。

如果系统在 MOSFET V_{DS} 感测模式下运行，则使用开尔文接法将 SHx 和 SNx 引脚连接到外部低侧 MOSFET 的漏极和源极。

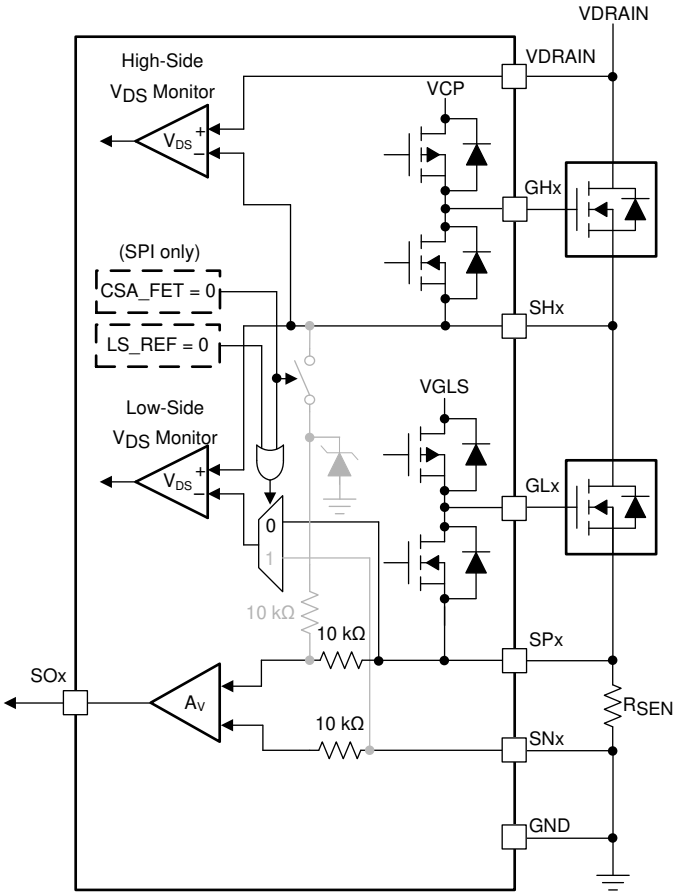


图 8-31. 电阻器感测配置

Copyright © 2022 Texas Instruments Incorporated

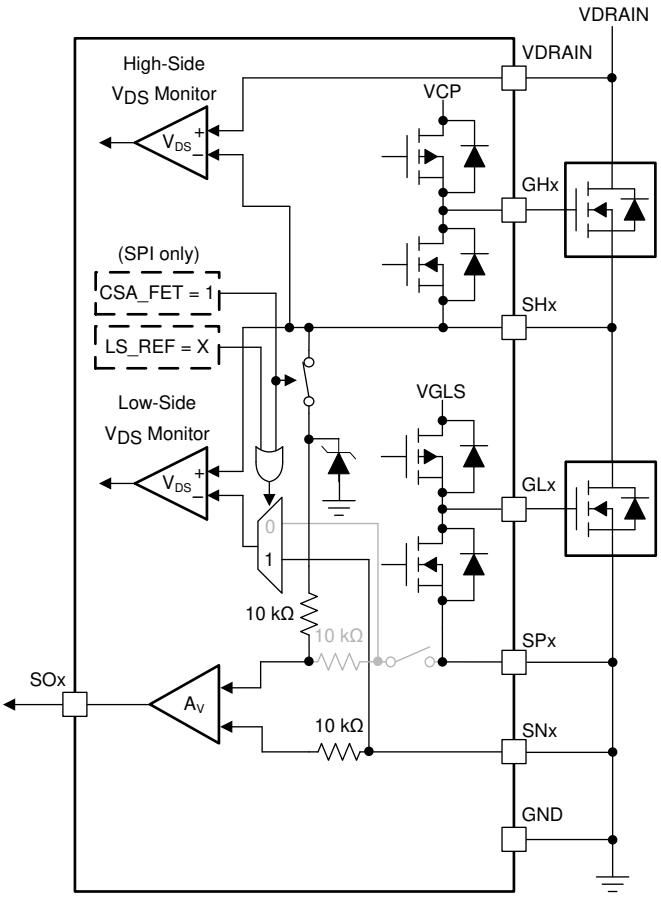


图 8-32. V_{DS} 感测配置

在 MOSFET V_{DS} 感测模式下运行时，放大器在 t_{DRIVE} 时间结束时启用。此时，放大器输出连接到 SHx 引脚，SOx 输出有效。当低侧 MOSFET 接收到关闭信号时，放大器输入 SPx 和 SNx 在内部短接在一起。

8.3.5 栅极驱动器保护电路

DRV835xF 系列器件针对 VM 欠压、电荷泵和低侧稳压器欠压、MOSFET V_{DS} 过流、栅极驱动器短路和过热事件提供了全方位的保护。

8.3.5.1 VM 电源和 VDRAIN 欠压锁定 (UVLO)

如果在任何时候 VM 引脚上的输入电源电压降至低于 V_{VM_UV} 阈值或 VDRAIN 引脚上的电压降至低于 V_{VDR_UV}，则会禁用所有外部 MOSFET，禁用电荷泵，并且 nFAULT 引脚被驱动为低电平。FAULT 和 UVLO 位也会在 SPI 器件的寄存器中被锁存为高电平。欠压条件消失后，器件将继续正常运行（栅极驱动器运行且释放 nFAULT 引脚）。UVLO 位保持设置状态，直到通过 CLR_FLT 位或 ENABLE 引脚复位脉冲 (t_{RST}) 清除。

VM 电源或 VDRAIN 欠压也可能导致报告 VCP 电荷泵或 VGLS 稳压器欠压情况。这是预期行为，因为 VCP 和 VGLS 电源电压取决于 VM 和 VDRAIN 引脚电压。

8.3.5.2 VCP 电荷泵和 VGLS 稳压器欠压锁定 (GDUV)

如果在任何时候 VCP 引脚（电荷泵）上的电压降至低于 V_{VCP_UV} 阈值或 VGLS 引脚上的电压降至低于 V_{VGLS_UV} 阈值，则会禁用所有外部 MOSFET 并且 nFAULT 引脚被驱动为低电平。FAULT 和 GDUV 位也会在 SPI 器件的寄存器中被锁存为高电平。欠压条件消失后，器件将继续正常运行（栅极驱动器运行且释放 nFAULT 引脚）。GDUV 位保持设置状态，直到通过 CLR_FLT 位或 ENABLE 引脚复位脉冲 (t_{RST}) 清除。在 SPI 器件上，如果将 DIS_GDUV 位设置为高电平，则会禁用该保护功能。在硬件接口器件上，始终启用 GDUV 保护功能。

8.3.5.3 MOSFET V_{DS} 过流保护 (VDS_OCP)

可以通过监测外部 MOSFET $R_{DS(on)}$ 上的 V_{DS} 电压降来检测 MOSFET 过流事件。如果启用的 MOSFET 上的电压超过 V_{VDS_OCP} 阈值的时间长于 t_{OCP_DEG} 抗尖峰脉冲时间，则会识别出 VDS_OCP 事件并根据 OCP_MODE 执行操作。在硬件接口器件上，可以通过 VDS 引脚设置 V_{VDS_OCP} 阈值，t_{OCP_DEG} 固定为 4μs，OCP_MODE 配置为 8ms 自动重试，但可以通过将 VDS 引脚连接到 DVDD 将其禁用。在 SPI 器件上，可以通过 VDS_LVL SPI 寄存器设置 V_{VDS_OCP} 阈值，通过 OCP_DEG SPI 寄存器设置 t_{OCP_DEG}，而 OCP_MODE 位可以在四种不同的模式下运行：V_{DS} 锁存关断、V_{DS} 自动重试、V_{DS} 仅报告以及 V_{DS} 被禁用。

默认情况下，MOSFET V_{DS} 过流保护在逐周期 (CBC) 模式下运行。可以通过 SPI 寄存器在 SPI 器件型号上禁用该模式。在逐周期 (CBC) 模式下，PWM 输入上的新上升沿将清除现有的过流故障。

此外，在 SPI 器件上，可以设置 OCP_ACT 寄存器设置值以更改链接和单独关断模式之间的 VDS_OCP 过流响应。当 OCP_ACT 为 0 时，VDS_OCP 故障只会影响发生故障的半桥。当 OCP_ACT 为 1 时，全部三个半桥都将响应任何其他半桥上的 VDS_OCP 故障。OCP_ACT 默认为 0，单独关断模式。

8.3.5.3.1 V_{DS} 锁存关断 (OCP_MODE = 00b)

在该模式下发生 VDS_OCP 事件后，所有外部 MOSFET 都被禁用，并且 nFAULT 引脚被驱动为低电平。FAULT、VDS_OCP 和相应的 MOSFET OCP 位在 SPI 寄存器中被锁存为高电平。VDS_OCP 条件消失并通过 CLR_FLT 位或 ENABLE 复位脉冲 (t_{RST}) 发出清除故障命令后，器件将继续正常运行（栅极驱动器运行且释放 nFAULT 引脚）。

8.3.5.3.2 V_{DS} 自动重试 (OCP_MODE = 01b)

在该模式下发生 VDS_OCP 事件后，所有外部 MOSFET 都被禁用，并且 nFAULT 引脚被驱动为低电平。FAULT、VDS_OCP 和相应的 MOSFET OCP 位在 SPI 寄存器中被锁存为高电平。在 t_{RETRY} 时间过后，器件将自动继续正常运行（栅极驱动器运行且释放 nFAULT 引脚）。FAULT、VDS_OCP 和 MOSFET OCP 位保持锁存，直到 t_{RETRY} 周期结束。

8.3.5.3.3 V_{DS} 仅报告 (OCP_MODE = 10b)

在该模式下发生 VDS_OCP 事件后不会执行任何保护性操作。可以通过将 nFAULT 引脚驱动为低电平并将 SPI 寄存器中的 FAULT、VDS_OCP 和相应的 MOSFET OCP 位锁定为高电平来报告过流事件。栅极驱动器继续正常运行。外部控制器通过适当的操作来管理过流状况。VDS_OCP 条件消失并通过 CLR_FLT 位或 ENABLE 复位脉冲 (t_{RST}) 发出清除故障命令后，报告清除（释放 nFAULT 引脚）。

8.3.5.3.4 V_{DS} 禁用 (OCP_MODE = 11b)

在该模式下发生 VDS_OCP 事件后不会执行任何操作。

8.3.5.4 V_{SENSE} 过流保护 (SEN_OCP)

仍然通过使用 SP 引脚检测外部电流感测电阻上的压降来监测半桥过流。如果在任何时候，电流感测放大器的 SP 输入上的电压超过 V_{SEN_OCP} 阈值的时间长于 t_{OCP_DEG} 抗尖峰脉冲时间，则会识别出 SEN_OCP 事件并根据 OCP_MODE 执行相应的操作。在硬件接口器件上，V_{SENSE} 阈值固定为 1V，t_{OCP_DEG} 固定为 4μs，而 V_{SENSE} 的 OCP_MODE 固定为 8ms 自动重试。在 SPI 器件上，可以通过 SEN_LVL SPI 寄存器设置 V_{SENSE} 阈值，通过 OCP_DEG SPI 寄存器设置 t_{OCP_DEG}，OCP_MODE 位可以在四种不同的模式下运行：V_{SENSE} 锁存关断、V_{SENSE} 自动重试、V_{SENSE} 仅报告以 V_{SENSE} 被禁用。

默认情况下，V_{SENSE} 过流保护在逐周期 (CBC) 模式下运行。可以通过 SPI 寄存器在 SPI 器件型号上禁用该模式。在逐周期 (CBC) 模式下，PWM 输入上的新上升沿将清除现有的过流故障。

此外，在 SPI 器件上，可以设置 OCP_ACT 寄存器设置值以更改链接和单独关断模式之间的 SEN_OCP 过流响应。当 OCP_ACT 为 0 时，SEN_OCP 故障只会影响发生故障的半桥。当 OCP_ACT 为 1 时，全部三个半桥都将响应任何其他半桥上的 SEN_OCP 故障。OCP_ACT 默认为 0，单独关断模式。

Copyright © 2022 Texas Instruments Incorporated

8.3.5.4.1 V_{SENSE} 锁存关断 (OCP_MODE = 00b)

在该模式下发生 SEN_OCP 事件后，所有外部 MOSFET 都被禁用，并且 nFAULT 引脚被驱动为低电平。FAULT 和 SEN_OCP 位将在 SPI 寄存器中被锁存为高电平。SEN_OCP 条件消失并通过 CLR_FLT 位或 ENABLE 复位脉冲 (t_{RST}) 发出清除故障命令后，器件将继续正常运行（栅极驱动器运行且释放 nFAULT 引脚）。

8.3.5.4.2 V_{SENSE} 自动重试 (OCP_MODE = 01b)

在该模式下发生 SEN_OCP 事件后，所有外部 MOSFET 都被禁用，并且 nFAULT 引脚被驱动为低电平。FAULT、SEN_OCP 和相应的感测 OCP 位在 SPI 寄存器中被锁存为高电平。在 t_{RETRY} 时间过后，器件将自动继续正常运行（栅极驱动器运行且释放 nFAULT 引脚）。FAULT、SEN_OCP 和感测 OCP 位保持锁存，直到 t_{RETRY} 周期结束。

8.3.5.4.3 V_{SENSE} 仅报告 (OCP_MODE = 10b)

在该模式下发生 SEN_OCP 事件后不会执行任何保护性操作。可以通过将 nFAULT 引脚驱动为低电平并将 SPI 寄存器中的 FAULT 和 SEN_OCP 位锁定为高电平来报告过流事件。栅极驱动器继续运行。外部控制器通过适当的操作来管理过流状况。SEN_OCP 条件消失并通过 CLR_FLT 位或 ENABLE 复位脉冲 (t_{RST}) 发出清除故障命令后，报告清除（释放 nFAULT）。

8.3.5.4.4 V_{SENSE} 禁用（OCP_MODE = 11b 或 DIS_SEN = 1b）

在该模式下发生 SEN_OCP 事件后不会执行任何操作。通过使用 DIS_SEN SPI 寄存器，可以独立于 VDS_OCP 位禁用 SEN_OCP 位。

8.3.5.5 栅极驱动器故障 (GDF)

会对 GHx 和 GLx 引脚进行监测，如果外部 MOSFET 栅极上的电压在 t_{DRIVE} 时间后未增大或减小，则表示检测到栅极驱动器故障。如果 GHx 或 GLx 引脚短接到 PGND、SHx 或 VM 引脚，则可能会遇到该故障。此外，如果所选的 I_{DRIVE} 设置值不足以在 t_{DRIVE} 周期内开启外部 MOSFET，则可能会遇到栅极驱动器故障。检测到栅极驱动故障后，会禁用所有外部 MOSFET，并且会将 nFAULT 引脚驱动为低电平。此外，FAULT、GDF 和相应的 VGS 位在 SPI 寄存器中被锁存为高电平。栅极驱动器故障条件消失并通过 CLR_FLT 位或 ENABLE 复位脉冲 (t_{RST}) 发出清除故障命令后，器件将继续正常运行（栅极驱动器运行且释放 nFAULT 引脚）。在 SPI 器件上，将 DIS_GDF_UVLO 位设置为高电平会禁用该保护功能。

栅极驱动器故障可能表明所选的 I_{DRIVE} 或 t_{DRIVE} 设置值过低，无法在所需的时间内转换外部 MOSFET。在这些情况下，增大 I_{DRIVE} 或 t_{DRIVE} 设置值可以解决栅极驱动器故障。或者，如果外部 MOSFET 发生栅源短路，则会由于 MOSFET 栅极未开启而报告栅极驱动器故障。

8.3.5.6 过流软关断（软 OCP）

在发生 MOSFET V_{DS} 或 V_{SENSE} 过流故障的情况下，驱动器使用特殊的关断序列来保护驱动器和 MOSFET 免受大电压开关瞬态的影响。当存在大漏源电流（例如在过流事件期间）时，如果快速关闭外部 MOSFET，则会产生这些大电压瞬变现象。

为缓解该问题，DRV835xF 系列器件在响应故障事件而关闭 MOSFET 期间会减小高侧和低侧栅极驱动器的 I_{DRIVEN} 下拉电流设置值。如果编程设定的 I_{DRIVEN} 值小于 1100mA，则将 IDRIVEN 值设置为最小 I_{DRIVEN} 设置值。如果编程的 I_{DRIVEN} 值大于或等于 1100mA，则 I_{DRIVEN} 值会减小七个代码设置值。

8.3.5.7 热警告 (OTW)

如果内核温度超过热警告 (T_{OTW}) 的跳变点，则会在 SPI 器件的寄存器中设置 OTW 位。器件不会执行任何其他操作，并且会继续运行。当内核温度降至低于热警告的迟滞点时，OTW 位会自动清除。如果通过 SPI 寄存器将 OTW_REP 位设为 1，那么还可以将 OTW 位配置为通过 nFAULT 引脚和 FAULT 位进行报告。

8.3.5.8 热关断 (OTSD)

如果内核温度超过热关断限值 (T_{OTSD}) 的跳变点，则会禁用所有外部 MOSFET，关闭电荷泵，并将 nFAULT 引脚驱动为低电平。此外，FAULT 和 TSD 位会被锁存为高电平。过热条件消失后，器件将继续正常运行（栅极驱动

器运行且释放 nFAULT 引脚）。TSD 位保持锁存为高电平，指示发生了热事件，直到通过 CLR_FLT 位或 ENABLE 复位脉冲 (t_{RST}) 发出清除故障命令为止。无法禁用此保护功能。

8.3.5.9 故障响应表

表 8-6. 故障操作和响应

故障	条件	配置	报告	栅极驱动器	恢复
VM 欠压 (VM_UV)	$V_{VM} < V_{VM_UV}$	—	nFAULT	高阻态	自动：$V_{VM} > V_{VM_UV}$
VDRAIN 欠压 (VDR_UV)	$V_{VDRAIN} < V_{VDR_UV}$	—	nFAULT	高阻态	自动：$V_{VM} > V_{VDR_UV}$
电荷泵欠压 (VCP_UV)	$V_{VCP} < V_{VCP_UV}$	DIS_GDUV = 0b	nFAULT	高阻态	自动：$V_{VCP} > V_{VCP_UV}$
		DIS_GDUV = 1b	无	运行	
VGLS 稳压器欠压 (VGLS_UV)	$V_{VGLS} < V_{VGLS_UV}$	DIS_GDUV = 0b	nFAULT	高阻态	自动：$V_{VGLS} > V_{VGLS_UV}$
		DIS_GDUV = 1b	无	运行	
V_{DS} 过流 (VDS_OCP)	$V_{DS} > V_{VDS_OCP}$	OCP_MODE = 00b	nFAULT	高阻态	锁存：CLR_FLT、ENABLE 脉冲
		OCP_MODE = 01b	nFAULT	高阻态	重试：t_{RETRY}
		OCP_MODE = 10b	nFAULT	运行	无操作
		OCP_MODE = 11b	无	运行	无操作
V_{SENSE} 过流 (SEN_OCP)	$V_{SP} > V_{SEN_OCP}$	OCP_MODE = 00b	nFAULT	高阻态	锁存：CLR_FLT、ENABLE 脉冲
		OCP_MODE = 01b	nFAULT	高阻态	重试：t_{RETRY}
		OCP_MODE = 10b	nFAULT	运行	无操作
		OCP_MODE = 11b 或 DIS_SEN = 1b	无	运行	无操作
栅极驱动器故障 (GDF)	V_{GS} 卡滞 > t_{DRIVE}	DIS_GDF = 0b	nFAULT	高阻态	锁存：CLR_FLT、ENABLE 脉冲
		DIS_GDF = 1b	无	运行	无操作
热警告 (OTW)	$T_J > T_{OTW}$	OTW_REP = 1b	nFAULT	运行	自动：$T_J < T_{OTW} - T_{HYS}$
		OTW_REP = 0b	无	运行	无操作
热关断 (OTSD)	$T_J > T_{OTSD}$	—	nFAULT	高阻态	自动：$T_J < T_{OTSD} - T_{HYS}$

8.4 器件功能模式

8.4.1 栅极驱动器功能模式

8.4.1.1 睡眠模式

ENABLE 引脚用于管理 DRV835xF 系列器件的状态。当 ENABLE 引脚为低电平时，该器件将进入低功耗睡眠模式。在睡眠模式下，将会禁用所有栅极驱动器，所有外部 MOSFET、VCP 电荷泵和 VGLS 稳压器、DVDD 稳压器、感测放大器和 SPI 总线也会被禁用。在睡眠模式下，所有器件寄存器都将重置为各自的默认值。必须在 ENABLE 引脚触发下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。如果 ENABLE 引脚被拉至高电平，那么该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

在睡眠模式下，当 $V_{VM} < V_{UVLO}$ 时，所有外部 MOSFET 都被禁用。高侧栅极引脚 GHx 由内部电阻器拉至 SHx 引脚，低侧栅极引脚 GLx 由内部电阻器拉至 PGND 引脚。

8.4.1.2 工作模式

当 ENABLE 引脚为高电平且 $V_{VM} > V_{UVLO}$ 时，器件将进入运行模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。在该模式下，电荷泵、低侧栅极稳压器、DVDD 稳压器和 SPI 总线处于活动状态。

8.4.1.3 故障复位（CLR_FLT 或 ENABLE 复位脉冲）

在器件存在锁存故障的情况下，DRV835xF 系列器件会进入部分关断状态，以帮助保护外部功率 MOSFET 和系统。

Copyright © 2022 Texas Instruments Incorporated

消除故障条件后，器件可以通过设置 SPI 器件上的 CLR_FLT SPI 位或向任一接口型号上的 ENABLE 引脚发出结果脉冲来重新进入运行状态。ENABLE 复位脉冲 (t_{RST}) 由 ENABLE 引脚上的从高到低到高的转换组成。序列的低电平周期应在 t_{RST} 时间窗口内下降，否则器件将启动完整的关断序列。复位脉冲对任何稳压器、器件设置或其他功能块都没有影响。

8.5 编程

本节仅适用于 DRV835xF SPI 器件。

8.5.1 SPI 通信

8.5.1.1 SPI

在 DRV835xF SPI 器件上，SPI 总线用于设置器件配置、运行参数和读取诊断信息。SPI 在从模式下运行，并连接到主控制器。SPI 输入数据 (SDI) 字中包含一个 16 位的字（包括一条 5 位命令和 11 位数据）。SPI 输出数据 (SDO) 字由 11 位寄存器数据组成。前 5 位是不用考虑位。

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平转换为低电平，以及从低电平转换为高电平时，SCLK 引脚应该为低电平。
- nSCS 引脚在两个字之间被拉为高电平的时间至少应为 400ns。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态。
- 数据会在 SCLK 下降沿被捕捉，并在 SCLK 上升沿传播。
- 最高有效位 (MSB) 最先移入和移出。
- 必须历经完整的 16 个 SCLK 周期，事务才有效。
- 如果发送到 SDI 引脚的数据字不是 16 位，则会发生帧错误并且数据字会被忽略。
- 对于写入命令，要写入的寄存器中的现有数据会在 5 位命令数据之后在 SDO 引脚上移出。
- SDO 引脚是开漏输出，需要使用一个外部上拉电阻器。

8.5.1.1.1 SPI 格式

SDI 输入数据的字长为 16 位，包含以下格式：

- 1 个读取或写入位，W（位 B15）
- 4 个地址位，A（位 B14 至 B11）
- 11 个数据位，D（位 B11 至 B0）

对于写入命令，将读取/写入位（W0、B15）设置为 0b。对于读取命令，将读取/写入位（W0、B15）设置为 1b。

SDO 输出数据的字长为 16 位，前 5 位是不用考虑位。响应字是寄存器中目前正在访问的数据。

表 8-7. SDI 输入数据字格式

读/写	地址				数据										
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
W0	A3	A2	A1	A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

表 8-8. SDO 输出数据字格式

不用考虑位					数据										
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
X	X	X	X	X	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

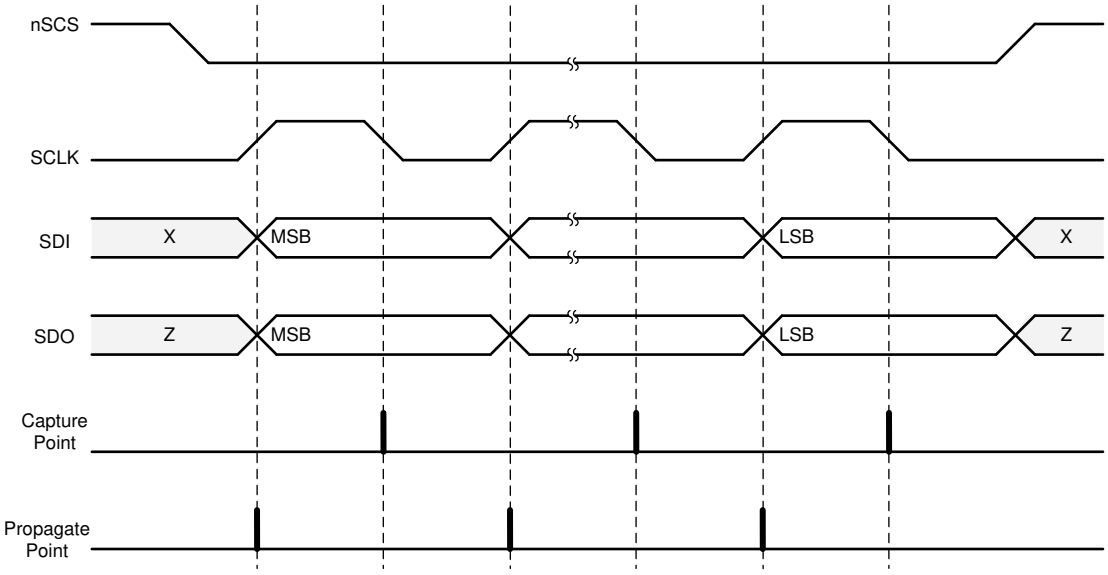


图 8-33. SPI 从器件时序图

Copyright © 2022 Texas Instruments Incorporated

8.6 寄存器映射

本节仅适用于 DRV835xF SPI 器件。

备注

请勿修改未在寄存器映射中列出的保留寄存器或地址。写入这些寄存器可能会产生意外的影响。对于所有保留位，默认值为 0。为帮助防止来自主控制器的错误 SPI 写入，请设置 LOCK 位以锁定 SPI 寄存器。

表 8-9. 寄存器映射

名称	10	9	8	7	6	5	4	3	2	1	0	类型	地址
DRV8350FS													
故障状态 1	FAULT	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC	R	0h
VGS 状态 2	SA_OC	SB_OC	SC_OC	OTW	GDUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC	R	1h
驱动器控制	OCP_ACT	DIS_GDUV	DIS_GDF	OTW_REP	PWM_MODE		1PWM_COM	1PWM_DIR	COAST	BRAKE	CLR_FLT	RW	2h
栅极驱动 HS	LOCK			IDRIVEP_HS				IDRIVEN_HS				RW	3h
栅极驱动 LS	CBC	TDRIVE		IDRIVEP_LS				IDRIVEN_LS				RW	4h
OCP 控制	TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL				RW	5h
保留	保留											RW	6h
保留	保留											RW	7h
DRV8353FS													
故障状态 1	FAULT	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC	R	0h
VGS 状态 2	SA_OC	SB_OC	SC_OC	OTW	GDUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC	R	1h
驱动器控制	OCP_ACT	DIS_GDUV	DIS_GDF	OTW_REP	PWM_MODE		1PWM_COM	1PWM_DIR	COAST	BRAKE	CLR_FLT	RW	2h
栅极驱动 HS	LOCK			IDRIVEP_HS				IDRIVEN_HS				RW	3h
栅极驱动 LS	CBC	TDRIVE		IDRIVEP_LS				IDRIVEN_LS				RW	4h
OCP 控制	TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL				RW	5h
CSA 控制	CSA_FET	VREF_DIV	LS_REF	CSA_GAIN		DIS_SEN	CSA_CAL_A	CSA_CAL_B	CSA_CAL_C	SEN_LVL		RW	6h
保留	保留										CAL_MODE	RW	7h

8.6.1 状态寄存器

状态寄存器用于报告警告和故障状况。状态寄存器是只读寄存器。

复杂的位访问类型经过编码可适应小型表单元。表 8-10 显示了适用于此节中访问类型的代码。

表 8-10. 状态寄存器访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
复位或默认值		
-n		复位后的值或默认值

8.6.1.1 故障状态寄存器 1（地址 = 0x00h）

图 8-34 展示了故障状态寄存器 1，表 8-11 对其进行了说明。

寄存器访问类型：只读

图 8-34. 故障状态寄存器 1

10	9	8	7	6	5	4	3	2	1	0
FAULT	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-11. 故障状态寄存器 1 字段说明

位	字段	类型	默认值	说明
10	FAULT	读	0b	故障状态寄存器的逻辑或。对应 nFAULT 引脚。
9	VDS_OCP	读	0b	指示 VDS 监视器过流故障情况
8	GDF	读	0b	指示栅极驱动故障情况
7	UVLO	读	0b	指示欠压锁定故障情况
6	OTSD	读	0b	指示过热关断
5	VDS_HA	读	0b	指示 A 高侧 MOSFET 上的 VDS 过流故障
4	VDS_LA	读	0b	指示 A 低侧 MOSFET 上的 VDS 过流故障
3	VDS_HB	读	0b	指示 B 高侧 MOSFET 上的 VDS 过流故障
2	VDS_LB	读	0b	指示 B 低侧 MOSFET 上的 VDS 过流故障
1	VDS_HC	读	0b	指示 C 高侧 MOSFET 上的 VDS 过流故障
0	VDS_LC	读	0b	指示 C 低侧 MOSFET 上的 VDS 过流故障

Copyright © 2022 Texas Instruments Incorporated

8.6.1.2 故障状态寄存器 2（地址 = 0x01h）

图 8-35 展示了故障状态寄存器 2，表 8-12 对其进行了说明。

寄存器访问类型：只读

图 8-35. 故障状态寄存器 2

10	9	8	7	6	5	4	3	2	1	0
SA_OC	SB_OC	SC_OC	OTW	GDUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-12. 故障状态寄存器 2 字段说明

位	字段	类型	默认值	说明
10	SA_OC	R	0b	指示 A 相感测放大器 (DRV8353xS DRV8353xS-Q1) 上的过流
9	SB_OC	R	0b	指示 B 相感测放大器 (DRV8353xS DRV8353xS-Q1) 上的过流
8	SC_OC	R	0b	指示 C 相感测放大器 (DRV8353xS DRV8353xS-Q1) 上的过流
7	OTW	R	0b	指示过热警告
6	GDUV	R	0b	指示 VCP 电荷泵和/或 VGLS 欠压故障情况
5	VGS_HA	R	0b	指示 A 高侧 MOSFET 上的栅极驱动故障
4	VGS_LA	R	0b	指示 A 低侧 MOSFET 上的栅极驱动故障
3	VGS_HB	R	0b	指示 B 高侧 MOSFET 上的栅极驱动故障
2	VGS_LB	R	0b	指示 B 低侧 MOSFET 上的栅极驱动故障
1	VGS_HC	R	0b	指示 C 高侧 MOSFET 上的栅极驱动故障
0	VGS_LC	R	0b	指示 C 低侧 MOSFET 上的栅极驱动故障

Copyright © 2022 Texas Instruments Incorporated

8.6.2 控制寄存器

控制寄存器用于配置器件。控制寄存器支持读写。

复杂的位访问类型经过编码可适应小型表单元。表 8-13 显示了用于此部分中访问类型的代码。

表 8-13. 控制寄存器访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.6.2.1 驱动器控制寄存器（地址 = 0x02h）

图 8-36 展示了驱动器控制寄存器，表 8-14 对其进行了说明。

寄存器访问类型：读/写

图 8-36. 驱动器控制寄存器

10	9	8	7	6	5	4	3	2	1	0
OCP _ACT	DIS _GDUV	DIS _GDF	OTW _REP	PWM_MODE		1PWM _COM	1PWM _DIR	COAST	BRAKE	CLR _FLT
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-00b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-14. 驱动器控制字段说明

位	字段	类型	默认值	说明
10	OCP_ACT	R/W	0b	**0b = 关断相关的半桥以响应 VDS_OCP 和 SEN_OCP** 1b = 关断全部三个半桥以响应 VDS_OCP 和 SEN_OCP
9	DIS_GDUV	R/W	0b	**0b = 已启用 VCP 和 VGLS 欠压锁定故障** 1b = 已禁用 VCP 和 VGLS 欠压锁定故障
8	DIS_GDF	R/W	0b	**0b = 已启用栅极驱动故障** 1b = 已禁用栅极驱动故障
7	OTW_REP	R/W	0b	**0b = 未在 nFAULT 或 FAULT 位上报告 OTW** 1b = 在 nFAULT 和 FAULT 位上报告 OTW
6-5	PWM_MODE	读/写	00b	**00b = 6x PWM 模式** 01b = 3x PWM 模式 10b = 1x PWM 模式 11b = 独立 PWM 模式
4	1PWM_COM	R/W	0b	**0b = 1x PWM 模式使用同步整流** 1b = 1x PWM 模式使用异步整流
3	1PWM_DIR	R/W	0b	在 1x PWM 模式下，该位与 INHC (DIR) 输入进行或运算
2	COAST	R/W	0b	向该位写入 1 可将所有 MOSFET 置于高阻态
1	BRAKE	R/W	0b	向该位写入 1 可开启全部三个低侧 MOSFET 在 1x PWM 模式下，该位与 INLC (BRAKE) 输入进行或运算。
0	CLR_FLT	R/W	0b	向该位写入 1 可清除锁存故障位。 写入后该位会自动复位。

Copyright © 2022 Texas Instruments Incorporated

8.6.2.2 栅极驱动 HS 寄存器（地址 = 0x03h）

图 8-37 展示了栅极驱动 HS 寄存器，表 8-15 对其进行了说明。

寄存器访问类型：读/写

图 8-37. 栅极驱动 HS 寄存器

10	9	8	7	6	5	4	3	2	1	0
LOCK			IDRIVEP_HS				IDRIVEn_HS			
R/W-011b			R/W-1111b				R/W-1111b			

表 8-15. 栅极驱动 HS 字段说明

位	字段	类型	默认值	说明
10-8	LOCK	读/写	011b	写入 110b 以锁定设置值，除了这些位和地址 0x02h 位 0-2，忽略后续寄存器写入。 写入除 110b 之外的任何序列在解锁时都没有任何影响。 向此寄存器写入 011b 以解锁所有寄存器。 写入除 011b 之外的任何序列在锁定时都没有任何影响。
7-4	IDRIVEP_HS	R/W	1111b	0000b = 50 mA 0001b = 50 mA 0010b = 100 mA 0011b = 150 mA 0100b = 300 mA 0101b = 350 mA 0110b = 400 mA 0111b = 450 mA 1000b = 550 mA 1001b = 600 mA 1010b = 650 mA 1011b = 700 mA 1100b = 850 mA 1101b = 900 mA 1110b = 950 mA **1111b = 1000 mA**
3-0	IDRIVEN_HS	R/W	1111b	0000b = 100 mA 0001b = 100 mA 0010b = 200 mA 0011b = 300 mA 0100b = 600 mA 0101b = 700 mA 0110b = 800 mA 0111b = 900 mA 1000b = 1100 mA 1001b = 1200 mA 1010b = 1300 mA 1011b = 1400 mA 1100b = 1700 mA 1101b = 1800 mA 1110b = 1900 mA **1111b = 2000 mA**

8.6.2.3 栅极驱动 LS 寄存器（地址 = 0x04h）

图 8-38 展示了栅极驱动 LS 寄存器，表 8-16 对其进行了说明。

寄存器访问类型：读/写

图 8-38. 栅极驱动 LS 寄存器

10	9	8	7	6	5	4	3	2	1	0
CBC	TDRIVE		IDRIVEP_LS				IDRIVEN_LS			
R/W-1b	R/W-11b		R/W-1111b				R/W-1111b			

表 8-16. 栅极驱动 LS 寄存器字段说明

位	字段	类型	默认值	说明
10	CBC	R/W	1b	仅当 OCP_MODE = 01b 时有效 0b = 对于 VDS_OCP 和 SEN_OCP，在 t_{RETRY} 后清除故障 **1b = 对于 VDS_OCP 和 SEN_OCP，在提供新的 PWM 输入时或在 t_{RETRY} 后清除故障**
9-8	TDRIVE	R/W	11b	00b = 500ns 峰值栅极电流驱动时间 01b = 1000ns 峰值栅极电流驱动时间 10b = 2000ns 峰值栅极电流驱动时间 **11b = 4000ns 峰值栅极电流驱动时间**
7-4	IDRIVEP_LS	R/W	1111b	0000b = 50 mA 0001b = 50 mA 0010b = 100 mA 0011b = 150 mA 0100b = 300 mA 0101b = 350 mA 0110b = 400 mA 0111b = 450 mA 1000b = 550 mA 1001b = 600 mA 1010b = 650 mA 1011b = 700 mA 1100b = 850 mA 1101b = 900 mA 1110b = 950 mA **1111b = 1000 mA**
3-0	IDRIVEN_LS	R/W	1111b	0000b = 100 mA 0001b = 100 mA 0010b = 200 mA 0011b = 300 mA 0100b = 600 mA 0101b = 700 mA 0110b = 800 mA 0111b = 900 mA 1000b = 1100 mA 1001b = 1200 mA 1010b = 1300 mA 1011b = 1400 mA 1100b = 1700 mA 1101b = 1800 mA 1110b = 1900 mA **1111b = 2000 mA**

Copyright © 2022 Texas Instruments Incorporated

8.6.2.4 OCP 控制寄存器（地址 = 0x05h）

图 8-39 展示了 OCP 控制寄存器，表 8-17 对其进行了说明。

寄存器访问类型：读/写

图 8-39. OCP 控制寄存器

10	9	8	7	6	5	4	3	2	1	0
TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL			
R/W-0b	R/W-01b		R/W-01b		R/W-01b		R/W-1101b			

表 8-17. OCP 控制字段说明

位	字段	类型	默认值	说明
10	TRETRY	读/写	0b	**0b = VDS_OCP 和 SEN_OCP 重试时间为 8ms** 1b = VDS_OCP 和 SEN_OCP 重试时间为 50µs
9-8	DEAD_TIME	读/写	01b	00b = 50ns 死区时间 **01b = 100ns 死区时间** 10b = 200ns 死区时间 11b = 400ns 死区时间
7-6	OCP_MODE	读/写	01b	00b = 过流导致锁存故障 **01b = 过流导致自动重试故障** 10b = 仅报告过流，但不采取任何措施 11b = 不报告过流且不采取任何措施
5-4	OCP_DEG	读/写	10b	00b = 1µs 过流抗尖峰脉冲时间 01b = 2µs 过流抗尖峰脉冲时间 **10b = 4µs 过流抗尖峰脉冲时间** 11b = 8µs 过流抗尖峰脉冲时间
3-0	VDS_LVL	读/写	1001b	0000b = 0.06 V 0001b = 0.07 V 0010b = 0.08 V 0011b = 0.09 V 0100b = 0.1 V 0101b = 0.2 V 0110b = 0.3 V 0111b = 0.4 V 1000b = 0.5 V 1001b = 0.6 V 1010b = 0.7 V 1011b = 0.8 V 1100b = 0.9 V **1101b = 1 V** 1110b = 1.5 V 1111b = 2 V

8.6.2.5 CSA 控制寄存器（仅限 DRV8353F）（地址 = 0x06h）

图 8-40 展示了 CSA 控制寄存器，表 8-18 对其进行了说明。

寄存器访问类型：读取/写入
仅 DRV8353F 系列器件提供该寄存器。

图 8-40. CSA 控制寄存器

10	9	8	7	6	5	4	3	2	1	0
CSA _FET	VREF _DIV	LS _REF	CSA _GAIN		DIS _SEN	CSA _CAL_A	CSA _CAL_B	CSA _CAL_C	SEN _LVL	
R/W-0b	R/W-1b	R/W-0b	R/W-10b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-11b	

表 8-18. CSA 控制字段说明

位	字段	类型	默认值	说明
10	CSA_FET	读/写	0b	**0b = 感测放大器正输入为 SPx** 1b = 感测放大器正输入为 SHx（也自动将 LS_REF 位设置为 1）
9	VREF_DIV	读/写	1b	0b = 感测放大器基准电压为 VREF（单向模式） **1b = 感测放大器基准电压为 VREF 除以 2**
8	LS_REF	读/写	0b	**0b = 在 SHx 到 SPx 之间测量低侧 MOSFET 的 VDS_OCP** 1b = 在 SHx 到 SNx 之间测量低侧 MOSFET 的 VDS_OCP
7-6	CSA_GAIN	读/写	10b	00b = 5V/V 分流放大器增益 01b = 10V/V 分流放大器增益 **10b = 20V/V 分流放大器增益** 11b = 40V/V 分流放大器增益
5	DIS_SEN	读/写	0b	**0b = 已启用感测过流故障** 1b = 已禁用感测过流故障
4	CSA_CAL_A	读/写	0b	**0b = 正常感测放大器 A 操作** 1b = 将感测放大器 A 的输入短接，以进行失调电压校准
3	CSA_CAL_B	读/写	0b	**0b = 正常感测放大器 B 操作** 1b = 将感测放大器 B 的输入短接，以进行失调电压校准
2	CSA_CAL_C	读/写	0b	**0b = 正常感测放大器 C 操作** 1b = 将感测放大器 C 的输入短接，以进行失调电压校准
1-0	SEN_LVL	读/写	11b	00b = 感测 OCP 0.25V 01b = 感测 OCP 0.5V 10b = 感测 OCP 0.75V **11b = 感测 OCP 1V**

Copyright © 2022 Texas Instruments Incorporated

8.6.2.6 驱动器配置寄存器（仅限 DRV8353F）（地址 = 0x07h）

图 8-41 展示了驱动器配置寄存器，表 8-19 对其进行了说明。

寄存器访问类型：读取/写入
仅 DRV8353F 器件提供该寄存器。

图 8-41. 驱动器配置寄存器

10	9	8	7	6	5	4	3	2	1	0
保留										CAL _MODE
R/W-000 0000 000b										R/W-0b

表 8-19. 驱动器配置字段说明

位	字段	类型	默认值	说明
10-1	保留	读/写	000 0000 000b	保留
0	CAL_MODE	读/写	0b	**0b = 放大器校准在手动模式下运行** 1b = 放大器校准使用内部自动校准例程

9 应用和实现

备注

以下应用部分中的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各组件是否适用于其应用。客户应验证并测试其设计实现，以确保系统功能正常。

9.1 应用信息

DRV835xF 系列器件主要用于三相无刷直流电机控制应用。*节 9.2* 中的设计过程重点介绍了如何使用和配置 DRV835xF 系列器件。

9.2 典型应用

9.2.1 主要应用

该应用示例显示 DRV8353F 用于单电源、三相 BLDC 电机驱动，并单独进行半桥电流感测。

Copyright © 2022 Texas Instruments Incorporated

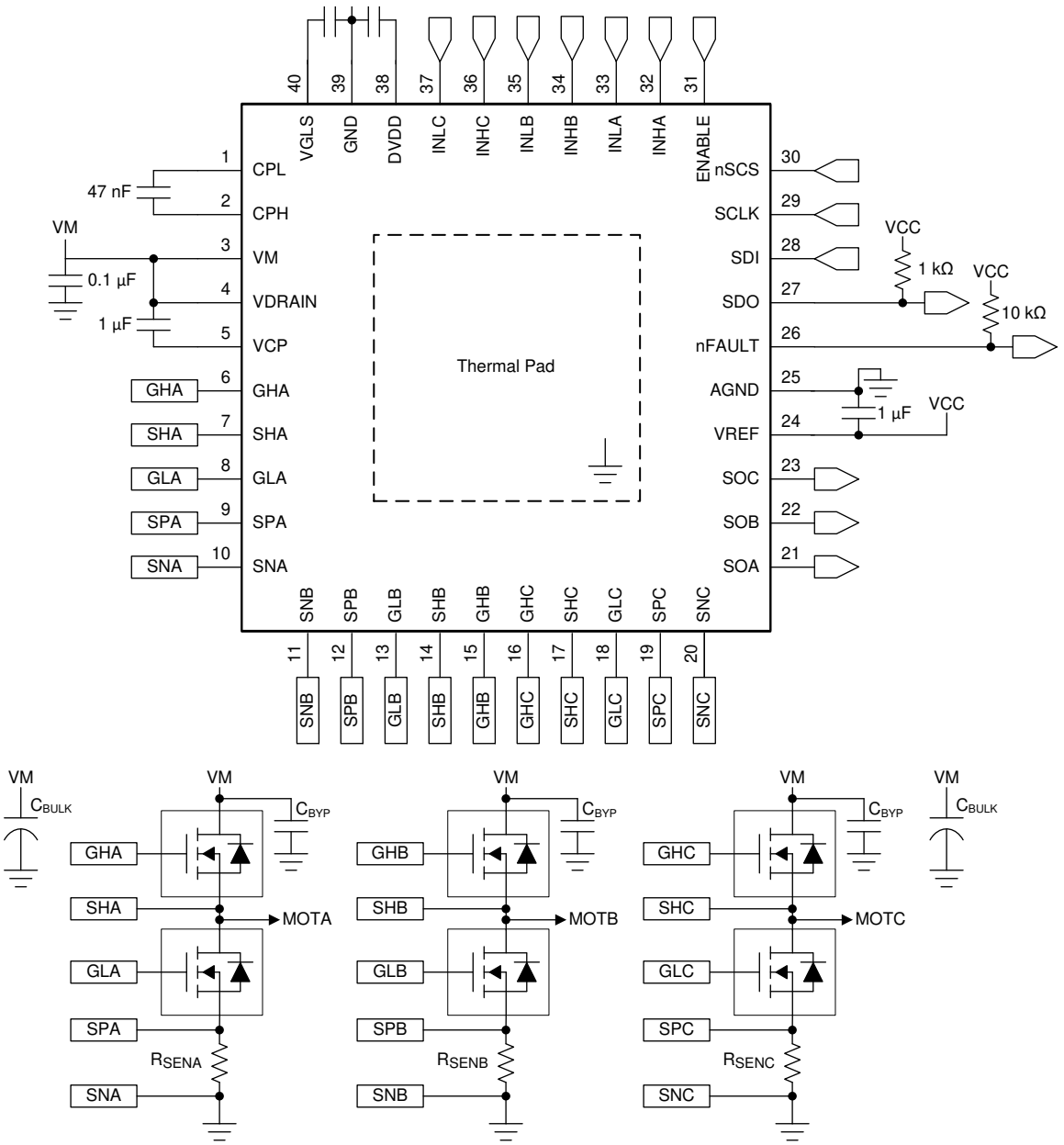

VGLS
GND
DVDD
INLC
INHC
INLB
INHB
INLA
INHA
ENABLE
CPL
CPH
VM
VDRAIN
VCP
GHA
SHA
GLA
SPA
SNA
nSCS
SCLK
SDI
SDO
nFAULT
AGND
VREF
SOC
SOB
SOA
SNB
SPB
GLB
SHB
GHB
GHC
SHC
GLC
SPC
SNC
Thermal Pad
47 nF
0.1 µF
1 µF
VCC
1 kΩ
10 kΩ
CBULK
CBYP
MOTA
MOTB
MOTC
RSENA
RSENB
RSENC

图 9-1. 主要应用原理图

9.2.1.1 设计要求

表 9-1 列出了系统设计的示例输入参数。

表 9-1. 设计参数

示例设计参数	参考值	示例值
电源电压	V_{VM}、V_{VDRAIN}、V_{VIN}	48V
MOSFET 器件型号	MOSFET	CSD19535KCS
MOSFET 总栅极电荷	Q_g	V_{VGS} = 10V 时为 78nC（典型值）
MOSFET 栅漏极电荷	Q_{gd}	13nC（典型值）
目标输出上升时间	t_r	100ns 至 300ns
目标输出下降时间	t_f	50ns 至 150ns
PWM 频率	f_{PWM}	45kHz
最大电机电流	I_{max}	100A
ADC 基准电压	V_{VREF}	3.3V
绕组感测电流范围	I_{SENSE}	-40 A 至 +40 A
电机均方根电流	I_{RMS}	28.3 A
感测电阻额定功率	P_{SENSE}	3W
系统环境温度	T_A	–20°C 至 +60°C

9.2.1.2 详细设计过程

表 9-2 列出了栅极驱动器外部元件的建议值。表 9-2 列出了降压稳压器外部元件的建议值。

表 9-2. DRV835xF 栅极驱动器外部元件

元件	引脚 1	引脚 2	推荐
C_{VM1}	VM	GND	X5R 或 X7R、0.1μF、额定电压为 VM 的电容器
C_{VM2}	VM	GND	≥ 10μF、额定电压为 VM 的电容器
C_{VCP}	VCP	VM	X5R 或 X7R、1μF、16V 电容器
C_{VGLS}	VGLS	GND	X5R 或 X7R、1μF、16V 电容器
C_{SW}	CPH	CPL	X5R 或 X7R、47nF、额定电压为 VDRAIN 的电容器
C_{DVDD}	DVDD	DGND	X5R 或 X7R、1μF、6.3V 电容器
R_{nFAULT}	VCC(1)	nFAULT	上拉电阻器
R_{SDO}	VCC(1)	SDO	上拉电阻器
R_{IDRIVE}	IDRIVE	GND 或 DVDD	DRV835xF 硬件接口
R_{VDS}	VDS	GND 或 DVDD	DRV835xF 硬件接口
R_{MODE}	模式	GND 或 DVDD	DRV835xF 硬件接口
R_{GAIN}	增益	GND 或 DVDD	DRV835xF 硬件接口
C_{VREF}	VREF	GND 或 DGND	额定电压为 VREF 的可选电容器
R_{ASENSE}	SPA	SNA 和 GND	感测分流电阻器
R_{BSENSE}	SPB	SNB 和 GND	感测分流电阻器
R_{CSENSE}	SPC	SNC 和 GND	感测分流电阻器

(1) VCC 不是 DRV835xF 系列器件上的引脚，但开漏输出 nFAULT 和 SDO 需要 VCC 电源电压上拉电阻。这些引脚也可以上拉至 DVDD。

9.2.1.2.1 外部 MOSFET 支持

DRV835xF 系列器件的 MOSFET 支持基于 MOSFET 栅极电荷、VCP 电荷泵容量、VGLS 稳压器容量和输出 PWM 开关频率。如需快速计算 MOSFET 驱动能力，对于三相 BLDC 电机应用，请使用方程式 5 和方程式 6。

Copyright © 2022 Texas Instruments Incorporated

梯形 120° 换向： $I_{VCP/VGLS} > Q_g \times f_{PWM}$ (5)

正弦 180° 换向： $I_{VCP/VGLS} > 3 \times Q_g \times f_{PWM}$ (6)

其中

- f_{PWM} 是理想 PWM 开关频率最大值。
- Q_g 是 MOSFET 总栅极电荷。
- $I_{VCP/VGLS}$ 是电荷泵或低侧稳压器容量，具体取决于 VM 引脚电压。
- MOSFET 乘数基于换向控制方法，可能因实施方式不同而异。

9.2.1.2.1.1 MOSFET 示例

如果系统使用 48V 的 V_{VM} (I_{VCP} = 25mA) 和 45kHz 的最大 PWM 开关频率，则 VCP 电荷泵和 VGLS 稳压器可以支持使用 Q_g 小于 556nC 的梯形换向的 MOSFET，以及使用 Q_g 小于 185nC 的正弦换向的 MOSFET。

9.2.1.2.2 IDRIVE 配置

栅极驱动电流强度 I_{DRIVE} 的选择依据包括：外部 MOSFET 的栅漏电荷以及输出的目标上升和下降时间。如果对于给定的 MOSFET 所选 I_{DRIVE} 过低，则该 MOSFET 可能无法在 t_{DRIVE} 时间内完全导通，并且可以断定出现栅极驱动故障。此外，较长的上升和下降时间将导致更高的开关功率损耗。TI 建议使用所需的外部 MOSFET 和电机在系统中调整这些值，以确定适用于任何应用的适当设置。

在 SPI 器件上，可以通过 SPI 寄存器独立调节低侧和高侧 MOSFET 的 I_{DRIVEP} 和 I_{DRIVEN} 电流。在硬件接口器件上，同时在 IDRIVE 引脚上选择拉电流和灌电流设置值。

对于具有已知栅漏电荷 Q_{gd}、所需上升时间 (t_r) 和所需下降时间 (t_f) 的 MOSFET，可使用方程式 7 和方程式 8 分别计算 I_{DRIVEP} 和 I_{DRIVEN} 的值。

$$I_{DRIVEP} > \frac{Q_{gd}}{t_r} \tag{7}$$

$$I_{DRIVEN} > \frac{Q_{gd}}{t_f} \tag{8}$$

9.2.1.2.2.1 IDRIVE 示例

对于 13nC 的栅漏电荷以及 100 至 300ns 的上升时间，可以使用方程式 9 和方程式 10 分别计算 $I_{DRIVEP1}$ 和 $I_{DRIVEP2}$ 的值。

$$I_{DRIVEP1} = \frac{13\ nC}{100\ ns} = 130\ mA \tag{9}$$

$$I_{DRIVEP2} = \frac{13\ nC}{300\ ns} = 43\ mA \tag{10}$$

为 I_{DRIVEP} 选择介于 43mA 和 130mA 之间的值。在本例中，选择 100mA 拉电流作为 I_{DRIVEP} 的值。

对于 13nC 的栅漏电荷以及 50 至 150ns 的下降时间，可以使用方程式 11 和方程式 12 分别计算 $I_{DRIVEN1}$ 和 $I_{DRIVEN2}$ 的值。

$$I_{DRIVEN1} = \frac{13\ nC}{50\ ns} = 260\ mA \tag{11}$$

$$I_{DRIVEN2} = \frac{13\ nC}{150\ ns} = 87\ mA \tag{12}$$

为 I_{DRIVEN} 选择介于 87mA 和 260mA 之间的值。在本例中，选择 200mA 灌电流作为 I_{DRIVEN} 的值。

9.2.1.2.3 V_{DS} 过流监视器配置

V_{DS} 监视器是根据最坏情况下的电机电流以及外部 MOSFET 的 $R_{DS(on)}$ 配置的，如方程式 13 所示。

$$V_{DS_OCP} > I_{max} \times R_{DS(on)max} \tag{13}$$

9.2.1.2.3.1 V_{DS} 过流示例

该示例的目标是将 V_{DS} 监视器设置为在电流大于 75A 时跳变。根据 *CSD19535KCS 100V N 沟道 NexFET™ 功率 MOSFET 数据表*，$R_{DS(on)}$ 值在 175°C 时会提高 2.2 倍，最大 $R_{DS(on)}$ 值在 T_A = 25°C 时在 10V V_{GS} 下为 3.6mΩ。根据这些值，$R_{DS(on)}$ 的最坏情况近似值为 2.2 × 3.6mΩ = 7.92mΩ。

使用方程式 13，并使 $R_{DS(on)}$ 的值为 7.92mΩ，最坏情况下的电机电流为 75A，方程式 14 展示了计算得出的 V_{DS} 过流监视器的期望值。

$$V_{DS_OCP} > 75\ A \times 7.92\ m\Omega$$
$$V_{DS_OCP} > 0.594\ V \tag{14}$$

在本例中，选择 0.6V 作为 V_{DS_OCP} 的值。

SPI 器件允许调整 V_{DS} 过流监视器的抗尖峰脉冲时间。可以将抗尖峰脉冲时间设置为 1μs、2μs、4μs 或 8μs。

9.2.1.2.4 感测放大器双向配置 (DRV8353F)

DRV8353F 器件上的感测放大器增益和感测电阻值是根据目标电流范围、VREF 基准电压、感测电阻额定功率以及工作温度范围选择的。在感测放大器的双向运行模式下，输出动态范围的近似计算方法如方程式 15 所示。

$$V_O = \left(V_{VREF} - 0.25\ V\right) - \frac{V_{VREF}}{2} \tag{15}$$

可以使用方程式 16 计算所选感测电阻的近似值，使用方程式 15 计算 V_O。

$$R = \frac{V_O}{A_V \times I} \qquad P_{SENSE} > I_{RMS}^2 \times R \tag{16}$$

通过方程式 15 和方程式 16，根据目标感测电阻的额定功率选择目标增益设置值。

9.2.1.2.4.1 检测放大器示例

在本系统示例中，VREF 电压的值为 3.3V，检测电流为 –40 至 +40A。SOx 输出线性范围为 0.25V 至 V_{VREF} – 0.25V（来自 V_{LINEAR} 规格）。检测放大器输入的差分范围为 –0.3 至 +0.3V (V_{DIFF})。

$$V_O = \left(3.3\ V - 0.25\ V\right) - \frac{3.3\ V}{2} = 1.4\ V \tag{17}$$

$$R = \frac{1.4\ V}{A_V \times 40\ A} \qquad 2\ W > 28.3^2 \times R \rightarrow R < 2.5\ m\Omega \tag{18}$$

$$2.5\ m\Omega > \frac{1.4\ V}{A_V \times 40\ A} \rightarrow A_V > 14 \tag{19}$$

因此，必须选择 20V/V 或 40V/V 作为增益设置，并且检测电阻的值必须小于 2.5mΩ，以满足检测电阻的功率要求。在本例中，选择了 20V/V 作为增益设置。对于电阻值和最坏情况下的电流，可以验证 R < 2.5mΩ 和 I_{max} = 40A 不违反检测放大器输入 (V_{SPxD}) 的差分范围规格。

Copyright © 2022 Texas Instruments Incorporated

9.2.1.2.5 单电源功率耗散

必须谨慎地进行设计，以确保在器件正常运行期间不违反 DRV835xF 的热额定值。这在功率耗散或器件环境温度增加的电压和工作环境温度更高的应用中尤其重要。

若要确定单电源供电时器件的温度，首先必须计算电源内部的功率耗散。内部功率耗散具有三个主要分量：

- VCP 电荷泵功率耗散 (P_{VCP})
- VGLS 低侧稳压器功率耗散 (P_{VGLS})
- VM 器件标称功率耗散 (P_{VM})

可以参考节 *9.2.1.2.1* 以首先确定 I_{VCP} 和 I_{VGLS}，然后参考方程式 20 和方程式 21，从而估算 P_{VCP} 和 P_{VGLS} 的值。

$$P_{VCP} = I_{VCP} \times (V_{VM} + V_{VDRAIN}) \tag{20}$$

$$P_{VGLS} = I_{VGLS} \times V_{VM} \tag{21}$$

可以通过参考数据表参数以获知 I_{VM} 电流并参考方程式 22 来计算 P_{VM} 的值。

$$P_{VM} = I_{VM} \times V_{VM} \tag{22}$$

然后通过将三个分量相加来计算总功率耗散，如方程式 23 所示。

$$P_{tot} = P_{VCP} + P_{VGLS} + P_{VM} \tag{23}$$

最后，可以通过参考节 *7.4* 和方程式 24 来估算器件结温。

$$T_J max = T_A max + (R_{\theta JA} \times P_{tot}) \tag{24}$$

节 *7.4* 中的信息基于封装和 PCB 散热的标准化测试指标。实际值可能因应用中使用的实际 PCB 设计而异。

9.2.1.2.6 单电源功率耗散示例

在该应用示例中，器件配置为单电源运行。该配置只需要一个电源为 DRV835xF 供电，但会以增加内部功率耗散为代价。下面的示例估算了结温。

可以使用方程式 5 来计算 MOSFET 栅极电荷为 78nC、全部 3 个高侧和 3 个低侧 MOSFET 都进行开关以及开关频率为 45kHz 时的 I_{VCP} 和 I_{VGLS} 值。

$$I_{VCP/VGLS} = 78nC \times 3 \times 45kHz = 10.5mA \tag{25}$$

可以使用方程式 20、方程式 21、方程式 22 和方程式 23 来计算 $V_{VM} = V_{VDRAIN} = V_{VIN} = 48V$、$I_{VM} = 9.5mA$、$I_{VCP} = 10.5mA$ 以及 $I_{VGLS} = 10.5mA$ 时的 P_{tot} 值。

$$P_{VCP} = 10.5mA \times (48V + 48V) = 1W \tag{26}$$

$$P_{VGLS} = 10.5mA \times 48V = 0.5W \tag{27}$$

$$P_{VM} = 9.5mA \times 48V = 0.5W \tag{28}$$

$$P_{tot} = 1W + 0.5W + 0.5W = 2.0W \tag{29}$$

最后，若要估算工作期间的器件结温，请使用方程式 24 来计算 $T_A max = 60°C$、$R_{\theta JA} = 26.1°C/W$（RTA 封装）以及 $P_{tot} = 2.054W$ 时的 $T_J max$ 值。再次请注意，$R_{\theta JA}$ 高度依赖于实际应用中使用的 PCB 设计，应对其进行验证。有关新旧热指标的更多信息，请参阅*《半导体和 IC 封装热指标》*应用报告。

$$T_J max = 60°C + (26.1°C/W \times 2.0W) = 112.2°C \tag{30}$$

如本例所示，该器件处于其运行限制范围内，但几乎在其最大工作结温下运行。设计时应注意单电源配置，以正确管理器件的功率耗散。

9.2.1.3 应用曲线

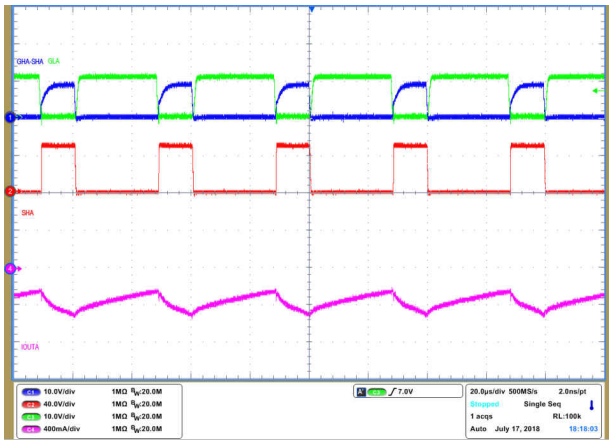


图 9-2. 采用 30% 占空比的栅极驱动器运行

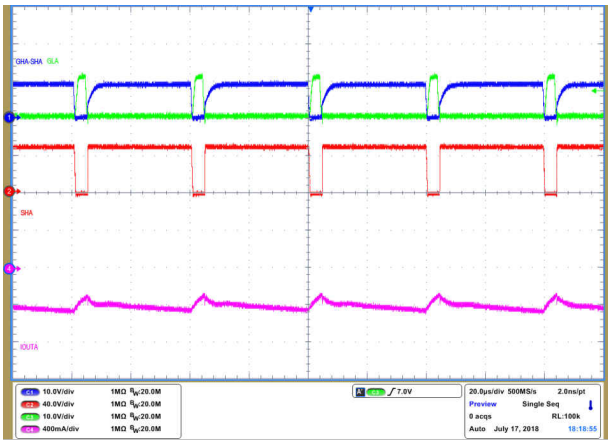


图 9-3. 采用 90% 占空比的栅极驱动器运行

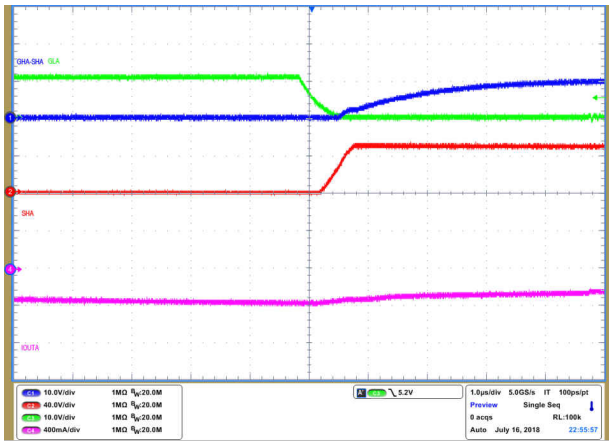


图 9-4. IDRIVE 正电流最小设置值

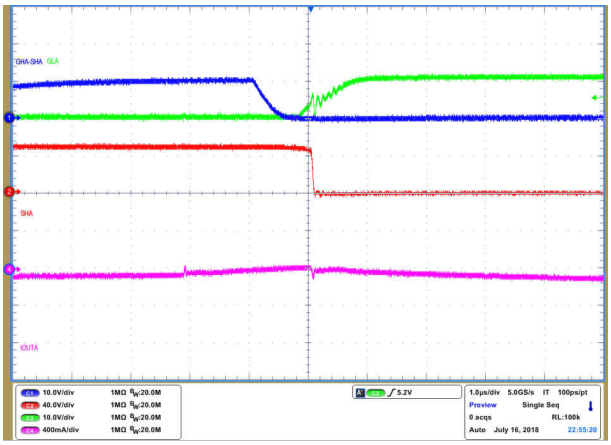


图 9-5. IDRIVE 负电流最小设置值

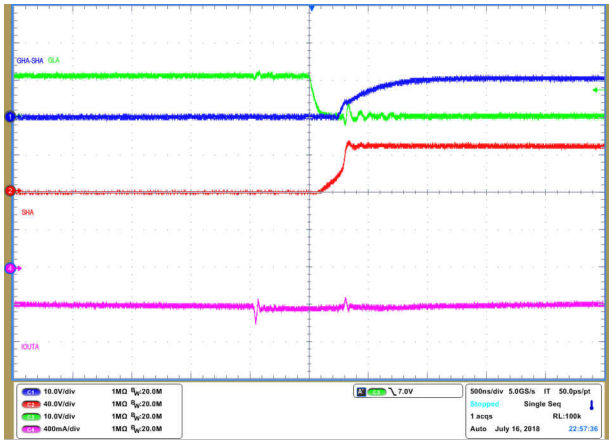


图 9-6. IDRIVE 300mA 和 600mA 正电流设置值

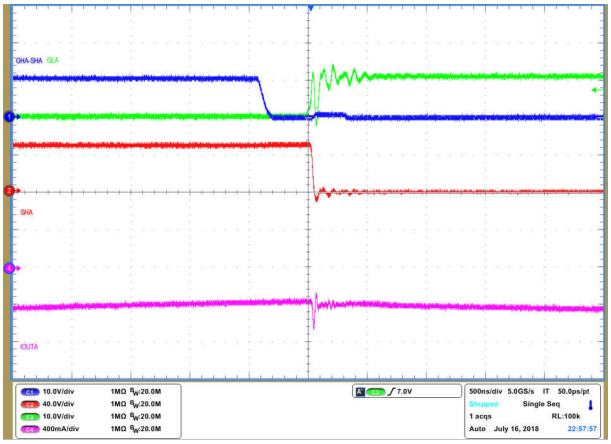


图 9-7. IDRIVE 300mA 和 600mA 负电流设置值

Copyright © 2022 Texas Instruments Incorporated

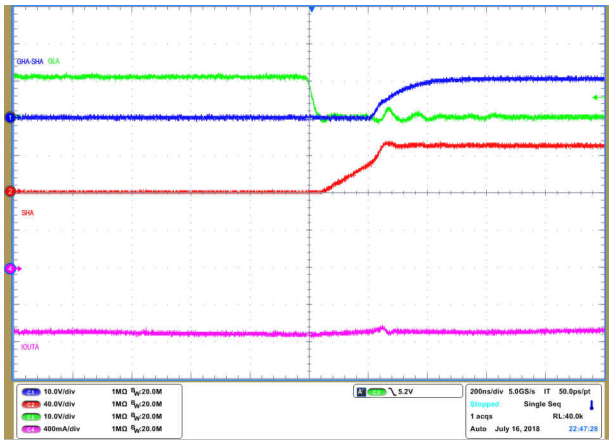


图 9-8. IDRIVE 正电流最大设置值

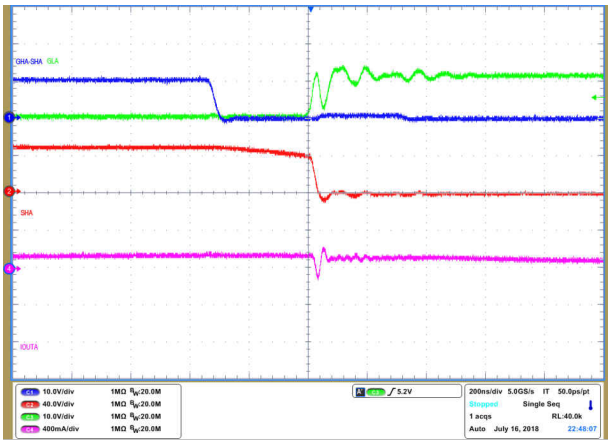


图 9-9. IDRIVE 负电流最大设置值

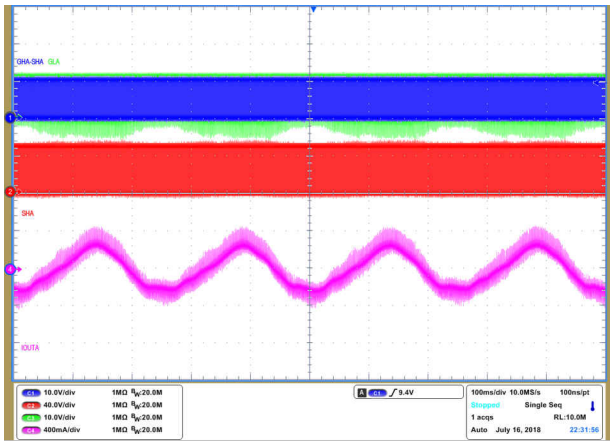


图 9-10. FOC 电机换向

9.2.2 备选应用

在该应用中，DRV8353F 配置为在单向模式下使用一个感测放大器，用于梯形或基于霍尔效应的 BLDC 换向控制中经常使用的求和电流感测方案。此外，该器件配置为双电源模式，使用外部降压稳压器来提供 VM 栅极驱动电压，以降低内部功率耗散。

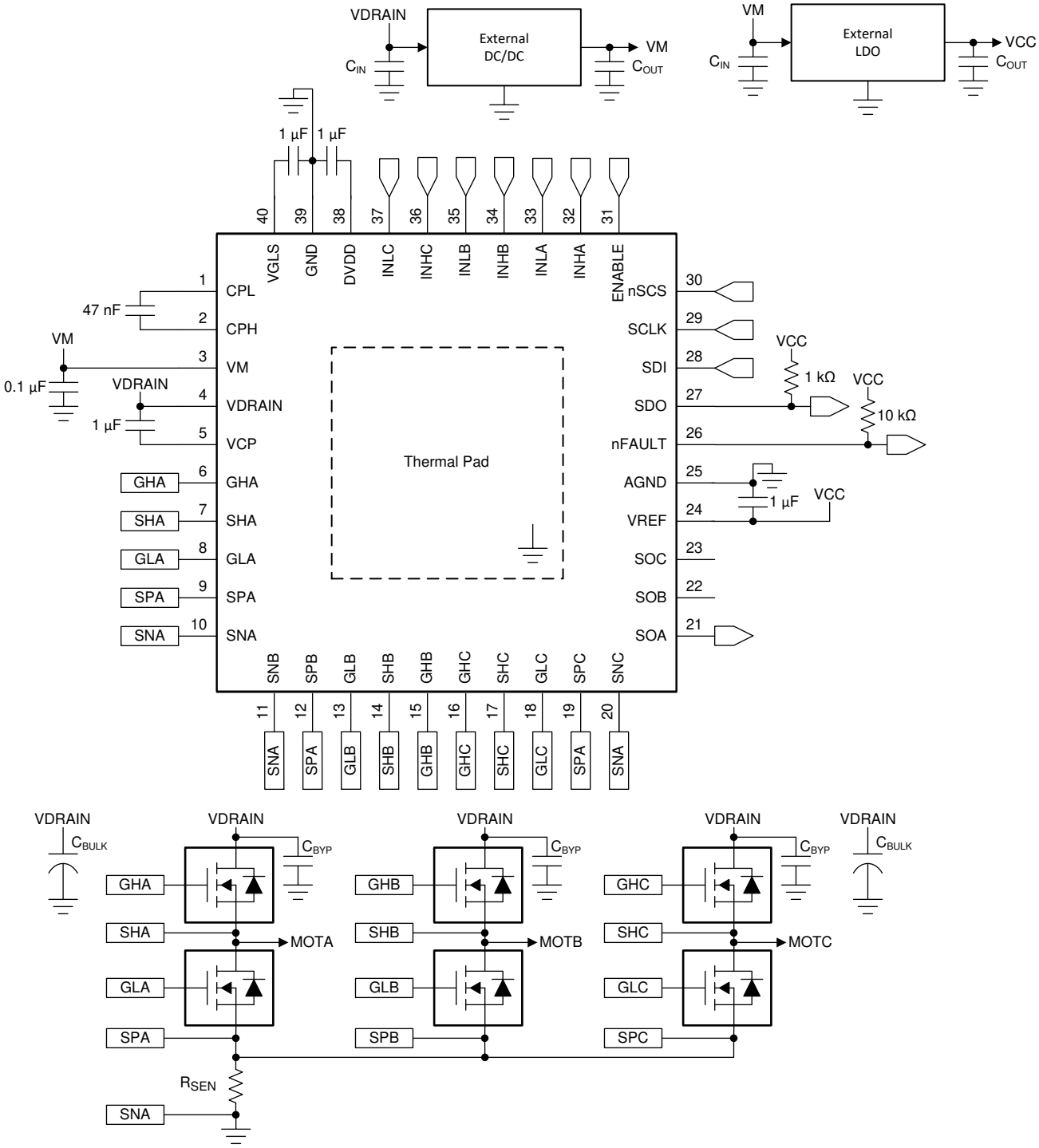


图 9-11. 备选应用原理图

Copyright © 2022 Texas Instruments Incorporated

9.2.2.1 设计要求

表 9-3 列出了系统设计的示例设计输入参数。

表 9-3. 设计参数

示例设计参数	参考	示例值
电源电压	V_{VM}	12V
MOSFET 漏极电压	V_{VDRAIN}	48V
MOSFET 器件型号	MOSFET	CSD19535KCS
MOSFET 总栅极电荷	Q_g	78nC
PWM 频率	f_{PWM}	20kHz
ADC 基准电压	V_{VREF}	3.3V
绕组感测电流范围	I_{SENSE}	0 至 40 A
电机均方根电流	I_{RMS}	28.3 A
感测电阻额定功率	P_{SENSE}	3W
系统环境温度	T_A	-20°C 至 +105°C

9.2.2.2 详细设计过程

9.2.2.2.1 感测放大器单向配置

通过向 SPI 器件上寄存器的 VREF_DIV 位写入 0，可以将感测放大器配置为单向。

感测放大器增益和感测电阻值是根据目标电流范围、VREF、感测电阻器额定功率以及工作温度范围选择的。感测放大器单向运行时，可以使用方程式 31 来计算输出动态范围的近似值。

$$V_O = (V_{VREF} - 0.25\ V) - 0.25\ V = V_{VREF} - 0.5\ V \tag{31}$$

可以使用方程式 32 来计算所选感测电阻的近似值。

$$R = \frac{V_O}{A_V \times I} \qquad P_{SENSE} > I_{RMS}^2 \times R \tag{32}$$

其中

- $V_O = V_{VREF} - 0.5\ V$

使用方程式 31 和方程式 32，根据目标感测电阻的额定功率选择目标增益设置值。

9.2.2.2.1.1 检测放大器示例

在本系统示例中，V_{VREF} 的值为 3.3V，检测电流为 0 至 40A。DRV8353x 器件的 SOx 输出线性范围为 0.25V 至 V_{VREF} – 0.25V（来自 V_{LINEAR} 规格）。检测放大器输入的差分范围为 –0.3 至 +0.3V (V_{DIFF})。

$$V_O = 3.3\ V - 0.5\ V = 2.8\ V \tag{33}$$

$$R = \frac{2.8\ V}{A_V \times 40\ A} \qquad 3\ W > 28.3^2 \times R \rightarrow R < 3.75\ m\Omega \tag{34}$$

$$3.75\ m\Omega > \frac{2.8\ V}{A_V \times 40\ A} \rightarrow A_V > 18.7 \tag{35}$$

因此，必须选择 20V/V 或 40V/V 作为增益设置，并且检测电阻的值必须小于 3.75mΩ，以满足检测电阻的功率要求。在本例中，选择了 20V/V 作为增益设置。对于电阻值和最坏情况下的电流，可以验证 R < 3.75mΩ 和 I_{max} = 40A 不违反检测放大器输入 (V_{SPxD}) 的差分范围规格。

9.2.2.2.1.2 双电源功率耗散

必须谨慎地进行设计，以确保在器件正常运行期间不违反 DRV835xF 的热额定值。这在功率耗散或器件环境温度增加的电压和工作环境温度更高的应用中尤其重要。

若要确定双电源供电时器件的温度，首先必须计算内部功率耗散。内部功率耗散具有三个主要分量：

- VCP 电荷泵功率耗散 (P_{VCP})
- VGLS 低侧稳压器功率耗散 (P_{VGLS})
- VM 器件标称功率耗散 (P_{VM})

可以参考*节 9.2.1.2.1* 以首先确定 I_{VCP} 和 I_{VGLS}，然后参考方程式 36 和方程式 37，从而估算 P_{VCP} 和 P_{VGLS} 的值。

$$P_{VCP} = I_{VCP} \times (V_{VM} + V_{VDRAIN}) \tag{36}$$

$$P_{VGLS} = I_{VGLS} \times V_{VM} \tag{37}$$

可以通过参考数据表参数以获知 I_{VM} 电流并参考方程式 38 来计算 P_{VM} 的值。

$$P_{VM} = I_{VM} \times V_{VM} \tag{38}$$

然后通过将三个分量相加来计算总功率耗散，如方程式 39 所示。

$$P_{tot} = P_{VCP} + P_{VGLS} + P_{VM} \tag{39}$$

最后，可以通过参考*节 7.4* 和方程式 40 来估算器件结温。

$$T_J max = T_A max + (R_{\theta JA} \times P_{tot}) \tag{40}$$

请注意，*节 7.4* 中的信息基于封装和 PCB 散热的标准化测试指标。实际值可能因应用中使用的实际 PCB 设计而异。

9.2.2.2.1.3 双电源功率耗散示例

在此应用示例中，该器件配置为双电源操作模式。双电源操作通过为栅极驱动器提供较低的电源电压来帮助降低内部功率耗散。这可以来自内部降压稳压器或外部电源。下面的示例估算了结温。

可以使用方程式 5 来计算 MOSFET 栅极电荷为 78nC、一次开关 1 个高侧和 1 个低侧 MOSFET 以及开关频率为 20kHz 时的 I_{VCP} 和 I_{VGLS} 值。

$$I_{VCP/VGLS} = 78nC \times 1 \times 20kHz = 1.56mA \tag{41}$$

可以使用方程式 36、方程式 37、方程式 38 和方程式 39 来计算 V_{VM} = 12V、V_{VDRAIN} = 48V、V_{VIN} = 48V、I_{VM} = 9.5mA、I_{VCP} = 1.56mA 以及 I_{VGLS} = 1.56mA 时的 P_{tot} 值。

$$P_{VCP} = 1.56mA \times (12V + 48V) = 0.1W \tag{42}$$

$$P_{VGLS} = 1.56mA \times 12V = 0.02W \tag{43}$$

$$P_{VM} = 9.5mA \times 12V = 0.1W \tag{44}$$

$$P_{tot} = 0.1W + 0.02W + 0.1W = 0.22W \tag{45}$$

最后，若要估算工作期间的器件结温，请使用方程式 40 来计算 $T_A max$ = 105°C、$R_{\theta JA}$ = 26.1°C/W（RGZ 封装）以及 P_{tot} = 0.22W 时的 $T_J max$ 值。再次请注意，$R_{\theta JA}$ 高度依赖于实际应用中使用的 PCB 设计，应对其进行验证。更多有关新旧热指标的信息，请参阅*半导体和 IC 封装热指标* 应用报告。

$$T_J max = 105°C + (26.1°C/W \times 0.22W) = 110.7°C \tag{46}$$

Copyright © 2022 Texas Instruments Incorporated

10 电源相关建议

DRV835xF 系列器件设计为在 9V 和 75V 之间的输入电压电源 (VM) 范围内工作。必须将额定电压为 VM 的 0.1μF 陶瓷电容器放置在尽可能靠近器件的位置。此外，必须在 VM 引脚上连接一个大容量电容器，但可以将其与外部功率 MOSFET 的大容量旁路电容共用。需要使用额外的大容量电容来绕过外部半桥 MOSFET，并且应该根据应用要求来确定该电容的大小。

10.1 确定大容量电容的大小

配备合适的局部大容量电容是电动机驱动系统设计中的一项重要因素。使用更大的大容量电容通常是有益的，但缺点是成本增加和物理尺寸增大。所需的局部电容量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的类型、电容和拉电流的能力
- 电源和电机系统之间的寄生电感量
- 可接受的电源电压纹波
- 电机类型（有刷直流、无刷直流、步进电机）
- 电机启动和制动方法

电源和电机驱动系统之间的电感会限制电源的电流变化速率。如果局部大容量电容太小，系统将以电压变化的方式对电机中的电流不足或过剩电流作出响应。当使用足够大的大容量电容时，电机电压保持稳定，可以快速提供大电流。

数据表给出了建议的最小值，但需要进行系统级测试来确定大小适中的大容量电容器。

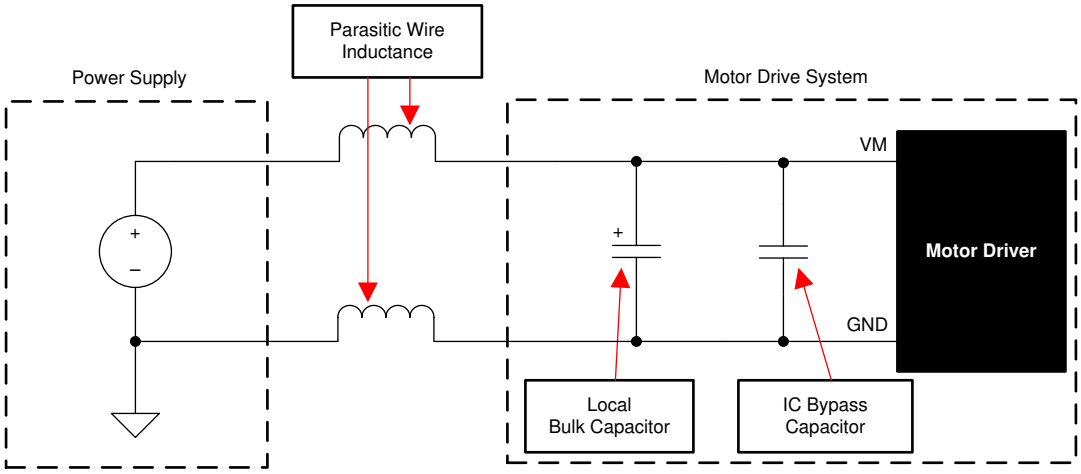


图 10-1. 电机驱动电源寄生效应示例

11 布局

11.1 布局指南

使用推荐容值为 0.1μF 的低 ESR 陶瓷旁路电容器将 VM 引脚旁路至 GND 引脚。将该电容器放置在尽可能靠近 VM 引脚的位置，并通过较宽的迹线或接地平面连接到 GND 引脚。此外，使用额定电压为 VM 的大容量电容器将 VM 引脚旁路掉。该元件可以是电解电容器。其容值必须至少为 10 μF。

需要额外的大容量电容来旁路掉外部 MOSFET 上的大电流路径。放置此大容量电容时应做到尽可能缩短通过外部 MOSFET 的大电流路径的长度。连接金属迹线应尽可能宽，并具有许多连接 PCB 层的过孔。这些做法最大限度地减少了电感并允许大容量电容器提供大电流。

在 CPL 和 CPH 引脚之间放置一个低 ESR 陶瓷电容器。该电容器的容值应为 47nF，额定电压为 VDRAIN，类型为 X5R 或 X7R。此外，在 VCP 和 VDRAIN 引脚以及 VGLS 和 GND 之间放置一个低 ESR 陶瓷电容器。这些电容器的容值应为 1μF，额定电压为 16V，类型为 X5R 或 X7R。

使用一个容值为 1μF、额定电压为 6.3V 且类型为 X5R 或 X7R 的低 ESR 陶瓷电容器将 DVDD 引脚旁路至 GND/DGND 引脚。将该电容器放置在尽可能靠近引脚的位置，并尽量缩短从电容器到 GND/DGND 引脚的路径。

对于单电源应用配置，VDRAIN 引脚可以直接短接到 VM 引脚。但是，如果器件和外部 MOSFET 之间的距离很大，请使用专用迹线连接到高侧外部 MOSFET 的漏极公共点。 请勿将 SLx 引脚直接连接到 GND。而是应该使用专用迹线将这些引脚连接到低侧外部 MOSFET 的源极。遵循这些建议有助于更准确地感测外部 MOSFET 的 V_{DS} 以实现过流检测。

最大限度地缩短高侧和低侧栅极驱动器的回路长度。高侧环路是从器件的 GHx 引脚到高侧功率 MOSFET 栅极，然后沿着高侧 MOSFET 源极返回到 SHx 引脚。低侧环路是从器件的 GLx 引脚到低侧功率 MOSFET 栅极，然后沿着低侧 MOSFET 源极返回到 SPx/SLx 引脚。

Copyright © 2022 Texas Instruments Incorporated

11.2 布局示例

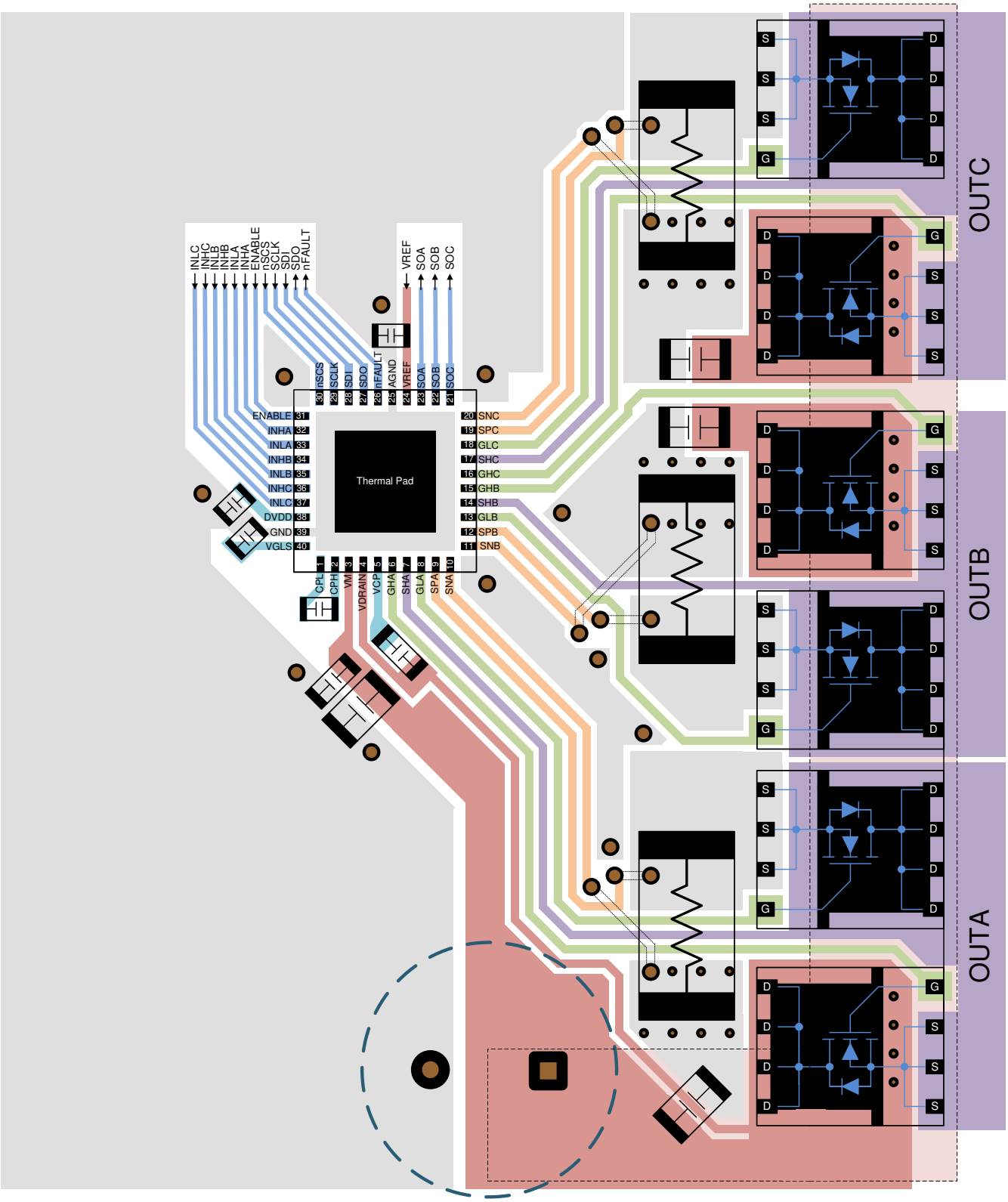


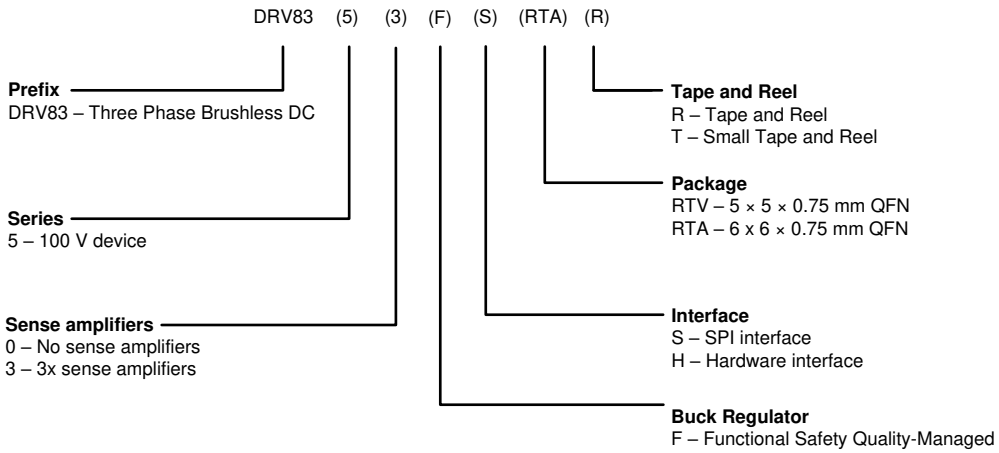
图 11-1. 布局示例

12 器件和文档支持

12.1 器件支持

12.1.1 器件命名规则

下图显示了说明完整器件名称的图例：



12.2 文档支持

12.2.1 相关文档

相关文档，请参阅：

- 德州仪器 (TI)，*《DRV8353Rx-EVM 用户指南》*
- 德州仪器 (TI)，*《DRV8353Rx-EVM GUI 用户指南》*
- 德州仪器 (TI)，*《DRV8353Rx-EVM InstaSPIN™ 软件快速入门指南》*
- 德州仪器 (TI)，*《DRV8350x-EVM 用户指南》*
- 德州仪器 (TI)，*《DRV8350x-EVM GUI 用户指南》*
- 德州仪器 (TI)，*《DRV8350x-EVM 无传感器软件用户指南》*
- 德州仪器 (TI)，*《DRV8350x-EVM 传感器式软件用户指南》*
- 德州仪器 (TI)，*《CSD19535KCS 100V N 沟道 NexFET™ 功率 MOSFET》* 数据表
- 德州仪器 (TI)，*《了解 TI 电机栅极驱动器中的 IDRIVE 和 TDRIVE 》* 应用报告
- 德州仪器 (TI)，*《采用 TI 智能栅极驱动技术进行电机驱动保护》* TI 技术手册
- 德州仪器 (TI)，*《采用 TI 智能栅极驱动技术缩减电机驱动 BOM 和 PCB 面积》* TI 技术手册
- 德州仪器 (TI)，*《采用 TI 智能栅极驱动技术降低 EMI 辐射发射》* TI 技术手册
- 德州仪器 (TI)，*《采用 BLDC 电机的高效真空吸尘器硬件设计注意事项》*
- 德州仪器 (TI)，*《采用 BLDC 电机的电动自行车硬件设计注意事项》*
- 德州仪器 (TI)，*《工业电机驱动解决方案指南》*
- 德州仪器 (TI)，*《QFN/SON PCB 连接 》*应用报告
- 德州仪器 (TI)，*《采用 MSP430™ 的传感器式三相 BLDC 电机控制》应用报告*

Copyright © 2022 Texas Instruments Incorporated

12.3 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及立即购买的快速链接。

表 12-1. 相关链接

器件	产品文件夹	立即订购	技术文档	工具和软件	支持和社区
DRV8350F	点击此处	点击此处	点击此处	点击此处	点击此处
DRV8353F	点击此处	点击此处	点击此处	点击此处	点击此处

12.4 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.5 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

12.6 商标

NexFET™, InstaSPIN™, and MSP430™ are trademarks of Texas Instruments.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

12.7 Electrostatic Discharge Caution

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

12.8 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (https:www.ti.com/legal/termsofsale.html) 或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2021，德州仪器 (TI) 公司

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8350FHRTVR	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8350FH
DRV8350FHRTVR.A	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8350FH
DRV8350FSRTVR	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8350FS
DRV8350FSRTVR.A	Active	Production	WQFN (RTV) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8350FS
DRV8353FHRTAR	Active	Production	WQFN (RTA) | 40	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8353FH
DRV8353FHRTAR.A	Active	Production	WQFN (RTA) | 40	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8353FH
DRV8353FSRTAR	Active	Production	WQFN (RTA) | 40	2000 | LARGE T&R	Yes	Call TI | Nipdau	Level-1-260C-UNLIM	-40 to 125	8353FS
DRV8353FSRTAR.A	Active	Production	WQFN (RTA) | 40	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8353FS
DRV8353FSRTARG4	Active	Production	WQFN (RTA) | 40	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8353FS
DRV8353FSRTARG4.A	Active	Production	WQFN (RTA) | 40	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8353FS

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

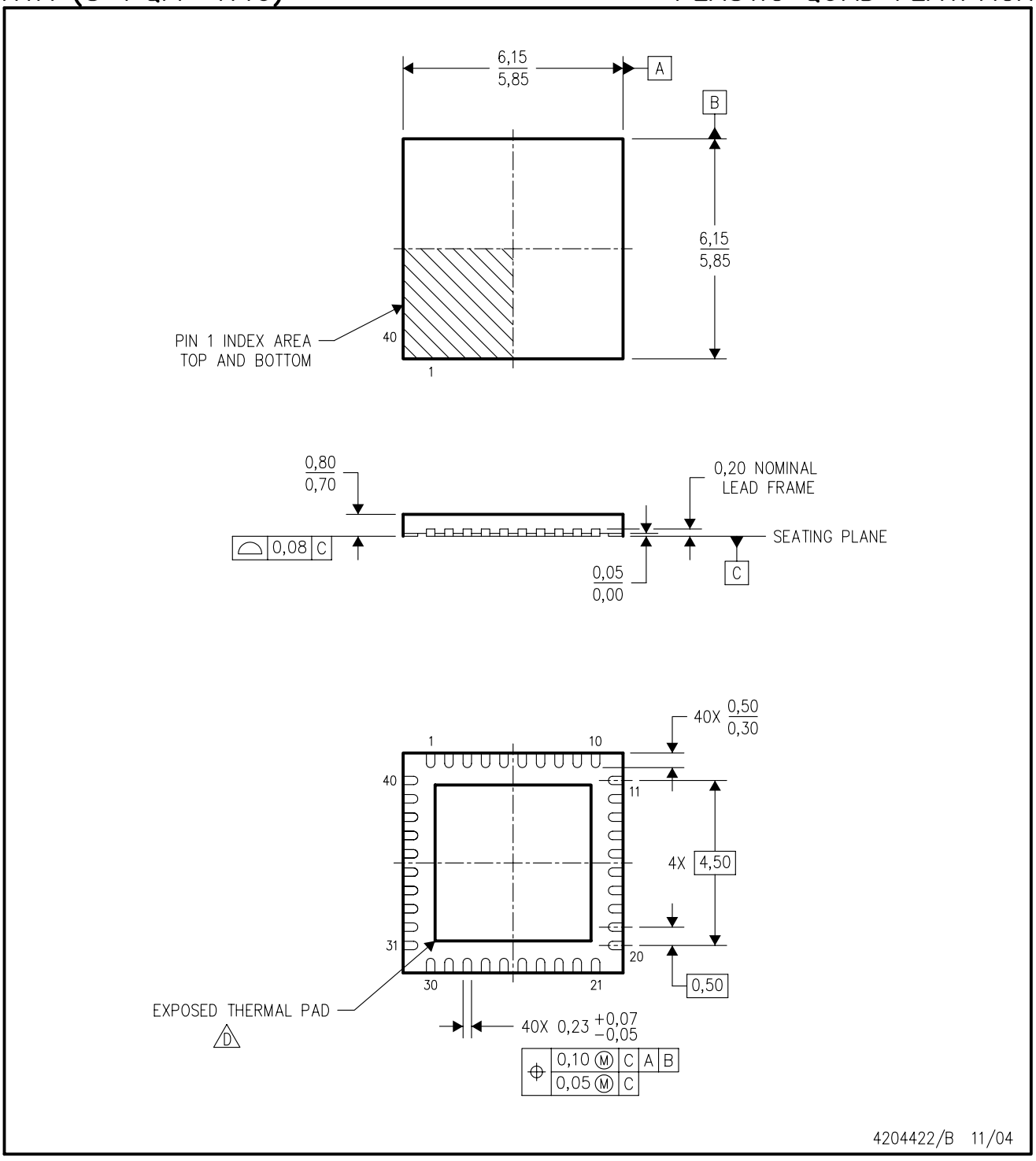
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

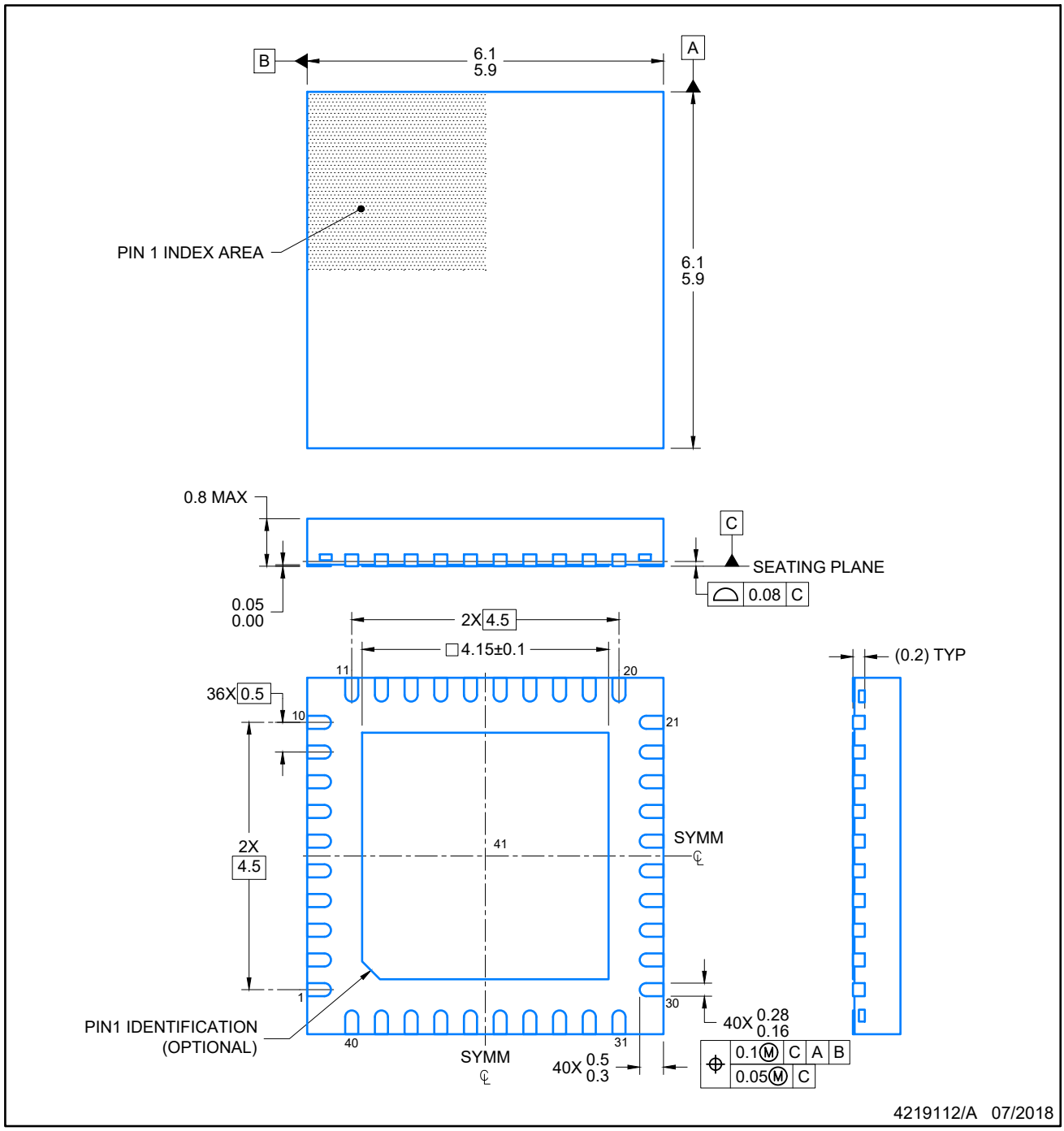
and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

RTA (S–PQFP–N40) PLASTIC QUAD FLATPACK

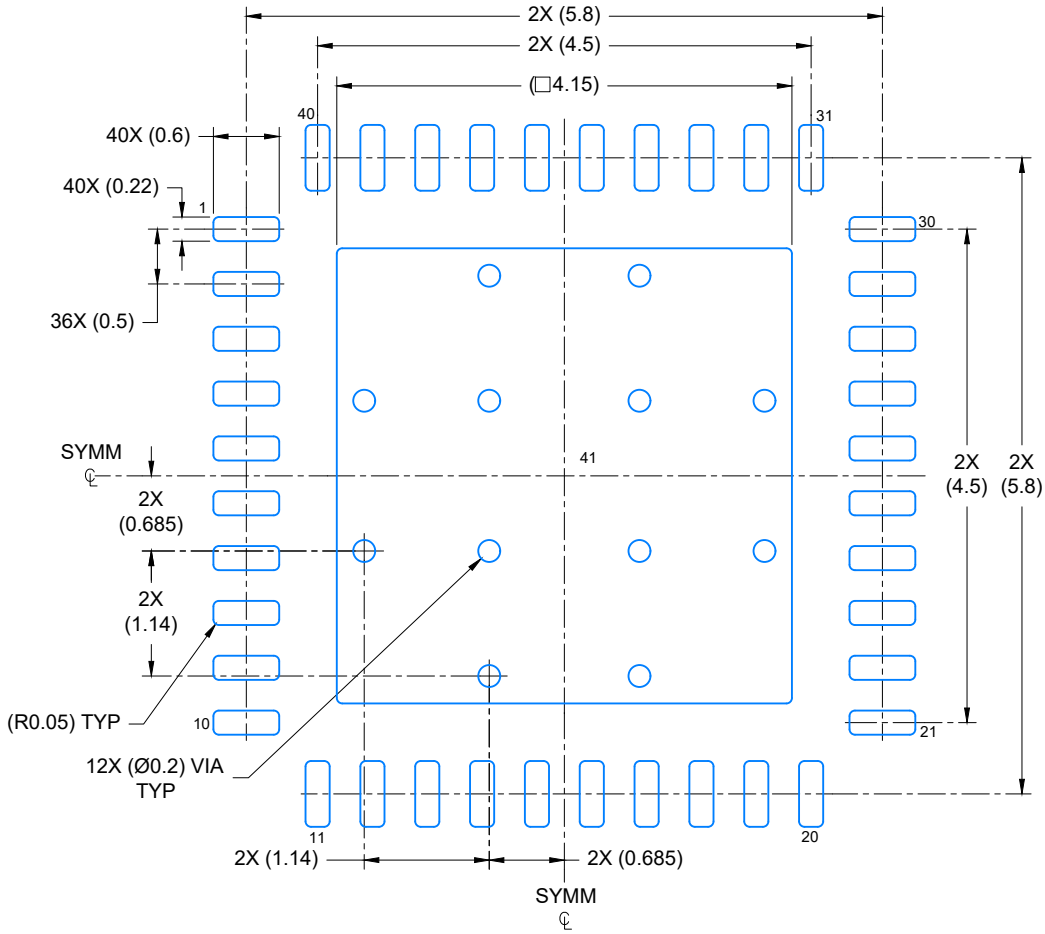


NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) Package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.



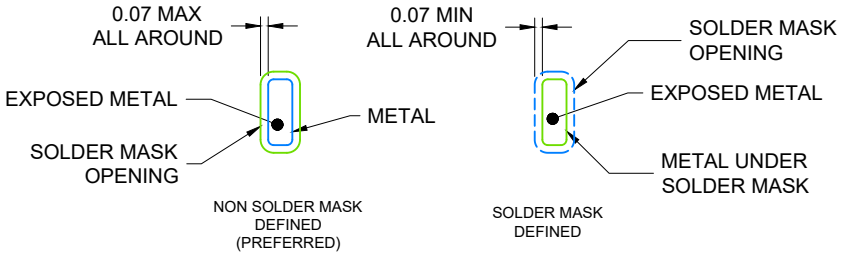
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE

SCALE: 15X

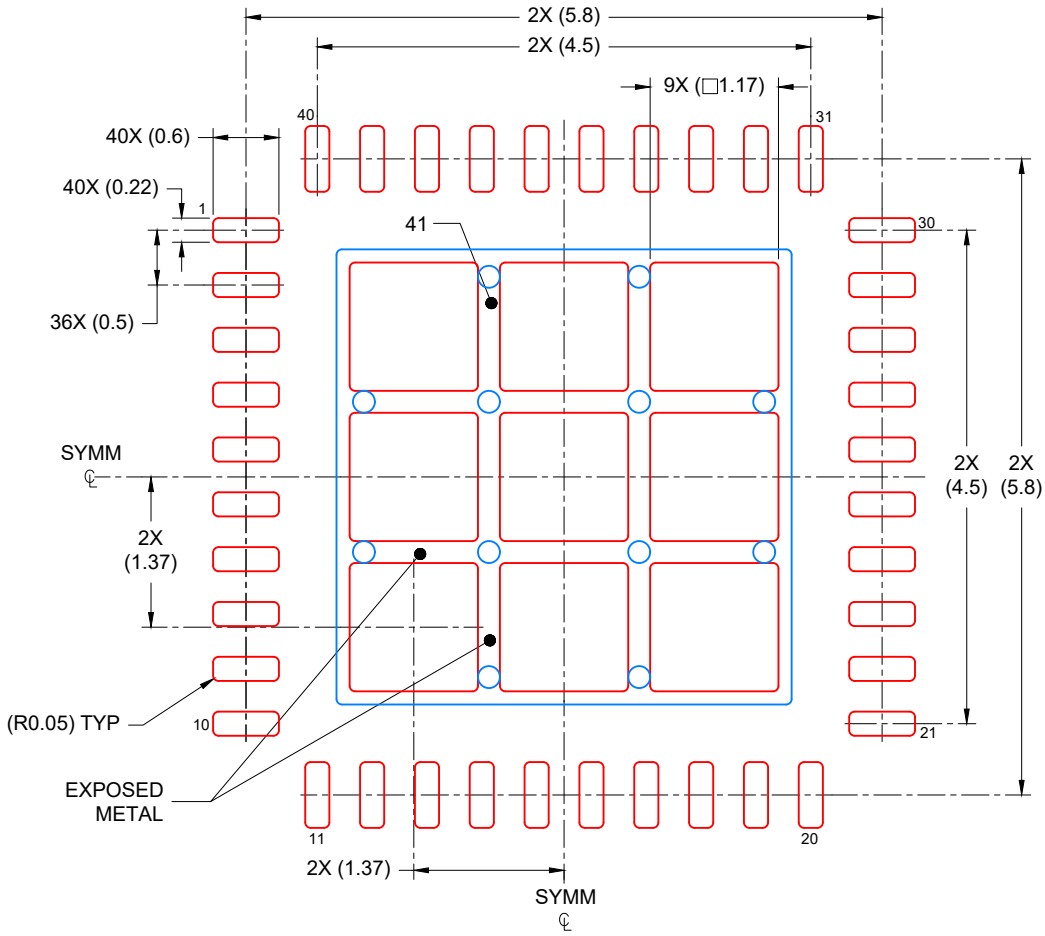


SOLDER MASK DETAILS

4219112/A 07/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

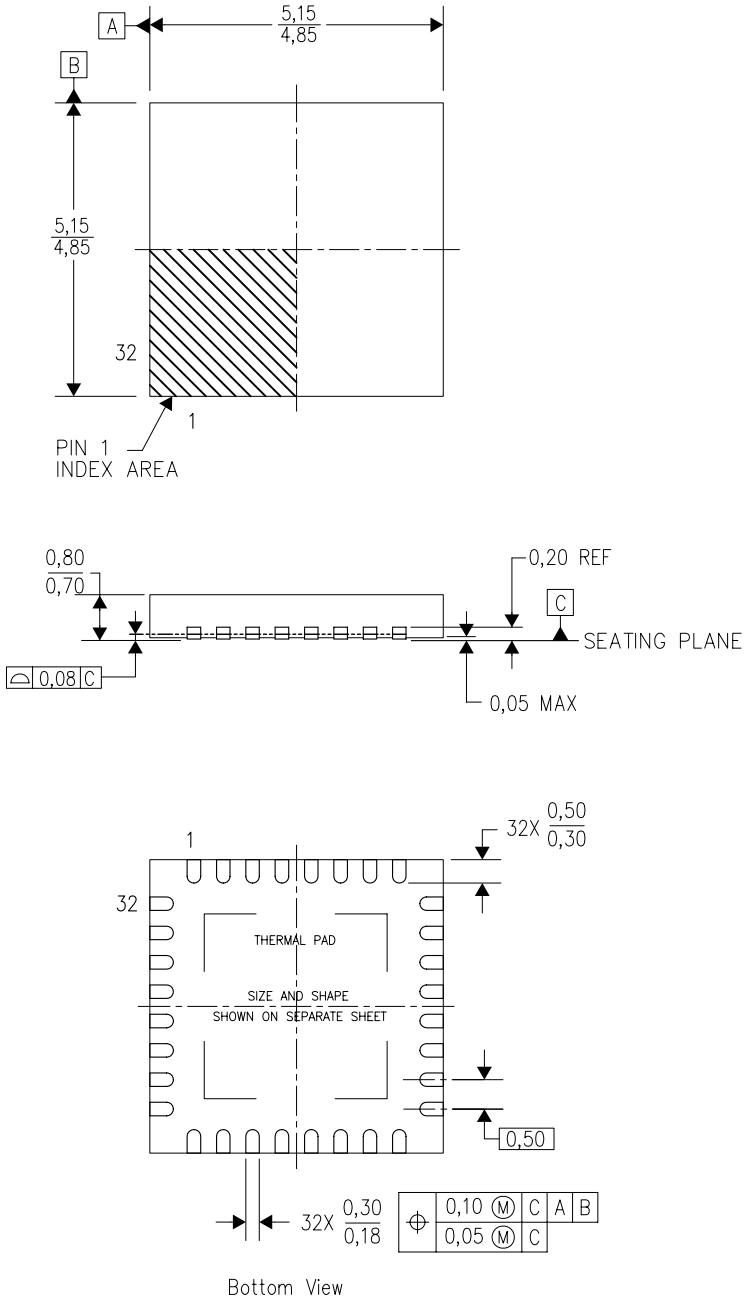
EXPOSED PAD
71% PRINTED COVERAGE BY AREA
SCALE: 15X

4219112/A 07/2018

NOTES: (continued)

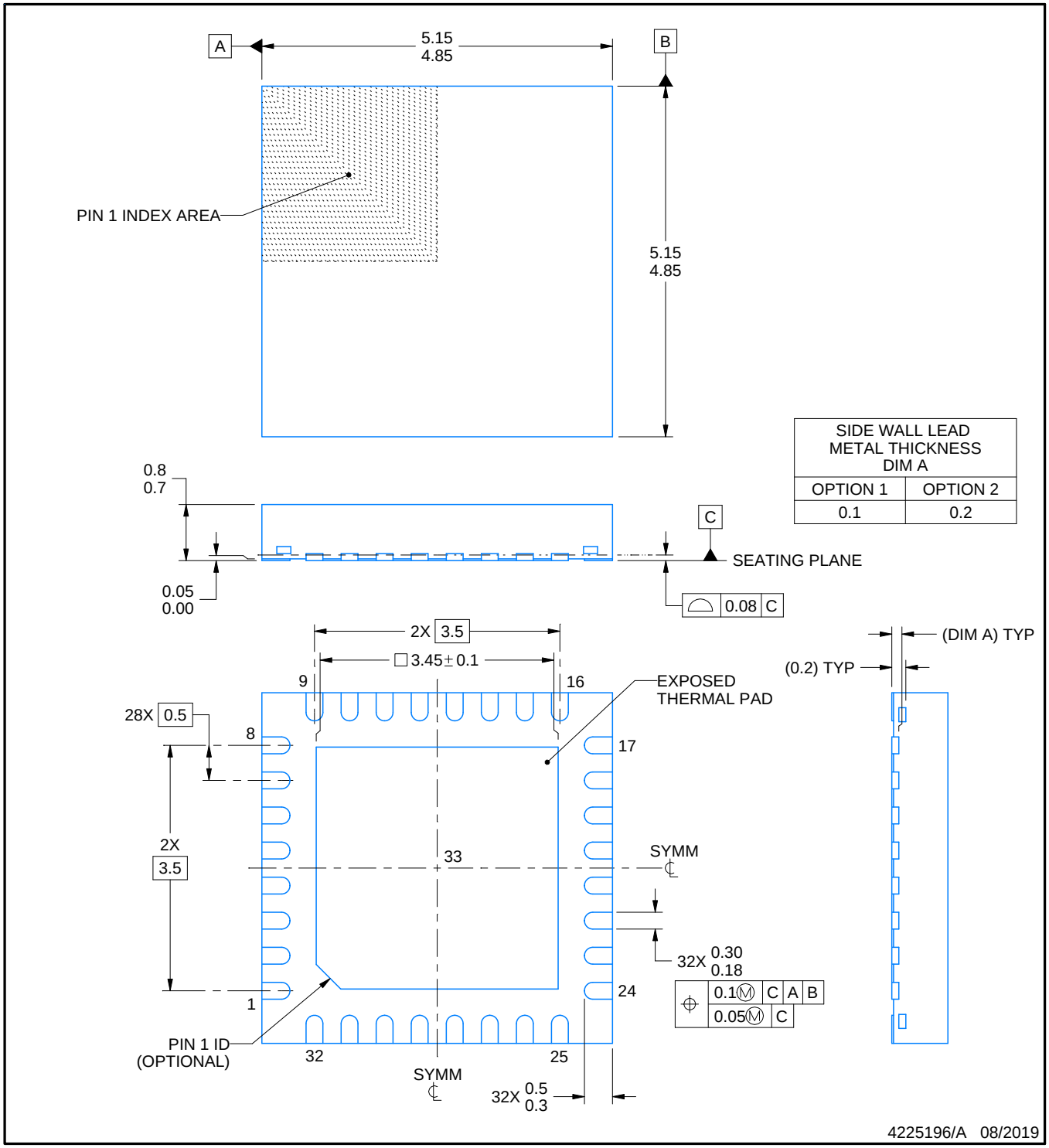
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RTV (S-PWQFN-N32) PLASTIC QUAD FLATPACK NO-LEAD



4206245/C 10/11

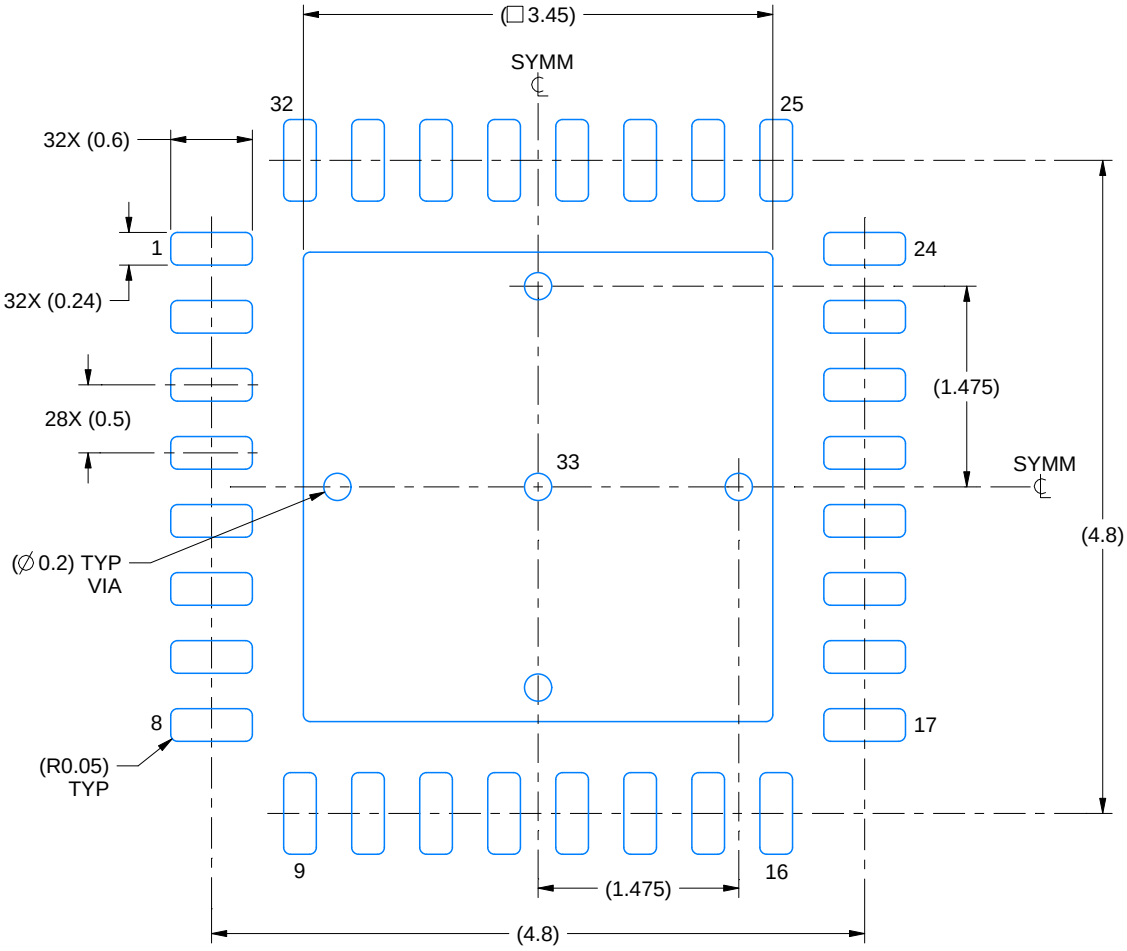
NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5-1994.
B. This drawing is subject to change without notice.
C. Quad Flatpack, No-Leads (QFN) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
F. Falls within JEDEC MO-220.



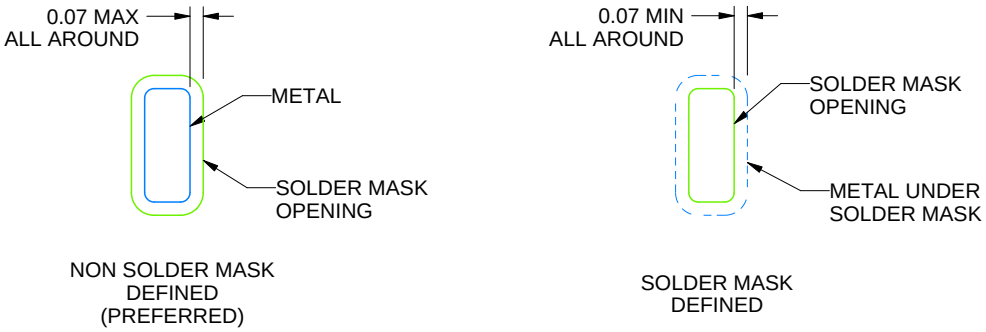
SIDE WALL LEAD METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:18X

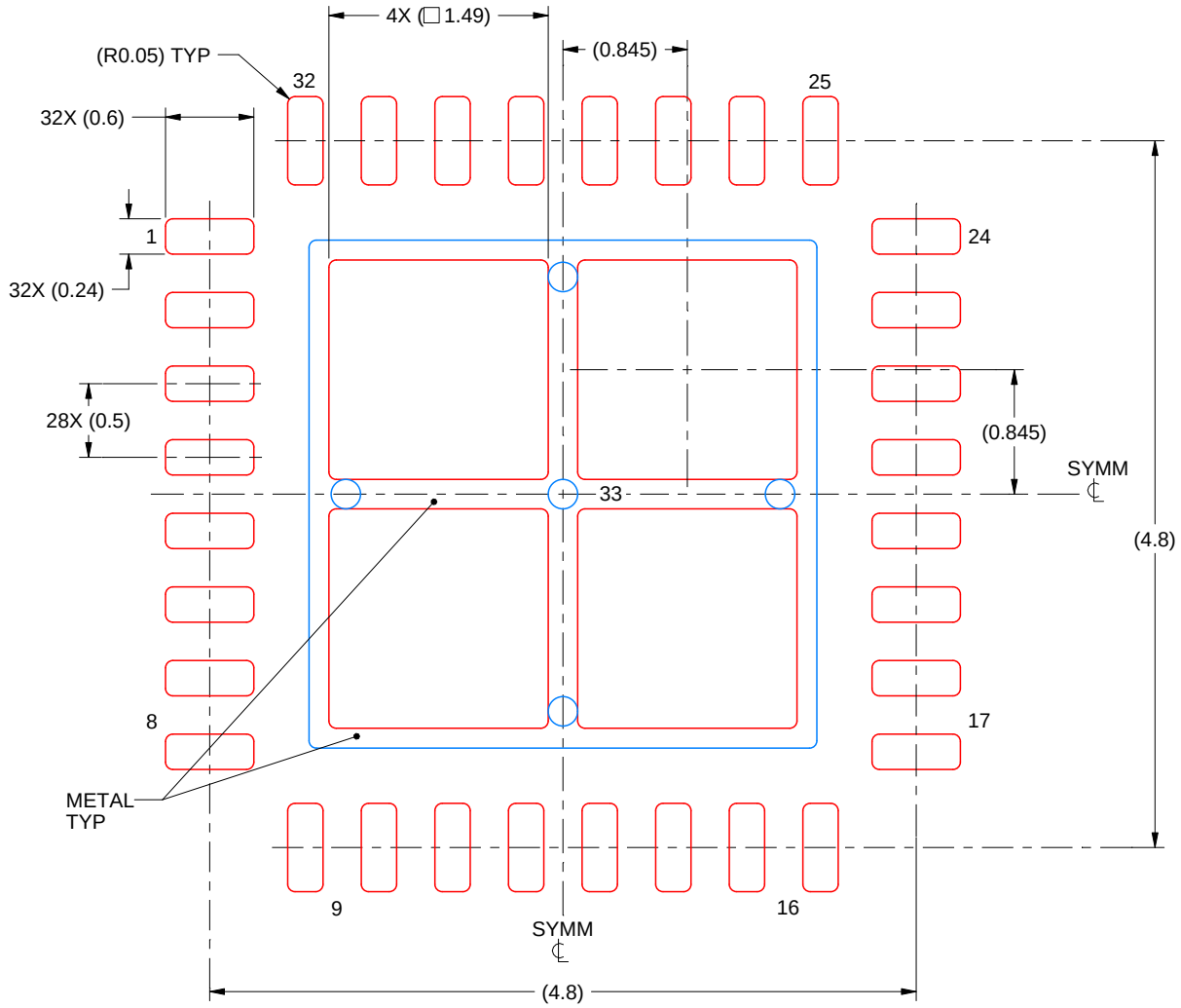


SOLDER MASK DETAILS

4225196/A 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4225196/A 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月