

DRV832x 6V 至 60V 三相智能栅极驱动器

1 特性

- 三路半桥栅极驱动器
 - 可驱动 3 个高侧和 3 个低侧 N 沟道 MOSFET (NMOS)
- 智能栅极驱动架构
 - 可调压摆率控制
 - 10mA 至 1A 峰值拉电流
 - 20mA 至 2A 峰值灌电流
- 集成式栅极驱动器电源
 - 支持 100% 脉宽调制 (PWM) 占空比
 - 高侧电荷泵
 - 低侧线性稳压器
- 6V 至 60V 工作电压范围
- 可选集成式直流/直流降压稳压器
 - LMR16006X SIMPLE SWITCHER®
 - 4V 至 60V 工作电压范围
 - 0.8V 至 60V, 600mA 输出能力
- 可选集成式三路低侧电流检测放大器 (CSA)
 - 可调增益 (5V/V、10V/V、20V/V、40V/V)
 - 双向或单向支持
- 提供 SPI 和硬件接口
- 6x、3x、1x 和独立的 PWM 模式
- 支持 1.8V、3.3V 和 5V 逻辑输入
- 低功耗睡眠模式 (12 μ A)
- 线性稳压器, 3.3V, 30mA
- 紧凑型 QFN 封装和尺寸
- 具有电源块的高效系统设计
- 集成保护特性
 - VM 欠压锁定 (UVLO)
 - 电荷泵电压 (CPUV)
 - MOSFET 过流保护 (OCP)
 - 栅极驱动器故障 (GDF)
 - 热警告和热关断 (OTW/OTSD)
 - 故障状态指示器 (nFAULT)

2 应用

- 无刷直流 (BLDC) 电机模块和 PMSM
- 风扇、泵和伺服驱动器
- 电动自行车、电动踏板车和电动汽车
- 无线园艺和电动工具、割草机
- 无线真空吸尘器
- 无人机、机器人和遥控玩具
- 工业和物流机器人

3 说明

DRV832x 系列器件是适用于三相应用的集成式栅极驱动器。这类器件具有三个半桥栅极驱动器，每个驱动器都能够驱动高侧和低侧 N 沟道功率 MOSFET。DRV832x 可使用集成式电荷泵（针对高侧 MOSFET）和线性稳压器（针对低侧 MOSFET）生成正确的栅极驱动电压。这一智能栅极驱动架构支持高达 1A 的栅极驱动峰值拉电流和 2A 的栅极驱动峰值灌电流。DRV832x 可由单一电源供电运行，支持宽输入电源电压范围：栅极驱动器 6V 至 60V，以及可选降压稳压器 4V 至 60V。

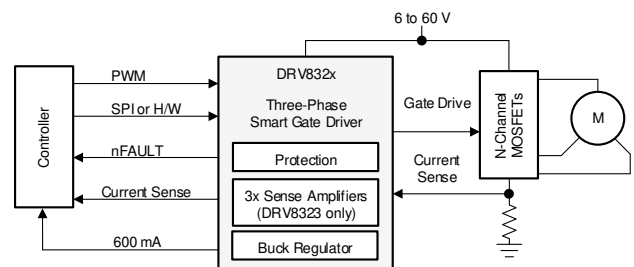
6x、3x、1x 和独立输入 PWM 模式可简化与控制器电路的连接。栅极驱动器和器件的配置设置可通过 SPI 或硬件 (H/W) 接口进行高度灵活的配置。DRV8323 和 DRV8323R 器件集成了三个低侧电流检测放大器，可在驱动级的所有三个相位上进行双向电流检测。DRV8320R 和 DRV8323R 器件集成了 600mA 直流/直流降压稳压器。

还提供了低功耗睡眠模式，以通过关断大部分内部电路的方式来实现较低的静态电流消耗。针对欠压锁定、电荷泵故障、MOSFET 过流、MOSFET 短路、栅极驱动器故障和过热等情况，提供内部保护功能。故障情况在 nFAULT 引脚处指示，通过 SPI 器件版本的器件寄存器获得详细信息。

器件信息

器件型号	封装 (1)	封装尺寸 (标称值)
DRV8320	WQFN (32)	5.00mm × 5.00mm
DRV8320R	VQFN (40)	6.00mm × 6.00mm
DRV8323	WQFN (40)	6.00mm × 6.00mm
DRV8323R	VQFN (48)	7.00mm × 7.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



Copyright © 2017, Texas Instruments Incorporated

简化版原理图



内容

1 特性.....	1	8.6 寄存器映射.....	54
2 应用.....	1	9 应用和和实施.....	62
3 说明.....	1	9.1 应用信息.....	62
4 修订历史记录.....	2	9.2 典型应用.....	62
5 器件比较表.....	4	10 电源相关建议.....	72
6 引脚配置和功能.....	4	10.1 发电机模式下的电源注意事项.....	72
7 规格.....	11	10.2 确定大容量电容器的大小.....	72
7.1 绝对最大额定值.....	11	11 布局.....	74
7.2 ESD 等级.....	12	11.1 布局指南.....	74
7.3 建议运行条件.....	12	11.2 布局示例.....	75
7.4 热性能信息.....	12	12 器件和文档支持.....	76
7.5 电气特性.....	13	12.1 器件支持.....	76
7.6 SPI 时序要求.....	19	12.2 文档支持.....	76
7.7 典型特性.....	20	12.3 接收文档更新通知.....	76
8 详细说明.....	22	12.4 支持资源.....	76
8.1 概述.....	22	12.5 商标.....	76
8.2 功能方框图.....	23	12.6 静电放电警告.....	77
8.3 特性说明.....	31	12.7 术语表.....	77
8.4 器件功能模式.....	50	13 机械、封装和可订购信息.....	77
8.5 编程.....	52		

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (August 2018) to Revision D (March 2022)	Page
• 在“睡眠模式”部分中添加了 Enable 引脚被拉至低电平时 GHx 和 GLx 的行为信息.....	50

Changes from Revision B (December 2017) to Revision C (August 2018)	Page
• 更改了 应用	1
• 更新了 布局示例 图像中 INLx 和 INHx 信号的输入标签.....	75
• 向 器件命名规则 部分的图像添加了 DRV835x 器件选项.....	76

Changes from Revision A (April 2017) to Revision B (December 2017)	Page
• 将 特性 中的低功耗睡眠模式电源电流从最大值 (20μA) 更改为典型值 (12μA).....	1
• 更改了 应用	1
• 在 电气特性 表中，将 H/W 器件放大器增益测试条件中的 GAIN 值从 45kΩ 更改为 47kΩ	13
• 删除了 SPI 辅助模式时序图中的 t _{EN_nSCS}	19
• 向 同步 1x PWM 模式 添加了一条说明以定义 IPWM	32
• 更新了 自动失调电压校准 部分.....	45
• 更新了 V _{DS} 锁存关断和 V _{DS} 自动重试 部分.....	49
• 更新了 睡眠模式 部分.....	50
• 将 栅极驱动 LS 寄存器 部分标题中列出的地址更改为正确的寄存器地址 0x04.....	59
• 更改了 详细设计过程 中 V _{VM} = 8V 示例的梯形和正弦换向最大 Q _g 值.....	64
• 更改了 IDRIVE 配置 部分中的 I _{DRIVEP} 和 I _{DRIVEN} 公式.....	64

Changes from Revision * (February 2017) to Revision A (April 2017)	Page
• 更改了用于 电气特性 表中 I_{BIAS} 参数的测试条件.....	13
• 更改了 3x PWM 模式真值表 中的 GHx 值.....	32
• 更改了校准说明并添加了自动校准功能说明.....	45

5 器件比较表

器件	型号 ⁽¹⁾	电流检测放大器	降压稳压器 ⁽¹⁾	接口 ⁽¹⁾
DRV8320	DRV8320H	0	无	硬件
	DRV8320S			SPI
DRV8320R	DRV8320RH	3	600mA	硬件
	DRV8320RS			SPI
DRV8323	DRV8323H	3	无	硬件
	DRV8323S			SPI
DRV8323R	DRV8323RH	3	600mA	硬件
	DRV8323RS			SPI

(1) 有关器件名称和器件选项的更多信息，请参阅 [节 12.1.1](#)。有关更多详细信息，请参阅 [无刷直流栅极驱动系统的架构应用报告](#)。

6 引脚配置和功能

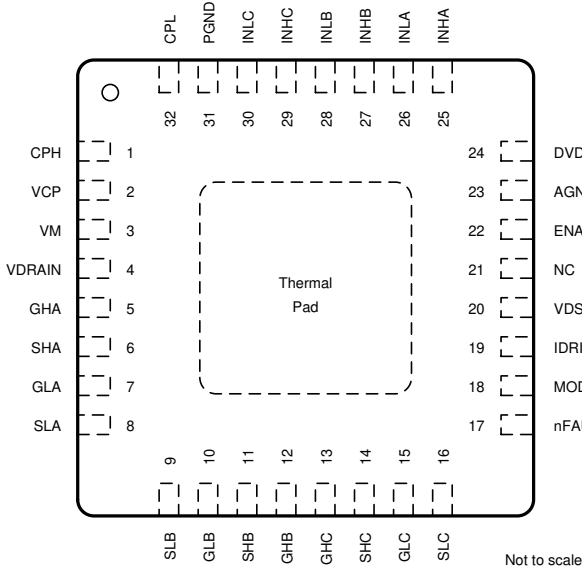


图 6-1. DRV8320H RTV 封装 32 引脚 WQFN (带有外露散热焊盘) 顶视图

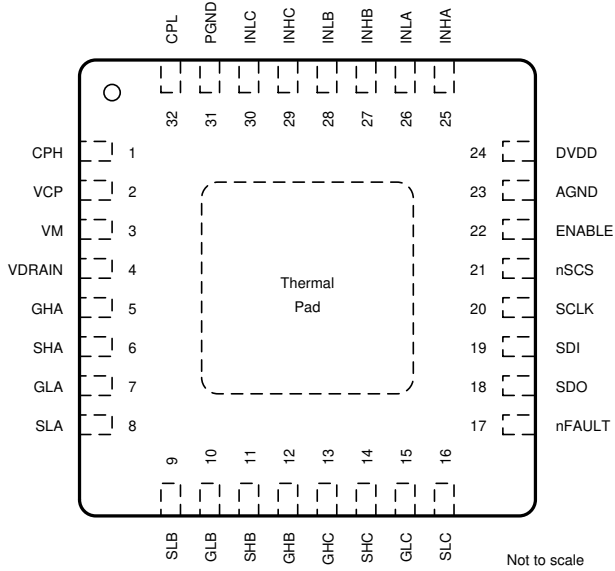


图 6-2. DRV8320S RTV 封装 32 引脚 WQFN (带有外露散热焊盘) 顶视图

表 6-1. 引脚功能 - 32 引脚 DRV8320 器件

名称	引脚		类型 ⁽¹⁾	说明
	编号	编号		
	DRV8320H	DRV8320S		
AGND	23	23	PWR	器件模拟接地。连接到系统地。AGND 必须从外部连接至 PGND。
CPH	1	1	PWR	电荷泵开关节点。在 CPH 和 CPL 引脚之间连接一个 X5R 或 X7R、47nF、额定电压为 VM 的陶瓷电容器。例如，在 24V 系统中，电容器的额定电压应为 50V (2 倍裕度)。
CPL	32	32	PWR	
DVDD	24	24	PWR	3.3V 内部稳压器输出。在 DVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、1μF、6.3V 的陶瓷电容器。该稳压器可从外部拉取高达 30mA 的电流。
ENABLE	22	22	I	栅极驱动器使能。当该引脚为逻辑低电平时，器件进入低功耗睡眠模式。可以使用一个 8μs 至 40μs 的脉冲来复位故障条件，而不进入睡眠模式。
GHA	5	5	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GHB	12	12	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GHC	13	13	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GLA	7	7	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GLB	10	10	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GLC	15	15	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。

表 6-1. 引脚功能 - 32 引脚 DRV8320 器件 (续)

引脚			类型 ⁽¹⁾	说明
名称	编号			
	DRV8320H	DRV8320S		
IDRIVE	19	—	I	栅极驱动输出电流设置。该引脚是由外部电阻器设置的 7 电平输入引脚。
INHA	25	25	I	高侧栅极驱动器控制输入。使用 6x PWM 模式时, 该引脚控制高侧栅极驱动器的输出。
INHB	27	27	I	高侧栅极驱动器控制输入。使用 6x PWM 模式时, 该引脚控制高侧栅极驱动器的输出。
INHC	29	29	I	高侧栅极驱动器控制输入。使用 6x PWM 模式时, 该引脚控制高侧栅极驱动器的输出。
INLA	26	26	I	低侧栅极驱动器控制输入。使用 6x PWM 模式时, 该引脚控制低侧栅极驱动器的输出。
INLB	28	28	I	低侧栅极驱动器控制输入。使用 6x PWM 模式时, 该引脚控制低侧栅极驱动器的输出。
INLC	30	30	I	低侧栅极驱动器控制输入。使用 6x PWM 模式时, 该引脚控制低侧栅极驱动器的输出。
模式	18	—	I	PWM 输入模式设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
NC	21	—	NC	无内部连接。该引脚可以悬空或连接到系统接地端。
nFAULT	17	17	OD	故障指示灯输出。该开漏引脚在发生故障期间被拉至逻辑低电平, 并且需要使用一个外部上拉电阻器。
nSCS	—	21	I	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。
PGND	31	31	PWR	器件电源地。也用作低侧 MOSFET 的栅极驱动受电路径。连接到系统地。PGND 必须从外部连接至 AGND。
SCLK	—	20	I	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。
SDI	—	19	I	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。
SDO	—	18	OD	串行数据输出。在 SCLK 引脚的上升沿移出数据。该开漏引脚需要一个外部上拉电阻。
SHA	6	6	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
SHB	11	11	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
SHC	14	14	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
SLA	8	8	I	低侧源极输入。连接到低侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入。
SLB	9	9	I	低侧源极输入。连接到低侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入。
SLC	16	16	I	低侧源极输入。连接到低侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入。
VCP	2	2	PWR	电荷泵输出。在 VCP 和 VM 引脚之间连接一个 X5R 或 X7R、1μF、25V 的陶瓷电容器。
VDRAIN	4	4	I	高侧 MOSFET 漏极输入。连接到高侧 MOSFET 漏极的公共点。该引脚是 VDS 监视器的输入。
VDS	20	—	I	VDS 监测跳闸点设置。该引脚是由外部电阻器设置的 7 电平输入引脚。
VM	3	3	PWR	栅极驱动器电源输入。连接到电机电源和 VDRAIN。在 VM 和 PGND 引脚之间连接一个 X5R 或 X7R、0.1μF、额定电压为 VM、容值大于或等于 10uF 的陶瓷局部电容器。
散热焊盘	PAD	PAD	PWR	必须接地

(1) PWR = 电源, I = 输入, O = 输出, NC = 无连接, OD = 开漏输出

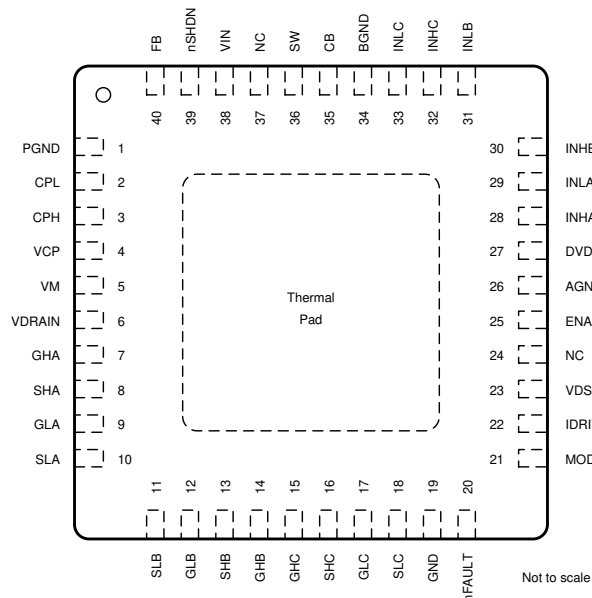


图 6-3. DRV8320RH RHA 封装 40 引脚 VQFN (带有外露散热焊盘) 顶视图

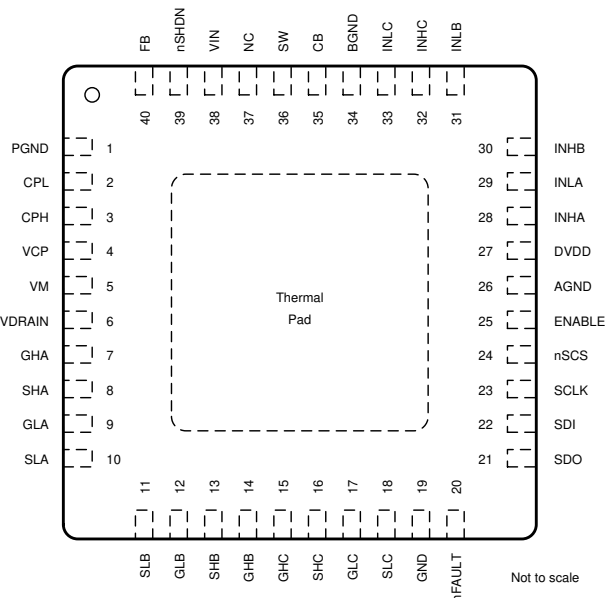


图 6-4. DRV8320RS RHA 封装 40 引脚 VQFN (带有外露散热焊盘) 顶视图

表 6-2. 引脚功能 - 40 引脚 DRV8320R 器件

名称	引脚		类型 ⁽¹⁾	说明
	DRV8320RH	DRV8320RS		
AGND	26	26	PWR	器件模拟接地。连接到系统地。AGND 必须从外部连接至 BGND 和 PGND。
BGND	34	34	PWR	降压稳压器接地。连接到系统地。BGND 必须从外部连接至 AGND 和 PGND。
CB	35	35	PWR	降压稳压器自举输入。在 CB 和 SW 引脚之间连接一个 X5R 或 X7R、0.1μF、16V 电容器。
CPH	3	3	PWR	电荷泵开关节点。在 CPH 和 CPL 引脚之间连接一个 X5R 或 X7R、47nF、额定电压为 VM 的陶瓷电容器。例如，在 24V 系统中，电容器的额定电压应为 50V (2 倍裕度)。
CPL	2	2	PWR	
DVDD	27	27	PWR	3.3V 内部稳压器输出。在 DVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、1μF、6.3V 的陶瓷电容器。该稳压器可从外部拉取高达 30mA 的电流。
ENABLE	25	25	I	栅极驱动器使能。当该引脚为逻辑低电平时，器件进入低功耗睡眠模式。可以使用一个 8μs 至 40μs 的低电平脉冲来复位故障条件，而不进入睡眠模式。
FB	40	40	I	降压反馈输入。从降压电感后输出到此引脚的电阻分压器可设置降压输出电压。
GHA	7	7	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GHB	14	14	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GHC	15	15	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GLA	9	9	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GLB	12	12	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GLC	17	17	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GND	19	19	PWR	器件接地。连接到系统地。
IDRIVE	22	—	I	栅极驱动输出电流设置。该引脚是由外部电阻器设置的 7 电平输入引脚。
INHA	28	28	I	高侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制高侧栅极驱动器的输出。
INHB	30	30	I	高侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制高侧栅极驱动器的输出。
INHC	32	32	I	高侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制高侧栅极驱动器的输出。
INLA	29	29	I	低侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制低侧栅极驱动器的输出。
INLB	31	31	I	低侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制低侧栅极驱动器的输出。
INLC	33	33	I	低侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制低侧栅极驱动器的输出。
模式	21	—	I	PWM 输入模式设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
NC	24	—	NC	无内部连接。该引脚可以悬空或连接到系统接地端。
NC	37	37	NC	无内部连接。该引脚可以悬空或连接到系统接地端。
nFAULT	20	20	OD	故障指示灯输出。该开漏引脚在发生故障期间被拉至逻辑低电平，并且需要使用一个外部上拉电阻器。
nSCS	—	24	I	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。

表 6-2. 引脚功能 - 40 引脚 DRV8320R 器件 (续)

引脚			类型 ⁽¹⁾	说明
名称	编号			
	DRV8320RH	DRV8320RS		
nSHDN	39	39	I	降压关断输入。使能和禁用输入 (可耐受高电压) 。内部上拉电流源。拉至低于 1.25V 以禁用。悬空以使能。使用两个电阻分压器建立输入欠压锁定。
PGND	1	1	PWR	器件电源地。也用作低侧 MOSFET 的栅极驱动受电路径。连接到系统地。PGND 必须从外部连接至 AGND 和 BGND。
SCLK	—	23	I	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。
SDI	—	22	I	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。
SDO	—	21	OD	串行数据输出。在 SCLK 引脚的上升沿移出数据。该开漏引脚需要一个外部上拉电阻。
SHA	8	8	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
SHB	13	13	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
SHC	16	16	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
SLA	10	10	I	低侧源极输入。连接到低侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入。
SLB	11	11	I	低侧源极输入。连接到低侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入。
SLC	18	18	I	低侧源极输入。连接到低侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入。
SW	36	36	O	降压开关节点。将该引脚连接到电感器、二极管和 CB 自举电容器。
VCP	4	4	PWR	电荷泵输出。在 VCP 和 VM 引脚之间连接一个 X5R 或 X7R、1μF、25V 的陶瓷电容器。
VDRAIN	6	6	I	高侧 MOSFET 漏极输入。连接到高侧 MOSFET 漏极的公共点。该引脚是 VDS 监视器的输入。
VDS	23	—	I	VDS 监测跳闸点设置。该引脚是由外部电阻器设置的 7 电平输入引脚。
VIN	38	38	PWR	降压稳压器电源输入。在 VIN 和 BGND 引脚之间放置一个 X5R 或 X7R、额定电压为 VM 的陶瓷电容器。
VM	5	5	PWR	栅极驱动器电源输入。连接到电机电源和 VDRAIN。在 VM 和 PGND 引脚之间连接一个 X5R 或 X7R、0.1μF、额定电压为 VM、容值大于或等于 10uF 的陶瓷局部电容器。
散热焊盘	PAD	PAD	PWR	必须接地

(1) PWR = 电源, I = 输入, O = 输出, NC = 无连接, OD = 开漏输出

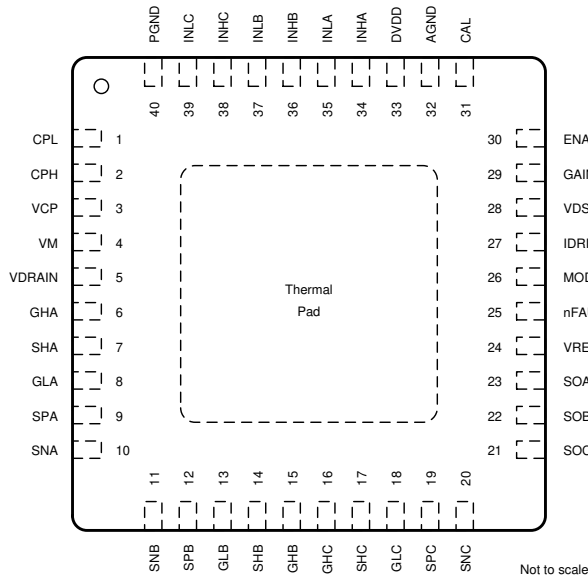


图 6-5. DRV8323H RTA 封装 40 引脚 WQFN (带有外露散热焊盘) 顶视图

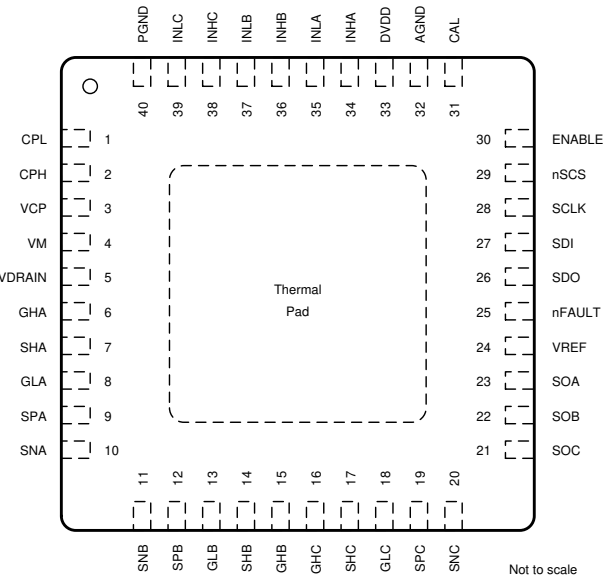


图 6-6. DRV8323S RTA 封装 40 引脚 WQFN (带有外露散热焊盘) 顶视图

表 6-3. 引脚功能 - 40 引脚 DRV8323 器件

引脚			类型 ⁽¹⁾	说明
名称	编号			
	DRV8323H	DRV8323S		
AGND	32	32	PWR	器件模拟接地。连接到系统地。AGND 必须从外部连接至 PGND。
CAL	31	31	I	放大器校准输入。设置逻辑高电平以在内部短接放大器输入并执行自动失调电压校准。

表 6-3. 引脚功能 - 40 引脚 DRV8323 器件 (续)

名称	引脚 编号		类型 ⁽¹⁾	说明
	DRV8323H	DRV8323S		
CPH	2	2	PWR	电荷泵开关节点。在 CPH 和 CPL 引脚之间连接一个 X5R 或 X7R、47nF、额定电压为 VM 的陶瓷电容器。例如，在 24V 系统中，电容器的额定电压应为 50V (2 倍裕度)。
CPL	1	1	PWR	
DVDD	33	33	PWR	3.3V 内部稳压器输出。在 DVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、1μF、6.3V 的陶瓷电容器。该稳压器可从外部拉取高达 30mA 的电流。
ENABLE	30	30	I	栅极驱动器使能。当该引脚为逻辑低电平时，器件进入低功耗睡眠模式。可以使用一个 8μs 至 40μs 的低电平脉冲来复位故障条件，而不进入睡眠模式。
增益	29	—	I	放大器增益设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
GHA	6	6	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GHB	15	15	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GHC	16	16	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GLA	8	8	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GLB	13	13	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GLC	18	18	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
IDRIVE	27	—	I	栅极驱动输出电流设置。该引脚是由外部电阻器设置的 7 电平输入引脚。
INH A	34	34	I	高侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制高侧栅极驱动器的输出。
INH B	36	36	I	高侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制高侧栅极驱动器的输出。
INH C	38	38	I	高侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制高侧栅极驱动器的输出。
INLA	35	35	I	低侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制低侧栅极驱动器的输出。
INLB	37	37	I	低侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制低侧栅极驱动器的输出。
INLC	39	39	I	低侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制低侧栅极驱动器的输出。
模式	26	—	I	PWM 输入模式设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
nFAULT	25	25	OD	故障指示灯输出。该开漏引脚在发生故障期间被拉至逻辑低电平，并且需要使用一个外部上拉电阻器。
nSCS	—	29	I	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。
PGND	40	40	PWR	器件电源地。也用作低侧 MOSFET 的栅极驱动受电路径。连接到系统地。PGND 必须从外部连接至 AGND。
SCLK	—	28	I	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。
SDI	—	27	I	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。
SDO	—	26	OD	串行数据输出。在 SCLK 引脚的上升沿移出数据。该开漏引脚需要一个外部上拉电阻。
SHA	7	7	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
SHB	14	14	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
SHC	17	17	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
SNA	10	10	I	电流检测放大器输入。连接到电流采样电阻的低侧。如果未使用 CSA，则连接到 PGND。
SNB	11	11	I	电流检测放大器输入。连接到电流采样电阻的低侧。如果未使用 CSA，则连接到 PGND。
SNC	20	20	I	电流检测放大器输入。连接到电流采样电阻的低侧。如果未使用 CSA，则连接到 PGND。
SOA	23	23	O	电流检测放大器输出。如果未使用 CSA，则将此引脚保持断开状态。
SOB	22	22	O	电流检测放大器输出。如果未使用 CSA，则将此引脚保持断开状态。
SOC	21	21	O	电流检测放大器输出。如果未使用 CSA，则将此引脚保持断开状态。
SPA	9	9	I	低侧分流放大器输入。此外，VDS 还监测低侧 MOSFET 的负输入。连接到低侧功率 MOSFET 源极和电流分流电阻器的高侧。如果未使用 CSA，则连接到 SNA。
SPB	12	12	I	低侧分流放大器输入。此外，VDS 还监测低侧 MOSFET 的负输入。连接到低侧功率 MOSFET 源极和电流分流电阻器的高侧。如果未使用 CSA，则连接到 SNB。
SPC	19	19	I	低侧分流放大器输入。此外，VDS 还监测低侧 MOSFET 的负输入。连接到低侧功率 MOSFET 源极和电流分流电阻器的高侧。如果未使用 CSA，则连接到 SNC。
VCP	3	3	PWR	电荷泵输出。在 VCP 和 VM 引脚之间连接一个 X5R 或 X7R、1μF、25V 的陶瓷电容器。
VDRAIN	5	5	I	高侧 MOSFET 漏极输入。连接到高侧 MOSFET 漏极的公共点。该引脚是 VDS 监视器的输入。
VDS	28	—	I	VDS 监测跳闸点设置。该引脚是由外部电阻器设置的 7 电平输入引脚。
VM	4	4	PWR	栅极驱动器电源输入。连接到电机电源和 VDRAIN。在 VM 和 PGND 引脚之间连接一个 X5R 或 X7R、0.1μF、额定电压为 VM、容值大于或等于 10μF 的陶瓷局部电容器。
VREF	24	24	PWR	电流检测放大器电源输入和基准。在 VREF 和 AGND 引脚之间连接一个 X5R 或 X7R、0.1μF、6.3V 的陶瓷电容器。
散热焊盘	PAD	PAD	PWR	必须接地

(1) PWR = 电源, I = 输入, O = 输出, NC = 无连接, OD = 开漏输出

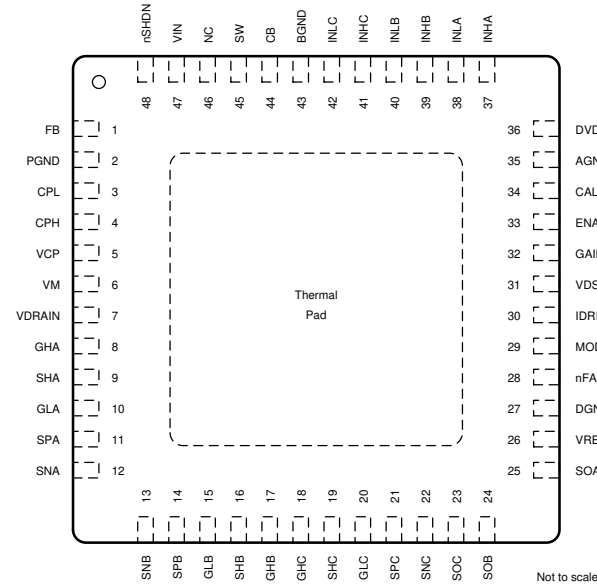


图 6-7. DRV8323RH RGZ 封装 48 引脚 VQFN (带有外露散热焊盘) 顶视图

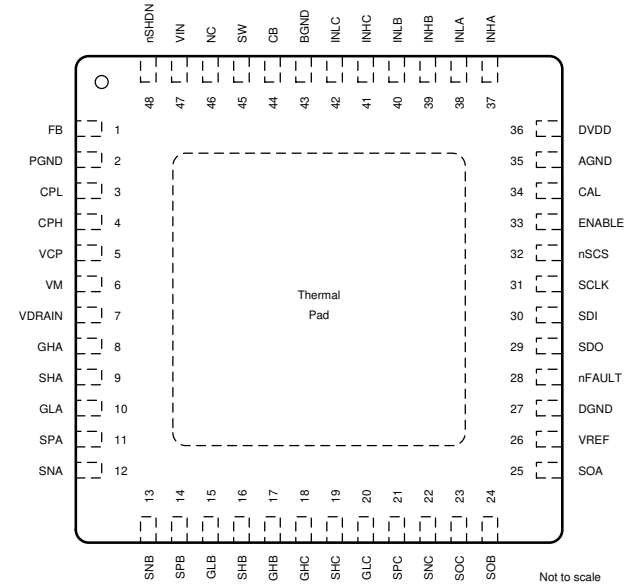


图 6-8. DRV8323RS RGZ 封装 48 引脚 VQFN (带有外露散热焊盘) 顶视图

表 6-4. 引脚功能 - 48 引脚 DRV8323R 器件

引脚			类型 ⁽¹⁾	说明
名称	编号			
	DRV8323RH	DRV8323RS		
AGND	35	35	PWR	器件模拟接地。连接到系统地。AGND 必须从外部连接至 BGND 和 PGND。
BGND	43	43	PWR	降压稳压器接地。连接到系统地。BGND 必须从外部连接至 AGND 和 PGND。
CAL	34	34	I	放大器校准输入。设置逻辑高电平以在内部短接放大器输入并执行自动失调电压校准。
CB	44	44	PWR	降压稳压器自举输入。在 CB 和 SW 引脚之间连接一个 X5R 或 X7R、0.1μF、16V 电容器。
CPH	4	4	PWR	电荷泵开关节点。在 CPH 和 CPL 引脚之间连接一个 X5R 或 X7R、47nF、额定电压为 VM 的陶瓷电容器。例如，在 24V 系统中，电容器的额定电压应为 50V (2 倍裕度) 。
CPL	3	3	PWR	
DGND	27	27	PWR	器件接地。连接到系统地。
DVDD	36	36	PWR	3.3V 内部稳压器输出。在 DVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、1μF、6.3V 的陶瓷电容器。该稳压器可从外部拉取高达 30mA 的电流。
ENABLE	33	33	I	栅极驱动器使能。当该引脚为逻辑低电平时，器件进入低功耗睡眠模式。可以使用一个 8μs 至 40μs 的低电平脉冲来复位故障条件，而不进入睡眠模式。
FB	1	1	I	降压反馈输入。从降压电感后输出到此引脚的电阻分压器可设置降压输出电压。
增益	32	—	I	放大器增益设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
GHA	8	8	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GHB	17	17	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GHC	18	18	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
GLA	10	10	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GLB	15	15	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GLC	20	20	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
IDRIVE	30	—	I	栅极驱动输出电流设置。该引脚是由外部电阻器设置的 7 电平输入引脚。
INHA	37	37	I	高侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制高侧栅极驱动器的输出。
INHB	39	39	I	高侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制高侧栅极驱动器的输出。
INHC	41	41	I	高侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制高侧栅极驱动器的输出。
INLA	38	38	I	低侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制低侧栅极驱动器的输出。
INLB	40	40	I	低侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制低侧栅极驱动器的输出。
INLC	42	42	I	低侧栅极驱动器控制输入。使用 6x PWM 模式时，该引脚控制低侧栅极驱动器的输出。
模式	29	—	I	PWM 输入模式设置。该引脚是由外部电阻器设置的 4 电平输入引脚。
NC	46	46	NC	无内部连接。该引脚可以悬空或连接到系统接地端。
nFAULT	28	28	OD	故障指示灯输出。该开漏引脚在发生故障期间被拉至逻辑低电平，并且需要使用一个外部上拉电阻器。

表 6-4. 引脚功能 - 48 引脚 DRV8323R 器件 (续)

引脚			类型 ⁽¹⁾	说明
名称	编号			
	DRV8323RH	DRV8323RS		
nSCS	—	32	I	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。
nSHDN	48	48	I	降压关断输入。使能和禁用输入 (可耐受高电压)。内部上拉电流源。拉至低于 1.25V 以禁用。悬空以使能。使用两个电阻分压器建立输入欠压锁定。
PGND	2	2	PWR	器件电源地。也用作低侧 MOSFET 的栅极驱动受电路径。连接到系统地。PGND 必须从外部连接至 AGND 和 BGND。
SCLK	—	31	I	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。
SDI	—	30	I	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。
SDO	—	29	OD	串行数据输出。在 SCLK 引脚的上升沿移出数据。该开漏引脚需要一个外部上拉电阻。
SHA	9	9	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
SHB	16	16	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
SHC	19	19	I/O	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
SNA	12	12	I	电流检测放大器输入。连接到电流采样电阻的低侧。如果未使用 CSA，则连接到 PGND。
SNB	13	13	I	电流检测放大器输入。连接到电流采样电阻的低侧。如果未使用 CSA，则连接到 PGND。
SNC	22	22	I	电流检测放大器输入。连接到电流采样电阻的低侧。如果未使用 CSA，则连接到 PGND。
SOA	25	25	O	电流检测放大器输出。如果未使用 CSA，则将此引脚保持断开状态。
SOB	24	24	O	电流检测放大器输出。如果未使用 CSA，则将此引脚保持断开状态。
SOC	23	23	O	电流检测放大器输出。如果未使用 CSA，则将此引脚保持断开状态。
SPA	11	11	I	低侧分流放大器输入。此外，VDS 还监测低侧 MOSFET 的负输入。连接到低侧功率 MOSFET 源极和电流分流电阻器的高侧。如果未使用 CSA，则连接到 SNA。
SPB	14	14	I	低侧分流放大器输入。此外，VDS 还监测低侧 MOSFET 的负输入。连接到低侧功率 MOSFET 源极和电流分流电阻器的高侧。如果未使用 CSA，则连接到 SNB。
SPC	21	21	I	低侧分流放大器输入。此外，VDS 还监测低侧 MOSFET 的负输入。连接到低侧功率 MOSFET 源极和电流分流电阻器的高侧。如果未使用 CSA，则连接到 SNC。
SW	45	45	O	降压开关节点。将该引脚连接到电感器、二极管和 CB 自举电容器。
VCP	5	5	PWR	电荷泵输出。在 VCP 和 VM 引脚之间连接一个 X5R 或 X7R、1μF、25V 的陶瓷电容器。
VDRAIN	7	7	I	高侧 MOSFET 漏极输入。连接到高侧 MOSFET 漏极的公共点。该引脚是 VDS 监视器的输入。
VDS	31	—	I	VDS 监测跳点设置。该引脚是由外部电阻器设置的 7 电平输入引脚。
VIN	47	47	PWR	降压稳压器电源输入。在 VIN 和 BGND 引脚之间放置一个 X5R 或 X7R、额定电压为 VM 的陶瓷电容器。
VM	6	6	PWR	栅极驱动器电源输入。连接到电机电源和 VDRAIN。在 VM 和 PGND 引脚之间连接一个 X5R 或 X7R、0.1μF、额定电压为 VM、容值大于或等于 10uF 的陶瓷局部电容器。
VREF	26	26	PWR	电流检测放大器电源输入和基准。在 VREF 和 AGND 引脚之间连接一个 X5R 或 X7R、0.1μF、6.3V 的陶瓷电容器。
散热焊盘	PAD	PAD	PWR	必须接地

(1) PWR = 电源, I = 输入, O = 输出, NC = 无连接, OD = 开漏输出

7 规格

7.1 绝对最大额定值

测试条件为 $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ (除非另有说明) ⁽¹⁾

	最小值	最大值	单位
栅极驱动器			
电源引脚电压 (VM)	-0.3	65	V
接地引脚 (AGND、BGND、DGND、PGND) 之间的电压差	-0.3	0.3	V
MOSFET 漏极感测引脚电压 (VDRAIN)	-0.3	65	V
电荷泵引脚电压 (CPH、VCP)	-0.3	$V_{VM} + 15.5$	V
连续电荷泵负开关引脚电压 (CPL)	-0.3	$V_{VM} + 1$	V
瞬态 1 μs 电荷泵负开关引脚电压 (CPL)	-1		V
内部逻辑稳压器引脚电压 (DVDD)	-0.3	3.8	V
数字引脚电压 (CAL、ENABLE、GAIN、IDRIVE、INHx、INLx、MODE、nFAULT、nSCS、SCLK、SDI、SDO、VDS)	-0.3	5.75	V
连续高侧栅极驱动器输出引脚电压 (GHx)	-5 ⁽²⁾	$V_{VCP} + 1$	V
瞬态 200ns 高侧栅极驱动器输出引脚电压 (GHx)	-7	$V_{VCP} + 1$	V
以 SHx 为基准的高侧栅极驱动器输出引脚电压 (GHx)	-1.6	18	V
连续高侧源极引脚电压 (SHx)	-5 ⁽²⁾	$V_{VM} + 5$	V
瞬态 200ns 高侧源极引脚电压 (SHx)	-7	$V_{VM} + 7$	V
瞬态 1 μs 高侧源极引脚电压 (SHx)		$V_{VCP} - 2$	V
连续低侧栅极驱动器输出引脚电压 (GLx)	-0.5	18	V
瞬态 200ns 低侧栅极驱动器输出引脚电压 (GLx)	-1.5		V
栅极驱动器输出引脚拉电流 (GHx、GLx)	受内部限制		A
栅极驱动器输出引脚灌电流 (GHx、GLx)	受内部限制		A
低侧源极引脚 (SLx) 和电流检测放大器输入引脚 (SPx、SNx) 上的连续电压	-1	1	V
低侧源极引脚 (SLx) 和电流检测放大器输入引脚 (SPx、SNx) 上的瞬态 200ns 电压	-3	3	V
电流检测放大器电源输入和基准引脚电压 (VREF)	-0.3	5.75	V
电流检测放大器输出引脚电压 (SOx)	-0.3	$V_{VREF} + 0.3$	V
降压稳压器			
电源引脚电压 (VIN)	-0.3	65	V
关断控制引脚电压 (nSHDN)	-0.3	V_{VIN}	V
电压反馈引脚电压 (FB)	-0.3	7	V
以 SW (CB) 为基准的自举引脚电压	-0.3	7	V
开关节点引脚电压 (SW)	-0.3	V_{VIN}	V
开关节点引脚电压小于 30ns 瞬态 (SW)	-2	V_{VIN}	V
DRV832x			
工作结温 T_J	-40	150	$^{\circ}\text{C}$
贮存温度, T_{stg}	-65	150	$^{\circ}\text{C}$

(1) 应力超出绝对最大额定值中列出的值时,可能会对器件造成永久损坏。这些值仅为应力额定值,并不意味着器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) VM 或 VDRAIN 上的绝对最大值为 65V 时,连续高侧栅极驱动器输出引脚 (GHx) 和高侧源极引脚电压 (SHx) 应限制为最小值 - 2V。在 60V 及更低电压下,允许 GHx 和 SHx 遵循 - 5V 连续电压的完整规格。

7.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±3000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1000	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。列为 ±2000V 的引脚实际上可能具有更高的性能。
(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。列为 ±500V 的引脚实际上可能具有更高的性能。

7.3 建议运行条件

测试条件为: T_A = -40°C 至 +125°C (除非另有说明)

		最小值	最大值	单位
栅极驱动器				
V _{VM}	电源电压 (VM)	6	60	V
V _I	输入电压 (CAL、ENABLE、GAIN、IDRIVE、INHx、INLx、MODE、nSCS、SCLK、SDI、VDS)	0	5.5	V
f _{PWM}	施加的 PWM 信号 (INHx、INLx)	0	200 ⁽¹⁾	kHz
I _{GATE_HS}	高侧平均栅极驱动电流 (GHx)	0	25 ⁽¹⁾	mA
I _{GATE_LS}	低侧平均栅极驱动电流 (GLx)	0	25 ⁽¹⁾	mA
I _{DVDD}	外部负载电流 (DVDD)	0	30 ⁽¹⁾	mA
V _{VREF}	电流检测放大器电源输入和基准 (VREF)	3	5.5	V
I _{SO}	电流检测放大器输出电流 (SOx)	0	5	mA
V _{OD}	开漏引脚上拉电压 (nFAULT、SDO)	0	5.5	V
I _{OD}	开漏引脚输出电流 (nFAULT、SDO)	0	5	mA
降压稳压器				
V _{VIN}	电源电压 (VIN)	4	60	V
V _{nSHDN}	关断控制输入电压 (nSHDN)	0	60	V
DRV832x				
T _A	工作环境温度	-40	125	°C

- (1) 必须遵循功率耗散和热限值

7.4 热性能信息

热指标 ⁽¹⁾		DRV832x				单位
		RTV (WQFN)	RHA (VQFN)	RTA (WQFN)	RGZ (VQFN)	
		32 引脚	40 引脚	40 引脚	48 引脚	
R _{θJA}	结至环境热阻	32.9	30.1	32.1	26.6	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	15.8	16.7	11	13.9	°C/W
R _{θJB}	结至电路板热阻	6.8	9.9	7.1	9.2	°C/W
ψ _{JT}	结至顶部特征参数	0.2	0.5	0.1	0.3	°C/W
ψ _{JB}	结至电路板特征参数	6.8	9.9	7.1	9.1	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	2.1	2.2	2.1	2	°C/W

- (1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标应用报告](#)。

7.5 电气特性

测试条件为： $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ， $V_{VM} = 6$ 至 60V (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源 (DVDD、VCP、VM)						
I _{VM}	VM 工作电源电流	V _{VM} = 24V，ENABLE = 3.3V，INHx/INLx = 0	10.5	14		mA
I _{VMQ}	VM 睡眠模式电源电流	ENABLE = 0V，V _{VM} = 24V，T _A = 25°C	12	20		μA
		ENABLE = 0V，V _{VM} = 24V，T _A = 125°C ⁽¹⁾		50		
t _{RST} ⁽¹⁾	复位脉冲时间	ENABLE = 复位故障的低电平周期	8		40	μs
t _{WAKE}	唤醒时间	V _{VM} > V _{UVLO} ，ENABLE = 3.3V 以使输出就绪			1	ms
t _{SLEEP}	睡眠时间	ENABLE = 0V 以使器件进入睡眠模式			1	ms
V _{DVDD}	DVDD 稳压器电压	I _{DVDD} = 0 至 30mA	3	3.3	3.6	V
V _{VCP}	以 VM 为基准的 VCP 工作电压	V _{VM} = 13V，I _{VCP} = 0 至 25mA	8.4	11	12.5	V
		V _{VM} = 10V，I _{VCP} = 0 至 20mA	6.3	9	10	
		V _{VM} = 8V，I _{VCP} = 0 至 15mA	5.4	7	8	
		V _{VM} = 6V，I _{VCP} = 0 至 10mA	4	5	6	
逻辑电平输入 (CAL、ENABLE、INHx、INLx、nSCS、SCLK、SDI)						
V _{IL}	输入逻辑低电平电压		0		0.8	V
V _{IH}	输入逻辑高电平电压		1.5		5.5	V
V _{HYS}	输入逻辑迟滞		100			mV
I _{IL}	输入逻辑低电平电流	V _{VIN} = 0V	-5		5	μA
I _{IH}	输入逻辑高电流	V _{VIN} = 5V		50	70	μA
R _{PD}	下拉电阻	至 AGND		100		k Ω
t _{PD}	传播延迟	INHx/INLx 转换至 GHx/GLx 转换		150		ns
四电平 H/W 输入 (GAIN、MODE)						
V _{I1}	输入模式 1 电压	连接至 AGND		0		V
V _{I2}	输入模式 2 电压	45k Ω ± 5% 连接至 AGND		1.2		V
V _{I3}	输入模式 3 电压	高阻态		2		V
V _{I4}	输入模式 4 电压	连接至 DVDD		3.3		V
R _{PU}	上拉电阻	内部上拉到 DVDD		50		k Ω
R _{PD}	下拉电阻	内部下拉电阻至 AGND		84		k Ω
七电平 H/W 输入 (IDRIVE、VDS)						
V _{I1}	输入模式 1 电压	连接至 AGND		0		V
V _{I2}	输入模式 2 电压	18k Ω ± 5% 连接至 AGND		0.5		V
V _{I3}	输入模式 3 电压	75k Ω ± 5% 连接至 AGND		1.1		V
V _{I4}	输入模式 4 电压	高阻态		1.65		V
V _{I5}	输入模式 5 电压	75k Ω ± 5% 连接至 DVDD		2.2		V
V _{I6}	输入模式 6 电压	18k Ω ± 5% 连接至 DVDD		2.8		V
V _{I7}	输入模式 7 电压	连接至 DVDD		3.3		V
R _{PU}	上拉电阻	内部上拉到 DVDD		73		k Ω
R _{PD}	下拉电阻	内部下拉电阻至 AGND		73		k Ω
开漏输出 (nFAULT、SDO)						
V _{OL}	输出逻辑低电平电压	I _O = 5mA			0.1	V
I _{OZ}	输出高阻抗泄漏	V _O = 5V	-2		2	μA
栅极驱动器 (GHx，GLx)						

7.5 电气特性 (续)

测试条件为: $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, $V_{VM} = 6$ 至 60V (除非另有说明)

参数			测试条件	最小值	典型值	最大值	单位
V _{GSH} ⁽¹⁾	以 SHx 为基准的高侧栅极驱动电压		V _{VM} = 13V, I _{VCP} = 0 至 25mA	8.4	11	12.5	V
			V _{VM} = 10V, I _{VCP} = 0 至 20mA	6.3	9	10	
			V _{VM} = 8V, I _{VCP} = 0 至 15mA	5.4	7	8	
			V _{VM} = 6V, I _{VCP} = 0 至 10mA	4	5	6	
V _{GSL} ⁽¹⁾	以 PGND 为基准的低侧栅极驱动电压		V _{VM} = 12V, I _{VGLS} = 0 至 25mA	9	11	12	V
			V _{VM} = 10V, I _{VGLS} = 0 至 20mA	7.5	9	10	
			V _{VM} = 8V, I _{VGLS} = 0 至 15mA	5.5	7	8	
			V _{VM} = 6V, I _{VGLS} = 0 至 10mA	4	5	6	
t _{DEAD}	栅极驱动死区时间	SPI 器件	DEAD_TIME = 00b	50			ns
			DEAD_TIME = 01b	100			
			DEAD_TIME = 10b	200			
			DEAD_TIME = 11b	400			
		H/W 器件	100				
t _{DRIVE}	峰值电流栅极驱动时间	SPI 器件	TDRIVE = 00b	500			ns
			TDRIVE = 01b	1000			
			TDRIVE = 10b	2000			
			TDRIVE = 11b	4000			
		H/W 器件	4000				
I _{DRIVEP}	峰值栅极拉电流	SPI 器件	IDRIVEP_HS 或 IDRIVEP_LS = 0000b	10			mA
			IDRIVEP_HS 或 IDRIVEP_LS = 0001b	30			
			IDRIVEP_HS 或 IDRIVEP_LS = 0010b	60			
			IDRIVEP_HS 或 IDRIVEP_LS = 0011b	80			
			IDRIVEP_HS 或 IDRIVEP_LS = 0100b	120			
			IDRIVEP_HS 或 IDRIVEP_LS = 0101b	140			
			IDRIVEP_HS 或 IDRIVEP_LS = 0110b	170			
			IDRIVEP_HS 或 IDRIVEP_LS = 0111b	190			
			IDRIVEP_HS 或 IDRIVEP_LS = 1000b	260			
			IDRIVEP_HS 或 IDRIVEP_LS = 1001b	330			
			IDRIVEP_HS 或 IDRIVEP_LS = 1010b	370			
			IDRIVEP_HS 或 IDRIVEP_LS = 1011b	440			
			IDRIVEP_HS 或 IDRIVEP_LS = 1100b	570			
			IDRIVEP_HS 或 IDRIVEP_LS = 1101b	680			
			IDRIVEP_HS 或 IDRIVEP_LS = 1110b	820			
			IDRIVEP_HS 或 IDRIVEP_LS = 1111b	1000			
		H/W 器件	IDRIVE = 连接至 AGND	10			
			IDRIVE = 18k Ω ± 5% 连接至 AGND	30			
			IDRIVE = 75k Ω ± 5% 连接至 AGND	60			
			IDRIVE = 高阻态	120			
			IDRIVE = 75k Ω ± 5% 连接至 DVDD	260			
			IDRIVE = 18k Ω ± 5% 连接至 DVDD	570			
			IDRIVE = 连接至 DVDD	1000			

7.5 电气特性 (续)

测试条件为: $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, $V_{VM} = 6$ 至 60V (除非另有说明)

参数			测试条件	最小值	典型值	最大值	单位
I _{DRIVEN}	峰值栅极灌电流	SPI 器件	IDRIVEN_HS 或 IDRIVEN_LS = 0000b	20			mA
			IDRIVEN_HS 或 IDRIVEN_LS = 0001b	60			
			IDRIVEN_HS 或 IDRIVEN_LS = 0010b	120			
			IDRIVEN_HS 或 IDRIVEN_LS = 0011b	160			
			IDRIVEN_HS 或 IDRIVEN_LS = 0100b	240			
			IDRIVEN_HS 或 IDRIVEN_LS = 0101b	280			
			IDRIVEN_HS 或 IDRIVEN_LS = 0110b	340			
			IDRIVEN_HS 或 IDRIVEN_LS = 0111b	380			
			IDRIVEN_HS 或 IDRIVEN_LS = 1000b	520			
			IDRIVEN_HS 或 IDRIVEN_LS = 1001b	660			
			IDRIVEN_HS 或 IDRIVEN_LS = 1010b	740			
			IDRIVEN_HS 或 IDRIVEN_LS = 1011b	880			
			IDRIVEN_HS 或 IDRIVEN_LS = 1100b	1140			
			IDRIVEN_HS 或 IDRIVEN_LS = 1101b	1360			
			IDRIVEN_HS 或 IDRIVEN_LS = 1110b	1640			
			IDRIVEN_HS 或 IDRIVEN_LS = 1111b	2000			
		H/W 器件	IDRIVE = 连接至 AGND	20			
			IDRIVE = 18kΩ ± 5% 连接至 AGND	60			
			IDRIVE = 75kΩ ± 5% 连接至 AGND	120			
			IDRIVE = 高阻态	240			
IDRIVE = 75kΩ ± 5% 连接至 DVDD	520						
IDRIVE = 18kΩ ± 5% 连接至 DVDD	1140						
IDRIVE = 连接至 DVDD	2000						
I _{HOLD}	栅极保持电流	t _{DRIVE} 之后的拉电流	10			mA	
		t _{DRIVE} 之后的灌电流	50				
I _{STRONG}	栅极强下拉电流	GHx 至 SHx, GLx 至 PGND			2		A
R _{OFF}	栅极延迟电阻器	GHx 至 SHx			480		kΩ
		GLx 至 PGND			150		
电流检测放大器 (SNx、SOx、SPx、VREF)							
G _{CSA}	放大器增益	SPI 器件	CSA_GAIN = 00b	4.85	5	5.15	V/V
			CSA_GAIN = 01b	9.7	10	10.3	
			CSA_GAIN = 10b	19.4	20	20.6	
			CSA_GAIN = 11b	38.8	40	41.2	
		H/W 器件	GAIN = 连接至 AGND	4.85	5	5.15	
			GAIN = 47kΩ ± 5% 连接至 AGND	9.7	10	10.3	
			GAIN = 高阻态	19.4	20	20.6	
			GAIN = 连接至 DVDD	38.8	40	41.2	
t _{SET} ⁽¹⁾	精度达 ±1% 的稳定时间	V _{O_STEP} = 0.5V, G _{CSA} = 5V/V			150		ns
		V _{O_STEP} = 0.5V, G _{CSA} = 10V/V			300		
		V _{O_STEP} = 0.5V, G _{CSA} = 20V/V			600		
		V _{O_STEP} = 0.5V, G _{CSA} = 40V/V			1200		

7.5 电气特性 (续)

测试条件为: $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, $V_{VM} = 6$ 至 60V (除非另有说明)

参数			测试条件	最小值	典型值	最大值	单位
V _{COM}	共模输入范围			-0.15		0.15	V
V _{DIFF}	差分模式输入范围			-0.3		0.3	V
V _{OFF}	输入失调电压误差		V _{SP} = V _{SN} = 0V , CAL = 3.3 , VREF = 3.3V	-4		4	mV
V _{DRIFT} ⁽¹⁾	漂移失调电压		V _{SP} = V _{SN} = 0V		10		μV/°C
V _{LINEAR}	SOx 输出电压线性范围			0.25	V _{VREF} - 0.25		V
V _{BIAS}	SOx 输出电压偏置	SPI 器件	V _{SP} = V _{SN} = 0V , CAL = 3.3V , VREF_DIV = 0b	V _{VREF} - 0.3		V	
			V _{SP} = V _{SN} = 0V , CAL = 3.3 , VREF_DIV = 1b	V _{VREF} /2			
		H/W 器件	V _{SP} = V _{SN} = 0V , CAL = 3.3V	V _{VREF} /2			
I _{BIAS}	SPx/SNx 输入偏置电流		VREF_DIV = 1b			100	μA
V _{SLEW} ⁽¹⁾	SOx 输出压摆率		60pF 负载		10		V/μs
I _{VREF}	VREF 输入电流		V _{VREF} = 5V		2	3	mA
UGB ⁽¹⁾	单位增益带宽		60pF 负载		10		MHz
保护电路							
V _{UVLO}	VM 欠压锁定	VM 下降, UVLO 报告		5.4	5.6	5.8	V
		VM 上升, UVLO 恢复		5.6	5.8	6	
V _{UVLO_HYS}	VM 欠压迟滞		上升至下降阈值		200		mV
t _{UVLO_DEG}	VM 欠压抗尖峰脉冲时间		VM 下降, UVLO 报告		10		μs
V _{CPUV}	电荷泵欠压锁定		VCP 下降, CPUV 报告		V _{VM} + 2.8		V
V _{GS_CLAMP}	高侧栅极钳位	正钳位电压		15	16.5	18	V
		负钳位电压			-0.7		

7.5 电气特性 (续)

测试条件为: $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, $V_{VM} = 6$ 至 60V (除非另有说明)

参数			测试条件	最小值	典型值	最大值	单位	
V _{VDS_OCP}	V _{DS} 过流跳变电压	SPI 器件	VDS_LVL = 0000b	0.06			V	
			VDS_LVL = 0001b	0.13				
			VDS_LVL = 0010b	0.2				
			VDS_LVL = 0011b	0.26				
			VDS_LVL = 0100b	0.31				
			VDS_LVL = 0101b	0.45				
			VDS_LVL = 0110b	0.53				
			VDS_LVL = 0111b	0.6				
			VDS_LVL = 1000b	0.68				
			VDS_LVL = 1001b	0.75				
			VDS_LVL = 1010b	0.94				
			VDS_LVL = 1011b	1.13				
			VDS_LVL = 1100b	1.3				
			VDS_LVL = 1101b	1.5				
			VDS_LVL = 1110b	1.7				
			VDS_LVL = 1111b	1.88				
		H/W 器件	VDS = 连接至 AGND	0.06				
			VDS = 18k Ω ± 5% 连接至 AGND	0.13				
			VDS = 75k Ω ± 5% 连接至 AGND	0.26				
			VDS = 高阻态	0.6				
VDS = 75k Ω ± 5% 连接至 DVDD	1.13							
VDS = 18k Ω ± 5% 连接至 DVDD	1.88							
t _{OCP_DEG}	V _{DS} 和 V _{SENSE} 过流抗尖峰脉冲时间	SPI 器件	OCP_DEG = 00b	2			μs	
			OCP_DEG = 01b	4				
			OCP_DEG = 10b	6				
			OCP_DEG = 11b	8				
		H/W 器件		4				
V _{SEN_OCP}	V _{SENSE} 过流跳变电压	SPI 器件	SEN_LVL = 00b	0.25			V	
			SEN_LVL = 01b	0.5				
			SEN_LVL = 10b	0.75				
			SEN_LVL = 11b	1				
		H/W 器件		1				
t _{RETRY}	过流重试时间	SPI 器件	TRETRY = 0b	4			ms	
			TRETRY = 1b	50			μ s	
		H/W 器件		4			ms	
T _{OTW} ⁽¹⁾	热警告温度	内核温度 T _J		130	150	165	°C	
T _{OTSD} ⁽¹⁾	热关断温度	内核温度 T _J		150	170	185	°C	
T _{HYS} ⁽¹⁾	热迟滞	内核温度 T _J		20			°C	
降压稳压器电源 (VIN)								
I _{nSHDN}	关断电源电流	V _{nSHDN} = 0V		1			3	μA
I _Q	工作静态电流	V _{VIN} = 12V，无负载；未开关		28				μA

7.5 电气特性 (续)

测试条件为: $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, $V_{VM} = 6$ 至 60V (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V _{VIN_UVLO}	VIN 欠压锁定阈值	VIN 上升	4			V
		VIN 下降	3			
降压稳压器关断 (nSHDN)						
V _{nSHDN_TH}	上升 nSHDN 阈值		1.05	1.25	1.38	V
I _{nSHDN}	输入电流	V _{nSHDN} = 2.3V	-4.2			μA
		V _{nSHDN} = 0.9V	-1			
I _{nSHDN_HYS}	迟滞电流		-3			μA
降压稳压器高侧 MOSFET						
R _{DS_ON}	MOSFET 导通电阻	V _{VIN} = 12V , V _{CB} 至 V _{SW} = 5.8V , T _A = 25°C	900			m Ω
降压稳压器电压基准 (FB)						
V _{FB}	反馈电压		0.747	0.765	0.782	V
降压稳压器电流限制						
I _{LIMIT}	峰值电流限值	V _{VIN} = 12V , T _A = 25°C	1200			mA
			1700			
降压稳压器开关 (SW)						
f _{SW}	开关频率		595	700	805	kHz
D _{MAX}	最大占空比		96%			
降压稳压器热关断						
T _{SHDN} ⁽¹⁾	热关断阈值		170			°C
T _{HYS} ⁽¹⁾	热关断迟滞		10			°C

(1) 根据设计和特性数据确定

7.6 SPI 时序要求

测试条件为： $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ ， $V_{VM} = 6$ 至 60V （除非另有说明）⁽¹⁾

			最小值	标称值	最大值	单位
SPI (nSCS、SCLK、SDI、SDO)						
t_{READY}	SPI 启用后就绪	$V_M > UVLO$ ， $\text{ENABLE} = 3.3\text{V}$			1	ms
t_{CLK}	SCLK 最小周期		100			ns
t_{CLKH}	SCLK 最短高电平时间		50			ns
t_{CLKL}	SCLK 最短低电平时间		50			ns
$t_{\text{SU_SDI}}$	SDI 输入数据设置时间		20			ns
$t_{\text{H_SDI}}$	SDI 输入数据保持时间		30			ns
$t_{\text{D_SDO}}$	SDO 输出数据延迟时间	SCLK 高电平至 SDO 有效			30	ns
$t_{\text{SU_nSCS}}$	nSCS 输入设置时间		50			ns
$t_{\text{H_nSCS}}$	nSCS 输入保持时间		50			ns
$t_{\text{HL_nSCS}}$	低电平有效前的 nSCS 最短高电平时间		400			ns
$t_{\text{DIS_nSCS}}$	nSCS 禁用时间	nSCS 高电平至 SDO 高阻抗		10		ns

(1) 根据设计和特性数据确定

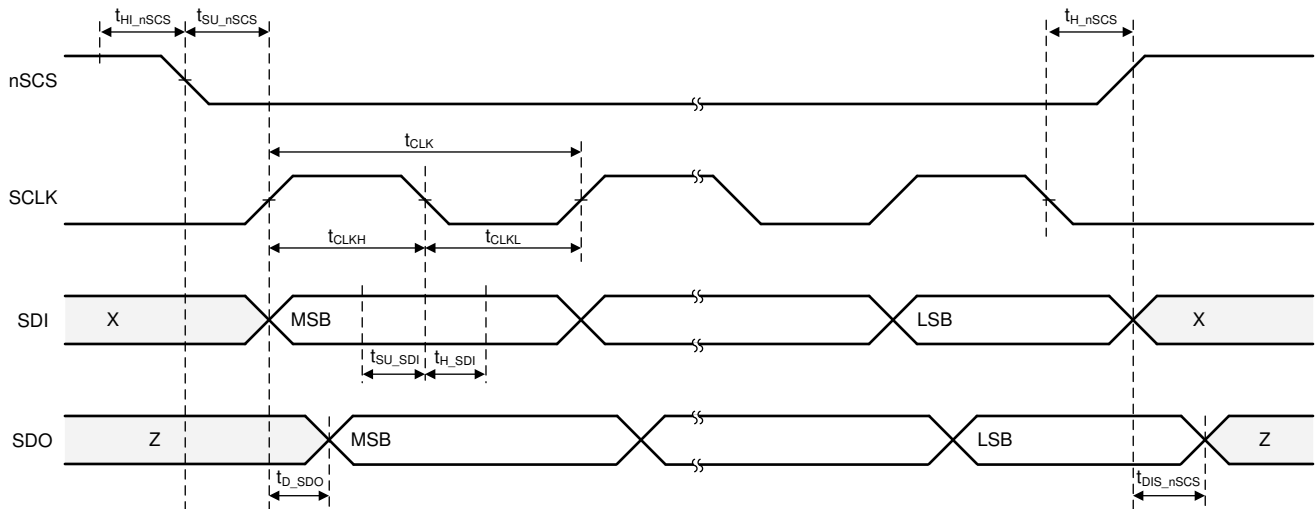


图 7-1. SPI 从模式时序图

7.7 典型特性

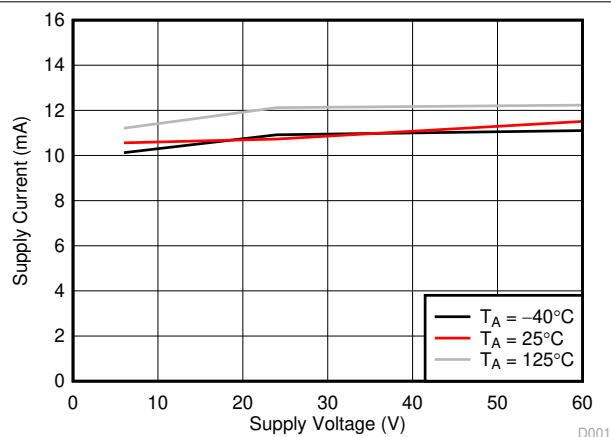


图 7-2. 电源电流与 VM 之间的关系

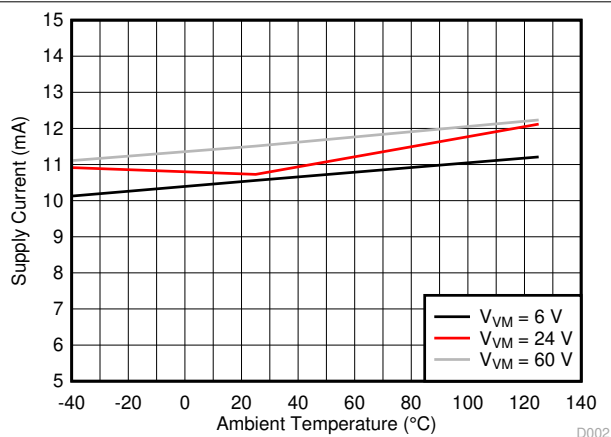


图 7-3. 电源电流与温度间的关系

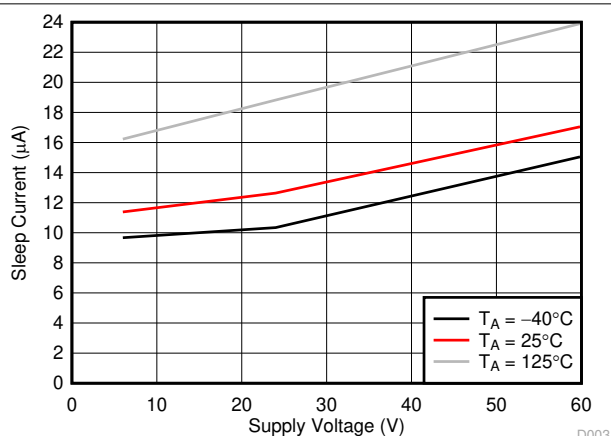


图 7-4. 睡眠电流与 VM 之间的关系

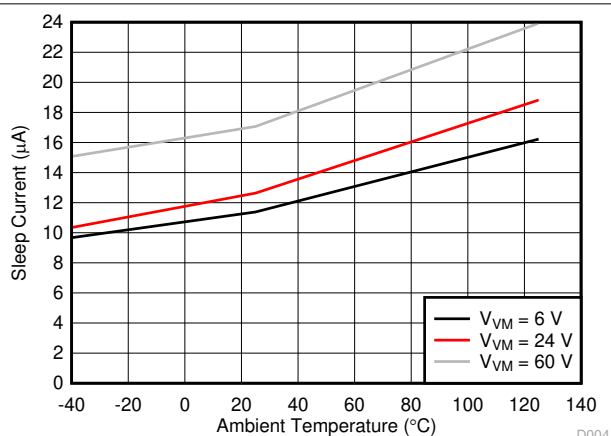
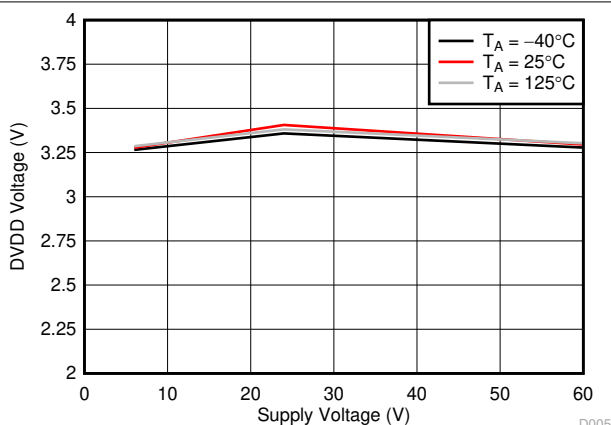
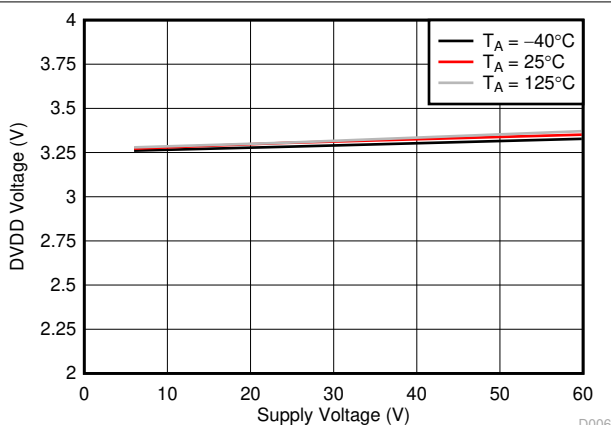


图 7-5. 睡眠电流与温度之间的关系



0mA 负载

图 7-6. DVDD 电压与 VM 之间的关系



30mA 负载

图 7-7. DVDD 电压与 VM 之间的关系

7.7 典型特性 (续)

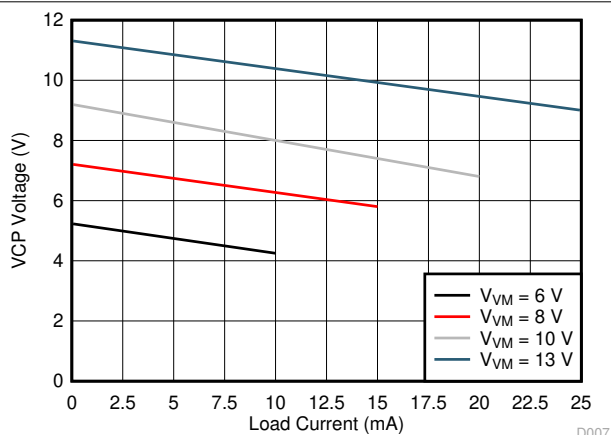
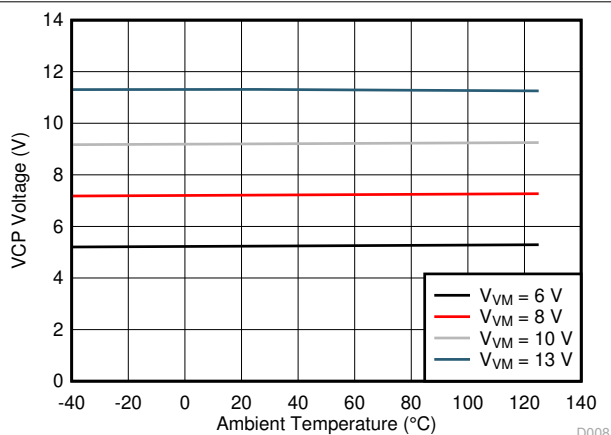


图 7-8. VCP 电压与负载之间的关系



0mA 负载

图 7-9. VCP 电压与温度之间的关系

8 详细说明

8.1 概述

DRV832x 系列器件为集成式 6V 至 60V 栅极驱动器，适用于三相电机驱动应用。此类器件集成了三个独立的半桥栅极驱动器、电荷泵以及用于提供高侧和低侧栅极驱动器电源电压的线性稳压器，减少了系统元件数量、成本和复杂性。该器件还集成了可选的三路电流分流（或电流检测）放大器，以及一个可选的 600mA 降压稳压器。标准的串行外设接口 (SPI) 提供了一种简单的方法，可通过外部控制器配置各种器件设置和读取故障诊断信息。或者，硬件接口 (H/W) 选项允许通过固定外部电阻器来配置常用的设置。

这些栅极驱动器支持外部 N 沟道高侧和低侧功率 MOSFET，并可驱动高达 1A 的峰值拉电流、2A 的峰值灌电流和 25mA 的平均输出电流。倍增电荷泵为高侧栅极驱动器生成电源电压。此电荷泵架构将 VCP 输出调节至 $V_{VM} + 11V$ 。低侧栅极驱动器的电源电压由线性稳压器从 VM 电源生成，该电源电压可调节至 11V。智能栅极驱动架构提供了动态调整栅极驱动输出电流强度的功能，从而使栅极驱动器能够控制功率 MOSFET 的 V_{DS} 开关速度。借助该功能，用户可移除外部栅极驱动电阻器和二极管，从而减少物料清单 (BOM) 中的元件数量、降低成本并减小印刷电路板 (PCB) 的面积。该架构还使用内部状态机来防止栅极驱动器中发生短路事件，控制半桥死区时间，并防止外部功率 MOSFET 发生 dV/dt 寄生导通。

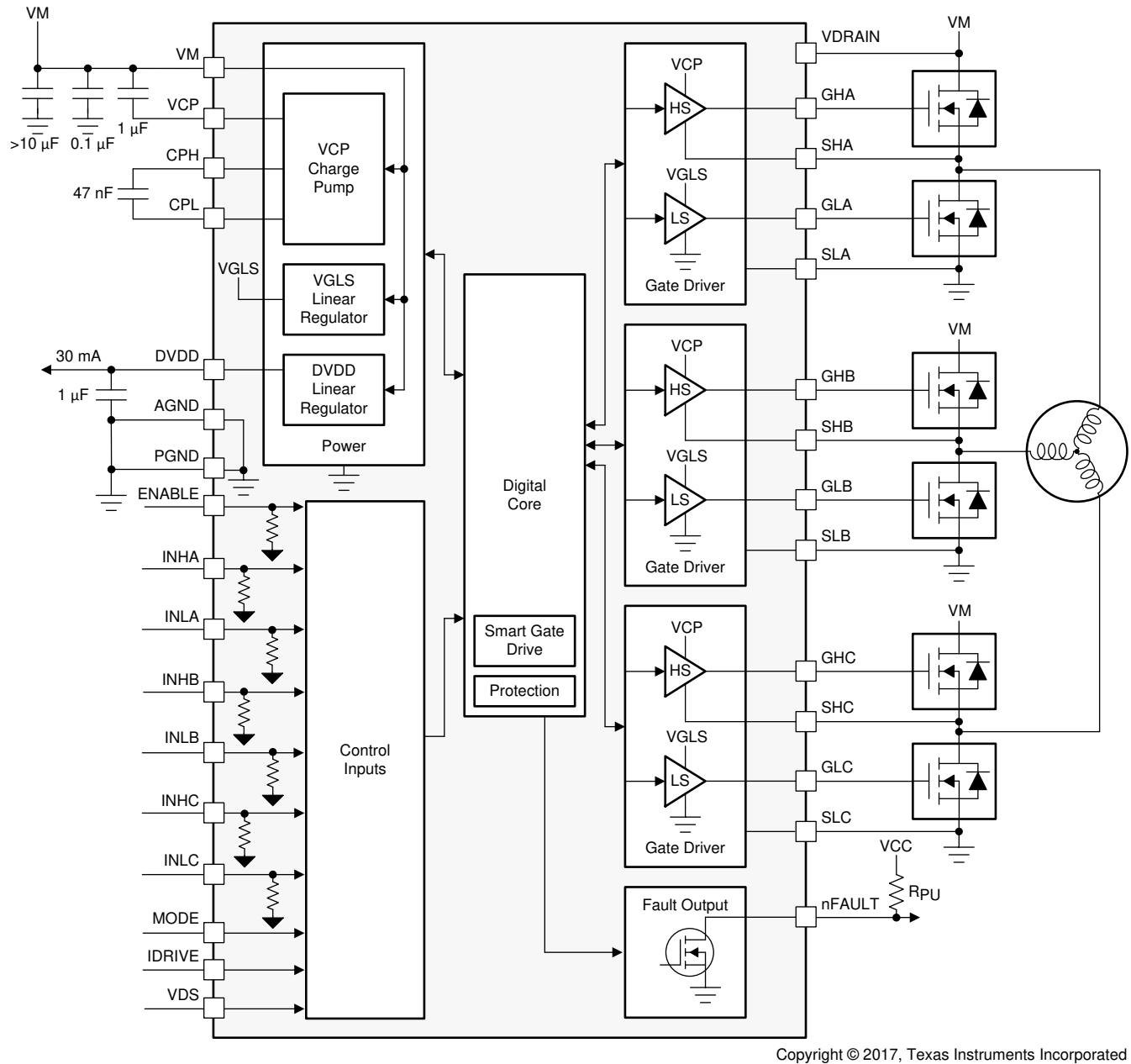
DRV8323 和 DRV8323R 器件集成了三个双向电流检测放大器，用于使用低侧分流电阻器监测流过每个外部半桥的电流电平。可通过 SPI 或硬件接口调整电流检测放大器的增益设置。SPI 方法为调整输出偏置点提供了额外的灵活性。

DRV8320R 和 DRV8323R 器件集成了一个 600mA 降压稳压器，可用于为外部控制器或其他逻辑电路供电。降压稳压器作为单独的内部芯片实现，可以使用与栅极驱动器相同或不同的电源。

除了器件高度集成之外，DRV832x 系列器件还提供广泛的集成保护功能。这些功能包括电源欠压锁定 (UVLO)、电荷泵欠压锁定 (CPUV)、 V_{DS} 过流监测 (OCP)、栅极驱动器短路检测 (GDF) 和过热关断 (OTW 和 OTSD)。故障事件由 nFAULT 引脚指示，可在 SPI 器件版本的 SPI 寄存器中获得详细信息。

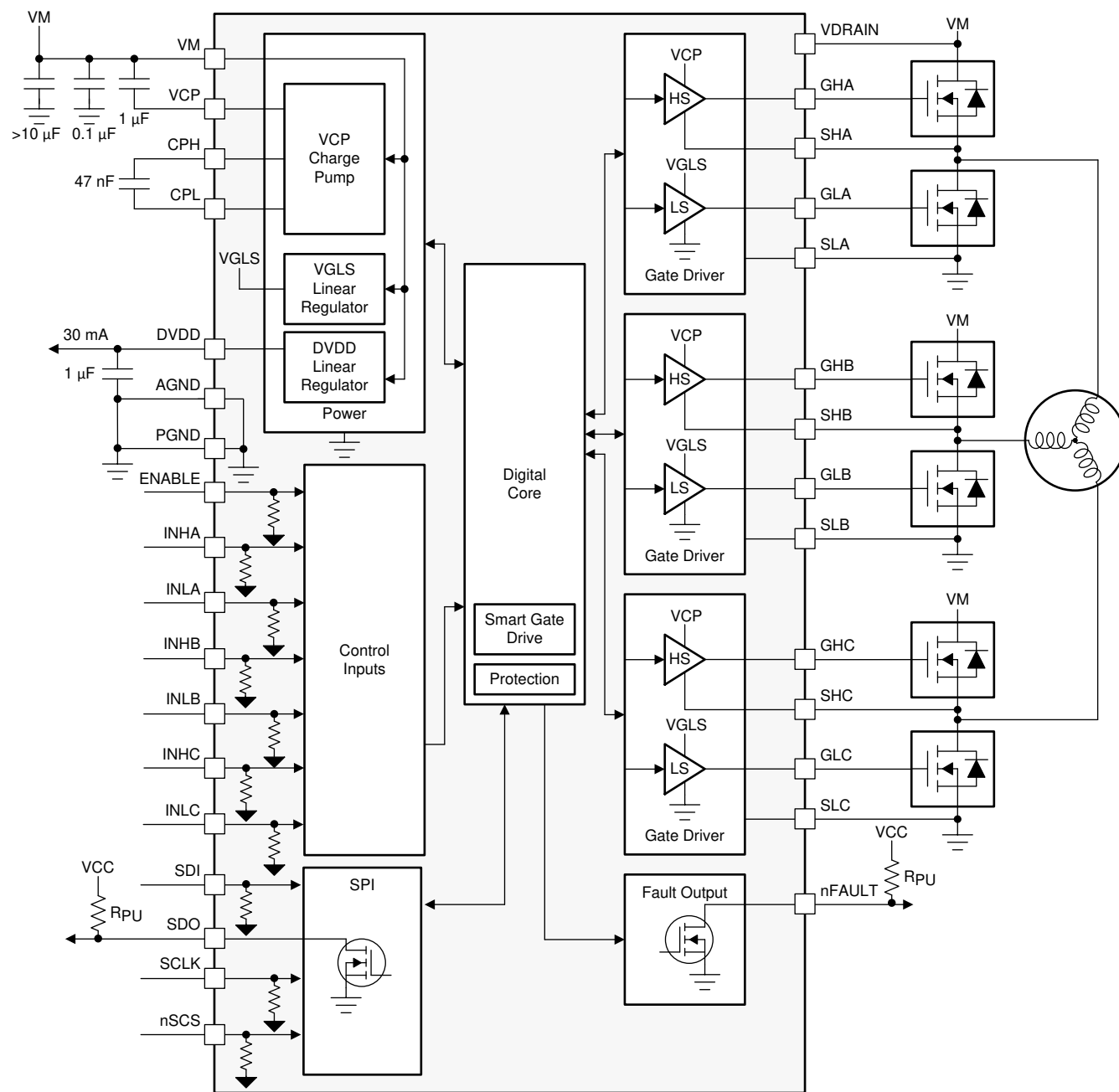
DRV832x 系列器件采用 0.5mm 引脚间距、QFN 表面贴装封装。32 引脚封装的 QFN 尺寸为 $5 \times 5mm$ ，40 引脚封装为 $6 \times 6mm$ ，48 引脚封装为 $7 \times 7mm$ 。

8.2 功能方框图



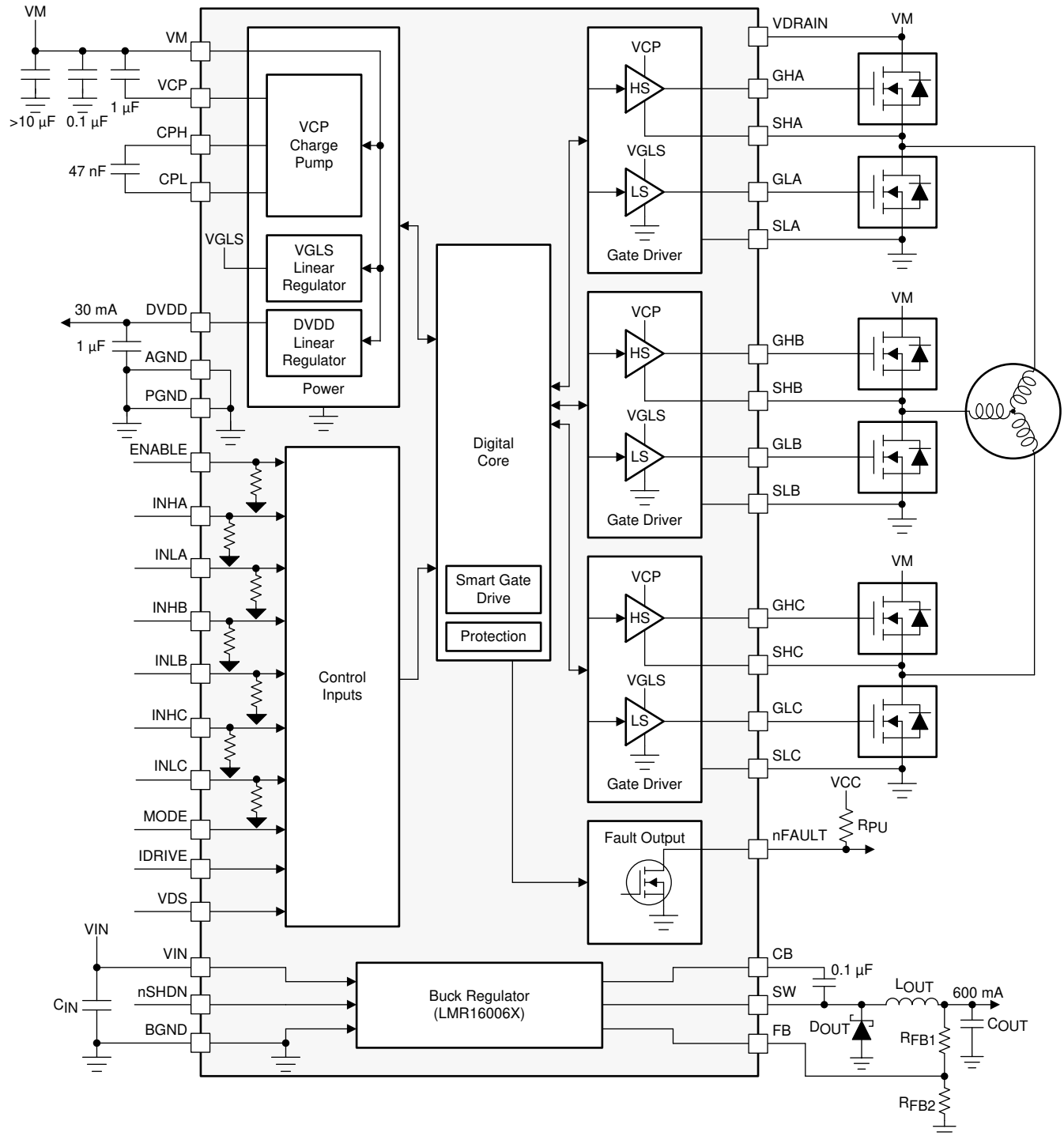
Copyright © 2017, Texas Instruments Incorporated

图 8-1. DRV8320H 的方框图



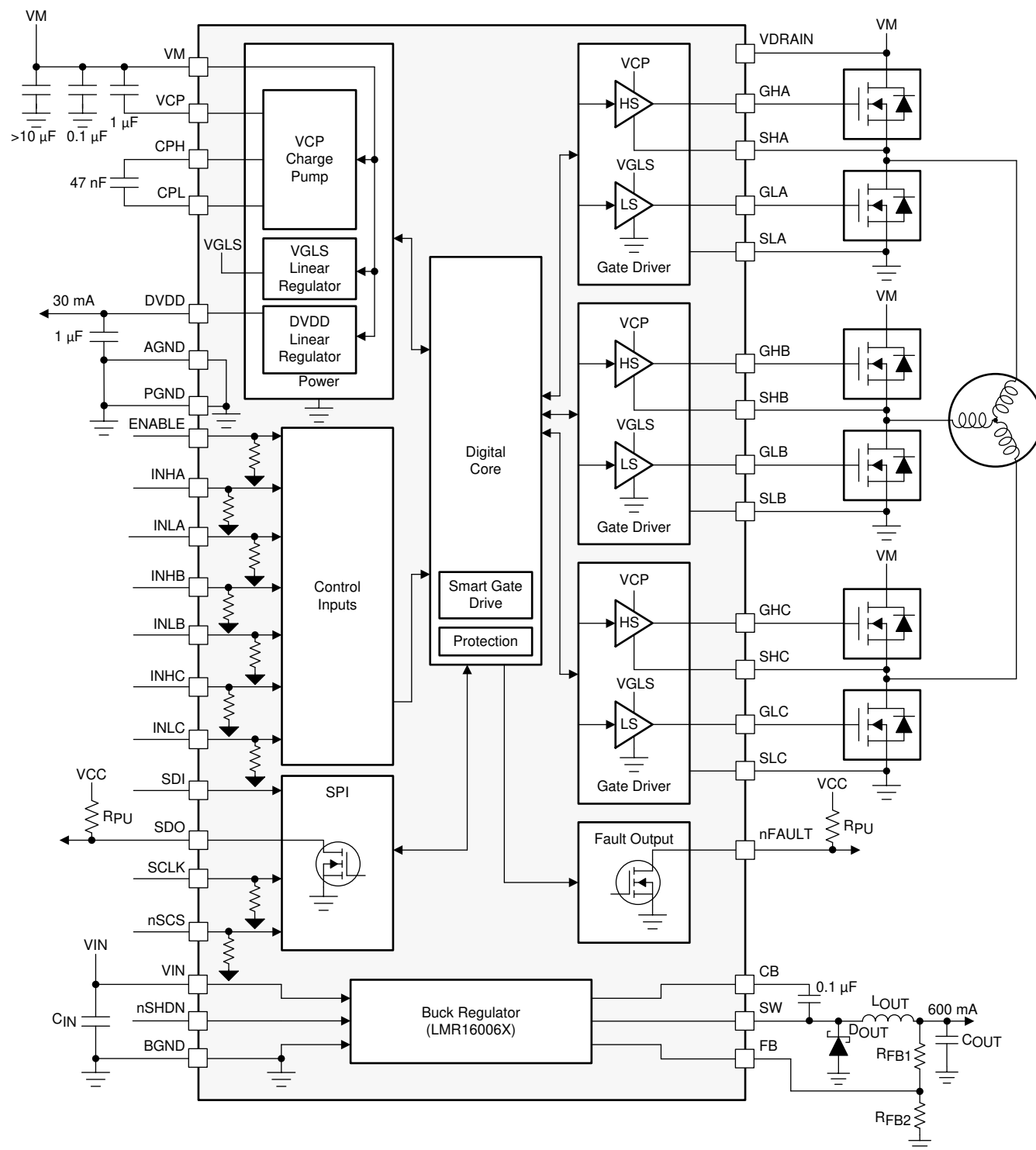
Copyright © 2017, Texas Instruments Incorporated

图 8-2. DRV8320S 的方框图



Copyright © 2017, Texas Instruments Incorporated

图 8-3. DRV8320RH 的方框图



Copyright © 2017, Texas Instruments Incorporated

图 8-4. DRV8320RS 的方框图

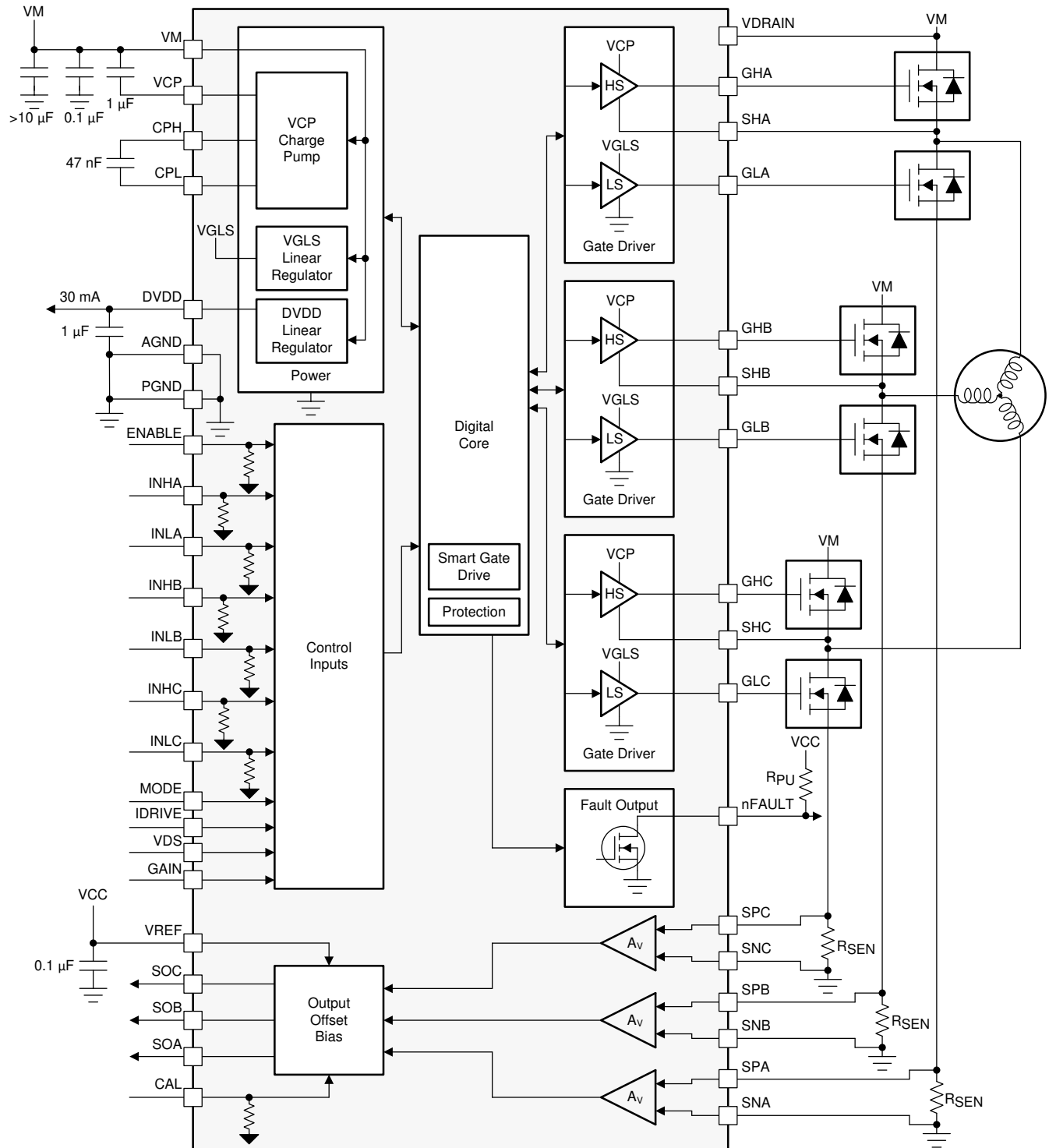
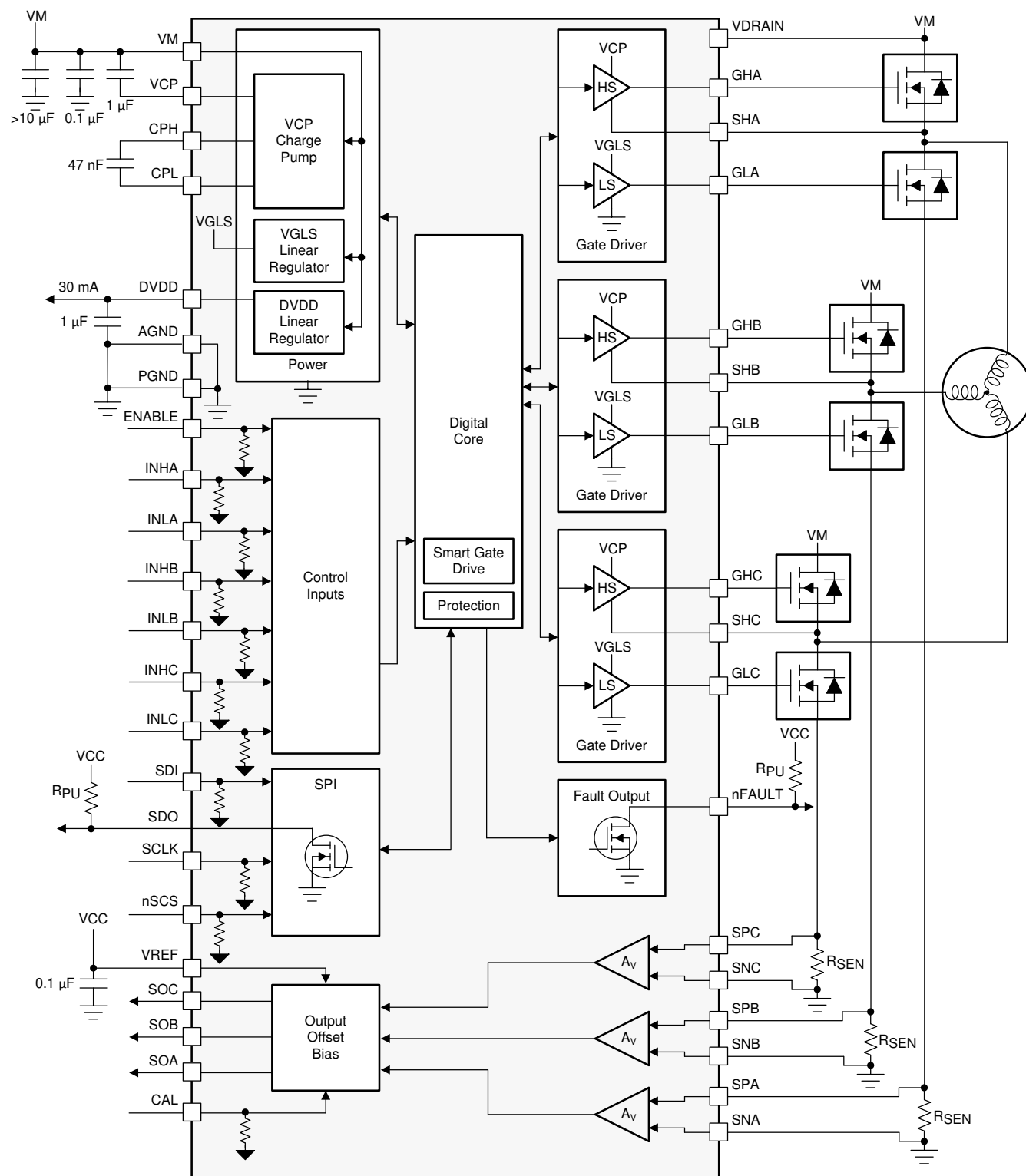
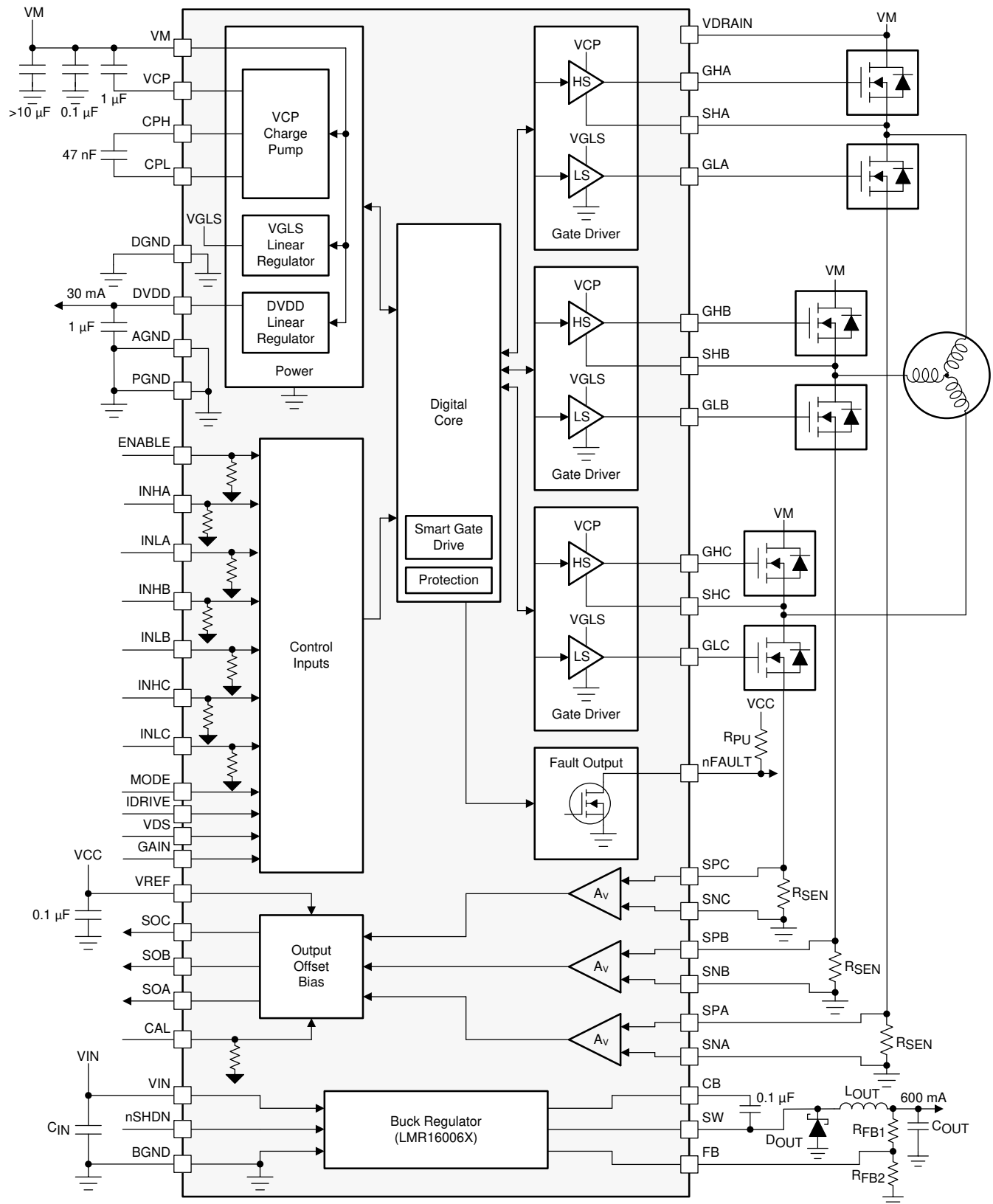


图 8-5. DRV8323H 的方框图



Copyright © 2017, Texas Instruments Incorporated

图 8-6. DRV8323S 的方框图

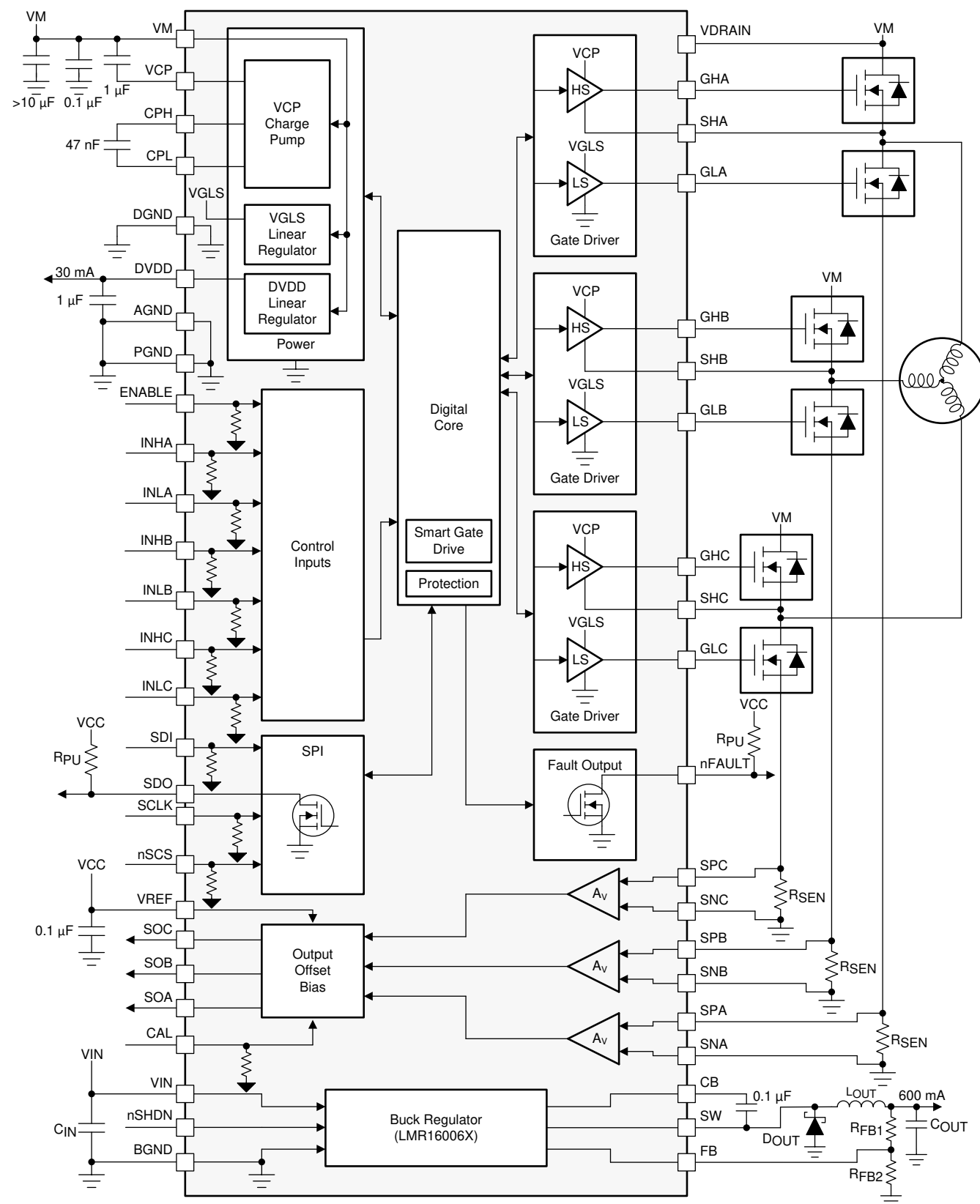


Copyright © 2017, Texas Instruments Incorporated

图 8-7. DRV8323RH 的方框图

DRV8320, DRV8320R, DRV8323, DRV8323R

ZHCSG01D - FEBRUARY 2017 - REVISED MARCH 2022



Copyright © 2017, Texas Instruments Incorporated

图 8-8. DRV8323RS 的方框图

8.3 特性说明

表 8-1 列出了栅极驱动器和降压稳压器外部元件的建议值。

表 8-1. DRV832x 外部元件

元件	引脚 1	引脚 2	推荐
栅极驱动器和感应放大器			
C _{VM1}	VM	PGND	X5R 或 X7R, 0.1μF, VM 额定电容器
C _{VM2}	VM	PGND	≥ 10μF, VM 额定电容器
C _{VCP}	VCP	VM	X5R 或 X7R, 25V, 1μF 电容器
C _{SW}	CPH	CPL	X5R 或 X7R, 47nF, VM 额定电容器
C _{DVDD}	DVDD	AGND	X5R 或 X7R, 1μF, 6.3V 电容器
R _{nFAULT}	VCC ⁽¹⁾	nFAULT	上拉电阻器
R _{SDO}	VCC ⁽¹⁾	SDO	上拉电阻器
R _{IDRIVE}	IDRIVE	AGND 或 DVDD	DRV832x 硬件接口
R _{VDS}	VDS	AGND 或 DVDD	DRV832x 硬件接口
R _{MODE}	模式	AGND 或 DVDD	DRV832x 硬件接口
R _{GAIN}	增益	AGND 或 DVDD	DRV832x 硬件接口
C _{VREF}	VREF	AGND 或 DGND	X5R 或 X7R, 0.1 μF, VREF 额定电容器
R _{ASENSE}	SPA	SNA 和 PGND	检测分流电阻器
R _{BSENSE}	SPB	SNB 和 PGND	检测分流电阻器
R _{CSENSE}	SPC	SNC 和 PGND	检测分流电阻器
降压稳压器			
C _{VIN}	VIN	BGND	X5R 或 X7R, 1 至 10μF, VM 额定电容器
C _{BOOT}	SW	CB	X5R 或 X7R, 0.1μF, 16V 电容器
D _{SW}	SW	BGND	肖特基二极管
L _{SW}	SW	OUT ⁽²⁾	输出电感器
C _{OUT}	OUT ⁽²⁾	BGND	X5R 或 X7R, OUT 额定电容器
R _{FB1}	OUT ⁽²⁾	FB	电阻分压器, 用于设置降压输出电压
R _{FB2}	FB	BGND	

(1) VCC 引脚不是 DRV832x 系列器件上的引脚, 但开漏输出 nFAULT 和 SDO 需要 VCC 电源电压上拉电阻。这些引脚也可以上拉至 DVDD。

(2) OUT 引脚不是 DRV8320R 和 DRV8323R 器件上的引脚, 而是输出电感器之后降压稳压器的稳压输出电压。

8.3.1 三相智能栅极驱动器

DRV832x 系列器件集成了三个半桥栅极驱动器, 每个驱动器都能够驱动高侧和低侧 N 沟道功率 MOSFET。倍增电荷泵可在宽工作电压范围内为高侧 MOSFET 提供正确的栅极偏置电压, 此外还提供 100% 占空比支持。内部线性稳压器为低侧 MOSFET 提供栅极偏置电压。可以组合使用多个半桥栅极驱动器来驱动三相电机, 也可以单独使用这些驱动器来驱动其他类型的负载。

DRV832x 系列器件实现了智能栅极驱动架构, 使用户能够动态调整栅极驱动电流, 无需外部电阻器即可限制栅极电流。此外, 该架构为外部 MOSFET 提供了多种保护功能, 包括自动死区时间插入、防止寄生 dV/dt 栅极导通和栅极故障检测。

8.3.1.1 PWM 控制模式

DRV832x 系列器件提供四种不同的 PWM 控制模式, 用以支持各种换向和控制方法。德州仪器 (TI) 不建议在功率 MOSFET 运行期间更改 MODE 引脚或 PWM_MODE 寄存器。相反, 在更改 MODE 引脚或 PWM_MODE 寄存器之前, 将所有 INHx 和 INLx 引脚设置为逻辑低电平。

8.3.1.1.1 6x PWM 模式 (PWM_MODE = 00b 或 MODE 引脚连接至 AGND)

在 6x PWM 模式下，每个半桥支持三种输出状态：低电平、高电平或高阻抗（高阻态）。相应的 INHx 和 INLx 信号控制着输出状态，如表 8-2 所示。

表 8-2. 6x PWM 模式真值表

INLx	INHx	GLx	GHx	SHx
0	0	L	L	高阻态
0	1	L	H	H
1	0	H	L	L
1	1	L	L	高阻态

8.3.1.1.2 3x PWM 模式 (PWM_MODE = 01b 或 MODE 引脚 = 47kΩ 至 AGND)

在 3x PWM 模式下，INHx 引脚控制每个半桥并支持两种输出状态：低电平或高电平。INLx 引脚用于将半桥置于高阻态。如果不需要高阻态，请将所有 INLx 引脚保持在逻辑高电平。相应的 INHx 和 INLx 信号控制着输出状态，如表 8-3 所示。

表 8-3. 3x PWM 模式真值表

INLx	INHx	GLx	GHx	SHx
0	X	L	L	高阻态
1	0	H	L	L
1	1	L	H	H

8.3.1.1.3 1x PWM 模式 (PWM_MODE = 10b 或 MODE 引脚 = 高阻态)

在 1x PWM 模式下，DRV832x 系列器件使用内部存储的 6 步阻塞换向表。该功能允许使用简单控制器提供的一个 PWM 来控制三相 BLDC 电机。该 PWM 施加在 INHA 引脚上，可确定半桥的输出频率和占空比。

半桥输出状态由用作状态逻辑输入的 INLA、INHB 和 INLB 引脚进行管理。状态输入可由外部控制器控制或直接连接到电机的霍尔传感器的数字输出端（INLA = HALL_A、INHB = HALL_B、INLB = HALL_C）。1x PWM 模式通常以同步整流（低侧 MOSFET 再循环）运行；但在 SPI 器件上，可以将该模式配置为使用异步整流（MOSFET 体二极管续流）。可以使用 SPI 寄存器中的 1PWM_COM 位来设置该配置。

INHC 输入通过 6 步换向表控制方向，当霍尔效应传感器直接控制 INLA、INHB 和 INLB 输入的状态时，该表用于改变电机的方向。如果不需要该功能，请将 INHC 引脚保持在低电平。

当 INLC 引脚被拉低时，INLC 输入通过关断所有高侧 MOSFET 并开启所有低侧 MOSFET 来对电机实现制动。该制动操作不受其他输入引脚状态的影响。如果不需要该功能，请将 INLC 引脚保持在高电平。

表 8-4. 同步 1x PWM 模式

逻辑和霍尔输入							栅极驱动输出 ⁽¹⁾						
STATE	INHC = 0			INHC = 1			A 相		B 相		C 相		说明
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
停止	0	0	0	0	0	0	L	L	L	L	L	L	停止
对齐	1	1	1	1	1	1	PWM	!PWM	L	H	L	H	对齐
1	1	1	0	0	0	1	L	L	PWM	!PWM	L	H	B → C
2	1	0	0	0	1	1	PWM	!PWM	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	!PWM	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	!PWM	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	!PWM	C → A
6	0	1	0	1	0	1	L	H	PWM	!PWM	L	L	B → A

(1) !PWM 是 PWM 信号的反相信号。

表 8-5. 异步 1x PWM 模式 1PWM_COM = 1 (仅限 SPI)

逻辑和霍尔输入							栅极驱动输出						
STATE	INHC = 0			INHC = 1			A 相		B 相		C 相		说明
	INLA	INHB	INLB	INLA	INHB	INLB	GHA	GLA	GHB	GLB	GHC	GLC	
停止	0	0	0	0	0	0	L	L	L	L	L	L	停止
对齐	1	1	1	1	1	1	PWM	L	L	H	L	H	对齐
1	1	1	0	0	0	1	L	L	PWM	L	L	H	B → C
2	1	0	0	0	1	1	PWM	L	L	L	L	H	A → C
3	1	0	1	0	1	0	PWM	L	L	H	L	L	A → B
4	0	0	1	1	1	0	L	L	L	H	PWM	L	C → B
5	0	1	1	1	0	0	L	H	L	L	PWM	L	C → A
6	0	1	0	1	0	1	L	H	PWM	L	L	L	B → A

图 8-9 和图 8-10 展示了 1x PWM 模式下不同的配置。

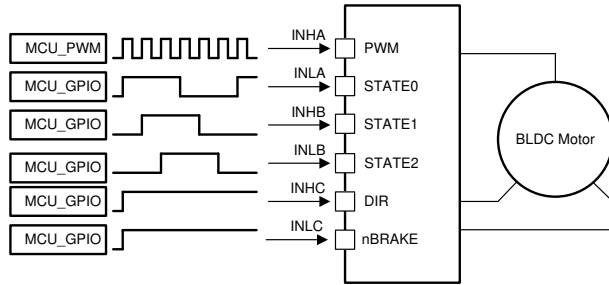


图 8-9. 1x PWM - 简单控制器

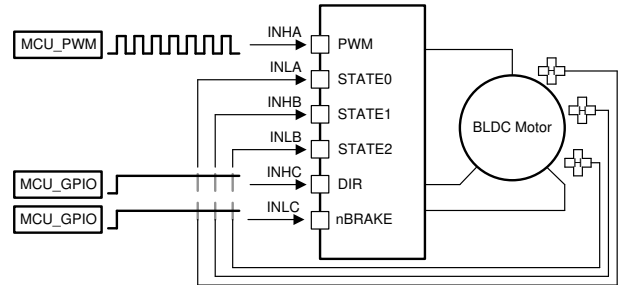


图 8-10. 1x PWM — 霍尔效应传感器

8.3.1.1.4 独立 PWM 模式 (PWM_MODE = 11b 或 MODE 引脚连接至 DVDD)

在独立 PWM 模式下，相应的输入引脚独立控制每个高侧和低侧栅极驱动器。借助该控制模式，DRV832x 系列器件能够通过每个半桥驱动独立的高侧和低侧负载。这些类型的负载包括单向有刷直流电机、电磁阀以及低侧和高侧开关。在该模式下，如果系统设置为半桥配置，则同时导通高侧和低侧 MOSFET 会导致击穿。

表 8-6. 独立 PWM 模式真值表

INLx	INHx	GLx	GHx
0	0	L	L
0	1	L	H
1	0	H	L
1	1	H	H

由于高侧和低侧 V_{DS} 过流监视器共享 SHx 检测线，因此当半桥的高侧和低侧栅极驱动器被拆分并独立使用时，则无法同时使用这两个监视器。在这种情况下，应将 SHx 引脚连接到高侧驱动器并禁用 V_{DS} 过流监视器，如图 8-11 所示。

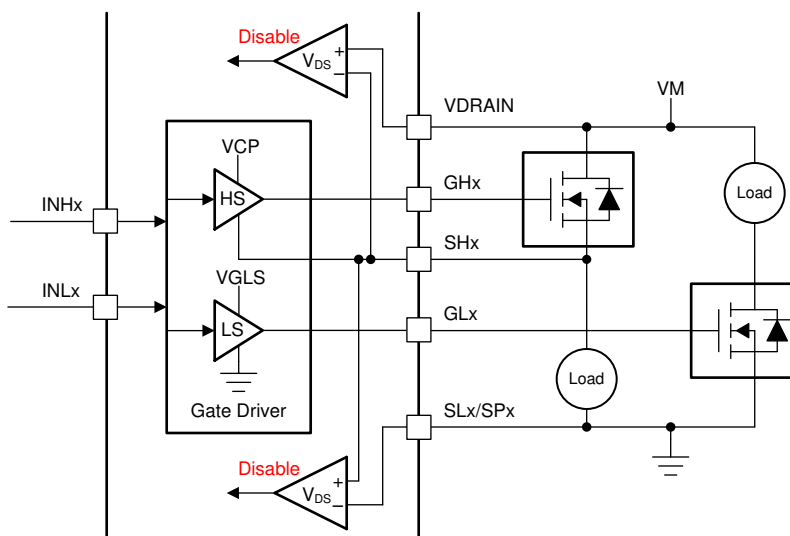


图 8-11. 独立的 PWM 高侧和低侧驱动器

如果使用半桥仅实现高侧或低侧驱动器，则仍然可以使用 V_{DS} 过流监视器。连接 SHx 引脚，如图 8-12 或图 8-13 所示。未使用的栅极驱动器和相应的输入引脚可以保持断开状态。

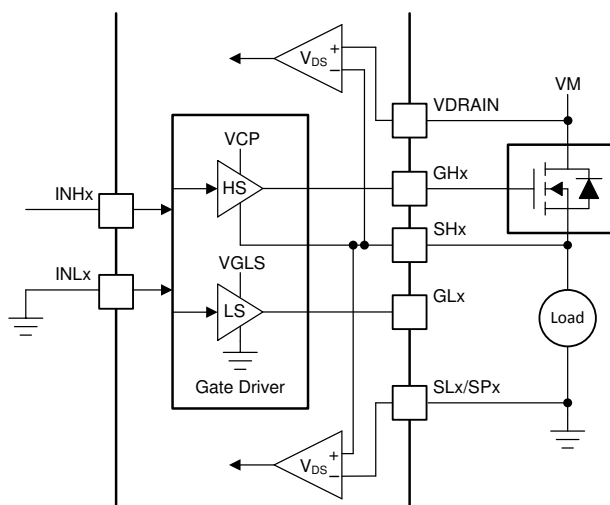


图 8-12. 一个高侧驱动器

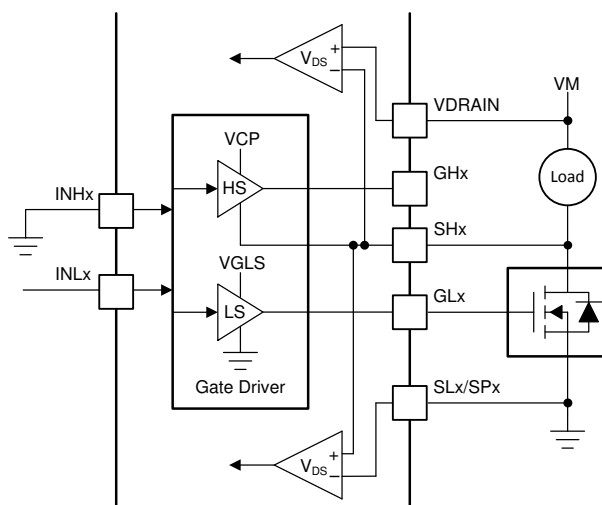


图 8-13. 一个低侧驱动器

8.3.1.2 器件接口模式

DRV832x 系列器件支持两种不同的接口模式（SPI 和硬件），使终端应用的设计更灵活或简单。这两种接口模式共享相同的四个引脚，允许不同的版本之间实现引脚对引脚兼容。这种兼容性让应用设计人员可以使用一个接口版本进行评估，然后只需对其设计进行极少修改即可切换到另一个版本。

8.3.1.2.1 串行外设接口 (SPI)

SPI 器件支持串行通信总线，使外部控制器能够与 DRV832x 之间进行数据的发送和接收。这支持外部控制器配置器件设置并读取详细的故障信息。该接口是一种使用 SCLK、SDI、SDO 和 nSCS 引脚的四线制接口，下面对此进行了说明：

- SCLK 引脚是一个输入引脚，它接受时钟信号以确定何时在 SDI 和 SDO 引脚上捕获和传播数据。
- SDI 引脚是数据输入引脚。
- SDO 引脚是数据输出引脚。SDO 引脚采用开漏结构，需要使用一个外部上拉电阻器。

- nSCS 引脚是片选输入引脚。该引脚上的逻辑低电平信号支持与 DRV832x 进行 SPI 通信。

有关 SPI 的更多信息，请参阅 [节 8.5.1](#)。

8.3.1.2.2 硬件接口

硬件接口器件将四个 SPI 引脚转换为四个可通过电阻器配置的输入，即 GAIN、IDRIVE、MODE 和 VDS。此转换让应用设计人员可通过将引脚连接为逻辑高电平或逻辑低电平，或使用简单的上拉或下拉电阻，进行常用的器件设置配置。因此，外部控制器不再需要 SPI 总线。一般故障信息仍可通过 nFAULT 引脚获得。

- GAIN 引脚可配置电流检测放大器的增益。
- IDRIVE 引脚可配置栅极驱动电流强度。
- MODE 引脚可配置 PWM 控制模式。
- VDS 引脚可配置 V_{DS} 过流监视器的电压阈值。

有关硬件接口的更多信息，请参阅 [节 8.3.3](#)。

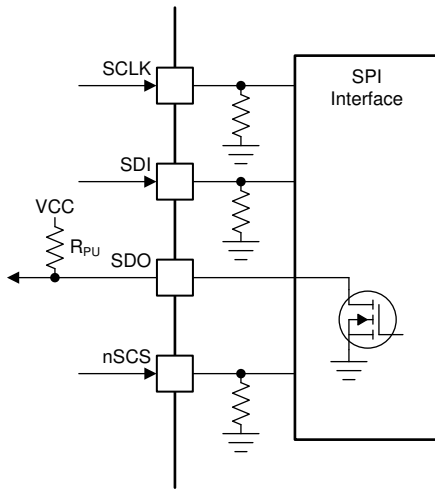


图 8-14. SPI

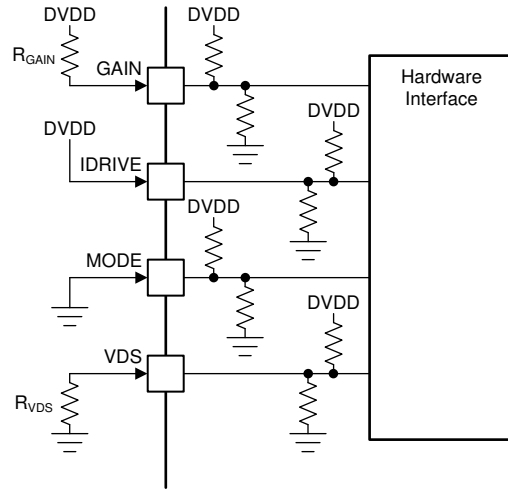


图 8-15. 硬件接口

8.3.1.3 栅极驱动器电压电源

侧栅极驱动器的电压电源是使用倍增电荷泵产生的，而该电荷泵采用 VM 电压电源输入运行。电荷泵可让栅极驱动器在宽输入电源电压范围内相对于源极正确地偏置高侧 MOSFET 栅极。电荷泵经过调节以保持 $V_{VM} + 11V$ 的固定输出电压，并支持 25mA 的平均输出电流。当 V_{VM} 小于 12V 时，电荷泵在全倍增模式下工作，空载时可产生电压 $V_{VCP} = 2 \times V_{VM} - 1.5V$ 。电荷泵会受到持续监控以确定是否发生欠压事件，从而防止 MOSFET 出现驱动不足的情况。电荷泵需要在 VM 和 VCP 引脚之间使用一个 X5R 或 X7R、1μF、25V 陶瓷电容器作为储能电容器。此外，还需要在 CPH 和 CPL 引脚之间放置一个 X5R 或 X7R、47nF、额定电压为 VM 的陶瓷电容器作为飞跨电容器。

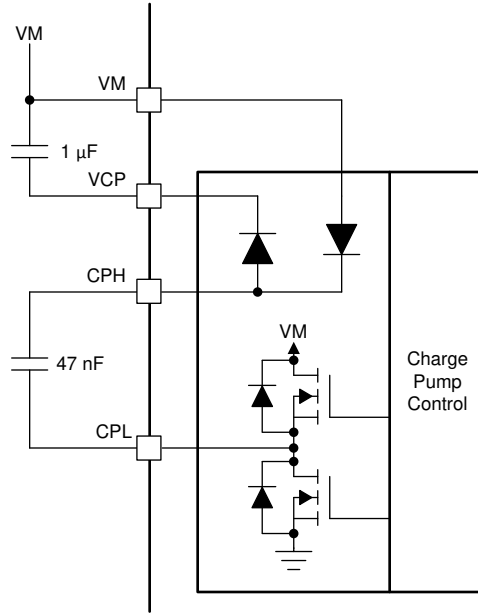


图 8-16. 电荷泵架构

低侧栅极驱动器的电压电源是使用线性稳压器产生的，该稳压器通过 VM 电压电源输入工作。线性稳压器可让栅极驱动器相对于接地正确地偏置低侧 MOSFET 栅极。线性稳压器输出固定为 11V，并支持 25mA 的输出电流。

8.3.1.4 智能栅极驱动架构

DRV832x 栅极驱动器采用适用于高侧和低侧驱动器的可调互补推挽拓扑。该拓扑允许对外部 MOSFET 栅极进行强上拉和强下拉。

此外，栅极驱动器使用智能栅极驱动架构来提供对外部功率 MOSFET 的额外控制，采取额外措施来保护 MOSFET，并在效率和稳健性之间实现理想的平衡。该架构是通过两个被称为 IDRIVE 和 TDRIVE 的元素实现的，[节 8.3.1.4.1](#) 和 [节 8.3.1.4.2](#) 对其进行了介绍。[图 8-17](#) 展示了栅极驱动器的简要功能方框图。

应根据系统中使用的外部功率 MOSFET 的参数和所需的上升和下降时间初步选择 IDRIVE 栅极驱动电流和 TDRIVE 栅极驱动时间（请参阅 [节 9](#)）。

高侧栅极驱动器还实现了一个齐纳钳位二极管，以在 MOSFET 发生外部短路事件时帮助保护外部 MOSFET 栅极免受过压情况的影响。

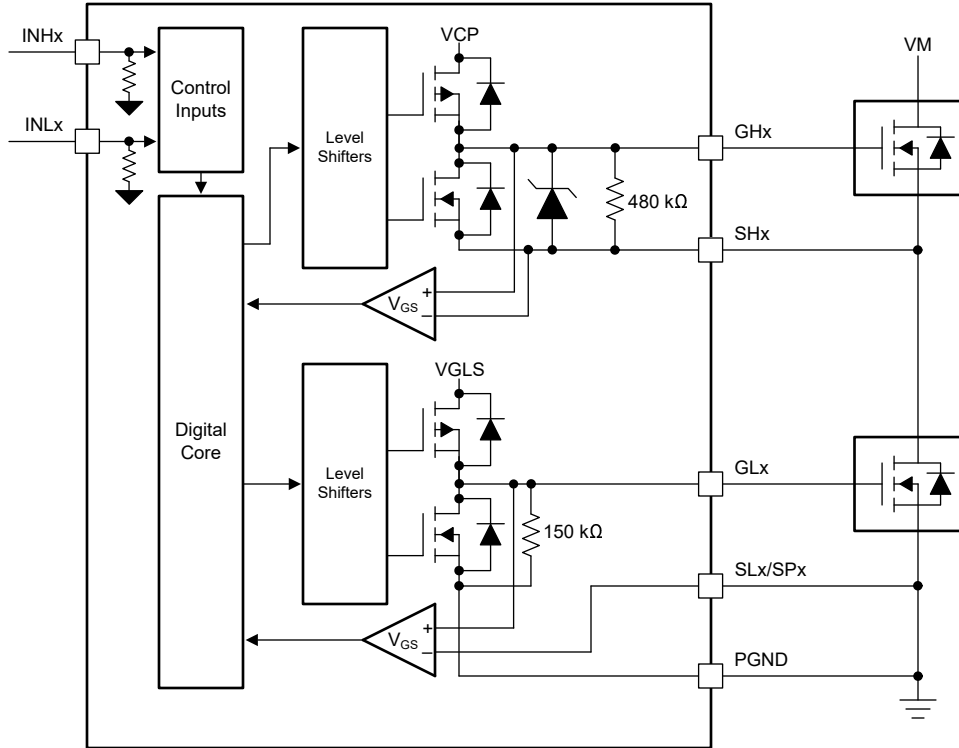


图 8-17. 栅极驱动器方框图

8.3.1.4.1 IDRIVE : MOSFET 压摆率控制

IDRIVE 元件实现了可调节的栅极驱动电流来控制 MOSFET V_{DS} 压摆率。MOSFET V_{DS} 压摆率是优化以下各项的关键因素：辐射发射、能量、二极管恢复尖峰的持续时间、导致击穿的 dV/dt 栅极导通以及与外部半桥中寄生效应相关的开关电压瞬态。IDRIVE 元件的工作原理是，MOSFET V_{DS} 压摆率主要取决于 MOSFET Q_{GD} 或米勒充电区域中提供的栅极电荷（或栅极电流）的速率。通过让栅极驱动器调节栅极电流，该栅极驱动器可以有效地控制外部功率 MOSFET 的压摆率。

IDRIVE 元件可让 DRV832x 系列器件通过 SPI 器件上的寄存器设置或硬件接口器件上的 IDRIVE 引脚在栅极驱动电流之间动态切换。SPI 器件提供 16 种 I_{DRIVE} 设置，范围为 10mA 至 1A 拉电流和 20mA 至 2A 灌电流。硬件接口器件提供 7 种在相同范围内的 I_{DRIVE} 设置。栅极驱动电流设置值在 t_{DRIVE} 持续时间内开启和关闭外部功率 MOSFET 期间传送到栅极。在 MOSFET 开启或关闭后，栅极驱动器切换至较小的保持 I_{HOLD} 电流，以提高栅极驱动器的效率。有关 IDRIVE 设置的其他详细信息，请参阅 节 8.6（适用于 SPI 器件）和 节 8.3.3（适用于硬件接口器件）。

8.3.1.4.2 TDRIVE : MOSFET 栅极驱动控制

TDRIVE 元件是一个集成式栅极驱动状态机，通过高侧和低侧栅极驱动器之间的握手、寄生 dV/dt 栅极导通预防以及 MOSFET 栅极故障检测来提供自动死区时间插入。

TDRIVE 状态机的第一个作用是自动死区时间插入。死区时间是外部高侧和低侧 MOSFET 开关之间的一段时间，旨在确保它们不会发生跨导并导致击穿。DRV832x 系列器件使用 V_{GS} 电压监视器来测量 MOSFET 栅源电压并确定正确的切换时间，而不是依赖固定的时间值。该功能可针对系统变化（例如温度漂移和 MOSFET 参数变化）对栅极驱动器死区时间进行调整。可以插入一个额外的数字死区时间 (t_{DEAD})，并可通过 SPI 器件中的寄存器对其进行调整。

TDRIVE 状态机的第二个作用是防止寄生 dV/dt 栅极导通。为了实现此元件，只要 MOSFET 进行开关，TDRIVE 状态机就会在相反状态的 MOSFET 栅极上使能强下拉电流 (I_{STRONG})。该强下拉持续发生 TDRIVE 时长。当电压半桥开关模式快速转换时，该功能有助于消除耦合到 MOSFET 栅极中的寄生电荷。

TDRIVE 状态机的第三个作用是实现栅极故障检测方案，以检测引脚对引脚焊接缺陷、MOSFET 栅极故障或 MOSFET 栅极卡在高电压或低电压的情况。该实现通过为每个半桥栅极驱动器配备一对 V_{GS} 栅源电压监视器进行。当栅极驱动器接收到改变半桥状态的命令时，它开始监测外部 MOSFET 的栅极电压。如果 V_{GS} 电压在 t_{DRIVE} 周期结束时未达到正确的阈值，则栅极驱动器会报告故障。为确保不会检测到伪故障，应选择比 MOSFET 栅极充电所需时间更长的 t_{DRIVE} 时间。 t_{DRIVE} 时间不会增加 PWM 时间，如果在活动状态下接收到另一个 PWM 命令，则会终止。有关 TDRIVE 设置的其他详细信息，请参阅 SPI 器件的 8.6 部分。硬件接口器件具有 $4\mu s$ 的固定 t_{DRIVE} 。

图 8-18 展示了运行中的 TDRIVE 状态机的示例。

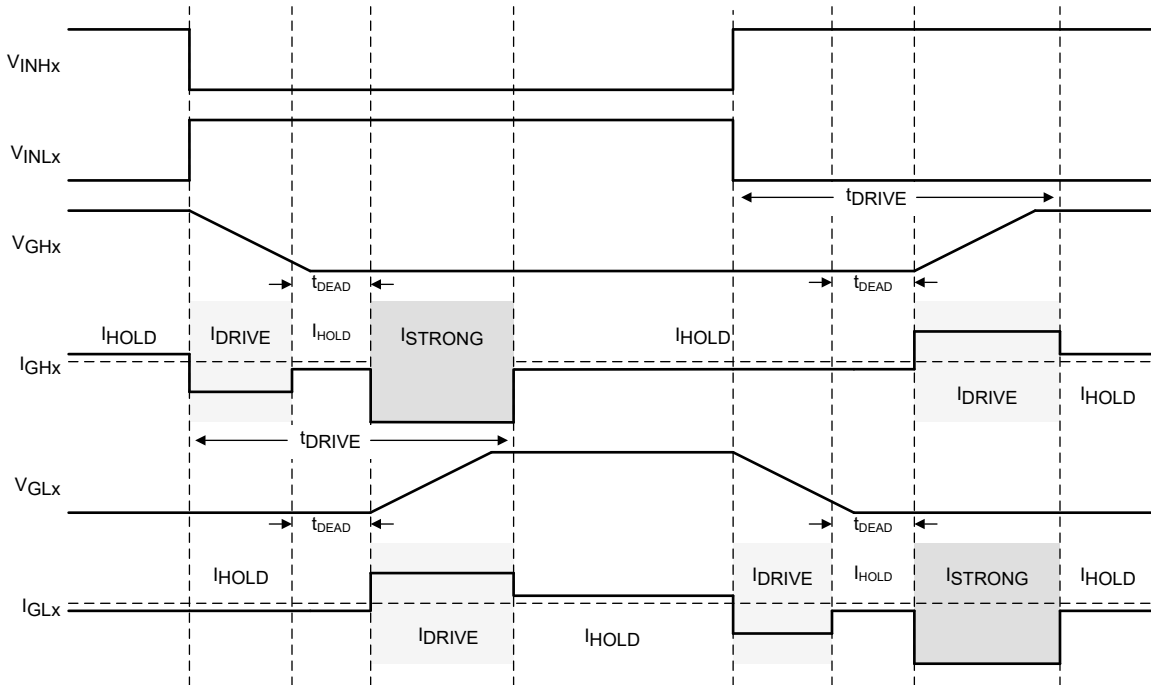


图 8-18. TDRIVE 状态机

8.3.1.4.3 传播延迟

传播延迟时间 (t_{pd}) 是输入逻辑边沿与检测到的输出变化之间的时间。该时间由三个部分组成，即数字输入抗尖峰脉冲器延迟、数字传播延迟和通过模拟栅极驱动器的延迟。

输入抗尖峰脉冲器可防止输入引脚上的高频噪声影响栅极驱动器的输出状态。为了支持多种控制模式和死区时间插入，在输入命令通过器件传播时添加了一个较小的数字延迟。最后，模拟栅极驱动器具有较小的延迟，从而增大器件的总体传播延迟。

8.3.1.4.4 MOSFET V_{DS} 监视器

栅极驱动器采用可调节的 V_{DS} 电压监视器，以检测外部功率 MOSFET 上的过流或短路情况。当监测的电压大于 V_{DS} 跳变点 (V_{VDS_OCP}) 的持续时间长于抗尖峰脉冲时间 (t_{OCP}) 时，检测到过流情况并根据器件 V_{DS} 故障模式采取措施。

高侧 V_{DS} 监视器测量 $VDRAIN$ 和 SHx 引脚之间的电压。在具有三个电流检测放大器的器件 (DRV8323 和 DRV8323R) 中，低侧 V_{DS} 监视器用于测量 SHx 和 SPx 引脚之间的电压。如果未使用电流检测放大器，请将 SP 引脚连接到外部半桥的公共接地点。在不带电流检测放大器的器件选项 (DRV8320 和 DRV8320R) 中，低侧 V_{DS} 监视器用于测量 SHx 和 SLx 引脚之间的电压。

对于 SPI 器件，如有需要，可以通过 LS_REF 寄存器设置更改 SPx 和 SNx 引脚之间的低侧 V_{DS} 监视器的基准点。

V_{VDS_OCP} 阈值可在 0.06V 至 1.88V 范围内进行编程。有关 V_{DS} 监视器电平的更多信息，请参阅 [节 8.6](#) (适用于 SPI 器件) 和 [节 8.3.3](#) (适用于硬件接口器件)。

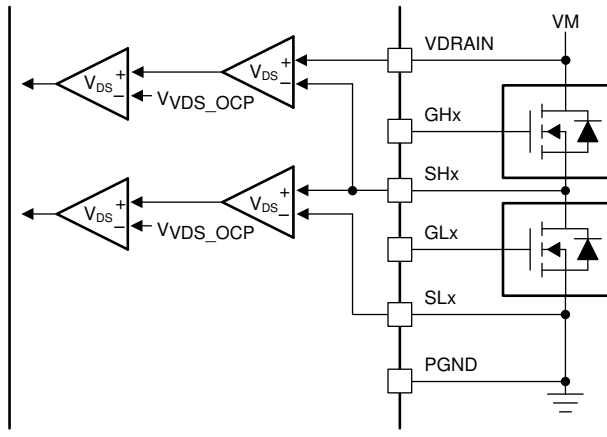


图 8-19. DRV8320 和 DRV8320R V_{DS} 监视器

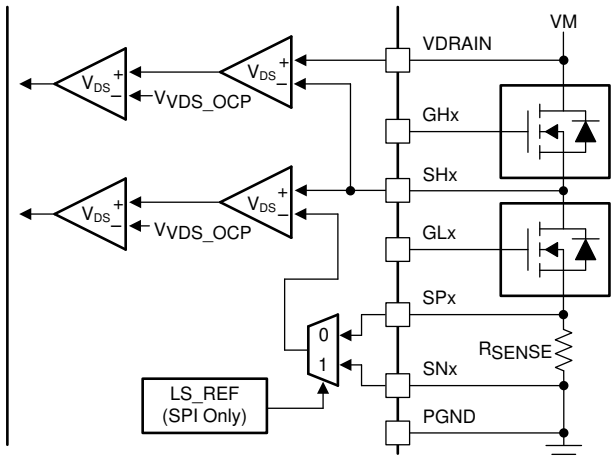


图 8-20. DRV8323 和 DRV8323R V_{DS} 监视器

8.3.1.4.5 VDRAIN 感测引脚

DRV832x 系列器件为高侧 MOSFET 漏极的公共点提供单独的检测引脚。该引脚被称为 VDRAIN。该引脚允许过流监视器的检测线 (VDRAIN) 和电源 (VM) 保持分离，并防止 VDRAIN 检测线上产生噪声。这种分离设计还允许在栅极驱动器电源 (VM) 上实现小型滤波器，或根据需要插入升压转换器以支持较低电压运行。设计滤波器或独立电源时仍需谨慎，因为 VM 仍是提供高侧栅极驱动电压 (V_{GSH}) 的 VCP 电荷泵的基准点。VM 电源不得偏离 VDRAIN 电源过远，以避免违反外部功率 MOSFET 的 V_{GS} 电压规格。

8.3.2 DVDD 线性稳压器

DRV832x 系列器件中集成了一个 3.3V、30mA 线性稳压器，可供外部电路使用。该稳压器可为低功耗 MCU 或其他支持低电源电流的电路提供电源电压。DVDD 稳压器的输出应在 DVDD 引脚附近旁路，通过一个 X5R 或 X7R、1μF、6.3V 陶瓷电容器直接连接回相邻的 AGND 接地引脚。

DVDD 标称空载输出电压为 3.3V。当 DVDD 负载电流超过 30mA 时，稳压器的功能类似于恒流源。当电流负载大于 30mA 时，输出电压会显著下降。

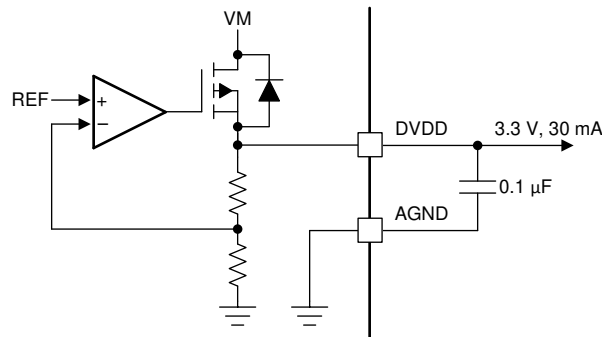


图 8-21. DVDD 线性稳压器方框图

可以使用 [方程式 1](#) 来计算 DVDD 线性稳压器导致的器件中耗散的功率。

$$P = (V_{VM} - V_{DVDD}) \times I_{DVDD} \quad (1)$$

例如，当 V_{VM} 为 24V 时，从 DVDD 汲取 20mA 的电流会导致 [方程式 2](#) 所示的功率耗散。

$$P = (24\text{ V} - 3.3\text{ V}) \times 20\text{ mA} = 414\text{ mW} \quad (2)$$

8.3.3 引脚图

[图 8-22](#) 展示了逻辑电平引脚 INHx、INLx、CAL、ENABLE、nSCS、SCLK 和 SDI 的输入结构。输入可以由电压或外部电阻器驱动。

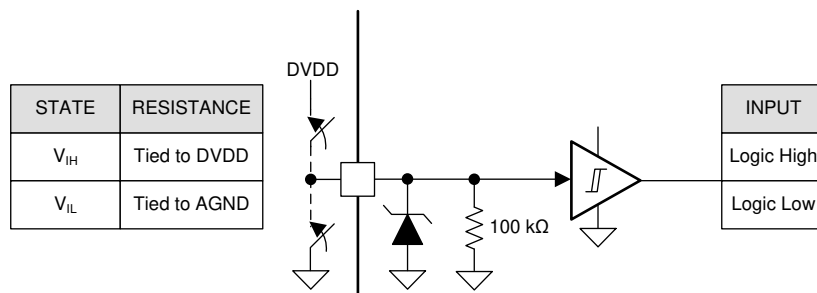


图 8-22. 逻辑电平输入引脚结构

图 8-23 展示了硬件接口器件上四电平输入引脚的结构、模式和增益。可以通过外部电阻器设置该输入。

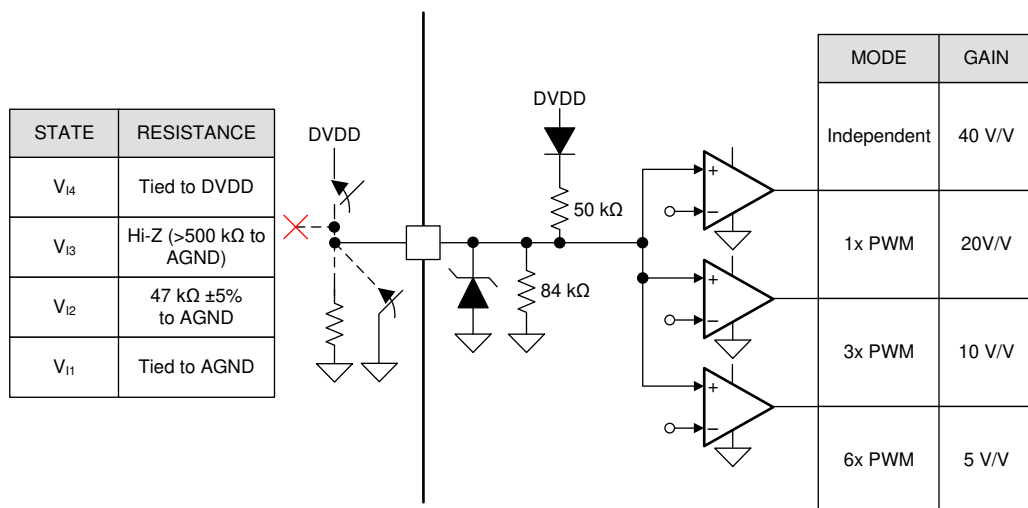


图 8-23. 四电平输入引脚结构

图 8-24 展示了硬件接口器件上七电平输入引脚的结构、IDRIVE 和 VDS。可以通过外部电阻器设置该输入。

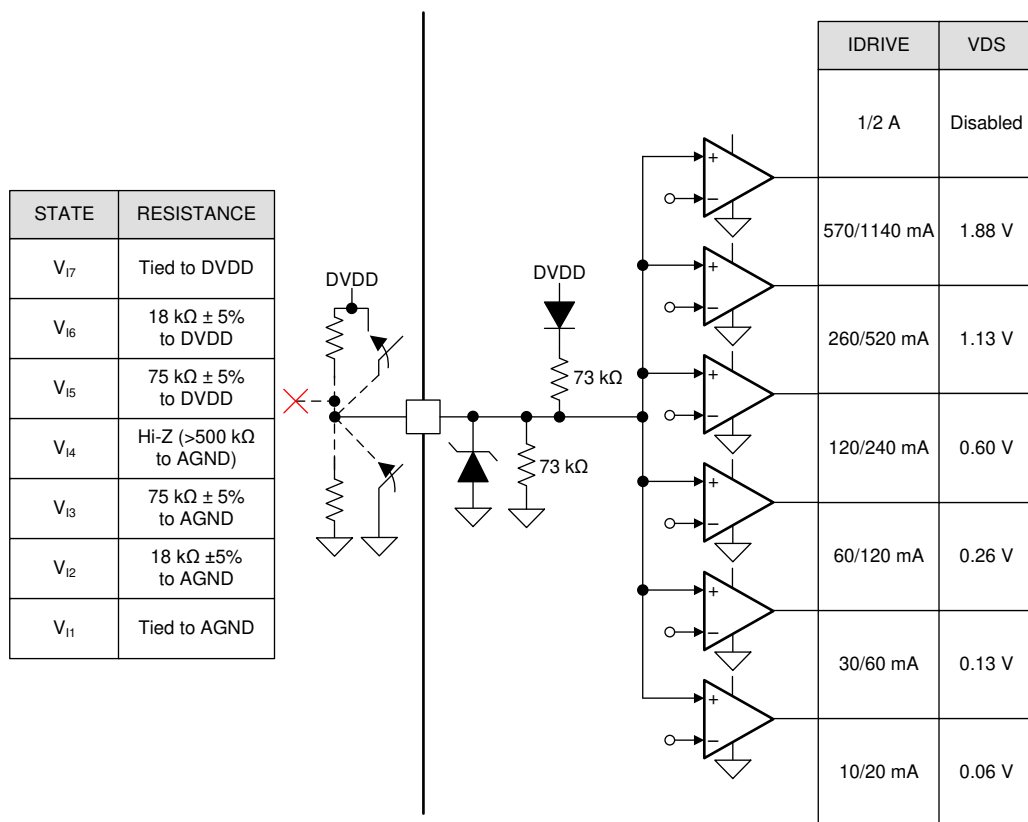


图 8-24. 七电平输入引脚结构

图 8-25 展示了开漏输出引脚 nFAULT 和 SDO 的结构。开漏输出需要外部上拉电阻器才能正常运行。

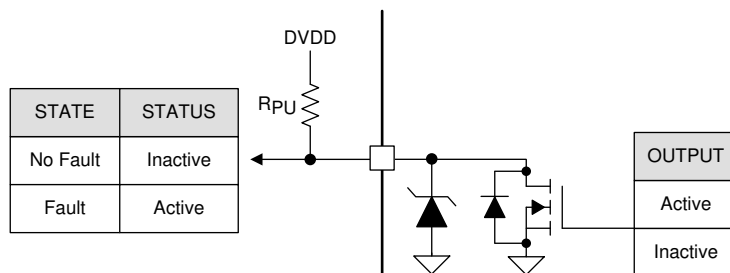


图 8-25. 开漏输出引脚结构

8.3.4 低侧电流检测放大器 (仅限 DRV8323 和 DRV8323R)

DRV8323 和 DRV8323R 集成了三个高性能低侧电流检测放大器，用于使用外部半桥中的低侧分流电阻器进行电流测量。通常会通过测量低侧电流来实施过流保护、外部扭矩控制或通过外部控制器进行无刷直流换向。全部三个放大器都可用于感测每个半桥臂中的电流，或者可以用一个放大器来感测所有半桥臂中电流的总和。电流检测放大器包含可编程增益、失调电压校准、单向和双向支持以及电压基准引脚 (VREF) 等功能。如果三个电流检测放大器中的任何一个未使用，则可以通过短接 SPx 与 SNx 引脚之间的连接并保持 SOx 引脚未连接状态使其断开连接。记住连接低侧 FET 源极，以使过流 VDS 监控器仍正常工作。

8.3.4.1 双向电流检测操作

DRV8323 和 DRV8323R 上 SOx 引脚输出的模拟电压等于 SPx 和 SNx 引脚上的电压乘以增益设置值 (G_{CSA})。增益设置值可在四个不同级别 (5V/V、10V/V、20V/V 和 40V/V) 之间调节。可以使用 方程式 3 来计算流过分流电阻器的电流。

$$I = \frac{\frac{V_{VREF}}{2} - V_{SOx}}{G_{CSA} \times R_{SENSE}} \quad (3)$$

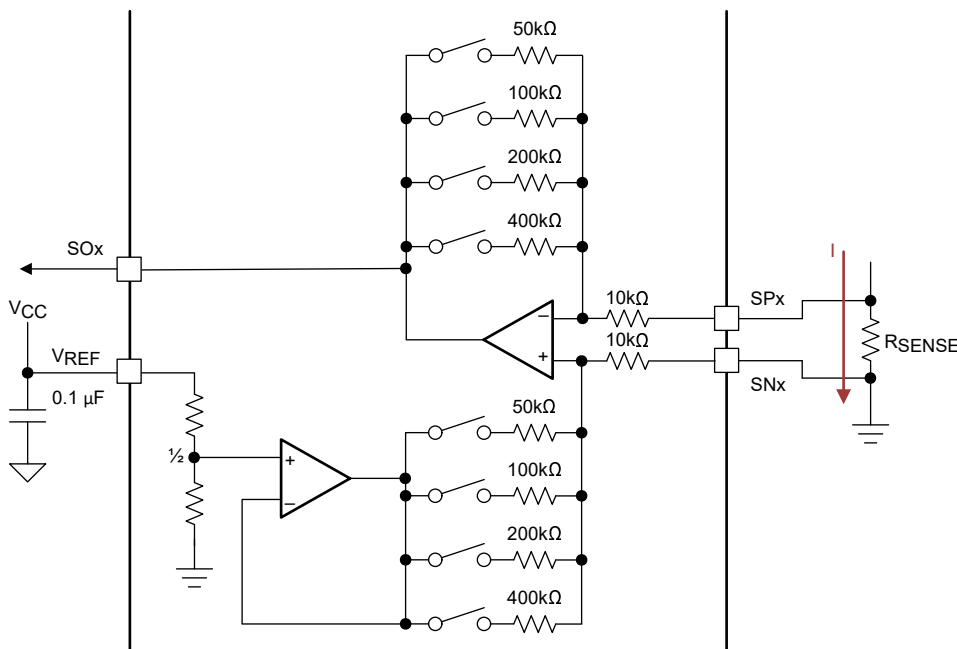
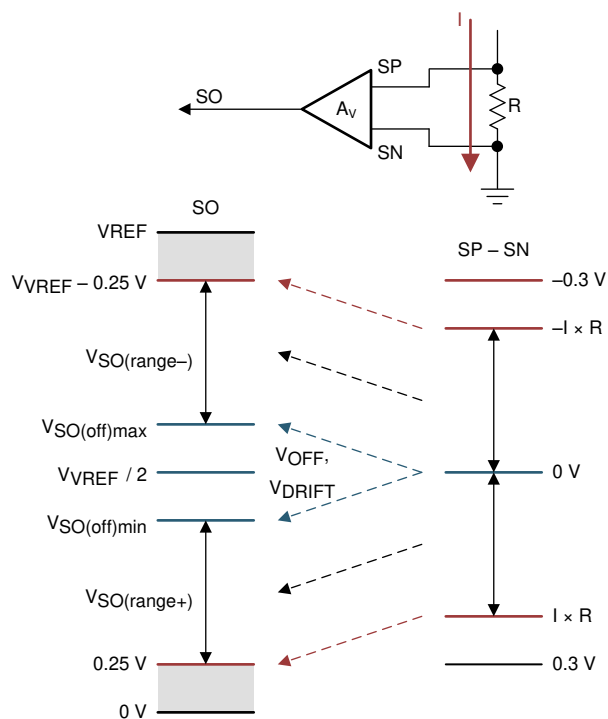
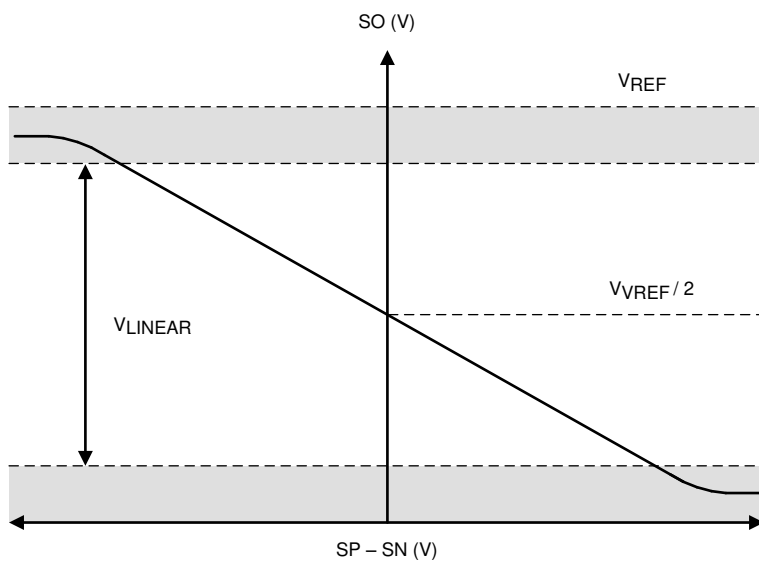


图 8-26. 双向电流检测配置



8.3.4.2 单向电流检测操作 (仅限 SPI)

在 DRV8323 和 DRV8323R SPI 器件上, 可以使用 VREF_DIV 位来移除 VREF 分压器。在这种情况下, 电流检测放大器单向运行, SOx 引脚输出的模拟电压等于 SPx 和 SNx 引脚上的电压乘以增益设置值 (GCSA)。可以使用 [方程式 4](#) 来计算流过分流电阻器的电流。

$$I = \frac{V_{VREF} - 0.3 - V_{SOx}}{G_{CSA} \times R_{SENSE}} \quad (4)$$

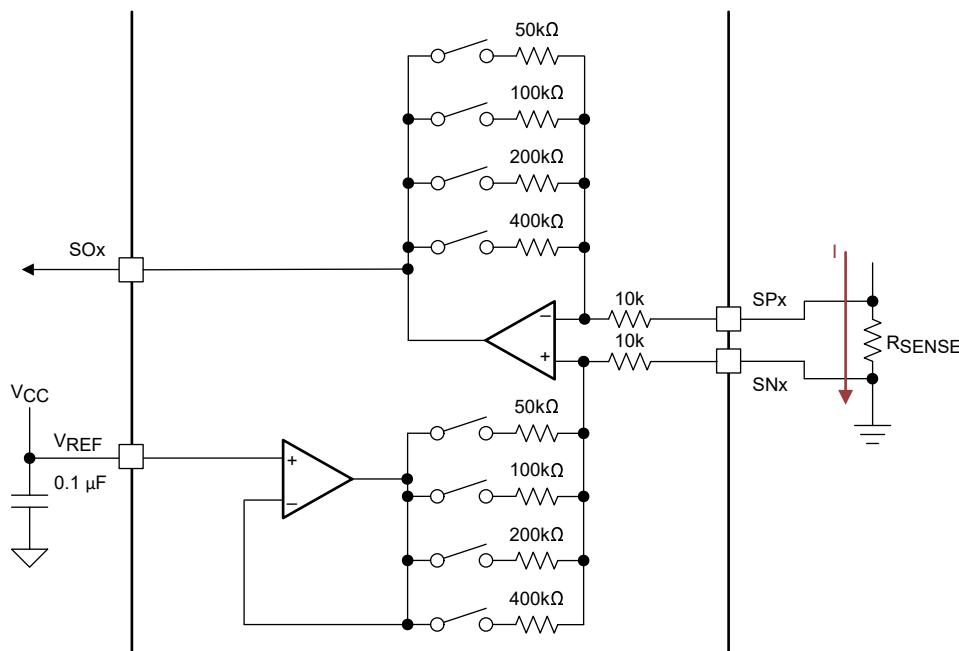


图 8-29. 单向电流检测配置

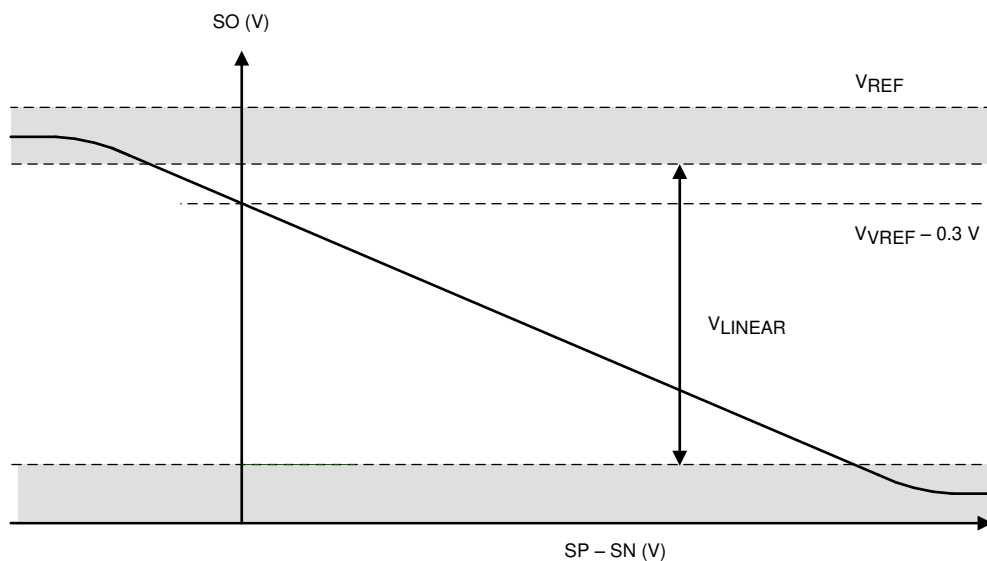


图 8-30. 单向电流检测输出

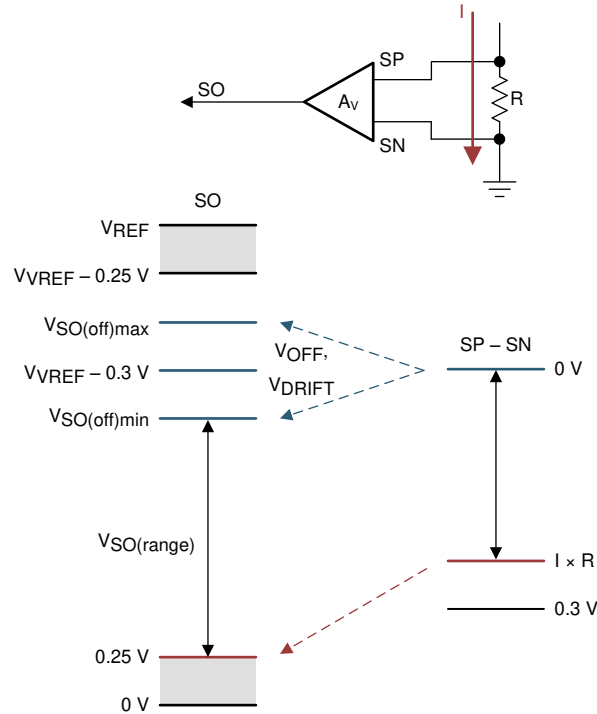


图 8-31. 单向电流检测区域

8.3.4.3 自动失调电压校准

为了更大限度地减小直流失调电压，DRV8323 和 DRV8323R 器件可通过 SPI 寄存器 (CSA_CAL_X) 或 CAL 引脚执行自动失调电压校准。启用校准时，放大器的输入短路，负载断开，且放大器的增益 (G_{CSA}) 更改为 40V/V 设置。然后，放大器会执行自动修整例程，以尽可能减小输入失调电压。校准启用后，自动修整例程需要 100 μ s 时间完成。在此之后，如果需要通过外部控制器完成进一步的失调电压校准，则放大器的输入端保持短路状态，负载保持断开状态，且增益保持在 40V/V。要完成失调电压校准，CSA_CAL_X 寄存器或 CAL 引脚应恢复为低电平。器件完成校准后，增益会恢复原始增益设置值。为获得理想结果，请在外部 MOSFET 未进行开关动作时执行失调电压校准，以减少对放大器的潜在噪声影响。当电流检测放大器进入校准模式时，如果器件配置为单向模式，则 VREF 引脚设置为双向模式。即使没有为所有通道设置 CSA_CAL_X 寄存器，VREF 引脚的设置也会影响所有三个电流检测放大器的通道。

8.3.4.4 MOSFET V_{DS} 感测模式 (仅限 SPI)

DRV8323 和 DRV8323R SPI 器件上的电流检测放大器可以配置为放大外部低侧 MOSFET V_{DS} 两端的电压。此配置可让外部控制器在没有分流电阻器的情况下测量 MOSFET $R_{DS(on)}$ 两端的压降，然后计算半桥电流电平。

若要启用该模式，请将 CSA_FET 位设置为 1。然后，放大器的正输入通过内部钳位在内部连接到 SHx 引脚，以防止 SHx 引脚上的高电压损坏感测放大器输入。在此运行模式期间，SPx 引脚应保持断开状态。当 CSA_FET 位设置为 1 时，低侧 V_{DS} 监视器的负基准自动设置为 SNx 引脚，不受 LS_REF 位状态的影响。实现此设置是为了防止禁用低侧 V_{DS} 监视器。

如果系统在 MOSFET V_{DS} 电流检测模式下运行，则使用开尔文接法将 SHx 和 SNx 引脚连接到外部低侧 MOSFET 的漏极和源极。

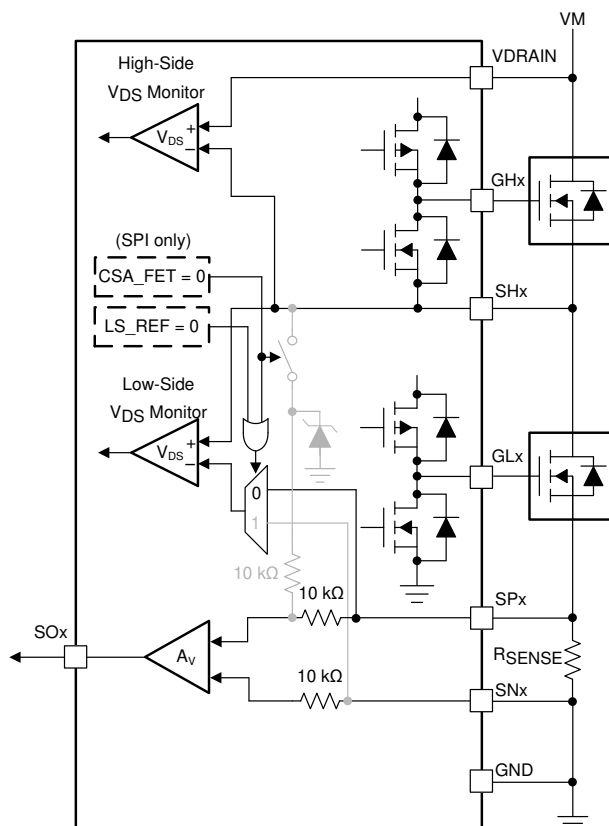
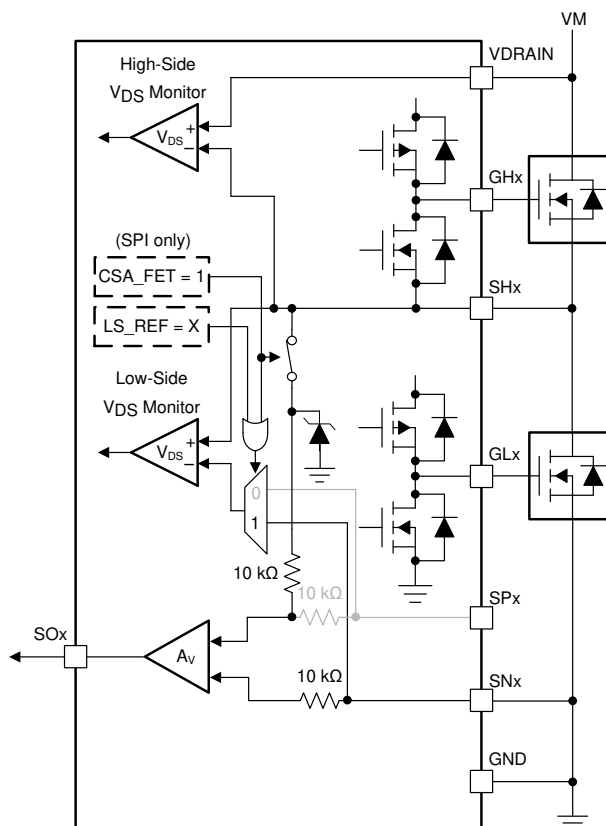


图 8-32. 电阻器感测配置

图 8-33. V_{DS} 电流检测模式

在 MOSFET V_{DS} 电流检测模式下运行时，放大器在 t_{DRIVE} 时间结束时启用。此时，放大器输出连接到 SHx 引脚，SOx 输出有效。当低侧 MOSFET 接收到关闭信号时，放大器输入 SPx 和 SNx 在内部短接在一起。

8.3.5 降压稳压器

DRV8320R 和 DRV8323R 具有集成式降压稳压器 (LMR16006)，可为外部控制器或系统电压轨供电。LMR16006 器件是一款 60V、600mA 降压稳压器。

降压稳压器在轻负载期间具有约极低的静态电流，可延长电池寿命。LMR16006 器件通过实施恒定频率电流模式控制方案来提高在线路和负载瞬态期间的性能，该方案要求更小的输出电容并简化了频率补偿设计。LMR16006 是使用 0.7MHz 开关频率的 LMR16006X 器件版本。

LMR16006 器件通过集成自举再充电二极管来减少外部元件数量。CB 至 SW 引脚连接的电容器为集成式高侧 MOSFET 提供偏置电压。UVLO 电路监测自举电容电压，当自举电压降至低于预设阈值时，高侧 MOSFET 随即关断。

得益于自举 UVLO 功能，LMR16006 器件能够以高占空比运行，然后刷新低功率 (wimp) MOSFET。输出电压可降至与 0.8V 基准等同的低电平。内部软启动功能可更大限度地降低浪涌电流。

有关更多详细信息、显示低功率 MOSFET 的方框图以及设计信息，请参阅[具有高效 Eco-mode 的 LMR16006 SIMPLE SWITCHER® 60V 0.6A 降压稳压器](#)数据表。

8.3.5.1 固定频率 PWM 控制

LMR16006 器件具有固定开关频率，实现峰值电流模式控制。误差放大器驱动内部 COMP 节点，将通过外部电阻在 FB 引脚上产生的输出电压与内部电压基准进行比较。内部振荡器开启高侧电源开关的接通。将误差放大器输出与高侧电源开关电流进行比较。当电源开关电流达到内部 COMP 电压设定的电平时，该电源开关将关闭。内部

COMP 节点电压随着输出电流的增加和减少而升高和降低。该器件通过将 COMP 节点的电压钳位到最大电平来实现限流。

8.3.5.2 自举电压 (CB)

LMR16006 器件具有一个集成式自举稳压器，并且需要在 CB 和 SW 引脚之间连接一个小陶瓷电容器来为高侧 MOSFET 提供栅极驱动电压。当高侧 MOSFET 关断且低侧二极管导通时，CB 电容器充电。为了改善压降，LMR16006 器件设计为当 CB 至 SW 引脚的电压大于 3V 时以 100% 的占空比运行。当从 CB 到 SW 引脚的电压降至小于 3V 时，会使用 UVLO 电路关断高侧 MOSFET，让低侧二极管导通并补充 CB 电容器的电荷。由于 CB 电容器提供的电源电流较低，因此高侧 MOSFET 可以在比充电该电容器所需更多的开关周期内保持导通。因此，开关稳压器的有效占空比很高。在轻负载条件下的最大占空比应用中，必须注意这一点。为了确保 SW 引脚可以拉至接地以充电 CB 电容器，内部电路会在负载较轻或器件在压降条件下工作时为 CB 电容器充电。

8.3.5.3 输出电压设置

输出电压使用反馈引脚 (FB) 和连接到输出端的电阻分压器进行设置，如图 9-1 所示。反馈引脚的电压为 0.765V，因此反馈电阻器的比率根据方程式 5 设置输出电压。

$$V_O = 0.765\text{ V} \times \left(1 + \left[\frac{R_1}{R_2}\right]\right) \quad (5)$$

通常，R2 的起始值为 1kΩ 到 100kΩ。使用方程式 6 计算 R1 的值。

$$R_1 = R_2 \times \left(\left[\frac{V_O}{0.765\text{ V}}\right] - 1\right) \quad (6)$$

8.3.5.4 使能 nSHDN 和 VIN 欠压锁定

LMR16006 器件的 nSHDN 引脚是一个具有内部上拉电路的高电压耐受输入端。即使 nSHDN 引脚悬空，也可以使用 1.23V 或更高的逻辑信号开启稳压器。如果由于系统或其他限制而需要使用更高的电压，建议在施加的电压与 nSHDN 引脚之间使用 100kΩ 或更大值的电阻器，以帮助保护该器件。当 nSHDN 引脚下拉至 0V 时，该器件会关闭并进入最低关断电流模式。在关断模式下，电源电流降至 1μA。如果未使用关断功能，则 nSHDN 引脚可通过 100kΩ 电阻器连接至 VIN 引脚。nSHDN 引脚的最大电压不应超过 60V。LMR16006 器件具有内部 UVLO 电路，可在输入电压降至低于内部固定的 UVLO 阈值电平时关断输出。以这种方式关断输出可确保稳压器不会在低输入电压条件期间锁存为未知状态。当输入电压超过电压电平时，稳压器上电。如果 UVLO 电压必须更高，请使用 nSHDN 引脚通过外部电阻器来调整系统 UVLO。

8.3.5.5 电流限值

LMR16006 器件实现了电流模式控制机制，此机制利用内部 COMP 电压逐周期关断高侧 MOSFET。每个周期都会比较开关电流和内部 COMP 电压。当峰值开关电流超过 COMP 电压时，高侧开关会关断。在将输出电压拉低的过流条件下，误差放大器通过将 COMP 节点驱动为高电平进行响应，从而增加开关电流。误差放大器输出在内部被钳位，使其起到限制开关电流的作用。

8.3.5.6 过压瞬态保护

LMR16006 器件包含过压瞬态保护 (OVTP) 电路，当器件在具有低值输出电容的电源设计中从输出故障条件或强空载瞬态条件恢复时，可以尽可能削弱电压过冲。例如，当电源输出过载时，误差放大器会将实际输出电压与内部基准电压进行比较。如果 FB 引脚的电压在相当长的一段时间内低于内部基准电压，则误差放大器的输出会通过将误差放大器输出钳位到高电压来进行响应，从而请求最大输出电流。该条件清除后，稳压器输出上升，误差放大器输出转换至稳态占空比。在某些应用中，电源的输出电压响应速度可能比误差放大器输出所能响应的速度快，从而可能会导致输出过冲。OVTP 功能通过实施电路将 FB 引脚电压与 OVTP 阈值（即内部电压基准的 108%）进行比较，更大幅度地减少了使用低值输出电容器时的输出过冲。如果 FB 引脚电压高于 OVTP 阈值，高侧 MOSFET 会禁用，避免电流流入输出以及最大限度降低输出过冲。FB 电压降至 OVTP 阈值以下后，高侧 MOSFET 可以在下一时钟周期导通。

8.3.5.7 热关断

器件实现内部热关断功能，以在结温超过 170°C（典型值）时帮助保护器件。结温超过热触发阈值时，热关断功能会强制器件停止开关。结温降低至低于 160°C（典型值）时，器件会重新启动上电序列。

8.3.6 栅极驱动器保护电路

DRV832x 系列器件针对 VM 欠压、电荷泵欠压、MOSFET V_{DS} 过流、栅极驱动器短路和过热事件提供保护。

表 8-7. 故障操作和响应（SPI 器件）

FAULT	条件	配置	报告	栅极驱动器	逻辑	恢复
VM 欠压 (UVLO)	$V_{VM} < V_{UVLO}$	—	nFAULT	高阻态	禁用	自动： $V_{VM} > V_{UVLO}$
电荷泵欠压 (CPUV)	$V_{VCP} < V_{CPUV}$	DIS_CPUV = 0b	nFAULT	高阻态	有效	自动： $V_{VCP} > V_{CPUV}$
		DIS_CPUV = 1b	无	有效	有效	
V_{DS} 过流 (VDS_OCP)	$V_{DS} > V_{VDS_OCP}$	OCP_MODE = 00b	nFAULT	高阻态	有效	锁存： CLR_FLT、ENABLE 脉冲
		OCP_MODE = 01b	nFAULT	高阻态	有效	重试： t_{RETRY}
		OCP_MODE = 10b	nFAULT	有效	有效	无操作
		OCP_MODE = 11b	无	有效	有效	无操作
V_{SENSE} 过流 (SEN_OCP)	$V_{SP} > V_{SEN_OCP}$	OCP_MODE = 00b	nFAULT	高阻态	有效	锁存： CLR_FLT、ENABLE 脉冲
		OCP_MODE = 01b	nFAULT	高阻态	有效	重试： t_{RETRY}
		OCP_MODE = 10b	nFAULT	有效	有效	无操作
		OCP_MODE = 11b 或 DIS_SEN = 1b	无	有效	有效	无操作
栅极驱动器故障 (GDF)	栅极电压在经过 t_{DRIVE} 之后卡滞	DIS_GDF = 0b	nFAULT	高阻态	有效	锁存： CLR_FLT、ENABLE 脉冲
		DIS_GDF = 1b	无	有效	有效	无操作
热警告 (OTW)	$T_J > T_{OTW}$	OTW_REP = 0b	无	有效	有效	无操作
		OTW_REP = 1b	nFAULT	有效	有效	自动： $T_J < T_{OTW} - T_{HYS}$
热关断 (OTSD)	$T_J > T_{OTSD}$	—	nFAULT	高阻态	有效	自动： $T_J < T_{OTSD} - T_{HYS}$

8.3.6.1 VM 电源欠压锁定 (UVLO)

如果在任何时候 VM 引脚上的输入电源电压降低至低于 V_{UVLO} 阈值，则会禁用所有外部 MOSFET，禁用电荷泵，并且 nFAULT 引脚被驱动为低电平。FAULT 和 VM_UVLO 位也会在 SPI 器件的寄存器中被锁存为高电平。VM 欠压条件清除后，器件将再次开始正常运行（栅极驱动器运行且 nFAULT 引脚被释放）。VM_UVLO 位保持设置状态，直到通过 CLR_FLT 位或 ENABLE 引脚复位脉冲 (t_{RST}) 清除。

8.3.6.2 VCP 电荷泵欠压锁定 (CPUV)

如果在任何时候 VCP 引脚（电荷泵）上的电压降低至低于电荷泵的 V_{CPUV} 阈值电压，则会禁用所有外部 MOSFET 并将 nFAULT 引脚驱动至低电平。FAULT 和 CPUV 位也会在 SPI 器件的寄存器中被锁存为高电平。VCP 欠压条件清除后，器件将再次开始正常运行（栅极驱动器运行且 nFAULT 引脚被释放）。CPUV 位保持设置状态，直到通过 CLR_FLT 位或 ENABLE 引脚复位脉冲 (t_{RST}) 清除。在 SPI 器件上，如果将 DIS_CPUV 位设置为高电平，则会禁用该保护功能。在硬件接口器件上，始终启用 CPUV 保护功能。

8.3.6.3 MOSFET V_{DS} 过流保护 (VDS_OCP)

可以通过监测外部 MOSFET $R_{DS(on)}$ 上的 V_{DS} 压降来检测 MOSFET 过流事件。如果启用的 MOSFET 上的电压超过 V_{VDS_OCP} 阈值的时间长于 t_{OCP_DEG} 抗尖峰脉冲时间，则会识别出 VDS_OCP 事件并根据 OCP_MODE 位执行操作。在硬件接口器件上，可以通过 VDS 引脚设置 V_{VDS_OCP} 阈值， t_{OCP_DEG} 固定为 4μs，OCP_MODE 配置为 4ms 自动重试，但可以通过将 VDS 引脚连接到 DVDD 将其禁用。在 SPI 器件上，可以通过 VDS_LVL SPI 寄存器设置 V_{VDS_OCP} 阈值，通过 OCP_DEG SPI 寄存器设置 t_{OCP_DEG} ，而 OCP_MODE 位可以在四种不同的模式下运行： V_{DS} 锁存关断、 V_{DS} 自动重试、 V_{DS} 仅报告以及 V_{DS} 被禁用。

8.3.6.3.1 V_{DS} 锁存关断 (OCP_MODE = 00b)

在该模式下发生 VDS_OCP 事件后，所有外部 MOSFET 都被禁用，并且 nFAULT 引脚被驱动为低电平。当外部 MOSFET 以这种方式被禁用时，驱动器会自动使用较低栅极驱动电流的设置，而不是编程的 IDRIVE 设置。该设置可缓慢关断任何可能存在的大电流，以更大限度地减少由系统中的寄生电感引起的任何电感反冲。FAULT、VDS_OCP 和相应的 MOSFET OCP 位在 SPI 寄存器中被锁存为高电平。VDS_OCP 条件清除并通过 CLR_FLT 位或 ENABLE 复位脉冲 (t_{RST}) 发出清除故障命令后，器件将再次开始正常运行（栅极驱动器运行并释放 nFAULT 引脚）。

8.3.6.3.2 V_{DS} 自动重试 (OCP_MODE = 01b)

在该模式下发生 VDS_OCP 事件后，所有外部 MOSFET 都被禁用，并且 nFAULT 引脚被驱动为低电平。当外部 MOSFET 以这种方式被禁用时，驱动器会自动使用较低栅极驱动电流的设置，而不是编程的 IDRIVE 设置。该设置可缓慢关断任何可能存在的大电流，以更大限度地减少由系统中的寄生电感引起的任何电感反冲。FAULT、VDS_OCP 和相应的 MOSFET OCP 位在 SPI 寄存器中被锁存为高电平。在 t_{RETRY} 时间过后，器件将自动重新开始正常运行（栅极驱动器运行并释放 nFAULT 引脚）。FAULT、VDS_OCP 和 MOSFET OCP 位保持锁存，直到 t_{RETRY} 周期结束。

8.3.6.3.3 V_{DS} 仅报告 (OCP_MODE = 10b)

在该模式下发生 VDS_OCP 事件后不会执行任何保护性操作。可以通过将 nFAULT 引脚驱动为低电平并将 SPI 寄存器中的 FAULT、VDS_OCP 和相应的 MOSFET OCP 位锁定为高电平来报告过流事件。栅极驱动器继续如常运行。外部控制器必须通过适当的操作来管理过流状况。VDS_OCP 条件清除并通过 CLR_FLT 位或 ENABLE 复位脉冲 (t_{RST}) 发出清除故障命令后，报告清除（释放 nFAULT 引脚）。

8.3.6.3.4 V_{DS} 禁用 (OCP_MODE = 11b)

在该模式下发生 VDS_OCP 事件后不会执行任何操作或报告。

8.3.6.4 V_{SENSE} 过流保护 (SEN_OCP)

仍然通过使用 SP 引脚检测外部电流检测电阻上的压降来监测半桥过流。如果在任何时候，CSA 的 SP 输入上的电压超过 V_{SEN_OCP} 阈值的时间长于 t_{OCP_DEG} 抗尖峰脉冲时间，则会识别出 SEN_OCP 事件并根据 OCP_MODE 位执行相应的操作。在硬件接口器件上， V_{SENSE} 阈值固定为 1V， t_{OCP_DEG} 固定为 4 μ s，而 V_{SENSE} 的 OCP_MODE 固定为 4ms 自动重试。在 SPI 器件上，可以通过 SEN_LVL SPI 寄存器设置 V_{SENSE} 阈值，通过 OCP_DEG SPI 寄存器设置 t_{OCP_DEG} ，OCP_MODE 位可以在四种不同的模式下运行： V_{SENSE} 锁存关断、 V_{SENSE} 自动重试、 V_{SENSE} 仅报告以及 V_{SENSE} 被禁用。

8.3.6.4.1 V_{SENSE} 锁存关断 (OCP_MODE = 00b)

在该模式下发生 SEN_OCP 事件后，所有外部 MOSFET 都被禁用，并且 nFAULT 引脚被驱动为低电平。FAULT 和 SEN_OCP 位将在 SPI 寄存器中被锁存为高电平。SEN_OCP 条件清除并通过 CLR_FLT 位或 ENABLE 复位脉冲 (t_{RST}) 发出清除故障命令后，器件将再次开始正常运行（栅极驱动器运行并释放 nFAULT 引脚）。

8.3.6.4.2 V_{SENSE} 自动重试 (OCP_MODE = 01b)

在该模式下发生 SEN_OCP 事件后，所有外部 MOSFET 都被禁用，并且 nFAULT 引脚被驱动为低电平。FAULT、SEN_OCP 和相应的检测 OCP 位在 SPI 寄存器中被锁存为高电平。在 t_{RETRY} 时间过后，器件将自动重新开始正常运行（栅极驱动器运行并释放 nFAULT 引脚）。FAULT、SEN_OCP 和检测 OCP 位保持锁存，直到 t_{RETRY} 周期结束。

8.3.6.4.3 V_{SENSE} 仅报告 (OCP_MODE = 10b)

在该模式下发生 SEN_OCP 事件后不会执行任何保护性操作。可以通过将 nFAULT 引脚驱动为低电平并将 SPI 寄存器中的 FAULT 和 SEN_OCP 位锁定为高电平来报告过流事件。栅极驱动器继续运行。外部控制器通过适当的操作来管理过流状况。SEN_OCP 条件清除并通过 CLR_FLT 位或 ENABLE 复位脉冲 (t_{RST}) 发出清除故障命令后，报告清除（释放 nFAULT）。

8.3.6.4.4 V_{SENSE} 禁用 ($OC_MODE = 1b$ 或 $DIS_SEN = 1b$)

在该模式下发生 SEN_OCP 事件后不会执行任何操作。通过使用 DIS_SEN SPI 寄存器，可以独立于 VDS_OCP 位禁用 SEN_OCP 位。

8.3.6.5 栅极驱动器故障 (GDF)

会对 GHx 和 GLx 引脚进行监测，如果外部 MOSFET 栅极上的电压在 t_{DRIVE} 时间后未增大或减小，则表示检测到栅极驱动器故障。如果 GHx 或 GLx 引脚短接到 $PGND$ 、 SHx 或 VM 引脚，则可能会遇到该故障。此外，如果所选的 I_{DRIVE} 设置值不足以在 t_{DRIVE} 周期内开启外部 MOSFET，则可能会遇到栅极驱动器故障。检测到栅极驱动器故障后，会禁用所有外部 MOSFET，并且会将 $nFAULT$ 引脚驱动为低电平。此外， $FAULT$ 、 GDF 和相应的 VGS 位在 SPI 寄存器中被锁存为高电平。栅极驱动器故障条件清除并通过 CLR_FLT 位或 $ENABLE$ 复位脉冲 (t_{RST}) 发出清除故障命令后，器件将再次开始正常运行（栅极驱动器运行并释放 $nFAULT$ 引脚）。在 SPI 器件上，将 DIS_GDF 位设置为高电平会禁用该保护功能。

栅极驱动器故障可能表明所选的 I_{DRIVE} 或 t_{DRIVE} 设置值过低，无法在所需的时间内转换外部 MOSFET。在这些情况下，增大 I_{DRIVE} 或 t_{DRIVE} 设置值可以解决栅极驱动器故障。或者，如果外部 MOSFET 发生栅源短路，则会由于 MOSFET 栅极未开启而报告栅极驱动器故障。

8.3.6.6 热警告 (OTP) (仅限 SPI)

如果内核温度超过热警告 (T_{OTW}) 的跳变点，则会在 SPI 器件的寄存器中设置 OTW 位。器件不会执行任何其他操作，并且会继续运行。当内核温度降至低于热警告的迟滞点时， OTW 位会自动清除。如果通过 SPI 寄存器将 OTW_REP 位设为 1，那么还可以将 OTW 位配置为通过 $nFAULT$ 引脚进行报告。

8.3.6.7 热关断 (OTSD)

如果内核温度超过热关断限值 (T_{OTSD}) 的跳变点，则会禁用所有外部 MOSFET，关闭电荷泵，并将 $nFAULT$ 引脚驱动为低电平。此外， $FAULT$ 和 TSD 位会被锁存为高电平。过热条件清除后，器件将重新开始正常运行（栅极驱动器运行且 $nFAULT$ 引脚被释放）。 TSD 位保持锁存为高电平，指示发生了热事件，直到通过 CLR_FLT 位或 $ENABLE$ 复位脉冲 (t_{RST}) 发出清除故障命令为止。无法禁用此保护功能。

8.4 器件功能模式

8.4.1 栅极驱动器功能模式

8.4.1.1 睡眠模式

$ENABLE$ 引脚用于管理 DRV832x 系列器件的状态。当 $ENABLE$ 引脚为低电平时，该器件将进入低功耗睡眠模式。在睡眠模式下，所有栅极驱动器、检测放大器（如果存在）、所有外部 MOSFET、电荷泵、 $DVDD$ 稳压器和 SPI 总线均被禁用。 $LMR16006X$ 降压稳压器（如果存在）并非由 $ENABLE$ 引脚控制，可独立于栅极驱动器运行。必须在 $ENABLE$ 引脚触发下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。

备注

在 $ENABLE$ 引脚变为低电平后， $INHx$ 和 $INLx$ 引脚应在 t_{RST} （最大值 $40\ \mu s$ ）之前处于低电平，以防止在任何栅极为高电平时 GHx 和 GLx 输出进入高阻态。

图 8-34 显示了在 $ENABLE$ 引脚变为低电平后，如果 $INHx$ 和 $INLx$ 引脚在驱动器输出忽略输入（ $ENABLE$ 变为低电平后 $50\ \mu s$ ）之前已处于低电平，该器件的行为。当器件开始进入睡眠模式的过程时， GHx 和 GLx 引脚将保持低电平。图 8-35 显示了在驱动器输出忽略输入之前未将输入 PWM 拉低时的器件行为。在 $ENABLE$ 引脚变为低电平后， GHx 和 GLx 引脚将跟随输入 $50\ \mu s$ ，然后将变为高阻态，直到 $ENABLE$ 引脚变为低电平后 $nFAULT$ 变为低电平长达 $400\ \mu s$ 。为了避免这种行为，在 $ENABLE$ 引脚变为低电平后， $INHx$ 和 $INLx$ 引脚应在 t_{RST} （最大值 $40\ \mu s$ ）之前处于低电平，如图 8-34 所示，以避免在任何栅极输出为高电平时 GHx 和 GLx 输出进入高阻态。

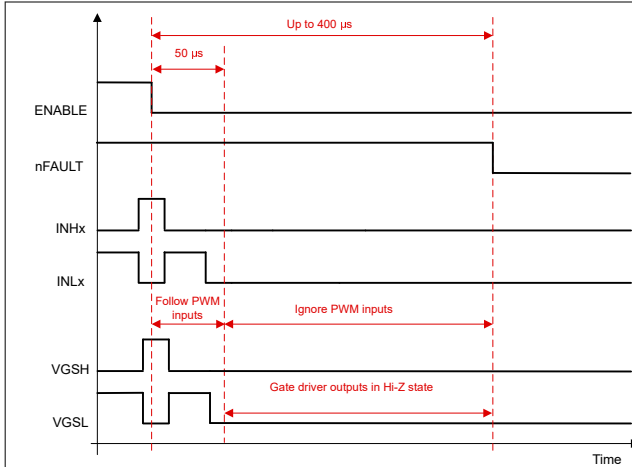


图 8-34. ENABLE 低电平时序图：在忽略 PWM 输入之前输入为低电平

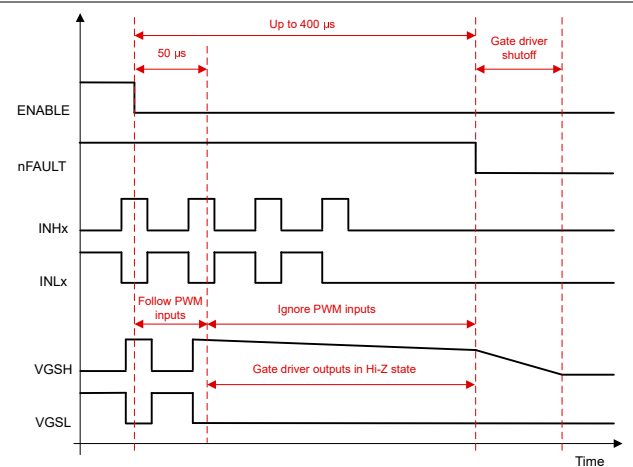


图 8-35. ENABLE 低电平时序图：ENABLE 引脚变为低电平后输入继续切换 50 µs

如果 ENABLE 引脚被拉至高电平，那么该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

在睡眠模式下，当 $V_{VM} < V_{UVLO}$ 时，所有外部 MOSFET 都被禁用。高侧栅极引脚 GHx 由内部下拉电阻器拉至 SHx 引脚，低侧栅极引脚 GLx 由内部下拉电阻器拉至 PGND 引脚。

备注

在器件通过 ENABLE 引脚上电和下电期间，nFAULT 引脚保持低电平，因为内部稳压器使能或禁用。启用或禁用稳压器后，nFAULT 引脚会自动释放。nFAULT 引脚处于低电平的持续时间不超过 t_{SLEEP} 或 t_{WAKE} 时间。

8.4.1.2 运行模式

当 ENABLE 引脚为高电平且 V_{VM} 电压大于 V_{UVLO} 电压时，器件将进入运行模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。在该模式下，电荷泵、低侧栅极稳压器、DVDD 稳压器和 SPI 总线处于活动状态。

8.4.1.3 故障复位 (CLR_FLT 或 ENABLE 复位脉冲)

在器件存在锁存故障的情况下，DRV832x 系列器件会进入部分关断状态，以帮助保护外部功率 MOSFET 和系统。

清除故障条件后，器件可以通过设置 SPI 器件上的 CLR_FLT SPI 位或向任一接口型号上的 ENABLE 引脚发出复位脉冲来重新进入运行状态。ENABLE 复位脉冲 (t_{RST}) 由 ENABLE 引脚上的从高到低到高的转换组成。序列的低电平周期应在 t_{RST} 时间窗口内，否则器件将启动完整的关断序列。复位脉冲对任何稳压器、器件设置或其他功能块都没有影响。

8.4.2 降压稳压器功能模式

8.4.2.1 连续导通模式 (CCM)

LMR16006 集成式降压稳压器将输入电压降至较低的输出电压。在连续导通模式下（此时，电感器电流在 CCM 下从不会达到零），降压稳压器将以两个周期运行。在 VIN 和 SW 引脚之间连接一个电源开关。在第一个工作周期中，晶体管闭合，二极管反向偏置。能量在电感器中机具，负载电流由 C_{OUT} 电容器和流经电感器的上升电流共同提供。在第二个工作周期中，晶体管打开，二极管正向偏置，因为电感器电流无法瞬时改变方向。存储在电感器中的能量传输到负载和输出电容器。这两个周期的比率决定了输出电压。方程式 7 和方程式 8 定义近似输出电压。

$$D = \frac{V_O}{V_{IN}} \quad (7)$$

其中

- D 是开关应用的占空比

$$D' = (1 - D) \quad (8)$$

设计计算需要 D 和 D' 的值。

8.4.2.2 Eco-mode™ 控制方案

LMR16006 器件在轻负载电流条件下以 Eco-mode 控制方案运行，通过减少开关损耗和栅极驱动损耗来提高效率。LMR16006 器件的设计原理是：如果输出电压处于稳压范围内，并且任一开关周期结束时的峰值开关电流小于睡眠电流阈值 ($I_{INDUCTOR} \leq 80\text{mA}$)，则器件进入 Eco-mode。对于 Eco-mode 运行，LMR16006 器件检测峰值电流，而不是平均电流或负载电流，因此器件进入 Eco-mode 时的负载电流取决于输入电压、输出电压以及输出电感值。当负载电流较低且输出电压处于稳压范围内时，器件进入 Eco-mode，仅消耗 28μA 的输入静态电流。

8.5 编程

本节仅适用于 DRV832x SPI 器件。

8.5.1 SPI 通信

8.5.1.1 SPI

在 DRV832x SPI 器件上，SPI 总线用于设置器件配置、运行参数和读取诊断信息。SPI 采用辅助模式工作并连接到主控制器。SPI 输入数据 (SDI) 字中包含一个 16 位的字 (包括一条 5 位命令和 11 位数据)。SPI 输出数据 (SDO) 字由 11 位寄存器数据组成。前 5 位不用考虑位。

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平转换为低电平，以及从低电平转换为高电平时，SCLK 引脚应该为低电平。
- nSCS 引脚在两个字之间被拉为高电平的时间至少应为 400ns。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态。
- 数据会在 SCLK 引脚的下降沿被捕捉，并在 SCLK 引脚的上升沿被传输。
- 最高有效位 (MSB) 最先移入和移出。
- 必须历经完整的 16 个 SCLK 周期，事务才有效。
- 如果发送到 SDI 引脚的数据字少于 16 位或多于 16 位，则会发生帧错误并且数据字会被忽略。
- 对于写命令，寄存器中要写入的现有数据会在 5 位命令数据之后在 SDO 引脚上移出。

当器件上电、进入睡眠模式和发生 UVLO 故障时，SPI 寄存器会复位为默认设置。

8.5.1.1.1 SPI 格式

SDI 输入数据的字长为 16 位，包含以下格式：

- 1 个读取或写入位，W (位 B15)
- 4 个地址位，A (位 B14 至 B11)
- 11 个数据位，D (位 B10 到 B0)

SDO 输出数据的字长为 16 位，前 5 位是不用考虑位。数据字是所访问的寄存器的内容。

对于写命令 (W0 = 0)，SDO 引脚上的响应字是当前被写入的寄存器中的数据。

对于读命令 (W0 = 1)，响应字是当前被读取的寄存器中的数据。

表 8-8. SDI 输入数据字格式

R/W	地址					DATA										
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	

表 8-8. SDI 输入数据字格式 (续)

R/W	地址				DATA											
W0	A3	A2	A1	A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	

表 8-9. SDO 输出数据字格式

不用考虑位					DATA										
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
X	X	X	X	X	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

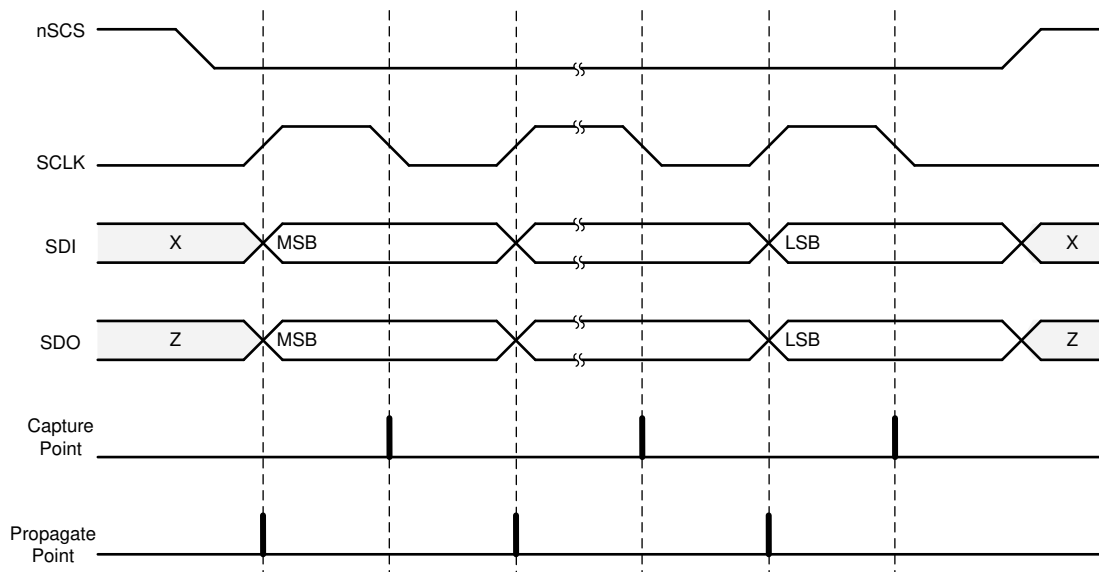


图 8-36. SPI 辅助时序图

8.6 寄存器映射

本节仅适用于 DRV832x SPI 器件。

备注

请勿修改未在寄存器映射中列出的保留寄存器或地址 (表 8-10)。写入这些寄存器可能会产生意外的影响。对于所有保留位，默认值为 0。为帮助防止来自主控制器的错误 SPI 写入，请设置 LOCK 位以锁定 SPI 寄存器。

表 8-10. DRV832xS 和 DRV832xRS 寄存器映射

名称	10	9	8	7	6	5	4	3	2	1	0	类型	地址
DRV8320S 和 DRV8320RS													
故障状态 1	FAULT	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC	R	0h
VGS 状态 2	SA_OC	SB_OC	SC_OC	OTW	CPUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC	R	1h
驱动器控制	保留	DIS_CPUV	DIS_GDF	OTW_REP	PWM_MODE		1PWM_COM	1PWM_DIR	COAST	BRAKE	CLR_FLT	RW	2h
栅极驱动 HS	LOCK			IDRIVEP_HS				IDRIVEN_HS				RW	3h
栅极驱动 LS	CBC	TDRIVE		IDRIVEP_LS				IDRIVEN_LS				RW	4h
OCP 控制	TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL				RW	5h
保留	保留											RW	6h
保留	保留											RW	7h
DRV8323S 和 DRV8323RS													
故障状态 1	FAULT	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC	R	0h
VGS 状态 2	SA_OC	SB_OC	SC_OC	OTW	CPUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC	R	1h
驱动器控制	保留	DIS_CPUV	DIS_GDF	OTW_REP	PWM_MODE		1PWM_COM	1PWM_DIR	COAST	BRAKE	CLR_FLT	RW	2h
栅极驱动 HS	LOCK			IDRIVEP_HS				IDRIVEN_HS				RW	3h
栅极驱动 LS	CBC	TDRIVE		IDRIVEP_LS				IDRIVEN_LS				RW	4h
OCP 控制	TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL				RW	5h
CSA 控制	CSA_FET	VREF_DIV	LS_REF	CSA_GAIN		DIS_SEN	CSA_CAL_A	CSA_CAL_B	CSA_CAL_C	SEN_LVL		RW	6h
保留	保留											RW	7h

8.6.1 状态寄存器

状态寄存器用于报告警告和故障状况。状态寄存器是只读寄存器。

复杂的位访问类型经过编码可适应小型表单元。表 8-11 展示了适用于此部分中访问类型的代码。

表 8-11. 状态寄存器访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
复位或默认值		
-n		复位后的值或默认值

8.6.1.1 故障状态寄存器 1 (地址 = 0x00)

图 8-37 展示了故障状态寄存器 1，表 8-12 对其进行了说明。

寄存器访问类型：只读

图 8-37. 故障状态寄存器 1

10	9	8	7	6	5	4	3	2	1	0
FAULT	VDS_OCP	GDF	UVLO	OTSD	VDS_HA	VDS_LA	VDS_HB	VDS_LB	VDS_HC	VDS_LC
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-12. 故障状态寄存器 1 字段说明

位	字段	类型	默认值	说明
10	FAULT	R	0b	故障状态寄存器的逻辑或。对应 nFAULT 引脚。
9	VDS_OCP	R	0b	指示 VDS 监视器过流故障情况
8	GDF	R	0b	指示栅极驱动故障情况
7	UVLO	R	0b	指示欠压锁定故障情况
6	OTSD	R	0b	指示过热关断
5	VDS_HA	R	0b	指示 A 高侧 MOSFET 上的 VDS 过流故障
4	VDS_LA	R	0b	指示 A 低侧 MOSFET 上的 VDS 过流故障
3	VDS_HB	R	0b	指示 B 高侧 MOSFET 上的 VDS 过流故障
2	VDS_LB	R	0b	指示 B 低侧 MOSFET 上的 VDS 过流故障
1	VDS_HC	R	0b	指示 C 高侧 MOSFET 上的 VDS 过流故障
0	VDS_LC	R	0b	指示 C 低侧 MOSFET 上的 VDS 过流故障

8.6.1.2 故障状态寄存器 2 (地址 = 0x01)

图 8-38 展示了故障状态寄存器 2，表 8-13 对其进行了说明。

寄存器访问类型：只读

图 8-38. 故障状态寄存器 2

10	9	8	7	6	5	4	3	2	1	0
SA_OC	SB_OC	SC_OC	OTW	CPUV	VGS_HA	VGS_LA	VGS_HB	VGS_LB	VGS_HC	VGS_LC
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 8-13. 故障状态寄存器 2 字段说明

位	字段	类型	默认值	说明
10	SA_OC	R	0b	指示 A 相检测放大器 (DRV8323xS) 上的过流
9	SB_OC	R	0b	指示 B 相检测放大器 (DRV8323xS) 上的过流
8	SC_OC	R	0b	指示 C 相检测放大器 (DRV8323xS) 上的过流
7	OTW	R	0b	指示过热警告
6	CPUV	R	0b	指示电荷泵欠压故障情况
5	VGS_HA	R	0b	指示 A 高侧 MOSFET 上的栅极驱动故障
4	VGS_LA	R	0b	指示 A 低侧 MOSFET 上的栅极驱动故障
3	VGS_HB	R	0b	指示 B 高侧 MOSFET 上的栅极驱动故障
2	VGS_LB	R	0b	指示 B 低侧 MOSFET 上的栅极驱动故障
1	VGS_HC	R	0b	指示 C 高侧 MOSFET 上的栅极驱动故障
0	VGS_LC	R	0b	指示 C 低侧 MOSFET 上的栅极驱动故障

8.6.2 控制寄存器

控制寄存器用于配置器件。控制寄存器支持读写。

复杂的位访问类型经过编码可适应小型表单元。表 8-14 展示了适用于此部分中访问类型的代码。

表 8-14. 控制寄存器访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

8.6.2.1 驱动器控制寄存器 (地址 = 0x02)

图 8-39 展示了驱动器控制寄存器，表 8-15 对其进行了说明。

寄存器访问类型：读取/写入

图 8-39. 驱动器控制寄存器

10	9	8	7	6	5	4	3	2	1	0
保留	DIS_CPUV	DIS_GDF	OTW_REP	PWM_MODE		1PWM_COM	1PWM_DIR	COAST	BRAKE	CLR_FLT
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-00b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-15. 驱动器控制字段说明

位	字段	类型	默认值	说明
10	保留	R/W	0b	保留
9	DIS_CPUV	R/W	0b	0b = 已使能电荷泵 UVLO 故障 1b = 已禁用电荷泵 UVLO 故障
8	DIS_GDF	R/W	0b	0b = 已启用栅极驱动故障 1b = 已禁用栅极驱动故障
7	OTW_REP	R/W	0b	0b = 未在 nFAULT 或 FAULT 位上报告 OTW 1b = 在 nFAULT 和 FAULT 位上报告 OTW
6-5	PWM_MODE	R/W	00b	00b = 6x PWM 模式 01b = 3x PWM 模式 10b = 1x PWM 模式 11b = 独立 PWM 模式
4	1PWM_COM	R/W	0b	0b = 1x PWM 模式使用同步整流 1b = 1x PWM 模式使用异步整流 (二极管续流)
3	1PWM_DIR	R/W	0b	在 1x PWM 模式下，该位与 INHC (DIR) 输入进行或运算
2	COAST	R/W	0b	向该位写入 1 可将所有 MOSFET 置于高阻态
1	BRAKE	R/W	0b	向该位写入 1 可在 1x PWM 模式下开启所有三个低侧 MOSFET。 该位与 INLC (BRAKE) 输入进行或运算。
0	CLR_FLT	R/W	0b	向该位写入 1 可清除锁存故障位。 该位在写入后自动复位。

8.6.2.2 栅极驱动 HS 寄存器 (地址 = 0x03)

图 8-40 展示了栅极驱动 HS 寄存器，表 8-16 对其进行了说明。

寄存器访问类型：读取/写入

图 8-40. 栅极驱动 HS 寄存器

10	9	8	7	6	5	4	3	2	1	0
LOCK			IDRIVEP_HS				IDRIVEN_HS			
R/W-011b			R/W-1111b				R/W-1111b			

表 8-16. 栅极驱动 HS 字段说明

位	字段	类型	默认值	说明
10-8	LOCK	R/W	011b	写入 110b 以锁定设置值，除了这些位和地址 0x02 位 0-2，忽略后续寄存器写入。 写入除 110b 之外的任何序列在解锁时都没有任何影响。 向此寄存器写入 011b 以解锁所有寄存器。 写入除 011b 之外的任何序列在锁定时都没有任何影响。
7-4	IDRIVEP_HS	R/W	1111b	0000b = 10mA 0001b = 30mA 0010b = 60mA 0011b = 80mA 0100b = 120mA 0101b = 140mA 0110b = 170mA 0111b = 190mA 1000b = 260mA 1001b = 330mA 1010b = 370mA 1011b = 440mA 1100b = 570mA 1101b = 680mA 1110b = 820mA 1111b = 1000mA
3-0	IDRIVEN_HS	R/W	1111b	0000b = 20mA 0001b = 60mA 0010b = 120mA 0011b = 160mA 0100b = 240mA 0101b = 280mA 0110b = 340mA 0111b = 380mA 1000b = 520mA 1001b = 660mA 1010b = 740mA 1011b = 880mA 1100b = 1140mA 1101b = 1360mA 1110b = 1640mA 1111b = 2000mA

8.6.2.3 栅极驱动 LS 寄存器 (地址 = 0x04)

图 8-41 展示了栅极驱动 LS 寄存器，表 8-17 对其进行了说明。

寄存器访问类型：读取/写入

图 8-41. 栅极驱动 LS 寄存器

10	9	8	7	6	5	4	3	2	1	0
CBC	TDRIVE		IDRIVEP_LS				IDRIVEN_LS			
R/W-1b	R/W-11b		R/W-1111b				R/W-1111b			

表 8-17. 栅极驱动 LS 寄存器字段说明

位	字段	类型	默认值	说明
10	CBC	R/W	1b	逐周期操作。在重试 OCP_MODE 时，对于 VDS_OCP 和 SEN_OCP，会在提供 PWM 输入时自动清除故障
9-8	TDRIVE	R/W	11b	00b = 500ns 峰值栅极电流驱动时间 01b = 1000ns 峰值栅极电流驱动时间 10b = 2000ns 峰值栅极电流驱动时间 11b = 4000ns 峰值栅极电流驱动时间
7-4	IDRIVEP_LS	R/W	1111b	0000b = 10mA 0001b = 30mA 0010b = 60mA 0011b = 80mA 0100b = 120mA 0101b = 140mA 0110b = 170mA 0111b = 190mA 1000b = 260mA 1001b = 330mA 1010b = 370mA 1011b = 440mA 1100b = 570mA 1101b = 680mA 1110b = 820mA 1111b = 1000mA
3-0	IDRIVEN_LS	R/W	1111b	0000b = 20mA 0001b = 60mA 0010b = 120mA 0011b = 160mA 0100b = 240mA 0101b = 280mA 0110b = 340mA 0111b = 380mA 1000b = 520mA 1001b = 660mA 1010b = 740mA 1011b = 880mA 1100b = 1140mA 1101b = 1360mA 1110b = 1640mA 1111b = 2000mA

8.6.2.4 OCP 控制寄存器 (地址 = 0x05)

图 8-42 展示了 OCP 控制寄存器，表 8-18 对其进行了说明。

寄存器访问类型：读取/写入

图 8-42. OCP 控制寄存器

10	9	8	7	6	5	4	3	2	1	0
TRETRY	DEAD_TIME		OCP_MODE		OCP_DEG		VDS_LVL			
R/W-0b	R/W-01b		R/W-01b		R/W-01b		R/W-1001b			

表 8-18. OCP 控制字段说明

位	字段	类型	默认值	说明
10	TRETRY	R/W	0b	0b = VDS_OCP 和 SEN_OCP 重试时间为 4ms 1b = VDS_OCP 和 SEN_OCP 重试时间为 50μs
9-8	DEAD_TIME	R/W	01b	00b = 50ns 死区时间 01b = 100ns 死区时间 10b = 200ns 死区时间 11b = 400ns 死区时间
7-6	OCP_MODE	R/W	01b	00b = 过流导致锁存故障 01b = 过流导致自动重试故障 10b = 仅报告过流，不执行任何操作 11b = 不报告过流并且不执行任何操作
5-4	OCP_DEG	R/W	01b	00b = 2μs 过流抗尖峰脉冲时间 01b = 4μs 过流抗尖峰脉冲时间 10b = 6μs 过流抗尖峰脉冲时间 11b = 8μs 过流抗尖峰脉冲时间
3-0	VDS_LVL	R/W	1001b	0000b = 0.06V 0001b = 0.13V 0010b = 0.2V 0011b = 0.26V 0100b = 0.31V 0101b = 0.45V 0110b = 0.53V 0111b = 0.6V 1000b = 0.68V 1001b = 0.75V 1010b = 0.94V 1011b = 1.13V 1100b = 1.3V 1101b = 1.5V 1110b = 1.7V 1111b = 1.88V

8.6.2.5 CSA 控制寄存器 (仅限 DRV8323x) (地址 = 0x06)

图 8-43 展示了 CSA 控制寄存器，表 8-19 对其进行了说明。

寄存器访问类型：读取/写入

仅 DRV8323x 系列器件提供该寄存器。

图 8-43. CSA 控制寄存器

10	9	8	7	6	5	4	3	2	1	0
CSA_FET	VREF_DIV	LS_REF		CSA_GAIN	DIS_SEN	CSA_CAL_A	CSA_CAL_B	CSA_CAL_C		SEN_LVL
R/W-0b	R/W-1b	R/W-0b		R/W-10b	R/W-0b	R/W-0b	R/W-0b	R/W-0b		R/W-11b

表 8-19. CSA 控制字段说明

位	字段	类型	默认值	说明
10	CSA_FET	R/W	0b	0b = 电流检测放大器正输入为 SPx 1b = 电流检测放大器正输入为 SHx (同时自动将 LS_REF 位设置为 1)
9	VREF_DIV	R/W	1b	0b = 电流检测放大器基准电压为 VREF (单向模式) 1b = 电流检测放大器基准电压为 VREF 除以 2
8	LS_REF	R/W	0b	0b = 在 SHx 到 SPx 之间测量低侧 MOSFET 的 VDS_OCP 1b = 在 SHx 到 SNx 之间测量低侧 MOSFET 的 VDS_OCP
7-6	CSA_GAIN	R/W	10b	00b = 5V/V 电流检测放大器增益 01b = 10V/V 电流检测放大器增益 10b = 20V/V 电流检测放大器增益 11b = 40V/V 电流检测放大器增益
5	DIS_SEN	R/W	0b	0b = 已启用感测过流故障 1b = 已禁用感测过流故障
4	CSA_CAL_A	R/W	0b	0b = 正常电流检测放大器 A 操作 1b = 将电流检测放大器 A 的输入短接，以进行失调电压校准
3	CSA_CAL_B	R/W	0b	0b = 正常电流检测放大器 B 操作 1b = 将电流检测放大器 B 的输入短接，以进行失调电压校准
2	CSA_CAL_C	R/W	0b	0b = 正常电流检测放大器 C 操作 1b = 将电流检测放大器 C 的输入短接，以进行失调电压校准
1-0	SEN_LVL	R/W	11b	00b = 感测 OCP 0.25V 01b = 感测 OCP 0.5V 10b = 感测 OCP 0.75V 11b = 感测 OCP 1V

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

DRV832x 系列器件主要用于三相无刷直流电机控制应用。节 9.2 中的设计过程重点介绍了如何使用和配置 DRV832x 系列器件。

9.2 典型应用

9.2.1 主要应用

此应用示例中使用了 DRV8323R SPI 器件。

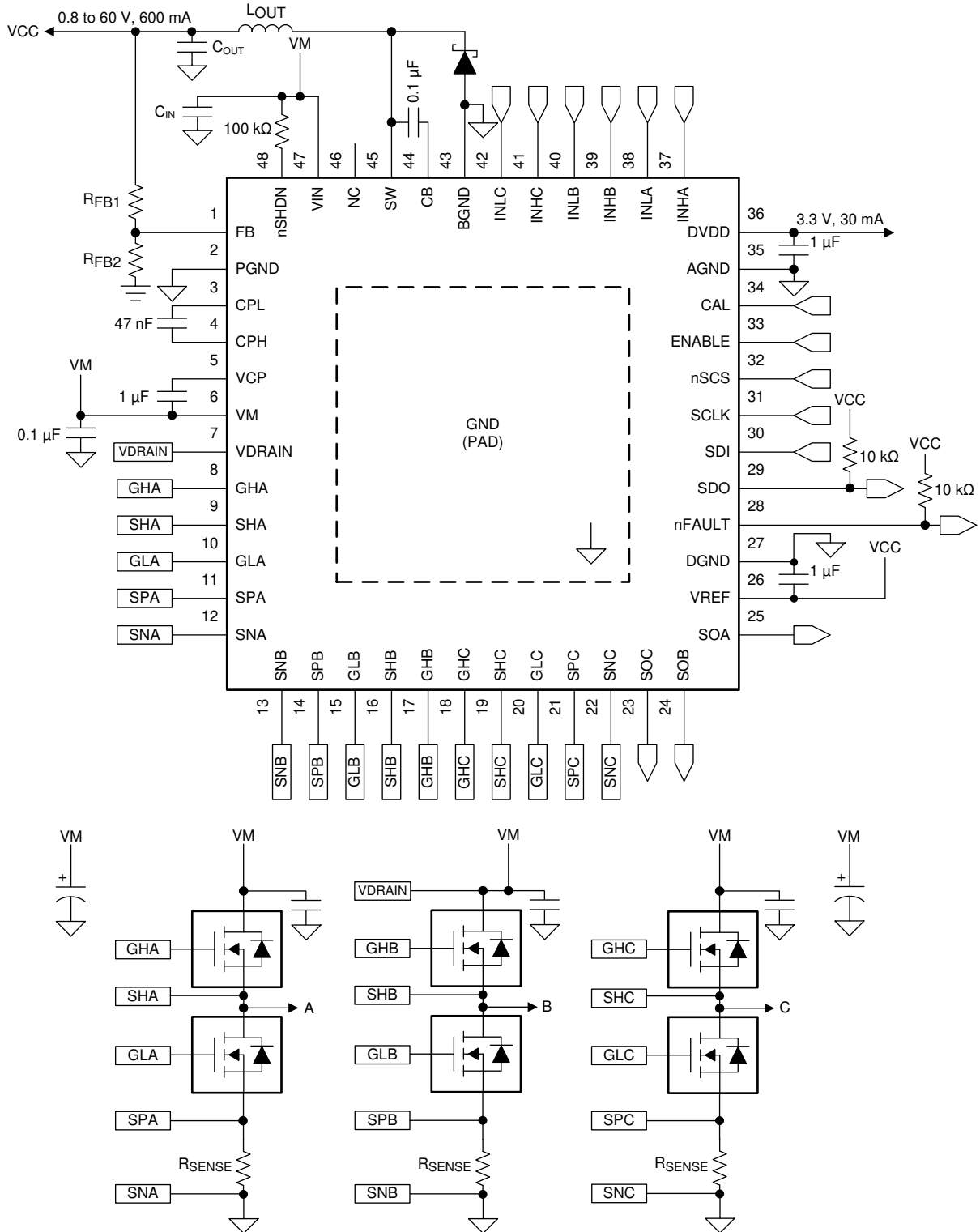


图 9-1. 主要应用原理图

9.2.1.1 设计要求

表 9-1 列出了系统设计的输入参数示例。

表 9-1. 设计参数

示例设计参数	基准	示例值
标称电源电压	V_{VM}	24V
电源电压范围		8V 至 45V
MOSFET 器件型号		CSD18536KCS
MOSFET 总栅极电荷	Q_g	$V_{VGS} = 10V$ 时为 83nC (典型值)
MOSFET 栅漏极电荷	Q_{gd}	14nC (典型值)
目标输出上升时间	t_r	100 至 300ns
目标输出下降时间	t_f	50 至 150ns
PWM 频率	f_{PWM}	45kHz
降压稳压器输出电压	V_{VCC}	3.3V
最大电机电流	I_{max}	100A
ADC 基准电压	V_{VREF}	3.3V
绕组感测电流范围	I_{SENSE}	-40A 至 +40A
电机均方根电流	I_{RMS}	28.3A
感测电阻额定功率	P_{SENSE}	2W
系统环境温度	T_A	-20°C 至 +105°C

9.2.1.2 详细设计过程

9.2.1.2.1 外部 MOSFET 支持

DRV832x MOSFET 的支持是基于电荷泵的容量和输出的 PWM 开关频率。如需快速计算 MOSFET 驱动能力，对于三相 BLDC 电机应用，请使用方程式 9 和方程式 10。

$$\text{Trapezoidal } 120^\circ \text{ Commutation: } I_{VCP} > Q_g \times f_{PWM} \quad (9)$$

其中

- f_{PWM} 是理想 PWM 开关频率最大值。
- I_{VCP} 是电荷泵容量，取决于 VM 引脚电压。
- 基于换向控制方法的倍数可能因实施方式不同而异。

$$\text{Sinusoidal } 180^\circ \text{ Commutation: } I_{VCP} > 3 \times Q_g \times f_{PWM} \quad (10)$$

9.2.1.2.1.1 示例

如果 V_{VM} 电压为 8V ($I_{VCP} = 15mA$) 的系统使用 45kHz 的最大 PWM 开关频率，则电荷泵可以支持使用梯形换向且 Q_g 小于 333nC 的 MOSFET，以及使用正弦换向且 Q_g 小于 111nC 的 MOSFET。

9.2.1.2.2 IDRIVE 配置

栅极驱动电流 I_{DRIVE} 的强度是根据外部 MOSFET 的栅漏电荷以及输出的目标上升和下降时间来选择的。如果对于给定的 MOSFET 所选 I_{DRIVE} 过低，则该 MOSFET 可能无法在 t_{DRIVE} 时间内完全导通，并且可以断定出现栅极驱动故障。此外，较长的上升和下降时间会导致更高的开关功率损耗。如果对于给定的 MOSFET/布局，选择的 I_{DRIVE} 过高，则栅源电压可能会过冲、下冲或过度回勾，从而可能超出器件的 ABS MAX 并损坏驱动器或 FET。TI 建议结合所需的外部 MOSFET 和电机在系统中调整这些值，以确定适用于任何应用的适当设置。

在 SPI 器件上，可以通过 SPI 寄存器独立调节低侧和高侧 MOSFET 的 I_{DRIVEP} 和 I_{DRIVEN} 电流。在硬件接口器件上，同时在 IDRIVE 引脚上选择拉电流和灌电流设置值。

对于具有已知栅漏电荷 Q_{gd} 、所需上升时间 (t_r) 和所需下降时间 (t_f) 的 MOSFET，可使用[方程式 11](#) 和[方程式 12](#) 分别计算 I_{DRIVEP} 和 I_{DRIVEN} 的值。

$$I_{DRIVEP} > \frac{Q_{gd}}{t_r} \quad (11)$$

$$I_{DRIVEN} > \frac{Q_{gd}}{t_f} \quad (12)$$

9.2.1.2.2.1 示例

对于 14nC 的栅漏电荷以及 100 至 300ns 的上升时间，可以使用[方程式 13](#) 和[方程式 14](#) 分别计算 $I_{DRIVEP1}$ 和 $I_{DRIVEP2}$ 的值。

$$I_{DRIVEP1} = \frac{14 \text{ nC}}{100 \text{ ns}} = 140 \text{ mA} \quad (13)$$

$$I_{DRIVEP2} = \frac{14 \text{ nC}}{300 \text{ ns}} = 47 \text{ mA} \quad (14)$$

为 I_{DRIVEP} 选择介于 47mA 和 140mA 之间的值。在本例中，选择 120mA 拉电流作为 I_{DRIVEP} 的值。

对于 14nC 的栅漏电荷以及 50 至 150ns 的下降时间，可以使用[方程式 15](#) 和[方程式 16](#) 分别计算 $I_{DRIVEN1}$ 和 $I_{DRIVEN2}$ 的值。

$$I_{DRIVEN1} = \frac{14 \text{ nC}}{50 \text{ ns}} = 280 \text{ mA} \quad (15)$$

$$I_{DRIVEN2} = \frac{14 \text{ nC}}{150 \text{ ns}} = 93 \text{ mA} \quad (16)$$

为 I_{DRIVEN} 选择介于 93mA 和 280mA 之间的值。在本例中，选择 240mA 灌电流作为 I_{DRIVEN} 的值。

9.2.1.2.3 V_{DS} 过流监视器配置

V_{DS} 监视器是根据最坏情况下的电机电流以及外部 MOSFET 的 $R_{DS(on)}$ 配置的，如[方程式 17](#) 所示。

$$V_{DS_OCP} > I_{max} \times R_{DS(on)max} \quad (17)$$

9.2.1.2.3.1 示例

本示例的目标是将 V_{DS} 监视器设置为在大于 100A 的电流时触发。根据 [CSD18536KCS 60V N 沟道 NexFET™ 功率 MOSFET 数据表](#)，175°C 时的 $R_{DS(on)}$ 值高出 1.8 倍， V_{GS} 为 10V 时的最大 $R_{DS(on)}$ 值为 $1.6 \text{ m}\Omega$ 。根据这些值，近似最坏情况的 $R_{DS(on)}$ 值为 $1.8 \times 1.6 \text{ m}\Omega = 2.88 \text{ m}\Omega$ 。

使用[方程式 17](#)，并使 $R_{DS(on)}$ 的值为 $2.88 \text{ m}\Omega$ ，最坏情况下的电机电流为 100A，[方程式 18](#) 展示了计算得出的 V_{DS} 监视器的值。

$$V_{DS_OCP} > 100 \text{ A} \times 2.88 \text{ m}\Omega \rightarrow V_{DS_OCP} > 0.288 \text{ V} \quad (18)$$

在本例中，选择 0.31V 作为 V_{DS_OCP} 的值。

SPI 器件允许调整 V_{DS} 过流监视器的抗尖峰脉冲时间。可以将抗尖峰脉冲时间设置为 2μs、4μs、6μs 或 8μs。

9.2.1.2.4 检测放大器双向配置 (DRV8323 和 DRV8323R)

DRV8323 和 DRV8323R 器件上的检测放大器增益和检测电阻值是根据目标电流范围、VREF 电压电源、检测电阻器的额定功率以及工作温度范围选择的。对于检测放大器的双向运行模式，输出动态范围的近似计算方法如[方程式 19](#) 所示。

$$V_O = (V_{VREF} - 0.25 V) - \frac{V_{VREF}}{2} \quad (19)$$

可以使用 [方程式 20](#) 计算所选检测电阻的近似值，使用 [方程式 19](#) 计算 V_O 。

$$R = \frac{V_O}{A_V \times I} \quad P_{SENSE} > I_{RMS}^2 \times R \quad (20)$$

通过 [方程式 19](#) 和 [方程式 20](#)，根据目标检测电阻的额定功率选择目标增益设置值。

9.2.1.2.4.1 示例

在此系统示例中， V_{REF} 电压的值为 3.3V，检测电流范围为 -40 至 +40A。SOx 输出的线性范围为 0.25V 至 $V_{VREF} - 0.25V$ （根据 V_{LINEAR} 规格）。检测放大器输入的差分范围为 -0.3 至 +0.3V (V_{DIFF})。

$$V_O = (3.3 V - 0.25 V) - \frac{3.3 V}{2} = 1.4 V \quad (21)$$

$$R = \frac{1.4 V}{A_V \times 40 A} \quad 2 W > 28.3^2 \times R \rightarrow R < 2.5 m\Omega \quad (22)$$

$$2.5 m\Omega > \frac{1.4 V}{A_V \times 40 A} \rightarrow A_V > 14 \quad (23)$$

因此，必须选择 20V/V 或 40V/V 作为增益设置，并且检测电阻器的值必须小于 2.5m Ω ，以满足检测电阻器的额定功率要求。在本例中，选择了 20V/V 作为增益设置。对于电阻值和最坏情况下的电流，可以验证 $R < 2.5m\Omega$ 且 $I_{max} = 40A$ 不违反电流检测放大器输入 (V_{SPxD}) 的差分范围规格。

9.2.1.2.5 降压稳压器配置 (DRV8320R 和 DRV8323R)

有关详细设计过程和选择正确降压稳压器外部元件的信息，请参阅 [具有高效 Eco-mode 的 LMR16006 SIMPLE SWITCHER® 60V 0.6A 降压稳压器](#) 数据表。

9.2.1.3 应用曲线

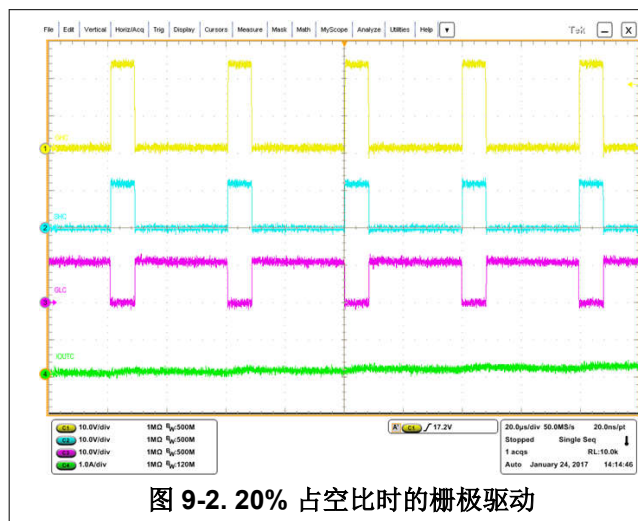


图 9-2. 20% 占空比时的栅极驱动

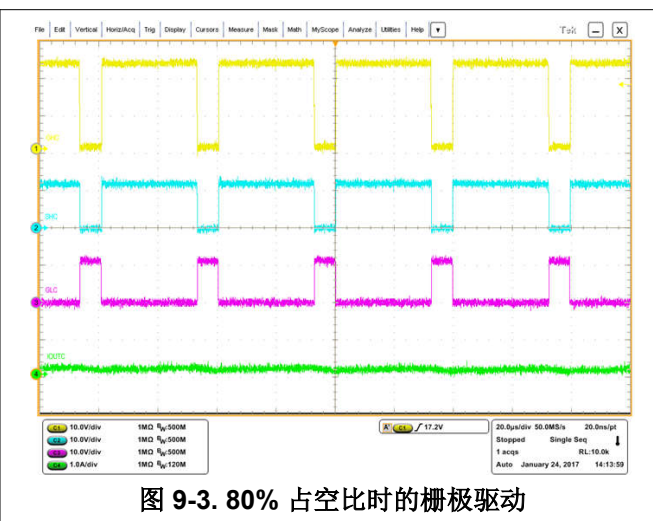


图 9-3. 80% 占空比时的栅极驱动

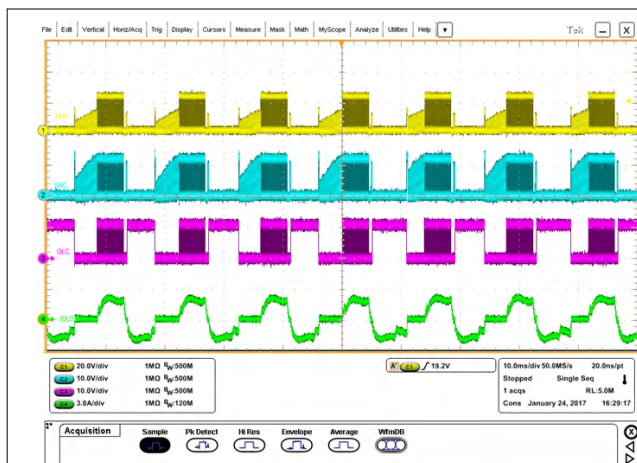


图 9-4. BLDC 电机换向 1000 RPM

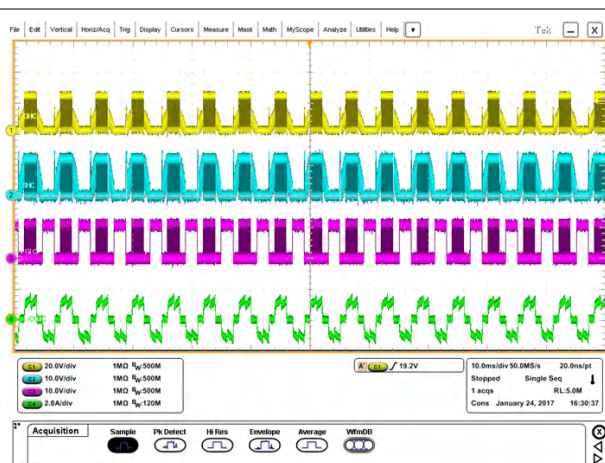


图 9-5. BLDC 电机换向 2000 RPM

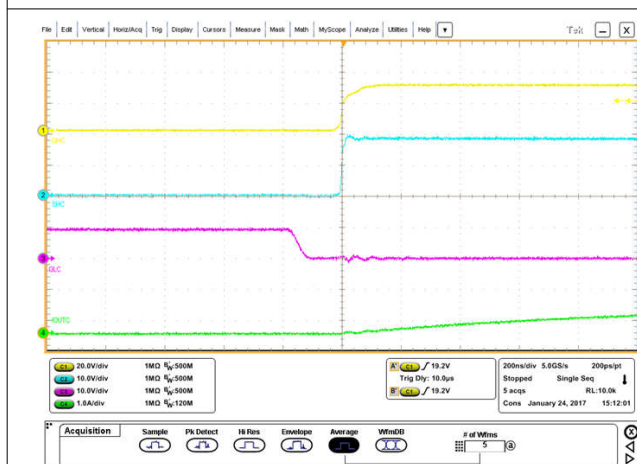


图 9-6. IDRIVE 正电流最大设置值

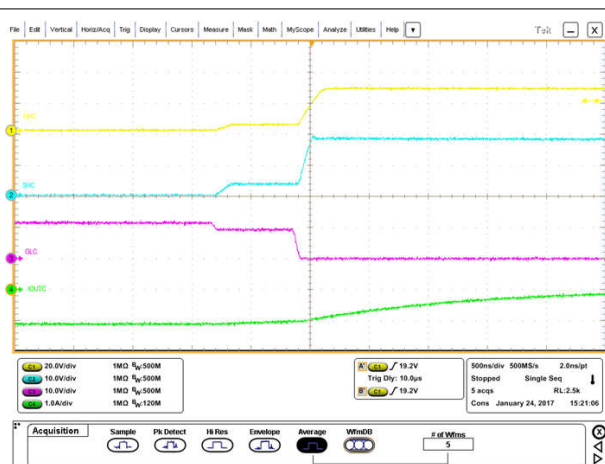


图 9-7. IDRIVE 负电流最大设置值

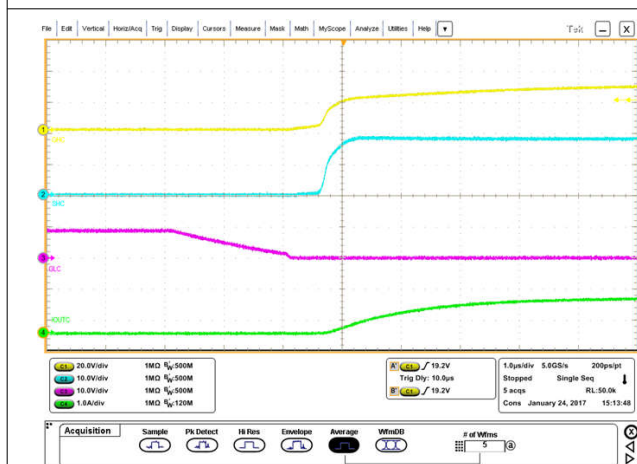


图 9-8. IDRIVE 正电流最小设置值

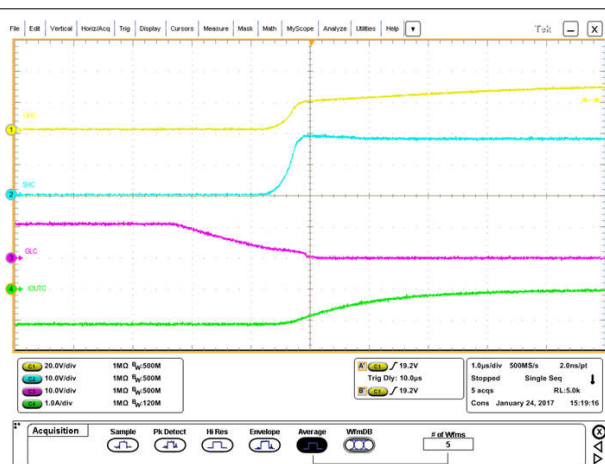


图 9-9. IDRIVE 负电流最小设置值

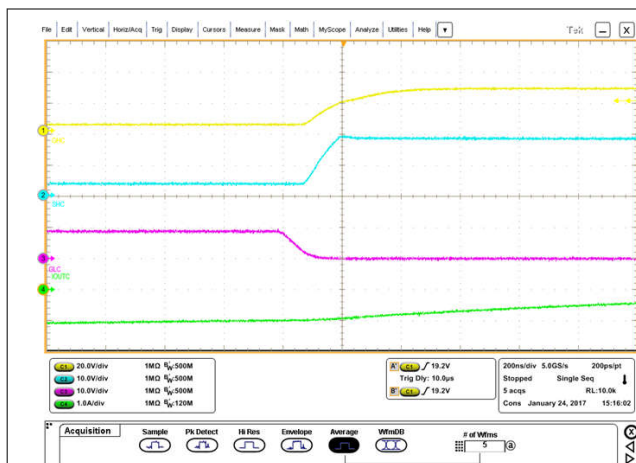


图 9-10. 流出 SHx 的电流，IDRIVE_P = 260mA 且 IDRIVE_N = 520mA

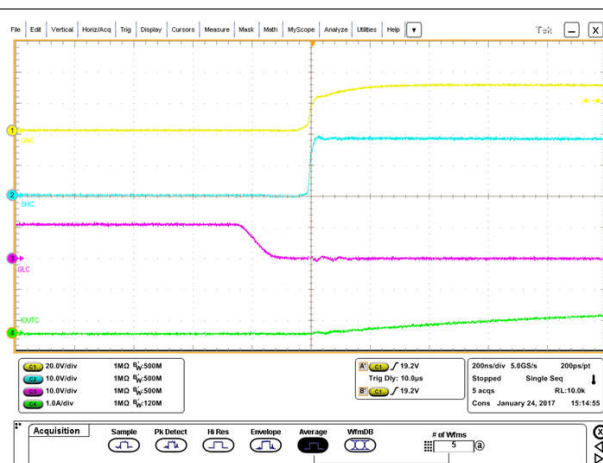


图 9-11. 流入 SHx 的电流，IDRIVE_P = 260mA 且 IDRIVE_N = 520mA

9.2.2 备选应用

该应用中在单向模式下使用一个感测放大器，用于梯形或基于霍尔效应的 BLDC 换向控制中经常使用的求和电流检测方案。

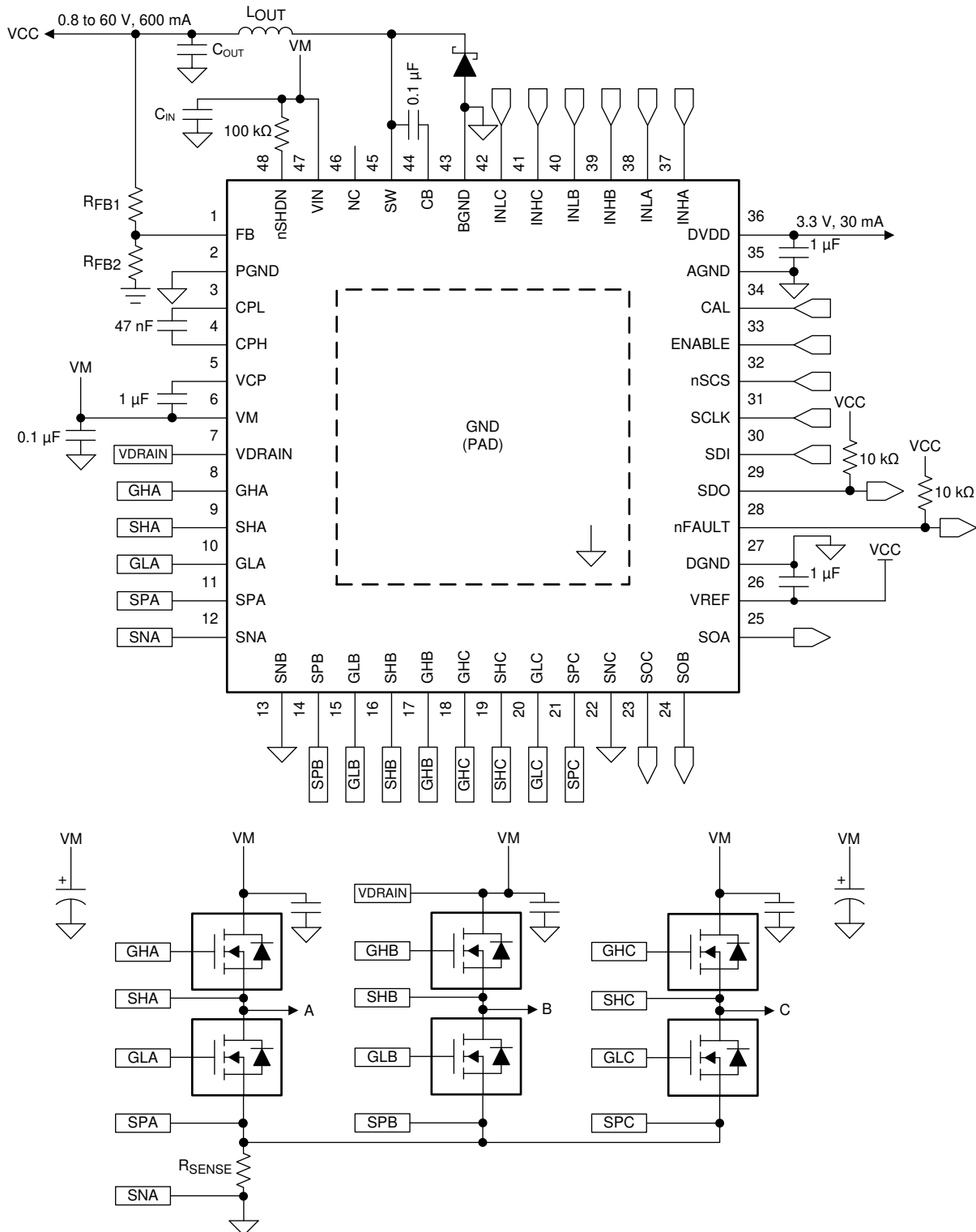


图 9-12. 备选应用原理图

9.2.2.1 设计要求

表 9-2 列出了系统设计的示例设计输入参数。

表 9-2. 设计参数

示例设计参数	基准	示例值
ADC 基准电压	V_{VREF}	3.3V
检测到的电流	I_{SENSE}	0A 至 40A
电机均方根电流	I_{RMS}	28.3A
感测电阻额定功率	P_{SENSE}	3W
系统环境温度	T_A	-20°C 至 +105°C

9.2.2.2 详细设计过程

9.2.2.2.1 感测放大器单向配置

通过向 SPI 器件上寄存器的 $VREF_DIV$ 位写入 0，可以将感测放大器配置为单向。

感测放大器增益和感测电阻值是根据目标电流范围、 $VREF$ 、感测电阻器的额定功率以及工作温度范围选择的。感测放大器单向运行时，可以使用 [方程式 24](#) 来计算输出动态范围的近似值。

$$V_O = (V_{VREF} - 0.25 V) - 0.25 V = V_{VREF} - 0.5 V \quad (24)$$

可以使用 [方程式 25](#) 来计算所选感测电阻的近似值。

$$R = \frac{V_O}{A_V \times I} \quad P_{SENSE} > I_{RMS}^2 \times R \quad (25)$$

其中

- $V_O = V_{VREF} - 0.5 V$

使用 [方程式 24](#) 和 [方程式 25](#)，根据目标感测电阻的额定功率选择目标增益设置值。

9.2.2.2.1.1 示例

在本系统示例中， $VREF$ 电压的值为 3.3V，检测电流为 0 至 40A。DRV8323x 器件的 SOx 输出线性范围为 0.25V 至 $V_{VREF} - 0.25V$ （根据 V_{LINEAR} 规格）。检测放大器输入的差分范围为 -0.3 至 +0.3V (V_{DIFF})。

$$V_O = 3.3 V - 0.5 V = 2.8 V \quad (26)$$

$$R = \frac{2.8 V}{A_V \times 40 A} \quad 3 W > 28.3^2 \times R \rightarrow R < 3.75 m\Omega \quad (27)$$

$$3.75 m\Omega > \frac{2.8 V}{A_V \times 40 A} \rightarrow A_V > 18.7 \quad (28)$$

因此，必须选择 20V/V 或 40V/V 作为增益设置，并且感测电阻器的值必须小于 3.75m Ω ，以满足感测电阻器的额定功率要求。在本例中，选择了 20V/V 作为增益设置。对于电阻值和最坏情况下的电流，可以验证 $R < 3.75 m\Omega$ 和 $I_{max} = 40A$ 不违反检测放大器输入 (V_{SPxD}) 的差分范围规格。

9.2.3 未使用的引脚和功能

本节详细说明了如何正确处理器件中未使用的引脚和模块。如果不使用 CSA 或降压稳压器等功能，请查看本节以获取指导。

表 9-3. 未使用的引脚和功能

未使用的功能	相关引脚	建议
未使用的半桥	GHx 和 GLx	浮点
	PWM 输入	连接到 GND 或悬空
	SHx	浮点
未使用的 HS 或 LS (单独)	SHx/INHx/INLx/GHx/GLx	请参阅 独立 PWM 模式
未使用的 CSA	SPx 和 SNx	连接至 GND
	SOx	浮点
	VREF	连接到 DVDD
未使用的降压稳压器	所有引脚	连接到 GND，移除所有外部元件
未使用的 SPI	SDI/SDO/nSCS/SCLK	浮点

10 电源相关建议

DRV832x 系列器件设计为在 6V 至 60V 的输入电源电压 (VM) 范围内运行。额定电压为 VM 的 0.1 μ F 陶瓷电容器必须尽可能靠近器件放置。此外, 必须在 VM 引脚上连接一个大容量电容器, 但可以将其与外部功率 MOSFET 的大容量旁路电容共用。需要使用额外的大容量电容来旁路外部半桥 MOSFET, 并且应该根据应用要求来确定该电容的大小。

10.1 发电机模式下的电源注意事项

当 BLDC 或 PMSM 电机的电机轴通过外力转动时, 电机绕组将在电机输入端产生电压。这种情况称为发电机模式或电机反向驱动。在发电机模式下, 可在器件的 SHx 引脚上观察到正电压。如果 VDRAIN 和 VM 之间存在开关 (图 10-1 中的 SW_{VDRAIN}), 并且系统中存在以下情况, 则需要检查 VCP 相对于 VM 的绝对最大电压;

- 发生器模式
- SW_{VDRAIN} 已关闭
- VM 和 VCP 为低电压 (例如 VM = 0V)

如果 SHx 电压 (V_{SHx}) 超过 VCP 电压, 由于器件内部二极管 D1 和 D2 (或 D3) 的存在, VCP 电压将开始跟随 V_{SHx}。如果 VCP - VM 电压超过 DRV832x 的绝对最大电压, 则 ESD 二极管 D4 开始导通, 并通过二极管 D2、D1 和 D4 产生从 SHx 到 VM 的大电流。为避免这种情况, 建议在 VDRAIN 和 VM 之间添加一个外部二极管 D_{VDRAIN_VM}。

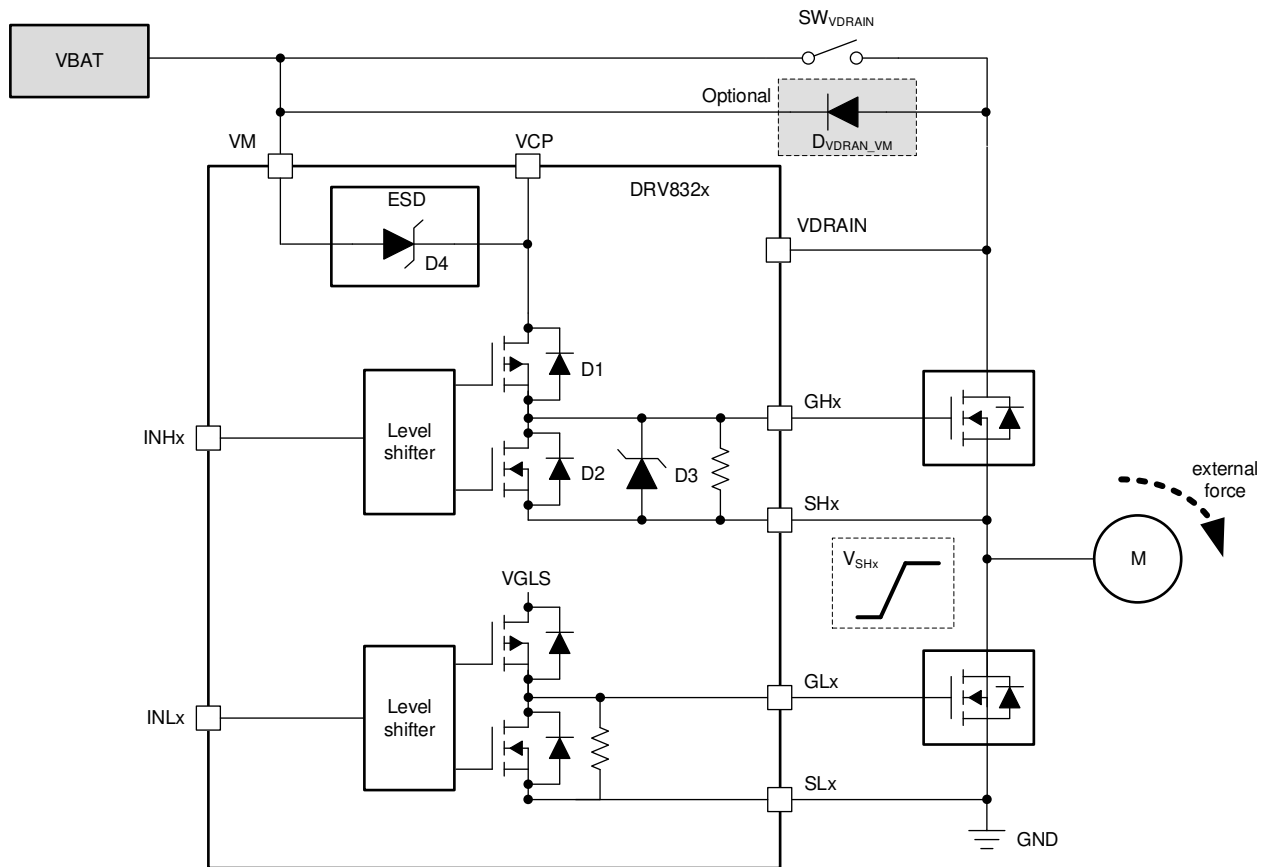


图 10-1. 发电机模式下的电源注意事项

10.2 确定大容量电容器的大小

配备合适的局部大容量电容是电机驱动系统设计中的一重要因素。使用更多的大容量电容通常是有益的, 但缺点是增加了成本和物理尺寸。所需的局部电容量取决于多种因素, 包括:

- 电机系统所需的最高电流
- 电源的类型、电容和拉电流的能力
- 电源和电机系统之间的寄生电感量
- 可接受的电源电压纹波
- 电机类型（有刷直流、无刷直流、步进电机）
- 电机启动和制动方法

电源和电机驱动系统之间的电感会限制电源的电流变化速率。如果局部大容量电容太小，系统将以电压变化的方式对电机中的电流不足或过剩电流作出响应。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表给出了建议的最小值，但需要进行系统级测试来确定大小适中的大容量电容器。

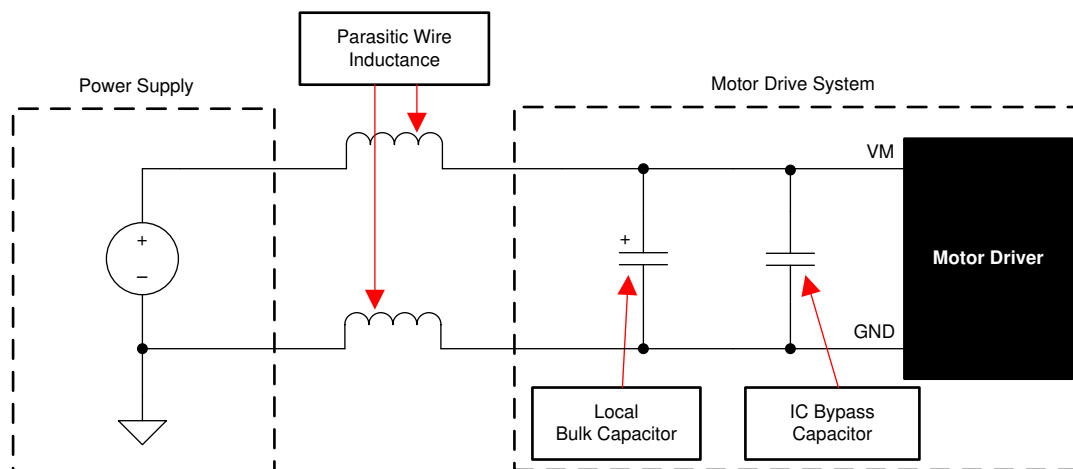


图 10-2. 电机驱动电源寄生效应示例

11 布局

11.1 布局指南

使用推荐容值为 $0.1\mu\text{F}$ 的低 ESR 陶瓷旁路电容器将 VM 引脚旁路至 PGND 引脚。将该电容器放置在尽可能靠近 VM 引脚的位置，并通过较宽的引线或通过接地平面连接到 PGND 引脚。此外，使用额定电压为 VM 的大容量电容器旁路 VM 引脚。该元件可以是电解电容器。其容值必须至少为 $10\mu\text{F}$ 。

需要额外的大容量电容来旁路掉外部 MOSFET 上的大电流路径。放置此大容量电容时应做到尽可能缩短通过外部 MOSFET 的大电流路径的长度。连接金属走线应尽可能宽，并具有许多连接 PCB 层的过孔。这些做法尽可能地减小了电感并使大容量电容器提供高电流。

在 CPL 和 CPH 引脚之间放置一个低 ESR 陶瓷电容器。该电容器的容值应为 47nF ，额定电压为 VM，类型为 X5R 或 X7R。此外，在 VCP 和 VM 引脚之间放置一个低 ESR 陶瓷电容器。该电容器的容值应为 $1\mu\text{F}$ ，额定电压为 25V，类型为 X5R 或 X7R。

使用容值为 $1\mu\text{F}$ 、额定电压为 6.3V 且类型为 X5R 或 X7R 的低 ESR 陶瓷电容器将 DVDD 引脚旁路至 AGND 引脚。将此电容器尽可能靠近引脚放置，并尽量缩短从电容器到 AGND 引脚的路径。

VDRAIN 引脚可以直接短接到 VM 引脚。但是，如果器件和外部 MOSFET 之间的距离很大，请使用专用迹线连接到高侧外部 MOSFET 的漏极公共点。请勿将 SLx 引脚直接连接到 PGND，而是应该使用专用迹线将这些引脚连接到低侧外部 MOSFET 的源极。遵循这些建议有助于更准确地感测外部 MOSFET 的 V_{DS} 以实现过流检测。

尽可能地缩短高侧和低侧栅极驱动器的回路长度。高侧环路是从器件的 GHx 引脚到高侧功率 MOSFET 栅极，然后沿着高侧 MOSFET 源极返回到 SHx 引脚。低侧环路是从器件的 GLx 引脚到低侧功率 MOSFET 栅极，然后沿着低侧 MOSFET 源极返回到 PGND 引脚。栅极和源极布线的尺寸应足以承载全部 I_{DRIVE} 电流，并应避免层更改和过孔。这些技术应减小栅极和源极节点中的电感，这将有助于确保出色的性能和效率。在低侧路径中应格外小心，因为电感过大可导致 VGLS 稳压器过冲，从而可能使 FET V_{GS} 承受过大应力。

有关其他布局指南和示例，请参阅 [DRV832x 系列三相智能栅极驱动器布局指南应用报告](#) 和 [电机驱动器电路板布局最佳实践应用报告](#)。

11.1.1 降压稳压器布局指南

好的布局是衡量电源设计的一个重要部分。用户可根据下面的指南设计一个 PCB，实现出色的功率转换和热性能，并更大限度地减小不必要的电磁干扰 (EMI)：

- 将反馈网络电阻器放置在靠近 FB 引脚的位置并远离电感器，以更大限度地减少进入反馈引脚的耦合噪声。
- 将输入旁路电容器放置在靠近 VIN 引脚的位置，以减小覆铜线迹电阻，从而减小影响器件的输入电压纹波。
- 电感器必须靠近 SW 引脚放置，以减少磁噪声和静电噪声。
- 将输出电容器放置在靠近电感器和二极管连接处的位置。电感器、二极管和 C_{OUT} 布线应尽可能短，以减少传导和辐射噪声并提高整体效率。
- 二极管、 C_{VIN} 和 C_{OUT} 的接地连接必须尽可能小，并仅在一处（最好在 C_{OUT} 接地点）将其连接到系统接地平面，从而尽可能减少系统接地层中的传导噪声。

有关开关电源布局注意事项的更多详细信息，请参阅 [AN-1149 开关电源布局指南应用报告](#)。

11.2 布局示例

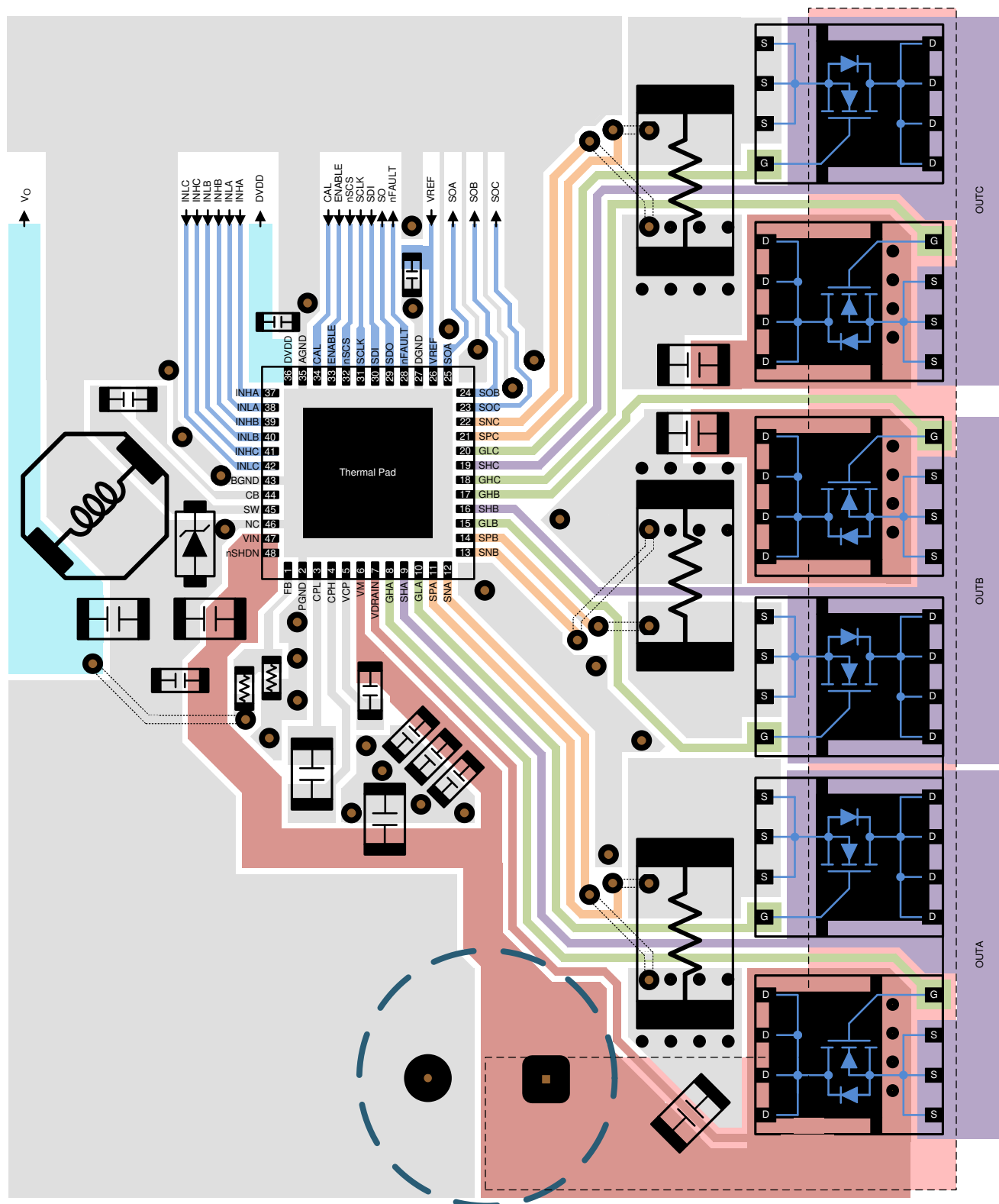


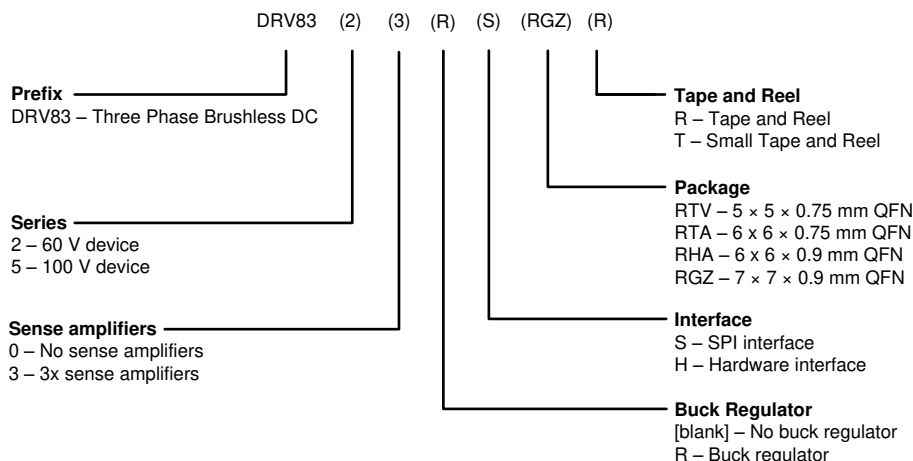
图 11-1. 布局示例

12 器件和文档支持

12.1 器件支持

12.1.1 器件命名规则

下图显示了说明完整器件名称的图例：



12.2 文档支持

12.2.1 相关文档

- 德州仪器 (TI), [无刷直流栅极驱动系统的架构应用报告](#)
- 德州仪器 (TI), [具有高效 Eco-mode 的 LMR16006 SIMPLE SWITCHER® 60V 0.6A 降压稳压器 数据表](#)
- 德州仪器 (TI), [DRV832x 系列三相智能栅极驱动器布局指南 应用报告](#)
- 德州仪器 (TI), [AN-1149 开关电源布局指南 应用报告](#)
- 德州仪器 (TI), [《了解 TI 电机栅极驱动器中的 IDRIVE 和 TDRIVE》应用报告](#)
- 德州仪器 (TI), [《采用 TI 智能栅极驱动技术缩减电机驱动 BOM 和 PCB 面积》TI 技术手册](#)
- 德州仪器 (TI), [《采用 TI 智能栅极驱动技术降低 EMI 辐射发射》TI 技术手册](#)
- 德州仪器 (TI), [采用 TI 智能栅极驱动技术进行电机驱动保护 TI 技术手册](#)
- 德州仪器 (TI), [QFN/SON PCB 连接 应用报告](#)
- 德州仪器 (TI), [大电流电机驱动应用中的切断开关 应用报告](#)
- 德州仪器 (TI), [采用 BLDC 电机的高效真空吸尘器硬件设计注意事项 应用报告](#)
- 德州仪器 (TI), [采用 BLDC 电机的电动自行车硬件设计注意事项 应用报告](#)
- 德州仪器 (TI), [采用 MSP430™ 的传感器式三相 BLDC 电机控制 应用报告](#)

12.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

12.5 商标

Eco-mode™, NexFET™, and MSP430™ are trademarks of Texas Instruments.
TI E2E™ is a trademark of Texas Instruments.

SIMPLE SWITCHER® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

12.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8320HRTVR	Active	Production	WQFN (RTV) 32	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320H
DRV8320HRTVR.A	Active	Production	WQFN (RTV) 32	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320H
DRV8320HRTVT	Active	Production	WQFN (RTV) 32	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320H
DRV8320HRTVT.A	Active	Production	WQFN (RTV) 32	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320H
DRV8320HRTVTG4	Active	Production	WQFN (RTV) 32	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320H
DRV8320HRTVTG4.A	Active	Production	WQFN (RTV) 32	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320H
DRV8320RHRHAR	Active	Production	VQFN (RHA) 40	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RH
DRV8320RHRHAR.A	Active	Production	VQFN (RHA) 40	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RH
DRV8320RHRHAT	Active	Production	VQFN (RHA) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RH
DRV8320RHRHAT.A	Active	Production	VQFN (RHA) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RH
DRV8320RSRHAR	Active	Production	VQFN (RHA) 40	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RS
DRV8320RSRHAR.A	Active	Production	VQFN (RHA) 40	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RS
DRV8320RSRHAT	Active	Production	VQFN (RHA) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RS
DRV8320RSRHAT.A	Active	Production	VQFN (RHA) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8320RS
DRV8320SRTVR	Active	Production	WQFN (RTV) 32	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320S
DRV8320SRTVR.A	Active	Production	WQFN (RTV) 32	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8320S
DRV8320SRTVT	Active	Production	WQFN (RTV) 32	250 SMALL T&R	Yes	Call TI Nipdau	Level-2-260C-1 YEAR	-40 to 125	DRV8320S
DRV8320SRTVT.A	Active	Production	WQFN (RTV) 32	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8320S
DRV8323HRTAR	Active	Production	WQFN (RTA) 40	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323H
DRV8323HRTAR.A	Active	Production	WQFN (RTA) 40	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323H
DRV8323HRTAT	Active	Production	WQFN (RTA) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323H
DRV8323HRTAT.A	Active	Production	WQFN (RTA) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323H
DRV8323RHrgzr	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RH

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8323RHRGZR.A	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RH
DRV8323RHRGZT	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RH
DRV8323RHRGZT.A	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RH
DRV8323RSRGZR	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RS
DRV8323RSRGZR.A	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RS
DRV8323RSRGZRG4	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RS
DRV8323RSRGZRG4.A	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RS
DRV8323RSRGZT	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RS
DRV8323RSRGZT.A	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8323RS
DRV8323SRTAR	Active	Production	WQFN (RTA) 40	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323S
DRV8323SRTAR.A	Active	Production	WQFN (RTA) 40	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323S
DRV8323SRTARG4	Active	Production	WQFN (RTA) 40	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323S
DRV8323SRTARG4.A	Active	Production	WQFN (RTA) 40	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323S
DRV8323SRTAT	Active	Production	WQFN (RTA) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323S
DRV8323SRTAT.A	Active	Production	WQFN (RTA) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV8323S

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

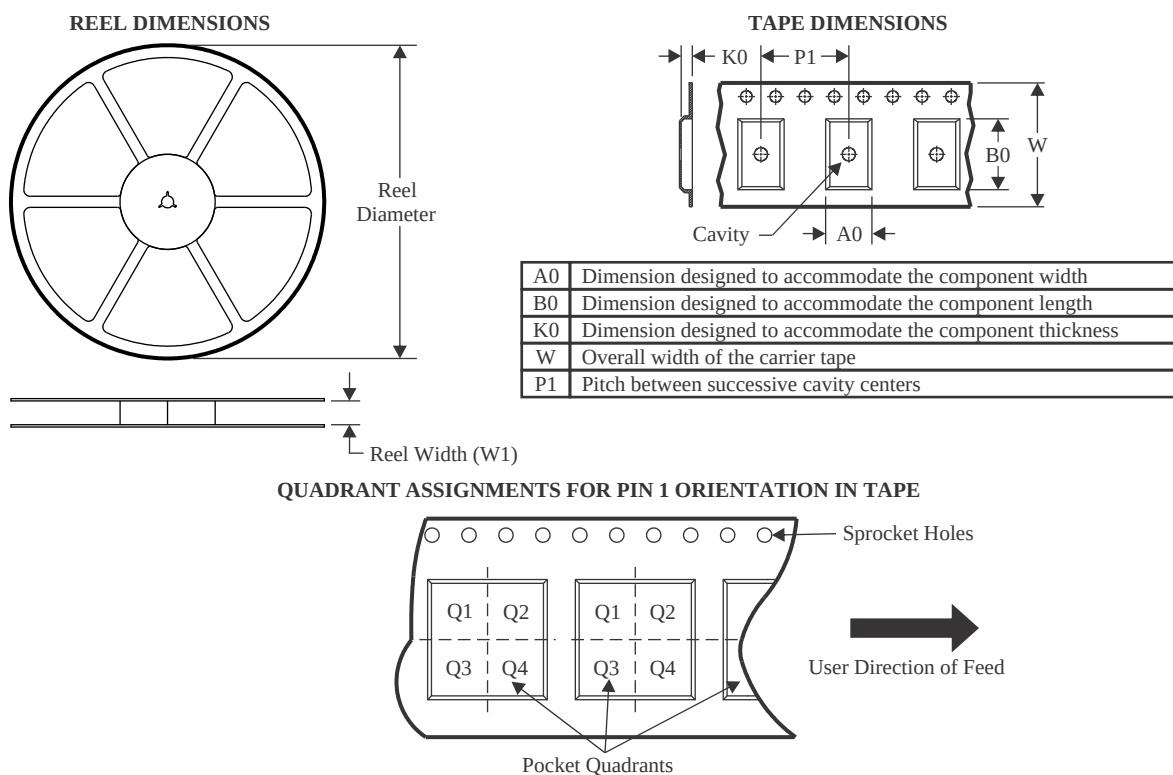
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

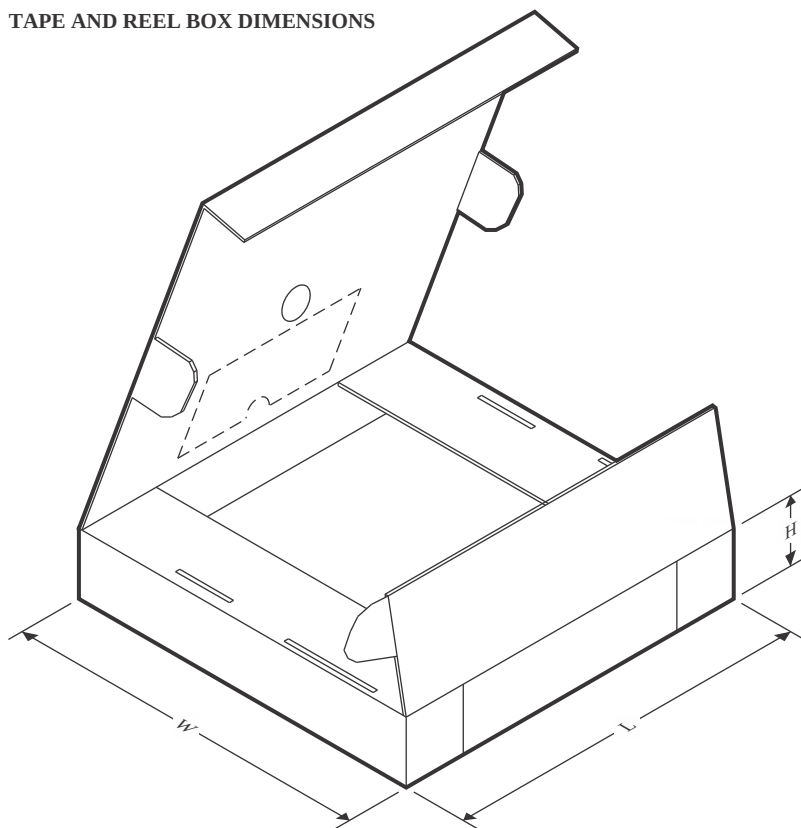


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8320HRTVR	WQFN	RTV	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8320HRTVT	WQFN	RTV	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8320HRTVTG4	WQFN	RTV	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8320RHRHAR	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8320RHRHAT	VQFN	RHA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8320RSRHAR	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8320RSRHAT	VQFN	RHA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8320SRTVR	WQFN	RTV	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8320SRTVT	WQFN	RTV	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
DRV8323HRTAR	WQFN	RTA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8323HRTAT	WQFN	RTA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8323RHRGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
DRV8323RHRGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
DRV8323RSRGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
DRV8323RSRGZRG4	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
DRV8323RSRGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8323SRTAR	WQFN	RTA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8323SRTARG4	WQFN	RTA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
DRV8323SRTAT	WQFN	RTA	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8320HRTVR	WQFN	RTV	32	3000	346.0	346.0	33.0
DRV8320HRTVT	WQFN	RTV	32	250	182.0	182.0	20.0
DRV8320HRTVTG4	WQFN	RTV	32	250	182.0	182.0	20.0
DRV8320RHRHAR	VQFN	RHA	40	2500	367.0	367.0	38.0
DRV8320RHRHAT	VQFN	RHA	40	250	182.0	182.0	20.0
DRV8320RSRHAR	VQFN	RHA	40	2500	367.0	367.0	38.0
DRV8320RSRHAT	VQFN	RHA	40	250	182.0	182.0	20.0
DRV8320SRTVR	WQFN	RTV	32	3000	346.0	346.0	33.0
DRV8320SRTVT	WQFN	RTV	32	250	210.0	185.0	35.0
DRV8323HRTAR	WQFN	RTA	40	2500	367.0	367.0	38.0
DRV8323HRTAT	WQFN	RTA	40	250	182.0	182.0	20.0
DRV8323RHRGZR	VQFN	RGZ	48	2500	367.0	367.0	38.0
DRV8323RHRGZT	VQFN	RGZ	48	250	210.0	185.0	35.0
DRV8323RSRGZR	VQFN	RGZ	48	2500	367.0	367.0	38.0
DRV8323RSRGZRG4	VQFN	RGZ	48	2500	367.0	367.0	38.0
DRV8323RSRGZT	VQFN	RGZ	48	250	210.0	185.0	35.0
DRV8323SRTAR	WQFN	RTA	40	2500	367.0	367.0	38.0
DRV8323SRTARG4	WQFN	RTA	40	2500	367.0	367.0	38.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8323SRTAT	WQFN	RTA	40	250	182.0	182.0	20.0

GENERIC PACKAGE VIEW

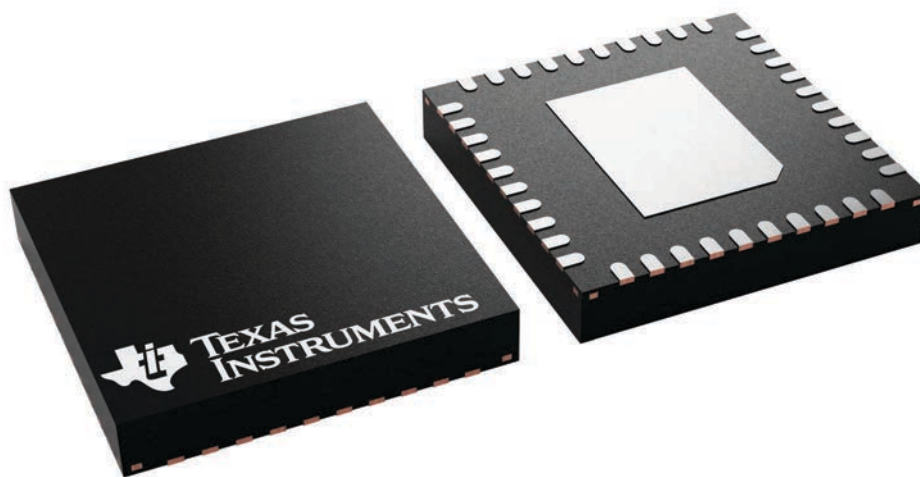
RHA 40

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

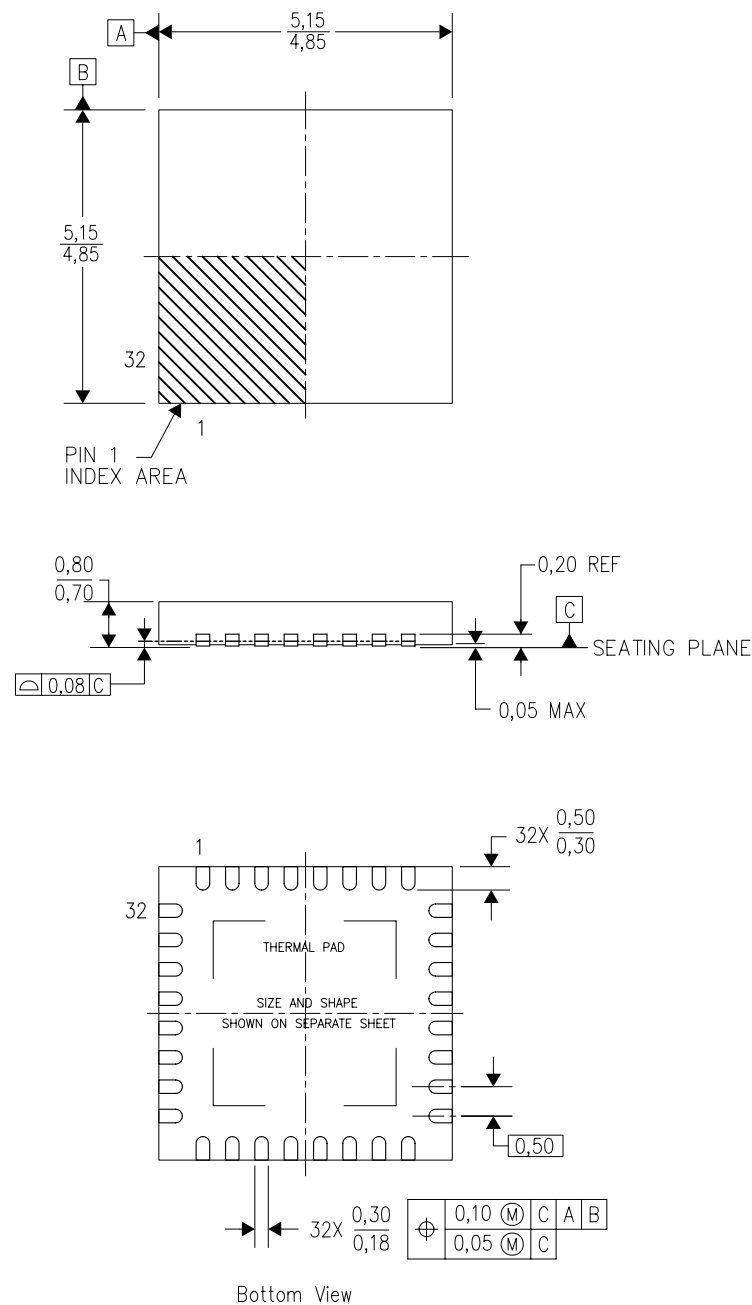
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



RTV (S-PWQFN-N32)

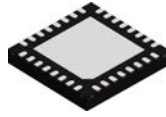
PLASTIC QUAD FLATPACK NO-LEAD



4206245/C 10/11

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5-1994.
 - This drawing is subject to change without notice.
 - Quad Flatpack, No-Leads (QFN) package configuration.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
 - Falls within JEDEC MO-220.

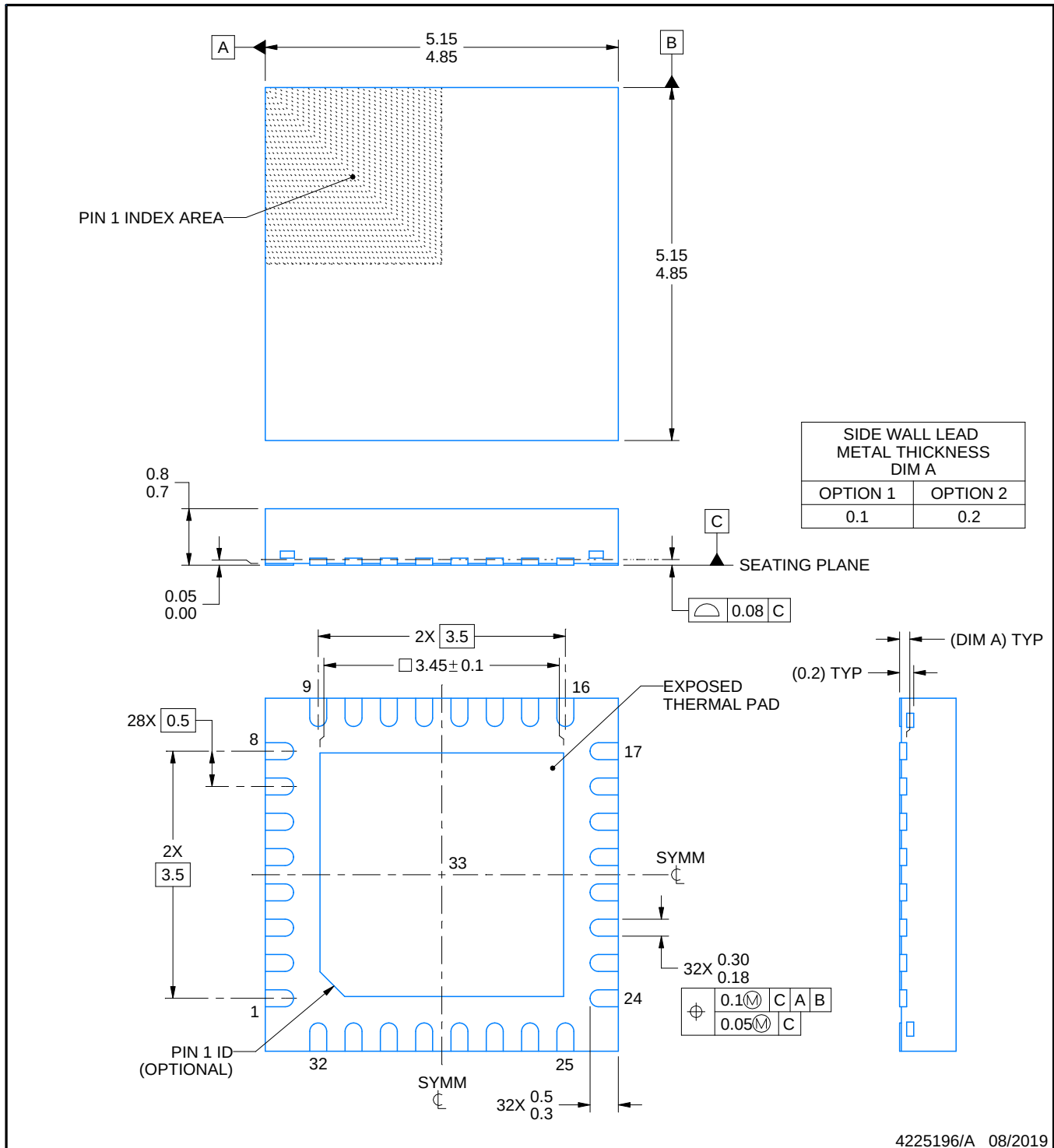
RTV0032E



PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

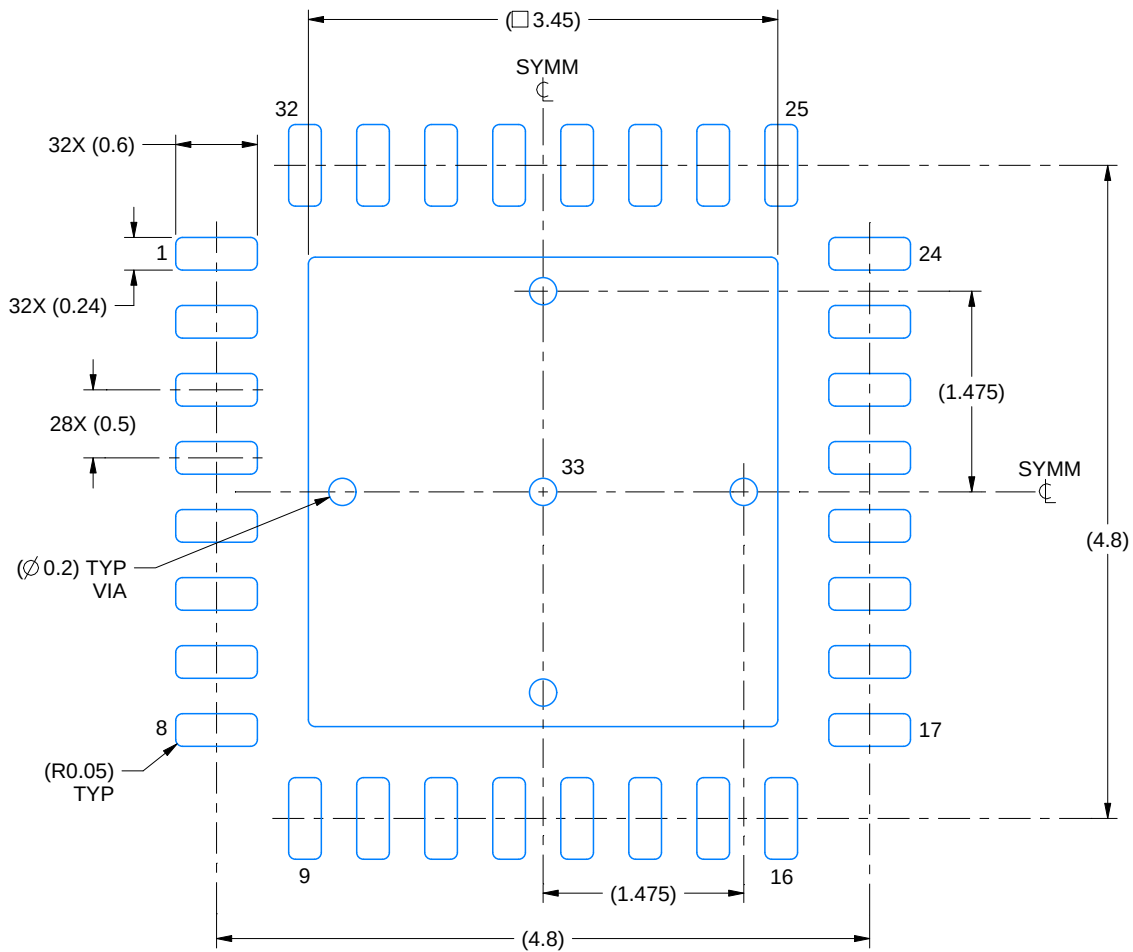
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

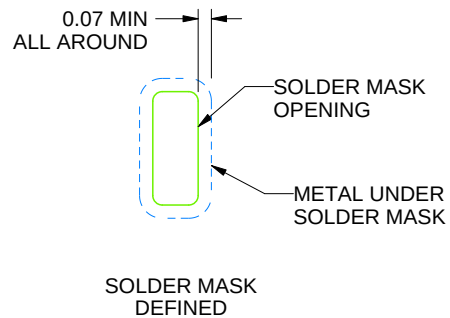
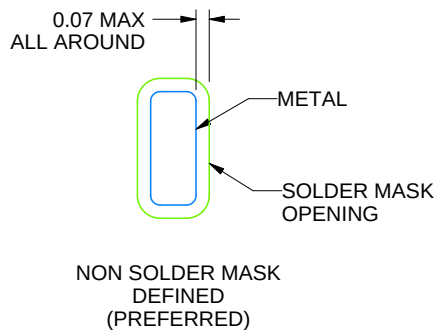
RTV0032E

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:18X



SOLDER MASK DETAILS

4225196/A 08/2019

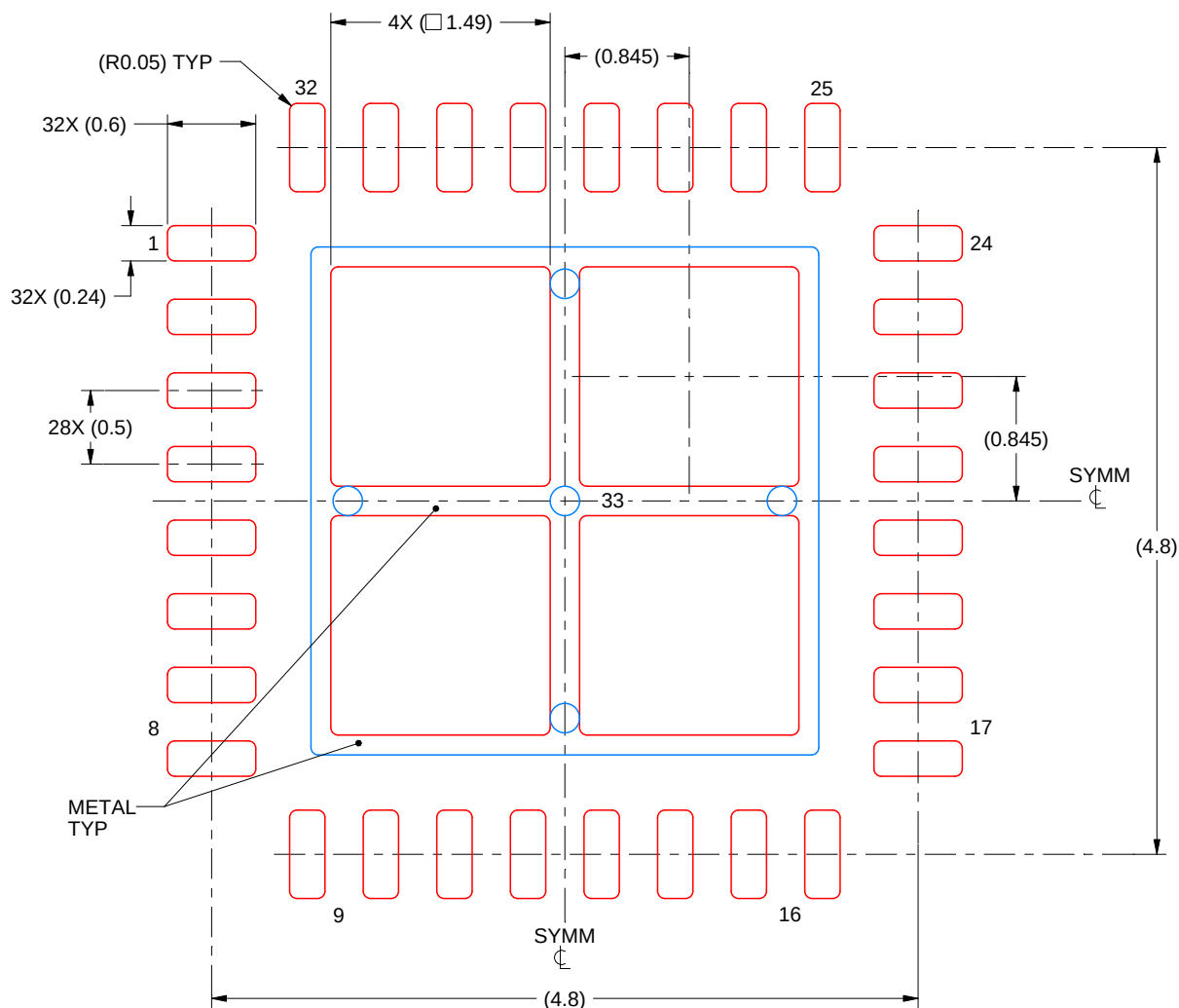
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

RTV0032E

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4225196/A 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

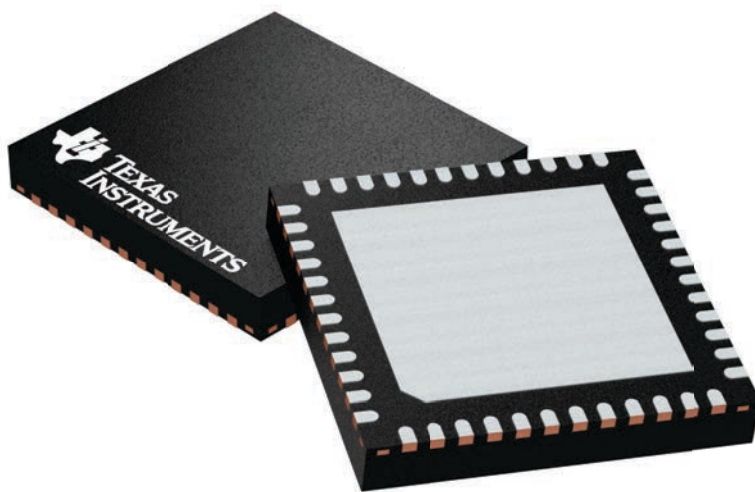
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

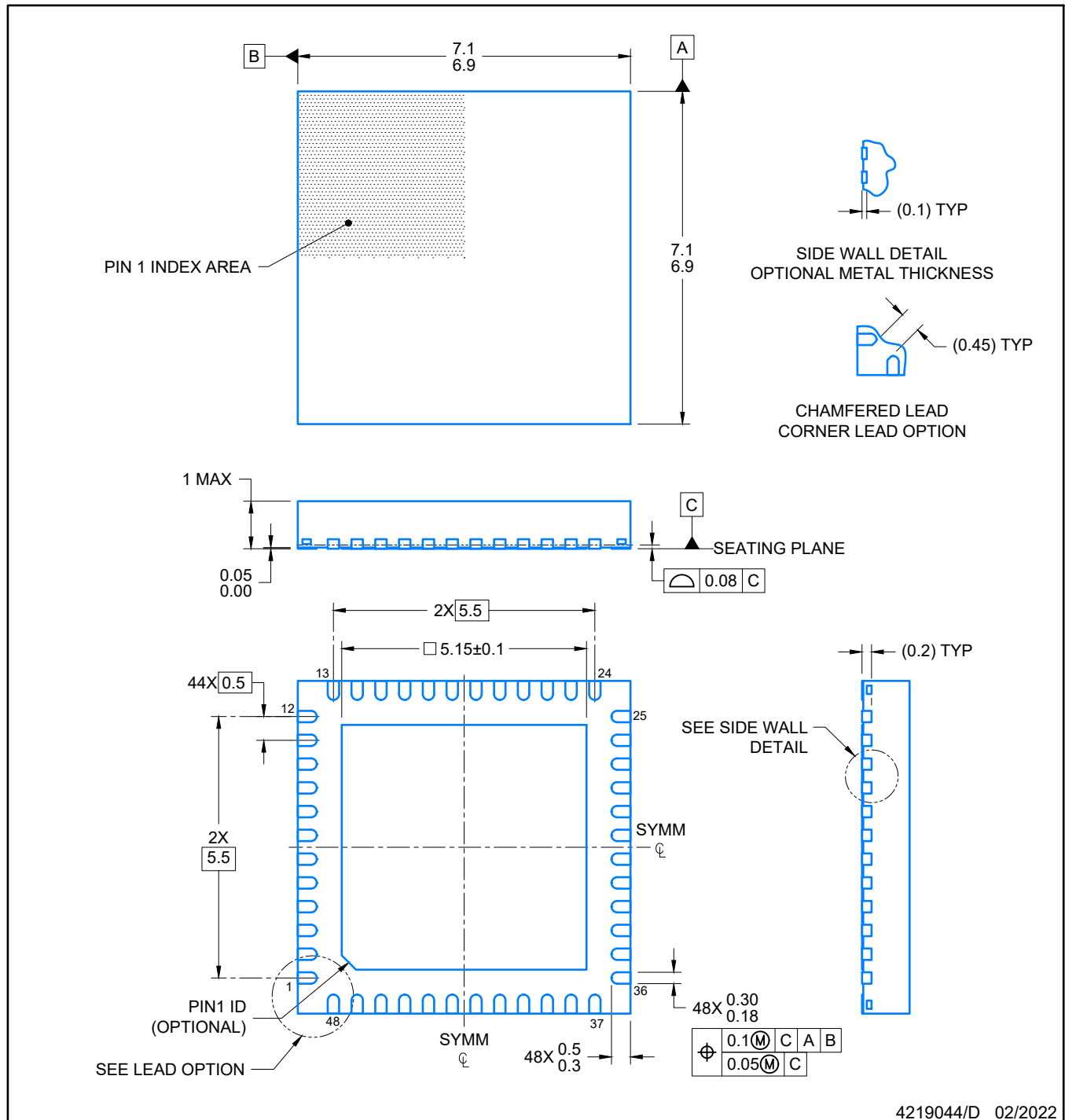
7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

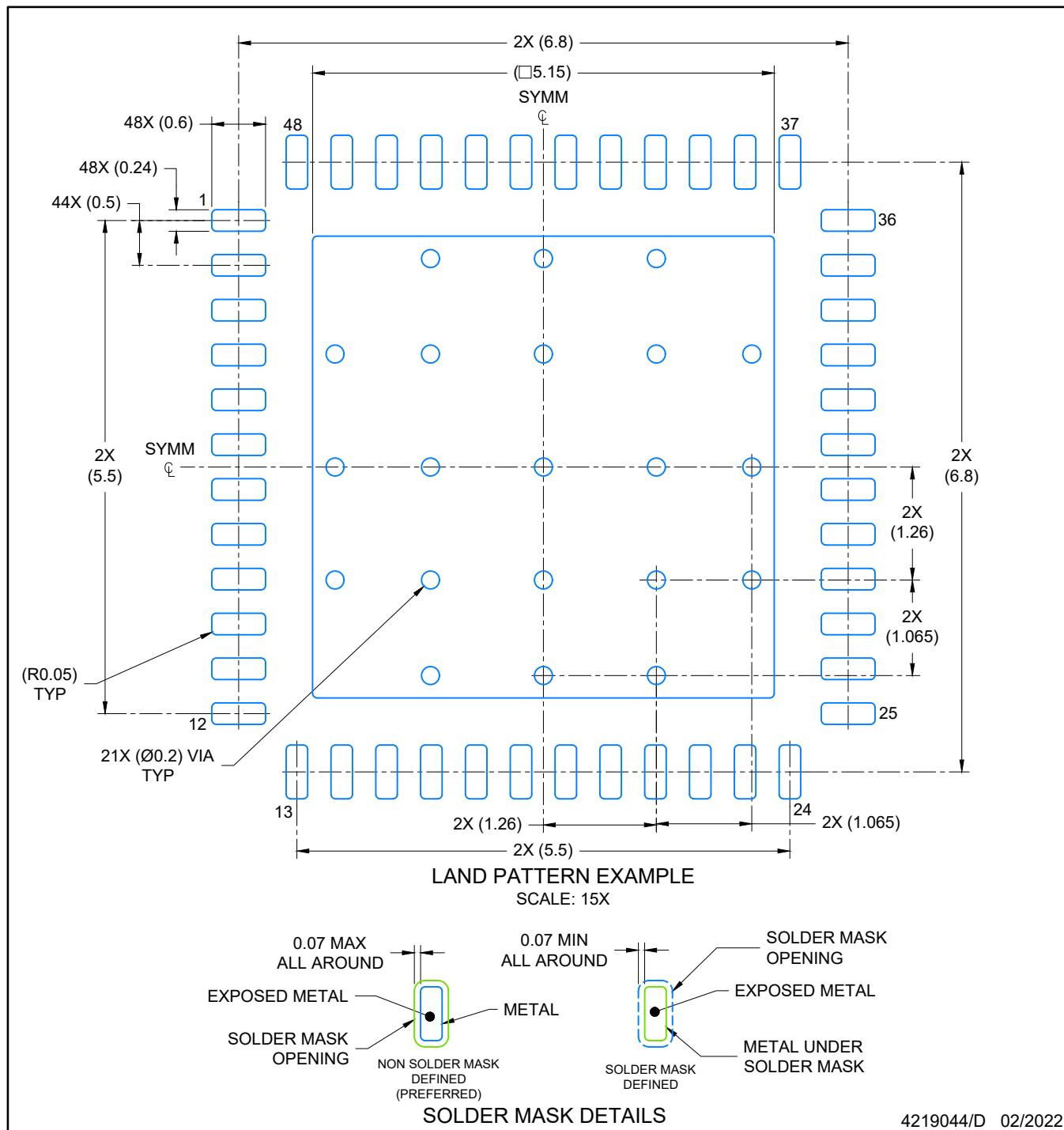
4224671/A



4219044/D 02/2022

NOTES:

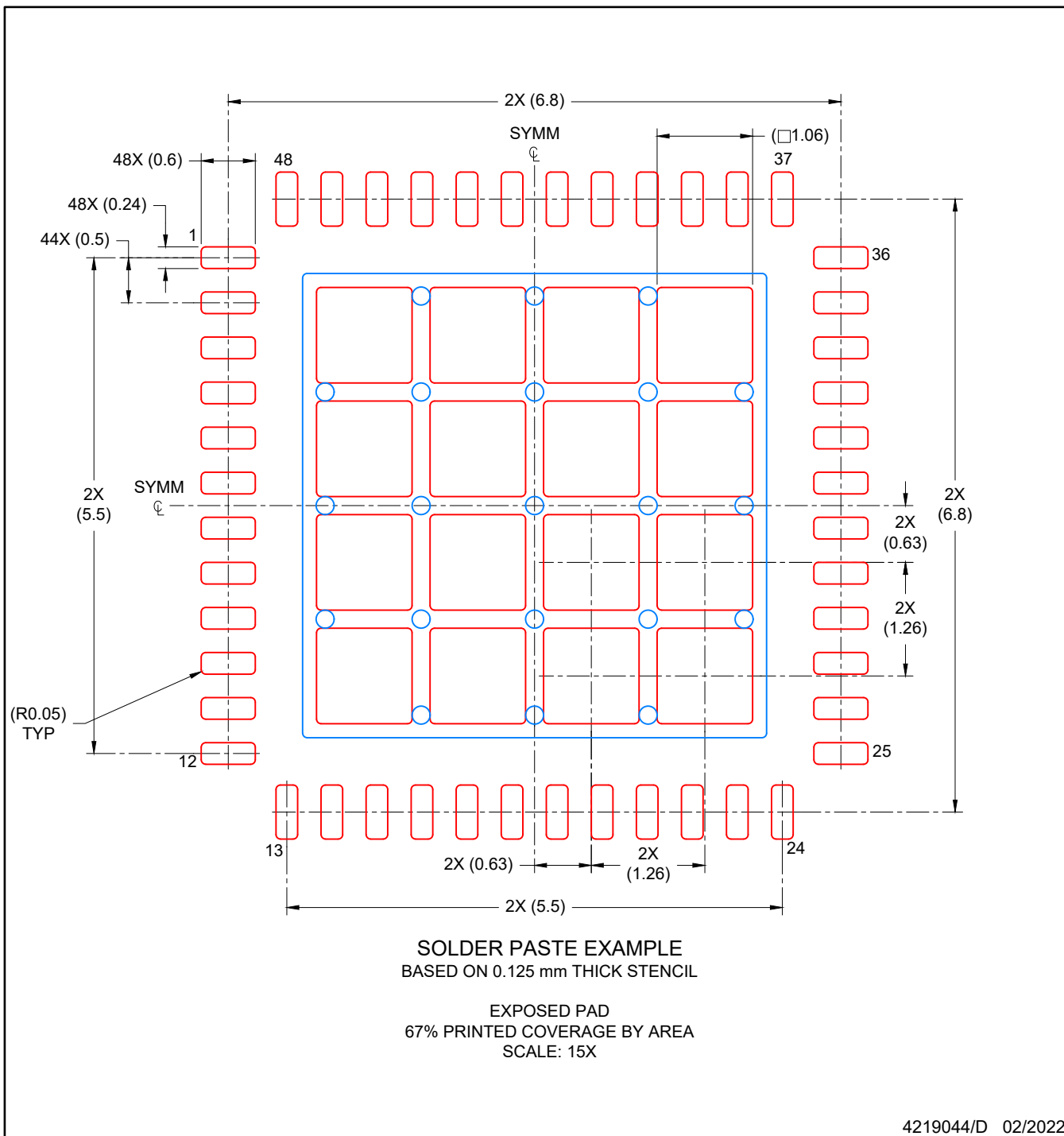
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



4219044/D 02/2022

NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

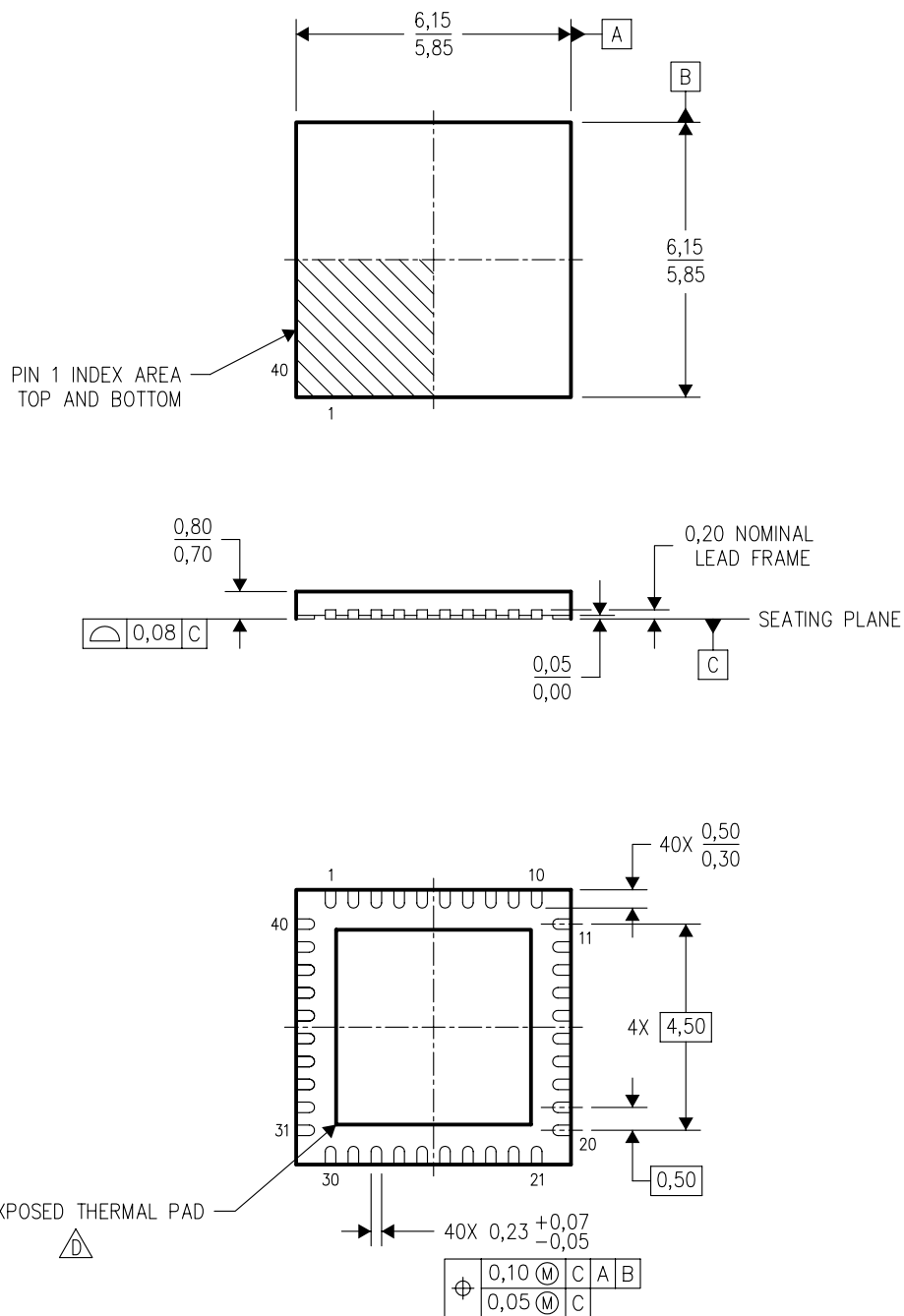


NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RTA (S-PQFP-N40)

PLASTIC QUAD FLATPACK



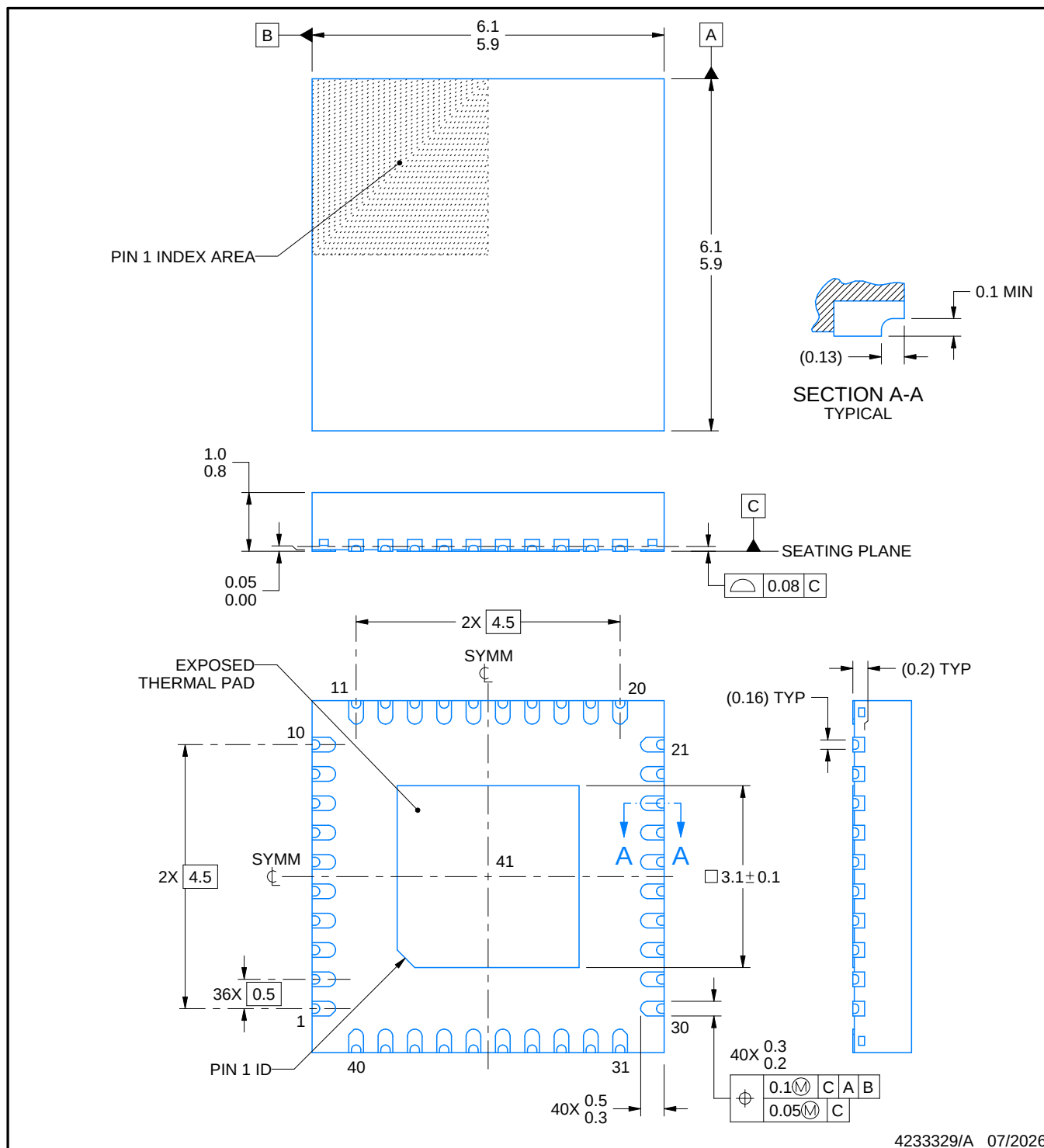
4204422/B 11/04

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. QFN (Quad Flatpack No-Lead) Package configuration.
-  The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

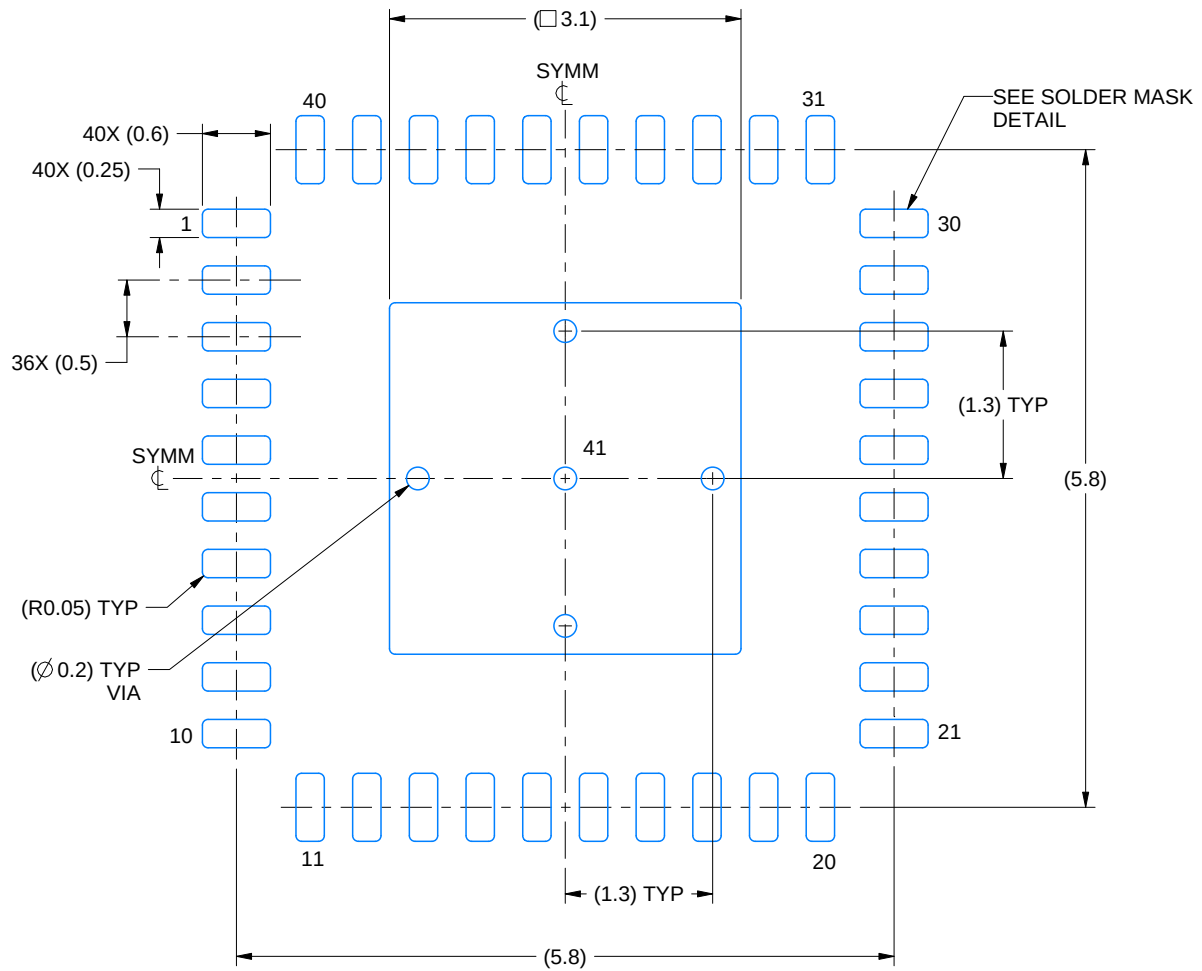
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

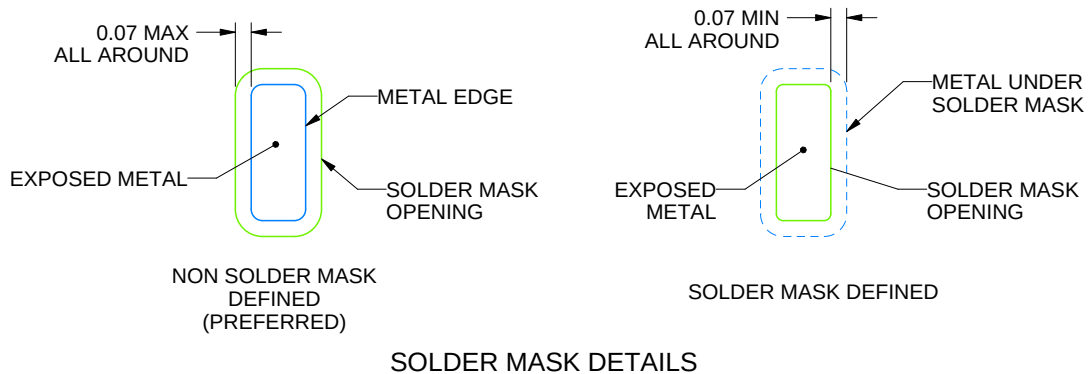
RHA0040Y

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4233329/A 07/2026

NOTES: (continued)

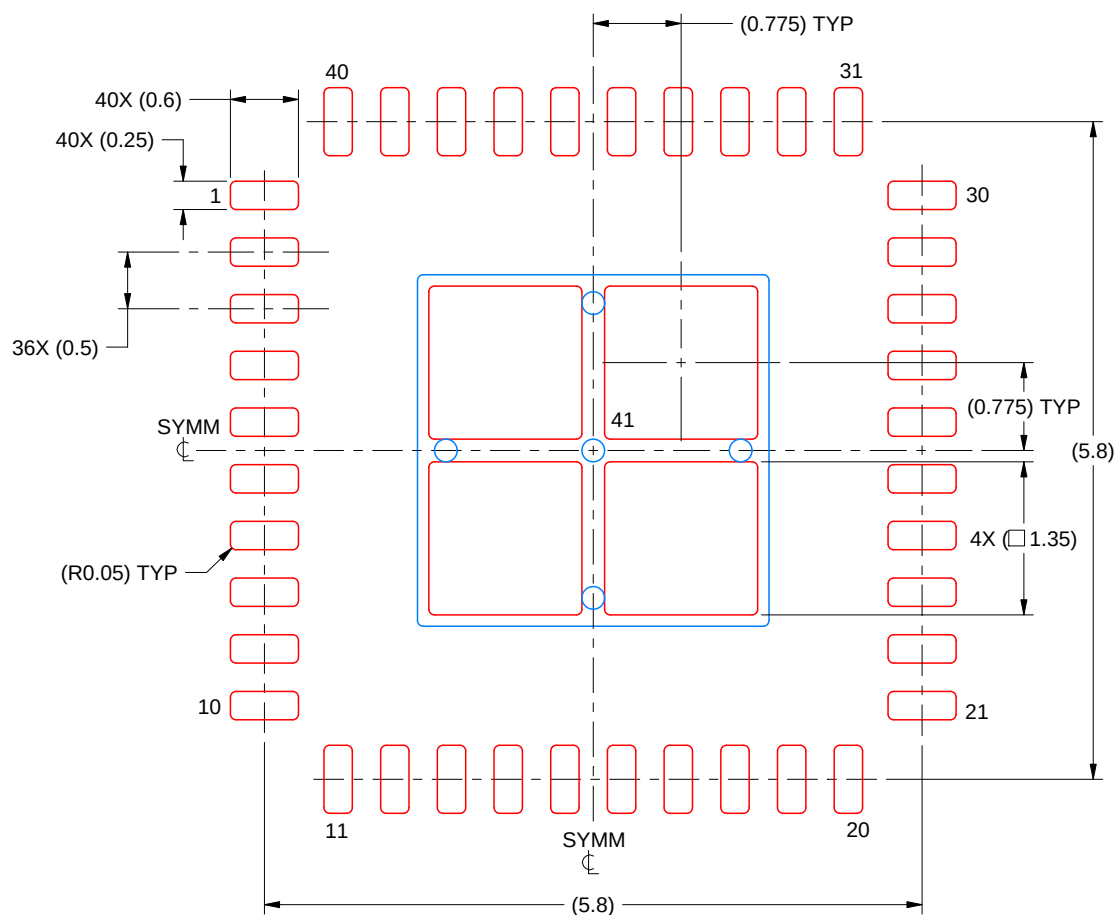
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHA0040Y

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 41
76% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4233329/A 07/2026

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月