TEXAS INSTRUMENTS
DRV81646-Q1
ZHDS252 – MAY 2026

DRV81646-Q1：65V 四通道低侧驱动程序，具有硬件、SPI 和可配置的转换率及关断持续时间

1 特性

- 四通道集成低侧开关
  - 25°C 时为 **140mΩ** $R_{DS(ON)}$
  - 工作电源电压范围：**4.5V** 至 **65V（绝对最大值为 70V）**
  - 可选电流限制：**0.5A** 至 **4A**
  - 高达 **500kHz** 的快速 PWM 开关
- 灵活的接口选项：
  - 具有独立通道 PWM 输入的**硬件**接口
  - **SPI** 可减少 GPIO 和隔离开销，从而实现高通道数设计
- **集成环流二极管**，用于灵活的衰减模式，有可选的外部 TVS/齐纳二极管作为开关关断时的备用电流路径
- **可配置转换率** (100ns – 1500ns)，支持慢速/快速开关应用
- 诊断反馈
  - MCU 故障中断信号 **(nFAULT)**
  - 可通过 SPI 提供**每通道故障报告**
- 保护特性
  - 用户可设定电流限制
  - 针对每个通道提供独立的**过热**和**过流**保护
  - 可配置过流**截止延迟** (COD)：0.5ms - 2ms

2 应用

- 继电器
- 阀门
- LED
- 区域控制单元
- 车身与照明
- 发动机管理
- 电池管理系统 (BMS)

3 说明

DRV81646-Q1 是一款 4.5V 至 65V 四通道低侧驱动器，每个开关具有 140mΩ $R_{DS(ON)}$。每个通道上的集成续流二极管连接到 VCLAMP 引脚，从而可通过外部 TVS 二极管实现电流再循环或快速电感负载关断。

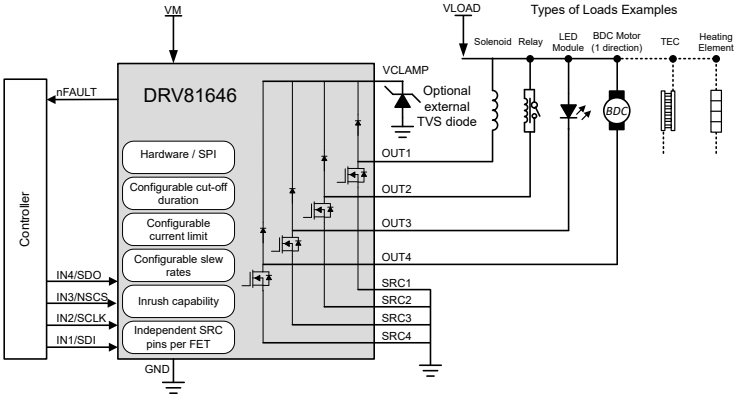
可通过硬件 GPIO 或 4 线 SPI 进行控制。每个通道包含独立的过热保护。ILIM 引脚上的单个电阻器会对所有通道上的模拟电流限制阈值进行全局设置；可选的截止延迟 (COD) 会限制过流事件持续时间。输出转换率也通过 RSLEW/CNTL 引脚进行全局设置。INRUSH 模式会暂时提高电容负载启动的电流限制阈值。

nFAULT 输出引脚指示故障情况。在 SPI 模式下，每通道故障状态寄存器可用于快速识别和响应故障。

封装信息

器件型号	封装(1)	封装尺寸(2)
DRV81646QDGQRQ1	DGQ (HVSSOP, 24)	6.10mm × 4.90mm

(1) 有关更多信息，请参阅 节 9。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

ADVANCE INFORMATION

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息 6
5.5 电气特性 6
5.6 时序要求 9
5.7 典型特性 10
6 详细说明 11
6.1 概述 11
6.2 功能方框图 12
6.3 特性说明 13
6.4 器件功能模式 22
7 应用和实施 27
7.1 应用信息 27
7.2 典型应用 27
7.3 应用曲线 29
7.4 电源相关建议 30
7.5 布局 31
8 器件和文档支持 32
8.1 文档支持 32
8.2 接收文档更新通知 32
8.3 支持资源 32
8.4 商标 32
8.5 静电放电警告 32
8.6 术语表 32
9 机械、封装和可订购信息 32

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

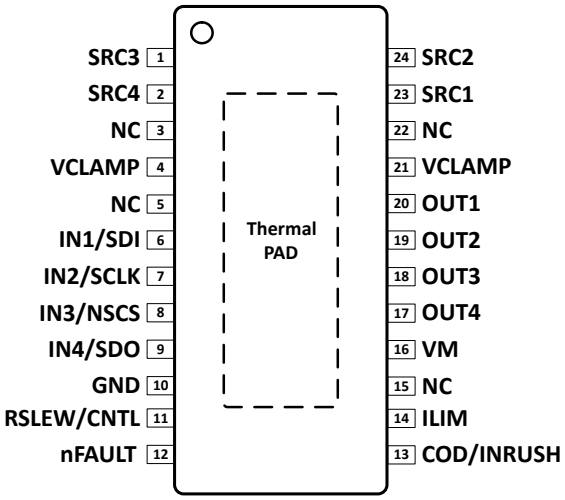


图 4-1. 24 引脚 DGQ 封装 HVSSOP（顶视图）

表 4-1. 引脚功能

引脚		类型[1]	说明
名称	DGQ (24)		
电源和接地			
VM	16	PWR	电源。 使用 0.1μF 陶瓷电容器和额定电压为 VM 的充足大容量电容器将此引脚旁路连接至 GND 引脚。
VCLAMP	4、21	PWR	连接到 VM 电源，或将齐纳二极管连接到 VM 电源或接地。请勿使该引脚保持未连接状态。
GND	10	GND	器件接地。连接到系统地。
SRC1	23	GND	通道 1 低侧 FET 的源极端子。连接到系统接地端或可选的检测电阻连接到系统接地端，以实现外部电流检测
SRC2	24	GND	通道 2 低侧 FET 的源极端子。连接到系统接地端或可选的检测电阻连接到系统接地端，以实现外部电流检测
SRC3	1	GND	通道 3 低侧 FET 的源极端子。连接到系统接地端或可选的检测电阻连接到系统接地端，以实现外部电流检测
SRC4	2	GND	通道 4 低侧 FET 的源极端子。连接到系统接地端或可选的检测电阻连接到系统接地端，以实现外部电流检测
散热焊盘	—	—	散热焊盘。连接到系统地。 应通过直连过孔将器件连接至连续铺铜的接地平面，以实现最佳散热效果。
NC	3、5、15、22	—	
控制			
ILIM	14	I	电流限制输入。 在 ILIM 和 GND 之间连接一个电阻器来设置电流限制阈值。有关详细信息，请参阅 节 6.3.4.1。 请勿使该引脚保持未连接状态。直接连接到 GND 以实现最大电流限制设置。
RSLEW/CNTL	11	I	转换率和控制接口选择输入。 将一个电阻器连接到 GND 以获得所需的转换率和控制接口设置组合。有关详细信息，请参阅 节 6.3.1 部分。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	DGQ (24)		
COD/INRUSH	13	I	用于截止延迟或浪涌模式的器件配置引脚。将适当的电阻器连接到 GND 以设置相应的截止延迟。连接至 GND 以禁用该功能。 在浪涌模式下，保持未连接 (Hi-Z)
IN1/SDI	6	I	在**硬件**模式下，该引脚控制通道 1 的输出。如果不使用该通道，则将该引脚直接接地，或通过 10kΩ 接地 使用 SPI 模式时，此引脚用作串行数据输入。 引脚具有内部下拉电阻器。
IN2/SCLK	7	I	在**硬件**模式下，该引脚控制通道 2 的输出。如果不使用该通道，则将该引脚直接接地，或通过 10kΩ 接地 使用 SPI 模式时，此引脚用作串行时钟输入。串行数据在此引脚的上升沿移出，并在该引脚的下降沿被捕捉。 引脚具有内部下拉电阻器。
IN3/NSCS	8	I	在**硬件**模式下，该引脚控制通道 3 的输出。如果不使用该通道，则将该引脚直接接地，或通过 10kΩ 接地 使用 SPI 模式时，此引脚用作串行芯片选择。此引脚上的低电平有效支持串行接口通信。 引脚具有内部下拉电阻器。
IN4/SDO	9	I/O	在**硬件**模式下，该引脚控制通道 4 的输出。如果不使用该通道，则将该引脚直接接地，或通过 10kΩ 接地。在硬件模式中，该引脚具有一个内部下拉电阻器。 使用 SPI 模式时，此引脚用作串行数据输出。在 SCLK 引脚的上升沿移出数据。在 SPI 模式下，此引脚是开漏输出，需要使用一个外部上拉电阻器。
nFAULT	12	O	开漏输出。将上拉电阻器连接至外部逻辑电源。在故障条件下时为逻辑低电平。
输出			
OUT1	20	O	连接至负载 1
OUT2	19	O	连接至负载 2
OUT3	18	O	连接至负载 3
OUT4	17	O	连接至负载 4

(1) I = 输入，O = 输出，PWR = 电源，GND = 地

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作温度范围内（除非另有说明）(1)

	引脚	最小值	最大值	单位
电源电压	VM	-0.3	70	V
输出电压	OUTx	-0.3	VCLAMP+0.3	V
峰值输出电流	OUTx		受内部限制	A
钳位电压	VCLAMP	-0.3	70	V
FET 源极端子相对于 GND 的电压（稳定状态）	SRCx	-0.6	0.6	V
VCLAMP 上的连续 RMS 电流（两个 VCLAMP 引脚连接在一起）	VCLAMP		8	A
VCLAMP 上的瞬态电流 < 1ms（两个 VCLAMP 引脚连接在一起）	VCLAMP		20	A
SRCx 和电路板 GND 之间的检测电阻	SRCx		300	mΩ
OUTx FET 再循环二极管电流 RMS 或连续	OUTx FET 体二极管		5	A
数字输入引脚电压	ILIM、RSLEW/CNTL、COD/INRUSH、INx	-0.5	5.5	V
数字输出电流	nFAULT、SDO		10	mA
数字输出引脚电压	nFAULT、SDO	-0.5	7	V
运行虚拟结温 T_J		-40	150	°C
存储温度 T_{stg}		-60	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±3000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作温度范围内（除非另有说明）

				最小值	标称值	最大值	单位
V_M	电源电压			4.5		65	V
V_{CLAMP}	输出钳位电压					65	V
I_{OUT}	连续输出电流（每个通道）	DGQ 封装，T_A = 25°C(1)	1 个通道开启			3.4	A
			4 个通道开启			2.5	A
T_{AMB}	运行环境温度			-40		125	°C
T_J	工作结温			-40		150	°C

(1) 请参阅持续电流能力以了解整个温度范围内的额定值

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		DRV81646-Q1 DGQ (HVSSOP) 24 引脚	单位
$R_{\theta JA}$	结至环境热阻	32.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	33.6	°C/W
$R_{\theta JB}$	结至电路板热阻	8.9	°C/W
Ψ_{JT}	结至顶部特征参数	1.0	°C/W
Ψ_{JB}	结至电路板特征参数	8.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.6	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 电气特性

4.5V ≤ V_{VM} ≤ 65V，–40°C ≤ T_J ≤ 150°C（除非另有说明），24V、25°C 下的典型值

参数		测试条件	最小值	典型值	最大值	单位
电源						
I_{VM}	VM 工作电源电流	V_M = 24V，无开关			3	mA
		V_M = 24V，输出开关频率为 200kHz			5	mA
V_{UVLO}	VM 欠压锁定电压	V_M 上升	4.1	4.25	4.45	V
		V_M 下降	4.0	4.15	4.35	V
V_{UVLO_HYS}	VM 欠压锁定迟滞			100		mV
t_{UVLO}	VM 欠压抗尖峰脉冲			10		µs
逻辑电平输入（INx、nSCS、SCLK、SDI）						
V_{IL}	输入低电压				0.8	V
V_{IH}	输入高电压		2			V
V_{HYS}	输入迟滞			0.4		V
I_{IL}	输入低电流	V_{IN} = 0	-5		5	µA
I_{IH}	输入高电流	V_{IN} = 3.3V		50	100	µA
开漏输出（nFAULT、SDO）						
V_{OL}	nFAULT、SDO 的输出低电压	I_O = 5mA			0.1	V
I_{OH}	nFAULT、SDO 的输出高漏电流	上拉电阻至 5V			1	µA
t_{nFAULT_VALID}	V_{VM} > V_{UVLO}（上升）后 nFAULT 信号有效的时间。				30	µs
七电平输入 (RSLEW/CNTL)						
V_{LVL1}	第 1 级，共 7 级	连接至 GND	0		0.1	V
V_{LVL2}	第 2 级，共 7 级	14.7kΩ ± 5% 至 GND	0.2		0.35	V
V_{LVL3}	第 3 级，共 7 级	44.2kΩ ± 5% 至 GND	0.55		0.8	V
V_{LVL4}	第 4 级，共 7 级	100kΩ ± 5% 至 GND	1		1.25	V
V_{LVL5}	第 5 级，共 7 级	249kΩ ± 5% 至 GND	1.5		1.75	V
V_{LVL6}	第 6 级，共 7 级	高阻态	2.1		2.4	V
V_{LVL7}	第 7 级，共 7 级	连接至 DVDD（逻辑电压）	3		5	V
$I_{RSLEW/CNTL}$	输入电流			22.5		µA
SWITCHING						

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

4.5V ≤ V_{VM} ≤ 65V，–40°C ≤ T_J ≤ 150°C（除非另有说明），24V、25°C 下的典型值

参数		测试条件	最小值	典型值	最大值	单位
t_R	上升时间 OUTx 从 10% 上升到 90% V_M = 24V，R_L = 48Ω，C_L = 0.1nF	RSLEW/CNTL 上的 V_{LVL1}		100	150	ns
		RSLEW/CNTL 上的 V_{LVL6} 或 V_{LVL7}		300	450	ns
		RSLEW/CNTL 上的 V_{LVl4} 或 V_{LVL5}		700	1000	ns
		RSLEW/CNTL 上的 V_{LVL2} 或 V_{LVL3}		1500	2300	ns
t_F	下降时间 OUTx 从 90% 下降到 10% V_M = 24V，R_L = 48Ω，C_L = 0.1nF	RSLEW/CNTL 上的 V_{LVL1}		100	150	ns
		RSLEW/CNTL 上的 V_{LVL6} 或 V_{LVL7}		300	450	ns
		RSLEW/CNTL 上的 V_{LVl4} 或 V_{LVL5}		700	1000	ns
		RSLEW/CNTL 上的 V_{LVL2} 或 V_{LVL3}		1500	2300	ns
t_{PD}	输入至输出传播延迟 INx 上升至高于 V_{IH}，到 OUTx 下降至 90%，或 INx 下降至低于 V_{IL}，到 OUTx 上升至 10% V_M = 24V；R_L = 48Ω C_L = 0.1nF	RSLEW/CNTL 上的 V_{LVL1}		100	150	ns
		RSLEW/CNTL 上的 V_{LVL6} 或 V_{LVL7}		250	370	ns
		RSLEW/CNTL 上的 V_{LVl4} 或 V_{LVL5}		400	600	ns
		RSLEW/CNTL 上的 V_{LVL2} 或 V_{LVL3}		700	1000	ns
驱动器输出（OUTx）						
$R_{DS(ON)}$	FET 导通电阻	V_M = 24V，I_O = 500mA，T_J = 25°C		140		mΩ
		V_M = 24V，I_O = 500mA，T_J = 85°C			225	mΩ
I_{OFF}	关断状态漏电流	V_{OUT} = V_M = 24V		0.5		μA
I_{OFF}	关断状态漏电流	V_{OUT} = V_M = 65V			10	μA
V_F	续流二极管正向电压	V_{OUT} = 24V，I_O = 500mA			1.2	V
I_{OFF}	再循环二极管反向漏电流	V_{OUT} = 0V，V_{CLAMP} = 65V			10	μA
保护电路						
I_{LIM}	电流限制值 遵循 60/R_{ILIM}[kΩ](30kΩ ≤ R_{ILIM} ≤ 120kΩ)	R_{ILIM} 短接至 GND 或 R_{ILIM} < 20kΩ		3		A
		R_{ILIM} = 30kΩ	1.4	2	2.6	A
		R_{ILIM} = 60kΩ	0.7	1	1.3	A
		R_{ILIM} = 90kΩ	0.4	0.66	0.9	A
		R_{ILIM} = 120kΩ	0.3	0.5	0.7	A
$I_{LIM_ACTIVATE}$	电流限制激活阈值 遵循 I_{LIM}+50%	R_{ILIM} = 接地短路		4.7		A
		R_{ILIM} = 30kΩ		3		A
		R_{ILIM} = 60kΩ		1.5		A
		R_{ILIM} = 90kΩ		1		A
		R_{ILIM} = 120kΩ		0.75		A
I_{INRUSH}	t_{INRUSH} 期间的电流限制值 遵循 2*I_{LIM}[kΩ]（R_{ILIM}≥30kΩ）	R_{ILIM} = 接地短路		4		A
		R_{ILIM} = 30kΩ		4		A
		R_{ILIM} = 60kΩ	1.4	2	2.6	A
		R_{ILIM} = 90kΩ	0.8	1.2	1.6	A
		R_{ILIM} = 120kΩ	0.6	1	1.4	A
$I_{INRUSH_ACTIVATE}$	浪涌期间的电流限制激活阈值 遵循 I_{INRUSH}+50%	R_{ILIM} = 接地短路		6.5		A
		R_{ILIM} = 30kΩ		6		A
		R_{ILIM} = 60kΩ		3		A
		R_{ILIM} = 90kΩ		2		A
		R_{ILIM} = 120kΩ		1.5		A

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

4.5V ≤ V_{VM} ≤ 65V，–40°C ≤ T_J ≤ 150°C（除非另有说明），24V、25°C 下的典型值

参数		测试条件	最小值	典型值	最大值	单位
R_{HiZ}	浪涌模式选择。	COD/Inrush 引脚上的下拉电阻器。 外部电阻器的值，如果高于该值，则选择浪涌模式。	1			MΩ
t_{COD_DIS}	截止延迟禁用阈值	外部电阻器的值，低于该值时将禁用截止功能			20	kΩ
t_{COD}	截止延迟 通过外接电阻器 R_{COD} 接地进行调节 遵循 R_{COD}[kΩ]/120 ±15%（60kΩ ≤ R_{COD} ≤ 240kΩ）	R_{COD} = 60kΩ	0.4	0.5	0.6	ms
		R_{COD} = 120kΩ	0.8	1	1.2	ms
		R_{COD} = 180kΩ	1.2	1.5	1.8	ms
		R_{COD} = 240kΩ	1.6	2	2.4	ms
t_{INRUSH}	浪涌模式持续时间	COD/INRUSH 引脚未连接		10		ms
t_{RETRY}	过流保护重试时间 通过外接电阻器 R_{COD} 接地进行调节 遵循 32*t_{COD} ±15%（60kΩ ≤ R_{COD} ≤ 240kΩ）	R_{COD} = 60kΩ		15.5		ms
		R_{COD} = 120kΩ		31		ms
		R_{COD} = 180kΩ		46.5		ms
		R_{COD} = 240kΩ		62		ms
T_{TSD}	热关断温度	裸片温度	150	170	190	°C
T_{TSD_HYS}	热关断温度迟滞			40		°C
t_{TSD_DG}	热关断抗尖峰脉冲			20		µs

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.6 时序要求

		最小值	标称值	最大值	单位
t_{SCLK}	SCLK 周期时间	500			ns
t_{SCLKH}	SCLK 高电平时间	170			ns
t_{SCLKL}	SCLK 低电平时间	170			ns
t_{H_SCLK}	nSCS 下降沿至 SCLK 上升沿的保持时间	1000			ns
$t_{SU(SDI)}$	建立时间，SDI 有效至 SCLK 下降沿	30			ns
$t_{H(SDI)}$	SCLK 下降沿至 SDI 无效的保持时间	30			ns
$t_{D(SDO)}$	SCLK 上升沿至 SDO 有效的延迟时间 (C_{LOAD} < 20pF)			100	ns
t_{SU_NSCS}	最终 SCLK 下降沿到 nSCS 上升沿之间的延迟	200			ns
t_{SDOHIZ}	nSCS 上升沿和 SDO 高阻态之间的延迟			100	ns
t_{NSCS_H}	nSCS 的脉冲宽度	1000			ns
t_{D_LATCH}	nSCS 上升沿至器件中锁存的输入数据			2000	ns

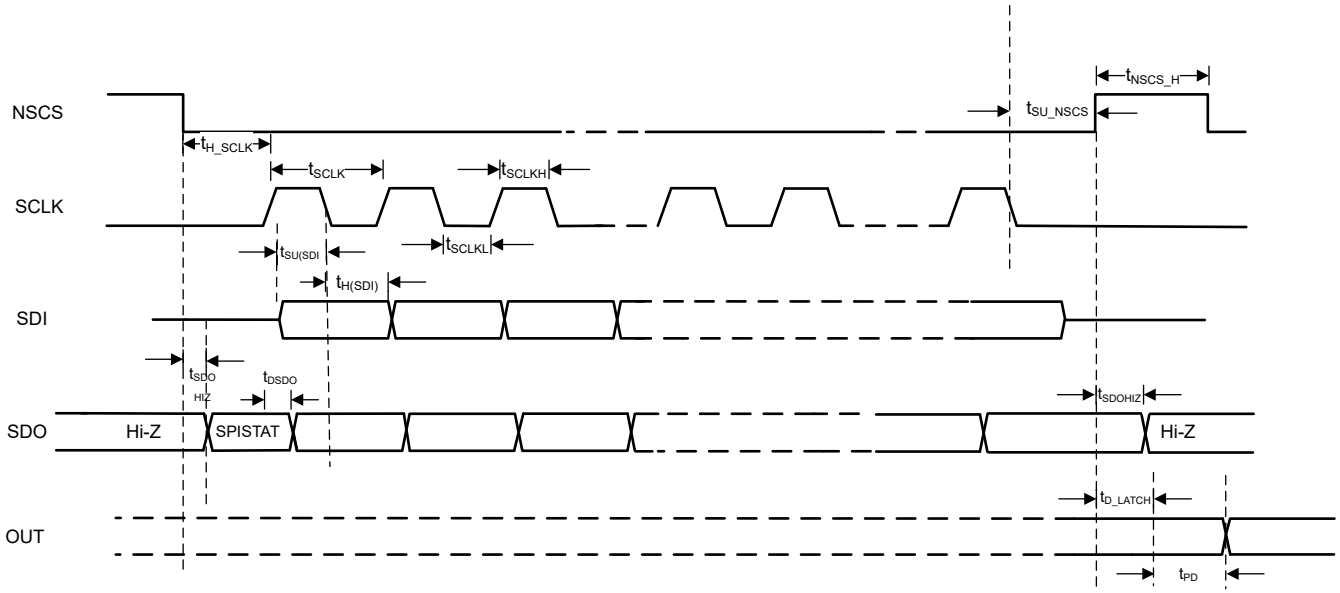


图 5-1. SPI 时序参数

ADVANCE INFORMATION

5.7 典型特性

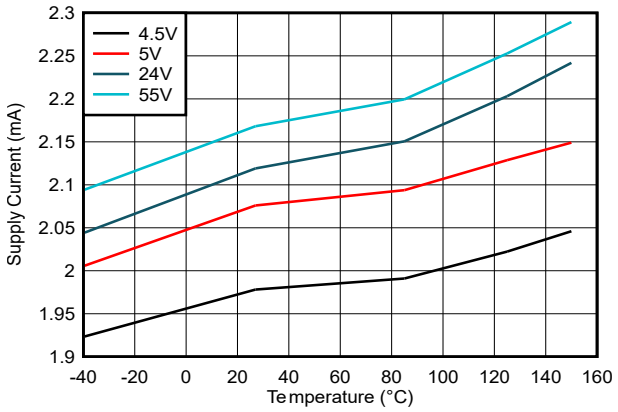


图 5-2. 电源电流与温度间的关系

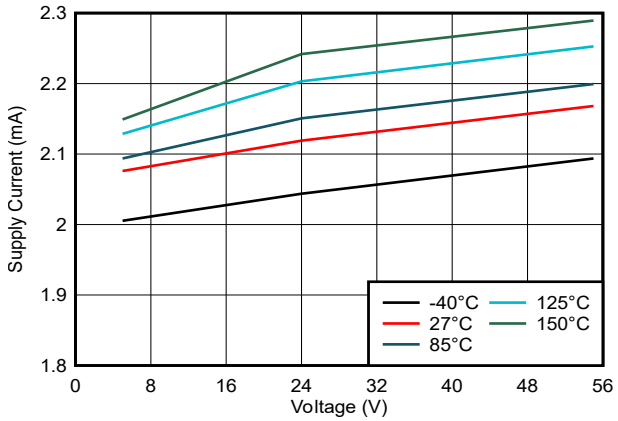


图 5-3. 电源电流与 V_M 间的关系

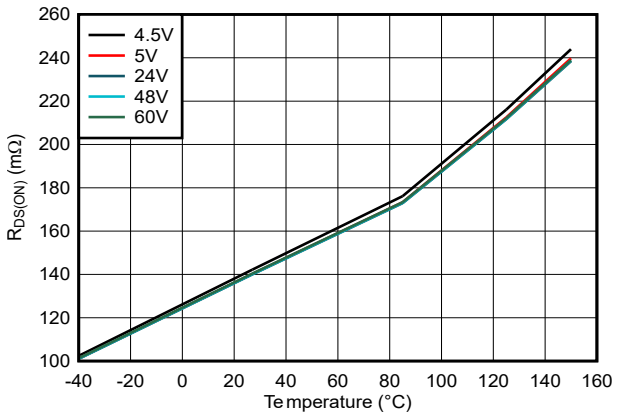


图 5-4. $R_{DS(on)}$ 与温度间的关系

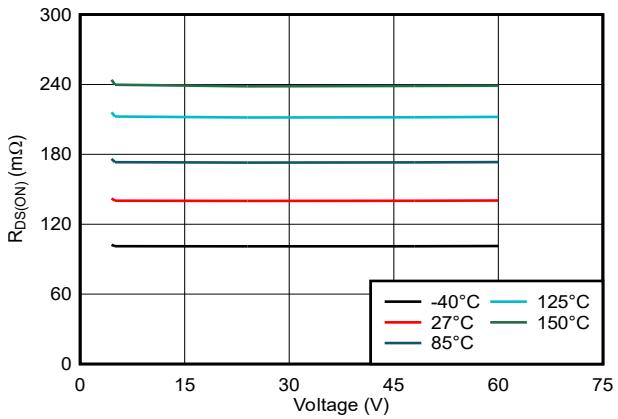


图 5-5. $R_{DS(on)}$ 与 V_M 间的关系

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

DRV81646-Q1 适用于 PLC、分布式 I/O 和现场器件等工业应用，可在高达 65V 的电源电压下开关电感或电容负载。与电阻较高的替代产品相比，140mΩ $R_{DS(ON)}$ 可提供更低的传导损耗和更好的热性能，从而在紧凑型 DGQ 封装中实现更高的每通道连续电流。

两个关键的可配置保护功能可改善故障情况下的系统级电源管理。模拟电流限制 (ILIM) 可通过单个电阻器进行全局设置，并在过载事件期间钳制输出电流，而每通道过热保护功能可独立关断任何超过安全工作温度的通道。截止延迟 (COD) 会限制 ILIM 事件在关断受影响通道之前的持续时间，与仅热关断方法相比，可显著降低平均功率耗散。INRUSH 模式可将电流限制阈值翻倍长达 10ms，从而在启动时支持电容或灯负载。

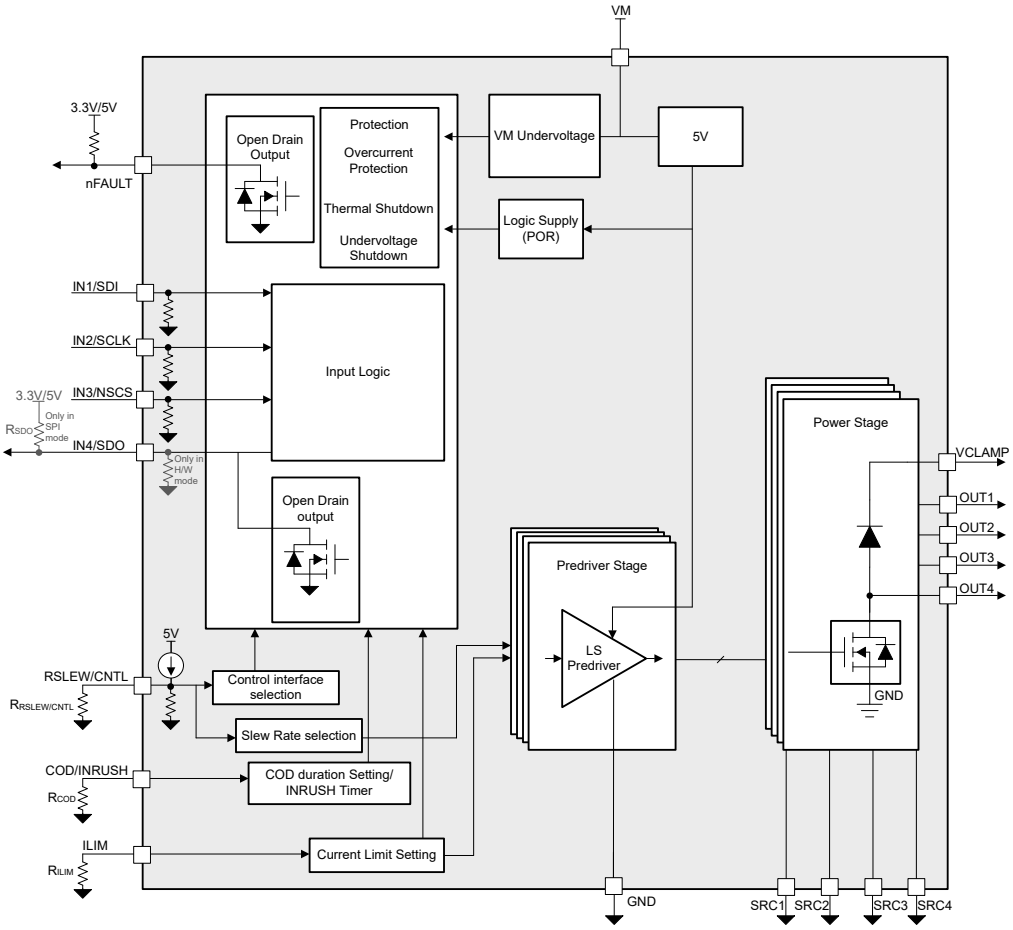
可配置的转换率 (100ns - 1,500ns) 使同一器件同时适用于快速开关和 EMI 敏感型应用。支持菊花链的 SPI 模式可在高通道数设计中减少 MCU GPIO 和隔离硬件开销

集成式续流二极管架构让设计人员能够灵活管理电感负载关断。将 VCLAMP 直接连接到负载电源，可为不需要快速消磁的应用实现慢速电流衰减；而将外部 TVS 或齐纳二极管连接到 VCLAMP 可实现快速衰减，这在需要螺线管快速释放时间时非常有用。在所有四个通道之间共用单个外部 TVS 二极管便已足够，与分立式方案相比，减少了元件数量。此外，外露的 MOSFET 源端子（SRCx 引脚）支持通过外部分流电阻器进行可选的每通道电流检测，无需在高电流路径中使用额外的串联元件即可实现闭环电流监测。对于需要单个器件提供更高连续电流的应用，也可以将输出成对并联或将全部四个输出并联在一起。总之，这些特性使 DRV81646-Q1 成为一款高度集成的器件，与分立式低侧开关实现方案相比，减少了布板空间、外部元件数量并降低了系统设计复杂性。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.2 功能方框图



ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.3 特性说明

6.3.1 控制接口和转换率 (RSLEW/CNTL)

RSLEW/CNTL 引脚设置输出转换率和控制接口。该引脚可由外部电阻器设置或直接由微控制器 DAC 控制。当 VM 升至高于 V_{UVLO} 时，转换率和控制接口会在器件启动时锁存，并且在运行期间无法更改。表 6-1 展示了硬件模式下可用的上升/下降时间。表 6-2 显示了 SPI 模式下可用的上升和下降时间。

转换率在 VM 和 VLOAD 电压下保持相当一致，但上升时间会根据电压而变化。例如，在相同的转换率下，与 V_{VM}=24V 相比，V_{VM} = 12V 的上升时间大约为上升时间的一半。

表 6-1. 硬件模式转换率选择

控制接口	上升时间或下降时间（典型值，V_{VM} = 24V）	V_{VM} = 24V 时的转换率	RSLEW/CNTL 引脚电压
硬件 (GPIO)	100ns	192V/μs	V_{LVL1}（连接至 GND）
	300ns	64V/μs	V_{LVL6}（Hi-Z/悬空）
	700ns	27.4V/μs	V_{LVL4}（100kΩ 至 GND）
	1500ns	12.8V/μs	V_{LVL3}（44.2kΩ 至 GND）

表 6-2. SPI 模式转换率选择

控制接口	上升时间或下降时间（典型值，V_{VM} = 24V）	V_{VM} = 24V 时的转换率	RSLEW/CNTL 引脚电压
SPI	300ns	64V/μs	V_{LVL7}（连接至逻辑电压）
	700ns	27.4V/μs	V_{LVL5}（249kΩ 至 GND）
	1500ns	12.8V/μs	V_{LVL2}（14.7kΩ 至 GND）

6.3.2 使用 FET 源极端子进行电流检测

每个 MOSFET 的源极端子暴露在 SRCx 引脚上。可以在 SRC 引脚和 GND 之间连接一个外部检测电阻，以测量该通道上的电流，如 图 6-1 所示。

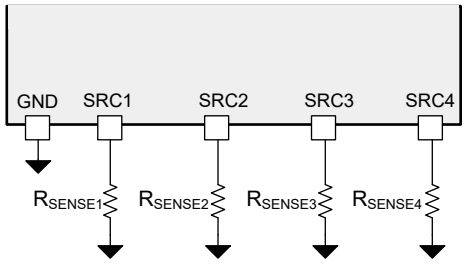


图 6-1. 每个 SRC 引脚上的检测电阻

如果不使用外部电流检测功能，则必须将 SRC 引脚直接连接到 GND。

SRCx 引脚的绝对最大额定值将分流电阻器上的最大电压设定为 0.6V。分流电阻器的大小必须确保在最高负载电流下，检测电阻器上的电压不超过 0.6V。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

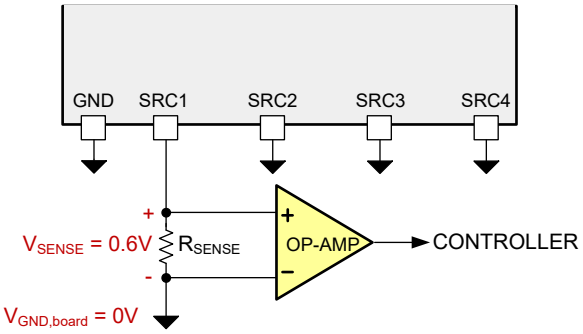


图 6-2. 使用电流检测电阻时，SRCx 电压相对于电路板地的电压

例如，使用 250mV 作为最大 V_{SENSE}，该值小于 0.6V，并提供了一定的安全或误差裕度。我们在示例负载下使用 4A 的最大电流 I_{PEAK}，以便在 I_{LIM} = 2A 且 $I_{LIM_ACTIVATE}$ = 3A 时 ILIM 设置为 30kΩ。

$$R_{SENSE} = \frac{V_{SENSE}}{I_{PEAK}} = \frac{0.250V}{4A} = 0.0625\Omega = 62.5m\Omega \quad (1)$$

对于此 4A 峰值电流的示例负载，电流检测电阻必须小于或等于 62.5mΩ，以保持 V_{sense} 小于 250mV。检测电阻的大小还需要适当适应功率耗散。在此示例中，流经 62.5mΩ 电阻的电流为 4A，其功率耗散为：

$$D = I2R = 4A^2 \times 0.0625\Omega = 1.0W \quad (2)$$

因此，本示例中建议使用 1W 或更大的电阻器。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.3.3 集成钳位二极管 VCLAMP

DRV81646-Q1 包含四个受保护的低侧驱动器。每个输出都有一个连接到公共引脚 VCLAMP 的集成钳位二极管。

VCLAMP 可以连接到一个齐纳二极管或 TVS 二极管以连接到 VM 或接地，从而使开关电压可以超过主电源电压 VM。在驱动需要极快电流衰减的负载时，这种连接非常有用。由于每个输出都有一个连接到 VCLAMP 引脚的二极管，因此用户可以为所有 4 个通道共享一个外部 TVS 二极管。或者，VCLAMP 可以直接连接到主电源电压 (VM)。

在所有情况下，输出端的电压不得超过 DRV81646-Q1 最大输出电压规格。下面是 DRV81646-Q1 支持的一些配置。

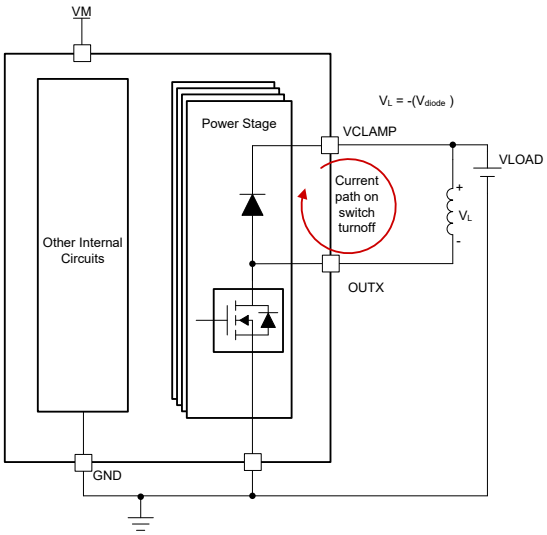


图 6-3. 慢速衰减（VCLAMP 连接至 VLOAD）

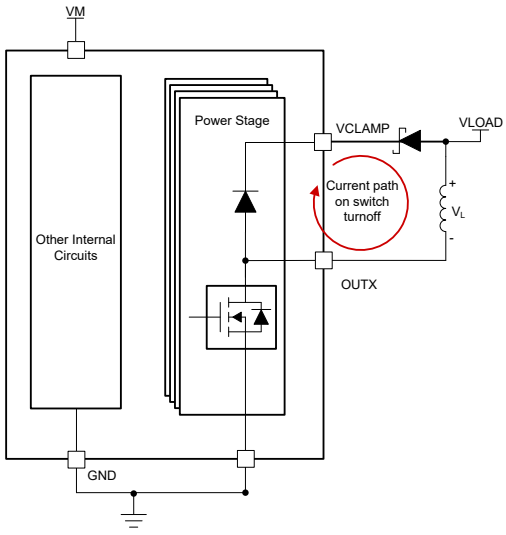


图 6-4. 快速衰减（TVS/齐纳二极管 VCLAMP 至 VLOAD）

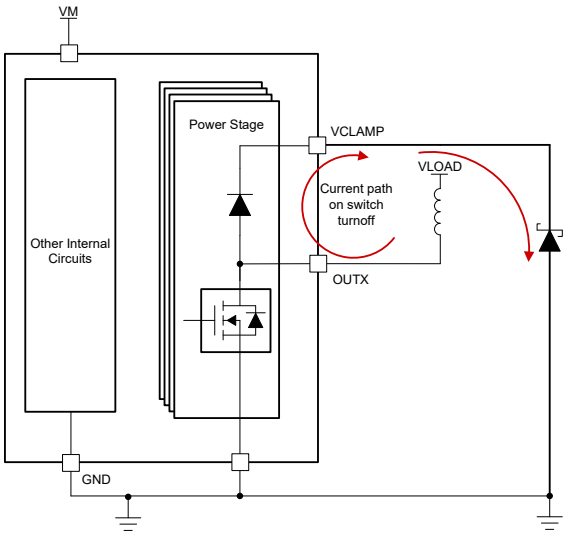


图 6-5. 快速衰减（TVS/齐纳钳位至 GND）

ADVANCE INFORMATION

表 6-3. VCLAMP 衰减模式

VCLAMP 连接	衰减模式	使用场合	V_L 电压
直接连接到 VLOAD	慢速衰减	无需快速衰减的负载。对整个 VM 工作范围安全。	$V_L = -V_{diode}$
TVS 或齐纳二极管连接到 VLOAD	快速衰减	最快的电流衰减。由于可能会超过 OUTx 最大电压，因此当 VM 或 VLOAD > 28V 时不建议使用。	$V_L = -[V_{diode} + V_{zener}]$
TVS 或齐纳二极管连接到 GND	快速衰减	钳位电压低于 TVS 到 VLOAD 的钳位电压，但电流衰减略低。TVS 需要比 VLOAD 更高的击穿电压来防止漏电流。	$V_L = -[V_{diode} + V_{zener} - V_{LOAD}]$

6.3.4 保护电路

DRV81646-Q1 可免受 VM 欠压，每通道过热，裸片过热和过流事件的影响。

6.3.4.1 ILIM 模拟电流限制

DRV81646-Q1 在每个输出端实现了模拟电流限制，可提供短路保护或具有大浪涌电流的容性负载保护。如果输出级出现高电流条件 I > $I_{LIM_ACTIVATE}$ ，则会降低 FET 栅极驱动电压，以将输出电流调节到 I_{LIM} 水平。这种栅极驱动调整会在线性区域内运行 FET，从而产生更高的 $R_{DS(ON)}$ 并消耗大量功率。该电流限制特性 (ILIM) 设计为与过流保护类似，但不是在过流事件期间完全关断 FET，而是将电流限制在安全水平，直到器件过热。

图 图 6-6 和 图 6-7 展示了 ILIM 如何在稳态持续电流（例如在容性负载的情况下）之前将浪涌电流降低到安全水平。此功能提供了减少 PCB 布线宽度和降低系统电源能力要求的系统级优势。

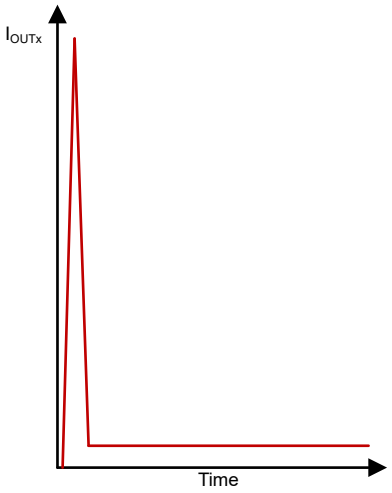


图 6-6. 无电流限制保护的高启动电流

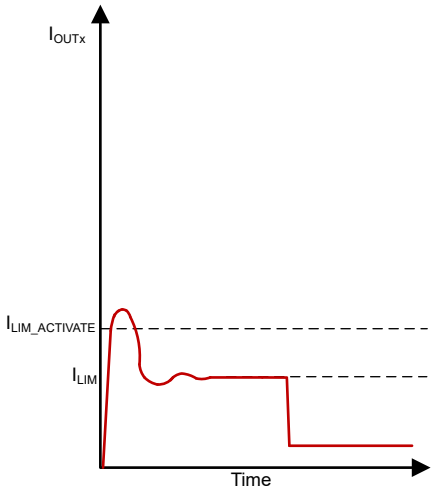


图 6-7. 具有 ILIM 电流限制保护的受控启动电流

模拟电流限制电平 I_{LIM} 可以通过 ILIM 引脚上连接到 GND 的下拉电阻器进行配置，如 表 6-4 所示。会根据 R_{ILIM} 为所有四个通道设置相同的 I_{LIM} 值。一个通道上的电流限制条件不会影响其他通道，除非出现芯片范围过热等事件。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

表 6-4. 模拟电流限制电平取决于 ILIM 电阻器

R_{ILIM} 引脚和 GND 之间的电阻器	电流限制水平，I_{LIM}
0 ⩽ R_{LIM}< 20kΩ	3A
30kΩ ⩽ R_{LIM} ⩽ 120kΩ	I_{LIM}[A] = 60/R_{LIM}[kΩ]
R_{LIM}⩾ 120kΩ	I_{LIM}[A] = 60/R_{LIM}[kΩ]，可以是非线性的

图 6-8 显示了在禁用截止延迟 (0kΩ ⩽ R_{COD} < 20kΩ) 的短路条件下 $t_{TIME_TO_TSD}$ 期间的有源电流限制。有关截止延迟功能的详细说明，请参见 节 6.3.4.2。通道关闭后，仅在通道温度恢复到安全水平 (t_{TSD} – t_{TSD_HYS}) 后，通道才会重试。如果通道 INx 状态在 I_{LIM} 条件下发生变化，则控制器会响应输入状态变化，例如关闭输出。如果器件因 TSD 而关断，且温度仍高于安全水平，则器件不会响应输入状态变化，这意味着如果器件仍然过热，即使切换 INx，器件也不会重新导通输出。

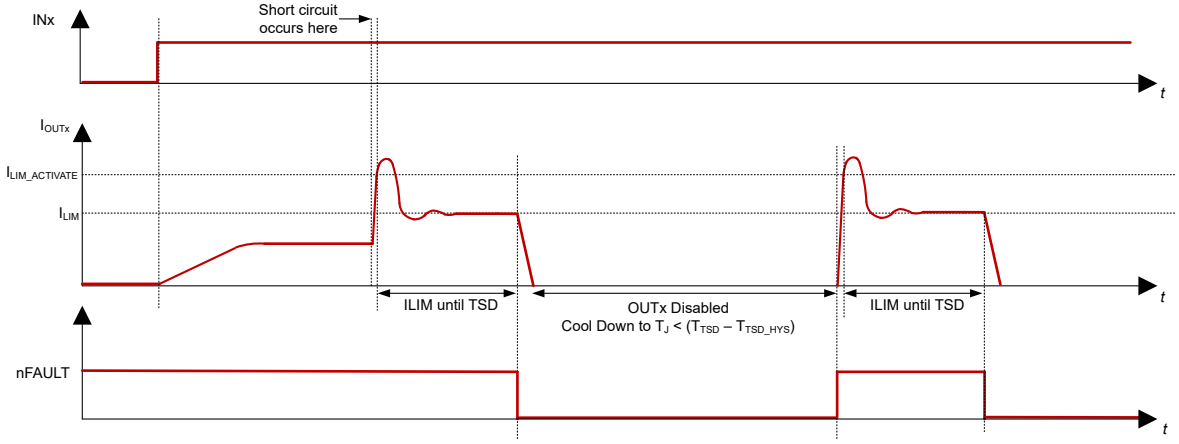


图 6-8. 在基于热关断的重试模式下对短路的电流限制响应（截止延迟已禁用）

图 6-9 显示了每个低侧 FET 的模拟电流限制电路的简化原理图。

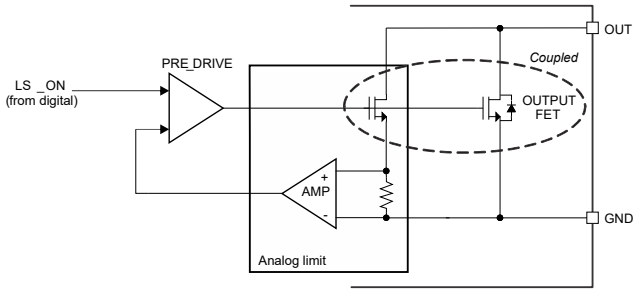


图 6-9. 模拟电流限制和检测图

6.3.4.1.1 负载电阻对 TSD 之前功率耗散的影响

负载的电阻会影响通道在触发热关断之前在线性区域中运行的时间。电阻的功能与线性压降稳压器 (LDO) 类似，其中较高的压降需要器件消耗更多功率。

例如，以一个 24V 系统为例，5Ω 负载与 11Ω 负载的 I_{LIM} 设置为 1A。在不限制电流的情况下，这些电流分别消耗 4.8A 和 2.2A，但使用 I_{LIM} 功能时，这些电流调节至 1A。使用 方程式 3 计算 FET 的线性区域电阻，以实现此 1A 电流限制：

$$I = \frac{V}{R} \quad (3)$$

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

$$I_{LIM} = \frac{V_{VM}}{\left[R_{LOAD} + R_{DS(ON)}\right]} \quad (4)$$

重新排列 方程式 4 以求解 $R_{DS(ON)}$，然后插入加载 5Ω 和 11Ω 的系统值：

$$R_{DS(ON)} = \left[\frac{V_{VM}}{I_{LIM}}\right] - R_{LOAD} \quad (5)$$

$$R_{DS(ON)_5\Omega} = \left(\frac{24V}{1A}\right) - 5\Omega \rightarrow R_{DS(ON)_5\Omega} = 19\Omega \quad (6)$$

$$R_{DS(ON)_11\Omega} = \left(\frac{24V}{1A}\right) - 11\Omega \rightarrow R_{DS(ON)_11\Omega} = 13\Omega \quad (7)$$

使用此电阻可计算 DRV81646-Q1 FET 内部耗散的功率：

$$P_{FET_5\Omega} = I^2 \times R = 1A^2 \times 19\Omega = 19W \quad (8)$$

$$P_{FET_11\Omega} = I^2 \times R = 1A^2 \times 13\Omega = 13W \quad (9)$$

如 方程式 8 和 方程式 9 中所示，即使两个负载都限制为 1A，DRV81646-Q1 的 5Ω 负载功耗也必须高于 11Ω 负载。此功率耗散与 FET 随时间推移的温升直接相关。耗散的功率越大，通道的热关断速度就越快。

6.3.4.2 截止延迟 (COD)

由于模拟电流限制条件会导致非常高的功率耗散，DRV81646-Q1 提供了切断延迟功能，可控制 I_{LIM} 或过流条件的最大长度。t_{COD} 可通过 COD/INRUSH 引脚上的下拉电阻器进行调节，如 表 6-5 所示。

表 6-5. 截止延迟 (COD) 设置

R COD/INRUSH 与 GND 之间的 R_{COD} 电阻器	函数行为	nFAULT 引脚	故障位 (SPI)
$0 \leqslant R_{COD} < 20k\Omega$	关断延迟功能被禁用，输出级和 IC 仅受热关断的保护	当通道达到热关断时下拉至低电平。当通道温度恢复到安全水平时解除	如果通道达到热关断，则会设置相应通道的 FAULT 位。在有效 SPI 事务结束时自动清除该位
$60k\Omega \leqslant R_{COD} \leqslant 240k\Omega$	在功率级关闭之前，允许电流持续 $t_{COD} = R_{COD}(k\Omega)/120ms$（典型值）	当 t_{COD} 计时结束时拉至低电平。t_{RETRY} 计时结束时解除。	当 t_{COD} 计时结束时，会设置相应通道的故障位。在有效 SPI 事务结束时自动清除该位
$240k\Omega < R_{COD} \leqslant 470k\Omega$	$t_{COD} = R_{COD}(k\Omega)/120ms$，但未指定线性度。		
$R_{COD} \geqslant 1M\Omega$	浪涌模式已启用。典型值为 t_{INRUSH} = 10ms。	在浪涌周期 t_{INRUSH} 期间被屏蔽，如果功率级达到热关断，则拉至低电平。	相应通道的故障位在浪涌周期 t_{INRUSH} 内被屏蔽，然后在功率级达到热关断时被拉至低电平。

对于 $60k\Omega \leqslant R_{COD} \leqslant 240k\Omega$，器件将在电流限制条件下持续 $t_{COD} = R_{COD}(k\Omega)/120ms$。通道关闭后，通道仅在典型值为 $t_{RETRY} = (t_{COD} \times 32)$ ms 的间隔后进行重试。如果用户在电流限制条件下更改通道状态，控制器将响应输入状态变化。但是，在 t_{RETRY} 期间，控制器不会响应输入状态变化。

对于 $R_{COD} \geqslant 240k\Omega$，相同的公式同样成立，$t_{COD}$ (ms) = $R_{COD}(k\Omega)/120$，但未指定线性度。

如果在 COD 间隔期间发生热关断，则通道会关闭，并在温度达到安全水平后重试。COD 计时器在输出因热关断而关闭的持续时间内暂停。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

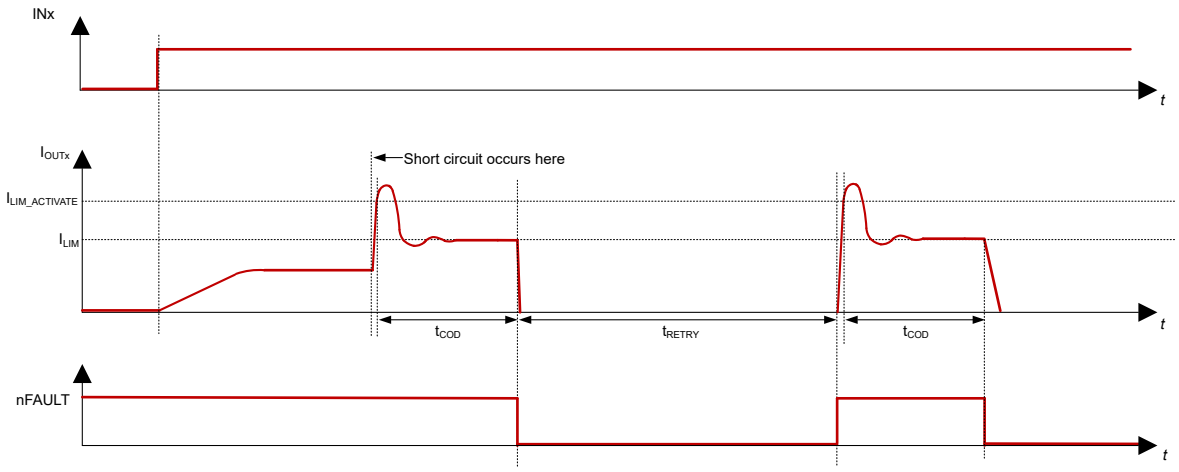


图 6-10. 启用 COD 时的电流限制电路对短路的响应

t_{COD} 和 t_{RETRY} 功能的基于截止延迟的时序，与基于热关断的重试相比，可降低平均功率耗散。如果没有 COD，该器件会在室温下的 1ms 至 5ms 内从热关断状态恢复，同时一个通道导通。对于 COD，器件会等待整个 t_{RETRY} 周期，然后再重新启用输出。例如，我们可以针对 R_{ILIM}=100kΩ，V_{VM} = V_{LOAD} = 24V，R_{LOAD} = 1Ω，使用不使用 COD 的情况来计算每个周期的平均功率耗散

$$I_{LIM} = \frac{60}{R_{ILIM}} = \frac{60}{100} = 0.6A \quad (10)$$

$$P_{OUTx_ILIM} = V_{OUTx} \times I_{LIM} = [V_{LOAD} - I_{LIM} \times R_{LOAD}] \times I_{LIM} = [24V - 1\Omega \times 0.6A] = 23.4V \times 0.6A = 14.0W \quad (11)$$

启用关断延迟 (60kΩ ≤ R_{COD} ≤ 240kΩ) 时，平均电流取决于 t_{COD} 和 t_{RETRY} = t_{COD} × 32ms。对于 R_{COD} = 120kΩ

$$t_{COD} = \frac{R_{COD}[k\Omega]}{120} = \frac{120}{120} = 1ms \quad (12)$$

$$t_{RETRY} = t_{COD} \times 32 = 1ms \times 32 = 32ms \quad (13)$$

$$P_{COD_AVERAGE} = \frac{[P_{OUTx_ILIM} \times t_{COD}]}{t_{COD} + t_{RETRY}} = \frac{[14.0W \times 1ms]}{1ms + 32ms} = 0.43W \quad (14)$$

在没有截止延迟（COD 引脚连接到 GND，或 R_{COD} < 20kΩ）的情况下，该器件会在热迟滞（T_J < (t_{TSD} – t_{TSD_HYS})）后自动重试。使用 $t_{TSD_HYS_RETRY}$ = 2.5ms 的重试时间以及与器件在 t_{TSD} = 1ms 后热关断相同的 1ms 导通时间来计算平均功率耗散：

$$P_{ILIM_AVERAGE} = \frac{[P_{OUTx_ILIM} \times t_{TSD}]}{[t_{TSD} + t_{TSD_HYS_RETRY}]} = \frac{[14.0W \times 1ms]}{[1ms + 2.5ms]} = 4W \quad (15)$$

截止延迟使平均功率耗散（本例中为 0.43W）明显低于基于热关断的保护（本例中为 4W）。这一结果可降低系统总体发热并在相邻器件通道上实现更好的性能。

6.3.4.3 浪涌模式

DRV81646-Q1 提供浪涌模式，该模式会将电流限制提高 10ms 的间隔 (t_{INRUSH})，以支持容性负载，例如在开启时需要大电流的灯。要启用浪涌模式，请将 COD/INRUSH 引脚保持未连接状态，或在引脚上放置一个大于或等于 1MΩ Ω 的下拉电阻器。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

t_{INRUSH} 期间的电流限制为 I_{INRUSH} = 120 ÷ R_{ILIM}[kΩ] (R_{ILIM}≥ 40kΩ)。这也等于 I_{LIM} 电流限制值的 2 倍。$I_{INRUSH_ACTIVATE}$ = I_{INRUSH} + 50%，或

$$I_{INRUSH}[A] = 120 \div R_{ILIM}[k\Omega] \quad (16)$$

$$I_{INRUSH_ACTIVATE}[A] = I_{INRUSH} \times 1.50 \quad (17)$$

例如，ILIM 引脚上的 60kΩ 电阻器会导致 I_{INRUSH} = 120 ÷ 60 = 2.0A。浪涌电流调节仅在电流超过 $I_{INRUSH_ACTIVATE}$ = 2.0A × 1.5 = 3.0A 后激活。10ms 后，电流调节至 I_{LIM} 水平。图 6-11 展示了浪涌行为，然后进行常规 I_{LIM} 电流调节，直至热关断或直至电流降至 I_{LIM} 水平以下。

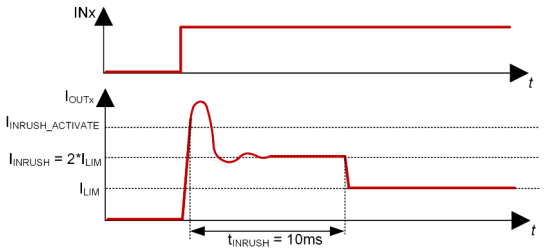


图 6-11. 浪涌期间的电流限制值

如果通道在 t_{INRUSH} 期间由于热关断而关闭，浪涌计时器将暂停，直到通道温度降至安全水平，即低于 T_{TSD}-T_{TSD_HYS}。然后计时器继续增加电流限制 I_{INRUSH}。如果相应的 INx 被拉至低电平，则浪涌计时器计数将复位。当 INx 被拉至高电平时，浪涌计数器会重新启动。图 6-12 说明了此计时器的功能，其中包含的负载使得在 t_{INRUSH} 期间导致热关断，并在 t > t_{INRUSH} 之后使电流调节降至 I_{LIM} 设置。

在 t_{INRUSH} 期间，会屏蔽该通道的 nFAULT 引脚和 NFAULT SPI 位，以防止在初始浪涌期间发生不必要的故障触发。nFAULT 引脚和位仍会报告*不同*通道上的故障。例如，如果通道 1 处于 t_{INRUSH} 范围内，而通道 3 发生热关断，则 nFAULT 引脚和位会报告故障。

表 6-6. 浪涌模式故障报告

器件状态	电流限值	nFAULT 引脚	故障位 (SPI)
t < t_{INRUSH}	I_{INRUSH}	在浪涌周期 t_{INRUSH} 期间被屏蔽	相应通道的故障位在浪涌周期 t_{INRUSH} 期间被屏蔽。
t > t_{INRUSH}	I_{LIM}	如果功率级达到热关断，则下拉至低电平。当通道温度恢复到安全水平时解除。	如果通道达到热关断，则会设置相应通道的 FAULT 位。在有效 SPI 事务结束时自动清除该位

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

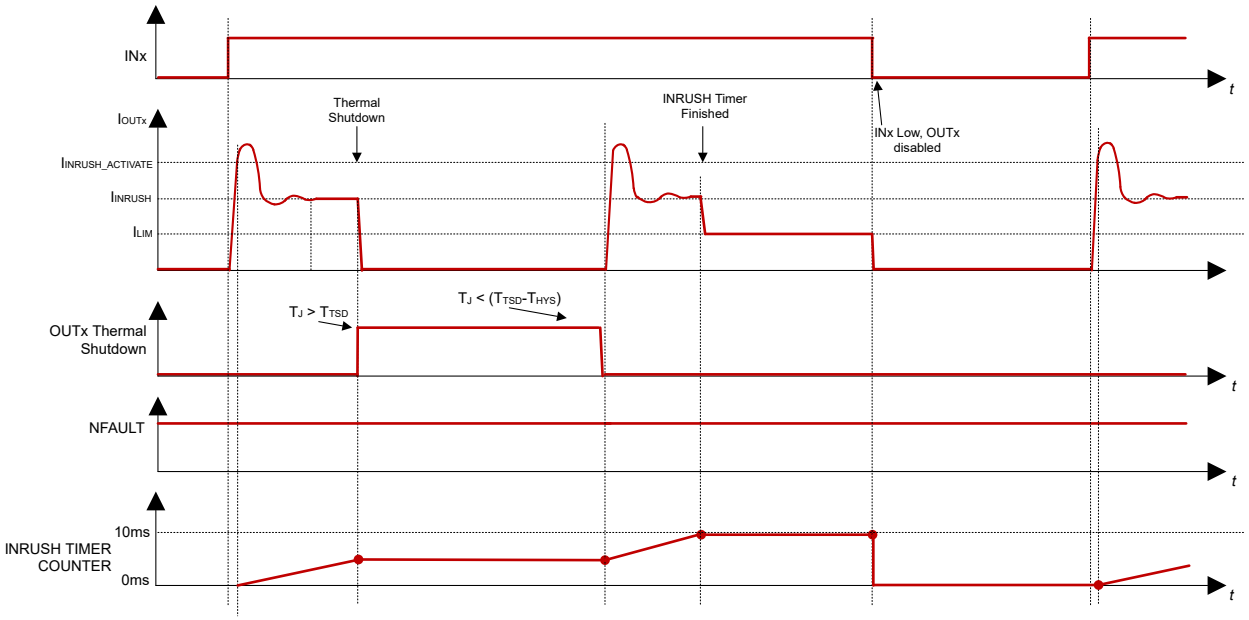


图 6-12. t_{INRUSH} 期间通道热关断的浪涌计时器示例

6.3.4.4 热关断 (TSD)

靠近每个功率 FET 放置了一个专用的热传感器。当通道遇到过热条件时，相应的功率 FET 会被禁用，且 NFAULT 引脚被置为低电平。四个输出功率级的热保护是独立的。

在 SPI 模式下，当某个通道发生热关断时，会设置相应的通道故障位。当检测到输入状态变化时，该位会自动清除。

如果裸片温度超过安全限值，则会禁用输出所有 FET 并将 nFAULT 引脚驱动为低电平。裸片温度下降到安全水平后，将自动恢复运行。在 SPI 模式下，如果发生完全芯片级过热事件，则会设置所有通道的故障位。

6.3.4.5 欠压锁定 (UVLO)

每当 VM 引脚上的电压降至低于 UVLO 下降阈值电压 V_{UVLO} 时，器件中的所有电路都会被禁用，输出 FETS 被禁用，并且所有内部逻辑被复位。当 V_{VM} 电压升至高于 UVLO 上升阈值时，将恢复运行，如 图 6-13 所示。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

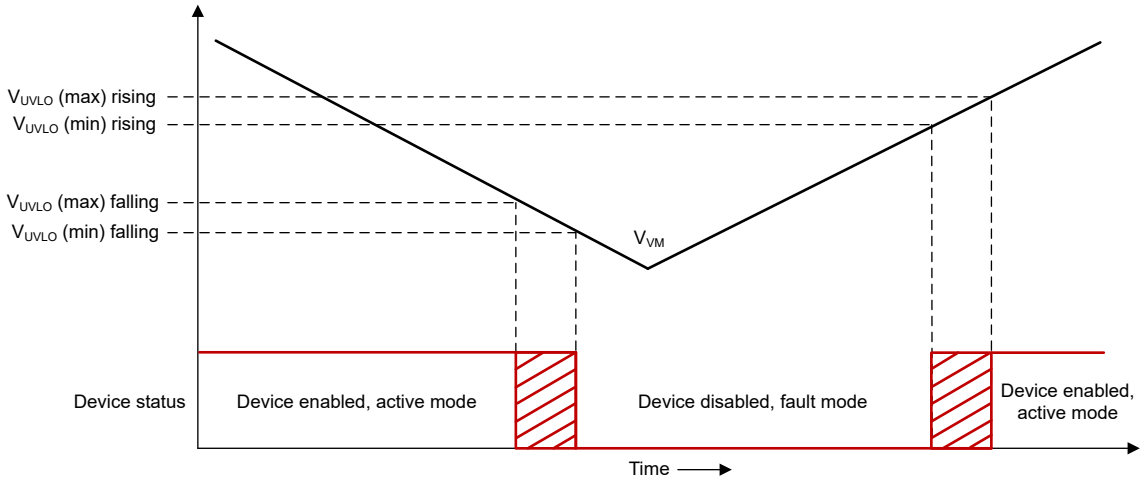


图 6-13. VM UVLO 运行

6.3.5 故障条件汇总

表 6-7 总结了故障情况，以及如何从每种情况中恢复。此外，当器件首次唤醒 (VM > $V_{UVLO(rising)}$) 时，nFAULT 引脚会瞬间被拉低。经过 t_{nFAULT_VALID} 时间后，nFAULT 引脚会准确报告任何故障状态，但在 t_{nFAULT_VALID} 时间内，微控制器可以忽略任何 nFAULT 低电平信号。

表 6-7. 故障条件汇总

故障		SPI FAULT [X] – 通道 X 的故障位	浪涌计数器	NFAULT 引脚	T_{H_SCLK} 间隔内的 SDO	恢复
通道过热，$T_{J_CHx} > T_{TSD}$	0 < t < t_{INRUSH}	未设置	已暂停	高	SDI	$T_J < (T_{TSD} - T_{TSD_HYS})$
	t > t_{INRUSH}	仅对受影响的通道设置	-	拉至低电平	SDI	
全局（裸片）过热，$T_J > T_{TSD}$	0 < t < t_{INRUSH}	为所有通道设置	已暂停	拉至低电平	SDI	$T_J < (T_{TSD} - T_{TSD_HYS})$
	t > t_{INRUSH}		—			
COD 启用时，COD 计时结束		仅对受影响的通道设置	-	拉至低电平	SDI	t_{RETRY} 计时结束
SPI 误差		未设置	-	高	低	下一个有效 SPI 帧
VM 欠压 (UVLO)，$V_{VM} < V_{UVLO}$ VM 下降		SPI 不可用	—	禁用内部电路	SPI 不可用	$V_{VM} > V_{UVLO}$ VM 上升

6.4 器件功能模式

6.4.1 硬件接口运行

DRV81646-Q1 可通过一个简单的硬件接口进行控制，其中 IN_X 决定 OUT_X 的状态。当 INx 引脚被驱动为高电平时，内部逻辑将打开相应的输出 FET。将 INx 设置为低电平时会关断相应的 OUTx FET。表 6-8 列出了此控制方案。

表 6-8. 通道 x 的硬件控制模式

INx	OUTx	说明
0	高阻态	OUTx 禁用 (Hi-Z)
1	L	OUTx FET 导通

6.4.2 并行输出

可以将两个输出端并联在一起以获得更大的电流。图 6-14 展示了 DRV81646-Q1 驱动两个螺线管负载的原理图。该器件还支持将所有四个通道并联在一起。

Copyright © 2026 Texas Instruments Incorporated

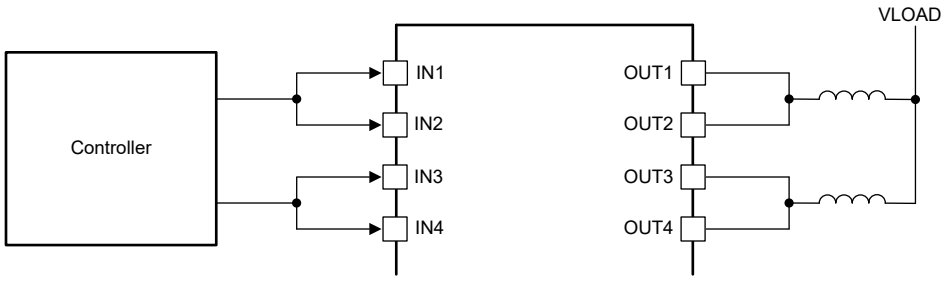


图 6-14. 以更高的电流驱动两个螺线管

请注意，VCLAMP 引脚上的再循环电流不超过持续 RMS 电流或瞬态电流小于 1ms 的绝对最大额定值。具有大电感负载的 PWM 可能会导致 VCLAMP 上出现高电流。

ADVANCE INFORMATION

6.4.3 SPI 模式

DRV81646-Q1 提供了一个 4 线制串行外设接口 (SPI)，允许用户对通道状态进行编程并读回每个通道的故障信息。串行数据必须采用 8 位格式，如所示图 6-15。

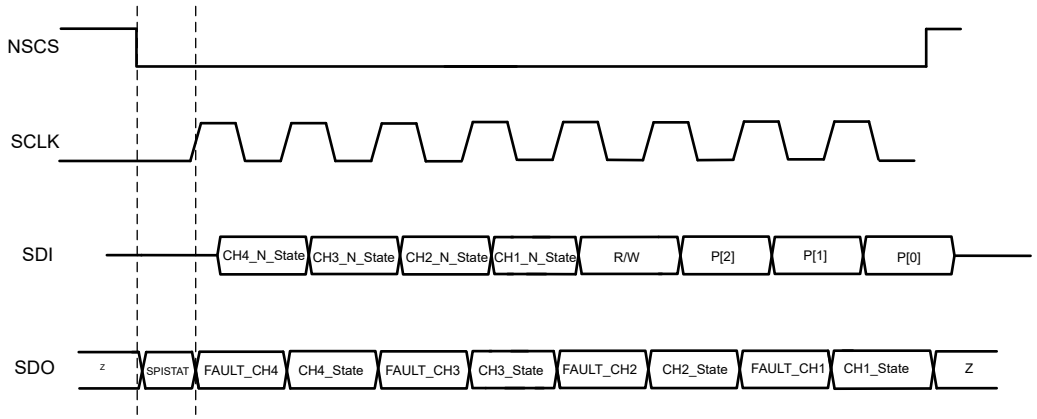


图 6-15. SPI 数据 - 标准 *8 位* 帧和 SPISTAT

6.4.3.1 奇偶校验位计算

P[2:0] 是一组 3 个奇偶校验位，用于检查接收到的数据字的正确性。如果奇偶校验失败，则不会更新输出状态。奇偶校验位的计算方法如下，其中 ⊕ 是 XOR：

- P[2] : B7 ⊕ B6 ⊕ B5
- P[1] : B6 ⊕ B5 ⊕ B4
- P[0] : B5 ⊕ B4 ⊕ B3

例如，若要将通道设置为 OUT4 = 1（位 7）、OUT3 = 0（位 6）、OUT2 = 0（位 5）和 OUT1 = 1（位 4），同时将位 3 的设为 R/W = 1，则奇偶校验计算和帧结构如下：

- P[2] = (1 ⊕ 0 ⊕ 0) = 1
- P[1] = (0 ⊕ 0 ⊕ 1) = 1
- P[0] = (0 ⊕ 1 ⊕ 1) = 0
- 因此，P[2:0] = 0b110
- 整个帧 = 0b1001 1110 = 0x9E

以下是用于实现奇偶校验位计算的 EVM 固件伪代码：

```
bool B7 = startOut4;
bool B6 = startOut3;
bool B5 = startOut2;
bool B4 = startOut1;
bool B3 = rw_bit;

bool P2 = B7 ^ B6 ^ B5;
bool P1 = B6 ^ B5 ^ B4;
bool P0 = B5 ^ B4 ^ B3;

uint8_t CMD = (B7 << 7)|(B6 << 6)|(B5 << 5)|(B4 << 4)|(B3 << 3)|(P2 << 2)|(P1 << 1)|(P0 << 0);
```

6.4.3.2 SPI 输入数据包

表 6-9. SPI 输入数据包

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
CH4_N_State	CH3_N_State	CH2_N_State	CH1_N_State	R/W	P[2:0]		

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

当 CHx_N_State 位设置为 1 时，内部逻辑会打开相应的低侧输出通道 N-FET。将 CHx_N_State 设置为 0 会关闭相应的 OUTx。

R/W（读取/写入）位决定 CHx_N_State 位是否传播到输出。设置 R/W = 1 以执行写入操作。将 R/W 设置为 0 可在当前输出状态不变的情况下读取现有通道状态和故障信息。输出发生故障时会被关闭，且该状态返回 0。

6.4.3.3 SPI 响应数据包

表 6-10. SPI 响应数据包

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
FAULT_CH4	CH4_State	FAULT_CH3	CH3_State	FAULT_CH2	CH2_State	FAULT_CH1	CH1_State

各个通道的当前通道状态在 nSCS 引脚的下降沿被锁存（启动 SPI 事务时）。锁存故障会在 nSCS 引脚的上升沿上清除。

表 6-11. FAULT_CHx 位说明

FAULT_CHx	说明
0	自上次 SPI 事务以来通道正常工作
1	通道 X 发生故障。如果通道 X 自上次 SPI 事务以来遇到故障，则会设置该位。当 nSCS 在有效 SPI 事务结束时被拉回高电平时（奇偶校验通过），则该位清除。

6.4.3.4 SPI 错误报告

在以下情况下会发生 SPI 错误：

- 对接收到的数据位进行奇偶校验与接收到的奇偶校验位不匹配
- 当 nSCS 为低电平时，接收到的 SCLK 脉冲数不是 8 的倍数

在下一个事务中，DRV81646-Q1 在 t_{H_SCLK} 间隔内将 SDO 拉低/拉高，会报告当前事务上的 SPI 错误。SDO 状态设置为 SPISTAT = (SDI) and NOT(SPI_ERROR)。读取 SPISTAT 值的最简单方法是在 t_{H_SCLK} 间隔期间保持 SDI=1，在 t_{SDOHIZ} 之后读取 SPISTAT，这样，如果存在 SPI 错误，则 SPISTAT=0，否则 SPISTAT=1。

nFAULT 引脚上未报告 SPI 错误。

表 6-12. SPISTAT SPI 错误报告

SPI ERROR?	NOT(SPI_ERROR)	SDI	SPISTAT
否	1	0	0
否	1	1	1
是	0	0	0
是	0	1	0

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.4.3.5 SPI 菊花链

将多个器件连接到控制器时，可以使用或不使用菊花链。如果要在不使用菊花链的情况下将“n”个器件连接到控制器，必须针对各个 NSCS 引脚利用来自控制器的“n”个 I/O 资源。然而，如果使用菊花链配置，则可利用单条 NSCS 线路来连接多个器件。

图 6-16 显示了如何以菊花链形式连接两个 DRV81646-Q1 器件，从而充分利用 GPIO 或隔离功能。一个器件的 SDO 引脚馈送到链中以下器件的 SDI 引脚。请注意，由于该引脚为开漏引脚，因此需要在每个 SDO 引脚上连接一个上拉电阻器。

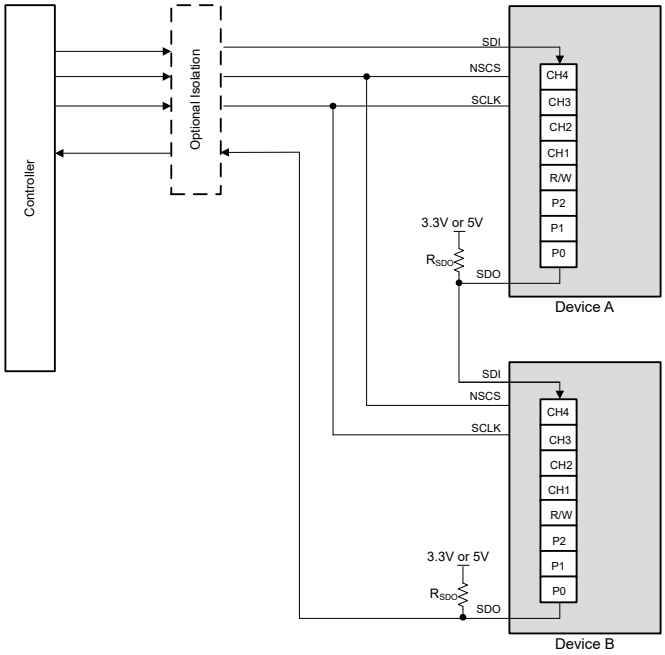


图 6-16. 在菊花链中连接的三个 DRV81646-Q1 器件

要写入两个器件，需要写入 16 位数据，如 图 6-17 所示。请注意，SDO 在 SCLK 的上沿发出。在 SCLK 的下一个下沿后，即可对 SDO 进行采样。SDI 引脚上的值也会在 SCLK 的下沿上进行采样。

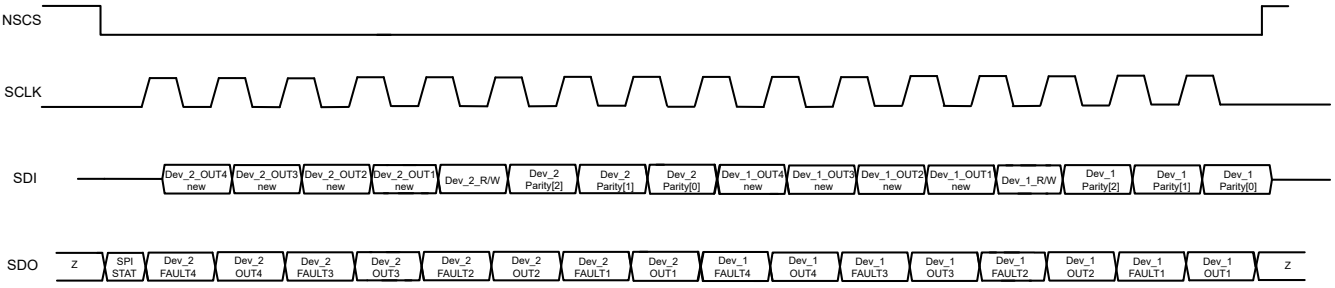


图 6-17. 16 位数据包，用于与两个菊花链器件进行通信

仅当 nSCS 下降沿和上升沿之间检测到的 SCLK 周期数是 8 的倍数时，才会在 nSCS 的上升沿执行命令字解码。SPI 通信中检测到的错误会在 SPI_STAT 位（nSCS 下降沿和第一个 SCLK 上升沿之间的 SDO 状态）上报告，这可以在后续的 SPI 事务中读回。不会在 NFAULT 引脚上进行报告。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

DRV81646-Q1 是一款四通道低侧，可用于驱动接地负载，例如灯泡，线圈，单极 BDC 电机，LED 模块等容性负载。可将通道并联以驱动更大的电流。对于需要 PWM 类型控制的电感负载，DRV81646-Q1 还集成了从 OUT 到 VCLAMP 的环流二极管，该二极管可用于再循环电流以实现慢速衰减。为了实现快速关断，用户可以在 VCLAMP 引脚上连接一个击穿齐纳二极管，以在电感负载中快速衰减电流。

7.2 典型应用

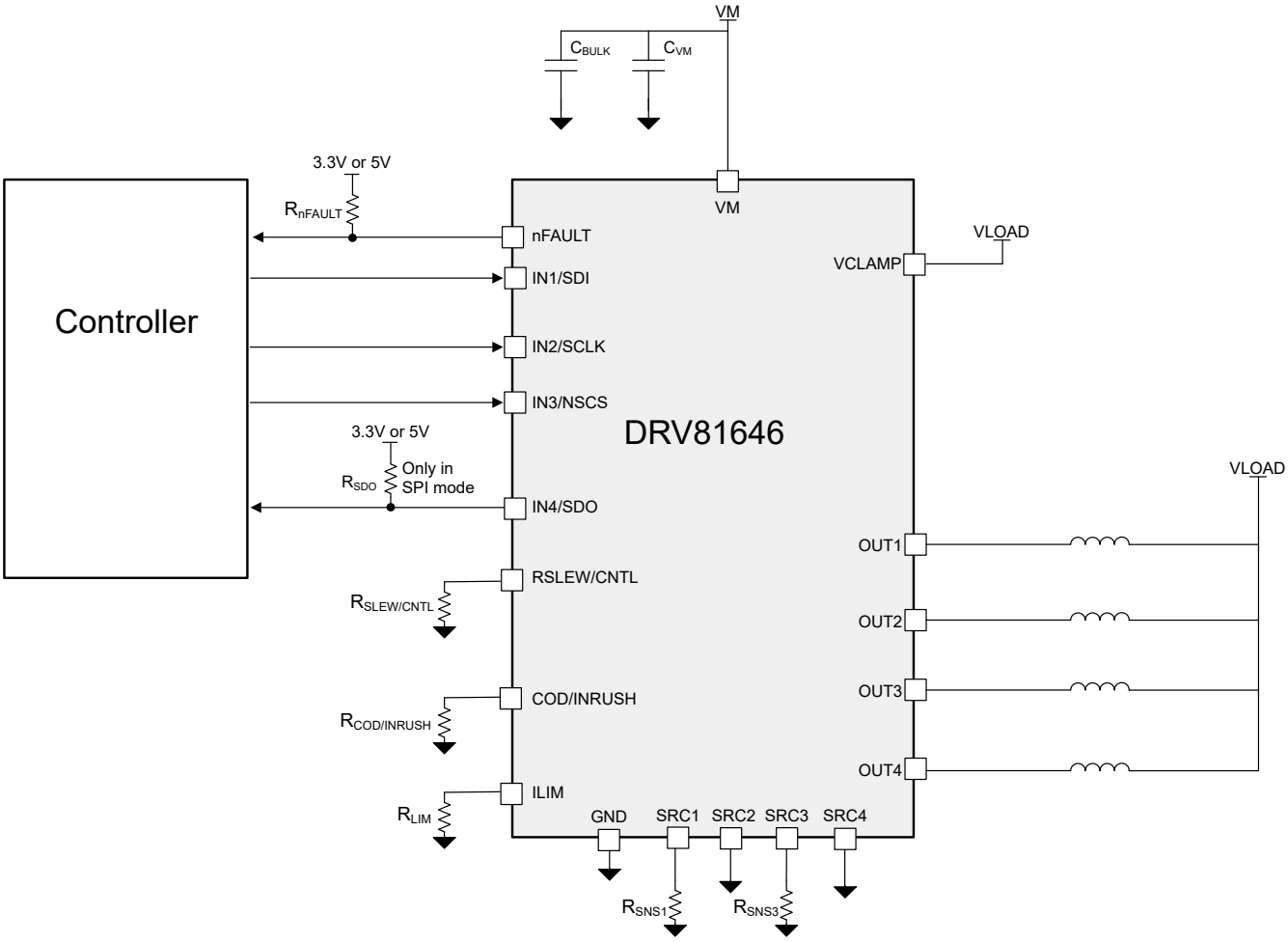


图 7-1. 典型应用原理图

图 7-1 展示了该 DRV81646-Q1 的应用原理图。示例图显示了 SRC1 和 SRC3 上用于在这些通道上进行外部电流检测的可选检测电阻。VLOAD 和 VM 可以连接在一起，或者只要电压不超过任何引脚的绝对最大额定值，它们就可以是不同的电压。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

7.2.1 外部组件

表 7-1 列出了 DRV81646-Q1 的推荐外部元件，表 7-2 列出了可用于提高性能或添加电气隔离的其他元件。

表 7-1. 所需的外部元件

符号	说明	值	用途
C_{VM}	VM 上的电容器	1μF	电源电压滤波
C_{BULK}	VM 上的大容量电容器	47uF – 100uF	电源电压浪涌和纹波平滑处理
R_{COD_INRUSH}	COD_INRUSH 引脚上的下拉电阻器	根据所需的截止延迟 和浪涌模式设置电阻	
R_{SLEW_CNTL}	RSLEW/CNTL 引脚上的下拉电阻器。	根据转换率设置和所需控制接口设置下拉电阻	
R_{ILIM}	删除了 ILIM 引脚上的下拉电阻器	根据所需的电流限值设置电阻	
R_{SDO}	如果处于 SPI 模式，则上拉电阻器至开漏 IN4/SDO 引脚上的逻辑电压	10kΩ	当该引脚未被拉低时，使 SDO 电压上升到逻辑高电平
R_{nFAULT}	上拉电阻连接到开漏 nFAULT 引脚上的逻辑电压	10kΩ	当该引脚未被拉低时，将 nFAULT 电压偏置为高电平

表 7-2. 可选外部元件

符号	说明	值	用途
C_{OUT}	每个 OUTx 到 GND 上的电容器	10nF	系统级 ESD 直接过滤
TVS_{SURGE}	VCLAMP 引脚上的浪涌二极管	SMAJ33CA 或 TVS3300	提供系统级电压浪涌保护和电感退磁保护
R_{SNS}	SRC 引脚上连接到 GND 的电流检测电阻器	< 200mΩ	SRC 引脚上的可选电阻器，用于检测负载电流
U 隔离	用于 INx 或 SPI 信号的四通道数字隔离器	INx 控制： ISO6440 SPI：ISO6441	在电路的其余部分和 DRV81646-Q1 之间提供电气隔离

7.2.2 持续电流能力

下面的表 7-3 显示了在不同环境温度及不同通道开启数量下，各通道持续电流能力的评估结果。行 *1 个通道开启* 表示当 1 个输出通道开启，其余 3 个关闭时，该通道的持续电流能力。行 *2 个通道开启* 表示当 2 个通道在均等负载下开启，另两个关闭时的情况。行 *4 个通道开启* 表示所有 4 个通道同时开启，且各通道负载均等时的电流能力。例如，当 *4 个通道开启*时，每个通道可输出 2.5A，通过器件的总电流为 10.0A。

这些数据来自大型 PCB 上的基准测试，其布局针对功率耗散进行了优化，每个系统和 PCB 设计的持续电流能力都不同。

表 7-3. 每个 OUTx 具有 FET 直流电流能力 — DGQ 封装

设置	25°C	55°C	85°C	125°C
1 个通道开启	3.4A	3.1A	2.9A	2.4A
2 个通道开启	3.1A	2.7A	2.4A	1.8A
4 个通道开启	2.5A	2.2A	1.7A	1.3A

请注意，这仅适用于连续开启的负载，而不适用于 PWM。使用 PWM 切换输出会引入开关损耗，从而使器件进一步发热，导致平均电流能力明显降低。

7.2.3 功率耗散

DRV81646-Q1 器件中的功率耗散主要由输出 FET 电阻或 $R_{DS(on)}$ 中耗散的功率决定。每个 FET 在运行静态负载时的平均功耗可以通过 方程式 18 大致估算：

$$P = R_{DS(ON)} \times [I_{OUT}]^2 \quad (18)$$

Copyright © 2026 Texas Instruments Incorporated

其中

- P 是一个 FET 的耗散功率
- $R_{DS(ON)}$ 是每个 FET 的导通电阻
- I_{OUT} 等于负载的平均电流消耗。

在启动和故障情况下，此电流远大于正常运行电流；请将这些峰值电流及其持续时间考虑在内。当同时驱动多个负载时，必须将所有有源输出级的功率相加。

器件中可耗散的最大功率取决于环境温度和散热。

请注意，$R_{DS(on)}$ 随温度升高而增加，因此随着器件发热，功率耗散也会增大。在确定散热器尺寸时，请考虑这一操作。

7.3 应用曲线

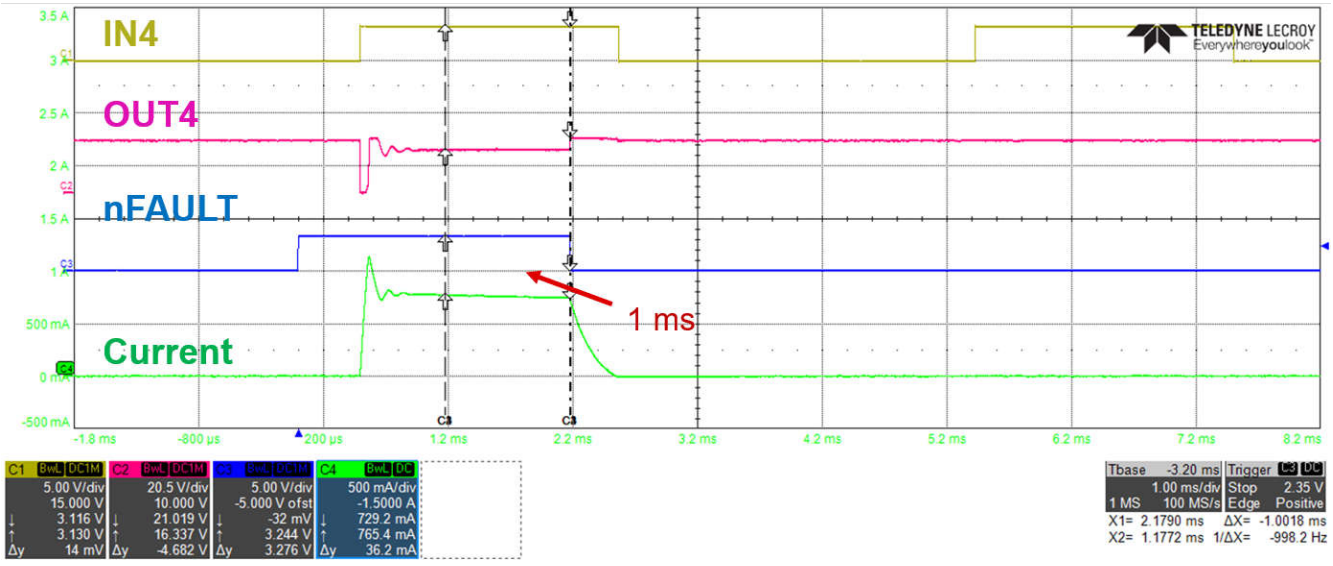


图 7-2. t_{COD} = 1ms，R_{COD} = 120kΩ，12V，12Ω 负载，VCLAMP 短接至 VM

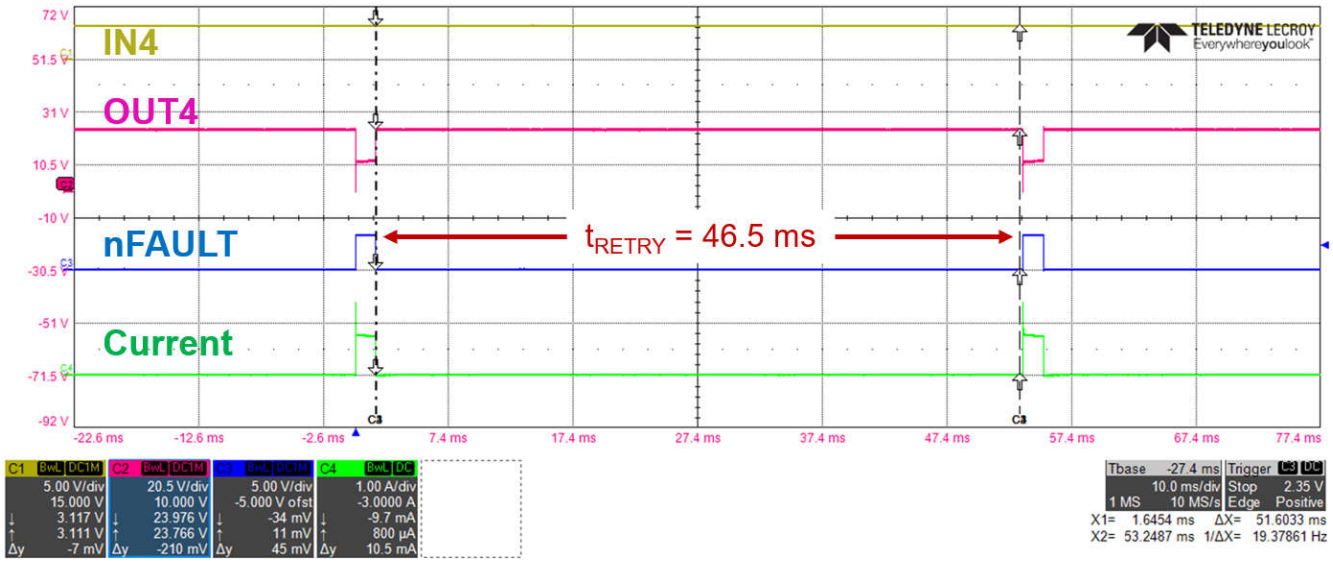


图 7-3. t_{RETRY} = 46.5ms，启用截止延迟 (COD)，R COD = 180kΩ，12V，12Ω 1mH 负载，VCLAMP 短接至 VM

ADVANCE INFORMATION

7.4 电源相关建议

7.4.1 大容量电容

合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。电机驱动器附近的大容量电容器充当本地电荷库，用于消除电机电流变化。

经验丰富的工程师通常使用有关大容量电容的通用指导原则来选择电容值。一个指导原则是每瓦负载功率应使用至少 *1 µF 到 4 µF 的电容*。例如，按照这个指导原则，从 24V 电源消耗 4A 电流的螺线管具有 96W 的功率，因此应使用 96 µF 到 384 µF 的大容量电容。

大容量电容的额定电压必须高于工作电压，以便在电机向电源传递能量时提供裕度。

为在电流转换期间（例如螺线管启动、负载扭矩变化或 PWM 运行）提供恒定的 VM 电源电压，需要较大的大容量电容。稳定供电所需电容的工作估算对于降低电路板电子器件的复杂性、成本和尺寸至关重要。我们可以按照通用指导原则，根据预期的负载电流变化和允许的电机电源电压变化确定合适的电容器大小。

$$C_{BULK} > k \times \Delta I_{MOTOR} \times T_{PWM} \div \Delta V_{SUPPLY} \quad (19)$$

其中：

C_{BULK} 是负载电容

k 是此类应用中典型电容器 ESR 的比例因子；k ≈ 3 在这些情况下是实际可行的。

ΔI_{MOTOR} 是电机电流的预期变化，即 $i_{max} - i_{min}$

T_{PWM} 是 PWM 周期，它是 PWM 频率的倒数

ΔV_{SUPPLY} 是允许的电机电源电压变化

图 7-4 绘制了多个数据点并应用了此通用指导原则，表明一致性相对良好。

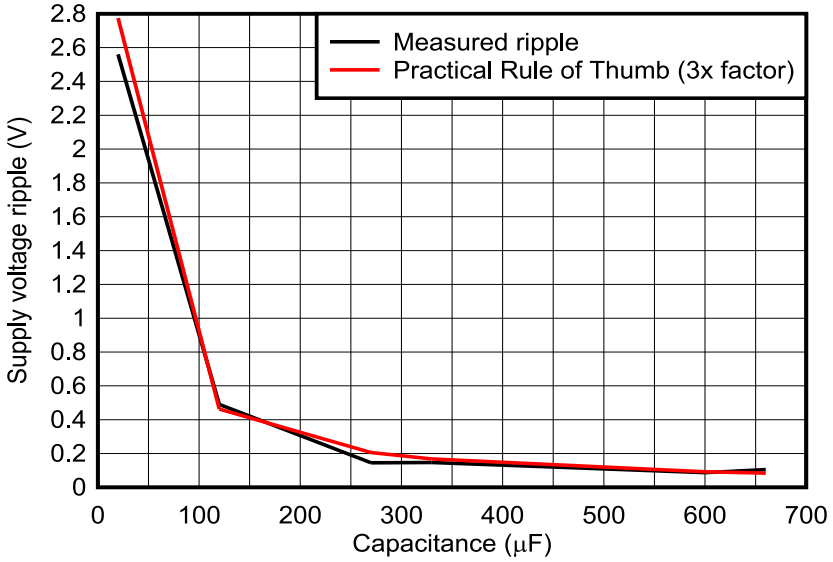


图 7-4. 测量结果和 3 倍通用指导值（考虑了电解电容器的实际非零 ESR 值）

另请参阅*确定适用于直流电机驱动应用的大容量电容器的大小* 应用手册。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

7.5 布局

7.5.1 布局指南

- 放置大容量电容器，以尽量缩短通过电机驱动器器件的大电流路径的距离。连接金属布线宽度必须尽可能宽，并且在连接 PCB 层时必须使用许多过孔。这些做法可更大限度地减少电感并允许大容量电容器提供大电流。
- 对高电流器件输出使用宽金属布线。
- 使用推荐电容值符合 VM 额定电压要求的低 ESR 陶瓷旁路电容器，将 VM 引脚旁路至 GND 引脚。此类电容器尽可能靠近 VM 引脚放置，并通过较宽的布线或接地平面与器件 VNEG 引脚连接。
- 通常，必须避免电源引脚和去耦电容器之间的电感。
- 封装的散热焊盘必须连接至系统接地端。
  - 尝试让整个系统/电路板使用一个大的不间断单一接地平面。接地平面可在 PCB 底层制成。图 7-5 所示为驱动器下方收缩的与连续的接地平面覆铜引起的温升示例。
  - 为了尽可能减小阻抗和电感，在通过通孔连接至底层接地平面之前，接地引脚的布线尽可能短且宽。
  - 使用多个过孔以减小阻抗。
  - 尽量清理器件周围的空间（尤其是在 PCB 底层），从而改善散热。
  - 连接至散热焊盘的单个或多个内部接地平面也有助于散热并降低热阻。
- 有关布局指南和最佳实践的更多信息，请参阅*电机驱动器电路板布局最佳实践*。

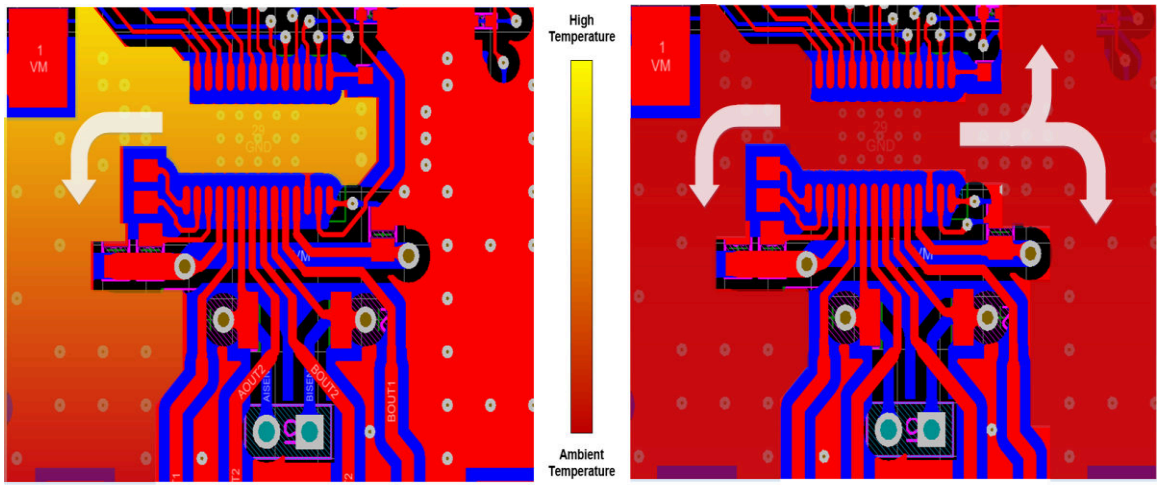


图 7-5. 中断接地平面覆铜与连续接地平面覆铜的热图

7.5.2 布局示例

有关布局示例，请参阅评估模块 (EVM)。可以从 DRV81646EVM 产品文件夹下载 Altium 设计文件。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

欲查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，*电机驱动器电路板布局布线最佳实践*应用手册
- 德州仪器 (TI)，*确定适用于直流电机驱动应用的大容量电容器的大小*应用手册
- 德州仪器 (TI)，*PowerPAD™ 速成* 应用手册
- 德州仪器 (TI)，*PowerPAD™ 热增强型封装* 应用手册

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

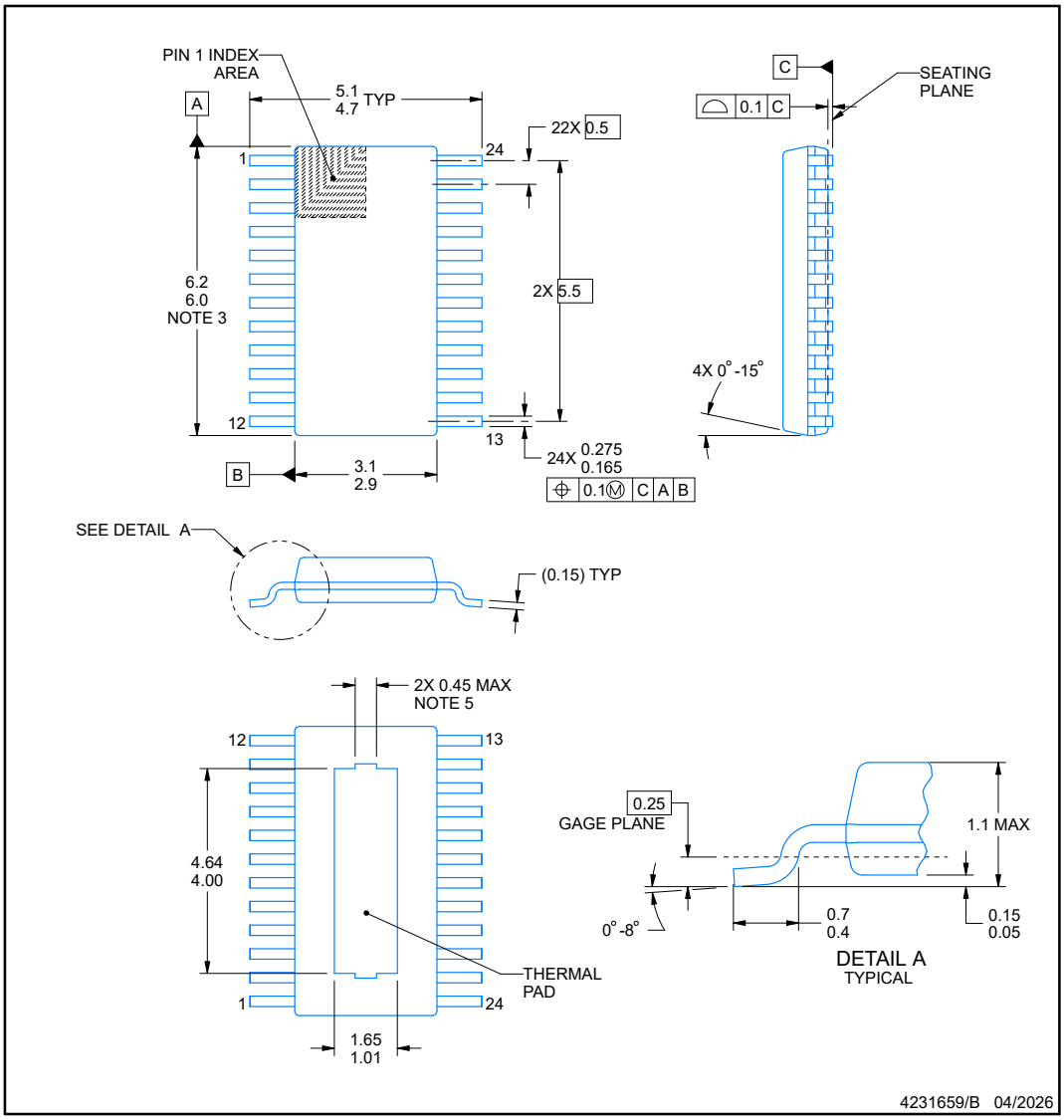
PACKAGE OUTLINE

DGQ0024A



PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

www.ti.com

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

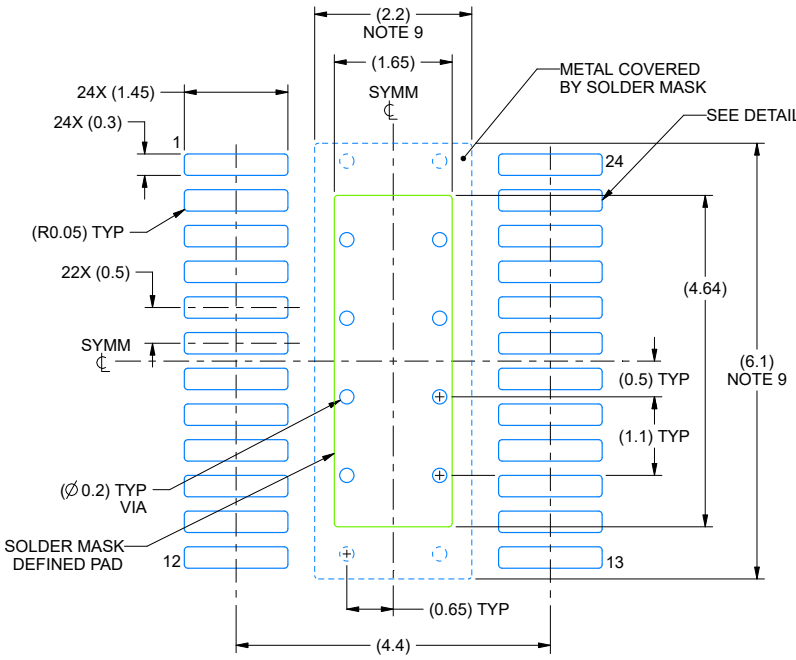
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

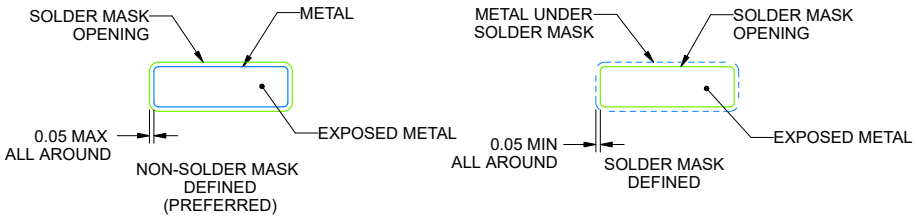
DGQ0024A

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X



SOLDER MASK DETAILS

4231659/B 04/2026

NOTES: (continued)

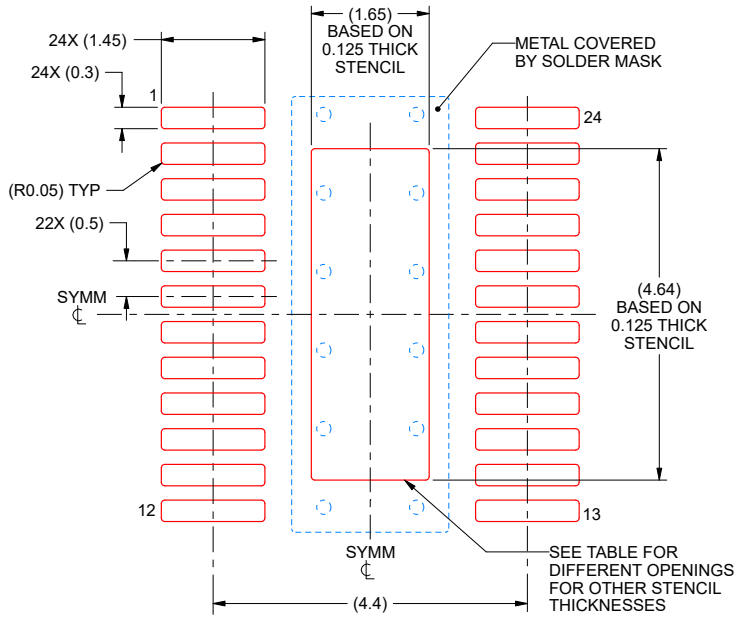
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DGQ0024A — **PowerPAD™ VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 12X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 5.19
0.125	1.65 X 4.64 (SHOWN)
0.15	1.51 X 4.24
0.175	1.39 X 3.92

4231659/B 04/2026

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PDRV81646QDGQRQ1	Active	Preproduction	null (null) |	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRV81646-Q1 :

- Catalog : DRV81646

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月