DRV81620-Q1：适用于汽车继电器、LED、照明和电机控制的 8 通道、40V、700mΩ 全面保护式可配置低侧和高侧驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 1：–40°C 至 +125°C，T_A
- 功能安全型
  - 有助于功能安全设计的文档
- **3V 至 40V** 模拟电源电压
  - 启动时电压可低至 3V
  - 支持 LV124 汽车级标准
- **3V 至 5.5V** 数字电源电压
  - 与 3.3V 和 5V 微控制器兼容
- 最小漏源钳位电压为 **42V**
- 最大源极至地钳位电压为 **-18V**
- $R_{DS(ON)}$：12V、25°C 时的典型值为 **700mΩ**
- 电流：85°C 时每个输出为 **330mA**（所有通道都开启）
- **两个并行输入**带有映射功能
- **跛行回家**模式下激活失效防护
  - 使用 nSLEEP 和 IN 引脚
- 两个独立的内部 **PWM** 发生器
- **灯泡浪涌模式** (BIM) 可驱动灯具
  - 适用于 2W/5W 灯和其他容性负载
- 低电流睡眠模式，T_J ≤ 85°C 时 < 3μA
- 用于控制和诊断的 16 位 SPI
  - 菊花链功能
  - 与 8 位 SPI 器件兼容
- 支持各种 **保护特性**
  - 反向电池保护
  - 接地和电池短路保护
  - 欠压条件下具有稳定行为
  - 过流锁闭
  - 过热警告
  - 热关断锁闭
  - 过压保护
  - 电池欠压保护和接地故障保护
  - 静电放电 (ESD) 保护
- 支持多种 **诊断特性**
  - 通过 SPI 寄存器提供诊断信息
  - 打开状态下提供过载检测
  - 开启和关闭状态下提供开路负载检测
  - 输入和输出状态监控

2 应用

- 区域控制模块 (ZCM)
- 汽车车身控制模块 (BCM)
- 汽车照明
- 汽油和柴油发动机
- 车辆控制单元 (VCU)
- 可编程逻辑控制器 (PLC)

3 说明

DRV81620-Q1 是一款具有保护和诊断功能的 8 通道低侧和 高侧驱动器。该器件为控制继电器、LED、灯具和电机而设计。

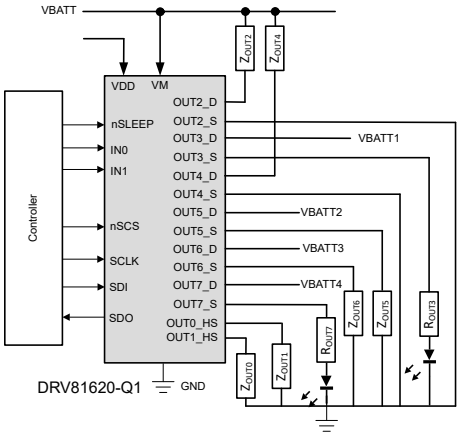
具有菊花链的串行外设接口 (SPI) 用于控制和诊断负载及器件。两个带有映射功能的输入引脚可对输出进行直接控制。该器件支持使用跛行回家功能激活失效防护。集成式 PWM 发生器可驱动 LED，而灯泡浪涌模式可驱动大电容负载。每个输出上的钳位电路会在关闭电感负载期间耗散能量。

该器件支持各种保护特性，例如欠压、过压、短路和开路负载检测。DRV81620-Q1 具有高度集成以及嵌入式保护和诊断功能，因此非常适合汽车车身和动力总成应用。

器件信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸（标称值）
DRV81620QPWPRQ1	HTSSOP (24)	7.8mm × 6.4mm	7.7mm x 4.4mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较.....3
5 引脚配置和功能.....4
6 规格.....6
6.1 绝对最大额定值.....6
6.2 ESD 等级.....7
6.3 建议运行条件.....7
6.4 热性能信息.....7
6.5 电气特性.....8
6.6 SPI 时序要求.....13
6.7 典型特性.....14
7 详细说明.....16
7.1 概述.....16
7.2 功能方框图.....17
7.3 特性说明.....18
8 应用和实施.....49
8.1 应用信息.....49
8.2 典型应用.....50
8.3 布局.....52
9 器件和文档支持.....54
9.1 接收文档更新通知.....54
9.2 支持资源.....54
9.3 商标.....54
9.4 静电放电警告.....54
9.5 术语表.....54
10 修订历史记录.....54
11 机械、封装和可订购信息.....54

Copyright © 2025 Texas Instruments Incorporated

4 器件比较

DRV81xxx-Q1 系列每个器件中的低侧、高侧和可配置通道数量如 表 4-1 所示。

表 4-1. 器件比较

器件名称	高侧通道数量	低侧通道数量	可配置（高侧或低侧）通道数量
DRV81242-Q1	4	2	2
DRV81080-Q1	8	0	0
DRV81602-Q1	0	2	6
DRV81620-Q1	2	0	6
DRV81008-Q1	0	8	0
DRV81004-Q1	0	4	0

5 引脚配置和功能

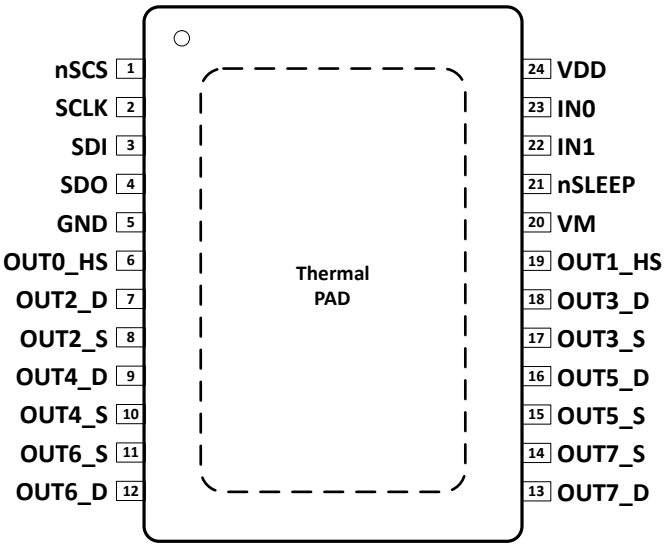


图 5-1. 24 引脚 HTSSOP (PWP) 顶视图

表 5-1. 引脚功能

引脚		类型	说明
名称	编号		
VM	20	P	功率级和保护电路的模拟电源电压
VDD	24	P	SPI 数字电源电压
GND	5	G	接地引脚
nSCS	1	I	串行芯片选择。此引脚上的低电平有效支持串行接口通信。集成上拉至 VDD。
SCLK	2	I	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。集成下拉至 GND。
SDI	3	I	串行数据输入。在 SCLK 的下降沿捕捉数据。集成下拉至 GND。
SDO	4	O	串行数据输出。在 SCLK 的上升沿移出数据。
nSLEEP	21	I	逻辑高电平激活空闲模式。集成下拉至 GND。
IN0	23	I	默认连接到通道 2 且处于跛行回家模式。集成下拉至 GND。
IN1	22	I	默认连接到通道 3 且处于跛行回家模式。集成下拉至 GND
OUT0_HS	6	O	高侧 FET 的源极（通道 0）
OUT2_D	7	O	自动可配置 FET 的漏极（通道 2）
OUT2_S	8	O	自动可配置 FET 的源极（通道 2）
OUT4_D	9	O	自动可配置 FET 的漏极（通道 4）
OUT4_S	10	O	自动可配置 FET 的源极（通道 4）
OUT6_S	11	O	自动可配置 FET 的源极（通道 6）
OUT6_D	12	O	自动可配置 FET 的漏极（通道 6）
OUT7_D	13	O	自动可配置 FET 的漏极（通道 7）
OUT7_S	14	O	自动可配置 FET 的源极（通道 7）
OUT5_S	15	O	自动可配置 FET 的源极（通道 5）

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
OUT5_D	16	O	自动可配置 FET 的漏极（通道 5）
OUT3_S	17	O	自动可配置 FET 的源极（通道 3）
OUT3_D	18	O	自动可配置 FET 的漏极（通道 3）
OUT1_HS	19	O	高侧 FET 的源极（通道 1）
PAD	-	-	外露焊盘。将外露焊盘连接至 PCB 接地以用于冷却和 EMC。

I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

6 规格

6.1 绝对最大额定值

在 T_J = -40°C 至 +150°C 范围内，所有电压均以接地为基准，正电流流入引脚（除非另有说明）

		最小值	最大值	单位
V_M	模拟电源电压	-0.3	42	V
V_{DD}	数字电源电压	-0.3	5.75	V
V_{M_LD}	负载突降保护的电源电压		42	V
V_{M_SC}	短路保护的电源电压	0	28	V
$-V_{M_REV}$	反极性电压，所有通道上均为 $T_J(0)$ = 25°C、t ≤ 2 分钟、R_L = 70Ω	-	18	V
I_{VM}	流经 VM 引脚的电流，t ≤ 2 分钟	-10	10	mA
$\|I_L\|$	负载电流，单通道	-	I_{L_OCP0}	A
V_{DS}	功率 FET 处电压	-0.3	42	V
V_{OUT_S}	FET 源极电压	-18	V_{OUT_D} + 0.3	V
V_{OUT_D}	FET 漏极电压 (V_{OUT_S} ≥ 0V)	V_{OUT_S} - 0.3	42	V
V_{OUT_D}	FET 漏极电压 (V_{OUT_S} < 0V)	-0.3	42	V
E_{AS}	最大能量耗散单脉冲，$T_J(0)$ = 25°C，$I_L(0)$ = 2*I_{L_EAR}	-	50	mJ
E_{AS}	最大能量耗散单脉冲，$T_J(0)$ = 150°C，$I_L(0)$ = 400mA	-	25	mJ
E_{AR}	重复脉冲的最大能量耗散 -I_{L_EAR}，2*10^6 个周期，$T_J(0)$ = 85°C，$I_L(0)$ = I_{L_EAR}	-	10	mJ
V_I	IN0、IN1、nSCS、SCLK、SDI 引脚处电压	-0.3	5.75	V
V_{nSLEEP}	nSLEEP 引脚处电压	-0.3	42	V
V_{SDO}	SDO 引脚的电压	-0.3	V_{DD} + 0.3	V
T_A	环境温度	-40	125	°C
T_J	结温	-40	150	°C
T_{stg}	贮存温度	-55	150	°C

- *短路保护功能不支持高于 28V 时短电感 < 1 μH。*
- *负载突降的持续时间为 t_{on} = 400ms；t_{on}/t_{off} = 10%；限制为 100 个脉冲。*
- *对于反极性，所有通道上均为 $T_J(0)$ = 25°C、t ≤ 2 分钟、R_L = 70Ω。器件根据 JEDEC JESD51-2、-5、-7，在自然对流条件下安装在 FR4 2s2p 电路板上；产品（芯片+封装）在具有 2 个内部铜层（2 μm * 70 μm Cu、2 μm * 35 μm Cu）的 76.2mm * 114.3mm * 1.5mm 电路板上进行仿真。在适用情况下，外露焊盘下方的散热过孔阵列接触第一个内部铜层。*
- *对于最大能量耗散，脉冲形状表示电感开关关闭：$I_L(t) = I_L(0) \times (1 - t/t_{pulse})$；$0 < t < t_{pulse}$。*
- *超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。*
- *故障条件被视为“超出”正常工作范围。*

Copyright © 2025 Texas Instruments Incorporated

6.2 ESD 等级

				值	单位
V_{ESD}	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002[1] 标准	OUT 引脚与 VM 或 GND	±4000	V
			其他引脚	±2000	
		充电器件模型 (CDM)，符合 AECQ100-011 标准	转角引脚（1、12、13、24）	±750	
			其他引脚	±500	

(1) *AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。*

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{M_NOR}	可确保正常运行的电源电压范围	4	-	40	V
V_{M_LOW}	可延长运行时间的较低电源电压范围，可能存在参数偏差	3	-	4	V
V_{DD}	逻辑电源电压，f_{SCLK} = 5MHz	3	-	5.5	V
V_I	控制和 SPI 输入（nSLEEP、IN0、IN1、nSCS、SCLK、SDI）	0	-	5.5	V
T_A	环境温度	-40	-	125	°C
T_J	结温	-40	-	150	°C

6.4 热性能信息

热指标		PWP (HTSSOP) 24 引脚	单位
$R_{\theta JA}$	结至环境热阻	32.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	27.5	°C/W
$R_{\theta JB}$	结至电路板热阻	12.5	°C/W
ψ_{JT}	结至顶部特征参数	1.3	°C/W
ψ_{JB}	结至电路板特征参数	12.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	5.7	°C/W

6.5 电气特性

V_{DD} = 3V 至 5.5V，V_M = 4V 至 40V，T_J = -40°C 至 +150°C（除非另有说明）

典型值：V_{DD} = 5V，V_M = 13.5V，T_J = 25°C

参数		测试条件		最小值	典型值	最大值	单位
电源（V_M、V_{DD}）							
V_{M_OP}	VM 最小工作电压	ENx = 1b，从 UVRVM = 1b 到 V_{DS} ≤ 1V，R_L = 50Ω				4	V
V_{DD_OP}	VDD 工作电压	f_{SCLK} = 5MHz		3		5.5	V
V_{MDIFF}	V_M 与 V_{DD} 之间的电压差				200		mV
I_{VM_SLEEP}	睡眠模式下的模拟电源电流	nSLEEP，IN0，IN1 悬空，V_M = 5V 至 28V，nSCS = VDD	T_J ≤ 85°C		0.6	3	µA
		nSLEEP，IN0，IN1 悬空，nSCS = VDD	T_J = 150°C		0.9	20	
I_{VDD_SLEEP}	睡眠模式下的逻辑电源电流	nSLEEP，IN0，IN1 悬空，nSCS = VDD	T_J ≤ 85°C		0.1	1	µA
			T_J = 150°C		0.7	4	
I_{SLEEP}	睡眠模式下的总体电流消耗	nSLEEP，IN0，IN1 悬空，V_M = 5V 至 28V，nSCS = VDD	T_J ≤ 85°C			4	µA
		nSLEEP，IN0，IN1 悬空，nSCS = VDD	T_J = 150°C			24	µA
I_{VM_IDLE}	空闲模式下的模拟电源电流	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 0b，ENx = 0b，IOLx = 0b，nSCS = VDD				2.1	mA
			COR 模式，V_M ≤ V_{DD} - 1V			0.3	mA
I_{VDD_IDLE}	空闲模式下的逻辑电源电流	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 0b，ENx = 0b，nSCS = VDD				0.1	mA
			COR 模式，V_M ≤ V_{DD} - 1V			1.9	
I_{IDLE}	空闲模式下的总体电流消耗	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 0b，ENx = 0b，IOLx = 0b，nSCS = VDD				2.2	mA
$I_{VM_ACT_OFF}$	工作模式下的模拟电源电流 - 通道关闭	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 1b，ENx = 0b，IOLx = 0b，nSCS = VDD				4.6	mA
			COR 模式，V_M ≤ V_{DD} - 1V		1	2.3	mA
$I_{VM_ACT_ON}$	工作模式下的模拟电源电流 - 通道开启	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 1b，ENx = 1b，IOLx = 0b，nSCS = VDD	EN_OLON = 0100b			4.6	mA
			COR 模式，V_M ≤ V_{DD} - 1V		1	2.3	mA

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

V_{DD} = 3V 至 5.5V，V_M = 4V 至 40V，T_J = -40°C 至 +150°C（除非另有说明）

典型值：V_{DD} = 5V，V_M = 13.5V，T_J = 25°C

参数		测试条件		最小值	典型值	最大值	单位
$I_{VDD_ACT_OFF}$	工作模式下的逻辑电源电流 - 通道关闭	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 1b，ENx = 0b，nSCS = VDD				0.1	mA
			COR 模式，$V_M \leqslant V_{DD}$ - 1V			2.4	mA
$I_{VDD_ACT_ON}$	工作模式下的逻辑电源电流 - 通道开启	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 1b，ENx = 1b，nSCS = VDD				0.1	mA
			COR 模式，IOLx = 0b，EN_OLON = 0100b，$V_M \leqslant V_{DD}$ - 1V			2.4	mA
I_{ACT_OFF}	工作模式下的总体电流消耗 - 通道关闭	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 1b，ENx = 0b，IOLx = 0b，nSCS = VDD				4.7	mA
I_{ACT_ON}	工作模式下的总体电流消耗 - 通道开启	nSLEEP = 逻辑高电平，IN0，IN1 悬空，f_{SCLK} = 0MHz，ACT = 1b，ENx = 1b，IOLx = 0b，EN_OLON = 0100b，nSCS = VDD				4.7	mA
t_{S2I}	睡眠到空闲延迟	从 nSLEEP 引脚至 TER + INST 寄存器 = 8680H			200	300	µs
t_{I2S}	空闲到睡眠延迟	从 nSLEEP 引脚到标准诊断 = 0000H，从 SDO 到 GND 的外部下拉电阻			100	150	µs
t_{I2A}	空闲到工作延迟	从 INx 或 nSCS 引脚到 MODE = 10b			100	150	µs
t_{A2I}	工作到空闲延迟	从 INx 或 nSCS 引脚到 MODE = 11b			100	150	µs
t_{S2LH}	睡眠到跛行回家延迟	从 INx 引脚到 V_{DS} = 10% V_M			300 + t_{ON}	450 + t_{ON}	µs
t_{LH2S}	跛行回家到睡眠延迟	从 INx 引脚到标准诊断 = 0000H，从 SDO 到 GND 的外部下拉电阻			200 + t_{OFF}	300 + t_{OFF}	µs
t_{LH2A}	跛行回家到工作延迟	从 nSLEEP 引脚到 MODE = 10b			50	100	µs
t_{A2LH}	工作到跛行回家延迟	从 nSLEEP 引脚到 TER + INST 寄存器 = 8683H（IN0 = IN1 = 逻辑高电平）或 8682H（IN1 = 逻辑高电平、IN0 = 逻辑低电平）或 8681H（IN1 = 逻辑低电平，IN0 = 逻辑高电平）			55	100	µs
t_{A2S}	工作到睡眠延迟	从 nSLEEP 引脚到标准诊断 = 0000H，从 SDO 到 GND 的外部下拉电阻			50	100	µs
控制和 SPI 输入（nSLEEP、IN0、IN1、nSCS、SCLK、SDI）							
V_{IL}	输入逻辑低电平电压			0		0.8	V
V_{IH}	输入逻辑高电平电压（nSLEEP、IN0、IN1）			2		5.5	V

6.5 电气特性（续）

V_{DD} = 3V 至 5.5V，V_M = 4V 至 40V，T_J = -40°C 至 +150°C（除非另有说明）

典型值：V_{DD} = 5V，V_M = 13.5V，T_J = 25°C

参数		测试条件	最小值	典型值	最大值	单位
V_{IH_SPI}	输入逻辑高电平电压（nSCS、SCLK、SDI）		2		V_{DD}	V
I_{IL}	输入逻辑低电平电流（除 nSCS 外的所有引脚）	V_I = 0.8V	8	12	16	µA
I_{IH}	输入逻辑高电平电流（除 nSCS 外的所有引脚）	V_I = 2V	20	30	40	µA
I_{IL_nSCS}	nSCS 输入逻辑低电平电流	V_{nSCS} = 0.8V，V_{DD} = 5V	30	60	90	µA
I_{IH_nSCS}	nSCS 输入逻辑高电平电流	V_{nSCS} = 2V，V_{DD} = 5V	10	40	65	µA
推挽式输出 (SDO)						
V_{SDO_L}	输出逻辑低电平电压	I_{SDO} = -1.5mA	0		0.4	V
V_{SDO_H}	输出逻辑高电压	I_{SDO} = 1.5mA	V_{DD} - 0.4		V_{DD}	V
I_{SDO_OFF}	SDO 三态漏电流	V_{nSCS} = V_{DD}，V_{SDO} = 0V 或 V_{DD}	-0.5		0.5	µA
功率级						
$R_{DS(ON)}$	导通电阻	T_J = 25°C	0.4	0.7	0.95	Ω
		T_J = 150°C，I_L = I_{L_EAR} = 220mA	0.6	1	1.4	
I_{L_NOM}	标称负载电流（所有通道均处于工作状态）	T_A = 85°C，T_J ≤ 150°C		330	500	mA
		T_A = 105°C，T_J ≤ 150°C		260	500	mA
I_{L_NOM}	标称负载电流（一半通道处于活动状态）	T_A = 85°C，T_J ≤ 150°C		470	500	mA
I_{L_EAR}	最大能量耗散的负载电流 - 重复（所有通道均处于工作状态）	T_A = 85°C，T_J ≤ 150°C		220		mA
$-I_{L_REV}$	每通道反向电流能力（在高侧运行中）				I_{L_EAR}	mA
E_{AR}	最大能量耗散重复脉冲 - 2*I_{L_EAR}（两个通道并联）	$T_{J(0)}$ = 85°C，$I_{L(0)}$ = 2*I_{L_EAR}，2*10^6 个周期，PAR = 1b（对于受影响通道）			15	mJ
V_{DS_OP}	电池电量低时的功率级压降	R_L = 50Ω，V_M = V_{M1} = V_{M2} = $V_{M_OP,max}$		0.05	0.2	V
V_{DS_OP}	自动可配置通道在低电池电压时的功率级压降	R_L = 50Ω，连接至 V_M 或接地，V_M = $V_{M_OP,max}$，V_{Dx} = $V_{M_OP,max}$		0.05	0.3	V
V_{DS_OP}	高侧通道在低电池电压时的功率级压降	R_L = 50Ω，V_M = $V_{M_OP,max}$，V_{M_HS} = $V_{M_OP,max}$		0.05	0.3	V
V_{DS_CL}	低侧通道的漏源输出钳位电压	I_L = 20mA，V_M = V_{OUT_Dx} = 36V	42	44	50	V
V_{OUT_CL}	高侧通道的源极至接地输出钳位电压	I_L = 20mA，V_M = V_{OUT_Dx} = 7V	-24		-18	V
I_{L_OFF}	输出漏电流（每个低侧通道）	V_{IN} = 0V 或悬空，V_{DS} = 28V，ENx = 0b，T_J ≤ 85°C		0.5	2	µA
I_{L_OFF}	输出漏电流（每个低侧通道）	V_{IN} = 0V 或悬空，V_{DS} = 28V，ENx = 0b，T_J = 150°C		1.5	5	µA

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

V_{DD} = 3V 至 5.5V，V_M = 4V 至 40V，T_J = -40°C 至 +150°C（除非另有说明）

典型值：V_{DD} = 5V，V_M = 13.5V，T_J = 25°C

参数		测试条件	最小值	典型值	最大值	单位
I_{L_OFF}	输出漏电流（每个自动可配置或高侧通道）	V_{IN} = 0V 或悬空，V_{DS} = 28V，V_{OUT_S} = 1.5V，ENx = 0b，T_J ≤ 85°C		0.3	4	µA
I_{L_OFF}	输出漏电流（每个自动可配置或高侧通道）	V_{IN} = 0V 或悬空，V_{DS} = 28V，V_{OUT_S} = 1.5V，ENx = 0b，T_J = 150°C		0.3	3	µA
t_{DLY_ON}	导通延迟（从 INx 引脚或位到 V_{OUT} = 90% V_M（对于低侧配置）或到 V_{OUT} = 10% V_M（对于高侧配置））	R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式	2	5	8	µs
t_{DLY_OFF}	关断延迟（从 INx 引脚或位到 V_{OUT} = 10% V_M（对于低侧配置）或到 V_{OUT} = 90% V_M（对于高侧配置））	R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式	3	6	11	µs
t_{ON}	导通时间（从 INx 引脚或位到 V_{OUT} = 10% V_M（对于低侧配置）或到 V_{OUT} = 90% V_M（对于高侧配置））	R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式	9	16	23	µs
t_{OFF}	关断时间（从 INx 引脚或位到 V_{OUT} = 90% V_M（对于低侧配置）或到 V_{OUT} = 10% V_M（对于高侧配置））	R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式	11	17	25	µs
t_{ON} - t_{OFF}	导通/关断匹配	R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式	-10	0	10	µs
SR_{ON}	导通压摆率，V_{DS} = 70% 至 30% V_M（对于低侧配置）或 V_{DS} = 30% 至 70% V_M（对于高侧配置）	R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式，SR = 0b	0.6	1.3	1.8	V/µs
		R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式，SR = 1b	1.3	2.5	3.6	V/µs
SR_{OFF}	关断压摆率，V_{DS} = 30% 至 70% V_M（对于低侧配置）或 V_{DS} = 70% 至 30% V_M（对于高侧配置）	R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式，SR = 0b	0.6	1.3	1.8	V/µs
		R_L = 50Ω，V_M = 13.5V，工作模式或跛行回家模式，SR = 1b	1.3	2.5	3.6	V/µs
t_{INRUSH}	灯泡浪涌模式重启时间	工作模式			40	µs
t_{BIM}	灯泡浪涌模式复位时间	工作模式		40		ms
f_{INT}	内部基准频率	FPWM = 1000b	80	102	125	kHz
f_{INT_VAR}	内部基准频率差异		-15		15	%
t_{SYNC}	内部基准频率同步时间	FPWM = 1000b		7	10	µs
保护						
$V_{M_UVLO_F}$	VM 欠压关断（下降）	ENx = ON，从 V_{DS} ≤ 1V 到 UVRVM = 1b，R_L = 50Ω	2.64	2.73	2.82	V
$V_{M_UVLO_R}$	VM 欠压关断（上升）		2.77	2.86	2.95	V
V_{DD_UVLO}	VDD 欠压关断	V_{SDI} = V_{SCLK} = V_{nSCS} = 0V，SDO 从低电平至高阻态	2.5	2.65	2.8	V

6.5 电气特性（续）

V_{DD} = 3V 至 5.5V，V_M = 4V 至 40V，T_J = -40°C 至 +150°C（除非另有说明）

典型值：V_{DD} = 5V，V_M = 13.5V，T_J = 25°C

参数		测试条件		最小值	典型值	最大值	单位
V_{DD_HYS}	VDD 欠压关断迟滞				120		mV
I_{L_OCP0}	过流保护阈值，OCP = 0b	T_J = -40°C		1.3	1.5	1.8	A
		T_J = 25°C		1.3	1.45	1.7	A
		T_J = 150°C		1.2	1.4	1.6	A
I_{L_OCP1}	过流保护阈值，OCP = 0b	T_J = -40°C		0.7	0.8	1	A
		T_J = 25°C		0.65	0.75	0.9	A
		T_J = 150°C		0.65	0.72	0.85	A
I_{L_OCP0}	过流保护阈值，OCP = 1b	T_J = -40°C		2.2	2.5	3	A
		T_J = 25°C		2.1	2.4	2.8	A
		T_J = 150°C		1.9	2.1	2.4	A
I_{L_OCP1}	过流保护阈值，OCP = 1b	T_J = -40°C		1	1.3	1.6	A
		T_J = 25°C		1	1.3	1.55	A
		T_J = 150°C		1	1.25	1.5	A
t_{OCPIN}	过流阈值开关延迟时间			70	170	260	µs
t_{OFF_OCP}	过流关断延迟时间	BIMx = PARx = 0b		4	7	11	µs
T_{OTW}	过热警告			120	140	160	°C
T_{HYS_OTW}	过热警告迟滞				12		°C
T_{TSD}	热关断温度			150	175	200	°C
V_{M_AZ}	过压保护	I_{VM} = 10mA，睡眠模式		42	47	52	V
V_{DS_REV}	反极性期间的漏源极二极管（低侧开关配置）	I_L = -10mA，睡眠模式，T_J = 25°C			730		mV
V_{DS_REV}	反极性期间的漏源极二极管（低侧开关配置）	I_L = -10mA，睡眠模式，T_J = 150°C			540		mV
R_{DS_REV}	反极性期间的导通状态电阻（高侧开关配置）	V_M = -V_{M_REV}，I_L = I_{L_EAR}	T_J = 25°C		0.7		Ω
			T_J = 150°C		1.1		Ω
t_{RETRY0_LH}	跛行回家模式下的重新启动时间			7	10	13	ms
t_{RETRY1_LH}	跛行回家模式下的重新启动时间			14	20	26	ms
t_{RETRY2_LH}	跛行回家模式下的重新启动时间			28	40	52	ms
t_{RETRY3_LH}	跛行回家模式下的重新启动时间			56	80	104	ms
t_{OSM}	输出状态监控比较器稳定时间					20	µs
V_{OSM}	输出状态监控阈值电压			3	3.3	3.6	V
I_{OL}	输出诊断电流	V_{DS} = 3.3V（对于低侧配置），V_{OUT_S} = 3.3V（对于高侧配置），VM = 13.5V		60	75	95	µA

Copyright © 2025 Texas Instruments Incorporated

6.5 电气特性（续）

V_{DD} = 3V 至 5.5V，V_M = 4V 至 40V，T_J = -40°C 至 +150°C（除非另有说明）

典型值：V_{DD} = 5V，V_M = 13.5V，T_J = 25°C

参数		测试条件	最小值	典型值	最大值	单位
I_{OL}	输出诊断电流	V_{DS} = 3.3V（对于低侧配置），V_{OUT_S} = 3.3V（对于高侧配置），VM = 5V 至 28V	50	75	100	μA
R_{OL}	开路负载等效电阻	VM = 13.5V	110		160	kΩ
R_{OL}	开路负载等效电阻	VM = 7V 至 18V	30		230	kΩ
t_{ONMAX}	开启时负载开路激活多路复用器之前的诊断等待时间	OLMAX = 0b	40	60	85	μs
$t_{OLONSET}$	开启时负载开路诊断稳定时间			25	40	μs
t_{OLONSW}	开启时负载开路诊断通道开关时间			15	20	μs
I_{L_OL}	开路负载检测阈值电流		3	6	9	mA

6.6 SPI 时序要求

- 未经生产测试，通过设计验证

参数		测试条件	最小值	标称值	最大值	单位
t_{nSCS_lead}	使能超前时间（下降 nSCS 至上升 SCLK）		200			ns
t_{nSCS_lag}	使能滞后时间（下降 SCLK 至上升 nSCS）		200			ns
t_{nSCS_td}	传输延迟时间（上升 nSCS 至下降 nSCS）		250			ns
t_{SDO_en}	输出使能时间（下降 nSCS 至 SDO 有效）	SDO 引脚上 C_L = 20pF			200	ns
t_{SDO_dis}	输出禁用时间（上升 nSCS 至 SDO 高阻态）	SDO 引脚上 C_L = 20pF			200	ns
f_{SCLK}	串行时钟频率				5	MHz
t_{SCLK_P}	串行时钟周期		200			ns
t_{SCLK_H}	串行时钟逻辑高电平时间		75			ns
t_{SCLK_L}	串行时钟逻辑低电平时间		75			ns
t_{SDI_su}	数据设置时间（SDI 至下降 SCLK 所需的时间）		20			ns
t_{SDI_h}	数据保持时间（下降 SCLK 至 SDI）		20			ns
t_{SDO_v}	带容性负载的输出数据有效时间	SDO 引脚上 C_L = 20pF			100	ns

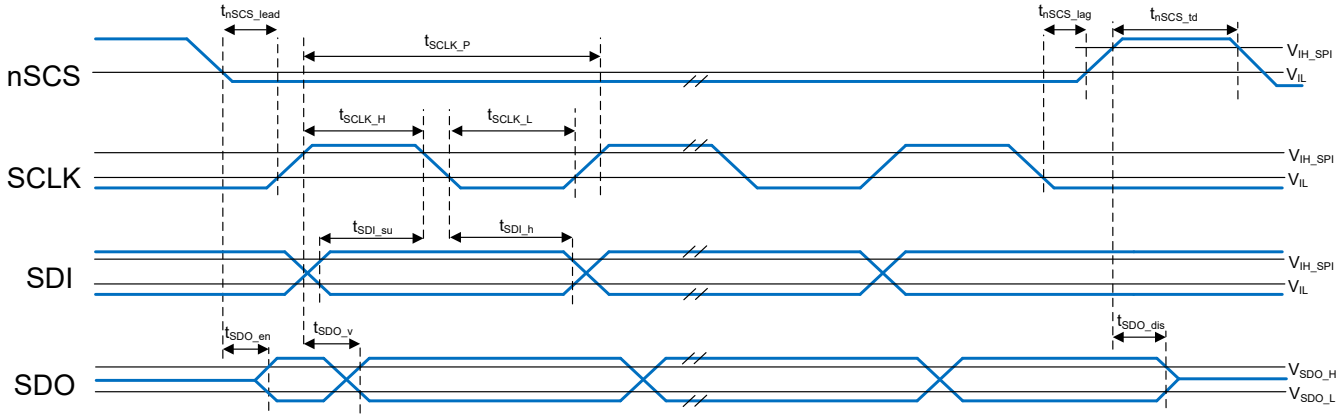


图 6-1. SPI 时序图

6.7 典型特性

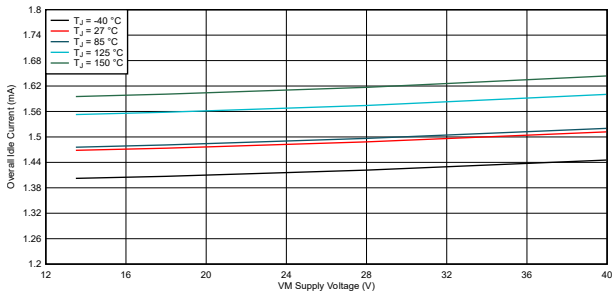


图 6-2. 空闲模式电源电流，VDD = 5.5V

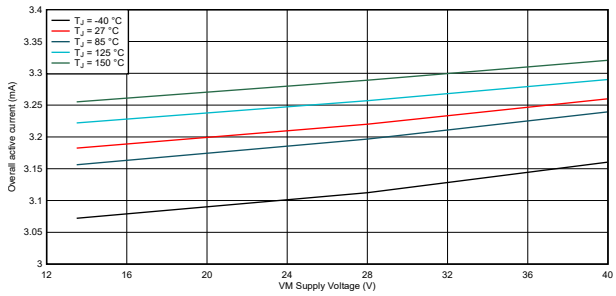


图 6-3. 工作模式电源电流，VDD = 5.5V

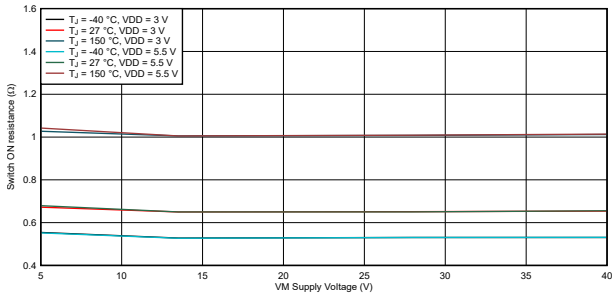


图 6-4. 开关导通电阻

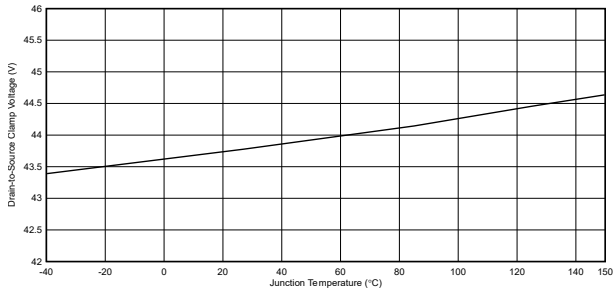


图 6-5. 漏源钳位电压

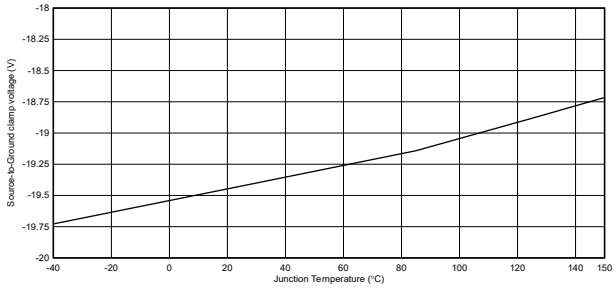


图 6-6. 源极至接地钳位电压

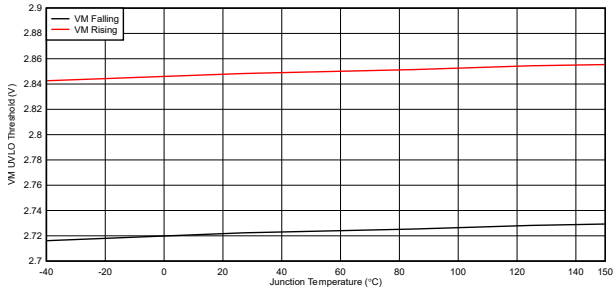


图 6-7. VM UVLO 阈值

Copyright © 2025 Texas Instruments Incorporated

6.7 典型特性（续）

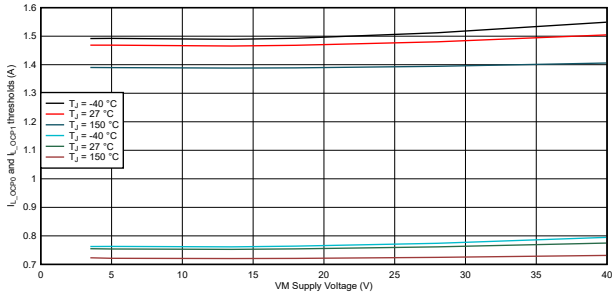


图 6-8. 过流保护阈值，VDD = 5.5V，OCP = 0b

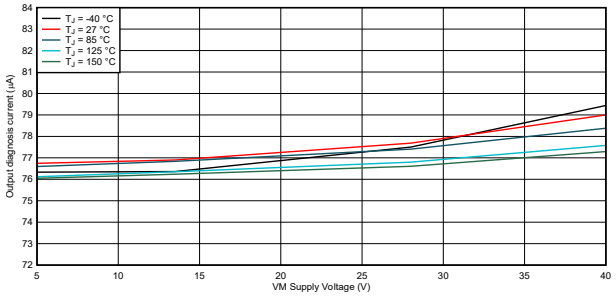


图 6-9. 输出诊断电流，VDD = 5.5V

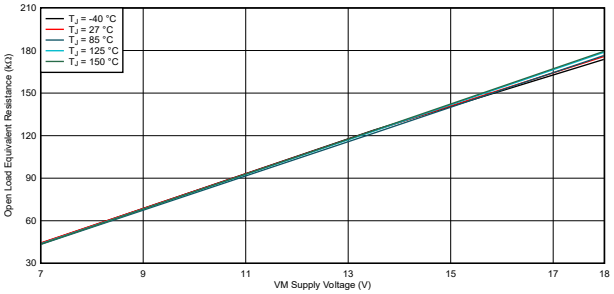


图 6-10. 开路负载等效电阻

7 详细说明

7.1 概述

DRV81620-Q1 是一款八通道 低侧和 高侧开关，具有集成保护和诊断功能。输出级包含 两个高侧和六个自动可配置高侧或低侧开关（T_J = 25°C 时的典型 $R_{DS(ON)}$ 为 700mΩ）。功率晶体管由带有一个电荷泵的 N 沟道 MOSFET 构建，用于自动可配置和高侧通道。该器件设计用于在低电源电压下运行。器件可以在低电池电压 (V_M ≥ 3V) 下保持状态。

通过相应地连接负载，可以将自动可配置开关用于高侧或低侧配置。保护和诊断功能会根据硬件配置自动调整。从高侧驱动负载可以执行开启时开路负载诊断。

16 位 SPI 用于控制和诊断器件与负载。SPI 支持菊花链，从而通过使用相同的微控制器引脚在一个 SPI 链中连接多个器件（以及具有 8 位 SPI 的器件）。SPI 功能仅在具有数字电源时可用。

器件具有连接到两个 可配置 输出端的两个输入引脚。当 nSLEEP 引脚为逻辑低电平时，无论数字电源电压是否可用，均可使用输入引脚来激活通道 2 和 3。利用输入映射特性，可以将输入引脚连接到不同的输出端，或将更多输出端分配到同一输入引脚。在这种情况下，可以使用一个输入信号控制更多通道。

该器件通过开路负载（开启和关闭状态）和短路检测提供负载诊断。对于关闭状态开路负载检测，可通过 SPI 激活内部电流源 I_{OL}。每个输出级都具有短路保护。如果发生过流，受影响的通道会在达到过流检测阈值时关闭，并可通过 SPI 重新激活。

在跛行回家模式运行下，连接到设置为逻辑高电平的输入引脚的通道会在输出重新启动时间过后自动重新启动。每个通道都具有温度传感器，用于保护器件免受过热影响。

表 7-1. 产品概要

参数	符号	值
模拟电源电压	V_M	3.0V 至 40V
数字电源电压	V_{DD}	3.0V 至 5.5V
最小过压保护	V_{M_AZ}	42V
最大导通状态电阻 (T_J = 150°C)	$R_{DS(ON)}$	1.4Ω
标称负载电流（T_A = 85°C，所有通道）	I_{L_NOM}	330mA
最大能量耗散 - 重复	E_{AR}	10mJ @ I_{L_EAR} = 220mA
最小漏源钳位电压	V_{DS_CL}	42V
最大源极至接地输出钳位电压	V_{OUT_CL}	-18V
最大过载开关关闭阈值	I_{L_OVL0}	
最大总静态电流 (T_J ≤ 85°C)	I_{SLEEP}	4μA
最大 SPI 时钟频率	f_{SCLK}	5MHz

Copyright © 2025 Texas Instruments Incorporated

7.2 功能方框图

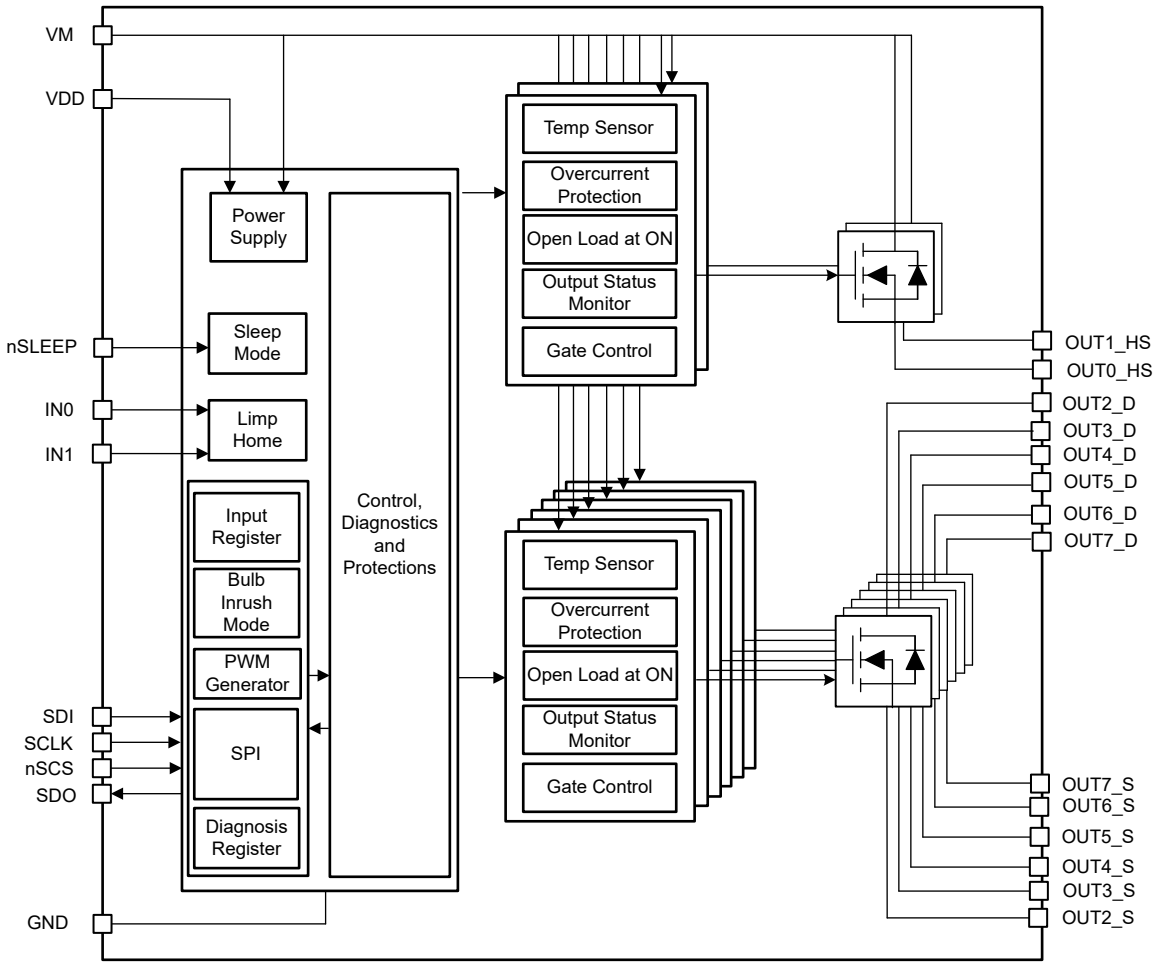


图 7-1. DRV81620-Q1 功能方框图

7.3 特性说明

7.3.1 控制引脚

该器件具有三个引脚（IN0、IN1 和 nSLEEP）来直接控制器件，无需使用 SPI。

7.3.1.1 输入引脚

该器件有两个输入引脚。每个输入引脚默认连接一个通道（IN0 连接到通道 2，IN1 连接到通道 3）。输入映射寄存器 MAP0 和 MAP1 可编程为将更多或不同通道连接到每个输入引脚，如图 7-2 所示。驱动通道的信号是 EN 寄存器状态、PWM 发生器（根据 PWM 发生器输出映射状态）、IN0 和 IN1（根据输入映射寄存器状态）之间的 OR 组合。

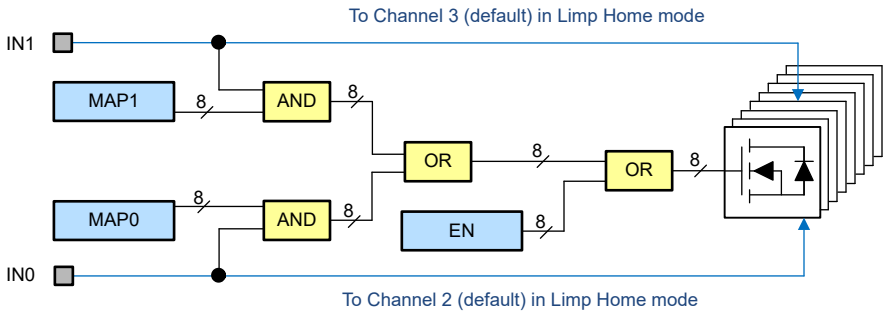


图 7-2. 输入映射

输入引脚的逻辑电平可使用输入状态监控寄存器 (INST) 进行监控。当器件处于跛行回家模式时，输入状态监控也会运行。如果一个输入引脚设置为逻辑高电平且 nSLEEP 引脚设置为逻辑低电平，则器件会切换到跛行回家模式并激活默认映射到输入引脚的通道。

7.3.1.2 nSLEEP 引脚

当器件设置为逻辑低电平并且所有输入引脚也设置为逻辑低电平时，nSLEEP 引脚用于将器件置于睡眠模式。如果 nSLEEP 引脚设置为逻辑低电平，而一个输入引脚设置为逻辑高电平，器件将进入跛行回家模式。

为确保模式转换正确，nSLEEP 引脚必须设置为至少 t_{I2S}（从逻辑高电平转换到逻辑低电平）或 t_{S2I}（从逻辑低电平转换到逻辑高电平）。

将 nSLEEP 引脚设置为逻辑低电平会产生以下结果：

- SPI 中的所有寄存器均复位为默认值。
- 禁用 V_{DD} 和 V_M 欠压检测电路以减少电流消耗（如果两个输入均设置为逻辑低电平）。
- 如果两个输入引脚均设置为逻辑低电平，则不允许任何 SPI 通信（当 nSCS 引脚设置为逻辑低电平时，SDO 引脚将保持高阻抗）。

Copyright © 2025 Texas Instruments Incorporated

7.3.2 电源

DRV81620-Q1 由两个电源电压供电：

- V_M（模拟电源电压也用于逻辑，并用作通道 0 和 1 的漏极）
- V_{DD}（数字电源电压）

V_M 电源连接到电池馈电，并与 V_{DD} 电源一起用于功率级驱动电路。在 V_M 电压降至低于 V_{DD} 电压的情况下（例如启动事件降至 3V 期间），VDD 引脚的电流消耗可能会增加。V_M 和 V_{DD} 电源电压具有欠压检测电路。

- V_M 和 V_{DD} 电源电压同时欠压会阻止功率级激活和任何 SPI 通信（SPI 寄存器复位）
- V_{DD} 电源欠压会阻止任何 SPI 通信。SPI 读取/写入寄存器复位为默认值。
- V_M 电源欠压会强制器件从 V_{DD} 电源消耗逻辑所需的所有电流。所有通道均被禁用，一旦 $V_M \geqslant V_{M_OP}$，就会再次启用。

下图展示了电源引脚 V_M 和 V_{DD}、输出级驱动器和 SDO 电源线之间相互作用的基本概念图。

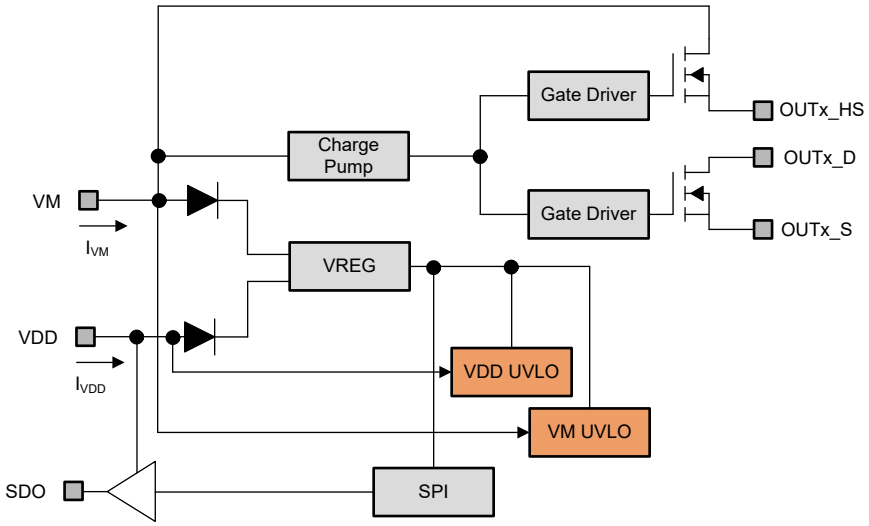


图 7-3. 内部电源架构

当 3V ≤ V_M ≤ V_{DD} - V_{MDIFF} 时，器件在启动工作范围 (COR) 内运行。在这种情况下，来自 VDD 引脚的电流消耗会增加，而来自 VM 引脚的电流消耗会减少。总电流消耗保持在指定限值范围内。

图 7-4 显示了 VM 引脚上器件进出 COR 的电压电平。在 COR 转换期间，I_{VM} 和 I_{VDD} 在为正常运行和 COR 运行定义的两个值之间变化。两个电流的总和保持在 节 6.5 中指定的限值范围内。

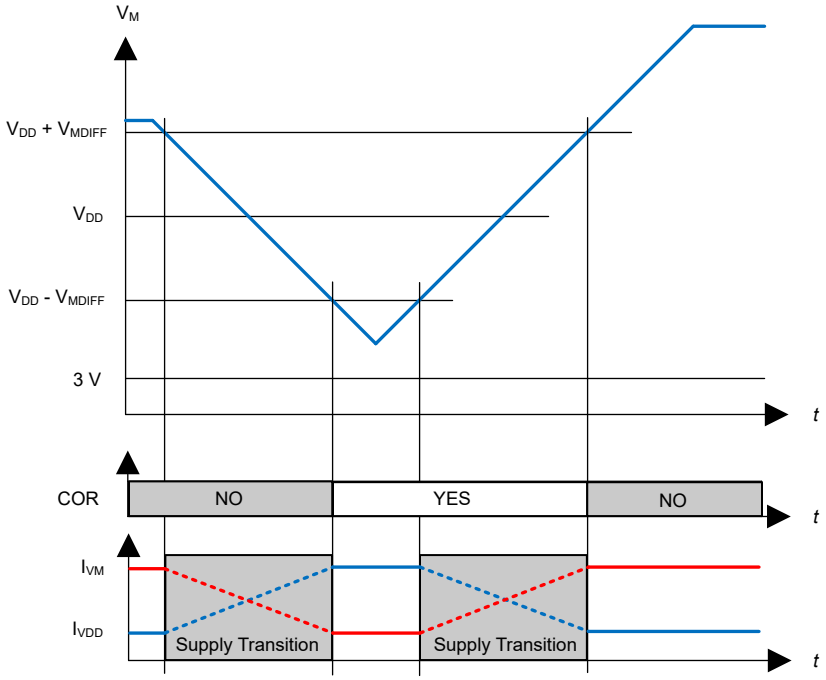


图 7-4. 启动工作范围

当 $V_{M_UVLO} \leqslant V_M \leqslant V_{M_OP}$ 时，可能无法开启先前关闭的通道。所有已开启的通道均保持状态，除非通过 SPI 或 IN 引脚关闭通道。表 7-2、表 7-3 和 表 7-4 概述了不同 V_M 和 V_{DD} 电源电压下的通道行为（这些表在成功上电后有效）。

表 7-2. 通道控制作为 V_M 和 V_{DD} 的函数

	$V_{DD} \leqslant V_{DD_UVLO}$	$V_{DD} > V_{DD_UVLO}$
$V_M \leqslant 3V$	通道无法控制	可打开和关闭通道（SPI 控制）（可能存在 $R_{DS(ON)}$ 偏差）
$3V < V_M \leqslant V_{M_OP}$	通道无法由 SPI 控制	可打开和关闭通道（SPI 控制）（可能存在 $R_{DS(ON)}$ 偏差）
$V_M > V_{M_OP}$	通道无法由 SPI 控制	可打开和关闭通道

表 7-3. 跛行回家模式作为 V_M 和 V_{DD} 的函数

	$V_{DD} \leqslant V_{DD_UVLO}$	$V_{DD} > V_{DD_UVLO}$
$V_M \leqslant 3V$	不可用	可用（可能存在 $R_{DS(ON)}$ 偏差）
$3V < V_M \leqslant V_{M_OP}$	可用（可能存在 $R_{DS(ON)}$ 偏差）	可用（可能存在 $R_{DS(ON)}$ 偏差）
$V_M > V_{M_OP}$	可用	可用

表 7-4. SPI 寄存器和 SPI 通信作为 V_M 和 V_{DD} 的函数

	$V_{DD} \leqslant V_{DD_UVLO}$	$V_{DD} > V_{DD_UVLO}$
SPI 寄存器	复位	可用
SPI 通信	不可用 (f_{SCLK} = 0MHz)	可能 (f_{SCLK} = 5MHz)

Copyright © 2025 Texas Instruments Incorporated

7.3.2.1 运行模式

该器件具有以下运行模式：

- 睡眠模式
- 空闲模式
- 工作模式
- 跛行回家模式

运行模式之间的转换取决于以下电平和状态：

- nSLEEP 引脚逻辑电平
- INx 引脚逻辑电平
- ENx 位状态
- ACT 位状态
- EN_PWM0 和 EN_PWM1 位状态

图 7-5 展示了包括可能转换的状态图。器件的行为和一些参数可能会根据器件的运行模式而变化。此外，由于存在欠压检测电路，因此在同一运行模式下可能会出现一些改变。

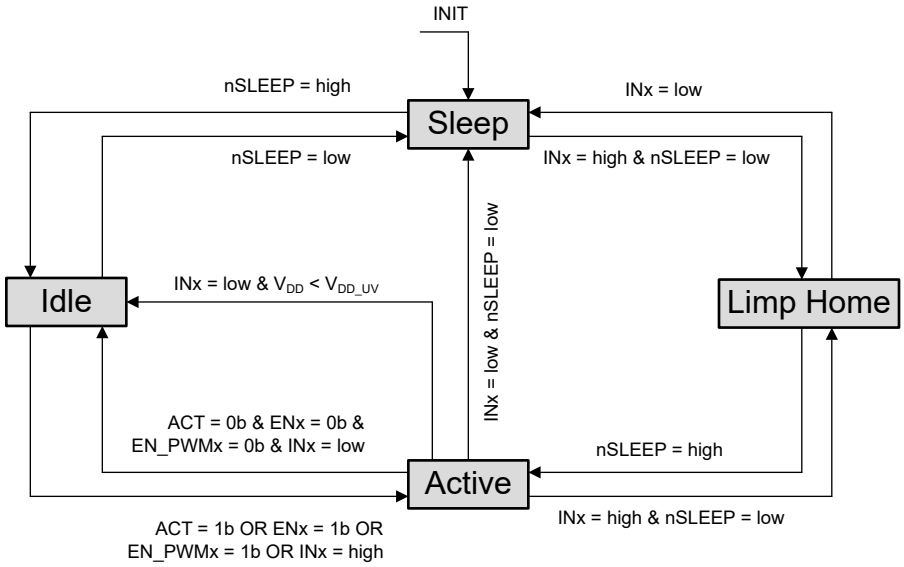


图 7-5. 运行模式状态图

可以通过以下方式观察器件的运行模式：

- 输出通道的状态
- SPI 寄存器的状态
- VDD 引脚上的电流消耗 (I_{VDD})
- VM 引脚上的电流消耗 (I_{VM})

开启负载的默认运行模式为工作模式。如果器件未处于工作模式，并且接收到开启一个或多个输出的请求（通过 SPI 或通过输入引脚），器件会根据 nSLEEP 引脚状态切换至活动或跛行回家模式。

当器件处于工作模式或跛行回家模式时，通道开通时间由参数 t_{ON} 定义。在所有其他情况下，需要增加达到上述两种电源模式之一所需的转换时间（如 图 7-6 所示）。

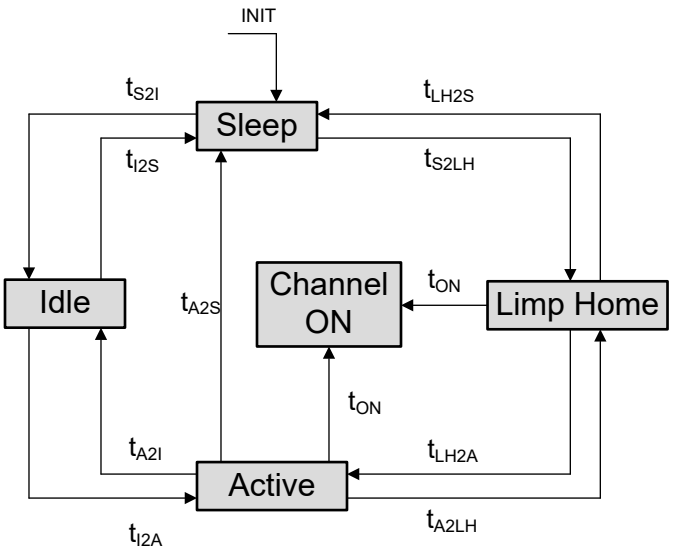


图 7-6. 模式转换时序

表 7-5 展示了器件运行模式、V_M 和 V_{DD} 电源电压与最重要功能（通道控制、SPI 通信和 SPI 寄存器）的状态之间的相关性。

表 7-5. 与运行模式、V_M 和 V_{DD} 电压相关的器件功能

运行模式	功能	V_M UVLO，V_{DD} ≤ V_{DD_UVLO}	V_M UVLO，V_{DD} > V_{DD_UVLO}	V_M 不处于 UVLO 状态，V_{DD} ≤ V_{DD_UVLO}	V_M 不处于 UVLO 状态，V_{DD} > V_{DD_UVLO}
睡眠	通道	不可用	不可用	不可用	不可用
	SPI 通信	不可用	不可用	不可用	不可用
	SPI 寄存器	复位	复位	复位	复位
空闲	通道	不可用	不可用	不可用	不可用
	SPI 通信	不可用	是	不可用	是
	SPI 寄存器	复位	是	复位	是
有效	通道	不可用	是	是，仅限 IN 引脚	是
	SPI 通信	不可用	是	不可用	是
	SPI 寄存器	复位	是	复位	是
跛行回家模式	通道	不可用	是，仅限 IN 引脚	是，仅限 IN 引脚	是，仅限 IN 引脚
	SPI 通信	不可用	是，只读	不可用	是，只读
	SPI 寄存器	复位	是，只读	复位	是，只读

7.3.2.1.1 上电

向器件施加一个电源电压（V_M 或 V_{DD}）并且 INx 或 nSLEEP 引脚设置为逻辑高电平时，满足上电条件。如果 V_M 高于阈值 V_{M_OP} 或 V_{DD} 高于 UVLO 阈值，则将设置内部上电信号。

7.3.2.1.2 睡眠模式

当器件处于睡眠模式时，所有输出均关断，SPI 寄存器复位，不受电源电压影响。电流消耗最小。

7.3.2.1.3 空闲模式

在空闲模式下，器件的电流消耗可以达到参数 I_{VDD_IDLE} 和 I_{VM_IDLE} 或整个器件的参数 I_{IDLE} 给出的限值。

- 内部稳压器在此模式下工作。

Copyright © 2025 Texas Instruments Incorporated

- 诊断功能不可用。
- 输出通道关闭，不受电源电压影响。
- 当 V_{DD} 可用时，SPI 寄存器正常工作，并且可进行 SPI 通信。
- 在空闲模式下，出于功能安全原因，ERRx 位不会清除。

7.3.2.1.4 工作模式

在未设置跛行回家条件且需要驱动部分或全部负载时，工作模式是器件的正常运行模式。V_{DD} 和 V_M 的电压电平会影响行为，如表 7-5 所述。器件电流消耗由 I_{VDD_ACT} 和 I_{VM_ACT} 指定（整个器件为 I_{ACT}）。

当 nSLEEP 引脚设置为逻辑高电平且一个输入引脚设置为逻辑高电平或一个 ENx 位设置为 1b 时，器件进入工作模式

- 如果 ACT 位设置为 0b，则当所有输入引脚设置为逻辑低电平且 ENx 位设置为 0b 时，器件将返回空闲模式。
- 如果 ACT 设置为 1b，则无论输入引脚和 ENx 位的状态为何，器件均将保持在工作模式。
- 如果所有输入引脚均设置为逻辑低电平，则 V_{DD} 电源上的欠压情况会使器件进入空闲模式。

即使寄存器 MAP0 和 MAP1 均设置为 00H，但一个输入引脚 INx 设置为逻辑高电平，器件也将进入工作模式。

7.3.2.1.5 跛行回家模式

当 nSLEEP 引脚为逻辑低电平且一个输入引脚设置为逻辑高电平时，该器件进入跛行回家模式，同时打开与该器件连接的通道。可以进行 SPI 通信，但仅限于只读模式（SPI 寄存器可以读取，但无法写入）。

- UVRVM 设置为 1b
- 模式位设置为 01b（跛行回家模式）
- 进入跛行回家模式后，在收到第一条 SPI 命令时，TER 位将设置为 1b。之后，此位将正常工作。
- OLON 和 OLOFF 位被设置为 0b
- ERRx 位正常工作
- OSMx 位可以读取并正常工作
- 所有其他寄存器均设置为默认值，并且在器件处于跛行回家模式的情况下无法编程

有关在跛行回家模式期间打开通道 2 和 3 所需的电源电压条件的详细概述，请参阅 表 7-3。所有其他通道均为关闭状态。

从工作模式转换到跛行回家模式或从跛行回家模式转换到工作模式期间传输 SPI 命令可能会导致未定义的 SPI 响应。

7.3.2.2 复位条件

以下 3 种情况之一会将 SPI 寄存器复位为默认值：

- V_{DD} 不存在或低于欠压阈值 V_{DD_UVLO}
- nSLEEP 引脚设置为逻辑低电平
- 执行复位命令（RST 设置为 1b）
  - ERRx 位不通过复位命令清除（出于功能安全目的）

尤其是，所有通道均将关闭（如果没有输入引脚设置为逻辑高电平），且输入映射配置将复位。

7.3.3 功率级

DRV81620-Q1 是一款八通道可配置 高侧开关。功率级由 N 沟道 MOSFET 构建。导通状态电阻 $R_{DS(on)}$ 取决于电源电压以及结温 T_J。

有 六个 自动可配置通道，它们可用作低侧开关或高侧开关。通道根据漏极和源极处的通道电势自动调整诊断和保护功能。对于这些通道，电荷泵连接到输出 MOSFET 栅极。

在高侧配置中，负载连接在 FET 的接地端和源极（引脚 OUTx_S、 n = 2...7） 之间。FET 的漏极（OUTx_D，“x”等于可配置通道编号）可以连接到接地和 VM 之间的任何电位。当漏极连接到 VM 时，通道的行为类似于高侧开关。

在低侧配置中，功率晶体管的源极必须连接到 GND 引脚电势（直接或通过反向电流阻断二极管）。

可以分别为这些通道中的每个通道选择配置，因此可以在低侧配置中连接一个或多个通道，同时将剩余的自动可配置通道用作高侧开关。

7.3.3.1 开关电阻性负载

在开关电阻性负载时，应考虑以下开关时间和压摆率。

默认转换率为 1.3V/μs。配置寄存器 2 中的 SR 位可用于将转换率增加到 2.5V/μs。

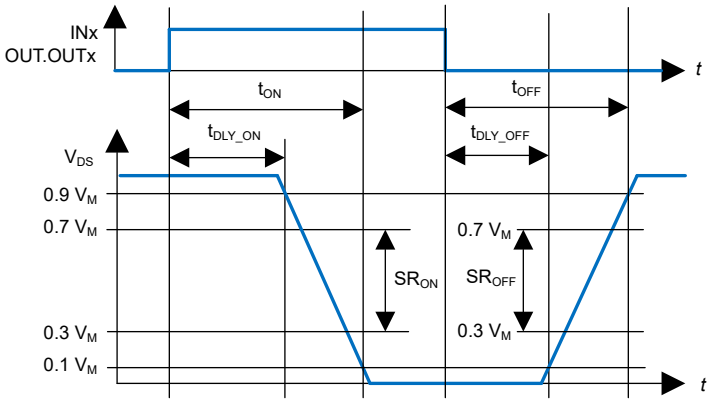


图 7-7. 开关电阻性负载

7.3.3.2 电感式输出钳位

关闭电感负载时，电源开关上的电压会上升到 V_{DS_CL} 电势，这是因为电感会尝试继续驱动电流。输出引脚上的电压不得低于 。需要电压钳位以防止器件受损。

下图显示了夹具实现图。允许的最大负载电感受限。钳位结构可在所有工作模式（睡眠、空闲、工作活动、跛行回家）下保护器件。

Copyright © 2025 Texas Instruments Incorporated

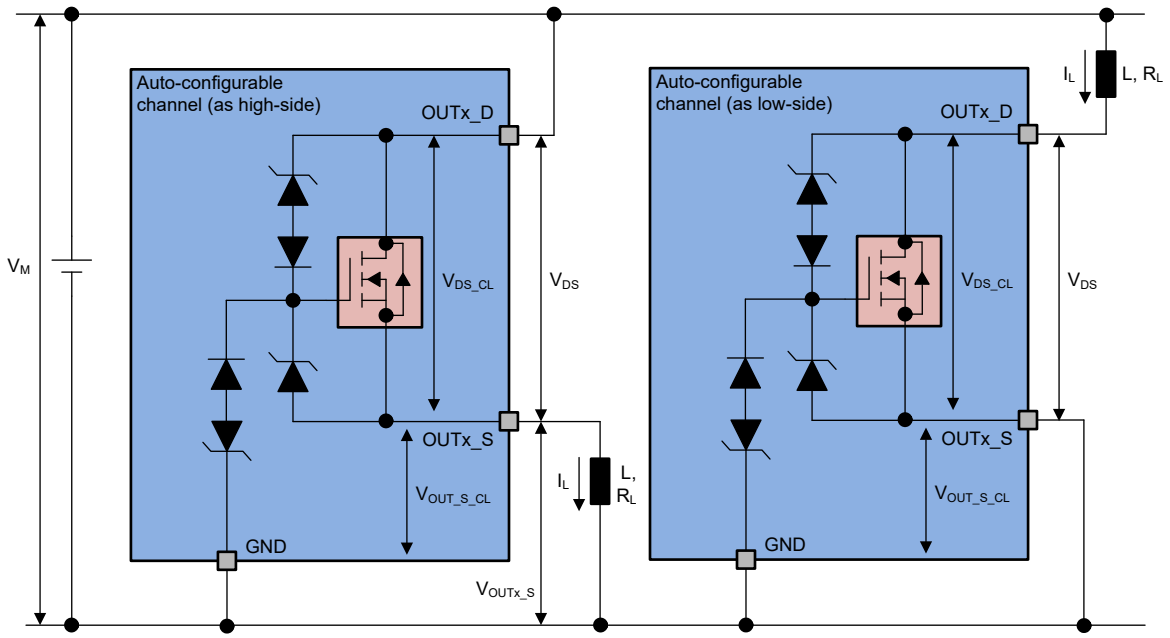


图 7-8. 自动可配置通道的输出钳位

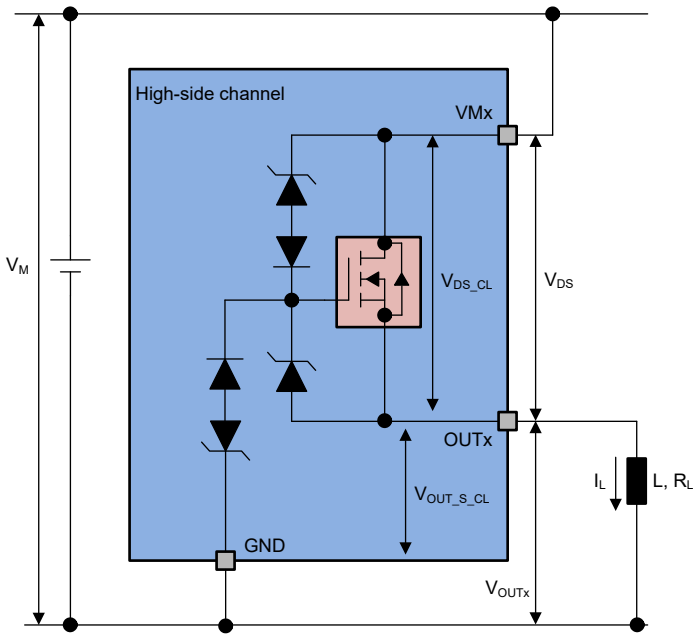


图 7-9. 高侧通道的输出钳位

7.3.3.3 最大负载电感

在电感负载退磁期间，磁能在 DRV81620-Q1 中耗散。方程式 2 和方程式 3 可用于高侧开关（自动可配置开关可以使用所有公式，具体取决于负载位置）：

(1)

$$E = (V_M - V_{OUTS_CL}) \times \left[\frac{V_{OUTS_CL}}{R_L} \times \ln\left(1 - \frac{R_L \times I_L}{V_{OUTS_CL}}\right) + I_L\right] \times \frac{L}{R_L} \quad (2)$$

$$E = (V_M - V_{OUT_CL}) \times \left[\frac{V_{OUT_CL}}{R_L} \times \ln\left(1 - \frac{R_L \times I_L}{V_{OUT_CL}}\right) + I_L\right] \times \frac{L}{R_L} \quad (3)$$

可转换为热量的最大能量受元件热设计的限制。节 6.5 中提供的 E_{AR} 值假设当连接到输出端的电感同时退磁时，所有通道可耗散相同能量。

7.3.3.4 反向电流行为

在高侧配置的反向电流 ($V_{OUTx_S} > V_{OUTx_D}$) 或 ($V_{OUTx} > V_{Mx}$) 期间，受影响的通道保持导通或关断状态。此外，在施加反向电流期间，如果通道处于导通状态并且达到过热阈值，则可以设置 ERRx 位。

未受影响通道的一般功能（开关、保护、诊断）不受施加到其他通道的反向电流的影响。可能存在参数偏差，尤其是对于以下参数偏差（过热保护不受影响）：

- 开关功能：t_{ON}、t_{OFF}、SR_{ON}、SR_{OFF}
- 保护：I_{L_OCP0}、I_{L_OCP1}
- 诊断：V_{DS_OL}、V_{OUT_OL}、$V_{OUT_S_OL}$、I_{L_OL}

未受影响通道的跛行回家条件下的可靠性不变。

备注

在施加的反向电流期间，没有温度保护或过载保护等保护机制处于活动状态。反向电流会导致 FET 内部功率损耗，从而使整体器件温度升高。这可能会导致因过热而关闭不受影响的通道。

7.3.3.5 并联开关通道

如果并联通道发生短路，则可能会发生两个通道异步关闭的情况，因此会为最后关闭的通道带来额外的热应力。为避免此情况，可以在 SPI 寄存器中将两个相邻通道配置为并联运行（使用 PAR 位）。在此模式下运行时，对过载或过热情况最快做出反应的通道也将停用另一通道。两个并联通道能够处理的电感能量低于单通道能量的两倍。可以一起同步以下几个通道：

- 通道 0 和通道 2 → PAR0 设置为 1b
- 通道 1 和通道 3 → PAR1 设置为 1b
- 通道 4 和通道 6 → PAR2 设置为 1b
- 通道 5 和通道 7 → PAR3 设置为 1b

同步位仅影响通道对于过流或过热条件的反应。同步通道必须由微控制器单独打开和关闭。

7.3.3.6 灯泡浪涌模式 (BIM)

有时，器件的一个或多个输出需要驱动容性负载，例如灯或电子负载。在这种情况下，在开关接通后，浪涌电流会达到过载电流阈值，从而使通道闭锁。在正常运行中，器件会一直等待，直到微控制器发送 SPI 命令来清除锁存器（CLRx 位），从而允许通道再次开启。通常，此延迟太长，无法启动容性负载。

当相应的位 BIMx 设置为 1b 时，如果通道达到过载电流或过热阈值并锁闭，该通道会在时间 t_{INRUSH} 后自动重新启动，允许负载退出浪涌阶段。图 7-10 展示了时序图。如图所示，计数器在通道开启时启动。每个通道开关关闭（独立于控制通道的实体）都会将 BIMx 复位为 0b。

当 BIMx 位设置为 1b 时，ERRx 位也可以设置为 1b，但这不会锁存通道。

为了防止对通道施加过大的热应力，尤其是在输出短路的情况下，内部计时器会在 40ms（参数 t_{BIM}）后将 BIMx 位设置回 0b。该器件允许按通道选择灯泡浪涌模式 (BIM)，从而实现灵活性，又不会对可靠性带来任何风险。

Copyright © 2025 Texas Instruments Incorporated

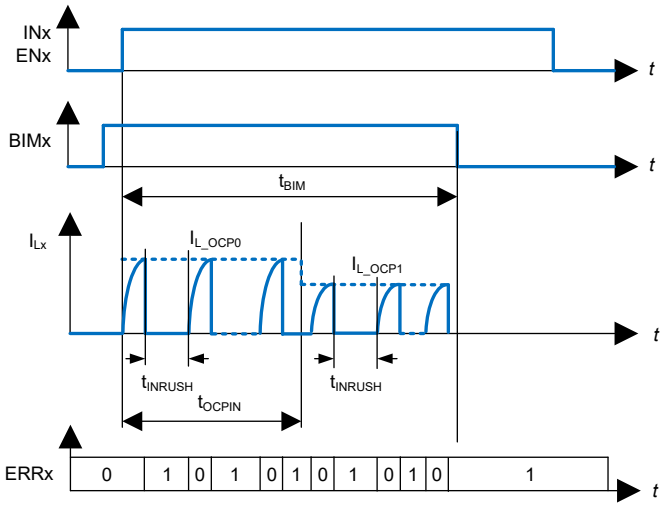


图 7-10. 灯泡浪涌模式 (BIM) 运行

7.3.3.7 集成 PWM 发生器

该器件具有两个独立集成的 PWM 发生器。每个 PWM 发生器可以分配到一个或多个通道，并且可以使用不同的占空比和频率进行编程。

两个 PWM 发生器都是指由内部振荡器生成的基频 f_{INT}。这个基频可以用下面描述的 FPWM 位来调整。

表 7-6. FPWM 设置

FPWM 位	f_{INT} 的差值
0000b	保留
0001b	-37.2%
0010b	-31.9%
0011b	-26.9%
0100b	-21%
0101b	-15.5%
0110b	-10.9%
0111b	-5.8%
1000b	-
1001b	+4.3%
1010b	+8.9%
1011b	+14%
1100b	+19.5%
1101b	+25.6%
1110b	+32.4%
1111b	+40%

对于每个 PWM 发生器，可以设置四个参数：

- 占空比（PWM 发生器 0 的位 DC0）
  - 提供 8 位以实现 0.39% 的占空比分辨率

  - 当微控制器对新的占空比进行编程时，PWM 发生器会等待前一个周期完成，然后再使用新的占空比（当占空比为 0% 或 100% - 新的占空比在下一个 PWM 周期获取时也会发生这种情况）
  - 可实现的最大占空比为 99.61%（DC0 设置为 11111111b）。通过将 FREQ0 设置为 11b，可以实现 100%。
- 频率（位 FREQ0、FREQ1、FCTR0 和 FCTR1 为 f_{INT} 选择分频器，以实现所需的占空比）

表 7-7. PWM 发生器 0 的 PWM 频率选择

FCTR0	FREQ0	PWM 频率
0b	00b	f_{INT}/1024（对应于 100Hz）
0b	01b	f_{INT}/512（对应于 200Hz）
0b	10b	f_{INT}/256（对应于 400Hz）
1b	00b	f_{INT}/128（对应于 800Hz）
1b	01b	f_{INT}/64（对应于 1600Hz）
1b	10b	f_{INT}/51.2（对应于 2000Hz）

表 7-8. PWM 发生器 1 的 PWM 频率选择

FCTR1	FREQ1	PWM 频率
0b	00b	f_{INT}/1024（对应于 100Hz）
0b	01b	f_{INT}/512（对应于 200Hz）
0b	10b	f_{INT}/256（对应于 400Hz）
1b	00b	f_{INT}/128（对应于 800Hz）
1b	01b	f_{INT}/64（对应于 1600Hz）
1b	10b	f_{INT}/51.2（对应于 2000Hz）

- 通道输出控制和映射寄存器 PWM_OUT 和 MAP_PWM
  - 任何通道都可以映射到每个 PWM 发生器
  - 加之两个并行输入，从微控制器资源和 SPI 数据流量的角度来看，可以使用省力的方式拥有四个独立的 PWM 通道组。

图 7-11 扩展了添加 PWM 发生器中所示的概念。

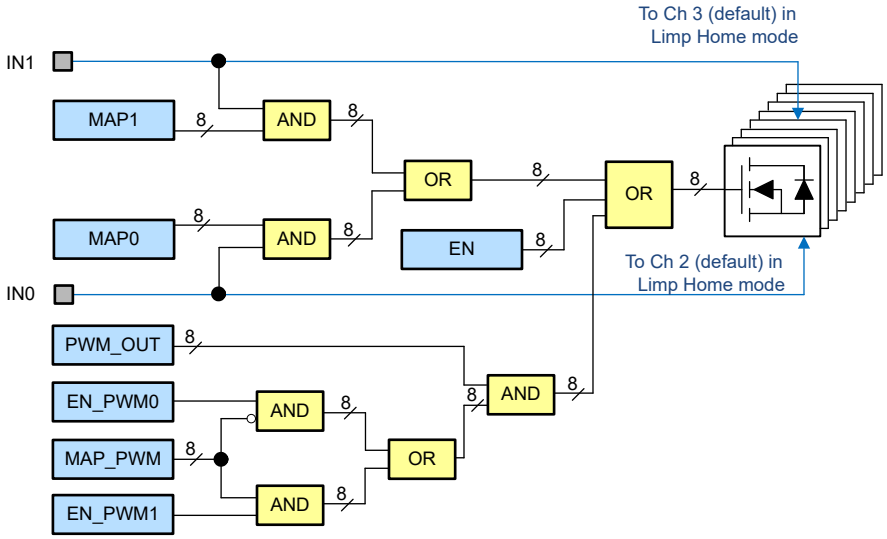


图 7-11. PWM 发生器映射

Copyright © 2025 Texas Instruments Incorporated

7.3.4 保护和诊断

该器件支持多种保护特性，后续各节将对此进行详细讨论。SPI 提供有关器件和负载状态的诊断信息。每个通道的诊断信息独立于其他通道。一个通道上的错误条件不会影响器件中其他通道的诊断（除非配置为并联运行，有关更多详细信息，请参阅 节 7.3.3.5）。

当一个通道发生过流或过热时，会相应地设置诊断位 ERRx。如 节 7.3.4.2 和 节 7.3.4.3 所述，通道会锁闭，必须重新激活才能将相应的 CLRx 位设置为 1b。

7.3.4.1 V_M 欠压

在 V_{M_UVLO} 和 V_{M_OP} 之间，会触发欠压机制。如果器件正在运行且电源电压降至欠压阈值 V_{M_UVLO} 以下，则逻辑会将 UVRVM 位设置为 1b。只要电源电压 V_M 高于最小电压工作阈值 V_{M_OP}，在第一次标准诊断读取后，位 UVRVM 将设置为 0b。VM 的欠压情况会影响通道的状态，如节 7.3.2 所述。图 7-12 展示了欠压行为。

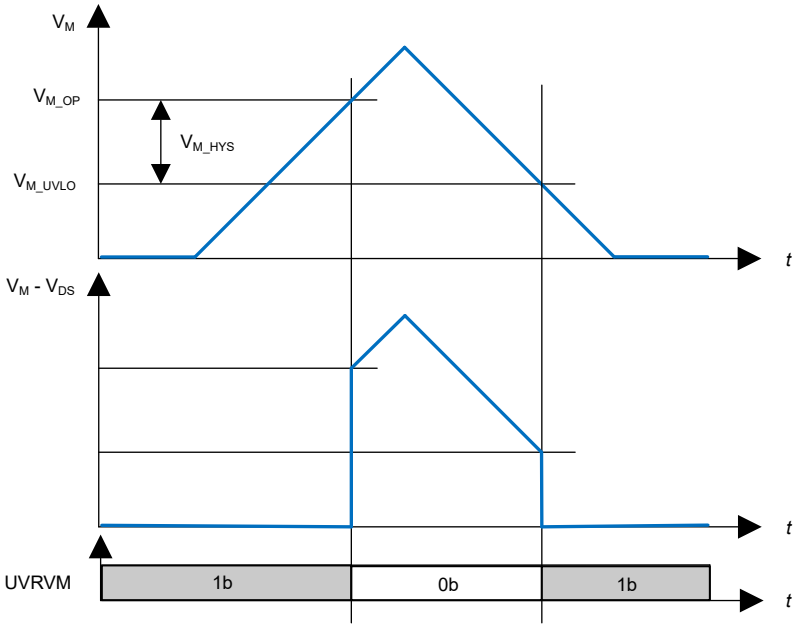


图 7-12. V_M 欠压行为

7.3.4.2 过流保护

该器件在负载过流或短路时受到保护。有两个过流阈值（请参阅图 7-13）：

- 通道开关 ON 和 t_{OCPIN} 之间的 I_{L_OCP0}
- t_{OCPIN} 后面的 I_{L_OCP1}

I_{L_OCP0} 和 I_{L_OCP1} 的值取决于 OCP 位。每次通道关闭的时间超过 2*t_{SYNC} 时，过载电流阈值将设置回 I_{L_OCP0}。

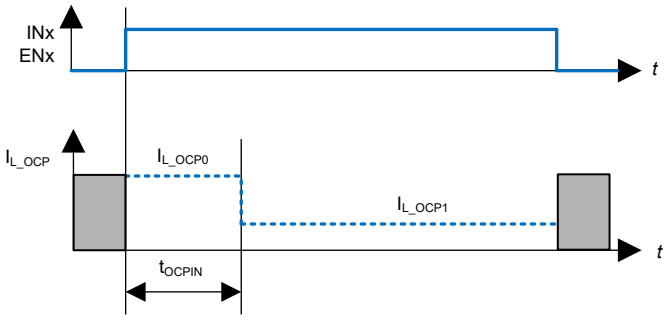


图 7-13. 过流阈值

如果负载电流高于 I_{L_OCP0} 或 I_{L_OCP1}，则在经过时间 t_{OFF_OCP} 后，过载通道将关闭，诊断位 ERRx 将置位。通过将相应的 CLRx 位设置为 1b，可以在清除保护锁存后打开通道。该位会在解锁通道后在内部设置回 0b。有关详细信息，请参阅图 7-14。

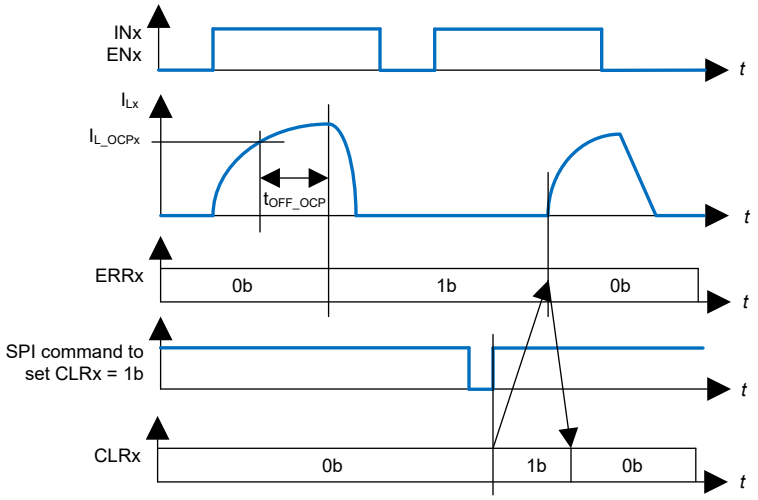


图 7-14. 过流锁闭

7.3.4.3 过热保护

为每个通道集成了一个温度传感器，这可使过热通道关闭以防止对器件造成损坏。设置了相应的诊断位 ERRx（与过载保护相结合）。通过将相应的 CLRx 位设置为 1b，可以在清除保护锁存后打开通道。该位会在解锁通道后在内部设置回 0b。

7.3.4.4 过热警告

如果内核温度超过过热警告 (T_{OTW}) 的跳闸点，则会在配置寄存器 2 中设置 OTW 位。器件不会执行任何其他操作，并且会继续运行。

当内核温度降至低于过热警告的迟滞点 (T_{HYS_OTW}) 时，会自动清除 OTW 位。

7.3.4.5 跛行回家模式下的过热和过流保护

当器件处于跛行回家模式时，可以使用输入引脚来打开通道 2 和 3。如果发生过流、短路或过热，通道会关闭。如果输入引脚保持逻辑高电平，则通道将按以下时序重新启动：

- 10ms（前 8 次重试）
- 20ms（随后 8 次重试）
- 40ms（随后 8 次重试）
- 80ms（只要输入引脚保持逻辑高电平且错误仍然存在）

Copyright © 2025 Texas Instruments Incorporated

如果在任何时候输入引脚设置为逻辑低电平的时间超过 2*t_{SYNC}，则重新启动计时器将复位。在跛行回家模式下，当下一次通道激活时，计时器将再次从 10ms 启动。有关详细信息，请参阅 图 7-15。过流阈值的行为如 节 7.3.4.2 所述。

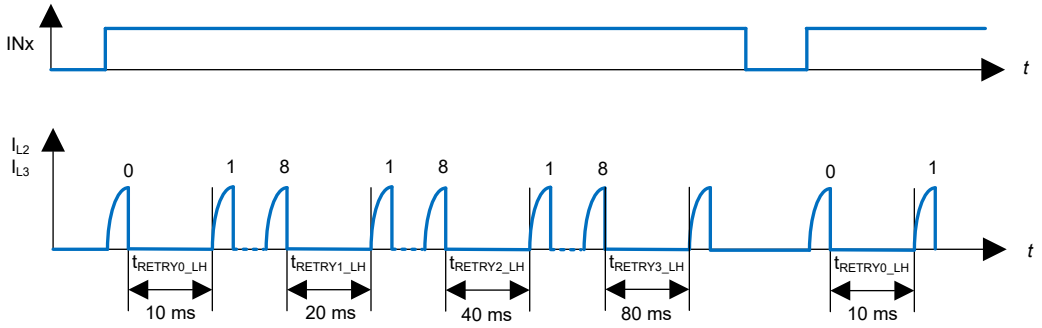


图 7-15. 在跛行回家模式下重新启动计时器

7.3.4.6 反极性保护

在反极性（也称为电池反向）情况下，功率耗散由每个 FET 的体二极管引起（对于用作低侧开关的自动可配置通道），而高侧通道以及用作高侧开关的自动可配置通道会开启，以降低功率损耗。逻辑引脚和电源引脚的每个 ESD 二极管都会导致总功率耗散。必须通过连接的负载来限制流经通道的反向电流。还必须限制流经数字电源 VDD 和输入引脚的电流（请参阅节 6.1）。

备注

在反极性期间，没有温度保护或电流限制等保护机制处于活动状态。

7.3.4.7 过压保护

如果电源电压在 V_{M_SC} 和 V_{M_LD} 之间，输出 MOSFET 仍处于运行状态并跟随输入引脚或 EN 位。

除了节 7.3.3.2 中所述的电感负载输出钳位外，还有一个钳位机制可用于逻辑通道和所有通道的过压保护，对 VM 和 GND 引脚之间的电压 (V_{M_AZ}) 进行监控。

7.3.4.8 输出状态监控

该器件将每个通道 V_{DS} 与 V_{OSM}（对于低侧开关配置中使用的自动可配置通道），V_{OUT_S} 与 V_{OSM}（对于高侧开关配置中使用的自动可配置通道），V_{OUT} 与 V_{OSM}（对于高侧通道）进行比较，并相应地设置相应的 OSMx 位。每次读取 OSM 寄存器时，这些位将更新。

- $V_{DS} < V_{OSM}$ → OSMx = 1b（低侧开关配置）
- $V_{OUT_S} > V_{OSM}$ → OSMx = 1b（自动可配置通道用作高侧）

可通过编程 IOLx 位来启用与电源开关并联的诊断电流 I_{OL}，它可用于关闭状态下开路负载检测。每个通道都具有其专用的诊断电流源。如果启用了诊断电流 I_{OL}，或者通道更改了状态（打开 → 关闭或关闭 → 打开），则需要等待 t_{OSM} 时间后才能进行可靠诊断。启用 I_{OL} 电流源会增加器件的电流消耗。即使检测到开路负载，通道也不会锁闭。

请查看图 7-16 中的时序概览（IOLx 的值是指正常运行且正确连接到负载的通道）。

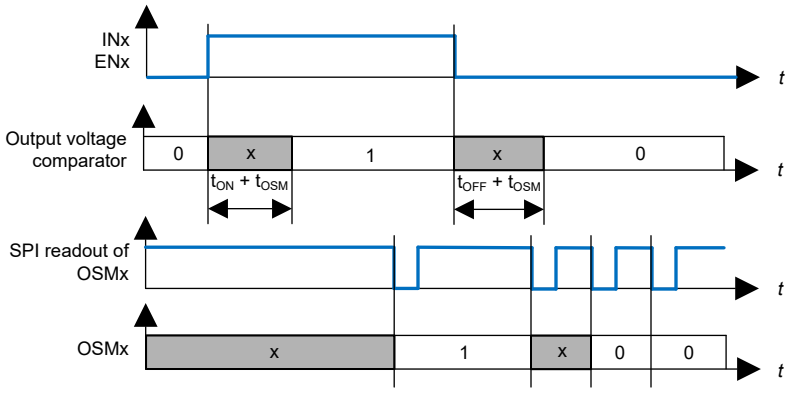


图 7-16. 输出状态监控时序

当 $V_M = V_{M_NOR}$ 且 $V_{DD} \geqslant V_{DD_UVLO}$ 时，输出状态监视诊断可用。

由于输出状态监控会实时检查输出端的电压电平，因此对于关闭状态下开路负载诊断，需要将 OSM 寄存器的读取与通道的关闭状态同步。

下图显示了如何在概念级别实现输出状态监控。

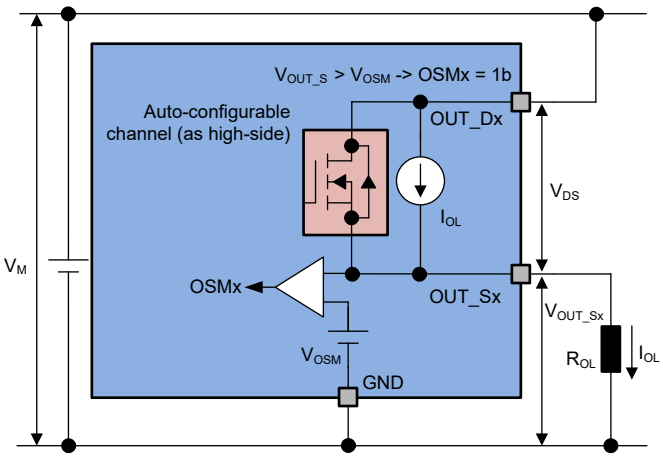


图 7-17. 输出状态监控 - 自动可配置通道为高侧

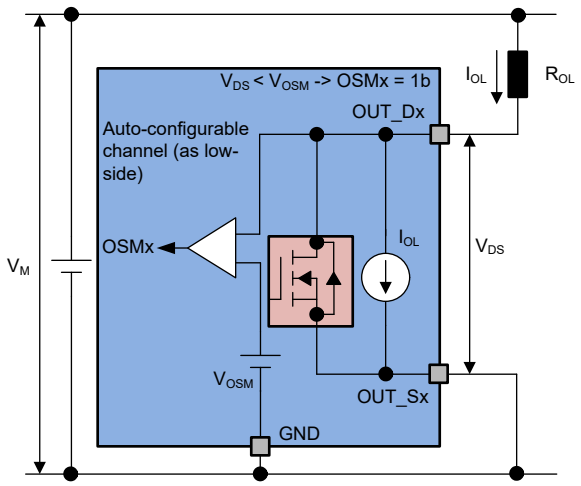


图 7-18. 输出状态监控 - 自动可配置通道为低侧

Copyright © 2025 Texas Instruments Incorporated

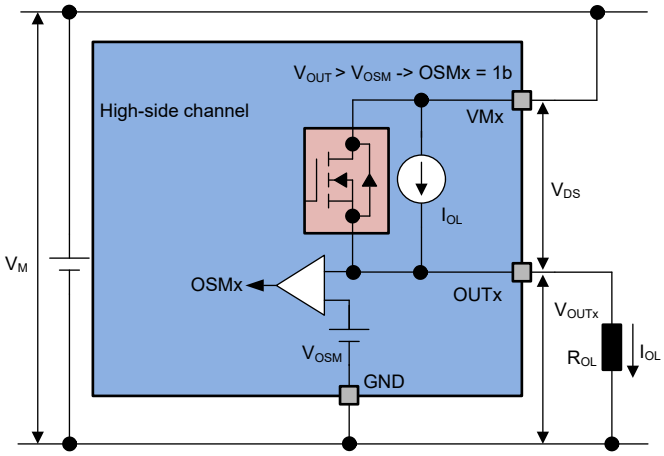


图 7-19. 输出状态监控 - 高侧通道

在标准诊断中，位 OLOFF 表示所有处于关闭状态且激活了相应电流源 I_{OL} 的通道的所有 OSMx 位的 OR 组合。

当 DISOL 位为 1b 时，可以通过禁用所有 I_{OL} 电流源来禁用开路负载检测。

7.3.4.9 开启状态下提供开路负载检测

每个用作高侧开关的高侧开关和自动可配置通道都可以检测导通状态下的开路负载，并可通过对 EN_OLON 位进行编程来控制该状态。复位后，开启时负载开路功能默认不激活。该器件会比较 I_{L_Sx} 和 I_{L_OL} 并相应地设置 OLONx 位：

如果 $V_{OUTx_S} > V_{OUT_S_OL}$，则 $I_{L_Sx} < I_{L_OL} \rightarrow$ OLONx = 1b

7.3.4.9.1 开启时的开路负载 - 直接通道诊断

当为特定通道对 EN_OLON 位进行编程时，内部多路复用器会检查所选通道的开启时开路负载。TI 建议在激活诊断之前通道至少打开 t_{ON}。经过一段时间 ($t_{OLONSET}$) 后，所选通道的相应 OLONx 位可用。OLONx 寄存器中的所有其他位都设置为默认值 (0b)。每次读取寄存器时，这些位都会更新。

选择通道后，相应 OLONx 位的内容也会显示在标准诊断（位 OLON）中。如果按顺序读取多个寄存器，则每次从微控制器发出读取请求时都会更新寄存器内容。

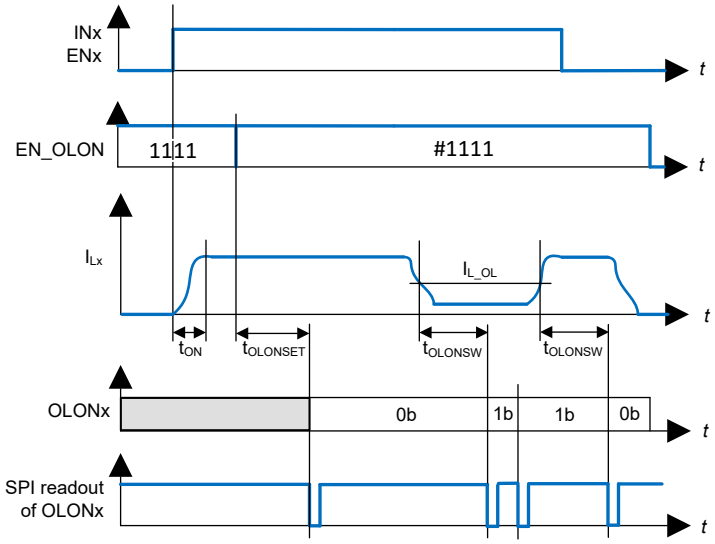


图 7-20. 导通时序时的开路负载（直接通道诊断）

7.3.4.9.2 开启时的开路负载 - 诊断回路

当 EN_OLON 位被编程为值 1010b 时，器件将启动诊断回路，在该回路中检查所有自动可配置（用作高侧开关时）通道是否为开启时开路负载。首先，内部逻辑会检查由微控制器直接驱动且未配置为由内部 PWM 发生器驱动的所有通道。然后，内部逻辑会检查所有配置为由内部 PWM 发生器驱动的通道。

- 直接由微控制器驱动的通道的诊断序列
  - 检查第一个通道：通道 2。TI 建议在启用诊断回路之前通道至少开启 t_{ON}。
  - 经过 $t_{OLONSET}$ + t_{SYNC} 这段时间后，第一个通道的诊断完成（OLONx 位更新）
  - 将内部多路复用器设置为下一个通道。经过 t_{OLONSW} + t_{SYNC} 这段时间后，所选通道的诊断完成（OLONx 位更新）。对其余所有直接驱动通道重复此步骤。
  - 如果执行诊断时一个通道关闭，则相应的 OLONx 设置为 0b
- 内部 PWM 发生器驱动通道的诊断序列
  - 只有在检查由微控制器直接驱动的所有通道后，才会检查这些通道
  - 首先检查映射到 PWM 发生器 0 的通道
  - 经过 $t_{OLONSET}$ 之后，通道激活（开关开启）是针对第一个通道执行开启时开路负载诊断的触发事件
  - 经过 t_{ONMAX} + t_{OLONSW} 这段时间后，第一个通道的诊断完成（OLONx 位更新）
  - 将内部多路复用器设置为下一个通道。经过 t_{OLONSW} 这段时间后，当前所选通道的诊断完成（OLONx 位更新）。对所有其余由 PWM 发生器驱动的通道重复此步骤。
  - 如果通道在 PWM 周期内处于关断状态，则内部逻辑会等待导通状态来执行诊断。经过一段时间 t_{ONMAX} + t_{OLONSW} 后，该通道的诊断完成。
  - 可靠诊断的最短导通时间 > t_{ONMAX} + t_{OLONSW}。如果导通时间 < t_{ONMAX} + t_{OLONSW}，则相应的 OLONx 会设置为 0b。

当回路结束时，EN_OLON 位被设置回 1111b（默认值），OLONx 位保存最后一个诊断回路结果。需要启动另一个诊断回路来更新寄存器内容。

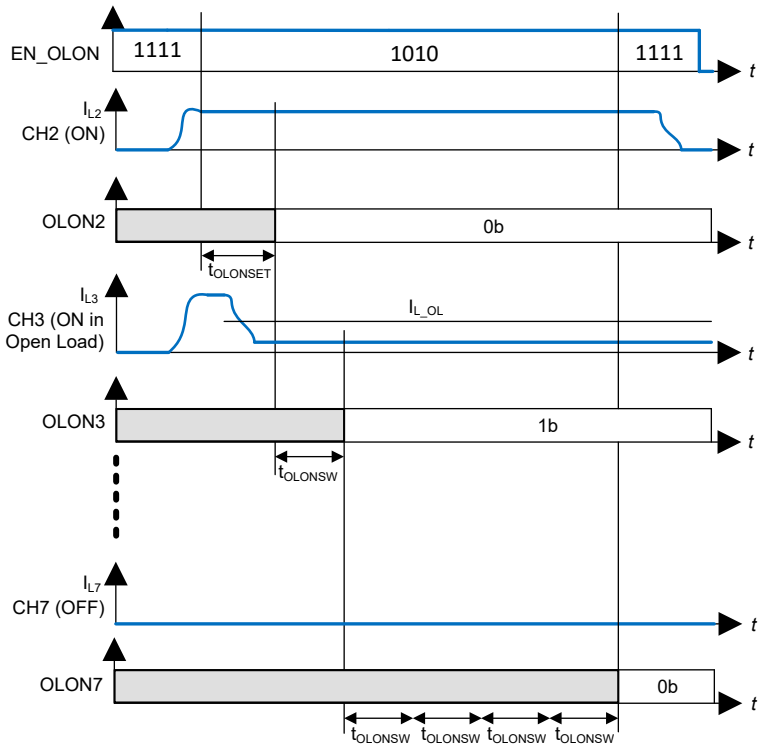


图 7-21. 导通时序时的负载开路（诊断环路 - 由微控制器驱动的通道）

Copyright © 2025 Texas Instruments Incorporated

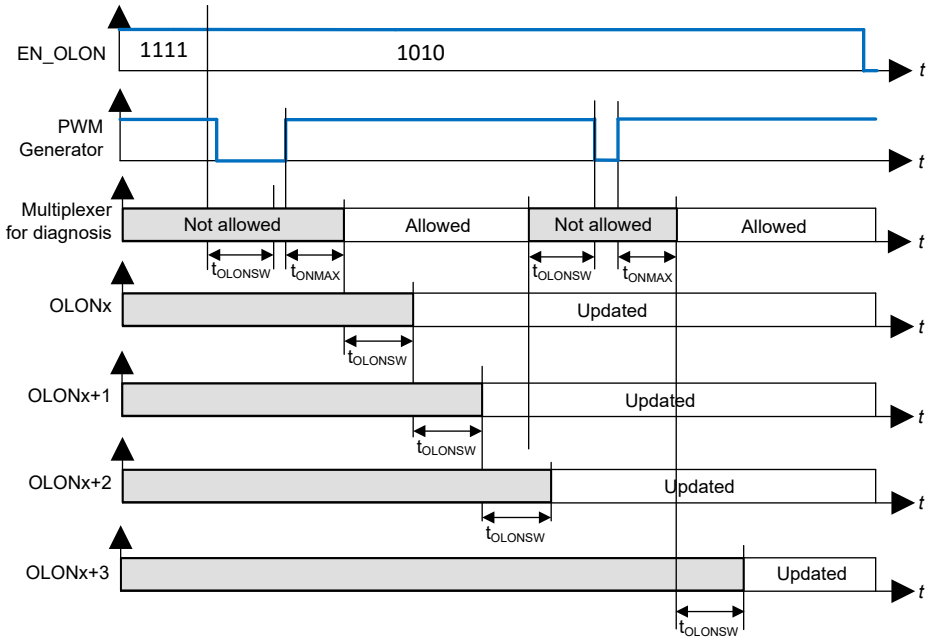


图 7-22. 导通时序时的负载开路（诊断环路 - 由内部 PWM 发生器驱动的通道）

7.3.4.9.3 OLON 位

OLON 位可以采用下面的值：

- 0b = 未检测到开启状态下的开路负载，或执行诊断时通道关闭
- 1b = 检测到开启状态下的开路负载

根据 EN_OLON 的设置，在标准诊断中报告不同的信息。

- EN_OLON 设置为 0010b 至 0111b：OLON 位显示在所选通道上执行的开启状态下的开路负载诊断。每获得一个标准诊断读数都会更新信息。
- EN_OLON 设置为 1010b：OLON 位显示 OLONx 寄存器中所有位的 OR 组合。此信息在诊断回路运行时更新。
- EN_OLON 设置为 1111b：OLON 位显示执行的最新诊断循回路的结果。需要启动另一个诊断回路来更新信息。
- EN_OLON 设置为任何其他值：OLON 位设置为 0b。EN_OLON 位的这些值被保留，不会在应用中使用。

7.3.5 SPI 通信

SPI 是全双工同步串行跟随器接口，使用四条线路：SDO、SDI、SCLK 和 nSCS。数据由 SDI 和 SDO 线路按照 SCLK 给定的速率传输。nSCS 的下降沿指示访问开始。数据在 SCLK 的下降沿在线路 SDI 中采样，并在 SCLK 的上升沿在线路 SDO 中移出。每次访问必须由 nSCS 的上升沿终止。

模数 8/16 计数器可确保仅在前 16 位之后传输 8 位的倍数时才会获取数据。否则，TER 位将置位。通过此方式，该接口可为 16 位和 8 位 SPI 器件提供菊花链功能。

7.3.5.1 SPI 信号说明

7.3.5.1.1 片选 (nSCS)

微控制器通过 nSCS 引脚选择器件。只要引脚处于逻辑低电平状态，就可以进行数据传输。当 nSCS 处于逻辑高电平状态时，将忽略 SCLK 和 SDI 引脚上的任意信号，并强制 SDO 进入高阻抗状态。

7.3.5.1.1.1 逻辑高电平到逻辑低电平转换

- 请求的信息将传输到移位寄存器中。
- SDO 从高阻抗状态变为逻辑高电平或逻辑低电平状态，具体取决于传输错误标志 (TER) 与引脚 SDI 处信号电平之间的逻辑 OR 组合。这样，即使在菊花链配置下，也能检测到故障传输。
- 如果器件处于睡眠模式，则 SDO 引脚保持高阻抗状态，并且不会发生 SPI 传输。

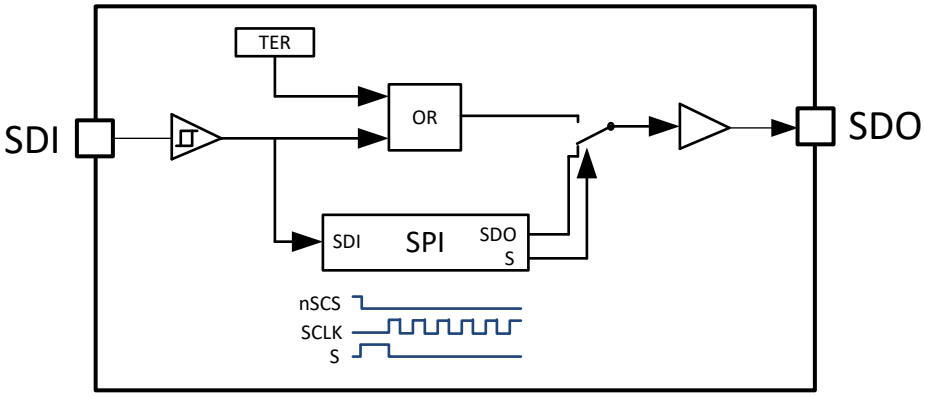


图 7-23. TER 位组合逻辑

Copyright © 2025 Texas Instruments Incorporated

7.3.5.1.1.2 逻辑低电平到逻辑高电平转换

- 只有在 nSCS 的下降沿之后，在前 16 个 SCLK 脉冲之后确切检测到 8 个 SCLK 信号的倍数（1、2、3...）时，才会完成命令解码。如果传输故障，传输错误位 (TER) 将置位并忽略该命令。
- 移位寄存器中的数据将传输到寻址的寄存器。

7.3.5.1.2 串行时钟 (SCLK)

该输入引脚为内部移位寄存器计时。串行输入 (SDI) 在 SCLK 的下降沿将数据传输到移位寄存器，而串行输出 (SDO) 在串行时钟的上升沿将诊断信息移出。每当芯片选择 nSCS 进行任何转换时，SCLK 引脚都必须处于逻辑低电平状态，否则可能无法接受命令。

7.3.5.1.3 串行数据输入 (SDI)

串行输入数据位在此引脚移入，最高有效位优先。SDI 信息在 SCLK 下降沿上读取。输入数据包括两部分：控制位及其后的数据位。

7.3.5.1.4 串行数据输出 (SDO)

数据在此引脚串行移出，最高有效位优先。SDO 处于高阻抗状态，直到 nSCS 引脚进入逻辑低电平状态。SCLK 上升沿之后，SDO 引脚上将显示新数据。

7.3.5.2 菊花链功能

SPI 提供菊花链功能。在此配置中，多个器件由同一 nSCS 信号 MCSN 激活。一个器件的 SDI 线路连接到另一器件的 SDO 线路以构建一个链。链的末端分别连接到发出命令的器件的输出端和输入端（M-SDO 和 M-SDI）。命令器件提供时钟 M-SCLK，该时钟连接到链中每个器件的 SCLK 线路。

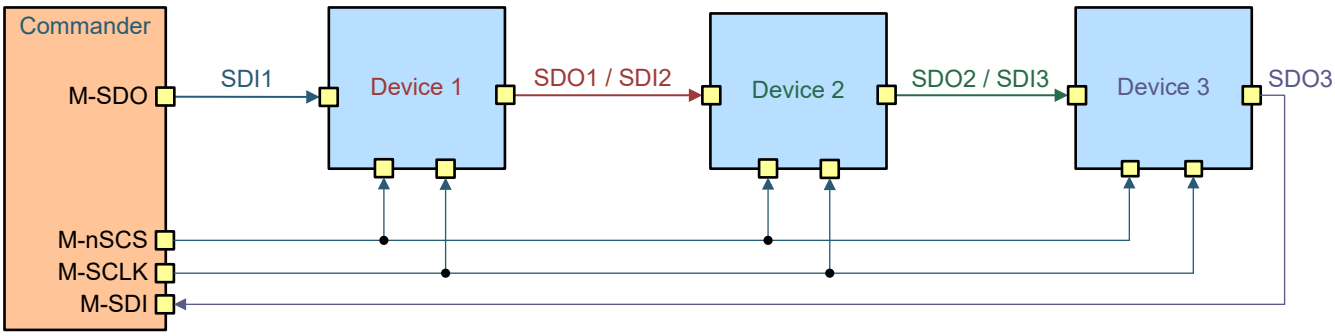


图 7-24. 菊花链配置

在每个器件的 SPI 块中，有一个移位寄存器，其中 SDI 线路的每个位在每个 SCLK 中移位。位的移出发生在 SDO 引脚上。16 个 SCLK 周期后，一个器件的数据传输完成。

在单芯片配置中，nSCS 线路必须变为逻辑高电平才能使器件确认传输的数据。在菊花链配置中，在器件 1 移出的数据已移入器件 2。在菊花链中使用三个器件时，必须在这些器件中移位 8 位的若干倍（具体取决于多少器件具有 8 位 SPI，多少器件具有 16 位 SPI）。之后，MCSN 线路必须变为逻辑高电平。

7.3.5.3 SPI 协议

图 7-25 显示了 SPI 通信期间 SDI 和 SDO 内容之间的关系。SDI 线路表示从微控制器发送的帧，SDO 线路是器件提供的应答。

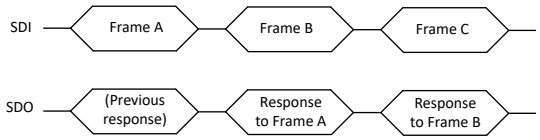


图 7-25. SPI 通信期间 SDI 和 SDO 之间的关系

SPI 协议仅在微控制器触发下一次传输时提供对命令帧的应答。尽管器件中实现的绝大多数命令和帧都可以进行解码而无需知道之前所发生的情况，但建议考虑微控制器在之前传输中发送的内容，以完全解码响应帧。读取和写入寄存器内容的命令序列如下所示：

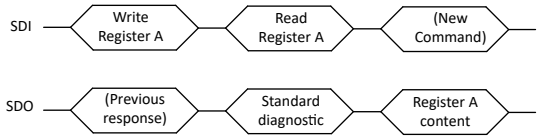


图 7-26. 寄存器内容发送回微控制器

在 3 种特殊情况下，发送回微控制器的帧与前一个接收的帧不直接相关：

- 在前一个帧期间发生传输错误（例如，时钟脉冲不是 8 的倍数且至少为 16 位），如下所示。
- 逻辑电源退出上电复位条件或在软件复位之后，如下所示。
- 出现命令语法错误
  - 写入命令从 11b 而非 10b 开始
  - 读取命令从 00b 而非 01b 开始
  - 寄存器上的读取或写入命令未保留或未使用

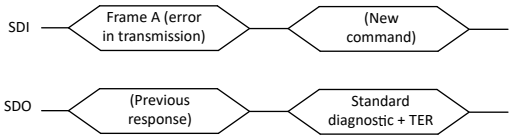


图 7-27. 传输出错之后的响应

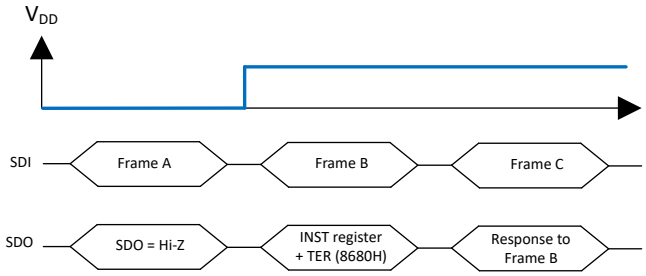


图 7-28. 退出 V_{DD} 上电复位后的响应

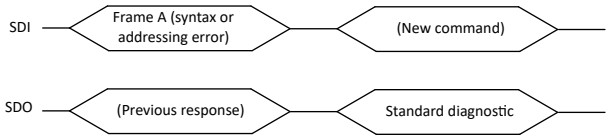


图 7-29. 命令语法错误后的响应

Copyright © 2025 Texas Instruments Incorporated

下面汇总了所有可能的 SPI 命令，包括器件在下一次传输时发送回的应答。

表 7-9. SPI 命令汇总

请求的操作	发送到 SDI 引脚的帧	使用下一条命令从 SDO 引脚接收的帧
读取标准诊断	0xxxxxxxxxxxxx01b（xxxxxxxxxxxxb = 无关）	0ddddddddddddddb（标准诊断）
写入 10 位寄存器	10ppppprrrrrrrrrb，其中：ppppb = 寄存器地址 ADDR0，rrrrrrrrrb = 新寄存器内容	0ddddddddddddddb（标准诊断）
读取 10 位寄存器	01ppppxxxxxxxx10b，其中：ppppb = 寄存器地址 ADDR0，xxxxxxxxb = 不用考虑	10ppppprrrrrrrrrb，其中：ppppb = 寄存器地址 ADDR0c，rrrrrrrrrb = 寄存器内容
写入 8 位寄存器	10ppppqqrrrrrrrrb，其中：ppppb = 寄存器地址 ADDR0，qqb = 寄存器地址 ADDR1，rrrrrrrrb = 新寄存器内容	0ddddddddddddddb（标准诊断）
读取 8 位寄存器	01ppppqqxxxxxx10b，其中：ppppb = 寄存器地址 ADDR0，qqb = 寄存器地址 ADDR1，xxxxxxb = 无关	10ppppqqrrrrrrrrb，其中：ppppb = 寄存器地址 ADDR0c，qqb = 寄存器地址 ADDR1，rrrrrrrrb = 寄存器内容

“p” = ADDR0 字段的地址位，“q” = ADDR1 字段的地址位，“r” = 寄存器内容，“d” = 诊断位

7.3.5.4 SPI 寄存器

除 PWM0 和 PWM1 外的所有寄存器都具有以下结构 -

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	ADDR0				ADDR1		DATA								XXXXH

PWM0 和 PWM1 寄存器具有以下结构 -

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	ADDR0				DATA										XXXXH

在后续章节中未提及地址的所有寄存器必须视为保留。对这些寄存器执行的读取操作将返回标准诊断。“默认”列指示寄存器（8 位）在复位后的内容。

配置寄存器 2 中的锁定位可用于锁定寄存器设置，防止意外的 SPI 写入。

- 写入 110b 以锁定设置，除了 LOCK 位和 CLRx 位，忽略后续寄存器写入。写入除 110b 之外的任何序列在解锁时都没有任何影响。
- 写入 011b 以解锁所有寄存器。写入除 011b 之外的任何序列在锁定时都没有任何影响。

7.3.5.4.1 标准诊断寄存器

- **表 7-10. 标准诊断寄存器**

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
0	UVRVM	0	模式		TER	OL ON	OLOFF	ERR7	ERR6	ERR5	ERR4	ERR3	ERR2	ERR1	ERR0	5800h

表 7-11. 标准诊断寄存器说明

字段	位	类型	说明
UVRVM	14	R	VM 欠压监控 – 0b：未检测到 VM 欠压情况 – 1b（默认值）：自上次标准诊断读数以来至少有一个 VM 欠压情况
模式	12-11	R	运行模式监控 – 00b：保留 – 01b：跛行回家模式 – 10b：工作模式 – 11b（默认值）：空闲模式
TER	10	R	传输错误 – 0b：上次传输成功（接收到模数 16 + n*8 个时钟，其中 n = 0、1、2...） – 1b（默认值）：上次传输失败。复位后的第一个帧将 TER 设置为 1b 和 INST 寄存器。第二个帧是标准诊断，TER 设置为 0b（如果在上次传输中没有故障）
OLON	9	R	开启状态下的开路负载诊断 – 0b（默认值）：未检测到开启时负载开路 – 1b：检测到开启时负载开路
OLOFF	8	R	关闭状态下开路负载诊断 – 0b（默认值）：关断状态（IOLx 位设置为 1b）下所有通道的 $V_{DS} > V_{OSM}$（对于低侧配置）或 $V_{OUT_S} < V_{OSM}$（对于高侧配置） – 1b：关断状态（IOLx 位设置为 1b）下至少一个通道的 $V_{DS} > V_{OSM}$（对于低侧配置）或 $V_{OUT_S} < V_{OSM}$（对于高侧配置）。 不考虑处于打开状态的通道。
ERRx	7-0	R	通道 x 的过载/过热诊断 – 0b（默认值）：未检测到故障 – 1b：过热或过载

Copyright © 2025 Texas Instruments Incorporated

7.3.5.4.2 输出控制寄存器

表 7-12. 输出控制寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0000				00		EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0	00h

表 7-13. 输出控制寄存器说明

字段	位	类型	说明
ENx	7-0	RW	输出 x 控制寄存器 • 0b（默认值）：输出 x 关闭 • 1b：输出开启

7.3.5.4.3 灯泡浪涌模式寄存器

表 7-14. 灯泡浪涌模式寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0000				01		BIM7	BIM6	BIM5	BIM4	BIM3	BIM2	BIM1	BIM0	00h

表 7-15. 灯泡浪涌模式寄存器说明

字段	位	类型	说明
BIMx	7-0	RW	灯泡浪涌模式寄存器 • 0b（默认值）：出现错误时输出会锁存 • 1b：出现错误时，输出将自动重新启动

7.3.5.4.4 输入 0 映射寄存器

表 7-16. 输入 0 映射寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0001				00		MAP07	MAP06	MAP05	MAP04	MAP03	MAP02	MAP01	MAP00	04h

表 7-17. 输入 0 映射寄存器说明

字段	位	类型	说明
MAP0x	7-0	RW	输入引脚 0 映射寄存器 • 0b（默认值）：输出 x 未连接到输入引脚 0 • 1b：输出已连接到输入引脚 注意：通道 2 的相应位默认设置为 1b

7.3.5.4.5 输入 1 映射寄存器

表 7-18. 输入 1 映射寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0001				01		MAP17	MAP16	MAP15	MAP14	MAP13	MAP12	MAP11	MAP10	08h

表 7-19. 输入 1 映射寄存器说明

字段	位	类型	说明
MAP1x	7-0	RW	输入引脚 1 映射寄存器 • 0b（默认值）：输出 x 未连接到输入引脚 1 • 1b：输出已连接到输入引脚 注意：通道 3 的相应位默认设置为 1b

7.3.5.4.6 输入状态监控寄存器

这是逻辑复位后传输的第一个寄存器

.

表 7-20. 输入状态监控寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
0	1	0001				10		TER	RSVD					INST1	INST0	00h

表 7-21. 输入状态监控寄存器说明

字段	位	类型	说明
TER	7	R	• 0b：上次传输成功（接收到模数 16 + n*8 个时钟，其中 n = 0、1、2...） • 1b（默认值）：上次传输失败
RSVD	6-2	R	保留
INST1	1	R	• 0b（默认值）：IN1 引脚设置为逻辑低电平 • 1b：IN1 引脚设置为逻辑高电平
INST0	0	R	• 0b（默认值）：IN0 引脚设置为逻辑低电平 • 1b：IN0 引脚设置为逻辑高电平

Copyright © 2025 Texas Instruments Incorporated

7.3.5.4.7 开路负载电流控制寄存器

表 7-22. 开路负载电流控制寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0010				00		IOL7	IOL6	IOL5	IOL4	IOL3	IOL2	IOL1	IOL0	00h

表 7-23. 开路负载电流控制寄存器说明

字段	位	类型	说明
IOLx	7-0	RW	• 0b（默认值）：通道 x 的 IOL 电流源未启用 • 1b：通道 x 的 IOL 电流源已启用

7.3.5.4.8 输出状态监控寄存器

表 7-24. 输出状态监控寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
0	1	0010				01		OSM7	OSM6	OSM5	OSM4	OSM3	OSM2	OSM1	OSM0	00h

表 7-25. 输出状态监控寄存器说明

字段	位	类型	说明
OSMx	7-0	R	• 0b（默认值）：对于通道 x，$V_{DS} > V_{OSM}$（对于低侧配置）或 $V_{OUT_S} < V_{OSM}$（对于高侧配置） • 1b：对于通道 x，$V_{DS} < V_{OSM}$（对于低侧配置）或 $V_{OUT_S} > V_{OSM}$（对于高侧配置）

7.3.5.4.9 开启时开路负载寄存器

此功能不适用于配置为低侧开关的通道。

表 7-26. 开启时开路负载寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0010				10		OLON7	OLON6	OLON5	OLON4	OLON3	OLON2	OLON1	OLON1	00h

表 7-27. 开启时开路负载寄存器说明

字段	位	类型	说明
OLONx	7-0	R	• 0b（默认值）：在通道关闭时执行正常操作或诊断 • 1b：检测到开启时负载开路

7.3.5.4.10 EN_OLON 寄存器

表 7-28. EN_OLON 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0010				11		RSVD				EN_OLON				0Fh

表 7-29. EN_OLON 寄存器说明

字段	位	类型	说明
RSVD	7-4	RW	保留
EN_OLON	3-0	RW	• 0000b：保留 • 0001b：保留 • 0010b：通道 2 上开启时负载开路诊断激活 • 0011b：通道 3 上开启时负载开路诊断激活 • 0100b：通道 4 上开启时负载开路诊断激活 • 0101b：通道 5 上开启时负载开路诊断激活 • 0110b：通道 6 上开启时负载开路诊断激活 • 0111b：通道 7 上开启时负载开路诊断激活 • 1000b：保留 • 1001b：保留 • 1010b：开启时负载开路诊断回路启动 • 1011b：保留 • 1100b：保留 • 1101b：保留 • 1110b：保留 • 1111b（默认值）：开启时负载开路诊断未激活

7.3.5.4.11 配置寄存器

表 7-30. 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0011				00		ACT	RST	DISOL	OCP	PAR3	PAR2	PAR1	PAR0	00h

表 7-31. 配置寄存器说明

字段	位	类型	说明
ACT	7	RW	• 0b（默认值）：正常运行或器件退出工作模式 • 1b：器件进入工作模式
RST	6	RW	• 0b（默认值）：正常运行 • 1b：执行复位命令（自行清除）
DISOL	5	RW	• 0b（默认值）：关闭时开路负载检测已启用 • 1b：关闭时开路负载检测已禁用
OCP	4	RW	• 0b（默认值）：过流保护电流曲线 1 • 1b：过流保护电流曲线 2

Copyright © 2025 Texas Instruments Incorporated

表 7-31. 配置寄存器说明（续）

PAR3	3	RW	• 0b（默认值）：正常运行 • 1b：通道 5 和 7 的过载和过热同步
PAR2	2	RW	• 0b（默认值）：正常运行 • 1b：通道 4 和 6 的过载和过热同步
PAR1	1	RW	• 0b（默认值）：正常运行 • 1b：通道 1 和 3 的过载和过热同步
PAR0	0	RW	• 0b（默认值）：正常运行 • 1b：通道 0 和 2 的过载和过热同步

7.3.5.4.12 输出清除锁存寄存器

表 7-32. 输出清除锁存寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0011				01		CLR7	CLR6	CLR5	CLR4	CLR3	CLR2	CLR1	CLR0	00h

表 7-33. 输出清除锁存寄存器说明

字段	位	类型	说明
CLRx	7-0	RW	• 0b（默认值）：正常运行 • 1b：清除选定输出的错误锁存

7.3.5.4.13 FPWM 寄存器

表 7-34. FPWM 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0011				10		FPWM				FCTR1	FCTR0	EN_PWM1	EN_PWM0	80h

表 7-35. FPWM 寄存器说明

字段	位	类型	说明

表 7-35. FPWM 寄存器说明（续）

FPWM	7-4	RW	• 0000b：保留 • 0001b：基频 f_{INT} - 37.2% • 0010b：基频 f_{INT} - 31.9% • 0011b：基频 f_{INT} - 26.9% • 0100b：基频 f_{INT} - 21.0% • 0101b：基频 f_{INT} - 15.5% • 0110b：基频 f_{INT} - 10.9% • 0111b：基频 f_{INT} - 5.8% • 1000b（默认值）：基频 f_{INT} • 1001b：基频 f_{INT} + 4.3% • 1010b：基频 f_{INT} + 8.9% • 1011b：基频 f_{INT} + 14.0% • 1100b：基频 f_{INT} + 19.5% • 1101b：基频 f_{INT} + 25.6% • 1110b：基频 f_{INT} + 32.4% • 1111b：基频 f_{INT} + 40%
FCTR1	3	RW	• 0b：PWM 发生器 1 的 PWM 频率是 100Hz、200Hz 或 400Hz，具体由 FREQ1 位确定 • 1b：PWM 发生器 1 的 PWM 频率是 800Hz、1600Hz 或 2000Hz，具体由 FREQ1 位确定
FCTR0	2	RW	• 0b：PWM 发生器 0 的 PWM 频率是 100Hz、200Hz 或 400Hz，具体由 FREQ0 位确定 • 1b：PWM 发生器 0 的 PWM 频率是 800Hz、1600Hz 或 2000Hz，具体由 FREQ0 位确定
EN_PWM1	1	RW	• 0b（默认值）：PWM 发生器 1 未激活 • 1b：PWM 发生器 1 激活
EN_PWM0	0	RW	• 0b（默认值）：PWM 发生器 0 未激活 • 1b：PWM 发生器 0 激活

7.3.5.4.14 PWM0 配置寄存器

表 7-36. PWM0 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0100				FREQ0		DC0								000h

表 7-37. PWM0 配置寄存器说明

字段	位	类型	说明
FREQ0	9-8	RW	• 00b（默认值）：内部时钟根据 FCTR0 进行 1024 或 128 分频 • 01b：内部时钟根据 FCTR0 进行 512 或 64 分频 • 10b：内部时钟根据 FCTR0 进行 256 或 51.2 分频 • 11b：100% 占空比
DC0	7-0	RW	• 00000000b：PWM 发生器关断 • 11111111b：PWM 发生器开启（99.61% 占空比）

Copyright © 2025 Texas Instruments Incorporated

7.3.5.4.15 PWM1 配置寄存器

表 7-38. PWM1 配置寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	0101				FREQ1		DC1								000h

表 7-39. PWM1 配置寄存器说明

字段	位	类型	说明
FREQ1	9-8	RW	• 00b（默认值）：内部时钟根据 FCTR1 进行 1024 或 128 分频 • 01b：内部时钟根据 FCTR1 进行 512 或 64 分频 • 10b：内部时钟根据 FCTR1 进行 256 或 51.2 分频 • 11b：100% 占空比
DC1	7-0	RW	• 00000000b：PWM 发生器关断 • 11111111b：PWM 发生器开启（99.61% 占空比）

7.3.5.4.16 PWM_OUT 寄存器

表 7-40. PWM_OUT 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	1001				00		PWM_OUT7	PWM_OUT6	PWM_OUT5	PWM_OUT4	PWM_OUT3	PWM_OUT2	PWM_OUT1	PWM_OUT0	00h

表 7-41. PWM_OUT 寄存器说明

字段	位	类型	说明
PWM_OUTx	7-0	RW	• 0b（默认值）：输出 x 不由两个 PWM 发生器之一驱动 • 1b：输出 x 连接到 PWM 发生器

7.3.5.4.17 MAP_PWM 寄存器

需要设置 PWM_OUT 寄存器以激活对输出的 PWM 发生器控制。

表 7-42. MAP_PWM 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值
R=0 W = 1	R=1 W = 0	1001				01		MAP_PWM7	MAP_PWM6	MAP_PWM5	MAP_PWM4	MAP_PWM3	MAP_PWM2	MAP_PWM1	MAP_PWM0	00h

表 7-43. MAP_PWM 寄存器说明

字段	位	类型	说明
MAP_PWMx	7-0	RW	• 0b（默认值）：输出 x 连接到 PWM 发生器 0 • 1b：输出 x 连接到 PWM 发生器 1

7.3.5.4.18 配置 2 寄存器

表 7-44. 配置 2 寄存器

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	默认值

表 7-44. 配置 2 寄存器（续）

R=0 W = 1	R=1 W = 0	1010	00	LOCK[2:0]	RSVD	OTW	OLMAX	SR	60h

表 7-45. 配置寄存器说明

字段	位	类型	说明
LOCK[2:0]	7-5	RW	写入 110b 以锁定设置，除了 LOCK 位和 CLRx 位，忽略后续寄存器写入。写入除 110b 之外的任何序列在解锁时都没有任何影响。向此寄存器写入 011b 以解锁所有寄存器。写入除 011b 之外的任何序列在锁定时都没有任何影响。
RSVD	4-3	R	保留
OTW	2	R	过热警告 • 0b（默认值）：无过热事件 • 1b：过热事件
OLMAX	1	RW	在激活多路复用器之前的诊断等待时间设置开路负载 • 0b（默认值）：t_{ONMAX} = 60 µs • 1b：t_{ONMAX} = 80 µs
SR	0	RW	设置输出压摆率 • 0b（默认值）：1.3V/µs 压摆率 • 1b：2.5V/µs 压摆率

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

该器件主要用于驱动汽车和工业应用中的继电器、灯、LED 和控制电机。

8.1.1 建议的外部元件

表 8-1 列出了推荐用于此器件的外部元件。

表 8-1. 建议的外部元件

说明	值	用途
与 IN0、IN1 和 nSLEEP 引脚串联的电阻器	4.7kΩ	在过压和反极性期间为微控制器提供保护。也能够确保在接地失效期间关闭输出通道。
与 nSCS、SCLK、SDI 和 SDO 引脚串联的电阻器	470Ω	在过压和反极性期间为微控制器提供保护
与 VDD 引脚串联的电阻器	100Ω	逻辑电源电压滤波
VDD 引脚上的旁路电容器	100nF	逻辑电源电压滤波
VM 引脚上的旁路电容器	68nF	电池电压滤波
VM 引脚上的 TVS 二极管	TVS3300	在过压期间提供器件保护
每个 OUT 引脚上的电容器（可选）	10nF	保护器件免受 ESD 和 BCI 影响

8.1.2 应用曲线图

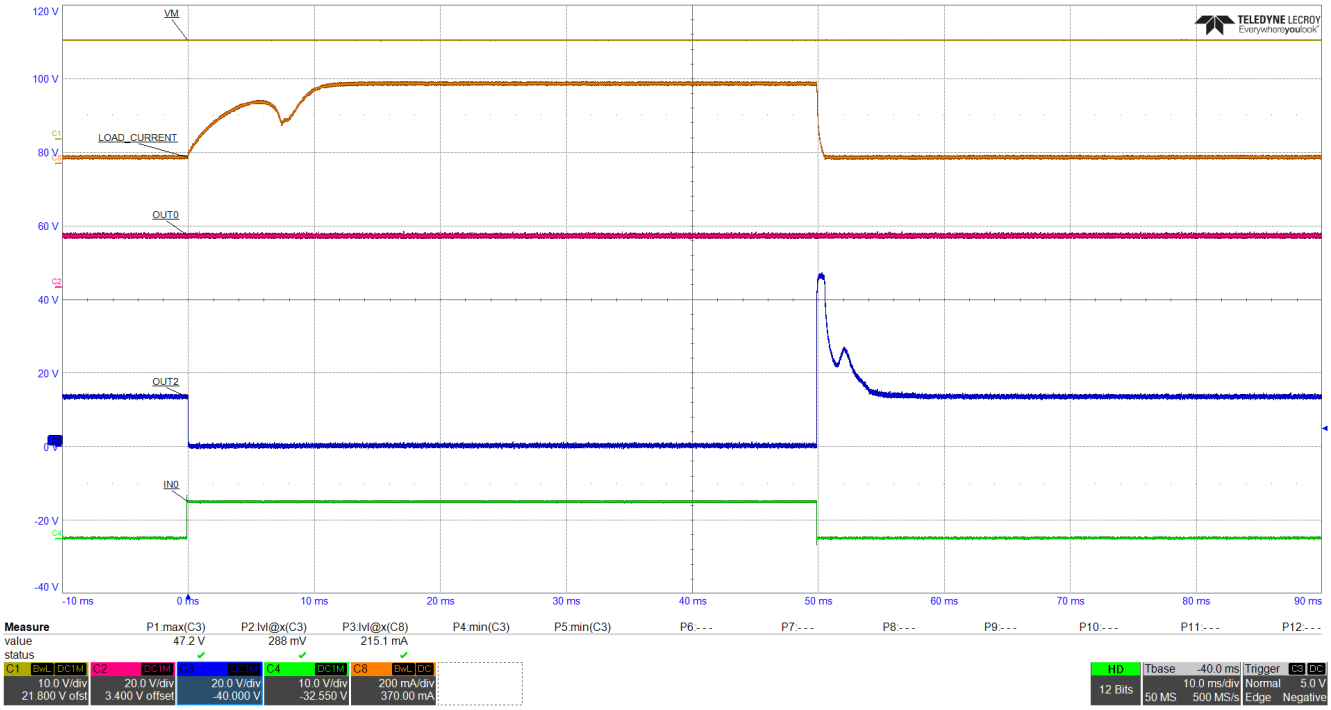


图 8-1. 来自 IN0 引脚的输出导通/关断

8.2 典型应用

下图展示了应用原理图。

Copyright © 2025 Texas Instruments Incorporated

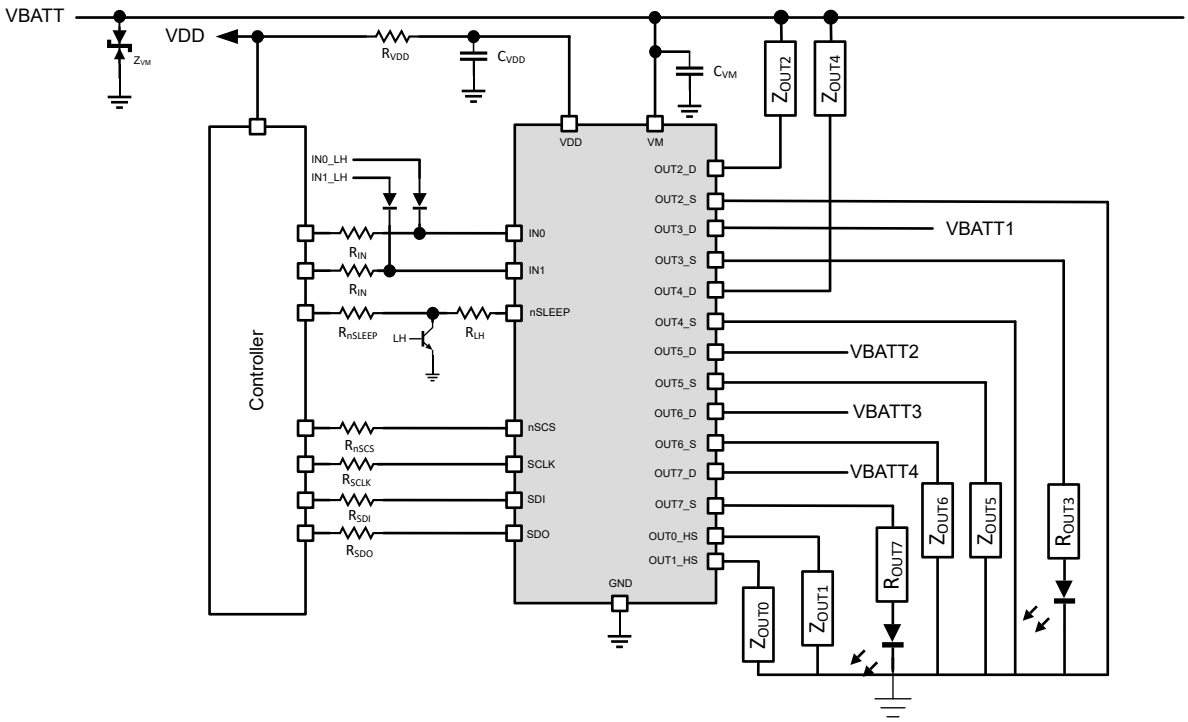

VBATT
VDD
ZVM
RVDD
CVDD
CVM
ZOUT2
ZOUT4
VDD
VM
IN0_LH
IN1_LH
RIN
RIN
RnSLEEP
LH
RLH
Controller
IN0
IN1
nSLEEP
nSCS
SCLK
SDI
SDO
RnSCS
RSCLK
RSDI
RSDO
GND
OUT2_D
OUT2_S
OUT3_D
OUT3_S
OUT4_D
OUT4_S
OUT5_D
OUT5_S
OUT6_D
OUT6_S
OUT7_D
OUT7_S
OUT0_HS
OUT1_HS
VBATT1
VBATT2
VBATT3
VBATT4
ZOUT0
ZOUT1
ROUT7
ZOUT6
ZOUT5
ROUT3

图 8-2. 应用原理图

8.3 布局

8.3.1 布局指南

- VM 引脚应通过低 ESR 陶瓷旁路电容器旁路至 GND，该电容器的建议电容值为 68nF 且额定电压为 VM。此类电容器应尽可能靠近 VM 引脚放置，并通过较宽的布线或接地平面与器件 GND 引脚连接。
- 使用低 ESR 陶瓷电容器将 VDD 引脚旁路至接地。建议使用一个电容值为 100nF、额定电压为 6.3V 的电容器。将此旁路电容器尽可能靠近引脚放置。
- 通常，必须避免电源引脚和去耦电容器之间的电感。
- 在器件的 IN0、IN1、nSLEEP、nSCS、SCLK、SDI、SDO 和 VDD 引脚与微控制器的相应引脚之间连接串联电阻器。节 7.3 显示了电阻器建议值。
- 封装的散热焊盘必须连接至系统接地端。
  - TI 建议整个系统/电路板使用一个大的不间断单一接地平面。接地平面可在 PCB 底层制成。
  - 为了尽可能减小阻抗和电感，在通过通孔连接至底层接地平面之前，接地引脚的布线尽可能短且宽。
  - 建议使用多个通孔来降低阻抗。
  - 尽量清理器件周围的空间（尤其是在 PCB 底层），从而改善散热。
  - 连接至散热焊盘的单个或多个内部接地平面也有助于散热并降低热阻。

8.3.2 封装尺寸兼容性

该器件的 PWP0024T 封装与业内使用的其他 SO-24 封装的尺寸兼容，如图 8-3 和图 8-4 所示。

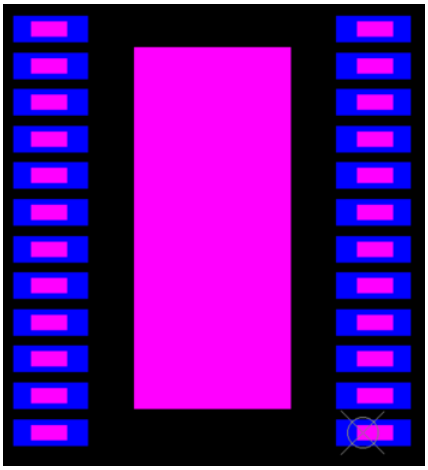


图 8-3. 另一 SO-24 PCB 焊盘上的 PWP0024T，粉色：TI PWP0024T 引线，蓝色：其他 SO-24 PCB 焊盘

Copyright © 2025 Texas Instruments Incorporated

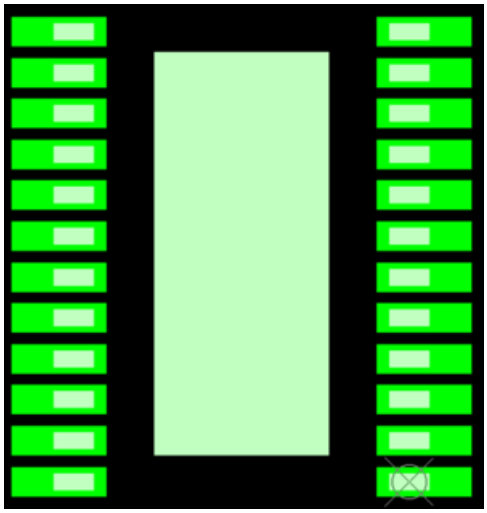


图 8-4. PWP0024T PCB 焊盘上的 SO-24，白色：其他 SO-24 引线，绿色：TI PWP0024T PCB 焊盘

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发设计的工具和软件。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (September 2024) to Revision A (March 2025)	Page
• 将器件状态更新为“量产数据”	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV81620QPWPRQ1	Active	Production	HTSSOP (PWP) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	81620Q1
DRV81620QPWPRQ1.A	Active	Production	HTSSOP (PWP) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	81620Q1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

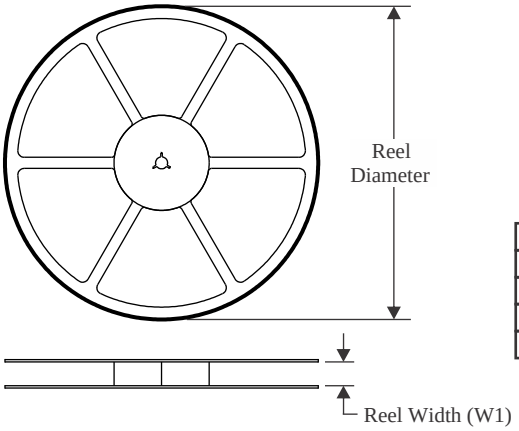
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

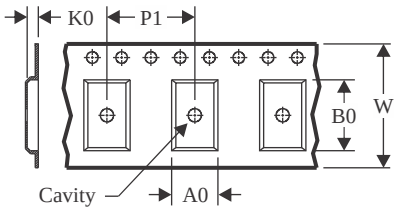
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

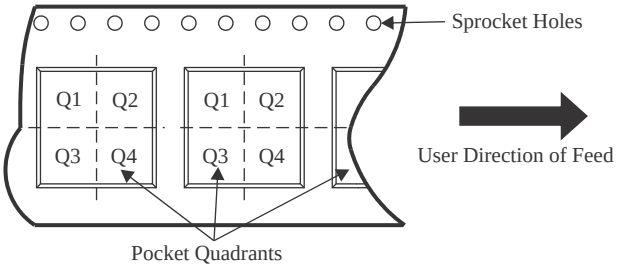


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

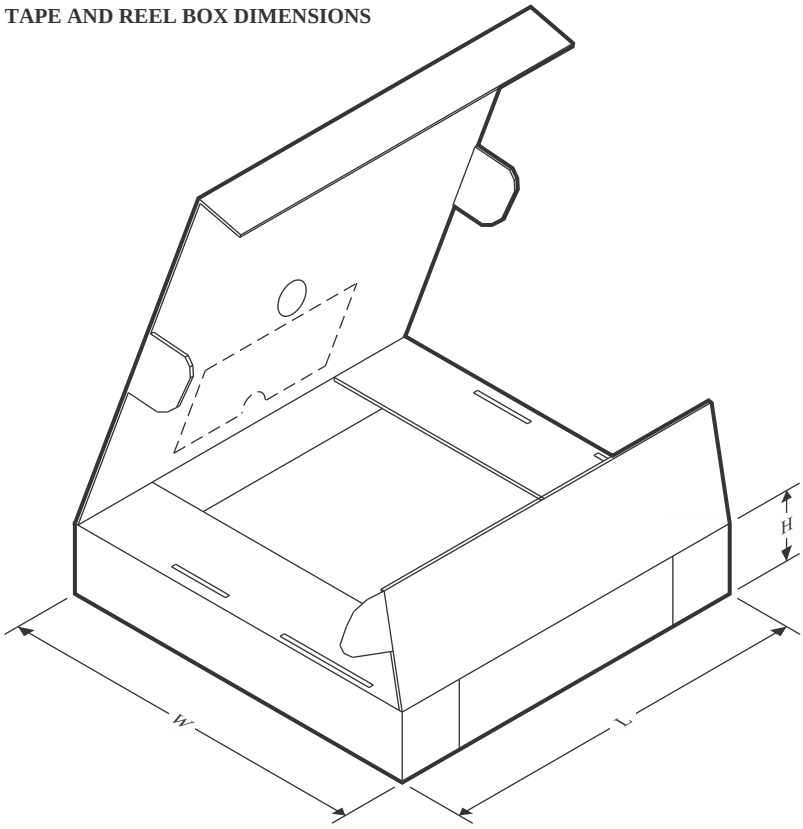
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV81620QPWPRQ1	HTSSOP	PWP	24	3000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV81620QPWPRQ1	HTSSOP	PWP	24	3000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

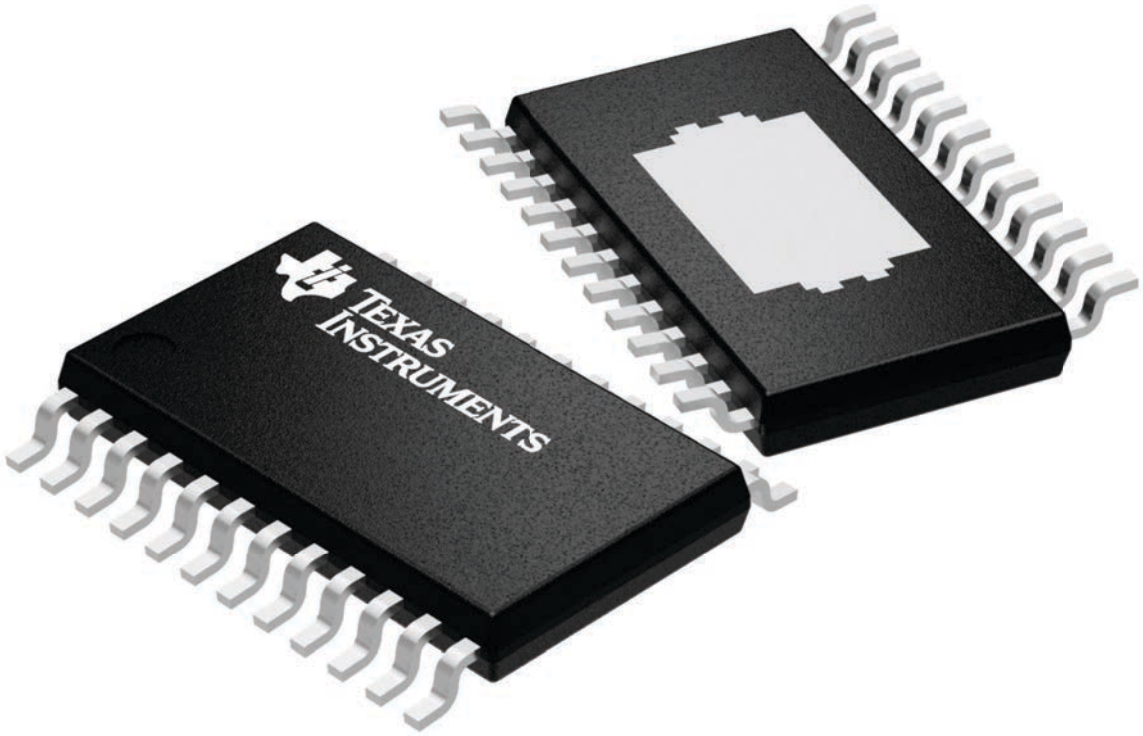
PWP 24

PowerPAD™ TSSOP - 1.2 mm max height

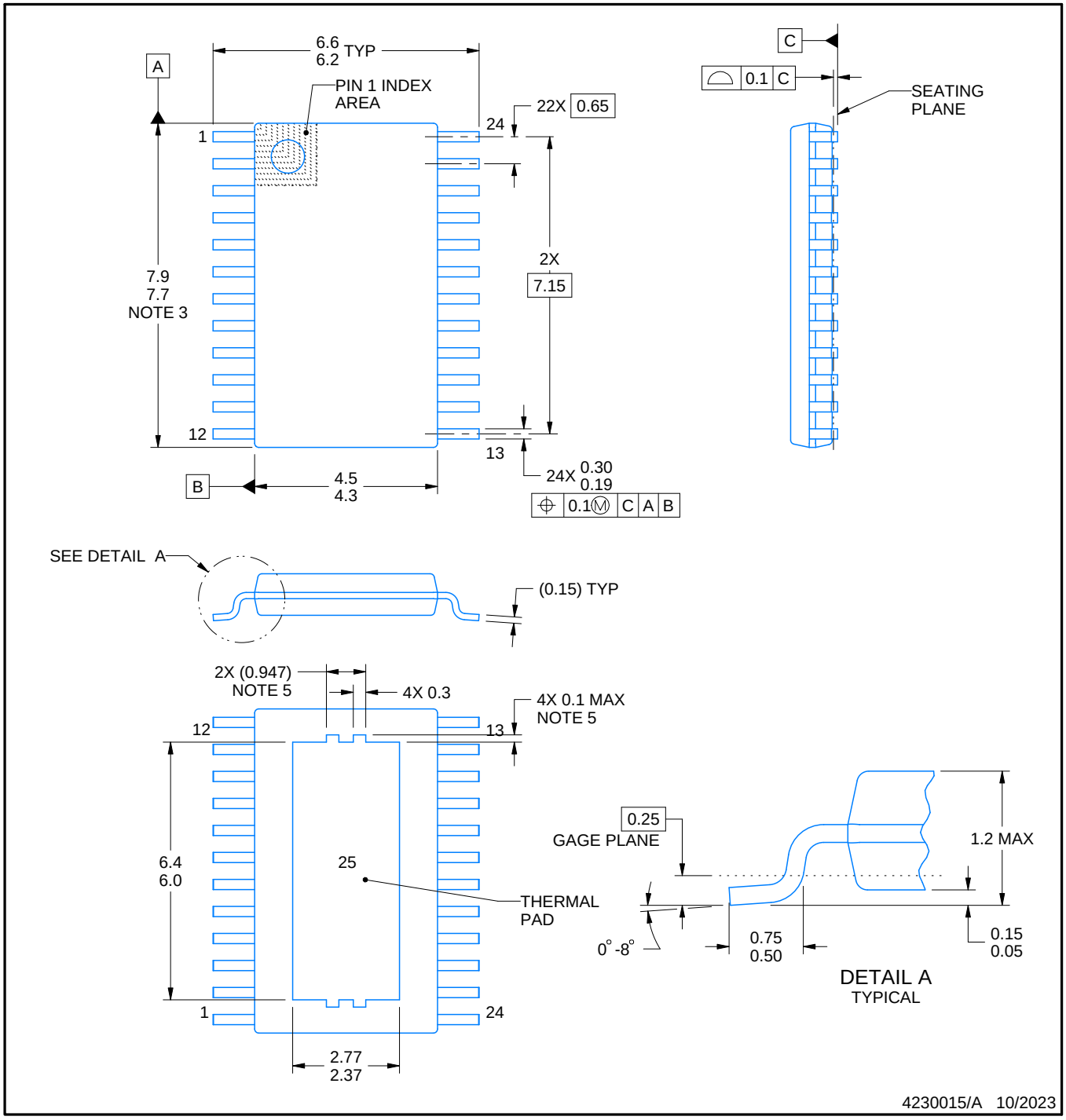
4.4 x 7.6, 0.65 mm pitch

PLASTIC SMALL OUTLINE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



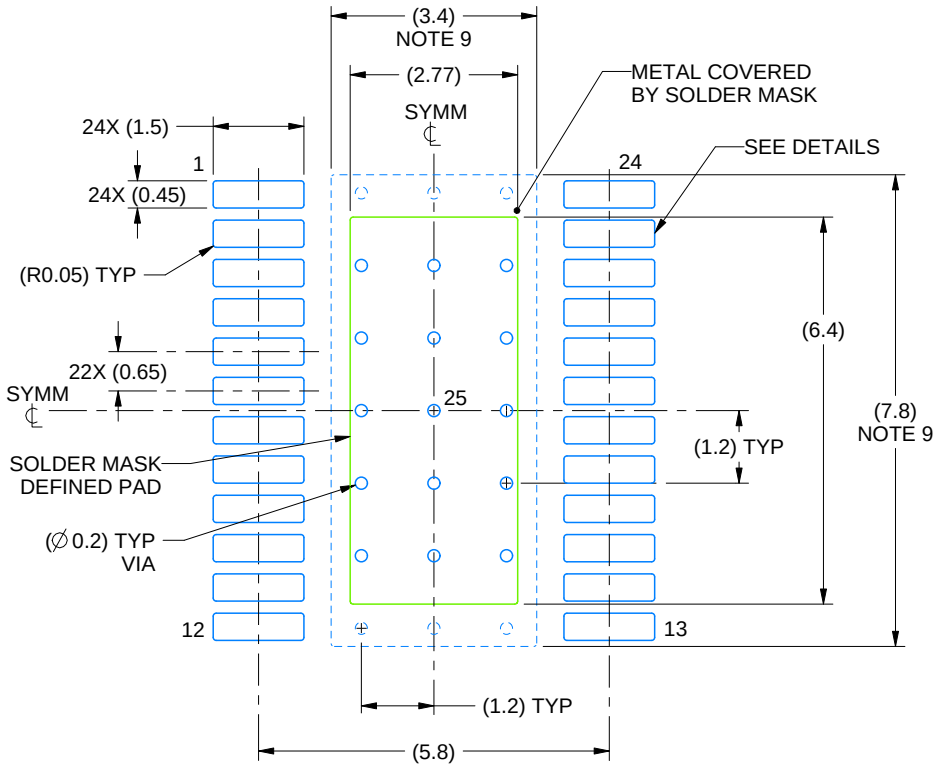
4224742/B



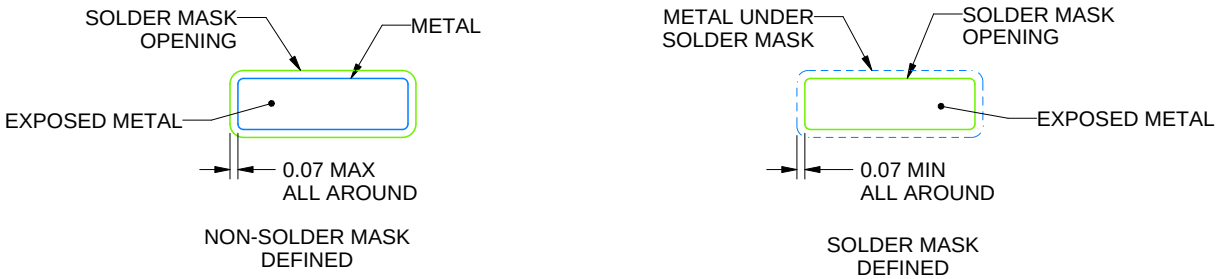
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X

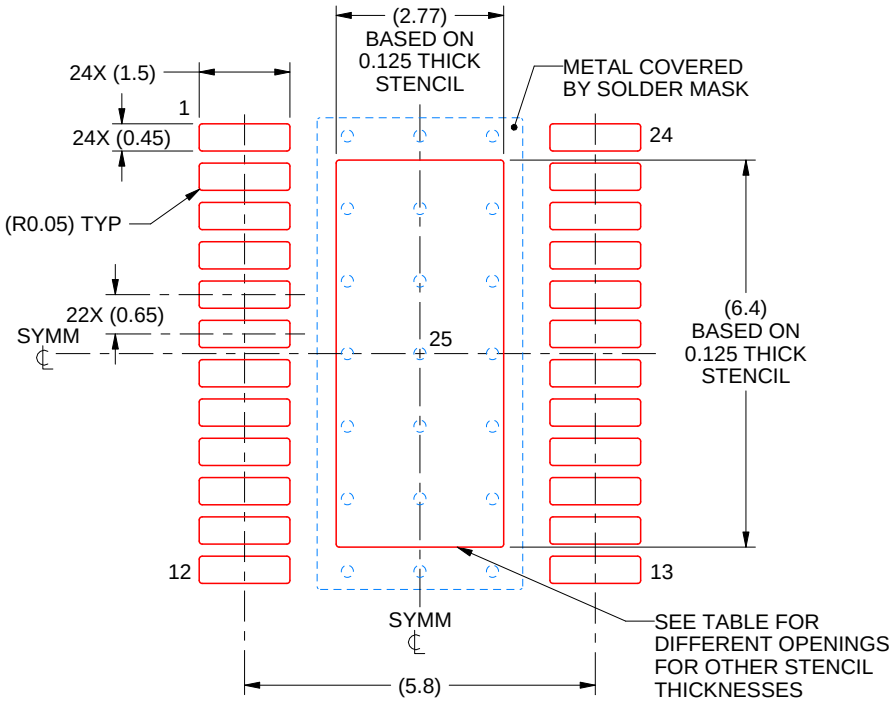


SOLDER MASK DETAILS

4230015/A 10/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.10 X 7.16
0.125	2.77 X 6.40 (SHOWN)
0.15	2.53 X 5.84
0.175	2.34 X 5.41

4230015/A 10/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月