

DRV816x 具有集成式保护和电流检测放大器的 100V 半桥智能栅极驱动器

1 特性

- 可驱动两个采用半桥配置的 N 沟道 MOSFET
 - 高侧 MOSFET 源极/漏极电压高达 102V (绝对最大值)
 - 8V (5V DRV8162L) 至 20V 栅极驱动电源
 - 集成式自举二极管
- [功能安全质量管理型](#)
 - 提供协助功能安全系统设计的文档
- 具有集成式涓流电荷泵, 支持 100% PWM 占空比
- 16 电平栅极驱动峰值电流
 - 16mA - 1000mA 拉电流
 - 32mA - 2000mA 灌电流
 - 拉电流/灌电流比 1:1、1:2、1:3
- 可调 PWM 死区时间插入 20ns - 900ns
- 电机相位 (SH) 开关的可靠设计
 - 压摆率 50V/ns
 - 负瞬态电压 -20V
 - 2A 强栅极下拉
- 双路栅极驱动电源输入可实现冗余关断 (DRV8162、DRV8162L)
- 低失调电流检测放大器 (DRV8161)
 - 可调增益 (5、10、20、40V/V)
- 灵活的 PWM 控制接口; 2 引脚 PWM、1 引脚 PWM 和独立 PWM 模式
- 13 电平 VDS 过流阈值
- 独立关断引脚 (nDRVOFF)
- 栅极驱动器软关断序列
- 集成式保护功能
 - GVDD 欠压 (GVDDUV)
 - 自举欠压 (BST_UV)
 - MOSFET 过流保护 (VDS)
 - 击穿保护
 - 热关断 (OTSD)
 - 故障状态指示器 (nFAULT)
- 支持 3.3V 和 5V 逻辑输入

2 应用

- 工业与协作机器人
- 移动机器人 (AGV/AMR)
- 线性电机运输系统
- [伺服驱动器](#)
- [无人机](#)
- 电动自行车、电动踏板车和[电动汽车](#)

3 说明

DRV816x 器件是半桥栅极驱动器, 能够驱动高侧和低侧 N 沟道 MOSFET。栅极驱动电压由 GVDD 电源引脚生成, 集成自举电路用于驱动漏极电压高达 102V 的高侧 FET。智能栅极驱动架构支持高达 1A 拉电流和 2A 灌电流的 16 电平 (48 种组合) 栅极驱动峰值电流, 以及内置的栅极驱动电流时序控制。这些器件可用于驱动各种类型的负载, 包括无刷/有刷直流电机、PMSM、步进电机、SRM 和电磁阀。

内部保护功能可用于电源欠压、FET 过流和芯片过热等情况。nFAULT 引脚指示保护功能检测到的故障事件。nDRVOFF 引脚可以不依赖于 PWM 控制来启动功率级关断。DRV8162 和 DRV8162L 器件提供双电源架构, 有助于实现安全转矩关闭 (STO) 功能。

许多器件参数 (包括栅极驱动电流、死区时间、PWM 控制接口和过流检测) 都可以通过一些连接到器件引脚的无源器件进行配置。集成的低侧电流检测放大器 (DRV8161) 可将电流测量信息返回至控制器。

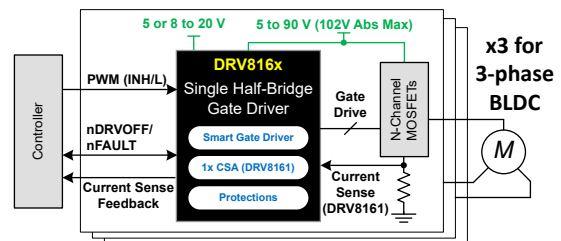
器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 (标称值)
DRV8161	VSSOP (20)	5.1mm × 4.9mm	5.1mm × 3.0mm
DRV8162 ⁽³⁾	VSSOP (20)	5.1mm × 4.9mm	5.1mm × 3.0mm

(1) 有关更多信息, 请参阅节 11

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。

(3) 包括 DRV8162 和 DRV8162L 器件型号。请参阅[器件比较表](#)。



DRV816x 简化原理图



内容

1 特性	1	8 应用和实施	35
2 应用	1	8.1 应用信息.....	35
3 说明	1	8.2 典型应用.....	35
4 器件比较表	3	8.3 布局.....	37
5 引脚配置和功能	4	8.4 电源相关建议.....	38
6 规格	6	9 器件和文档支持	40
6.1 绝对最大额定值.....	6	9.1 器件支持.....	40
6.2 ESD 等级.....	6	9.2 文档支持.....	40
6.3 建议运行条件.....	7	9.3 接收文档更新通知.....	40
6.4 1pkg 热性能信息.....	7	9.4 支持资源.....	40
6.5 电气特性.....	8	9.5 商标.....	40
6.6 时序图.....	13	9.6 静电放电警告.....	40
7 详细说明	15	9.7 术语表.....	40
7.1 概述.....	15	9.8 社区资源.....	40
7.2 功能方框图.....	16	10 修订历史记录	40
7.3 特性说明.....	18	11 机械、封装和可订购信息	41

4 器件比较表

器件	器件型号	封装引脚数	电流检测放大器	栅极驱动电源	最小 GVDD 运行	控制模式
DRV8161	DRV8161	20	是	GVDD	8V	2 引脚、1 引脚 PWM、 独立 FET
DRV8162	DRV8162		否	GVDD 和 GVDD_LS	8V	
	DRV8162L				5V	

5 引脚配置和功能

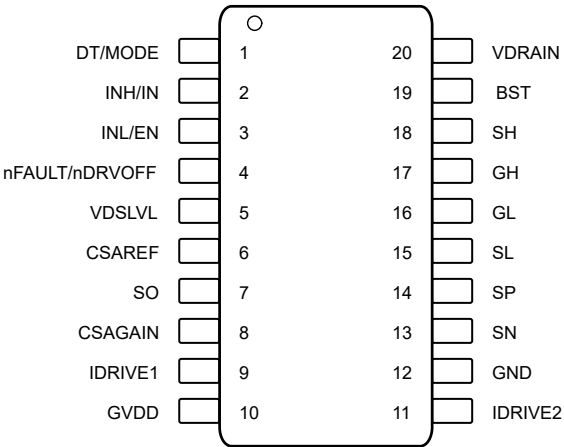


图 5-1. DRV8161 DGS 封装 20 引脚 VSSOP 顶视图

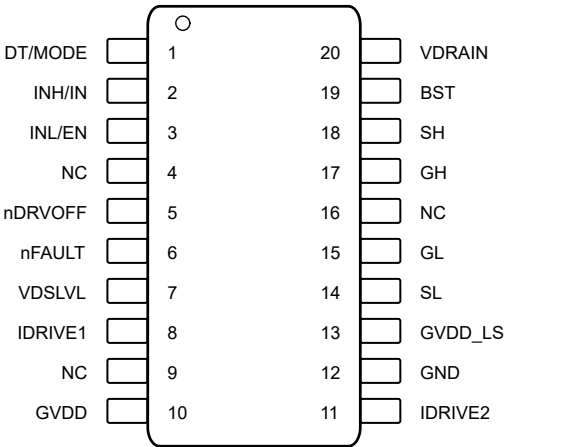


图 5-2. DRV8162 和 DRV8162L DGS 封装 20 引脚 VSSOP 顶视图

表 5-1. 引脚功能 - DRV816x 器件

引脚			类型	说明
名称	编号			
	DRV8161 20 引脚	DRV8162、 DRV8162L 20 引脚		
DT/MODE	1	1	I	选择输入引脚接口逻辑和栅极驱动死区时间设置。在 DT 和 GND 之间连接一个电阻器，以便在 20ns 至 900ns 之间调整死区时间，并选择 PWM 模式。
INH/IN	2	2	I	栅极驱动控制输入。栅极驱动器控制取决于 DT/MODE 引脚设置。
INL/EN	3	3	I	栅极驱动控制输入。栅极驱动器控制取决于 DT/MODE 引脚设置。
NC	—	4	不适用	无连接。保持断开。
nDRVOFF	—	5	I	栅极驱动器关断控制。通过将栅极驱动器置于下拉状态，将 nDRVOFF 拉低可关断高侧和低侧外部 MOSFET。
nFAULT/ nDRVOFF	4	—	I/OD	共享的故障指示灯引脚和栅极驱动器关断引脚。将此引脚连接到外部上拉电阻，这个上拉电阻要么连接到控制器的电源，要么连接到控制器的输出引脚。此引脚在故障条件下拉至逻辑低电平。要激活栅极驱动关断，请通过外部逻辑将引脚拉至低电平。
nFAULT	—	6	OD	故障指示灯输出。该引脚在发生故障期间被拉至逻辑低电平，并且需要使用一个连接到 3.3V 至 5.0V 控制器 I/O 电源的外部上拉电阻器。
VDSLVL	5	7	I	VDS 监控阈值设置。该引脚是由外部电阻器设置的多电平输入引脚。
CSAREF	6	—	PWR	电流检测放大器基准。在 CSAREF 和 GND 引脚间连接电容器。
SO	7	—	O	电流检测放大器输出。
CSAGAIN	8	—	I	电流检测放大器的增益设置。该引脚是由外部电阻器设置的多电平输入引脚。
IDRIVE1	9	8	I	栅极驱动拉电流和灌电流设置。该引脚是由外部电阻器设置的多电平输入引脚。
NC		9、16		无连接。保持断开。
GVDD	10	10	PWR	栅极驱动器电源输入。在 GVDD 和 GND 引脚间连接电容器。
IDRIVE2	11	11	I	栅极驱动拉电流和灌电流设置。该引脚是由外部电阻器设置的多电平输入引脚。
GND	12	12	PWR	器件接地。
GVDD_LS	—	13	PWR	低侧栅极驱动器电源输入（仅限 DRV8162 和 DRV8162L）。在 GVDD_LS 和 GND 引脚间连接电容器。
SN	13	—	I	电流检测放大器输入。连接到电流采样电阻的低侧。

表 5-1. 引脚功能 - DRV816x 器件 (续)

引脚			类型	说明
名称	编号			
	DRV8161 20 引脚	DRV8162、 DRV8162L 20 引脚		
SP	14	—	I	电流采样放大器输入。连接到低侧功率 MOSFET 源极和电流采样电阻的高侧。
SL	15	14	I	低侧源极引脚。连接到低侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和低侧栅极驱动器灌电流的输出。
GL	16	15	O	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
GH	17	17	O	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
SH	18	18	I	高侧源极引脚。连接到高侧功率 MOSFET 源极。该引脚是 VDS 监视器的输入和高侧栅极驱动器灌电流的输出。
BST	19	19	O	自举输出引脚。在 BST 和 SH 之间连接一个电容器。
VDRAIN	20	20	PWR	用于 VDS 监控的高侧 MOSFET 漏极检测输入和电荷泵基准。连接至高侧 MOSFET 漏极。

PWR = 电源，I = 输入，O = 输出，NC = 无连接，OD = 开漏输出

6 规格

6.1 绝对最大额定值

在建议运行条件下测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
栅极驱动器稳压器引脚电压	GVDD、GVDD_LS	-0.3	20	V
高侧漏极引脚电压	VDRAIN, $T_J = 25^{\circ}\text{C}$	-0.3	102	V
自举引脚电压	BST, $T_J = 25^{\circ}\text{C}$	-0.3	115	V
自举引脚电压	BST, 以 SH 为基准	-0.3	20	V
逻辑引脚电压	nFAULT	-0.3	20	V
	INH(IN), INL(EN), nDRVOFF, VDSSLVL	-0.3	20	
	DT/MODE, IDRIVE1, IDRIVE2, CSAGAIN	-0.3	6	
高侧栅极驱动引脚电压	GH, $T_J = 25^{\circ}\text{C}$ GVDD $\geq 11\text{V}$	-5	115	V
高侧栅极驱动引脚电压	GH, 以 SH 为基准	-0.3	20	V
高侧源极引脚电压	SH, DC	-5	105	V
高侧源极引脚瞬态负电压	SH, $1\mu\text{s}$	-20		V
高侧源级引脚摆率	SH, $V_{\text{BST-SH}} > 3.5\text{V}$		50	V/ns
低侧栅极驱动引脚电压	GL, 以 SL 为基准	-0.3	20	V
低侧源极检测引脚电压	SL	-5	$V_{\text{GVDD}} + 0.3$	V
低侧源极检测引脚瞬态负电压	SL, $1\mu\text{s}$	-16		V
电流检测放大器基准输入引脚电压	CSAREF	-0.3	5.5	V
分流放大器输入引脚电压	SN, SP	-1	1	V
分流放大器输入引脚 500ns 瞬态电压	SN, SP, 500ns	-16	20	V
分流放大器输出引脚电压	SO	-0.3	$V_{\text{CSAREF}} + 0.3$	V
结温, T_J		-40	150	$^{\circ}\text{C}$
贮存温度, T_{stg}		-65	150	$^{\circ}\text{C}$

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命

6.2 ESD 等级

		值	单位
$V_{\text{(ESD)}}$	静电放电	± 2000	V
	充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	± 250	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V_{GVDD}	电源电压	GVDD、GVDD_LS	8		20	V
	电源电压（仅限 DRV8162L）	GVDD、GVDD_LS，DRV8162L 器件型号	5			V
$V_{GVDD-SL}$	电源电压以 SL 为基准	GVDD (DRV8161)、GVDD_LS (DRV8162x) 用于低侧前置驱动器 PWM 操作	3.5			V
V_{VDRAIN}	高侧漏极引脚电压	VDRAIN，低侧栅极驱动和采用自举的高侧栅极驱动开关	0		90	V
V_{BST-SH}	以 SH 为基准的自举引脚电压	BST ($V_{BST} - V_{SH}$)，高侧栅极驱动开关且无 BST_UV 检测， V_{BST-SH} 最小值 > V_{BST_UV} 最大值（上升），	6.1		20	V
	以 SH 为基准的自举引脚电压（仅限 DRV8162L）	BST ($V_{BST} - V_{SH}$)，仅限 DRV8162L 器件型号，高侧栅极驱动开关且无 BST_UV 检测， V_{BST-SH} 最小值 > V_{BST_UV} 最大值（上升），	4.6			V
V_{BST}	自举引脚电压	BST	0		105	V
V_{SH}	高侧源极引脚电压	SH	-2		95	V
V_I	数字/引脚检测输入电压	INH、INL、IDRIVE1、IDRIVE2、CSAGAIN、VDSLVL、nDRVOFF、DT/MODE	0		5.5	V
V_{OD}	开漏上拉电压	nFAULT			5.5	V
I_{OD}	开漏输出电流	nFAULT			-5	mA
V_{CSAREF}	电流检测放大器基准电压	CSAREF	3.0		5.5	V
T_A	工作环境温度		-40		125	°C
T_J	工作结温		-40		150	°C

6.4 1pkg 热性能信息

热指标 ⁽¹⁾		DRV8161/DRV8162	单位
		DGS (VSSOP)	
		20 引脚	
$R_{\theta JA}$	结至环境热阻	87.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	31.2	°C/W
$R_{\theta JB}$	结至电路板热阻	42.3	°C/W
Ψ_{JT}	结至顶部特征参数	0.9	°C/W
Ψ_{JB}	结至电路板特征参数	41.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

6.5 电气特性

$V_{GVDD} = 12V$, $V_{VDRAIN} = 48V$, $T_J = 25^\circ C$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源 (GVDD、BST)						
I_{VDRAIN_UNPWR}	GVDD 未供电状态下的 VDRAIN 漏电流	GVDD = 0V, VDRAIN = 48V, $V_{BST-SH} = 0V$ VDRAIN + SH 的漏电流		3.5	5	μA
I_{GVDD}	GVDD 活动模式电流	INH = INL = 开关 @ 20kHz; $V_{BST} = V_{GVDD}$; 未连接 FET, DT/MODE 引脚断开。 $V_{DS_LVL} = 2V$		2		mA
t_{WAKE}	开通时间	GVDD = 0V 至 12V GVDD_UV 到工作模式 (输出就绪) (nFAULT = 高电平)		0.4		ms
I_{LBS_TCPON}	高侧上拉期间的自举引脚漏电流	INH = 高电平; TCP_ON		30		μA
逻辑电平输入 (INH、INL、nDRVOFF)						
V_{IL}	输入逻辑低电平电压	INL、INH、nDRVOFF			0.8	V
V_{IH}	输入逻辑高电平电压	INL、INH、nDRVOFF	2.2			V
R_{PU}	输入上拉电阻	nDRVOFF 至内部稳压器, 无外部连接		250		k Ω
R_{PD}	输入下拉电阻	INH、INL 至 GND		250		k Ω
$t_{nDRVOFF_DEG}$	nDRVOFF 输入抗尖峰脉冲时间	DRVOFF 下降和上升	1	2.1	4.2	μs
$t_{nDRVOFF_DIA}$	nDRVOFF 诊断脉冲有效输入时间	仅适用于 DRV8162 和 DRV8162L		0.5		μs
开漏输出 (nFAULT)						
V_{OL}	输出逻辑低电平电压	$I_{OD} = 5mA$, $GVDD > 4V$			0.4	V
自举二极管 (BST)						
V_{BOOTD}	自举二极管正向电压	$I_{BOOT} = 100\mu A$		0.82		V
V_{BOOTD}	自举二极管正向电压	$I_{BOOT} = 100mA$		1.6		V
R_{BOOTD}	自举动态电阻 ($\Delta V_{BOOTD} / \Delta I_{BOOT}$)	$I_{BOOT} = 100mA$ 和 50mA	3.9	4.8	9	Ω
电荷泵 (BST)						
V_{TCP}	涓流电荷泵输出电压	V_{BST-SH} , INH = 高电平, SH = VDRAIN = 20V, BST > GVDD, 外部负载 $I_{TRICKLE} = 2\mu A$	9.5	10.6	12	V
t_{TCP_DLY}	涓流电荷泵有效延时时间	INL = 低电平	150	250	350	μs
栅极驱动器 (GH、GL、SH、SL)						
V_{GSHX_LO}	高侧栅极驱动低电平电压 ($V_{GH} - V_{SH}$)	$I_{GHX} = -10mA$, $V_{GVDD} = 12V$, IDRIVE = 1000mA, 未连接 FET	0	0.022	0.2	V
V_{GSHX_HI}	高侧栅极驱动高电平电压 ($V_{BST} - V_{GH}$)	$I_{GHX} = 10mA$, $V_{GVDD} = 12V$, IDRIVE = 500mA, 未连接 FET	0	0.09	0.2	V
V_{GSLX_LO}	低侧栅极驱动低电平电压 ($V_{GL} - V_{SL}$)	$I_{GLX} = -10mA$, $V_{GVDD} = 12V$, IDRIVE = 1000mA, 未连接 FET	0	0.022	0.2	V
V_{GSLX_HI}	低侧栅极驱动高电平电压 ($V_{GVDD} - V_{GL}$)	$I_{GLX} = 10mA$, $V_{GVDD} = 12V$, IDRIVE = 500mA, 未连接 FET	0	0.09	0.2	V

$V_{GVDD} = 12V$, $V_{VDRAIN} = 48V$, $T_J = 25^\circ C$ (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
$I_{DRIVEP0}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	9	16	26	mA
$I_{DRIVEP1}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	19	32	52	mA
$I_{DRIVEP2}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	38	64	103	mA
$I_{DRIVEP3}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	57	96	154	mA
$I_{DRIVEP4}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	76	128	205	mA
$I_{DRIVEP5}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	96	160	256	mA
$I_{DRIVEP6}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	115	192	308	mA
$I_{DRIVEP7}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	134	224	359	mA
$I_{DRIVEP8}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	153	256	410	mA
$I_{DRIVEP9}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	172	288	461	mA
$I_{DRIVEP10}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	192	320	512	mA
$I_{DRIVEP11}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	230	384	615	mA
$I_{DRIVEP12}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	268	448	717	mA
$I_{DRIVEP13}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	307	512	820	mA
$I_{DRIVEP14}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	460	768	1229	mA
$I_{DRIVEP15}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	614	1024	1639	mA

峰值栅极拉电流

DRV8161, DRV8162

ZHC5WC4C - MAY 2024 - REVISED FEBRUARY 2025

 $V_{GVDD} = 12V$, $V_{VDRAIN} = 48V$, $T_J = 25^\circ C$ (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
$I_{DRIVEN0}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	19	32	52	mA
$I_{DRIVEN1}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	38	64	103	mA
$I_{DRIVEN2}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	76	128	205	mA
$I_{DRIVEN3}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	115	192	308	mA
$I_{DRIVEN4}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	153	256	410	mA
$I_{DRIVEN5}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	192	320	512	mA
$I_{DRIVEN6}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	230	384	615	mA
$I_{DRIVEN7}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	268	448	717	mA
$I_{DRIVEN8}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	307	512	820	mA
$I_{DRIVEN9}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	345	576	922	mA
$I_{DRIVEN10}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	384	640	1024	mA
$I_{DRIVEN11}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	460	768	1229	mA
$I_{DRIVEN12}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	537	896	1434	mA
$I_{DRIVEN13}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	614	1024	1639	mA
$I_{DRIVEN14}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	921	1536	2458	mA
$I_{DRIVEN15}$	$V_{BST}-V_{SH} = V_{GVDD} = 12V$, $T_J = -40^\circ C$ 至 $150^\circ C$	1228	2048	3277	mA
R_{PD_LS}	低侧无源下拉电阻 GL 至 SL, $V_{GL} - V_{SL} = 2V$	60	85	120	k Ω
R_{PDSA_HS}	高侧半有源下拉电阻 $V_{GVDD} < V_{GVDD_UV}$ GH 至 SH, $V_{GH} - V_{SH} = 2V$	2	4	8	k Ω
I_{PUHOLD_HS}	高侧上拉保持电流 $T_J = -40^\circ C$ 至 $150^\circ C$	307	512	820	mA
I_{PDHOLD_HS}	高侧下拉保持电流 $T_J = -40^\circ C$ 至 $150^\circ C$	1228	2048	3277	mA
$I_{PDSTRONG_LS}$	低侧下拉强电流 $T_J = -40^\circ C$ 至 $150^\circ C$	1228	2048	3277	mA
$I_{PDSTRONG_HS}$	高侧下拉强电流 $T_J = -40^\circ C$ 至 $150^\circ C$	1228	2048	3277	mA
$I_{DRVIVNSD_LS}$	低侧峰值栅极关断灌电流 $I_{DRIVENx}$ 设置为 $I_{DRIVEN13}$ (1024mA 典型值) 或更小的设置		32		mA
$I_{DRVIVNSD_LS}$	低侧峰值栅极关断灌电流 $I_{DRIVENx}$ 设置为 $I_{DRIVEN14}$ (1536mA 典型值) 或 $I_{DRIVEN15}$ (2048mA 典型值)		64		mA
$I_{DRVIVNSD_HS}$	高侧峰值栅极关断灌电流 $I_{DRIVENx}$ 设置为 $I_{DRIVEN13}$ (1024mA 典型值) 或更小的设置		32		mA
$I_{DRVIVNSD_HS}$	高侧峰值栅极关断灌电流 $I_{DRIVENx}$ 设置为 $I_{DRIVEN14}$ (1536mA 典型值) 或 $I_{DRIVEN15}$ (2048mA 典型值)		64		mA

$V_{GVDD} = 12V$, $V_{VDRAIN} = 48V$, $T_J = 25^\circ C$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
栅极驱动器时序						
t_{PDR_LS}	低侧上升传播延迟	INL 至 GL 上升, $V_{GVDD} > 8V$	25	40	80	ns
t_{PDF_LS}	低侧下降传播延迟	INL 至 GL 下降, $V_{GVDD} > 8V$	25	41	80	ns
t_{PDR_HS}	高侧上升传播延迟	INH 至 GH 上升, $V_{GVDD} = V_{BST} - V_{SH} > 8V$	25	41	80	ns
t_{PDF_HS}	高侧下降传播延迟	INH 至 GH 下降, $V_{GVDD} = V_{BST} - V_{SH} > 8V$	25	42	80	ns
t_{PD_MATCH}	匹配低侧栅极驱动器的传播延迟	GL 打开至 GL 关闭, 从 $V_{GL-SL} = 1V$ 至 $V_{GL-SL} = V_{GVDD} - 1V$; $V_{GVDD} = V_{BST} - V_{SH} > 8V$; $V_{SH} = 0V$ 至 $90V$, GH 和 GL 上无负载	-10	± 4	10	ns
	匹配高侧栅极驱动器的传播延迟	GH 打开至 GH 关闭, 从 $V_{GH-SH} = 1V$ 至 $V_{GH-SH} = V_{BST-SH} - 1V$; $V_{GVDD} = V_{BST} - V_{SH} > 8V$; $V_{SH} = 0V$ 至 $90V$, GH 和 GL 上无负载	-10	± 4	10	ns
$t_{PD_MATCH_PH}$	每相位的匹配传播延迟	禁用死区时间。GL 关闭至 GH 打开, 从 $V_{GL-SL} = V_{GVDD} - 1V$ 至 $V_{GH-SH} = 1V$; $V_{GVDD} = V_{BST} - V_{SH} > 8V$; $V_{SH} = 0V$ 至 $90V$, GH 和 GL 上无负载, 禁用死区时间	-12	± 4	12	ns
		禁用死区时间。GH 关闭至 GL 打开, 从 $V_{GH-SH} = V_{BST-SH} - 1V$ 至 $V_{GL-SL} = 1V$; $V_{GVDD} = V_{BST} - V_{SH} > 8V$; $V_{SH} = 0V$ 至 $90V$, GH 和 GL 上无负载	-10	± 4	10	ns
t_{DEAD}	栅极驱动死区时间	$R_{DT} = 470\Omega$ 2 引脚 PWM 模式;		20		ns
t_{DEAD}	栅极驱动死区时间	$R_{DT} = 1.3k\Omega$ 2 引脚 PWM 模式;	97	100	120	ns
t_{DEAD}	栅极驱动死区时间	$R_{DT} = 3.3k\Omega$ 2 引脚 PWM 模式;	316	370	422	ns
t_{DEAD_CFG}	栅极驱动死区时间配置范围	Tdead 线性设置 $R_{DT} = 10K\Omega$ 至 $1M\Omega$, 1 引脚 PWM 模式	20		900	ns
t_{DEAD}	栅极驱动死区时间	$R_{DT} = 990K\Omega$ 1 引脚 PWM 模式; $T_J = -40^\circ C$ 至 $150^\circ C$	700	900	1250	ns
$t_{MINDEAD_VGS_HS}$	VGS 监控模式的最短栅极驱动死区时间 (可用的最短时间); HS 下降至 LS 上升	VGS 监控死区时间插入模式。 $t_{DEAD_CFG} < 130ns$, $V_{GVDD} > 8V$, $V_{BST-SH} > 8V$; $0V < V_{SH} < 90V$		215		ns
$t_{MINDEAD_VGS_LS}$	VGS 监控模式的最短栅极驱动死区时间 (可用的最短时间); LS 下降至 HS 上升	VGS 监控死区时间插入; $t_{DEAD_CFG} < 130ns$, $V_{GVDD} > 8V$, $V_{BST-SH} > 8V$; $0V < V_{SH} < 90V$		225		ns
t_{DRVN_SD}	关断期间的栅极驱动器下拉时序			20		μs
电流采样放大器 (SN、SO、SP、CSAREF)						
A_{CSA}	检测放大器增益	CSAGAIN = 连接至 GND (LEVEL0)		5		V/V
		CSAGAIN = $10k\Omega$ 典型值, 连接至 GND (LEVEL1)		10		V/V
		CSAGAIN = $30k\Omega$ 典型值, 连接至 GND (LEVEL2)		20		V/V
		CSAGAIN = 开路; (LEVEL3)		40		V/V
$A_{CSA_ERR_DRIFT}$	检测放大器增益误差温度漂移	$T_J = -40^\circ C$ 至 $150^\circ C$	-70		70	ppm/ $^\circ C$
t_{SET}	精度达 $\pm 1\%$ 的稳定时间	$V_{STEP} = 1.6V$, $A_{CSA} = 5V/V$, $C_{SO} = 500pF$		0.6		μs
		$V_{STEP} = 1.6V$, $A_{CSA} = 40V/V$, $C_{SO} = 500pF$		0.8		μs

DRV8161, DRV8162

ZHCSWC4C - MAY 2024 - REVISED FEBRUARY 2025

 $V_{GVDD} = 12V$, $V_{VDRAIN} = 48V$, $T_J = 25^\circ C$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
BW	带宽	$A_{CSA} = 5V/V$, $C_{LOAD} = 60pF$, 小信号 -3dB	3	5	7	MHz
V_{SWING}	输出电压范围	$V_{CSAREF} = 3V$ 至 $5.5V$	0.25		$V_{CSAREF} - 0.25$	V
V_{COM}	共模输入范围		-0.225		0.225	V
V_{OFF}	输入失调电压	$V_{SP} = V_{SN} = GND$; $T_J = 25^\circ C$, 增益 $A_{CSA} = 10V/V$ 、 $20V/V$ 、 $40V/V$	-1.94		1.94	mV
V_{OFF}	输入失调电压	$V_{SP} = V_{SN} = GND$; $T_J = 25^\circ C$, 增益 $A_{CSA} = 5V/V$	-3.34		3.34	mV
V_{OFF_DRIFT}	输入漂移失调电压	$V_{SP} = V_{SN} = GND$		8		$\mu V/^\circ C$
V_{BIAS}	输出电压偏置比	$V_{SP} = V_{SN} = GND$		0.5		
I_{BIAS}	输入偏置电流	$V_{SP} = V_{SN} = GND$, $V_{CSAREF} = 3V$ 至 $5.5V$			100	μA
I_{BIAS_OFF}	输入偏置电流失调	$I_{SP} - I_{SN}$	-1		1	μA
CMRR	共模抑制比	直流		80		dB
		20kHz		60		dB
I_{CSA_SUP}	CSA 的电源电流	$CSAREF$, $V_{CSAREF} = 3V$ 至 $5.5V$		1.5		mA
T_{CMREC}	共模恢复时间			2		μs
保护电路						
V_{GVDD_UV}	GVDD 欠压阈值	V_{GVDD} 上升		7.4		V
		V_{GVDD} 下降		6.7		V
V_{GVDD_UV}	GVDD 欠压阈值	V_{GVDD} 上升, DRV8162L		4.8		V
		V_{GVDD} 下降, DRV8162L		4.7		V
$t_{GVDD_UV_DG}$	GVDD 欠压抗尖峰脉冲时间		5	10	15	μs
V_{BST_UV}	自举欠压阈值	$V_{BST} - V_{SH}$; V_{BST} 上升, $GVDD = 12V$		7.43		V
	自举欠压阈值	$V_{BST} - V_{SH}$; V_{BST} 下降, $GVDD = 12V$		7.25		V
	自举欠压阈值	$V_{BST} - V_{SH}$; V_{BST} 上升, $GVDD = 5V$, DRV8162L		4.08		V
	自举欠压阈值	$V_{BST} - V_{SH}$; V_{BST} 下降, $GVDD = 5V$, DRV8162L		3.94		V

$V_{GVDD} = 12V$, $V_{VDRAIN} = 48V$, $T_J = 25^\circ C$ (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
V_{DS_LVL0-0}	$R_{VDSLVL} = 0.1K\Omega$ 最大值 (LEVEL0)	0.087	0.1	0.116	V
V_{DS_LVL1-1}	$R_{VDSLVL} = 2K\Omega$ 典型值 (LEVEL1); 在 $VDSLVL$ 引脚上检测到一个脉冲	0.136	0.15	0.166	
V_{DS_LVL1-0}	$R_{VDSLVL} = 2K\Omega$ 典型值 (LEVEL1); DC	0.187	0.2	0.217	
V_{DS_LVL2-1}	$R_{VDSLVL} = 5.6K\Omega$ 典型值 (LEVEL2); 在 $VDSLVL$ 引脚上检测到一个脉冲	0.28	0.3	0.319	
V_{DS_LVL2-0}	$R_{VDSLVL} = 5.6K\Omega$ 典型值 (LEVEL2)	0.38	0.4	0.42	
V_{DS_LVL3-1}	$R_{VDSLVL} = 12K\Omega$ 典型值 (LEVEL3); 在 $VDSLVL$ 引脚上检测到一个脉冲	0.482	0.5	0.53	
V_{DS_LVL3-0}	$R_{VDSLVL} = 12K\Omega$ 典型值 (LEVEL3)	0.575	0.6	0.623	
V_{DS_LVL4-1}	$R_{VDSLVL} = 26K\Omega$ 典型值 (LEVEL4); 在 $VDSLVL$ 引脚上检测到一个脉冲	0.67	0.7	0.73	
V_{DS_LVL4-0}	$R_{VDSLVL} = 26K\Omega$ 典型值 (LEVEL4)	0.765	0.8	0.83	
V_{DS_LVL5-1}	$R_{VDSLVL} = 62K\Omega$ 典型值 (LEVEL5); 在 $VDSLVL$ 引脚上检测到一个脉冲	0.87	0.9	0.934	
V_{DS_LVL5-0}	$R_{VDSLVL} = 62K\Omega$ 典型值 (LEVEL5)	0.96	1.0	1.04	
V_{DS_LVL6-1}	$R_{VDSLVL} = 130K\Omega$ 典型值 (LEVEL6); 在 $VDSLVL$ 引脚上检测到一个脉冲	1.46	1.5	1.548	
V_{DS_LVL6-0}	$R_{VDSLVL} = 130K\Omega$ 典型值 (LEVEL6);	1.945	2.0	2.05	
t_{DS_DG}	V_{DS} 保护抗尖峰脉冲时间		3		μs
t_{DS_BLK}	V_{DS} 过流保护消隐时间		1		μs
t_{CLRFLT}	V_{DS} 过流保护故障消除时间	INH=INL=低电平	250		μs
$t_{VDSLVLFIL}$	$VDSLVL$ 一次脉冲滤波时间		4		μs
$V_{IHVDSLVL}$	$VDSLVL$ 一次脉冲高电平检测电压		1		V
T_{OTSD}	热关断温度	T_J 上升;	158	170	$^\circ C$
T_{HYS}	热关断迟滞		7	8.5	$^\circ C$

6.6 时序图

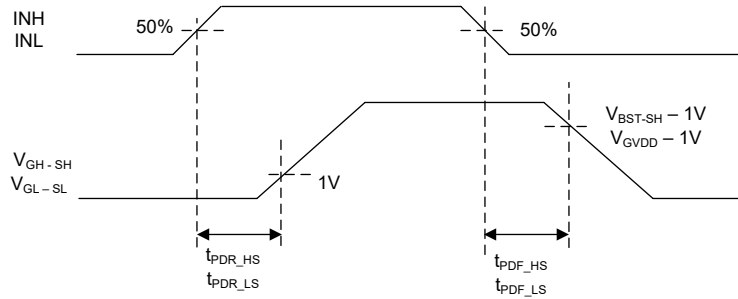


图 6-1. 栅极驱动器传播延迟时序图

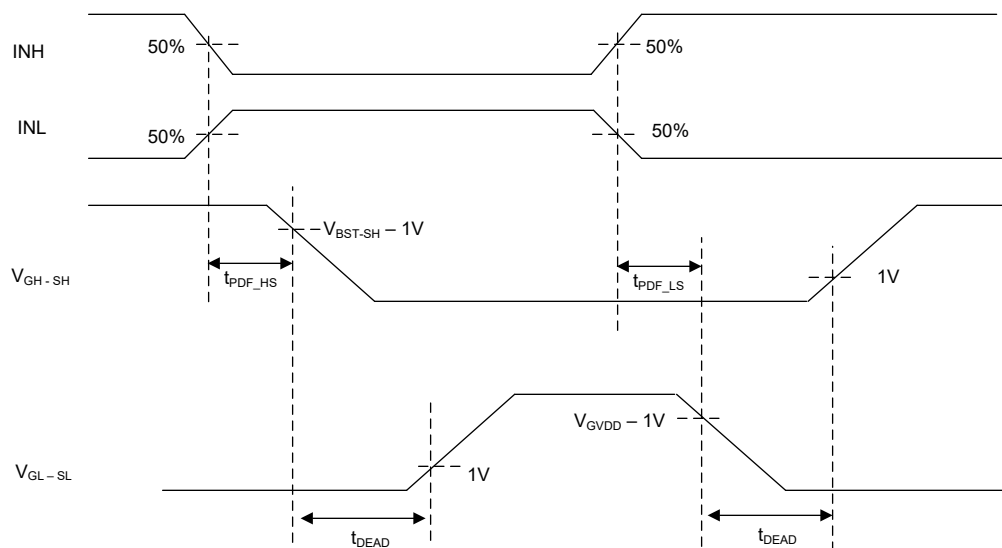


图 6-2. 栅极驱动器死区时间插入 (INH 和 INL 监控模式)

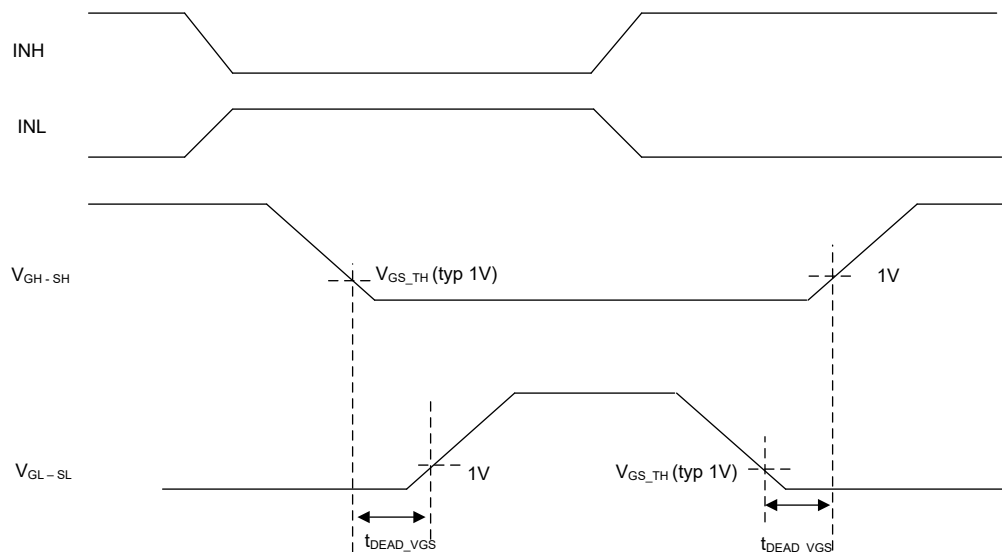


图 6-3. 栅极驱动器死区时间插入 (VGS 监控模式)

7 详细说明

7.1 概述

DRV816x 器件是集成式 100V 栅极驱动器，适用于各种机电负载，包括无刷直流 (BLDC) 电机、有刷直流电机、步进电机、开关磁阻电机和电磁阀。这些器件通过将半桥栅极驱动器与涓流电荷泵、自举二极管和 FET VDS 监控功能集成在一起，减少了系统元件数量、降低了成本和复杂性。FET VDS 监控功能保护外部 FET，防止受电源短路、接地短路或电机端子间短路的影响。DRV8161 集成了双向低侧电流检测放大器，用于向控制器 ADC 提供电流反馈。使用半桥架构可将栅极驱动器放置在功率级 FET 附近，从而简化信号布线、减少辐射 EMI 和减小整体 PCB 面积。

栅极驱动器支持外部 N 沟道高侧和低侧功率 MOSFET，可驱动高达 1A 的峰值拉电流和 2A 的峰值灌电流。集成的自举二极管、外部自举电容器和集成涓流电荷泵可从 GVDD 引脚生成高侧栅极驱动电源电压。GVDD 引脚直接提供低侧栅极驱动电源电压。DRV8162 和 DRV8162L 器件型号提供单独的 GVDD 和 GVDD_LS 引脚，从而有助于系统设计安全转矩关闭 (STO)。

智能栅极驱动架构具备调整输出栅极驱动电流强度的功能，使栅极驱动器能够控制功率 MOSFET VDS 开关速度。这样一来便可以移除外部栅极驱动电阻器和二极管，从而减少 BOM 元件数量和 PCB 面积并降低成本。该架构还使用内部状态机来防止发生栅极驱动短路事件，控制半桥死区时间，并防止外部功率 MOSFET 发生 dV/dt 寄生导通。

除了高度的器件集成之外，DRV816x 器件还提供广泛的集成保护功能。这些功能包括电源欠压锁定 (UVLO)、VDS 过流监控 (OCP) 和过热关断 (OTSD)。nFAULT 引脚指示保护功能检测到的故障事件。

7.2 功能方框图

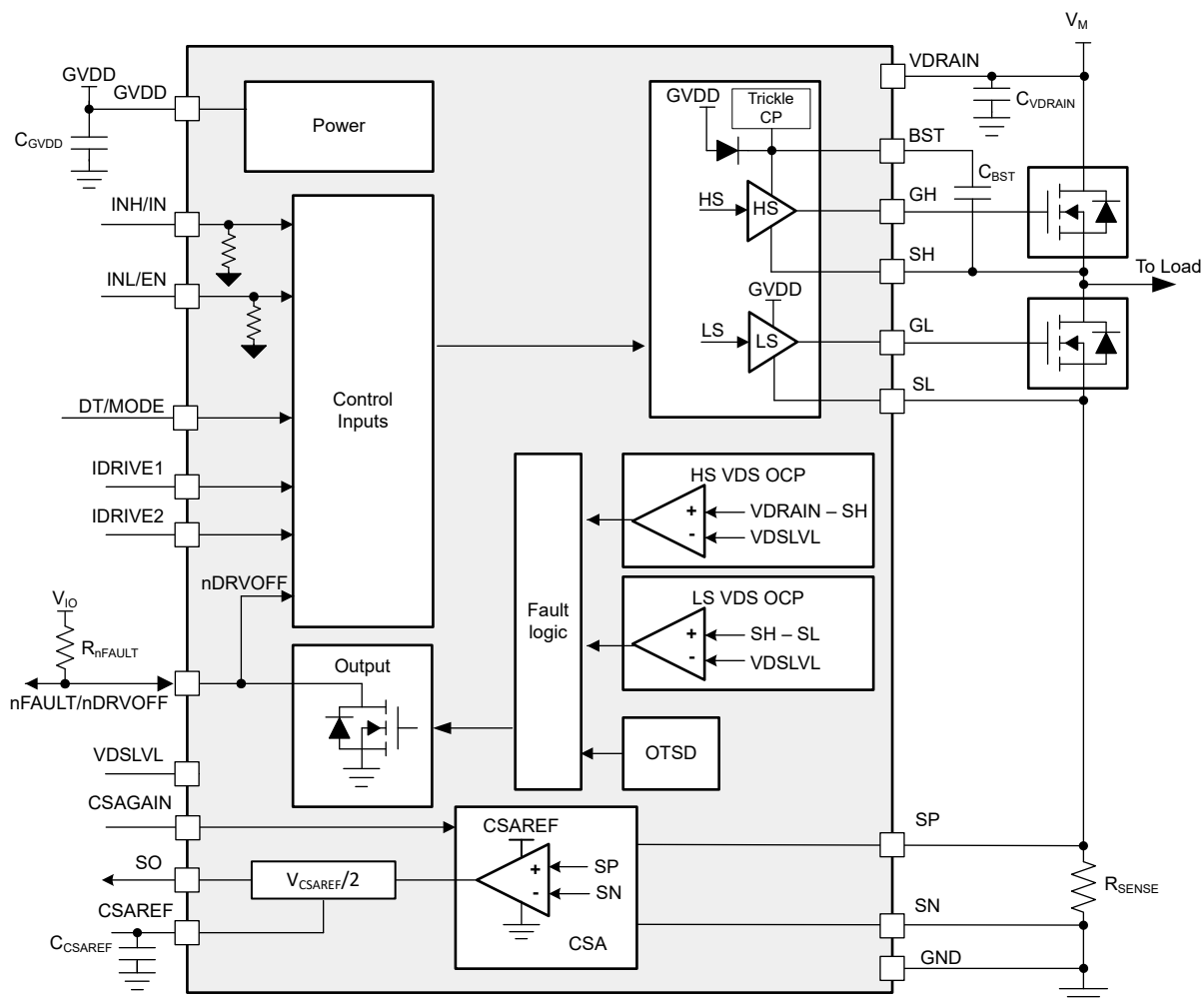


图 7-1. DRV8161 的方框图

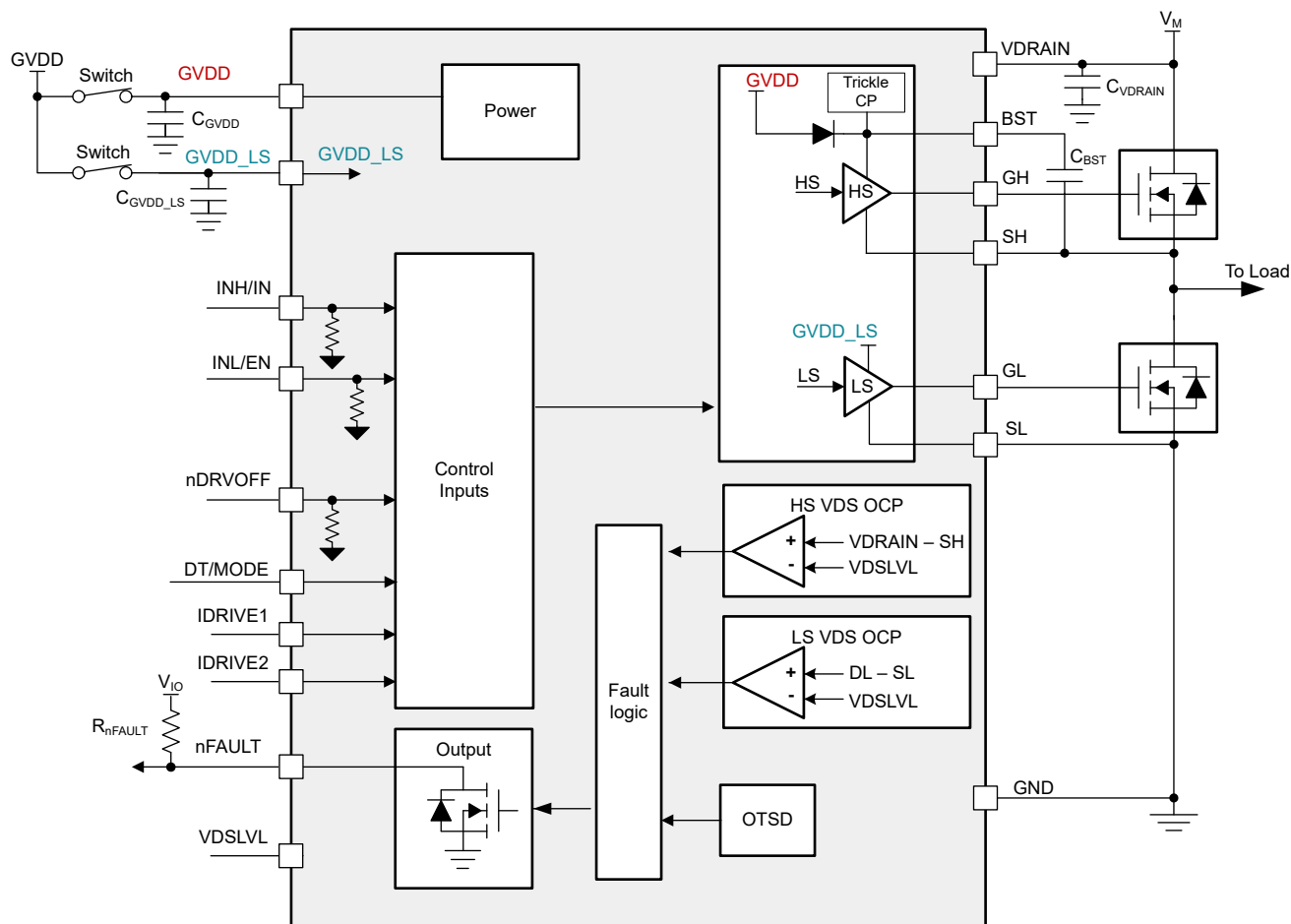


图 7-2. DRV8162 和 DRV8162L 的方框图

7.3 特性说明

7.3.1 栅极驱动器

DRV816x 系列器件集成了高侧和低侧 FET 栅极驱动器，能够在半桥配置中驱动 N 沟道功率 MOSFET。自举栅极驱动架构会在 PWM 开关期间生成高侧栅极驱动器电压。GVDD 引脚可同时为高侧和低侧栅极驱动器供电，并为 FET 设置 V_{GS} 电压。

DRV816x 器件支持半桥功率级架构。除了常规的 2 引脚 PWM、1 引脚 PWM 控制接口外，该器件还通过禁用击穿保护并允许单独控制高侧和低侧 FET 来提供独立的 PWM 模式。在驱动电磁阀和开关磁阻电机时，独立 FET 控制非常有用。DRV8162 和 DRV8162L 具有单独的电源引脚 (GVDD 和 GVDD_LS)，可用于高侧和低侧 FET 栅极驱动器。通过向栅极驱动电源引脚添加外部电源开关，系统可支持安全转矩关闭 (STO) 功能。

7.3.1.1 PWM 控制模式

DRV816x 系列器件提供三种不同的 PWM 控制模式，用以支持各种换向和控制方法。PWM 控制模式为 1 引脚 PWM、2 引脚 PWM 和独立 PWM 模式。通过 DT/MODE 引脚配置这些模式。

DT/MODE 引脚会在上电时锁存，因此，如果要更改 PWM 控制模式，需要通过电源对器件进行复位。请参阅表 7-6，了解如何使用 DT/MODE 引脚配置 PWM 控制模式。

7.3.1.1.1 2 引脚 PWM 模式

在 2 引脚 PWM 模式下，半桥驱动器支持三种输出状态：低电平、高电平或高阻抗（高阻态）。相应的 INH 和 INL 信号控制输出状态，如表 7-1 所示。

表 7-1. 2 引脚 PWM 模式真值表

INL	INH	GL	GH	SH
0	0	L	L	高阻态
0	1	L	H	H
1	0	H	L	L
1	1	L	L	高阻态

7.3.1.1.2 1 引脚 PWM 模式

在 1 引脚 PWM 模式下，IN 引脚控制半桥并支持两种输出状态：低电平或高电平。EN 引脚用于将半桥置于高阻态。如果不需要高阻态，请将 INL/EN 引脚保持为逻辑高电平。相应的 INH/IN 和 INL/EN 信号控制输出状态，如表 7-2 所示。

表 7-2. 1 引脚 PWM 模式真值表

INL/EN	INH/IN	GL	GH	SH
0	X	L	L	高阻态
1	0	H	L	L
1	1	L	H	H

7.3.1.1.3 独立 PWM 模式

DRV816x 支持独立 PWM 模式，INH 和 INL 引脚分别控制输出 GH 和 GL。使用此控制模式可让器件驱动独立的高侧和低侧负载。独立的 PWM 驱动模式可用于各种类型的负载，包括电磁阀、开关磁阻电机 (SRM)、单向有刷直流电机以及低侧和高侧开关。在此模式下，可以在给定半桥栅极驱动器中，同时打开高侧和低侧 MOSFET，以便使用该器件作为高侧或低侧驱动器。在该模式下，绕过击穿保护和死区时间。

表 7-3. 独立 PWM 模式真值表

INL	INH	GL	GH
0	0	L	L
0	1	L	H
1	0	H	L
1	1	H	H

图 7-3 显示了如何使用该器件来连接电感负载，可以同时导通高侧和低侧 MOSFET 来驱动负载而不引起击穿。建议使用外部二极管进行电流再循环。此配置有助于电磁阀或应用的设计。不管低侧 PWM 活动如何，涓流电荷泵都会始终处于启用状态。

备注

如果配置了独立的 PWM 模式，则 DRV816x 的低侧 VDS 监控不可用。对于 DRV8161，可通过 MCU 监控 CSA 输出，以便检测过流情况。

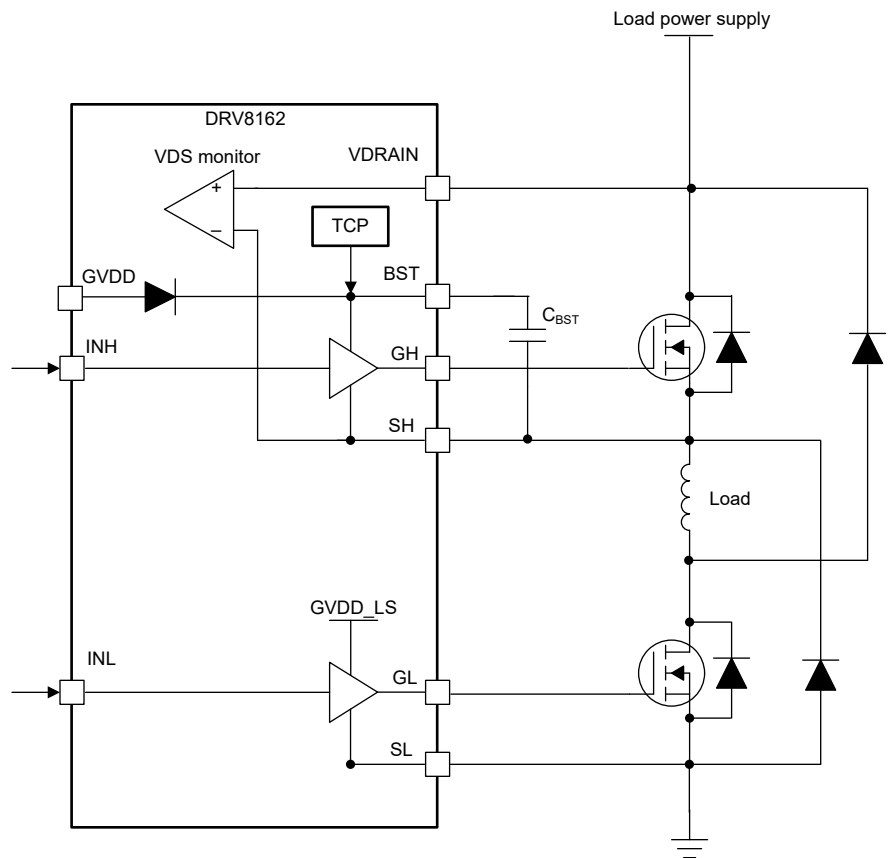


图 7-3. 独立 PWM 模式，用于高侧和低侧之间的单个负载

图 7-4 显示了如何使用该器件通过一个半桥同时连接高侧负载和低侧负载，并独立驱动这些负载。

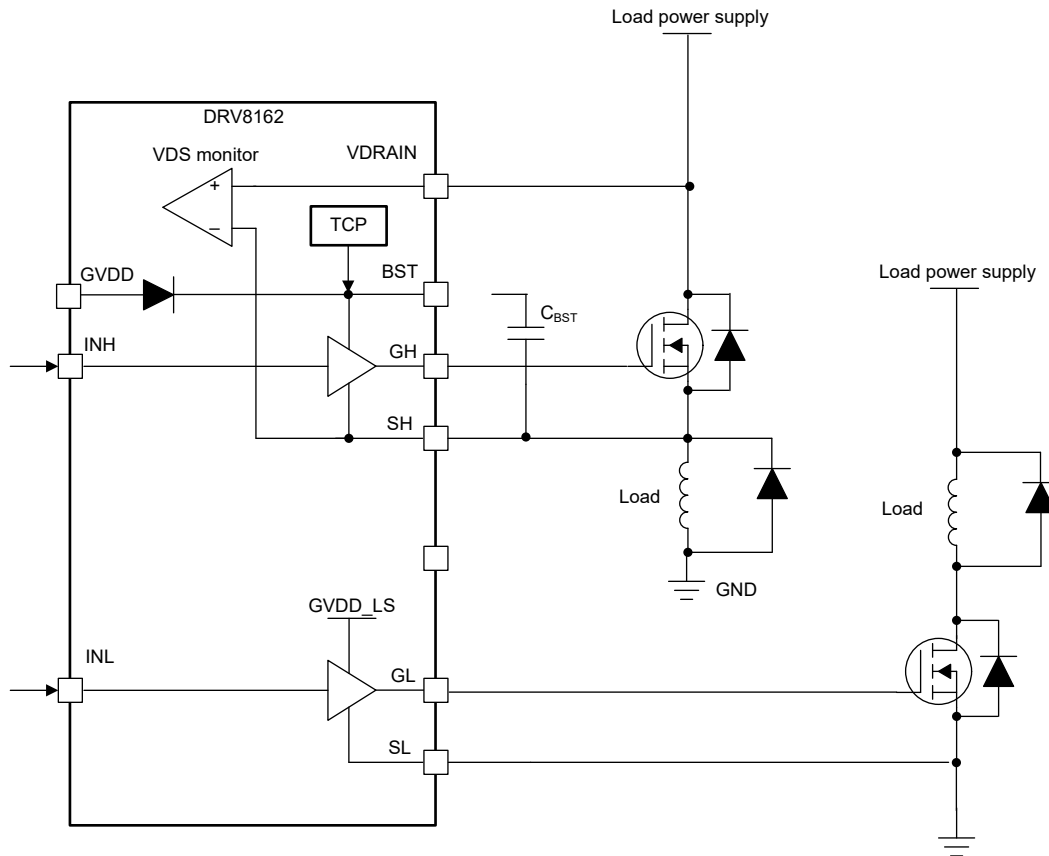


图 7-4. 独立 PWM 模式，用于高侧和低侧独立负载

7.3.1.2 栅极驱动架构

栅极驱动器器件采用适用于高侧和低侧驱动器的互补推挽拓扑。该拓扑允许对外部 MOSFET 栅极进行强上拉和强下拉。低侧栅极驱动器由 GVDD 稳压器电源直接供电。对于高侧栅极驱动器，自举二极管和电容器用于生成浮动高侧栅极电压电源。集成了自举二极管，并在 BST 引脚上使用了一个外部自举电容器。

高侧栅极驱动器具有半有源下拉功能，而低侧栅极驱动器具有无源下拉功能，有助于防止外部 MOSFET 在电源断开时导通。

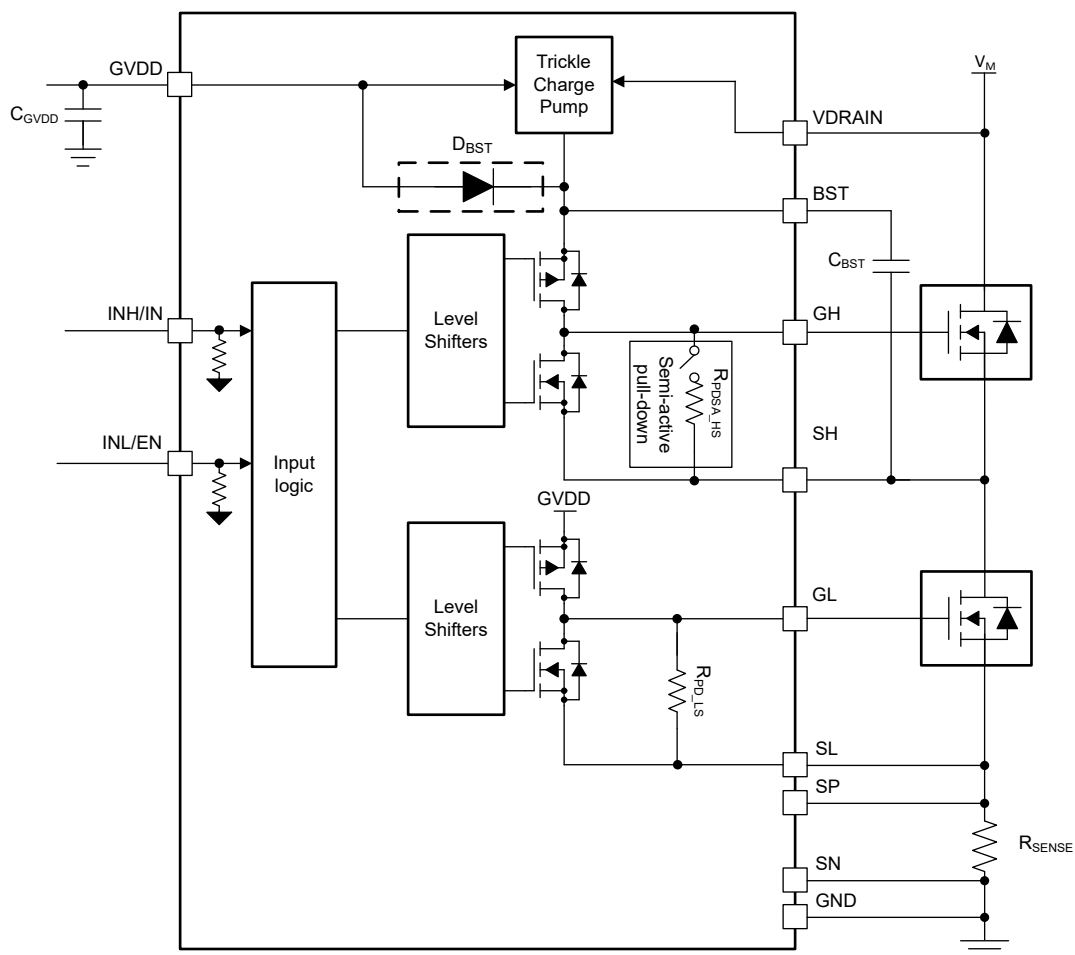


图 7-5. DRV8161 栅极驱动器方框图

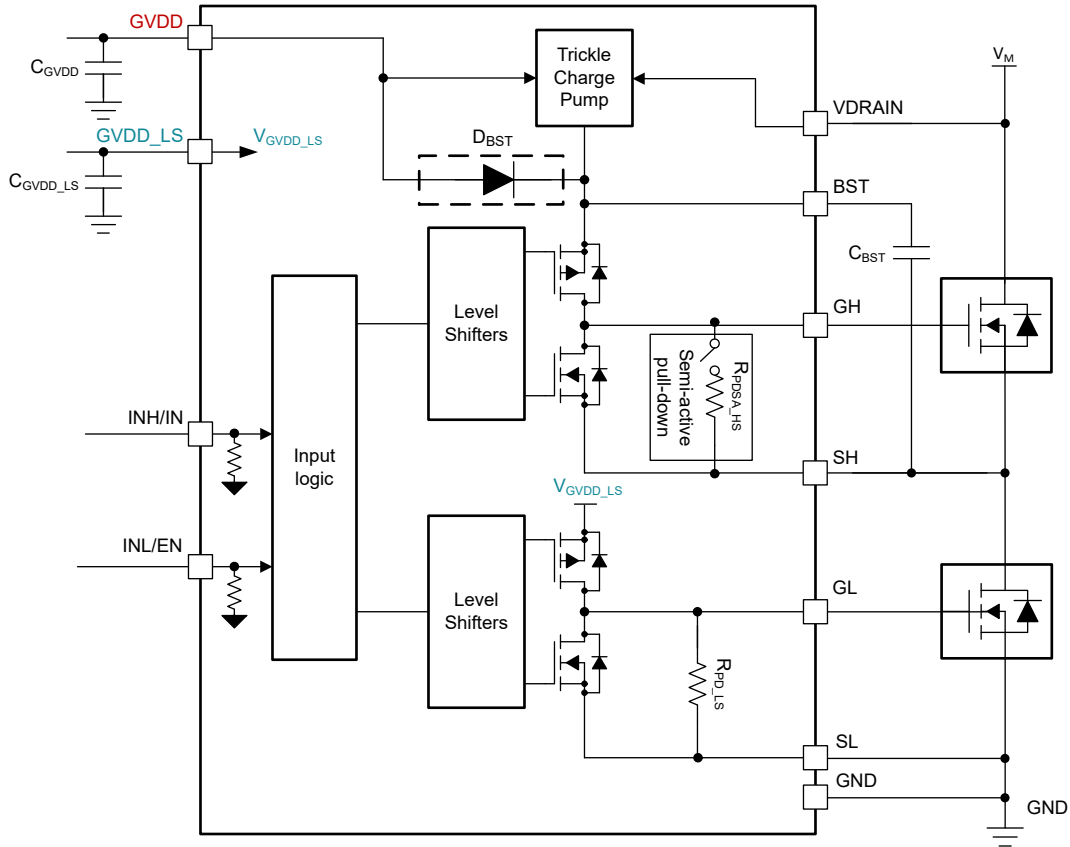


图 7-6. DRV8162 和 DRV8162L 栅极驱动器方框图

7.3.1.2.1 涓流电荷泵 (TCP)

将内部涓流电荷泵 (TCP) 连接到 BST 节点，以便降低由于驱动器和外部元件的漏电流而产生的压降。电荷泵会以 VDRAIN 引脚为基准生成 V_{TCP} 电压。对于独立 PWM 模式，电荷泵始终处于活动状态。对于 2 引脚 PWM 和 1 引脚 PWM 模式，如果 INL 保持低电平的时间达到 250us (典型值)，则会激活电荷泵。

7.3.1.2.2 死区时间和跨导保护 (击穿保护)

DRV816x 提供死区时间插入功能，以防止每个半桥的两个外部 MOSFET 同时导通。通过在 DT/MODE 和地之间连接电阻器，可以启用死区时间并在 20ns 至 900ns 之间调节死区时间。请参阅节 7.3.2.6。

在 DRV816x 中，如果器件配置为 2 引脚 PWM 模式，高侧和低侧输入独立运行，但有一个例外，即当同一半桥的高侧和低侧同时开启时，以便防止发生跨导。当高侧和低侧输入同时为逻辑高电平时，该器件会关闭高侧和低侧输出，以防止击穿。

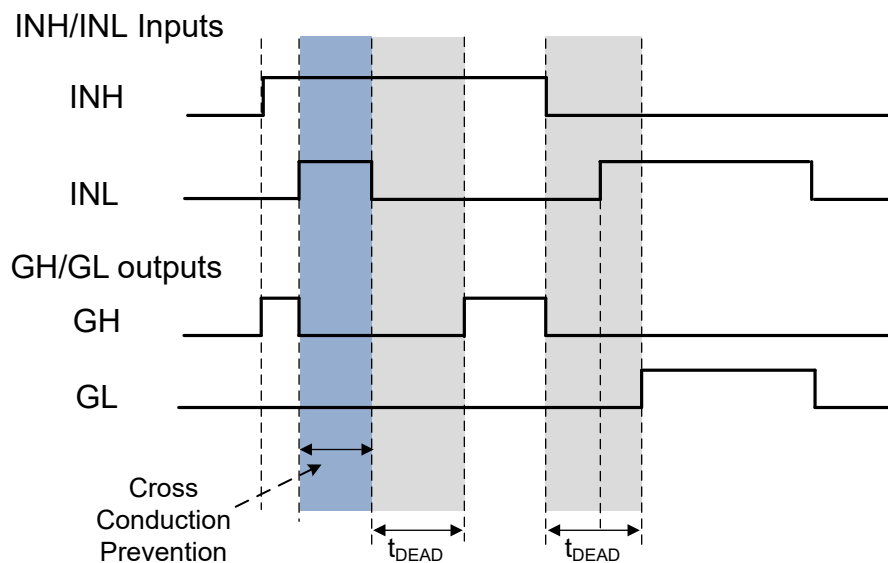


图 7-7. 跨导保护和死区时间插入 (2 引脚 PWM , 死区时间插入启用)

7.3.2 引脚图

7.3.2.1 四电平输入引脚 (CSAGAIN)

图 7-8 展示了用于硬件接口配置的四电平输入引脚 CSAGAIN 结构。可以通过外部电阻器设置该输入。 $C_{CSAGAIN}$ 是可选的，有助于降低 GND 噪声的影响。CSA GAIN 信息在器件上电时不会锁存，因此可在器件运行期间更新。

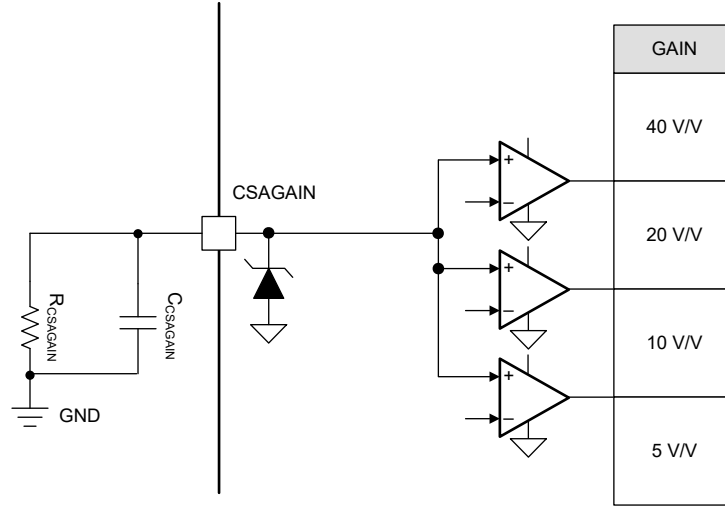


图 7-8. 四电平输入引脚结构

7.3.2.2 数字输出 nFAULT (DRV8162、 DRV8162L)

图 7-9 展示了开漏输出引脚 nFAULT 的结构。开漏输出需要外部上拉电阻器才能正常运行。有关器件操作 (包括 nFAULT) 的信息，请参阅表 7-7。

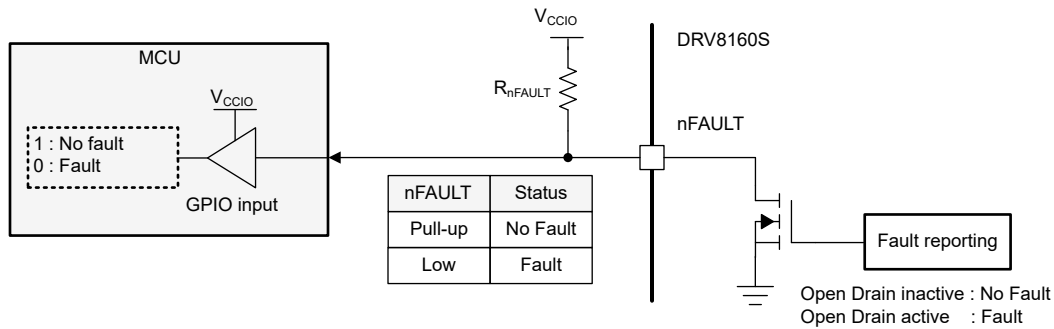


图 7-9. nFAULT 开漏输出缓冲器

7.3.2.3 数字输入输出 nFAULT/nDRVOFF (DRV8161)

图 7-10 展示了开漏输出和输入引脚的结构。在 DRV8161 器件型号中，通过共享一个器件引脚 nFAULT/nDRVOFF 来实现两个功能 nFAULT 和 nDRVOFF。开漏输出需要外部上拉电阻器才能正常运行。如果检测到故障条件，器件激活开漏缓冲区，并且 nFAULT/nDRVOFF 引脚驱动至低电平。nFAULT/nDRVOFF 引脚在内部连接至栅极驱动关断逻辑，如果 nFAULT/nDRVOFF 引脚为低电平，则栅极驱动输出将关断 (下拉)。有关器件操作 (包括 nFAULT) 的信息，请参阅表 7-7。

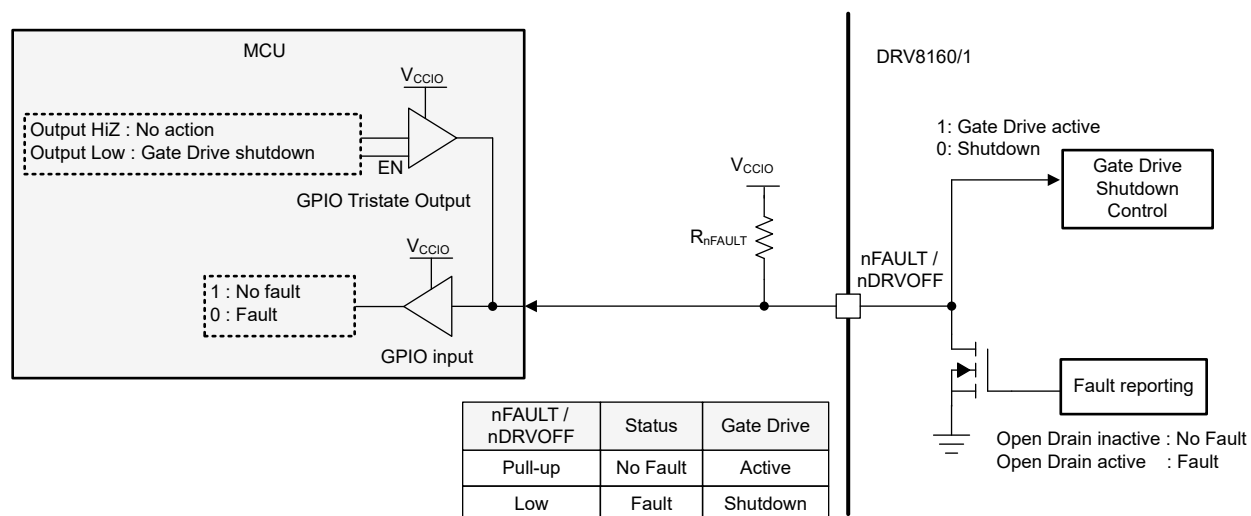


图 7-10. nFAULT/nDRVOFF 开漏输出和输入缓冲器

7.3.2.4 多电平输入 (IDRIVE1 和 IDRIVE2)

DRV816x 具有 IDRIVE1 和 IDRIVE2 器件引脚，用于栅极驱动电流配置。每个引脚可以设置 8 个电平 (LEVEL0 至 LEVEL7)，在器件引脚和 GND 之间连接外部电阻器。可通过表 7-4 确定栅极驱动电流 I_{DRIVEN} 和 I_{DRIVEP} 。表中的 (G) 表示已启用 VGS 监控死区时间插入。在器件上电时锁存 IDRIVE1 和 IDRIVE2 信息。

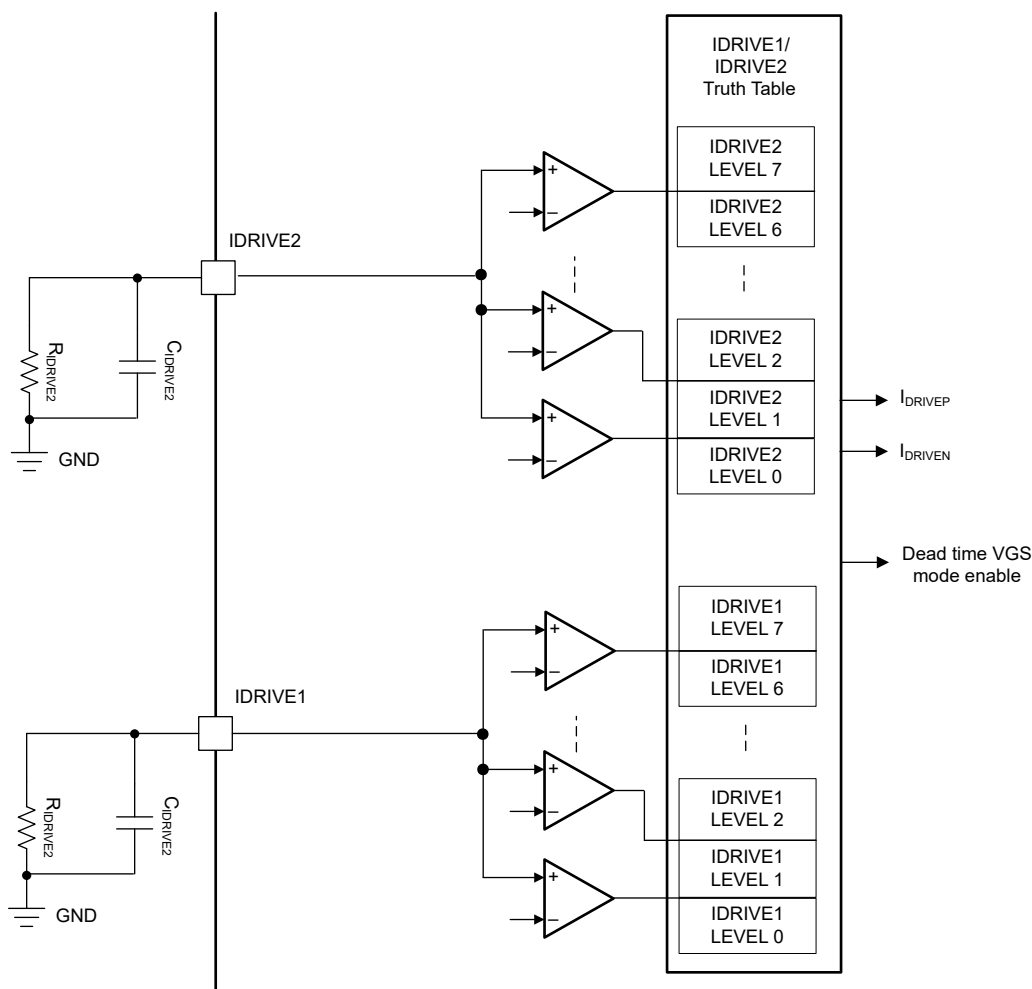


图 7-11. IDrive1 和 IDrive2 的多电平数字输入

表 7-4. 栅极驱动电流配置的 IDRIVE1/IDRIVE2 真值表

		IDRIVE2 输入引脚 (R _{IDRIVE2})															
		LEVEL0 (短接至 GND)		LEVEL1 (2KΩ 典型值)		LEVEL2 (5.6KΩ 典型值)		LEVEL3 (12KΩ 典型值)		LEVEL4 (27KΩ 典型值)		LEVEL5 (62KΩ 典型值)		LEVEL6 (130KΩ 典型值)		LEVEL7 (开路)	
		拉电流:灌电流 = 1:2		拉电流:灌电流 = 1:2		拉电流:灌电流 = 1:1.5		拉电流:灌电流 = 1:1.5		拉电流:灌电流 = 1:1		拉电流:灌电流 = 1:3		启用 VGS 死区时间插入		IDRIVE2 开路	
		I _{DRIVE P} [mA]	I _{DRIVE N} [mA]	I _{DRIVE P} [mA]	I _{DRIVE N} [mA]	I _{DRIVE P} [mA]	I _{DRIVE N} [mA]	I _{DRIVE P} [mA]	I _{DRIVE N} [mA]	I _{DRIVE P} [mA]	I _{DRIVE N} [mA]	I _{DRIVE P} [mA]	I _{DRIVE N} [mA]	I _{DRIVE P} [mA]	I _{DRIVE N} [mA]	I _{DRIVE P} [mA]	I _{DRIVE N} [mA]
IDRIVE1 输入引脚 (R _{IDRIVE1})	LEVE L7 (开路)	256	512	16	32	256	384	16	32	128	128	64	192	32 (G)	64 (G)	16 (G)	32 (G)
	LEVE L6 (130KΩ 典型值)	288	576	32	64	288	448	32	32	192	192	128	384	96 (G)	192 (G)	64 (G)	128 (G)
	LEVE L5 (62KΩ 典型值)	320	640	64	128	320	448	64	64	256	256	192	576	128 (G)	256 (G)	128	256
	LEVE L4 (27KΩ 典型值)	384	768	96	192	384	576	96	128	320	320	256	768	160 (G)	320 (G)	192	384
	LEVE L3 (12KΩ 典型值)	448	896	128	256	448	640	128	192	384	384	288	896	192 (G)	384 (G)	256	512
	LEVE L2 (5.6KΩ 典型值)	512	1024	160	320	512	768	160	256	448	448	384	1024	224 (G)	448 (G)	320	640
	LEVE L1 (2KΩ 典型值)	768	1536	192	384	768	1024	192	256	512	512	512	1536	512 (G)	1024 (G)	512	1024
	LEVE L0 (短接至 GND)	1024	2048	224	448	1024	1536	224	384	1024	1024	768	2048	1024 (G)	2048 (G)	1024	2048

7.3.2.5 多电平数字输入 (VDSLVL)

可使用 VDSLVL 引脚来配置 DRV816x 的 VDS 监控阈值电平。该引脚可以设置 8 个电平 (LEVEL0 至 LEVEL7)，在 VDSLVL 和 GND 之间连接外部电阻器。通过表 7-5 确定 7 个阈值电平。如图 7-13 所示，如果将一个数字脉冲应用于 VDSLVL 引脚，则可提供额外 6 个阈值电平。如果 VDSLVL 引脚断开，则禁用 VDS 监控功能。在器件上电时锁存 VDS 监控阈值信息。

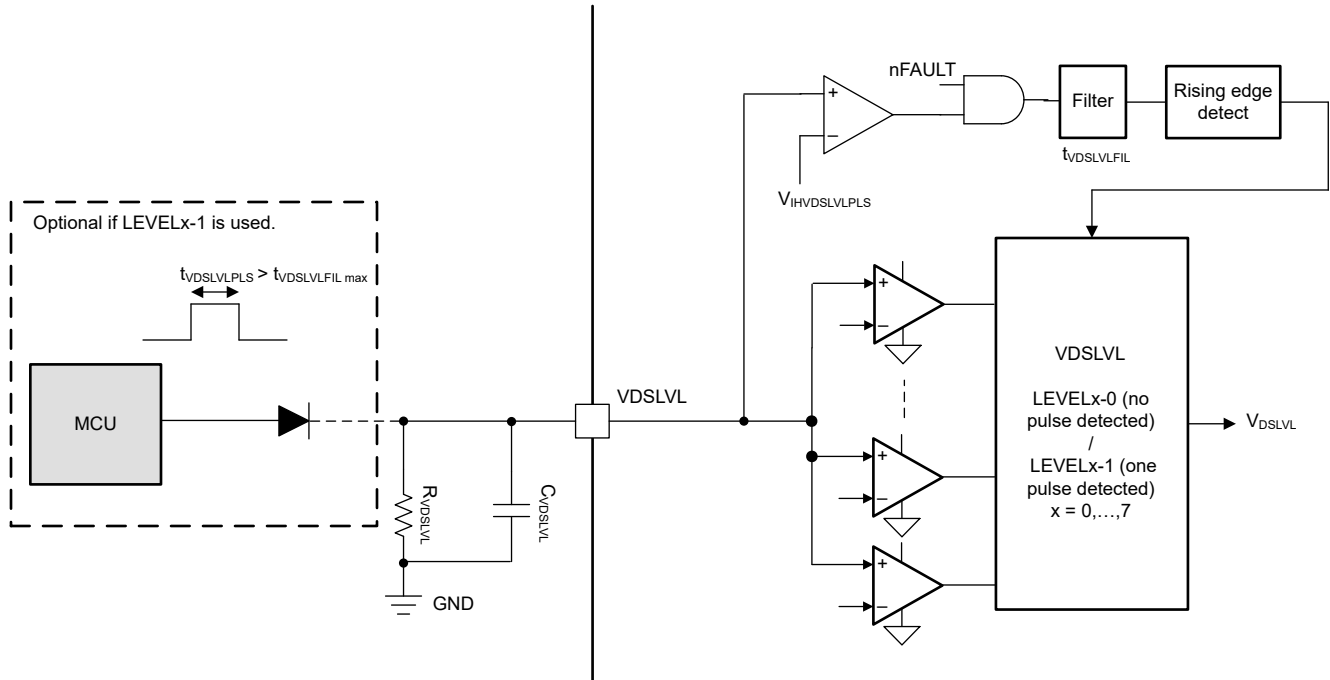


图 7-12. VDSLVL 输入脉冲时序图

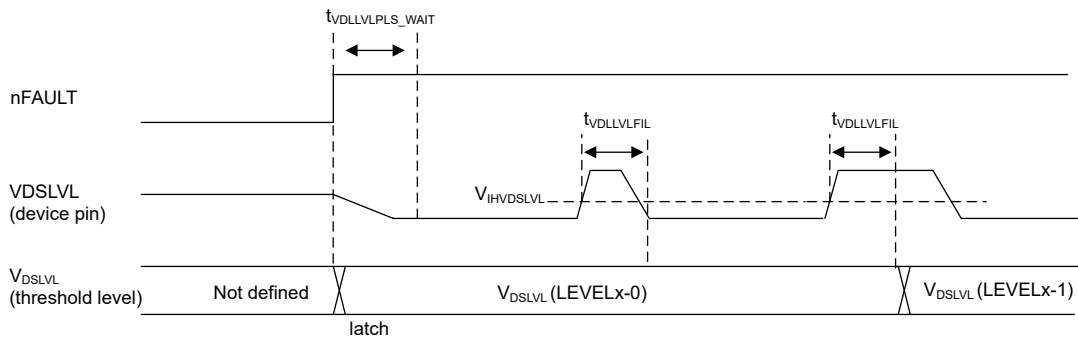


图 7-13. VDSLVL 的多电平数字输入

表 7-5. VDS 阈值电平选择表

VDSLVL 输入引脚 (R_{VDSLVL})	VDS 监控阈值	
	LEVELx-0 (未检测到脉冲)	LEVELx-1 (检测到一个脉冲)
LEVEL7 (开路)	禁用	禁用
LEVEL6 (130K Ω 典型值)	2V	1.5V
LEVEL5 (62K Ω 典型值)	1V	0.9V
LEVEL4 (27K Ω 典型值)	0.8V	0.7V
LEVEL3 (12K Ω 典型值)	0.6V	0.5V
LEVEL2 (5.6K Ω 典型值)	0.4V	0.3V
LEVEL1 (2K Ω 典型值)	0.2V	0.15V
LEVEL0 (短接至 GND)	0.1V	不可用

7.3.2.6 多电平数字输入 DT/MODE

图 7-14 展示了硬件接口配置的多电平输入引脚 DT/MODE 的结构。可以通过连接到 GND 的外部电阻器 R_{DTMODE} 来设置输入。 C_{DTMODE} 是可选的，有助于降低 GND 噪声的影响。如表 7-6 所示，配置击穿功能、死区时间插入和 PWM 控制模式。在器件上电时锁存 LEVEL0、1、2、3 和 LEVEL5 的信息。

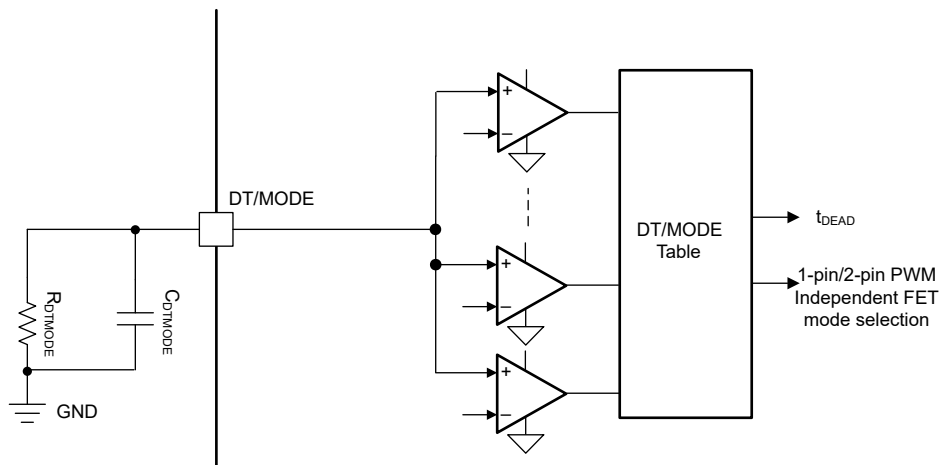


图 7-14. DT/MODE 引脚结构

表 7-6. DT/MODE 表

DT/MODE (R_{DTMODE})	击穿保护	死区时间插入 (t_{DEAD})	PWM 控制模式
LEVEL5 (引脚悬空, $>3.3M\Omega$)	启用	禁用。当通过 IDRIVE 启用 VGS 死区时间插入时，会插入 $t_{MINDEAD_VG}$	2 引脚 PWM
4 级 — 线性 ($10k\Omega$ 至 $1M\Omega$)	启用	已启用 ($20ns$ 至 $900ns$)	1 引脚 PWM
LEVEL3 ($3.3K\Omega$)	启用	已启用 ($370ns$)	2 引脚 PWM
LEVEL2 ($1.3K\Omega$)	启用	已启用 ($100ns$)	2 引脚 PWM
LEVEL1 (470Ω)	启用	已启用 ($20ns$)	2 引脚 PWM
LEVEL0 (短接至 GND)	禁用	禁用	独立 PWM

使用方程式 1 来计算 LEVEL4 中的死区时间。

$$t_{dead}(ns) = 0.89 \times R_{DTMODE}(k\Omega) + 11.1 \quad (1)$$

7.3.3 低侧电流检测放大器

DRV8161 集成了一个高性能低侧电流检测放大器，用于使用低侧分流电阻进行电流测量。通常会通过测量低侧电流来实施过流保护、外部扭矩控制或通过外部控制器进行无刷直流换向。电流检测放大器可用于检测半桥电流之和。电流检测放大器包含可配置增益和电压基准引脚 (CSAREF) 等功能。DRV8161 在内部生成 $V_{CSAREF}/2$ 的共模电压。

增益设置值可在四个不同级别 ($5V/V$ 、 $10V/V$ 、 $20V/V$ 和 $40V/V$) 之间调节。可以通过 CSAGAIN 引脚配置增益设置。

7.3.3.1 双向电流检测操作

DRV8161 在内部生成共模电压，用于启用双向电流测量。电流检测放大器以双向模式运行，SO 引脚输出的模拟电压等于 SP 和 SN 引脚上的电压乘以增益设置值 (G_{CSA}) 加上输出偏置电压 $V_{VREF}/2$ 。

可以使用 [方程式 2](#) 来计算流过采样电阻 ($CSAREF/2$) 的电流。

$$I = \frac{V_{SOx} - \frac{V_{VREF}}{2}}{G_{CSA} \times R_{SENSE}} \quad (2)$$

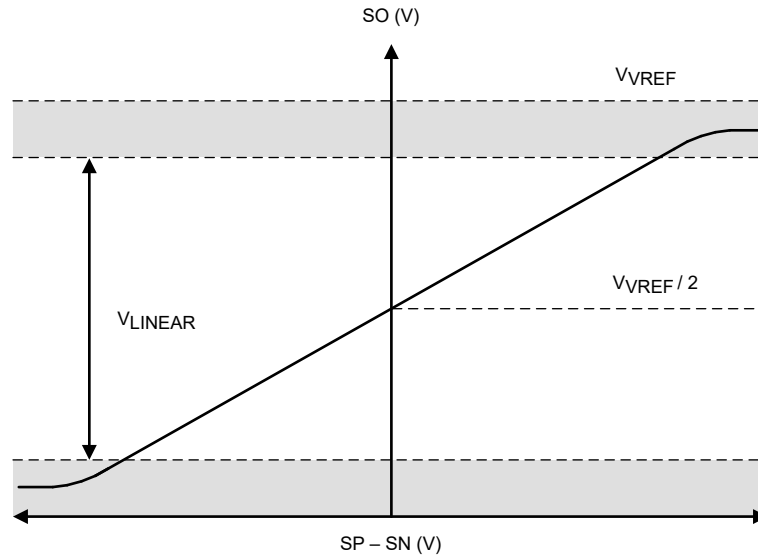


图 7-15. 双向电流检测输出

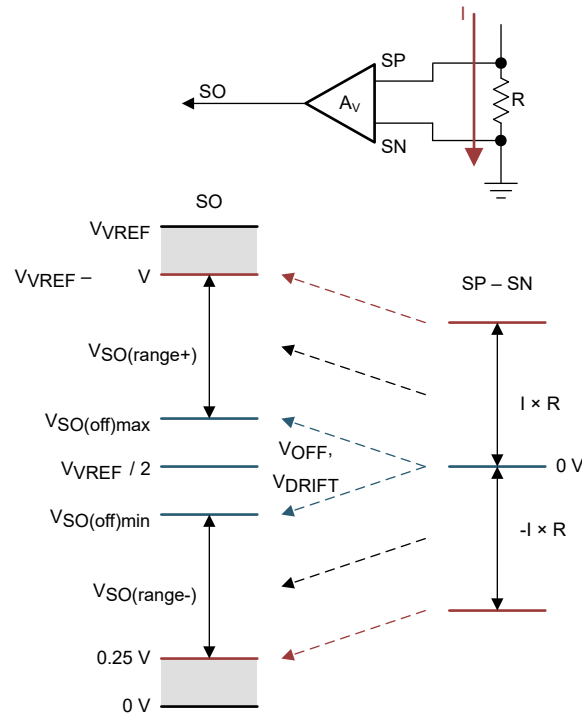


图 7-16. 双向电流检测区域

7.3.4 栅极驱动器关断序列 (nDRV OFF)

当 nDRV OFF 驱动为低电平时，栅极驱动器将进入关断模式，覆盖输入引脚 INH/IN 和 INL/EN 上的信号。nDRV OFF 绕过器件内部的数字控制逻辑，直接连接到栅极驱动器输出。该引脚为外部故障监测提供了一种机制，可通过直接绕过外部控制器或内部控制逻辑来禁用栅极驱动器。当 DRV816x 检测到 nDRV OFF 引脚驱动为低电平时，该器件会禁用栅极驱动器并将栅极驱动器置于下拉模式。栅极驱动器的关断序列如图 7-17 所示。当栅极驱动器启动关断序列后，会为 I_{DRV_SD} 电流应用有源驱动器下拉并持续 t_{DRV_SD} 时间。

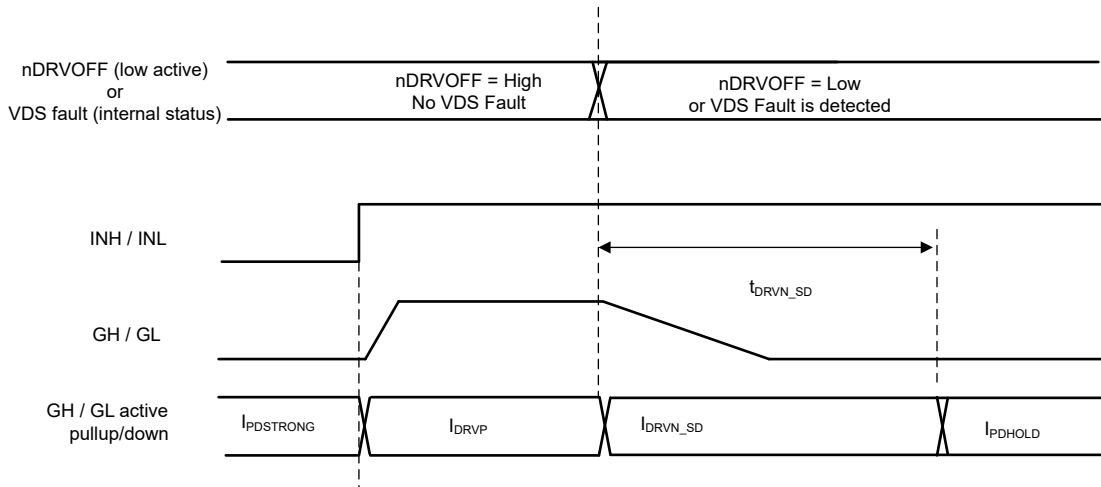


图 7-17. 栅极驱动器关断序列

7.3.4.1 nDRV OFF 诊断

图 7-18 显示了 DRV8162 和 DRV8162L 的 nDRV OFF 诊断。如果对 nDRV OFF 引脚施加低电平有效脉冲 $t_{nDRV OFF_DIAG}$ (典型值为 0.5us)，则器件会通过将 nFAULT 驱动为低电平进行响应，而不会关断栅极驱动器输出。此器件功能旨在在继续 PWM 运行时诊断 nDRV OFF 功能。如果 nDRV OFF 驱动为低电平的时间超过 $t_{nDRV OFF_DEG}$ ，器件会启动关断。

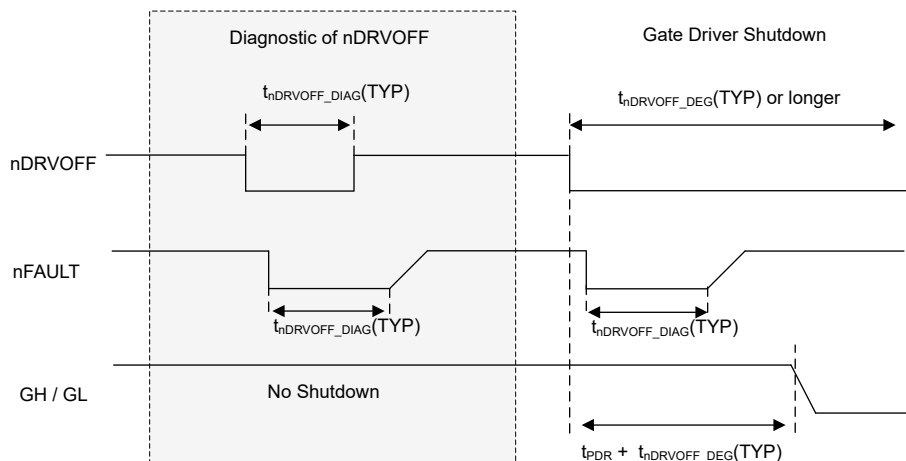


图 7-18. nDRV OFF 诊断

7.3.5 栅极驱动器保护电路

针对 GVDD 欠压和过压、自举欠压、MOSFET V_{DS} 和过热 (OTSD) 事件保护 DRV816x。

表 7-7. 故障操作和响应

故障	条件	配置	报告	栅极驱动器 GH	栅极驱动器 GL	恢复
GVDD 欠压 (GVDD_UV)	$V_{GVDD} < V_{GVDD_UV}$	-	nFAULT	S-PD ⁽¹⁾	P-PD ⁽²⁾	$V_{GVDD} > V_{GVDD_UV}$
V_{DS} 过流 (VDS_OCP)	$V_{DS} > V_{VDSLVL}$	带有 R 的 VDSLVL 引脚 (LEVEL0 - LEVEL6)	nFAULT	S-PD ⁽¹⁾	P-PD ⁽²⁾	锁存：当 $t_{CLRFLT} > t_{DS_DG}$ 时，INH(IN) = 低电平且 INL(EN) = 低电平
		VDSLVL 引脚开路 (LEVEL7)	无	运行 ⁽³⁾	运行 ⁽³⁾	无操作
热关断 (OTSD)	$T_J > T_{OTSD}$	-	nFAULT	S-PD ⁽¹⁾	P-PD ⁽²⁾	$T_J < T_{OTSD}$
自举欠压	$V_{BST-SH} < V_{BST_UV}$	-	无	S-PD ⁽¹⁾	运行 ⁽³⁾	$V_{BST-SH} > V_{BST_UV}$

(1) S-PD：半有源下拉

(2) P-PD：无源下拉

(3) 有源：栅极驱动器在 PWM 期间处于活动状态

7.3.5.1 GVDD 欠压锁定 (GVDD_UV)

在任何时候，如果 GVDD 引脚上的电压降至低于 V_{GVDD_UV} 阈值电压的抗尖峰脉冲时间长于 $t_{GVDD_UV_DG}$ ，则器件会检测到 GVDD 欠压事件。在检测到 GVDD_UV 欠压事件后，所有栅极驱动器输出都被驱动为低电平以禁用外部 MOSFET，电荷泵会被禁用，并且 nFAULT 引脚拉至低电平。清除 GVDD_UV 条件后，nFAULT 会变为高电平。

7.3.5.2 MOSFET V_{DS} 过流保护 (VDS_OCP)

DRV816x 器件具有可调节的 V_{DS} 电压监视器，可检测外部功率 MOSFET 上的过流或短路情况。可以通过监测外部 MOSFET $R_{DS(on)}$ 上的 V_{DS} 压降来检测 MOSFET 过流事件。高侧 VDS 监控在 VDRAIN 和 SH 引脚之间测量。高侧 VDS 监控在 SH 和 SL 引脚之间测量。如果外部 MOSFET 两端的电压超过 V_{VDSLVL} 阈值的时间大于 t_{DS_DG} 抗尖峰脉冲时间，则会识别到 VDS_OCP 事件。检测到 VDS 过流事件后，所有栅极驱动器输出都被驱动为低电平以禁用外部 MOSFET，并且 nFAULT 引脚被驱动为低电平。通过 VDSLVL 引脚可以在 0.1V 至 2.0V 之间设置 VDS 阈值。VDS 抗尖峰脉冲时间固定在 t_{DS_DG} 。可通过使 VDSLVL 引脚保持断开来禁用 VDS OCP。清除过流条件后，故障状态保持锁存，并可以在 INH(IN) 和 INL(EN) 在 t_{CLRFLT} 时间内保持低电平时清除。

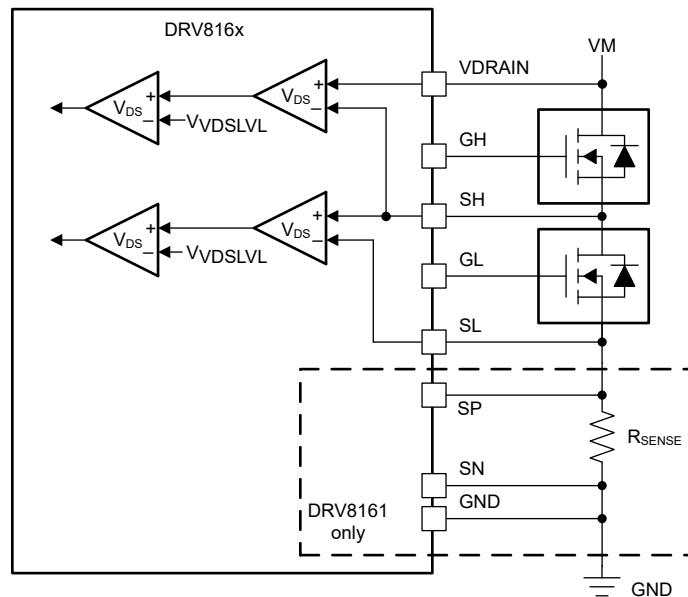


图 7-19. DRV816x MOSFET V_{DS} 过流保护

7.3.5.3 热关断 (OTSD)

如果内核温度超过热关断限制 (T_{OTSD}) 的跳闸点, 则会识别到 OTSD 事件。检测到 OTSD 过热事件后, 所有栅极驱动器输出都被驱动为低电平以禁用外部 MOSFET, 并且 nFAULT 引脚被驱动为低电平。清除 OTSD 条件后, 器件恢复正常运行且 nFAULT 变为高电平。

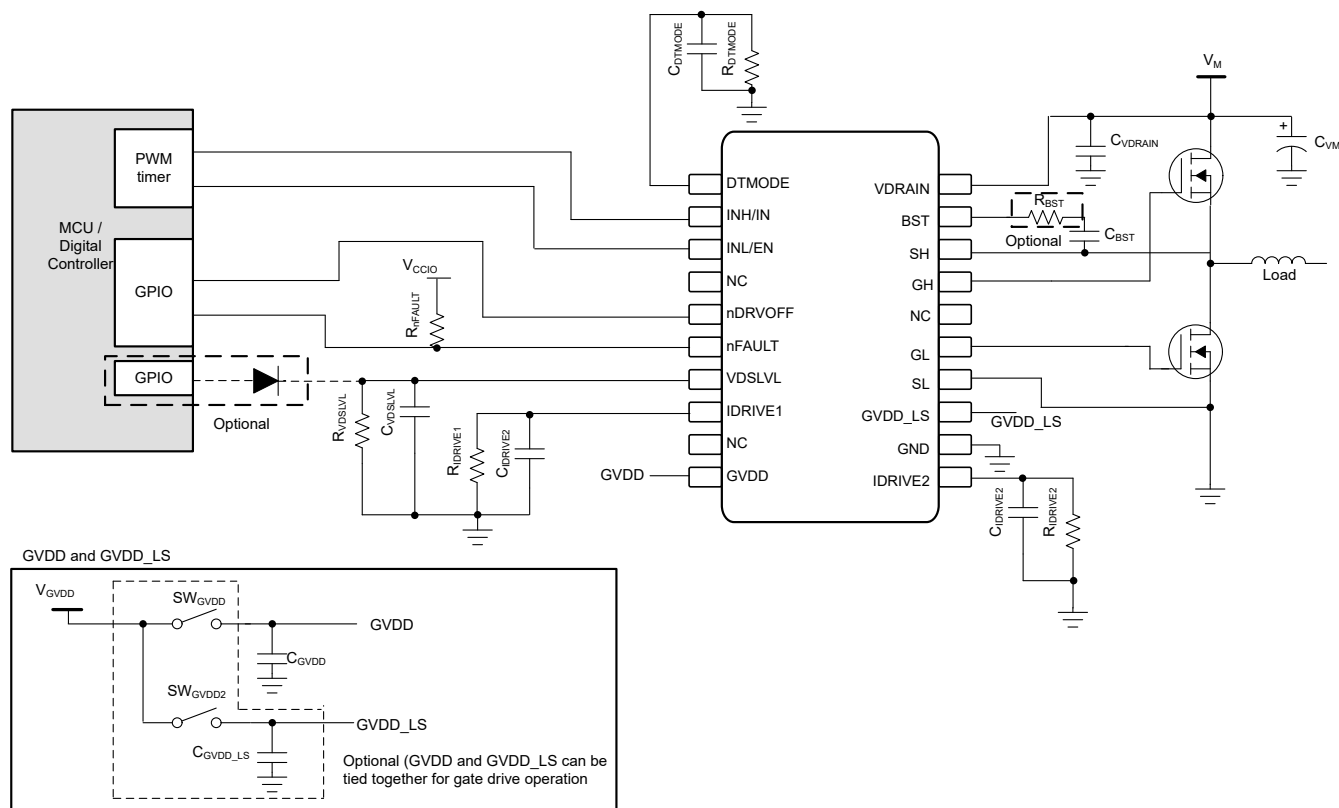


图 8-2. DRV8162 和 DRV8162L 的典型应用图

8.2.3 外部组件

该表列出了栅极驱动器外部元件的建议值。

表 8-1. DRV816x 外部元件

元件	引脚 1	引脚 2	推荐
C_{BST}	BST	SH	1.0 μF , 在 BST 和 SH 之间的 V_{BST-SH} 额定电容器, 具体取决于外部 MOSFET Q_g 的总栅极电荷。 $C_{BST} > 20 \times Q_g / (V_{GH}-V_{SH})$ 。最大 C_{BST} 为 2.2 μF ,
C_{GVDD}	GVDD	GND	10 μF , V_{GVDD} 额定电容器。如果电容器放置在离所有三个器件足够近的位置, 则可以在三相功率级设计中与其他两个 DRV816x 器件共享此电容器。用户必须检查上电时和 PWM 开关期间自举操作引起的压降。
C_{GVDD_LS}	GVDD_LS	GND	1 μF , V_{GVDD} 额定电容器
C_{VDRAIN}	VDRAIN	GND	0.1 μF , V_{VDRAIN} 额定电容器
R_{nFAULT}	V_{CCIO}	nFAULT	10k Ω 上拉电阻器
$R_{IDRIVE1}$	IDRIVE1	GND	硬件接口电阻器请参阅节 7.3.2.4
$C_{IDRIVE1}$	IDRIVE1	GND	可选: 0.1nF、5V 额定电容器
$R_{IDRIVE2}$	IDRIVE2	GND	硬件接口电阻器请参阅节 7.3.2.4
$C_{IDRIVE2}$	IDRIVE2	GND	可选: 0.1nF、5V 额定电容器
R_{VDSLVL}	VDSLVL	GND	硬件接口电阻器请参阅节 7.3.2.5
C_{VDSLVL}	VDSLVL	GND	可选: 0.1nF、5V 额定电容器
D_{VDSLVL}	VDSLVL	MCU	可选: VDSLVL 引脚和 MCU GPIO 之间的二极管。
R_{DTMODE}	DT/MODE	GND	硬件接口电阻器请参阅节 7.3.2.6

表 8-1. DRV816x 外部元件 (续)

元件	引脚 1	引脚 2	推荐
C _{DTMODE}	DT/MODE	GND	可选：0.1nF、5V 额定电容器
R _{CSAGAIN}	CSAGAIN	GND	硬件接口电阻器请参阅节 7.3.2.1
C _{CSAGAIN}	CSAGAIN	GND	可选：0.1nF、5V 额定电容器
C _{CSAREF}	CSAREF	GND	0.1 μ F, V _{CSAREF} 额定电容器
R _{SENSE}	SP	SN	检测分流电阻器
R _{SP} 、R _{SN}	SP/SN	R _{SENSE}	可选：电流检测放大器输入滤波器为 10 Ω 。
C _{SPSN}	SP	SN	可选：用于电流检测放大器输入滤波器的 1nF 陶瓷电容器。
C _{SP} 、C _{SN}	SP/SN	GND	可选：用于电流检测放大器输入滤波器的 1nF 陶瓷电容器。

8.3 布局

8.3.1 布局指南

- 更大限度地缩短 GH、SH、GL 和 SL 布线的长度和减小阻抗。使用尽可能少的过孔来更大限度地减小寄生电感。建议在从器件引脚引开后尽快增加这些布线的宽度，以便尽可能减小寄生电阻。
- 使自举电容器 C_{BST} 靠近相应的引脚
- 使 GVDD 电容器保持靠近 GVDD 引脚
- 使 VDRAIN 电容器保持靠近 VDRAIN 引脚，以便为电荷泵提供稳定的开关电流。
- 需要额外的大容量电容来旁路掉外部 MOSFET 上的大电流路径。大容量电容的放置方法可尽可能缩短通过外部 MOSFET 的大电流路径的长度。连接金属走线尽可能宽，并具有许多连接 PCB 层的过孔。这些做法尽可能地减小了电感并使大容量电容器提供高电流。
- 将 SL 引脚连接到 MOSFET 源极，而不是直接连接到 GND，从而实现精确的 VDS 检测。
- 仅 DRV8161：从检测电阻到器件，以并联方式为 SN/SP 引脚布线。将滤波元件放置在靠近器件引脚的位置，以便尽可能减少后置滤波器噪声耦合。确保 SN/SP 与 GND 平面保持分离，以便实现出色的 CSA 精度。CSAREF 和 GND 上的旁路电容器放置在更靠近器件引脚的位置。
- 硬件接口电阻器 R_{IDRIVE1}、R_{IDRIVE2}、R_{VDSLVL}、R_{DTMODE} 和 R_{CSAGAIN} 尽可能靠近器件引脚放置。
- 尽量减少并行布线，从而减少从潜在噪声源到任何噪声敏感器件信号的噪声耦合。噪声敏感型信号包括多电平硬件接口引脚 IDRIVE1、IDRIVE2、VDSLVL、DTMODE 和 CSAGAIN，以及电流检测放大器输出 SO。

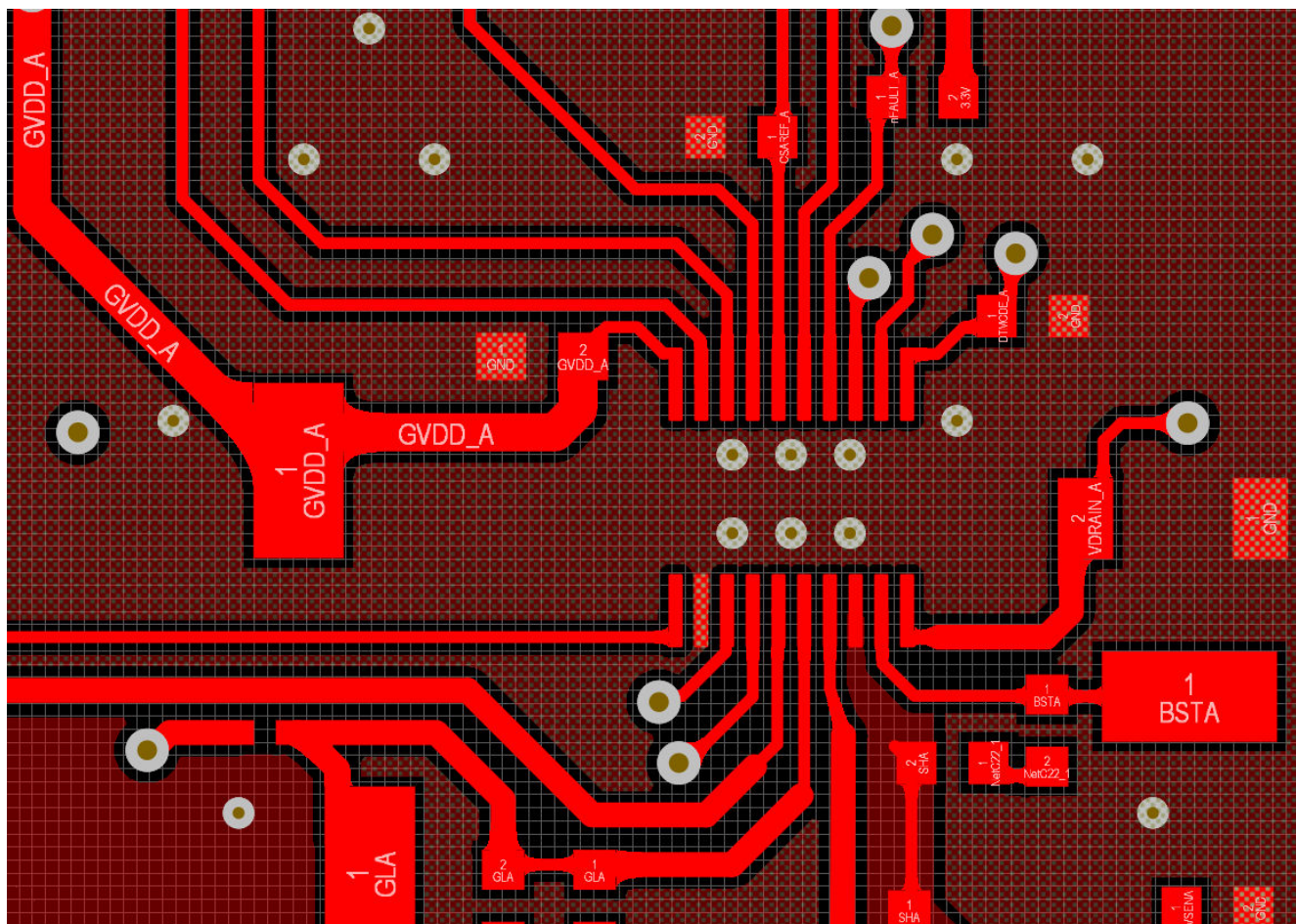


图 8-3. DRV8161 布局

8.4 电源相关建议

DRV816x 系列器件设计为在 5V 至 90V 的输入电源电压 (VDRAIN) 范围内运行。额定电压为 VDRAIN 的 0.1μF 陶瓷电容器必须尽可能靠近器件放置。此外，必须在 VDRAIN 引脚上连接一个大容量电容器，但可以将其与外部功率 MOSFET 的大容量旁路电容共用。需要使用额外的大容量电容来旁路外部半桥 MOSFET，并且根据应用要求来确定该电容的大小。

8.4.1 确定大容量电容器的大小

配备合适的局部大容量电容是电机驱动系统设计中的一重要因素。使用更多的大容量电容通常是有益的，但缺点是增加了成本和物理尺寸。所需的局部电容量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的类型、电容和拉电流的能力
- 电源和电机系统之间的寄生电感量
- 可接受的电源电压纹波
- 电机类型（有刷直流、无刷直流、步进电机）
- 电机启动和制动方法

电源和电机驱动系统之间的电感会限制电源的电流变化速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表给出了建议的最小值，但需要进行系统级测试来确定大小适中的大容量电容器。

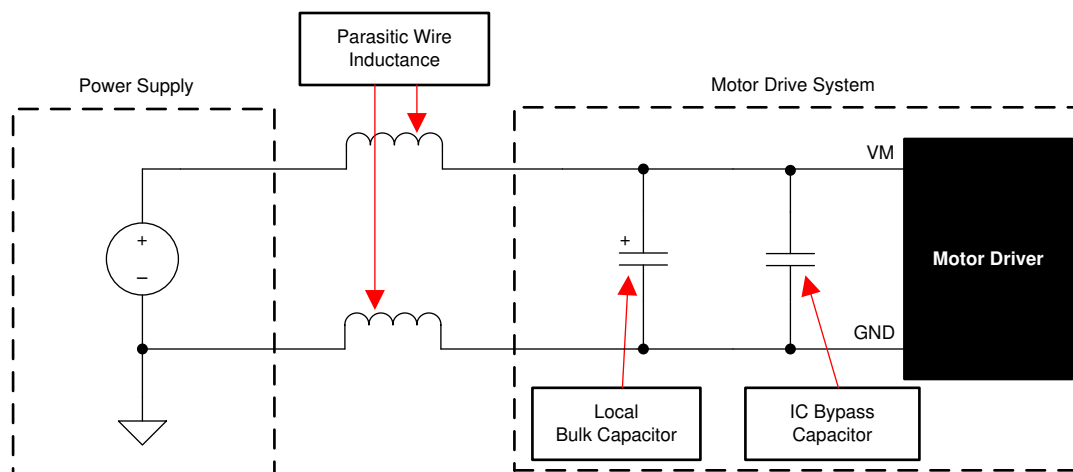


图 8-4. 电机驱动电源寄生效应示例

9 器件和文档支持

9.1 器件支持

9.2 文档支持

9.2.1 相关文档

- 德州仪器 (TI), [了解智能栅极驱动 \(修订版 D\) 应用报告](#)
- 德州仪器 (TI), [无刷直流电机驱动器注意事项和选择指南 \(修订版 A\) 应用报告](#)
- 德州仪器 (TI), [电机驱动器电路板布局布线最佳实践 \(修订版 B\) 应用手册](#)
- 德州仪器 (TI), [采用 BLDC 电机的电动自行车硬件设计注意事项 应用报告](#)
- 德州仪器 (TI), [采用 MSP430 的传感器式三相 BLDC 电机控制 应用报告](#)

9.3 接收文档更新通知

要接收文档更新通知, 请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的 [使用条款](#)。

9.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9.8 社区资源

10 修订历史记录

注: 以前版本的页码可能与当前版本的页码不同

Changes from Revision B (December 2024) to Revision C (February 2025)	Page
---	------

- | | |
|--|---|
| • 将 DRV8162 和 DRV8162L 状态更新为“量产数据”。..... | 1 |
|--|---|

Changes from Revision A (July 2024) to Revision B (December 2024)	Page
---	------

- | | |
|---------------------------|---|
| • 将 DRV8161 更新为量产数据。..... | 1 |
|---------------------------|---|

Changes from Revision * (May 2024) to Revision A (July 2024)

Page

- 将 DRV8162L 状态更新为“预告信息” **1**
-

11 机械、封装和可订购信息

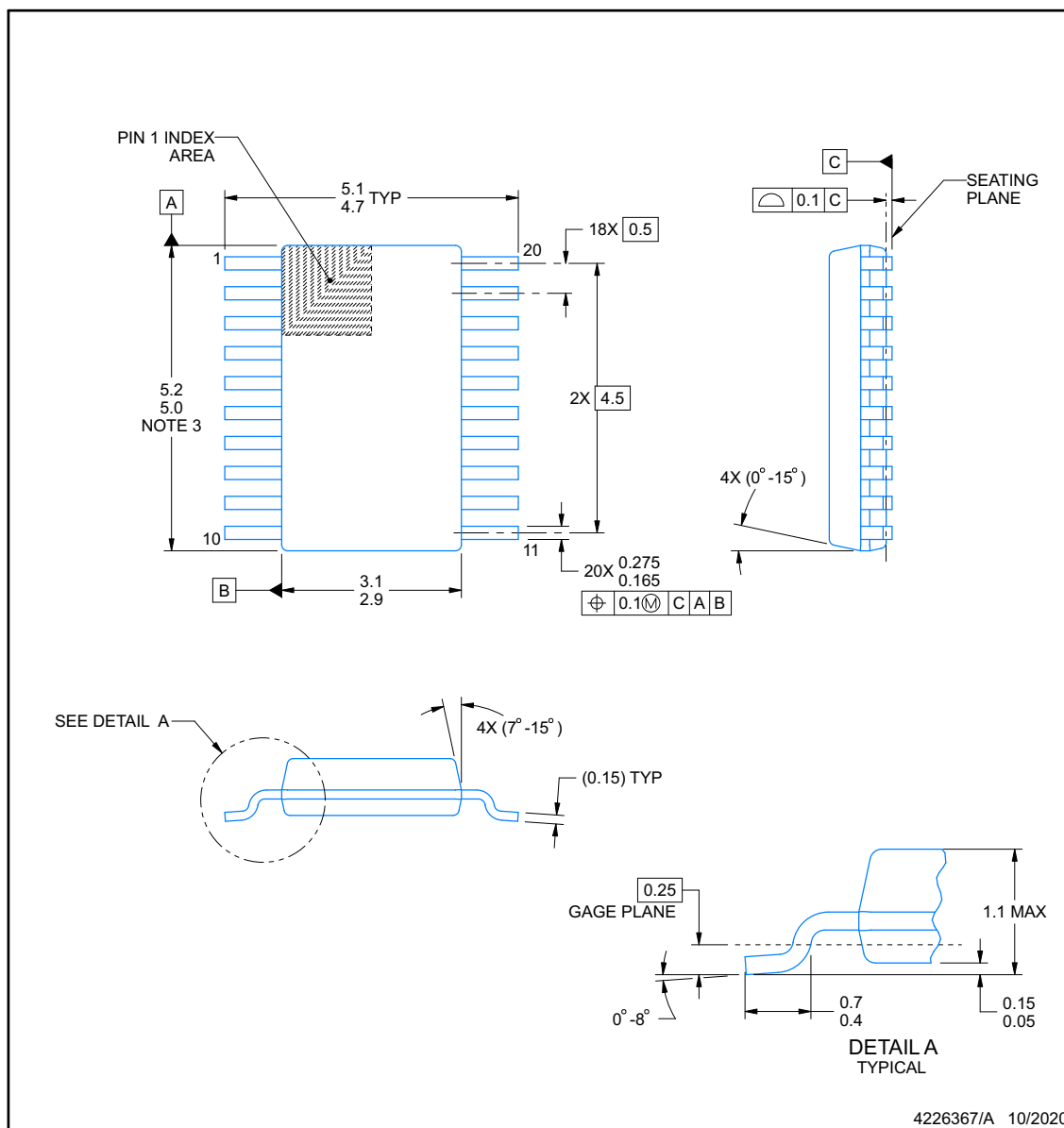
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。



DGS0020A

PACKAGE OUTLINE
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

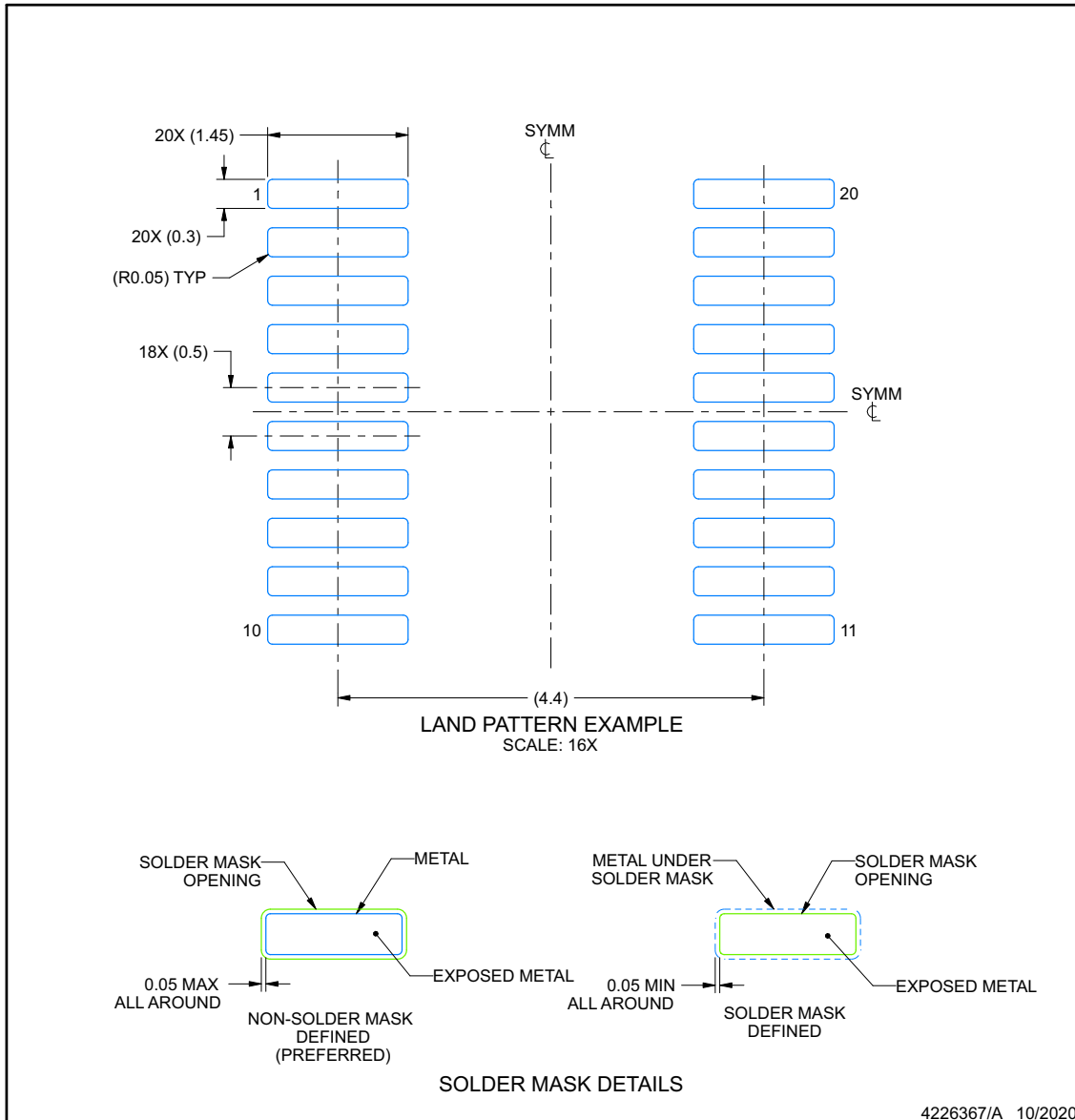
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

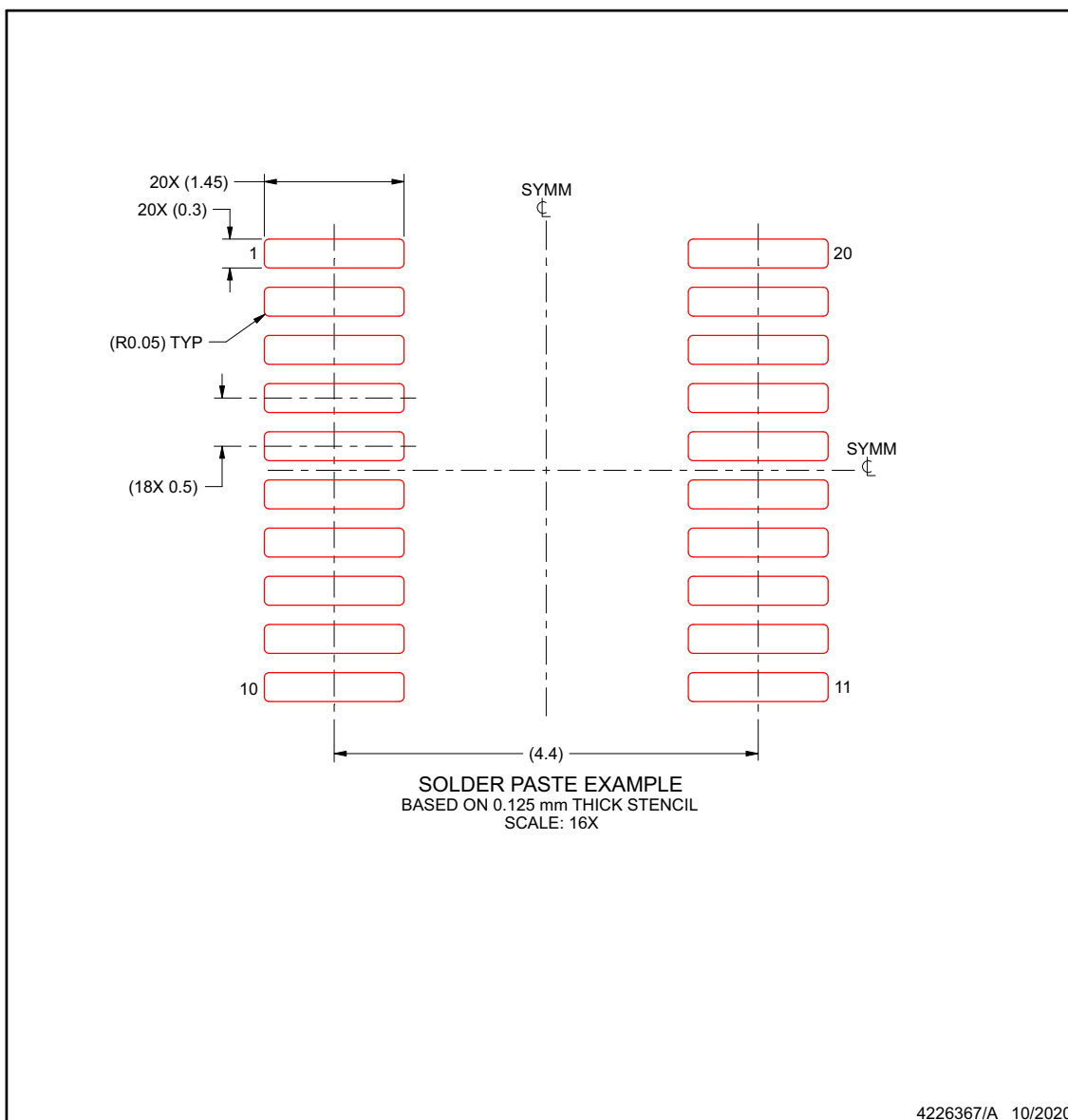
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

- 11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8161DGSR	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8161
DRV8161DGSR.A	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8161
DRV8162DGSR	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8162
DRV8162DGSR.A	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8162
DRV8162LDGSR	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8162L
DRV8162LDGSR.A	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8162L

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

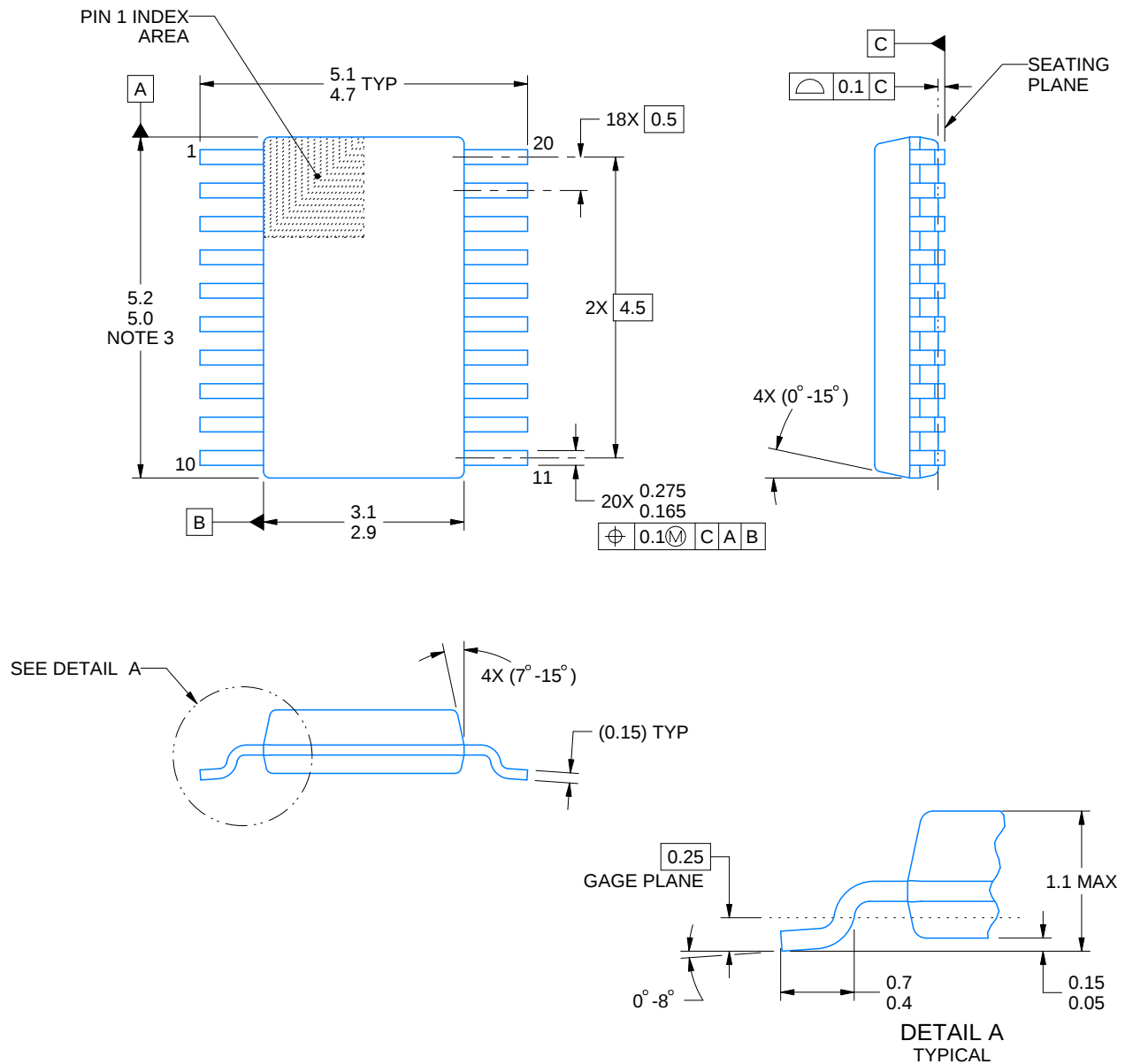
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8161DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
DRV8162DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
DRV8162LDGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8161DGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
DRV8162DGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
DRV8162LDGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0



4226367/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

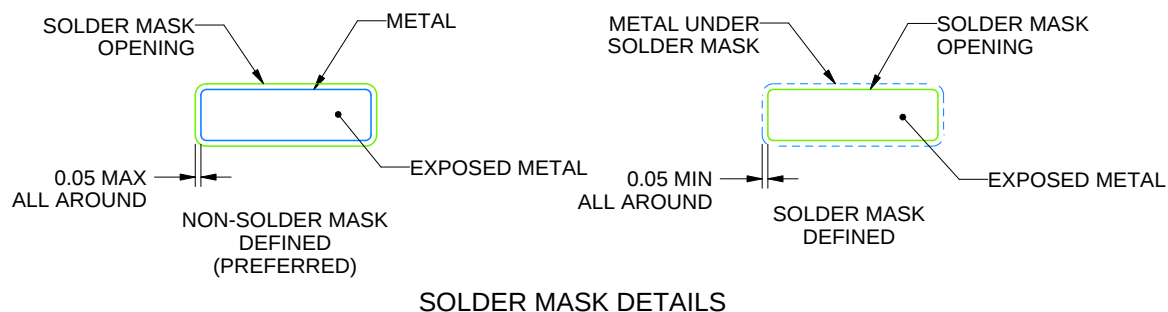
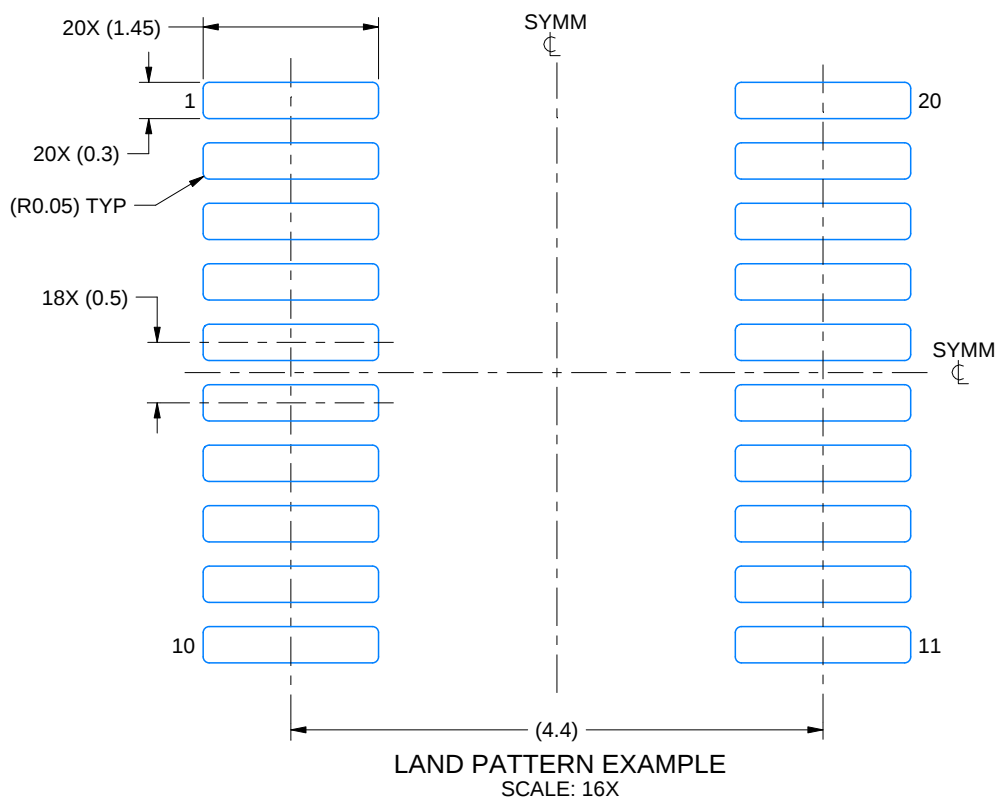
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

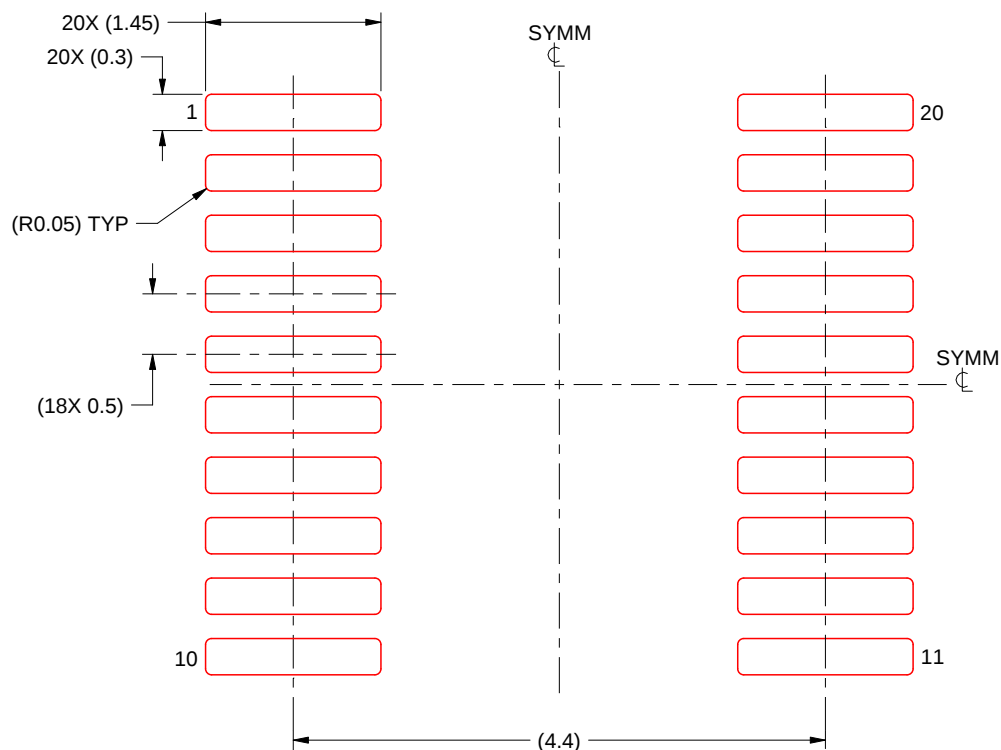
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月